平成27年度修士論文

TSVを考慮した
3次元積層プロセッサ向けフロアプランナの提案と
マルチコアプロセッサの配置設計

大学院情報システム学研究科
情報ネットワークシステム学専攻

学 籍 番 号 : 1452021
氏 名: 村田 篤志
主任指導教員: 吉永 努 教授
指 導 教 員 : 笠井 裕之 准教授
指 導 教 員 : 小川 朋宏 准教授
提出年月日 : 平成28年1月28日

(表紙裏)

目 次

図 目 次

表目次

第1章　序論

近年半導体技術の進歩により3次元積層技術が開発され，半導体チップの更なる性能向上が期待されている．1947年に半導体素子トランジスタが発見されて以来，1965年にムーアが提唱したムーアの法則に沿うように半導体産業は急速な発展を遂げてきた．この法則は「集積回路上のトランジスタ数は約2年で倍になる」と言うものである[1]．しかし現在，その法則通りに半導体産業を成長させるのが難しくなっている．現状，限界が近いと言われている半導体産業を成長させ続けるために提案された手法の一つとして3次元積層が挙げられる．3次元積層実装を行うことによってトランジスタ数あたりのチップ面積（フットプリント）を減少させることが出来，ムーアの法則に沿った成長を継続出来ることが期待されている．また，システムを構成するひとまとまりの機能を持った回路をモジュールと呼び，積層を行うことでモジュール同士の幾何学的な距離が短くなり，平面配置に比べて配線長を短縮することが出来る．さらに，積層間の結線を行う際にチップ外に配線を通して結線するワイヤボンディングに代わり，積層内を貫通する電極であるTSVを用いる事で積層間配線長を短縮できるようになった[2]．TSVはシリコン基板を貫通する電極で，シリコン基板の表面から背面へ信号を伝え，下層基盤のバンプなどへ直接接続することが出来る．また，TSVは半導体製造プロセスの一貫で製造されるため，ワイヤボンディングを遥かに上回る密度，自由度を得ることが出来る．3次元積層技術の利点としてチップ面積の減少とそれに伴う歩留まりの向上，モジュール間配線の減少による高速化と消費電力の減少，バンド幅の増加，異なるプロセスの混在など数多くの利点が挙げられ，TSVによる柔軟な配線はこれらをさらに促進する[3]．3次元積層技術の問題点は，設計の難化，製造コストの増大，熱密度の増加が挙げられる[4, 5, 6]．一方でTSVを熱放散に利用する研究も進められている[7]．

3次元積層技術はマイクロプロセッサにも適用でき，ブレークスルーをもたらすことが期待されている．マイクロプロセッサの電力性能比を決定する主要因でありボトルネックとなっている一因として，モジュール間を接続する配線の遅延と電力消費が挙げられる．3次元積層技術はモジュール間配線の幾何学的な短縮によってこれらの問題を根本的に解決できる．マイクロプロセッサにおいてモジュール間のロングワイヤで消費される配線電力は大きな割合を占めるため，期待される削減効果は大きい．しかし，3次元積層技術の設計空間は巨大であり，プロセッサはメモリと異なりレギュラー構造ではなく，さらには役割の違うモジュールが複雑に通信を行うシステムであるため，どのように3次元で実装するか，最適なモジュール配置はまだ定まっていない．

半導体デバイスの設計では，巨大な設計空間からモジュール配置を決定するためにフロアプランナが使用される．3次元積層プロセッサのモジュール配置設計では，2次元フロアプランナを拡張して利用する方法が一般的である．2次元のフロアプランナではフロアプランをシーケンスペアやB*-treeによって記述し，シミュレーテッドアニーリング（SA）などのヒューリスティックアルゴリズムによって準最適解を探索する．一般的にフロアプランの最適化の指標となる評価関数の項はフットプリント，総配線長，熱源の偏り，製造コストなどが用いられる．

柔軟な層間配線を可能とするTSVだが，通常配線に比べれば100〜1000倍程度の大きさとなる．必要な層間配線の数だけTSVが必要となるので，層間配線が多くなれば多くのTSVが必要とな

り，モジュールの配置によってはTSVの必要総面積が大きくなる．例えば，TSVを1000本挿入すれば，計算コアの大きさに匹敵する約0.1mmの面積を占有する．更に総配線長はTSVがどこに配置されるかによって大きく変化する．層間配線はTSVを用いて行うので，接続するモジュール同士のバウンダリボックスの中にTSVが存在すれば，そのTSVを使用することで迂回して配線する必要がなくなり，配線のロスを抑えることが出来る．従来手法ではTSVの位置は暗黙的に確保されるか，モジュールの配置されていないホワイトスペースに割り当てられる．しかし，これらの手法ではモジュール位置が優先され，TSVの配置が最適化されない．

しかしTSV1本1本の配置を探索すると組み合わせが爆発的してしまい，計算時間が膨大となってしまう．そこで本論文では複数のTSVをまとめて扱い，TSV配置を準最適化する探索配置アルゴリズムを提案する．我々の手法ではTSVを配置するための場所を仮想的なモジュール,「TSVモジュール」として他のモジュールと同様にSAに従って準最適化する．

提案システムの評価ではシングルコアプロセッサ，マルチコアプロセッサについてフロアプランを取得した．今回，我々のアルゴリズムを評価する基準として配線アクティビティ，フットプリント，熱を最適化したモジュール配置を出力する．

2章では関連研究を紹介し，3章ではフロアプランナについて説明する．4章で提案と実装について述べ，5章で評価環境の説明を行う．6章で評価結果を提示して，最後に7章でまとめを述べる．

第2章　関連研究

2.1　フロアプランナ

プロセッサはメモリのようなレギュラー構造でないため，設計が難しい．そのため，設計ツールとしてフロアプランナが使用される．フロアプランナは探索アルゴリズムを使用し，大きな解の集合である探索空間から現実的な実行時間で最適な解の近似を得る．

探索アルゴリズムとしては，シミュレーテッドアニーリング (SA) や遺伝的アルゴリズムが知られている [2, 7, 8, 9, 10]．これらは確率決定によって，局所最適解からの脱出を可能とする探索アルゴリズムである．SA では「温度」というフロアプランの熱密度とは無関係な制御パラメータが用いられる．フロアプランナにおける近傍解の生成方法としてモジュールの配置の入れ替え（swap），モジュールの縦横比の変更 (soft) などが挙げられる [2, 9, 11]．温度が高い時点では，局所最適解を脱出するために評価値が悪化するような近傍解へも遷移するが，温度が下がるにつれてそのような遷移は起こりにくくなる．フロアプランナでは，探索アルゴリズムで得た解を各モジュールに表すブロック表現が必要となる．

ブロック表現として，シーケンスペアや，B*-Tree，FTSqueeze が挙げられる [8, 11, 12]．積層プロセッサのフロアプランナでは一般的に 2 次元フロアプランナを拡張したものが用いられている．その他，3 次元配置を表現するシーケンストリプルや TCG などの形式も提案されている [13, 14, 15, 16]．

得られた解は評価関数によって得点付けされる．得点付けの方法は，評価関数の各項を重み付けし，その和を用いる．評価関数の項は，フットプリント，配線長，熱密度，TSV の本数，配線アクティビティなどが使用される [7, 8, 9, 17]．

2.2　TSV の配置

一般的な 3 次元フロアプランナでは TSV の配置場所はそれを必要としているモジュール内，もしくはフロアプラン決定後のモジュールが配置されていない場所（ホワイトスペース）に配置するものとされる [17]．しかし，数百ビットにまで及ぶ層間配線が必要とされる場合，TSV の必要総面積は小さなモジュールを上回る程になる．このことから TSV の配置を考慮することはより良いフロアプランを得るために効果的であると言える．

しかし TSV の総数はモジュールの数の数十倍から数百倍にまで及び，一本一本の配置を最適化するのは現実的ではない．そこで Tsai らは 2 段階のアルゴリズムで TSV の配置を決定する手法を提案している [18]．彼らの手法では，まず探索アルゴリズムの結果得られたフロアプランに生じたホワイトスペースを TSV 割当可能領域である「TSV ブロック」として数え上げる．そして TSV を必要とするエッジに対して，一番配線長が短くなるような TSV ブロックを割当て，TSV ブロックの容量が足りなくなった場合には TSV ブロックを拡大して容量を確保し，フロアプランを決定する．次に TSV ブロック内に配置された TSV に対してどのエッジがどの TSV を使用するかをフローネットワークによって決定する．彼らはこの手法を用いて TSV の配置を考慮したフロアプラ

ンと従来のフロアプランを比較し，彼らのフロアプランの方が配線長が約 22.3 %程度削減できることを示した.

第3章　3次元プロセッサのためのフロアプランナ

3.1　システム概要

プロセッサにおける最適なモジュール配置は未だ定まっておらず，求めるのは非常に困難である．そこでフロアプランナを用いることで準最適なモジュール配置を導き出す [17]．フロアプランナのシステム概要を図 3.1.1 に示す．入力として以下の 1.〜3. を与える．

1. 各モジュールの面積，消費電力
2. バンド幅，通信回数
3. TSV 長，層数などのパッケージパラメタ

バンド幅，通信回数，各モジュールの面積と消費電力は，パイプラインシミュレータおよび面積・電力シミュレータと連動することにより取得する．TSV 長や層数は想定するプロセッサに応じて自由に設定出来る．得られた入力をフロアプランナに用いることでフロアプランの見積もりが可能となる．得られたフロアプランの評価は評価関数の項であるフットプリント，配線アクティビティもしくは配線長，熱密度を重み付けし，その和によって評価する．

3.2　SA

金属工学での焼きなましでは金属材料を熱して高温の状態から除々に温度を下げる事で強固な結晶構造を持つ金属を生成する．SA では焼きなましからの類推である温度と呼ばれる制御パラメータを使用し，予め設定した温度から探索を開始し，一定温度で一定回数解探索を行った後一定値温度を下げ，再び解探索をする．この操作を予め設定した終了温度に達するまで繰り返す．温度が高い時には解の大きな変化が起こりやすいが，温度が下がるにつれて一定の解に収束していく．通常，SA を行う際には初期温度，終了温度，一定回数解探索を行った後にどれだけ温度を下げるかを設定する．初期温度に関してはありとあらゆる解の変化を許容するために十分に高い温度に設定する．また，終了温度に関しても解が収束するように十分に低く設定する．SA における一定回数の探索後にどの程度温度を下げるのかを式 3.2.1 に表す．T_t は変更後の温度，r は温度変化の割合，T_{t-1} は現在の温度である．r の値は $0.8 \leq r \leq 0.99$ の範囲で選ばれる．

$$T_t = rT_{t-1} \tag{3.2.1}$$

SA において開始から収束するまでの様子を図 3.2.1 に示す．フロアプランナにおける SA の操作は以下の中から選択される．

- 悪い通信路を持つモジュールを選択してランダムに移動させる (swap)
- 熱密度が大きい場所にあるモジュールを選択してランダムに移動させる (swap)

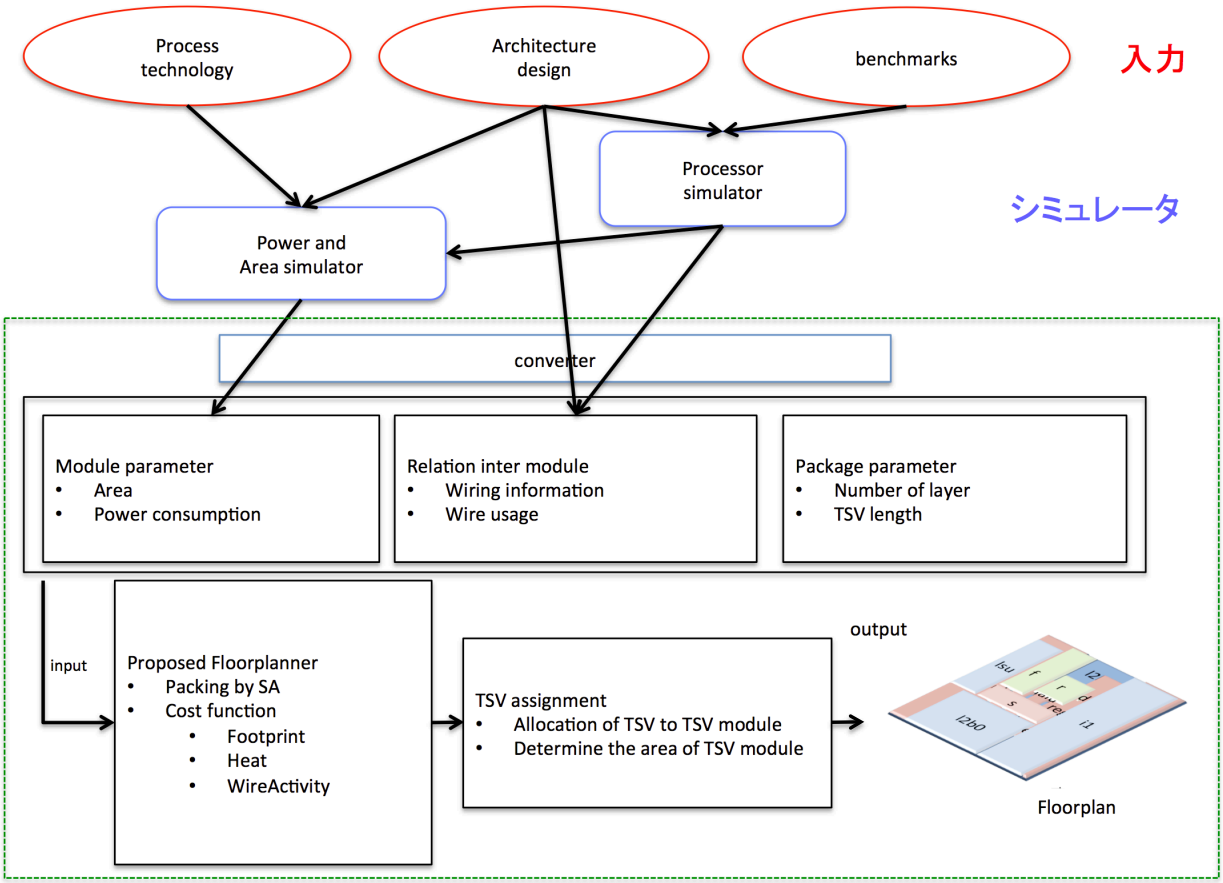

図 3.1.1: システム概要

- ランダムに選択したモジュールの位置をランダムに移動させる (swap)
- ランダムに選択したモジュールの幅を大きくする (soft)
- ランダムに選択したモジュールの幅を小さくする (soft)
- ランダムに選択したモジュールの高さを大きくする (soft)
- ランダムに選択したモジュールの高さを小さくする (soft)
- ランダムに選択したモジュールのアスペクト比をランダムに変更する (soft)

SA での処理を図 3.2.2 に示す.

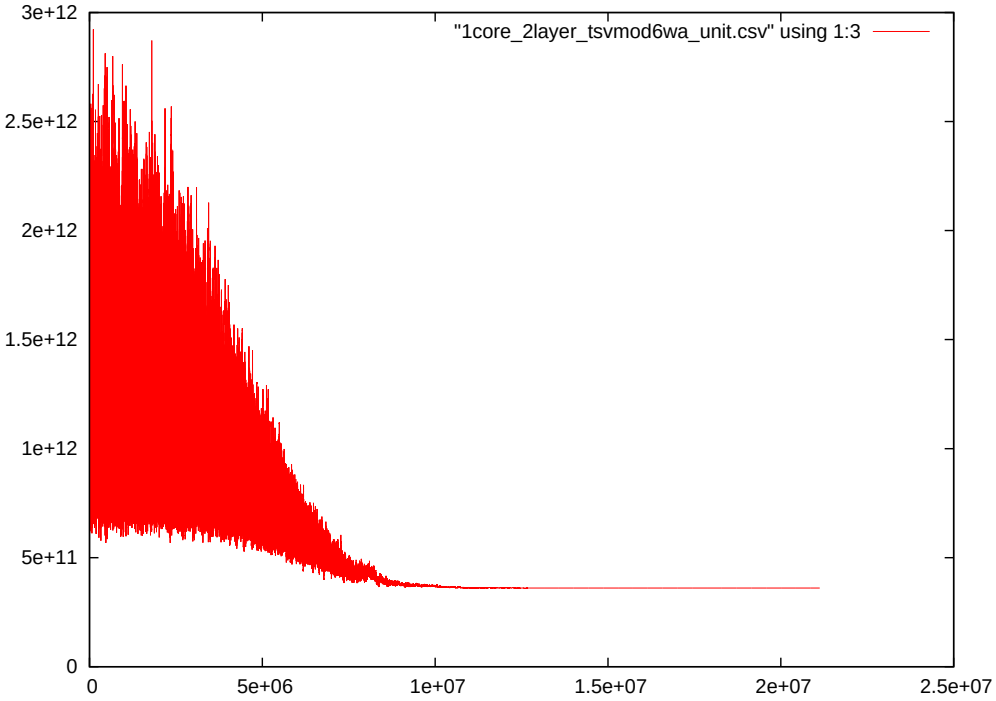

図 3.2.1: 収束までの様子

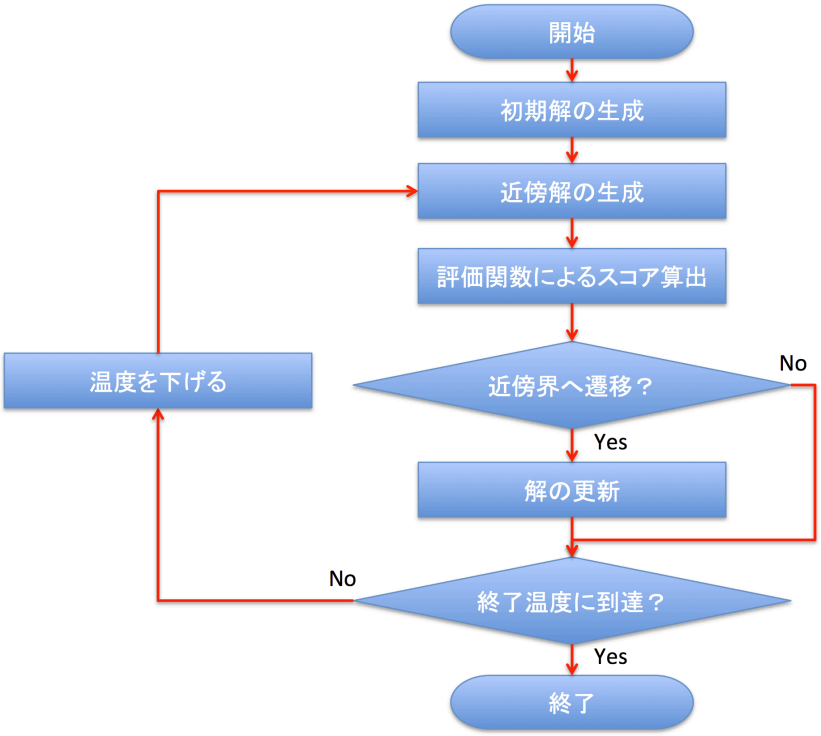

図 3.2.2: SA の処理

第4章　本論文での提案

4.1　TSV モジュール

3 次元積層プロセッサにおいて層間結線は必要不可欠なものになっている．層間結線が増えるに従い，必要となる TSV の数も増加し，その影響も無視できなくなって来ている [18]．Tsai らの手法において，TSV はモジュール配置後に生じたホワイトスペースに割り当てられる．このため配置上ホワイトスペースが生じにくい場所には TSV を配置することが出来ないので配線長を最適化出来ていない．そこで本論文ではモジュール配置の段階で TSV の配置を考慮するアルゴリズムを提案する．

本論文のアルゴリズムでは，TSV の配置を探索するために他のモジュール同様 SA によって配置探索を行う．この際，TSV 一本一本について探索を行うと組み合わせが爆発し，計算時間が膨大となってしまう．そこで，複数の TSV を割り当てることが出来る「TSV モジュール」を導入することで現実的な計算時間で探索を行うことを可能とする．本論文では TSV モジュールを数個〜十数個導入し，その配置を明示的にするために他のモジュール同様にシーケンスペアによって表現する．

層間に必要な TSV の数はモジュールの配置によって変動する．例えば，結線幅が大きなモジュール同士が異なる層に配置されれば多くの TSV が必要となる．よって結線幅が大きなモジュール同士は同層の近場に配置されることが望ましい．また，モジュール同士が層間結線を行う場合，複数ある TSV モジュールの中から最も配線長が短くなるような TSV モジュールを使用する．このため，TSV モジュールのフットプリントはモジュールの配置が決定するまでは可変のものとして扱い，TSV が割り当てられなかった TSV モジュールの面積は 0 となる．

フロアプラン生成において TSV モジュールは他のモジュール同様 swap の対象となるが，他のモジュールと違う点は同層のみでの swap となる点である．これは，TSV を必要しない最下層に「TSV モジュール」が移動する事や，TSV を必要としている上層から TSV モジュールがなくなることを防ぐためである．TSV モジュールはパラメタとして与えられ，初期解生成時に最下層以外の各層へ等分に配置され，フロアプランが更新されてもその層に存在する TSV モジュールの数は不変となる．

4.2　TSV の配置

SA のループ内において TSV モジュールの配置決定後に TSV モジュールへの TSV の配置を行う．層間配線が生じた全てのモジュール対について，間の全ての TSV モジュールの中から最も配線長が短くなるものを選択し，使用した TSV モジュールの TSV 割当数をその配線のビット幅の数だけ加算する．

TSV モジュールへの TSV の割当数が決定された後，各 TSV モジュールを割当数に応じてフットプリントの変更を行う．TSV モジュールの変形後にフロアプランの配置が決定し，評価関数に

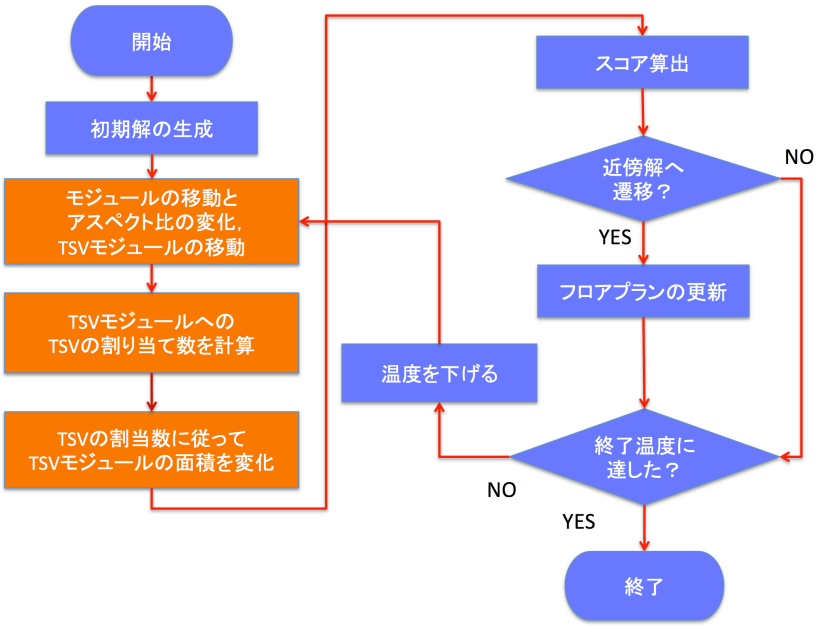

図 4.3.1: 提案アルゴリズムの概要フローチャート

よって点数付けを行う．

4.3 提案実装

我々の配置アルゴリズムを SA フローに導入した時のフローチャートを図 4.3.1 に示す．今回のフロアプランナでは SA における温度変化の割合は 0.9 とした．モジュールの swap 操作と soft 操作の中で swap 操作が行われる確率を式 4.3.1 で表す．$Threthold_{max}$ と $Threthold_{min}$ はそれぞれ実行の最初で swap 操作が行われる割合と soft 操作が行われる割合である．

$$\left(\frac{\text{現在の温度} - \text{終了温度}}{\text{開始温度} - \text{終了温度}} \times (Threthold_{max} - Threthold_{min}) + Threthold_{min}\right) \times 100 \tag{4.3.1}$$

swap 操作の方が soft 操作に比べて解を大きく変動させることが多く，SA の初期段階である温度が高い状態では大きく変化した近傍解を得られる．今回，我々が実装したフロアプランナでは実行の初期段階で $Threthold_{max}$ と $Threthold_{min}$ をそれぞれ 0.8 と 0.2 とした．探索が進み，温度を下げていくにつれて swap 操作の割合が減っていき代わりに soft 操作の割合が増加する．最終的には swap 操作と soft 操作の割合はそれぞれ 0.2 と 0.8 となる．soft 操作では swap 操作に比べて解の変化は少なく，SA の終盤ではフロアプランの大きな変化が起こりにくくなっている．また，近傍解が生成された時にその解が改悪だった場合にその解を採用する条件を式 4.3.2 に表す．$Rand$ は $0 < Rand < 1$ の間のランダムな値を取る．

$$Rand < \mathrm{e}^{-\frac{\text{前回の解}-\text{新しい解}}{\text{現在の温度}}} \tag{4.3.2}$$

SA の結果得られたフロアプランの評価は評価関数を用いて行う．評価関数の項はフットプリント，配線アクティビティ，熱密度を用いた．配線長，通信回数，バンド幅を掛けあわせることによって生成した配線アクティビティを用いることで，より最適化されたフロアプラン評価を可能

とした．モジュール接続の際の配線長は重心間のマンハッタン距離を用いて算出した．これはモジュールの重心から接続先のモジュールの重心までの距離を直交する座標軸に沿って計測するものである．しかし，TSV モジュールを導入していないフロアプランにおいては層間結線をしているモジュール同士の配線長計測にこの方法を用いると，実際には配線できないような層を貫通する経路で配線していると仮定して計算してしまう．そこで TSV モジュールを導入していないフロアプランでの配線長計測についてはモジュールの重心から近いホワイトスペースまでの距離を計算することで算出した．また，熱の評価に関しては Cong らの手法を用いた [9]．各項の重みについては，それぞれ各項のみを評価関数としてモンテカルロ法を実行し，各項の重みがそれぞれ同じになるように係数を設定した．まず，評価関数の各項についてその項のみを評価関数としたモンテカルロ法を実行する．次にモンテカルロ法によって得られた各項の結果について α×フットプリント : β×配線アクティビティ : γ×熱密度 = 1 : 1 : 1 となるように α，β，γ を決定する．

次に温度決定のために高い温度からシミュレーテッドアニーリングを実行し，評価関数の収束の様子から実際に実行する際の開始温度と終了温度を決定した．温度決定のために行ったシミュレーテッドアニーリングの初期温度は 5000000000000 度とした．実際に決定した開始温度，終了温度を表 4.1 に示す．

表 4.1: シミュレーテッドアニーリングでの開始温度と終了温度

評価をとるフロアプラン	開始温度	終了温度
1core / 2layer	3000000000000	25000.0
1core / 2layer / tsvmodule6	3000000000000	25000.0
1core / 2layer / tsvmodule12	3000000000000	25000.0
1core / 2layer / tsvmodule15	3000000000000	25000.0
1core / 3layer	3000000000000	25000.0
1core / 3layer / tsvmodule6	3000000000000	25000.0
1core / 3layer / tsvmodule12	3000000000000	25000.0
1core / 4layer / tsvmodule15	3000000000000	25000.0
1core / 6layer / tsvmodule15	3000000000000	25000.0
2core / 2layer	50000000000000	416666.7
2core / 2layer / tsvmodule6	50000000000000	416666.7
2core / 2layer / tsvmodule12	50000000000000	416666.7
2core / 3layer	50000000000000	416666.7
2core / 3layer / tsvmodule6	50000000000000	416666.7
1core / 3layer / tsvmodule12	50000000000000	416666.7

第5章　評価環境

本論文ではアーキテクチャ1コア及び2コアについて評価を行った．プロセスルールを22nmとし，TSV1本の面積を3 μ m × 3 μ m，長さを30 μ mとした．アーキテクチャのブロック図を図5.0.1，各キャッシュサイズを表5.1に示す． 一般的にコンピュータシステムの性能評価にはベン

表5.1: キャッシュサイズ

level 1 instruction cache	32kB
level 1 data cache	32kB
level 2 cache	256kB

チマークと呼ばれるものを使用する．今回はCPUやメモリの総合的な評価ができるSPECベンチマークがこれらの入力を用いて実行した時の挙動を用いてフロアプランを得る．評価をとるフロアプランを表5.2に示す．本論文では1コアと2コアについて層数や導入するTSVモジュールの

表5.2: 評価項目

コア数	層数	TSV モジュール
1core	2	0
1core	2	6
1core	2	12
1core	2	15
1core	3	0
1core	3	6
1core	3	12
1core	4	15
1core	6	15
1core 並列	2	0
1core 並列	2	12
2core same	2	0
2core	2	0
2core	2	6
2core	2	12
2core	3	0
2core	3	6
2core	3	12

数を変えた評価を取得する．1コア2積層に関して，導入するTSVモジュール数を0個，6個，12個，15個と変えたフロアプランを得る．また，1コア3積層に関しては，導入するTSVモジュール数を0個，6個，12個と変えたフロアプランを得る．さらに多積層でのTSVモジュールの影響を見るためにTSVモジュールを15個導入した1コア4層と1コア6積層の結果を取得する．1core並列に関しては1coreでの実行結果を並列に接続することで2coreとしたものの結果を取得した．今回は1コア2層のものと1コア2層TSVモジュール6個のものをそれぞれ並列積層して2コア

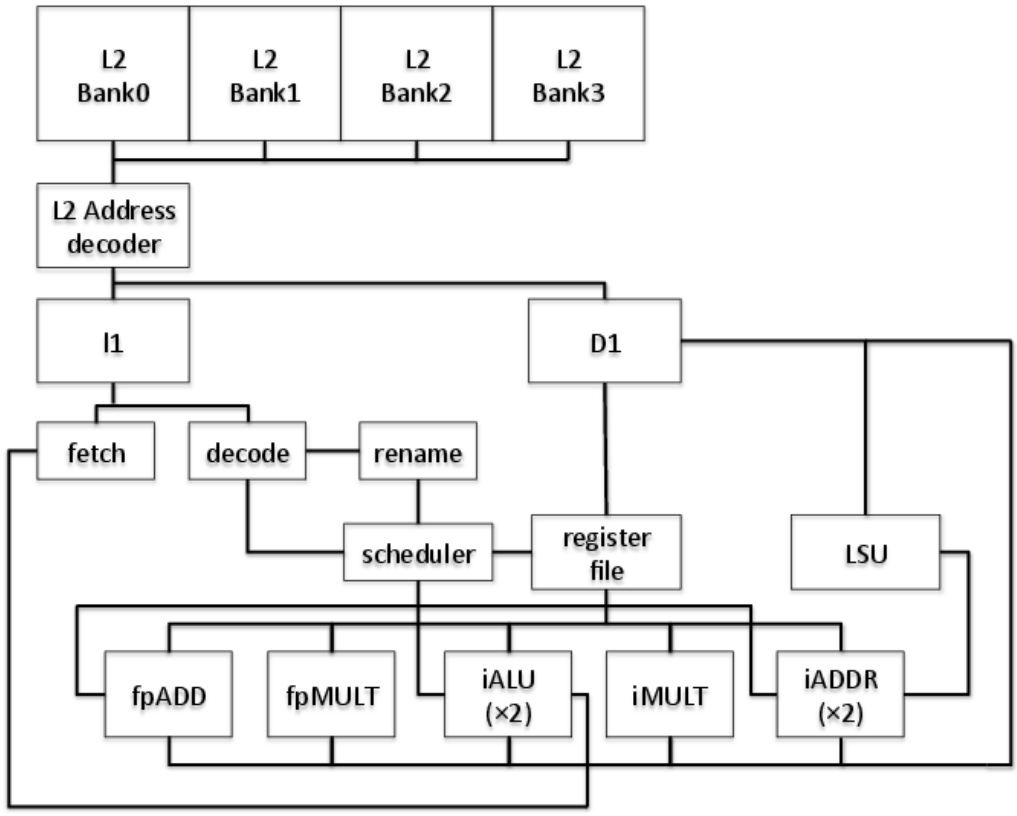

図 5.0.1: アーキテクチャのブロック図

2 層，2 コア 2 層 TSV モジュール 12 個とした．また，2core same に関しては 1 コア 1 層として層間のモジュールの移動は行わず，層ごとにモジュールを SA にかけたものを積み重ねるモードの結果を取得した．その他に 2 コア 2 積層に関して，導入する TSV モジュール数を 0 個，6 個，12 個と変えたフロアプランを得る．また，2 コア 3 積層に関して，導入する TSV モジュール数を 0 個，6 個，12 個と変えたフロアプランを得る．フロアプランナの入力について，SPEC ベンチマークにおいてプロセッサシミュレータの onikiri2 を 10G 命令スキップ 1G 命令実行し，アクティビティを取得した．また，面積・電力シミュレータ McPAT を実行して各モジュールの面積と電力を取得した．得られた電力の値を元に，最上層のヒートシンクに向かって熱が放散すると仮定して熱の偏りを近似する．今回の評価に用いた各モジュールの面積と消費電力および消費電力/面積を正規化したグラフを図 5.0.2 に示す．また，バンド幅およびアクティビティを正規化したグラフを図 5.0.3 に示す．

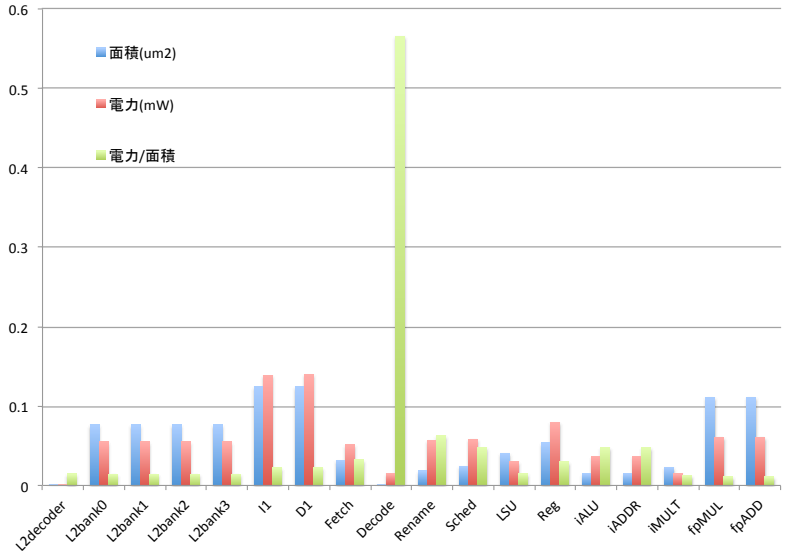

図 5.0.2: 各モジュールのフットプリントおよび消費電力

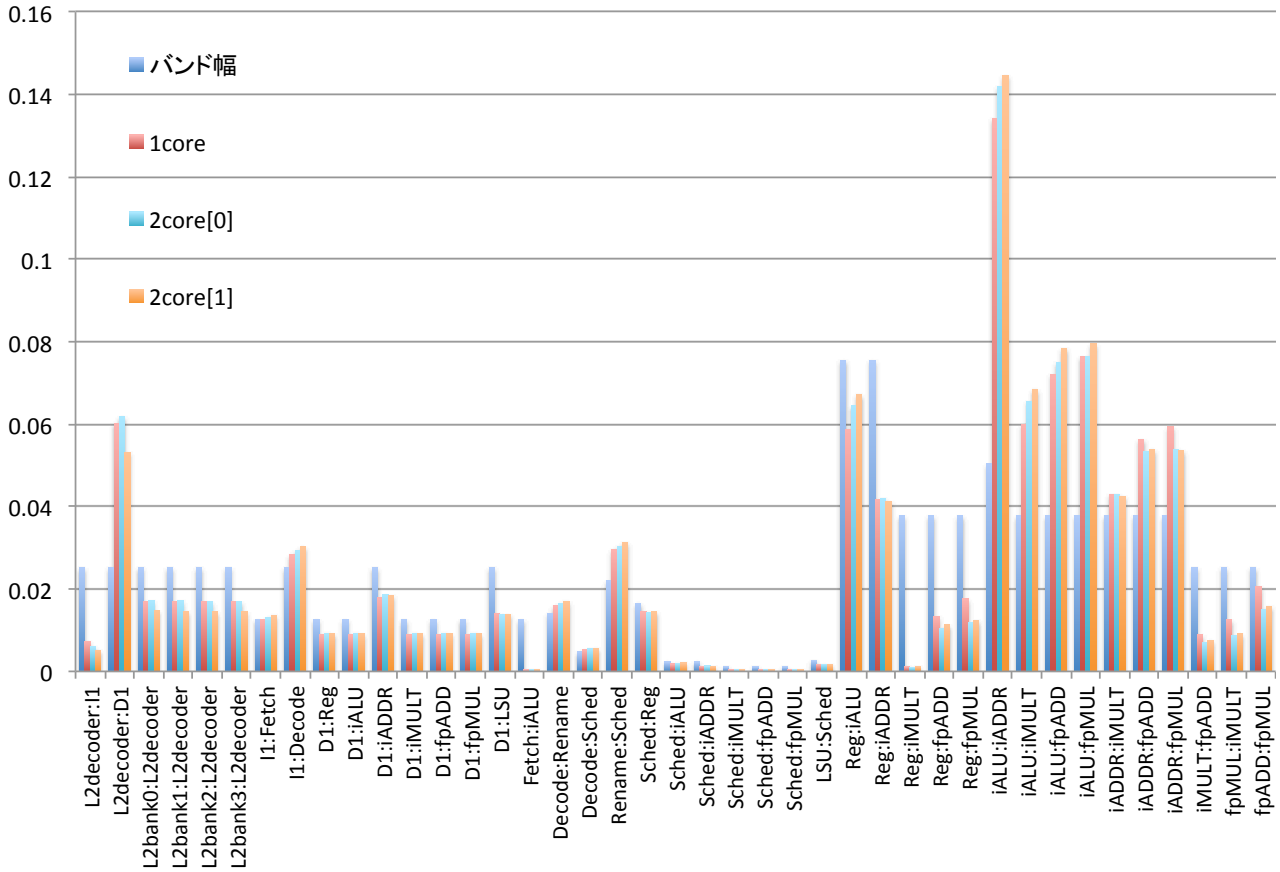

図 5.0.3: モジュール間のバンド幅およびアクティビティ

第6章　評価

提案アルゴリズムより得られたフロアプランを以下に示す．図 6.0.1 から図 6.0.9 に関しては，1 コアについての結果である．図 6.0.1，図 6.0.2，図 6.0.3，図 6.0.4 は層数 2 のフロアプランでそれぞれ導入している TSV モジュールの数が 0 個，6 個，12 個，15 個である．図 6.0.5，図 6.0.6，図 6.0.7 は層数 3 のフロアプランでそれぞれ導入している TSV モジュールの数が 0 個，6 個，12 個である．図 6.0.8 は層数 4，導入している TSV モジュールが 15 個のフロアプランである．図 6.0.9 は層数 6，導入している TSV モジュールが 15 個のフロアプランである．また，図 6.0.10 から図 6.0.18 は 2 コアについての結果である．その中でも図 6.0.10 と図 6.0.11 は 1 コアの結果を並列に積層したものである．図 6.0.12 は 1core1 層のフロアプランを積層したものであり，層間結線は行わないため TSV モジュールは必要としない．図 6.0.13，図 6.0.14，図 6.0.15 は層数 2 のフロアプランでそれぞれ導入している TSV モジュールの数が 0 個，6 個，12 個である．図 6.0.16，図 6.0.17，図 6.0.18 は層数 3 のフロアプランでそれぞれ導入している TSV モジュールの数が 0 個，6 個，12 個である．図 6.0.1，図 6.0.2，図 6.0.3，図 6.0.4 のように同じ層数で導入する TSV モジュールの数を変化させたものを比較することで TSV モジュールが増減した時のモジュール配置の影響や TSV モジュールを導入することによる配線長への影響を見ることが出来る．また，図 6.0.4，図 6.0.8，図 6.0.9 のように導入する TSV モジュール数を固定し，積層数を変化させることで層数の変化による TSV モジュールの最適な配置場所や面積の変化を確認する事が可能となる．さらには図 6.0.10 と図 6.0.13 および図 6.0.11 と図 6.0.18 を比較した時にモジュールレベルの配置とコアレベルでの配置を比較することができる．青，水色部分がキャッシュおよびメモリ，赤，ピンク部分が演算部，緑，灰色部分がフロントエンド，黄色が TSV モジュールを表している．

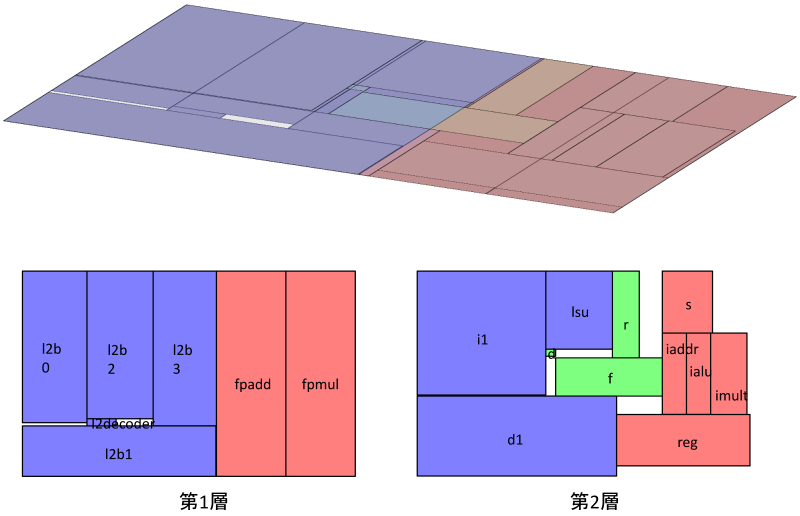

図 6.0.1: 1core / 2layer

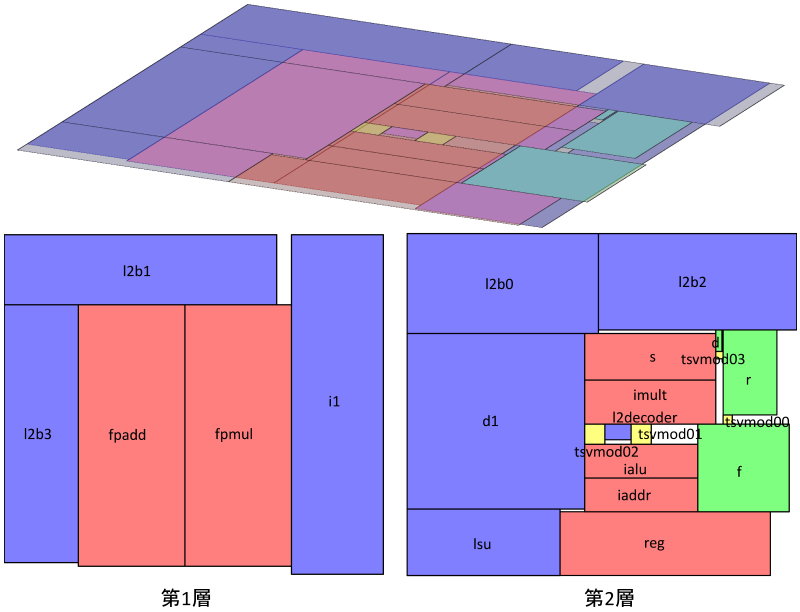

図 6.0.2: 1core / 2layer / tsvmodule6

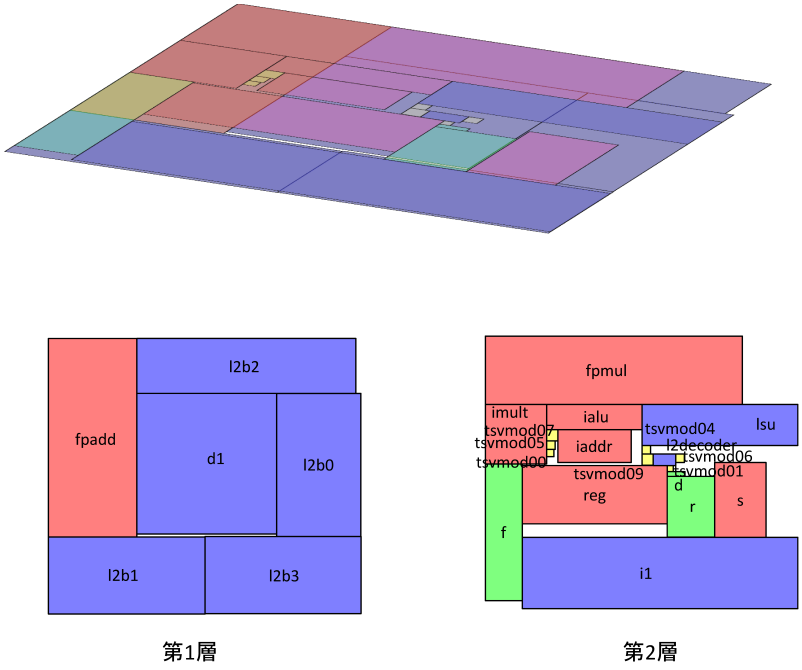

図 6.0.3: 1core / 2layer / tsvmodule12

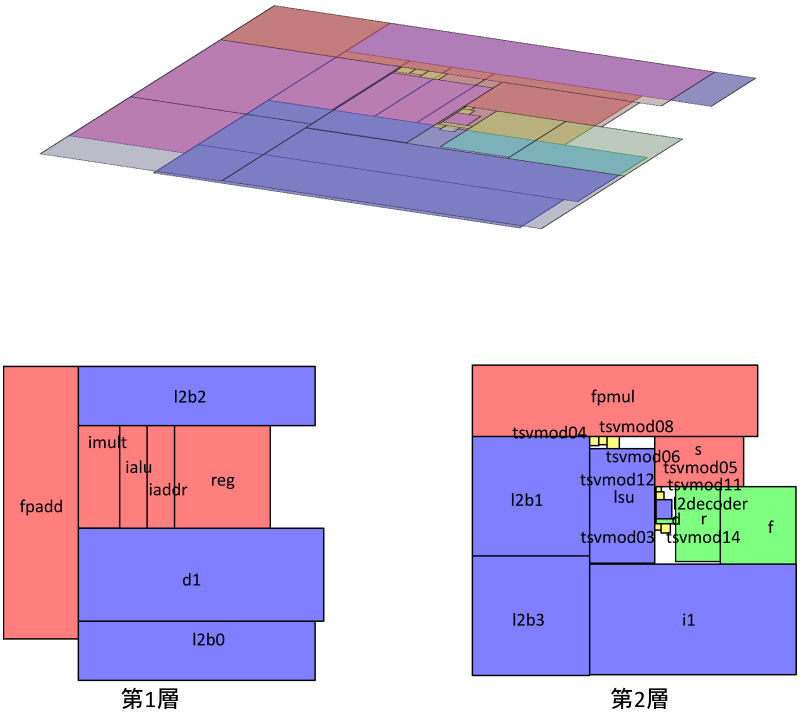

図 6.0.4: 1core / 2layer / tsvmodule15

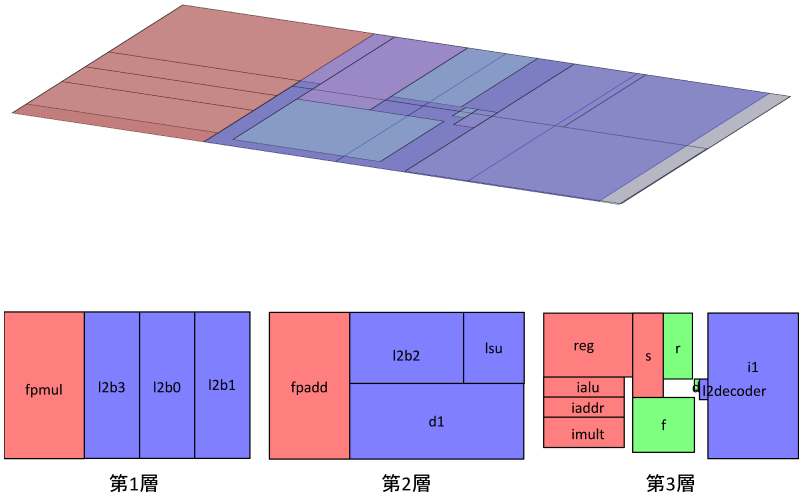

図 6.0.5: 1core / 3layer

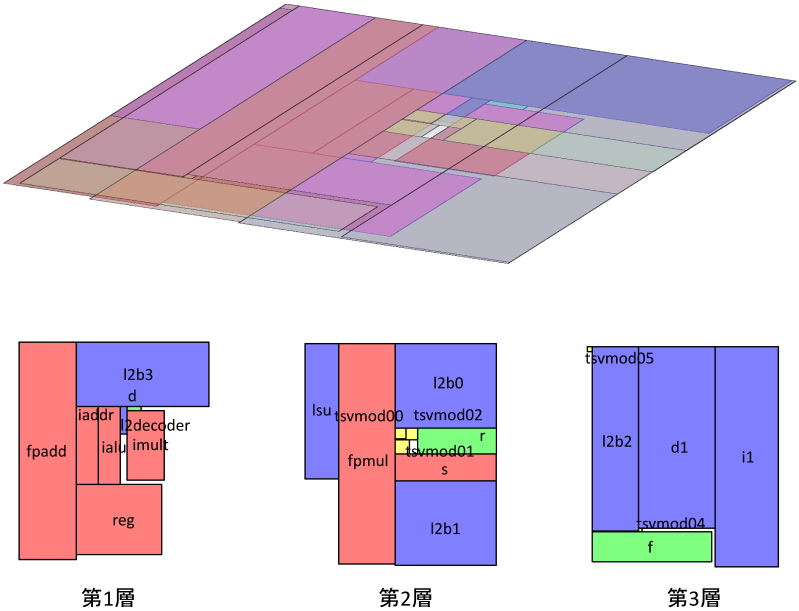

図 6.0.6: 1core / 3layer / tsvmodule6

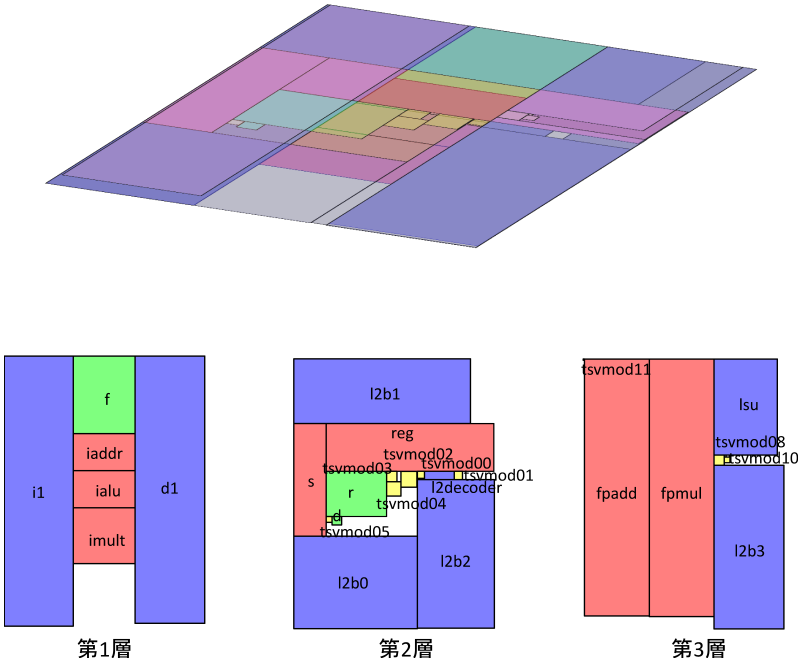

図 6.0.7: 1core / 3layer / tsvmodule12

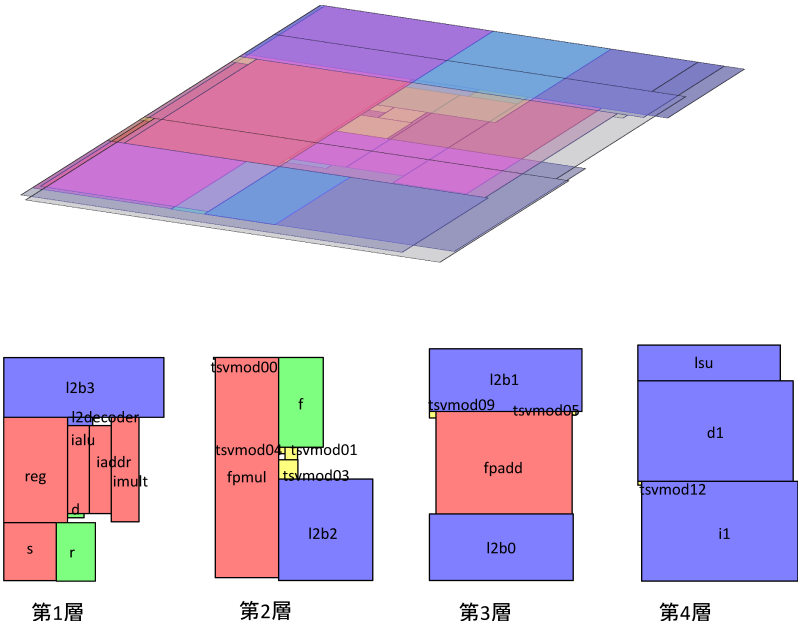

図 6.0.8: 1core / 4layer / tsvmodule15

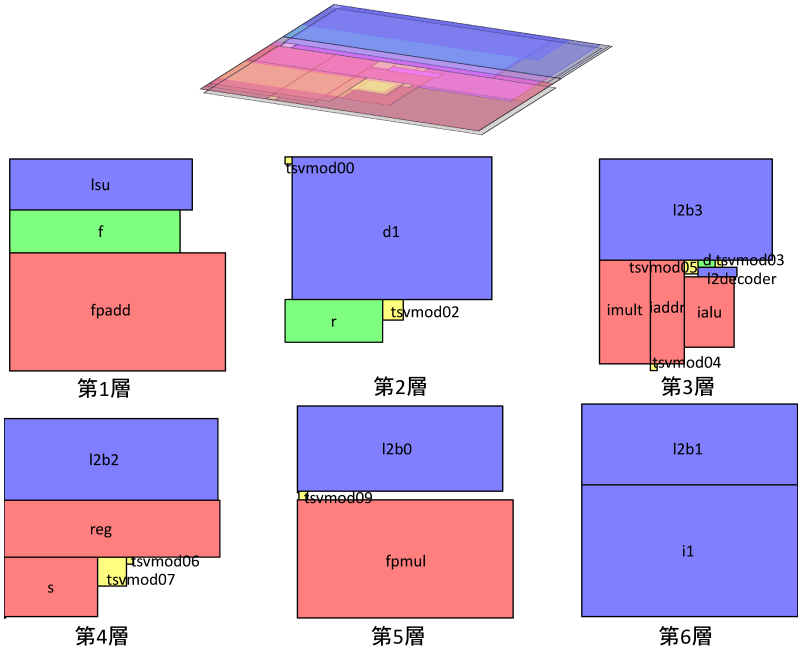

図 6.0.9: 1core / 6layer / tsvmodule15

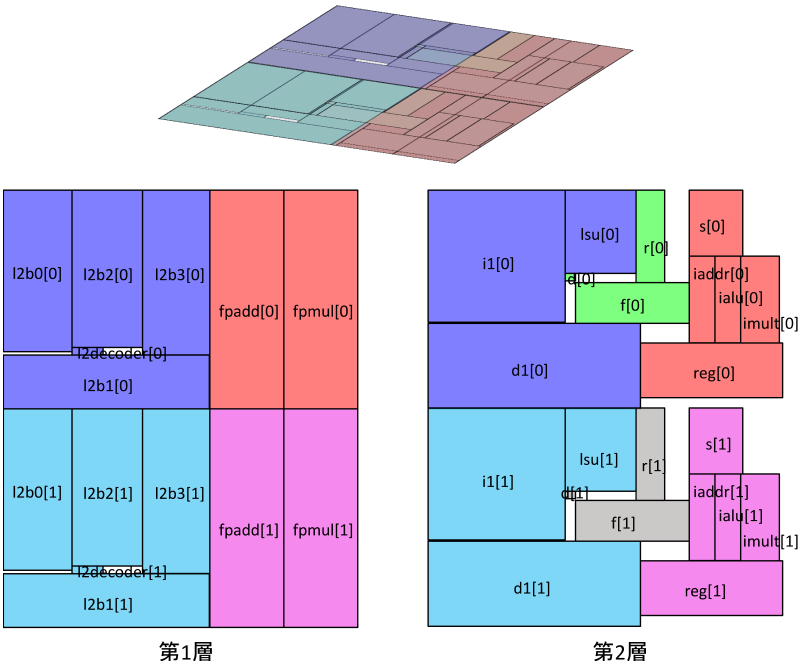

図 6.0.10: 1core / 2layer / 並列積層

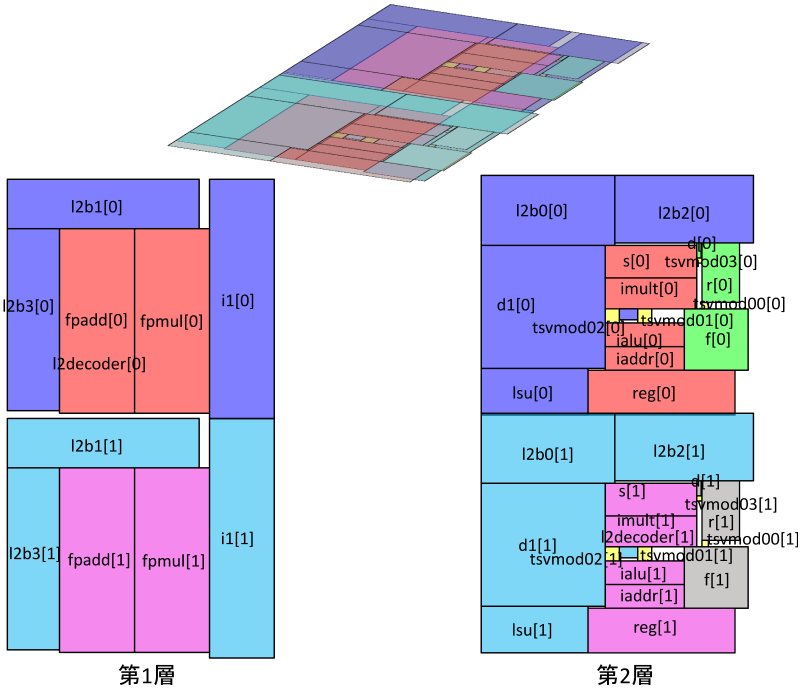

図 6.0.11: 1core / 2layer / tsvmodule6 /並列積層

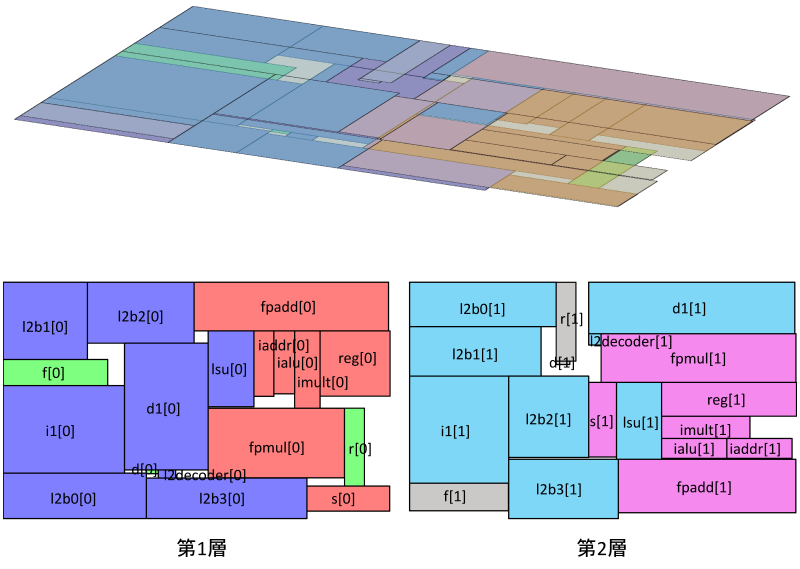

図 6.0.12: 2core / samelayer

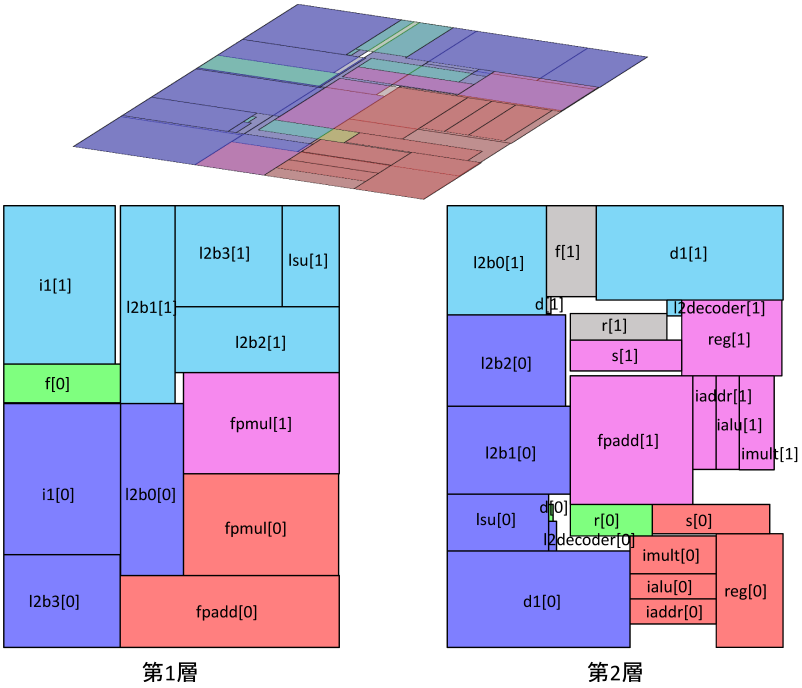

図 6.0.13: 2core / 2layer

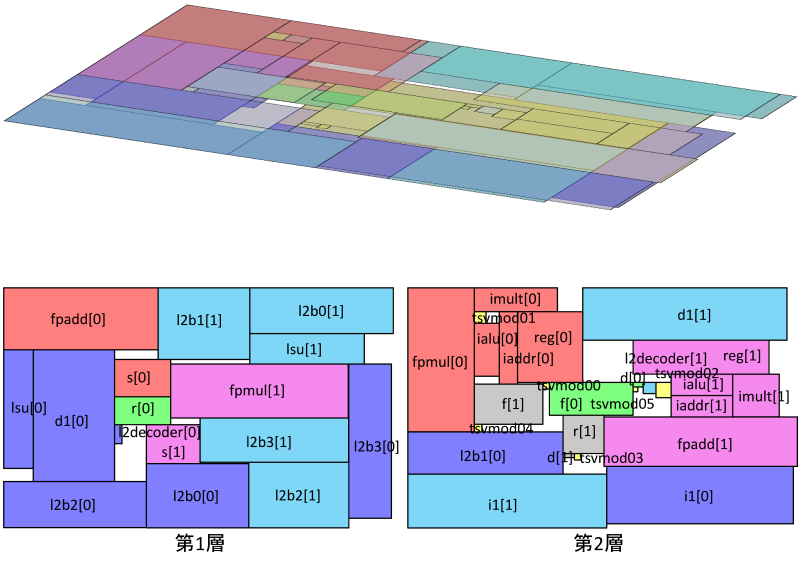

図 6.0.14: 2core / 2layer / tsvmodule6

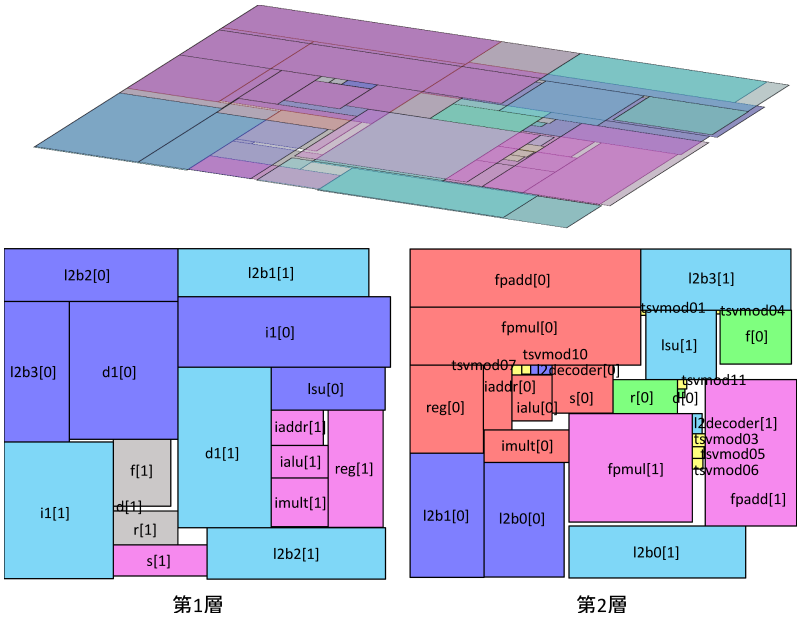

図 6.0.15: 2core / 2layer / tsvmodule12

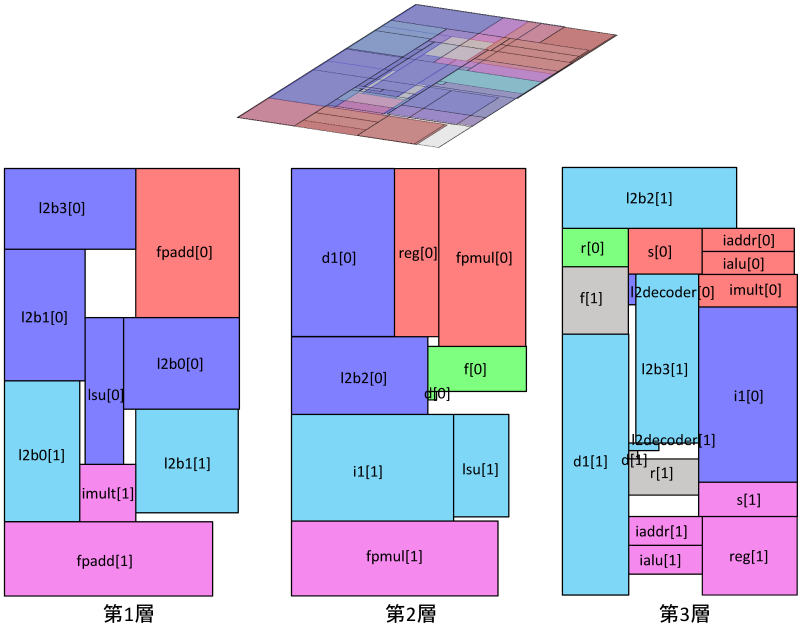

図 6.0.16: 2core / 3layer

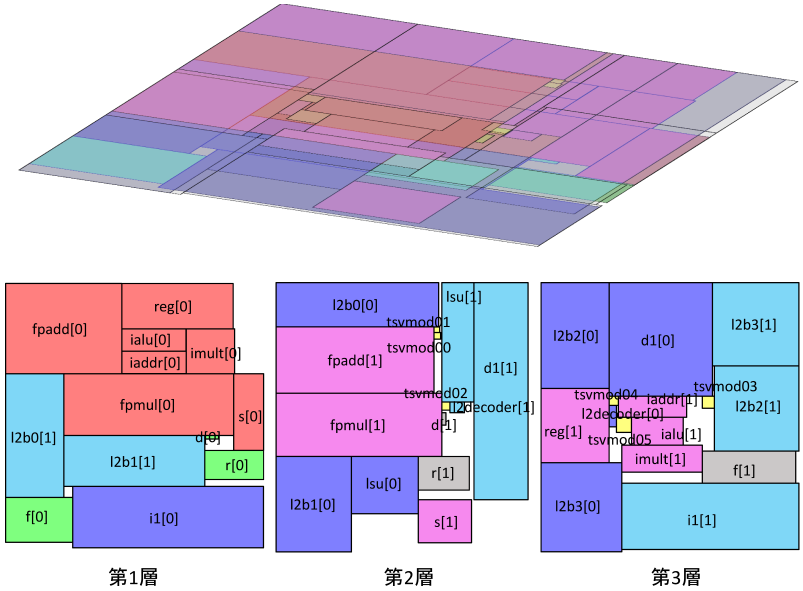

図 6.0.17: 2core / 3layer / tsvmodule6

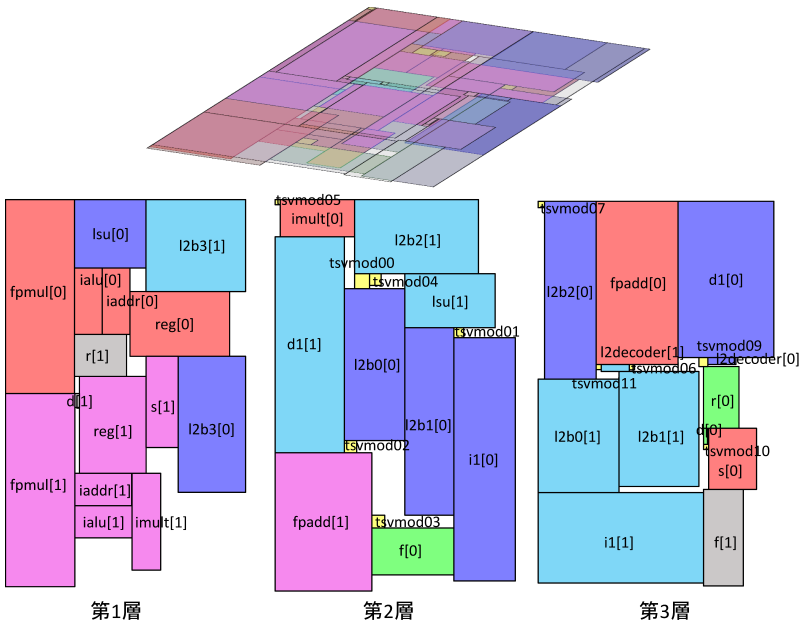

図 6.0.18: 2core / 3layer / tsvmodule12

これら全てのフロアプランの図において，アクティビティが高いデータパス部分，特に赤やピンクで表している演算器同士が隣接しており，配線の最適化を行う事が出来てることがわかる．また，TSV モジュールを導入しているフロアプランにおいて，シーケンスペアによるモジュール配置ではホワイトスペースが出来ないような場所に TSV モジュールが多く存在している．これにより，従来の手法では TSV を配置できないような場所に TSV の配置場所として有効な場所が存在する事がわかり，TSV モジュールの有効性がわかる．

次にそれぞれのフロアプランについて配線アクティビティ，フットプリント，熱密度の評価を取る．図 6.0.19 に 1 コアについての配線アクティビティの結果，図 6.0.20 に 2 コアの配線アクティビティを示す．図 6.0.21 に 1 コアについてのフットプリント，図 6.0.22 に 2 コアについてのフットプリントの結果を示す．また，図 6.0.23 に 1 コアについての熱密度，図 6.0.24 に 2 コアについての熱密度の結果を示す．配線アクティビティは配線長×バンド幅×通信回数なので無次元である．また，熱密度に関しても熱の標準偏差なので無次元である．図 6.0.19 及び 6.0.20 より TSV モジュールを導入しているフロアプランは導入していないフロアプランよりも配線アクティビティが改善している事がわかる．これにより，TSV モジュールを導入することで TSV の配置を考慮したフロアプランが可能であることがわかり，配線長の減少に効果があることがわかる．図 6.0.21 及び図 6.0.22 から TSV モジュールを導入しているフロアプランの面積は導入していないフロアプランの面積とあまり変わらないことがわかる．これにより，TSV モジュールを導入し，配線長の最適化を目指してもフロアプランの面積は大きく悪化しないことが確認できた．また，積層数が増えることで面積が減少していることがわかり，積層することでの利点を確認することが出来る．さらに図 6.0.23 及び図 6.0.24 から層数が増加することで熱密度が悪化していることがわかる．これは積層を行えば行うほど，ヒートシンクから遠い層のモジュールの熱が逃げにくくなってしまうからである．また，TSV モジュールを導入することで熱密度の悪化が見られるが，これは配線長の減少を重視したモジュールの配置とモジュール数の増加によってモジュール配置の柔軟性が制限され，熱の最適化が行えていなかったからだと考えられる．

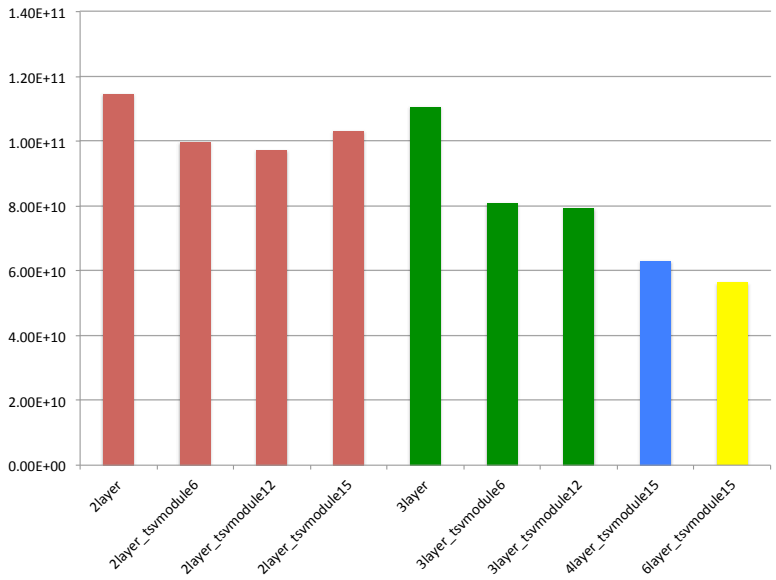

図 6.0.19: 1core / 配線アクティビティ

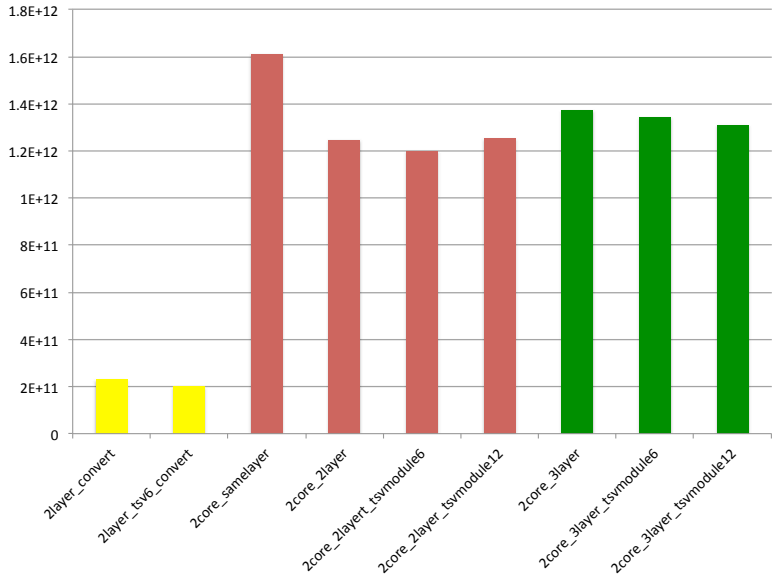

図 6.0.20: 2core / 配線アクティビティ

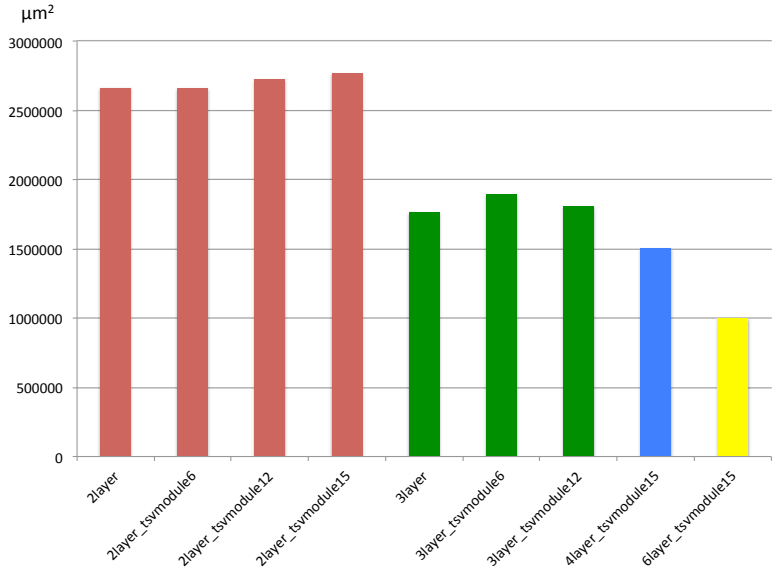

図 6.0.21: 1core / 面積

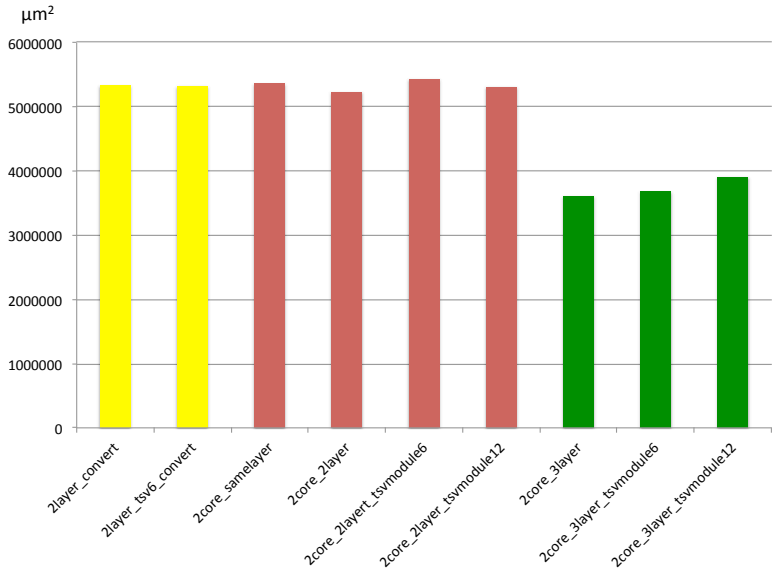

図 6.0.22: 2core / 面積

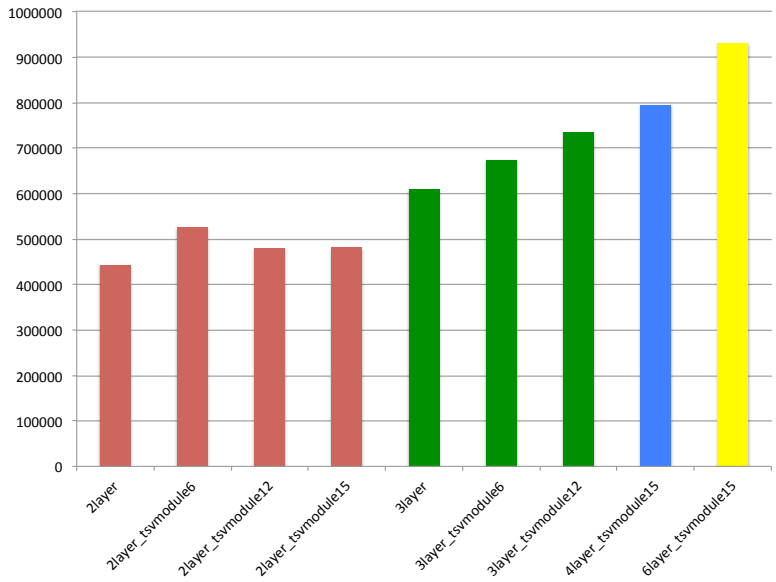

図 6.0.23: 1core / 熱密度

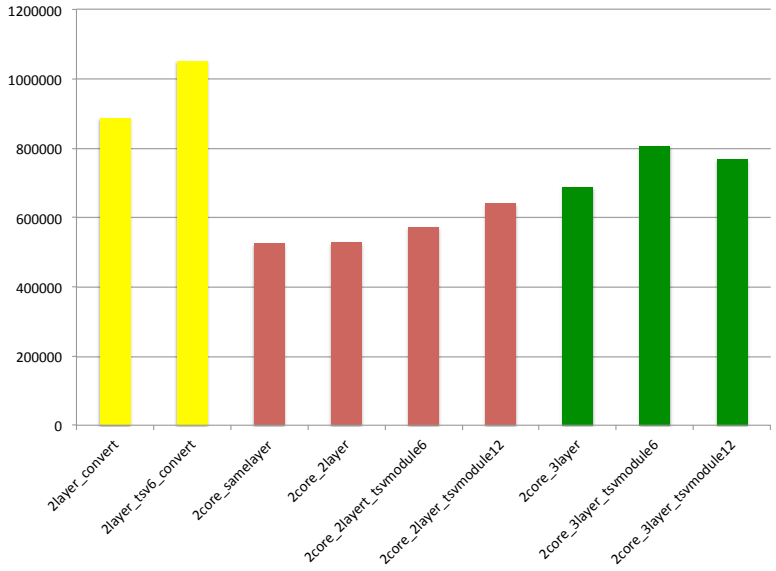

図 6.0.24: 2core / 熱密度

次に各フロアプランの結果から入力したTSVモジュールの中から実際に使われている数を表6.1に示す．この結果から，コア数や層数が増加すると必要となるTSVモジュール数が増加する傾向

表 6.1: 必要 TSV モジュール数

フロアプランナ	面積が 0 になっていない TSV モジュール
1core / 2layer / tsvmodule6	4 個
1core / 2layer / tsvmodule12	7 個
1core / 2layer / tsvmodule15	8 個
1core / 3layer / tsvmodule6	5 個
1core / 3layer / tsvmodule12	10 個
1core / 4layer / tsvmodule15	7 個
1core / 6layer / tsvmodule15	10 個
2core / 2layer / tsvmodule6	6 個
2core / 2layer / tsvmodule12	8 個
2core / 3layer / tsvmodule6	6 個
2core / 3layer / tsvmodule12	11 個

にあることがわかる．積層を行えば行うほど積層間結線が増加するのでこの結果は妥当であるといえる．またコア数が増える事で結線するモジュールが増えるので必要となるTSV数も増加する．

第7章　まとめ

今回本論文ではシングルコアプロセッサとマルチコアプロセッサについて TSV モジュールを導入したフロアプランについての評価を行った．TSV モジュールを導入することでいままでより配線が向上したフロアプランを得ることが出来た．これはシングルコアだけではなくマルチコアでも同様なことが言えた．また，従来のシーケンスペアではホワイトスペースが出来ないような位置に TSV モジュールが存在することで，本来の手法では配置されないような場所にも TSV を配置するのに適した場所が存在する事がわかった．しかし，TSV モジュールを導入することでモジュール数が増えて，SA の実行時間が増えてしまったので今後はよりいっそうの SA の高速化を目指す．

謝辞

本研究を進めるにあたり，多大なるご指導，ご助言を頂いた，入江英嗣准教授，吉永努教授，吉見真聡助教に深く感謝します．また，普段の研究の中で様々な協力をしていただき，時には心の支えになっていただいた吉永研究室・入江研究室の先輩，同期，後輩の皆様に感謝します．本研究は，科研費若手研究 25730028「新アーキテクチャによる高効率プロセッサコアおよびそのマルチコア構成の研究」の助成を受けたものであり，科研費に感謝いたします．

参考文献

[1] John L. Hennessy and David A. Patterson. *Computer Architecture, Fourth Edition: A Quantitative Approach*. Morgan Kaufmann Publishers Inc., San Francisco, CA, USA, 2006.

[2] Cha-Ru Li, Wai-Kei Mak, and Ting-Chi Wang. Fast fixed-outline 3-d ic floorplanning with tsv co-placement. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, pp. 523–532, 2013.

[3] Koji Inoue. Research trends: 3d integrated microprocessor/memory architectures. *IPSJ SIG Technical Report*, pp. 1–4, 2011.

[4] T. Hanada, H. Sasaki, K. Inoue, and K. Murakami. Performance evaluation of 3d stacked multicore processors with temperature consideration. In *3D Systems Integration Conference (3DIC), 2011 IEEE International*, pp. 1–5, 2012.

[5] M.A. Ahmed and M. Chrzanowska-Jeske. Delay and power optimization with tsv-aware 3d floorplanning. In *15th International Symposium on Quality Electronic Design (ISQED), 2014*, pp. 189–196, 2014.

[6] Kiran Puttaswamy and Gabriel H. Loh. Thermal analysis of a 3d die-stacked high-performance microprocessor. In *Proceedings of the 16th ACM Great Lakes Symposium on VLSI*, pp. 19–24, 2006.

[7] Y. Shiyanovskii, C. Papachristou, and Cheng-Wen Wu. Analytical modeling and numerical simulations of temperature field in tsv-based 3d ics. In *14th International Symposium on Quality Electronic Design (ISQED), 2013*, pp. 24–29, 2013.

[8] Yuan Xie, Gabriel H. Loh, Bryan Black, and Kerry Bernstein. Design space exploration for 3d architectures. *J. Emerg. Technol. Comput. Syst.*, pp. 65–103, 2006.

[9] J. Cong, Jie Wei, and Yan Zhang. A thermal-driven floorplanning algorithm for 3d ics. pp. 306–313, 2004.

[10] Zhipeng Liu, Jinian Bian, Qiang Zhou, Liu Yang, and Yunfeng Wang. Interconnect power optimization based on the integration of high-level synthesis and floorplanning. In *2006 International Conference on Communications, Circuits and Systems Proceedings*, pp. 2286–2290, 2006.

[11] H. Murata, K. Fujiyoshi, S. Nakatake, and Y. Kajitani. Vlsi module placement based on rectangle-packing by the sequence-pair. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, pp. 1518–1524, 1996.

[12] R. Hayashi, H. Ohta, and K. Fujiyoshi. A novel representation for 3d-lsi floorplan: Merged ft squeeze. In *2012 IEEE Third Latin American Symposium on Circuits and Systems (LASCAS)*, pp. 1–4, 2012.

[13] K. Bazargan, R. Kastner, and M. Sarrafzadeh. 3-d floorplanning: simulated annealing and greedy placement methods for reconfigurable computing systems. In *IEEE International Workshop on Rapid System Prototyping, 1999*, pp. 38–43, 1999.

[14] Hiroyuki YAMAZAKI, Keishi SAKANUSHI, Shigetoshi NAKATAKE, and Yoji KAJITANI. The 3d-packing by meta data structure and packing heuristics(special section on discrete mathematics and its applications). *IEICE transactions on fundamentals of electronics, communications and computer sciences*, pp. 639–645, 2000.

[15] 正木貴大, 瀬尾賢治, 大村道郎. 3 次元 vlsi におけるニューラルネットワークを用いた初期配置手法. Technical Report 7(2002-SLDM-108), jan 2003.

[16] Jai-Ming Lin and Yao-Wen Chang. Tcg: a transitive closure graph-based representation for non-slicing floorplans. In *Design Automation Conference, 2001. Proceedings*, pp. 764–769, 2001.

[17] 入江英嗣, 放地宏佳, 稲場朋大, 眞島一貴, 藤原大輔, 吉見真聡, 吉永努. 配線アクティビティを考慮した 3 次元積層プロセッサ向けフロアプランナ. 情報処理学会論文誌. コンピューティングシステム, Vol. 6, No. 3, pp. 131–145, sep 2013.

[18] Ming-Chao Tsai, Ting-Chi Wang, and TingTing Hwang. Through-silicon via planning in 3-d floorplanning. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, Vol. 19, No. 8, pp. 1448–1457, Aug 2011.

発表論文

[1] 村田篤志　稲場朋大　吉見真聡　入江英嗣　吉永努　”TSV モジュールの配置最適化アルゴリズムの提案 ”　信学技報, vol. 114, no. 506, CPSY2014-169, pp. 43-48, 2015 年 3 月

[2] 村田篤志，野村隼人，吉見真聡，入江英嗣，吉永努，坂井修一　”3 次元積層プロセッサ向けフロアプランナの可視化 ”　信学技報, vol. 115, no. 243, CPSY2015-58, pp. 63-65, 2015 年 10 月