

DSP を用いた DC-DC コンバータの
ロバスト制御に関する研究

竹上 栄治

電気通信大学

2008 年 9 月

DSP を用いた DC-DC コンバータの
ロバスト制御に関する研究

竹上 栄治

電気通信大学大学院電気通信学研究科
博士（工学）の学位申請論文

2008 年 9 月

DSP を用いた DC-DC コンバータの ロバスト制御に関する研究

博士論文審査委員会

主査	樋口	幸治	准教授
委員	松野	文俊	教授
委員	新	誠一	教授
委員	内田	雅文	准教授
委員	中野	和司	教授

著作権所有者

竹上 栄治

2008

Study on DSP-Based Robust Control of DC-DC Converter

Eiji Takegami

Abstract

The switching frequency of DC-DC conversion becomes higher as demands for downsizing and fast-response increase. At present, the switching frequency of an isolated DC-DC converter is about 300kHz to 500kHz. PWM controllers are realized by using analog control ICs and some analog parts. In recent years, the demands for more functions and capabilities are widely diversified and sophisticated. To satisfy these demands, digitization of controllers has been considered in academic and industrial worlds. In the practical use of DC-DC converters, characteristics of startup transient responses and dynamic load responses as well as output voltage responses when the input voltage changing are of importance. Furthermore, in many applications of DC-DC converters, the loads and the input voltages cannot be specified in advance. Therefore, robust characteristics against loads and input voltage changes are necessary. Generally, the PID control is used for the digitization of the controller. The PID control is designed by trial and error, hence it is difficult to realize the robust characteristics. On the other hand, the H-infinity robust controller is of high-order, and its algorithm becomes too complex to implement. The robust controller with a simple algorithm is necessary for DC-DC converters.

In this paper, an approximate 2-degree-of-freedom (2DOF) system is considered for controllers of DC-DC converters. This system is obtained by constituting a model matching system and an approximated inverse system and a first-order filter. The startup transient response is determined by assigning dominant poles of model matching systems. The transfer characteristics from the disturbance to the output are determined by one coefficient of first-order filter. Thus, the 2DOF system is approximately realized. This system has robust characteristics, which can be realized by a simple algorithm. When applying this approximate 2DOF controller to DC-DC converters, it is necessary to improve the degree of approximation for stronger robustness. In this study, the controlled object is a forward converter whose switching frequency is 300kHz. We propose a design method for improving the degree of approximation of both first-order and second-order approximate models. The approximate 2DOF digital controller is actually implemented on a DSP and is connected to the DC-DC converters. We make some simulations and experiments for examining the startup transient responses and dynamic load responses as well as the output

voltage responses when the input voltage changing. A good approximate 2DOF controller is obtained by placing the poles of the approximate 2DOF system so as not to approach the dominant poles of model matching systems. It turns out that the characteristics are almost the same against load changes and input voltage changes, and also that the experimental results are almost the same as the simulation ones. The specifications are satisfied with the experiments and simulations. The control algorithm of the first order model is simpler than that of the second-order model. On the other hand, the second-order approximate model may improve the degree of approximation more. Therefore, the second-order approximate model may be used for the severer specifications.

A higher switching frequency of DC-DC conversion is necessary so as to take fast-response and better robust characteristics. The resolution of digital PWM generators becomes lower as the switching frequency becomes higher. Here exists an important problem of digitization of controllers. Digital dither and delta-sigma modulation methods are proposed to improve this problem. These methods improve the resolution by averaging some switching periods. Therefore, low frequency ripples that are determined by a dither-pattern are superposed on the output voltage. The output voltage of the DC-DC converter must exist in a range of several percentage points including ripple noises, dynamic load responses, etc. Therefore, lower frequency ripples by digitization should be as small as possible.

In this study, the digital PWM resolution is improved by controlling the delay time of the PWM signal. A delay time control system is realized by pulse-composite-circuits with two digital PWM generators. A method for determining control signals of two PWM generators is presented. It turns out that the algorithm for designing both control signals are simple. The amplitude of pulse-composite-circuits has a limit that is determined by the maximum duty cycle and switching frequency. In the case where the maximum duty cycle is 0.6 and the switching frequency is 400kHz, the amplitude is obtained as $1/32$. The relationship between the PWM resolution and the A-D converter resolution is examined. If the PWM resolution is lower than the A-D converter resolution, the output voltage oscillates in the shape of a limit cycle, and big noises occur. When the pulse composition technique is applied to the DPWM generator built-in DSP, an experimental model is designed and manufactured. It turns out that the PWM resolution is improved up to $1/32$ when the max duty cycle is 0.6 and the switching frequency is 400kHz, and that the limit cycle noises disappear because the PWM resolution is higher than that of A-D resolution (10 bit).

DSP を用いた DC-DC コンバータの

ロバスト制御に関する研究

竹上 栄治

概要

DC-DC コンバータは小形化や高速応答などの目的で高周波化が進み、現在は絶縁形で 300kHz から 500kHz 程度のスイッチング周波数で動作している。制御系は一般的にアナログである。その一方で DC-DC コンバータに求められる機能・性能は多様化し、また高度化している。これに対し、近年の DSP などの高速化に伴い、多くの学会や産業界で制御部のデジタル化が検討されてきている。制御部をデジタル化することで、様々な装置の要求仕様に対応することができるだけでなく、ロバスト制御などの高度な制御理論導入が期待される。DC-DC コンバータの仕様は、スタートアップ特性、抵抗負荷急変時出力電圧応答特性、入力電圧急変時出力電圧応答特性について与えられ、また抵抗負荷や容量性負荷及び入力電圧の変動に対して特性変化しないことが望まれる。このため、高速かつロバストな制御特性が必要となる。デジタル制御系は従来のアナログ系と同じ PID 制御系が用いられているのが現状である。PID 制御は試行錯誤で設計され、良いロバストな特性を得るのは困難である。また、 H_{∞} 制御理論によるロバスト制御器は高次の制御系になり、制御アルゴリズムが複雑になり易い。このため DC-DC コンバータのように高速動作する制御対象には不向きである。

本論文では、DC-DC コンバータの制御器として近似的 2 自由度制御系を検討している。本制御系は、モデルマッチング制御系に近似された逆システムと 1 次フィルタを結合することで得られる。スタートアップ特性はモデルマッチング制御系の代表特性根で決定し、外乱から出力への特性は 1 次フィルタのパラメータで決定されるため、近似的に 2 自由度系となっている。また簡単な制御アルゴリズムで実行されるため、DC-DC コンバータのような高速動作する制御対象に適用し易く、ロバスト性も得られる。しかしながら、DC-DC コンバータに十分なロバスト性を得るには、従来の設計手法よりも高い近似度を得る必要がある。そこで本論文では、スイッチング周波数 300kHz のフォワードコンバータを制御対象とし、スタートアップ特性を二次モデルに近似した場合と一次モデルに近似した場合のそれぞれに対し、十分な近似度を得るための設計手法を明らかにした。近似的 2 自由度

制御器の制御系の極が、モデルマッチングシステムで設けた代表特性根に近づかないように極配置することにより、高い近似度を持つ制御器が得られることを明らかにしている。得られた制御器を DSP に実装して DC-DC コンバータ実験機を製作し、スタートアップ特性と抵抗負荷急変時出力電圧応答及び入力電圧急変時出力電圧応答をシミュレーションと実験により検証した。シミュレーションと実験結果はよく一致しており、抵抗負荷や容量性負荷の条件、入力電圧条件を変えてもその特性はほとんど変化せず、ロバストであった。また与えられた仕様を満足していることを明らかにした。一次近似モデルの方が制御アルゴリズムも簡単であるため、DSP のプログラム量も少なくなる。一方、二次近似モデルは更なる近似度の改善が期待できる。このため、更に厳しい仕様に対しては二次近似モデルの方がよいと考える。

DC-DC コンバータを更に高速にし、ロバストにするには、スイッチング周波数を高くする必要がある。デジタル PWM ジェネレータは分解能を持ち、その分解能はスイッチング周波数を高くするほど悪くなるため、デジタル制御における重要な課題である。分解能の改善には、デジタルディザや $\Delta \Sigma$ 変調が検討されている。これらの手法は数スイッチング周期の平均で高分解能なデジタル PWM を実現する方式であり、ディザパターンによりスイッチング周波数より低い周波数のリップルが出力に重畳してしまう。DC-DC コンバータの出力電圧は、出力ノイズ及び負荷急変特性、入力電圧急変特性などを含め、全体で数%の範囲内に入る必要があるため、デジタル化により発生するリップルノイズはできる限り小さい方がよい。

本論文ではデジタル PWM 分解能の問題を解決するため、2 個のデジタル PWM ジェネレータを用いたパルス合成回路で、PWM 信号に設けた遅れ時間を制御する方法を用いている。パルス合成回路に用いる 2 個の PWM ジェネレータ各々の操作量決定法について述べ、各操作量は僅かな演算処理で得られることを明らかにしている。パルス合成回路の倍率は、DC-DC コンバータの最大デューティとスイッチング周波数で決まる限界があり、最大デューティ 0.6、スイッチング周波数 400kHz において 1/32 倍に改善できることを示した。A-D コンバータの分解能との関係について述べた。デジタル PWM ジェネレータ分解能が A-D コンバータの分解能よりも粗いと、積分制御系がリミットサイクル発振してしまい、そのリップルが出力電圧に重畳することでノイズが増大することを示した。DSP を用い、DC-DC コンバータ実験器の設計と実験検証を行った。実験の結果、最大デューティ 0.6、スイッチング周波数 400kHz において 1/32 倍に改善でき、得られた分解能は A-D コンバータの分解能 (10bit) よりも良いことが確認された。本改善手法を搭載しない場合に発生していたリミットサイクルによる出力ノイズは、本改善手法を搭載することで発生しなくなったことが確認された。

最後に、研究の成果を総括し、今後の課題について述べている。

目 次

第 1 章 序論	1
1.1 パワーエレクトロニクスにおけるスイッチング電源	1
1.2 スwitchング電源の制御部	2
1.3 DSP によるデジタル制御	5
1.4 ロバスト制御への変遷	10
1.5 本研究の目的	11
1.6 本論文内容の抄録	13
第 2 章 DC-DC コンバータ制御部のデジタル化と技術的課題	16
2.1 まえがき	16
2.2 フォワードコンバータ	16
2.3 制御対象の周波数特性	19
2.3.1 状態平均化法	19
2.3.2 状態平均化法による制御対象の数学モデル化	19
2.2.3 出力コンデンサ ESR の影響	20
2.4 デジタル制御	22
2.4.1 連続系の離散化	22
2.4.2 離散系の周波数特性	24
2.4.3 アナログ制御との周波数特性相違点	24
2.4.4 離散化における遅れ時間の考慮	26

2.4.5	入力無駄時間の周波数特性への影響	30
2.4.6	PID 制御器	30
2.4.7	PID 制御の問題点	34
2.5	デジタル PWM 分解能問題	34
2.6	あとがき	37
第 3 章	二次モデルによる近似的 2 自由度デジタル積分形制御	38
3.1	まえがき	38
3.2	近似的 2 自由度制御の目標	39
3.3	DC-DC コンバータ	40
3.3.1	離散系制御対象の構築	40
3.3.2	DC-DC コンバータの仕様	41
3.4	二次モデルを近似的に実現する 2 自由度デジタル制御器の構築	42
3.4.1	二次近似モデルマッチングシステムの構築	42
3.4.2	モデルマッチングシステムの等価変換	44
3.4.3	逆システムとフィルタを用いたロバスト制御器	46
3.5	制御器パラメータの決定法	49
3.6	制御器の設計	51
3.7	シミュレーションと実験による検証	55
3.8	樋口らの設計法との比較	63
3.9	あとがき	67
第 4 章	一次モデルによる近似的 2 自由度デジタル積分形制御	68
4.1	まえがき	68
4.2	一次モデルを近似的に実現する 2 自由度デジタル制御器の構築	68

4.2.1	一次近似モデルマッチングシステムの構築	68
4.2.2	逆システムとフィルタを用いたロバスト制御器	69
4.3	制御器パラメータの決定法	71
4.4	制御器の設計	73
4.5	シミュレーションと実験による検証	77
4.6	あとがき	85
第 5 章	パルス合成技術を用いたデジタル PWM 分解能特性の改善	86
5.1	まえがき	86
5.2	分解能改善の原理	87
5.2.1	分解能改善の糸口	87
5.2.2	パルス合成回路の原理	89
5.3	操作量の決定法	92
5.4	分解能改善の限界	95
5.5	A-D コンバータの分解能との関係	96
5.6	実験機の設計と実験による検証	101
5.6.1	実験機の設計	101
5.6.2	実験による検証	101
5.7	あとがき	106
第 6 章	結論	108

第 1 章

序論

1.1 パワーエレクトロニクスにおけるスイッチング電源[1]-[4]

パワーエレクトロニクスとは、電子デバイスによる電力やエネルギーの変換と制御に関連した技術分野である。電力変換とは、所望の電圧や電流、あるいは交流・直流、周波数などを高い品質で提供することを目的としている。電力変換装置には、交流を直流に変換する整流器や直流を交流に変換するインバータ、電力系統の高調波を除去するアクティブフィルタ、交流周波数を変換するサイクロコンバータなど様々なものがある。

現在、最も一般的に適用されているパワーエレクトロニクスの概念は、トランジスタ・MOSFET やダイオードなどの半導体を用いてオン・オフのスイッチ動作をさせるスイッチング方式を用いた電力変換システムであり、スイッチング電源は、その中の一分野である。一般的にスイッチング電源は、交流を直流に変換する整流器と、得られた直流を所望の電圧・電流をもつ直流に変換する DC-DC コンバータで構成されている。スイッチング電源は、電子機器などの装置を動作させるために所望の電力を供給する装置であり、あらゆる電子機器に搭載されている。機器の小型・軽量化が要求されている中で、電源部はエネルギーを取り扱うため、小型・軽量化が困難であった。電源の小形・軽量化などの目的でスイッチング電源がアメリカの NASA で研究開発され、従来のリニア方式の電源から置き換わっていった。そして、1970 年代より専用部品が開発され、また半導体などの進歩と共に成長してきている。DC-DC コンバータが登場した当初は、スイッチング周波数が数十 kHz 程度であったが、小型化や高速応答などの目的で高周波化が進み、現在は絶縁形で 300kHz から 500kHz 程度、非絶縁形では数百 kHz～数MHz 程度のスイッチング周波数で動作している。これはパワーエレクトロニクスや制御系の分野において、非常に高い周波数であるといえる。高周波で動作することに関連した技術的課題が多く、それを題材とした研究開発が盛んな分野である。今後も、半導体や磁性部品、コンデンサなどの部品の進歩と、ソフトスイッチングなどの回路技術の進歩によって更なる高周波化、小形化が進むものと考えられる。

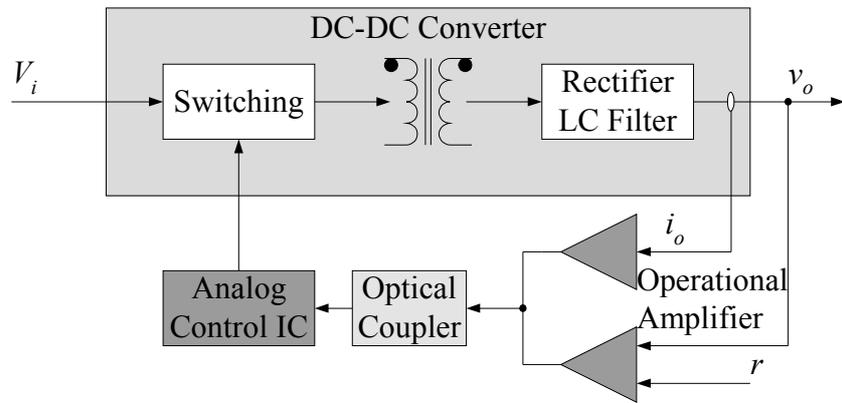
スイッチング電源は電子機器の心臓部であるため、様々な環境の変化に対して高い信頼性で負荷装置に望まれる電力を供給し続ける必要がある。例えば、情報通信ネットワーク

機器や高速サーバの電源システムでは、停電時にはバッテリーやエンジンジェネレータなどがバックアップし、電力をスイッチング電源に供給し続ける。さらに、入力電圧や負荷の変動、温度や経年変化による電子部品の特性変動に対しても、電源系は負荷装置に所望の電力供給し続けることが必要である。今日、ほとんどの機器は電気を必要としており、機器に必要な電源系の要求も高度化・複雑化している。今後は、これらの要求に対応する電源システムや回路・制御系のロバスト化に関する研究開発が、より一層に重要になると考える。

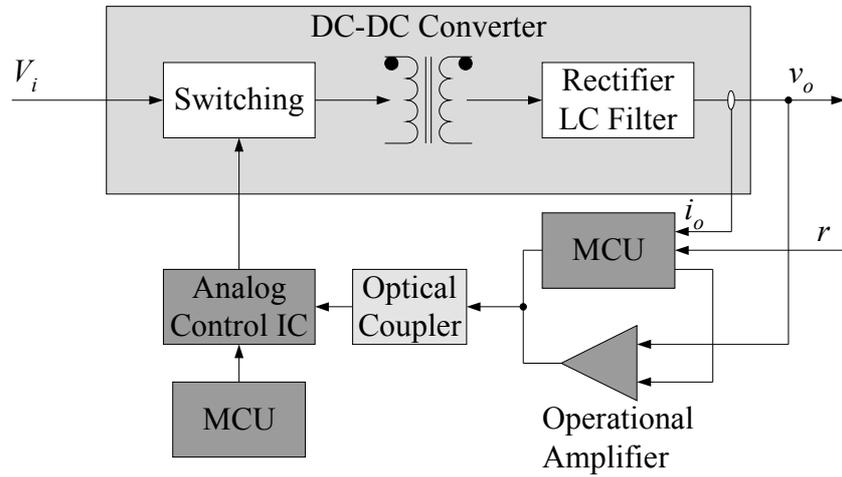
1.2 スイッチング電源の制御部

近年、電源に求められる機能・性能は多様化し、高度化している。情報通信ネットワーク機器や高速サーバなどに用いる高性能な中央演算処理装置（CPU）、フィールドプログラマブルゲートアレイ（FPGA）などの電源系は低電圧化・多出力化され、それに伴いスタートアップ時のシーケンスや負荷急変特性の改善が要求されている。スタートアップは立ち上がる順序や出力電圧の立ち上がる傾きが規定され、その仕様は各 CPU・FPGA ごとに異なる。各電圧の立ち上がりを開始するまでのオフセット時間に対する仕様があり、また傾きの規定には立ち上がりの出力電圧比率を同じにする方式や立ち上がりの出力電圧値を同じにする方式がある。同一ランプ方式の場合は、低電圧出力の立ち上がり時間が最も短くなるため厳しい仕様となる。また立ち上がりにおいては、出力電圧は単調増加でなければならない。一般的に出力電圧の立ち上がり時間は $100\ \mu\text{s}$ から数十 ms の範囲で規定されており、この範囲内で立ち上がるよう、ソフトスタート回路で目標値を緩やかに増加させている。また、CPU や FPGA に流れる電流は急激に変動することがある。このような負荷変動に対して出力電圧の変動を十分に小さくする必要がある。DC-DC コンバータの出力電圧は、出力ノイズ及び負荷急変特性、入力電圧急変特性などを含め、全体で数%の範囲内に入る必要がある。これらの仕様やスタートアップの仕様を満たさない場合、CPU や FPGA が異常動作をする危険性があるため、非常に重要である。これに加え、高効率化や低ノイズ化の要求も一段と厳しくなっている。このような様々な仕様やそれに適したコンバータに対応するため、数多くの制御 IC やそれを用いたスイッチング電源が開発されている。

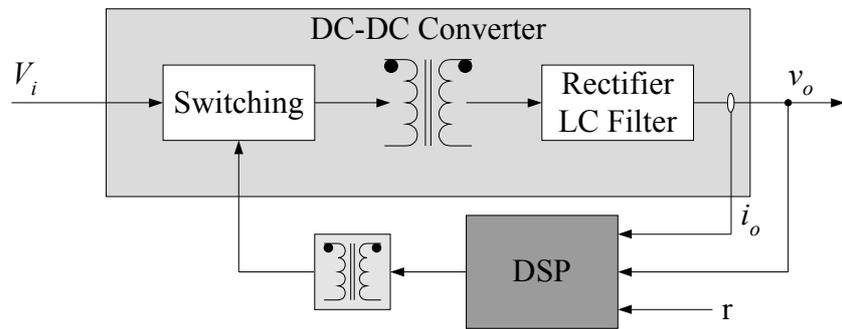
スイッチング電源が搭載される装置は様々である。このため装置ごとの要求仕様に合わせて個々に電源が設計・製作されている[4]。従来、スイッチング電源の信号回路部はアナログ回路で構成されているため、要求仕様に応えるには、プリント基板の変更や部品の変更が必要である。様々な装置の要求仕様に対応するために、制御部のデジタル化が検討されてきている。デジタル制御であればソフトウェアの変更のみで対応できるため、装



(a)



(b)



(c)

図 1-1. DC-DC コンバータの制御部基本構成

(a)アナログ (b)アナログ+MCU (c)DSP

表 1-1. 制御部構成の比較

制御構成	(a)アナログ制御	(b)アナログ+MCU	(c)DSP
制御方式	×:一般的に積分制御などの古典制御が限界。		○:現代制御理論等が容易に実装可能。
制御部高速化	○:スイッチング周波数MHz帯の電源の制御も容易に可能。		△:現状はスイッチング周波数が数百kHzの電源の制御が限界だが、DSPの高速化が急速に進歩中。
機能拡張性	×:部品変更や回路変更が必要になり困難。	△:シーケンスなどの低速な処理は変更や機能追加が可能。	○:シーケンスなどの低速な処理に加え、出力電圧制御系も変更や機能追加が可能。
消費電力	○:Bi-CMOSの制御ICやオペアンプ等の消費電力は数十mWと小さい。	△:アナログ制御にマイコンの損失が加わり、消費電力は数十mW~百mW程度である。	×:消費電力はおおよそ数百mWと大きい
部品点数・コスト	△:単機能な場合はアナログ制御の方が有利であり、機能が増すほど、デジタル制御が優位になる。従って、製品仕様により変わる。		

置の要求仕様に応えやすくなる。更に、デジタル制御はプログラムで制御するため、高度な制御理論を実現しやすいという利点がある。このような背景から、近年、国内外の学会やシンポジウムなどでスイッチング電源のデジタル制御化が積極的に論じられてきている[5]-[7],[14]-[15],[31]-[32],[39]。図 1-1 に絶縁形 DC-DC コンバータの制御部基本構成例を示す。従来のアナログ制御系（図 1-1(a)）はオペアンプや抵抗、コンデンサなどを用い、積分制御などの簡単な制御が一般的に用いられている[8],[9]。DC-DC コンバータ用の制御 IC もアナログであり、PWM 用のコンパレータやスイッチング周波数を決定する回路や保護回路などが搭載されている。これに対し、シーケンスなどの低速な制御系をマイクロコントロールユニット（MCU）などの演算処理が低速なデバイスでデジタル化（図 1-1(b)）する方式がある。更には、デジタルシグナルプロセッサ（DSP）などの高速演算処理が可能なデバイスを用いて、シーケンスなどの低速な制御系に加え PWM 信号部や出力電圧制御部などの高速な制御系もデジタル化する（図 1-1(c)）方式がある。この方式では任意の PWM 信号の実現や高度な出力電圧制御アルゴリズムが実現できる。表 1-1 に制御部構成の比較を示す。従来の出力電圧制御系はアナログを用いた積分制御系であったのに対し、DSP を用いれば制御部をデジタル化できるため、現代制御理論などが容易に実装可能になる。現状は数百 kHz 程度のスイッチング周波数をもつ電源の制御が限界だが、DSP の高速化は急速に進歩している。このため将来的には MHz 帯の電源の制御も対応可能になると考える。またデジタルは仕様変更をソフトウェア変更で対応できるので、

装置要求仕様に応えやすくなる。DSP を用いれば、制御系のほとんどをデジタル化できるので、高い機能拡張性が期待できる。その一方、DSP の消費電力はおおよそ数百 mW であり、アナログ制御と比べると大きくなる。電源の効率が悪化する可能性があるため注意が必要である。また、アナログ制御は機能が増加するたびに部品点数やコストが増加するが、デジタル制御であれば、メモリの範囲内であればこれらの増加はない。このため、機能が多くなるほどデジタル制御が有利となる。更に、デジタルの特徴であるメモリやデジタル通信を用いることで従来にはない付加価値も期待できる。例えば、アレニウスの法則を用いれば、温度データを採取することでアルミ電解コンデンサの寿命の推定をすることが期待できる。また空冷用ファンの回転数を検出することによるファンの寿命・故障診断が期待できる。更にデジタル通信を用いて電源とホストコンピュータを接続することで電源の状態監視が可能になる。これらの付加価値により、電源系の信頼性やメンテナンス性は現在よりも向上できると考える。

1.3 DSP によるデジタル制御

DSP はデジタル信号処理に特化したプロセッサであり、1980 年代に登場した[10]。一般的には音声・画像処理に用いられることが多いが、近年はデジタル制御に用いられることも増えてきており、数十 kHz のスイッチング周波数で動作する無停電電源装置 (UPS) やモータなどの制御はデジタル制御が実用化されている。またデジタル制御に必要な A-D コンバータやデジタル PWM ジェネレータを搭載したデジタル制御用 DSP も実用化されている。絶縁形 DC-DC コンバータのスイッチング周波数は数百 kHz であり、非常に高速に動作しているため、これまでは制御部のデジタル化が困難とされてきたが、近年、DSP や FPGA などの高速化・小型化に伴い、デジタル制御のスイッチング電源が検討され、実用化されてきている。DC-DC コンバータの制御部をデジタル化する主なメリットは、以下の 2 点が挙げられる。

- ・デジタル PWM ジェネレータは、任意の PWM 信号波形を出力できるので、種々のコンバータトポロジを制御できる。また、仕様に応じてコンバータの制御を最適化し易くなることが期待できる。
- ・高度な制御を実現し易くなるため、ロバスト制御などの高度な制御理論の導入が期待できる。

図 1-2 に DC-DC コンバータのデジタル制御系のブロック図を示す。図 1-3 にデジタル PWM ジェネレータと制御処理の流れを示す。デジタル PWM ジェネレータはカウン

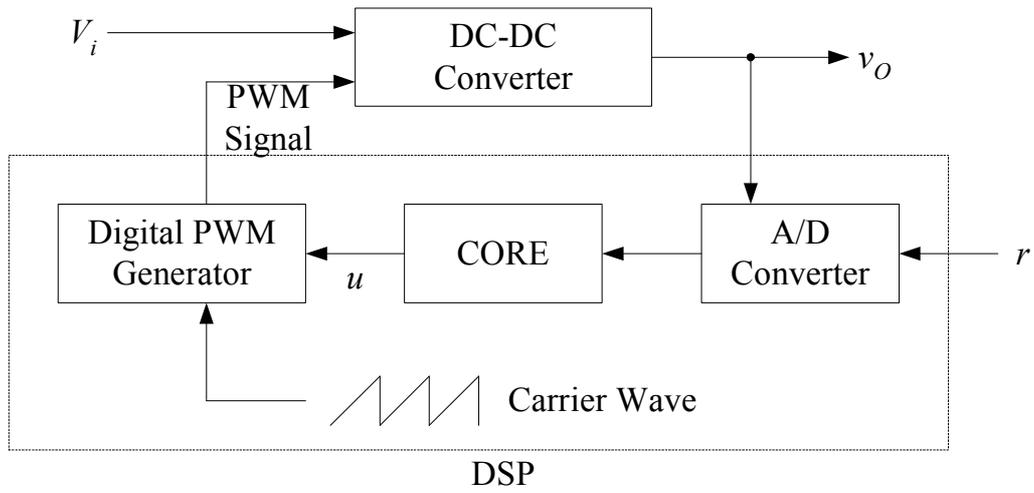


図 1-2. デジタル制御 DC-DC コンバータのブロック図

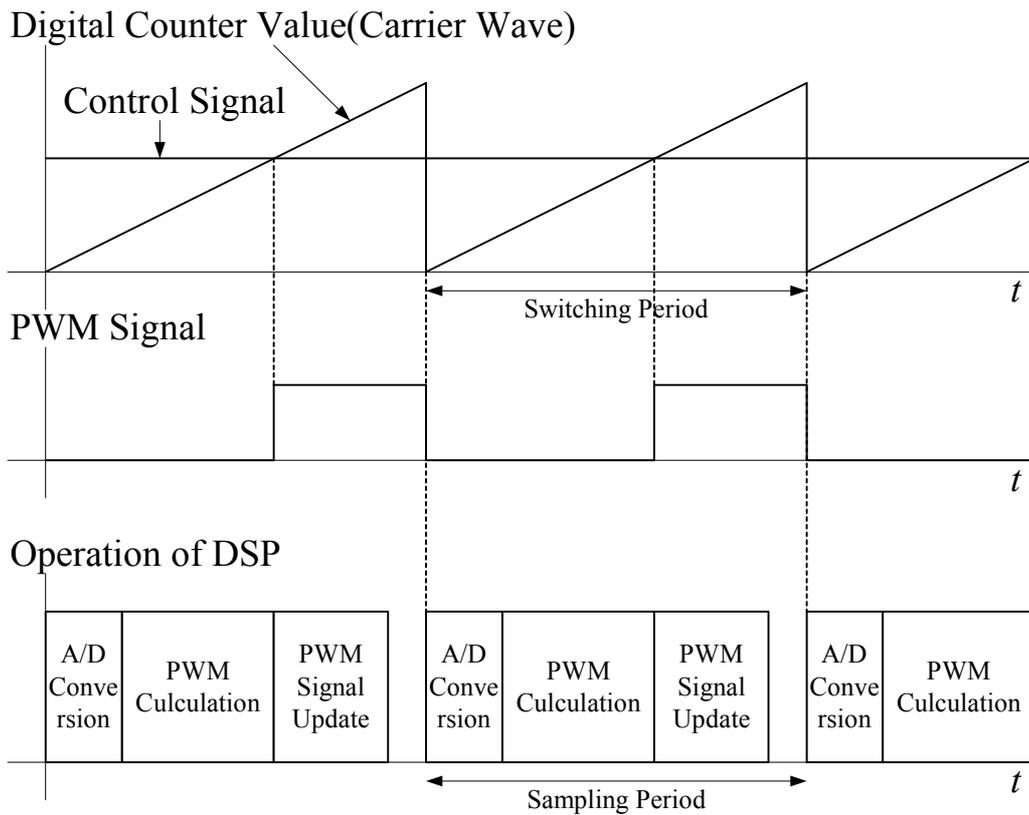


図 1-3. デジタル PWM ジェネレータと制御処理の流れ

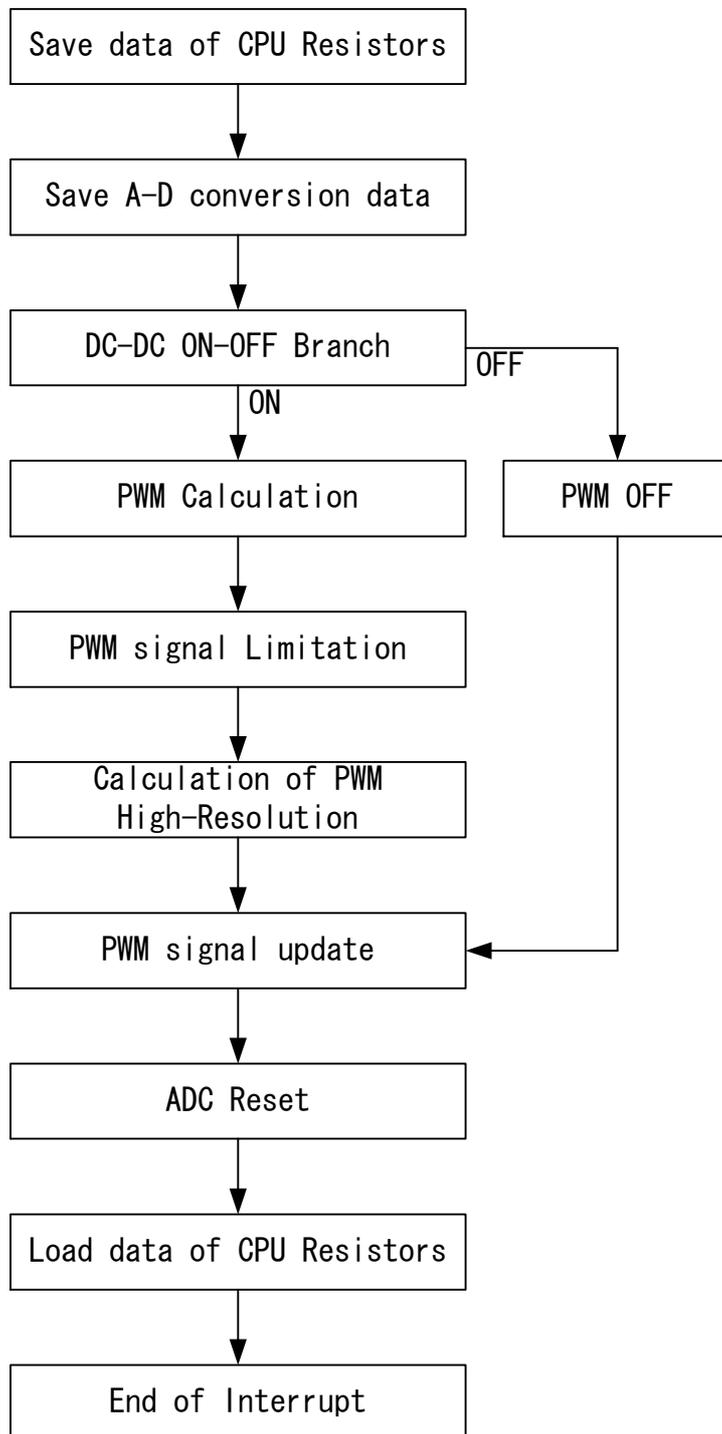


図 1-4. DSP(TMS320LF2401A)を用いた PWM 制御ルーチンの例

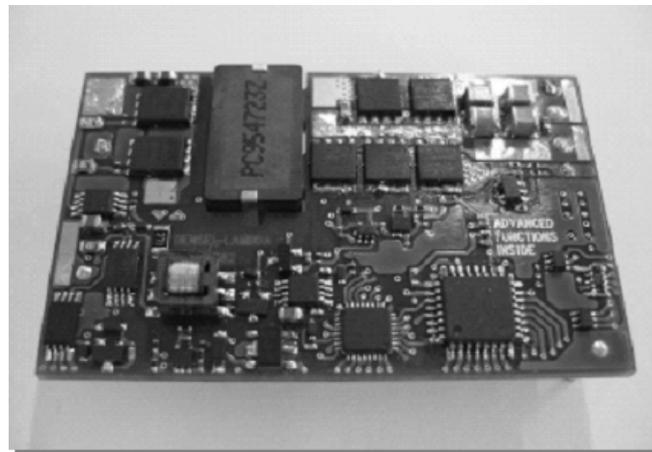
タを用いて構成されており、クロック毎で値が上昇する。デジタル PWM ジェネレータで操作量とキャリア波を比較して、PWM 信号を出力する。これは従来のアナログでも良く用いられる手法である。デジタル制御器の処理は大きく 3 つに分かれる。まず、A-D コンバータで出力電圧 v_o や目標値 r などのアナログ値をデジタル値に変換する。次に、このデータを用いて CORE で PWM の操作量 u を演算する。最後に、PWM のデータを更新する。このように、デジタル制御では、A-D 変換から PWM 更新までの処理時間による遅れ時間が発生する。この遅れ時間は、制御系に悪影響を与えるため、制御系設計の際は考慮すべきである。

図 1-4 に DSP(TMS320LF2401A)を用いた PWM 制御ルーチンの例を示す。PWM 制御は一定の周期で演算処理を行うため、割り込み処理を用いる。割り込み処理は最初にメインルーチンで処理中だったデータを保存し、最後にデータの読み出しをする。使用する CORE の内部レジスタが増えるほどこれらの処理にかかるステップ数は増加する。ここで用いた DSP の場合、データ保存に 9 ステップかかる。次に出力電圧と目標値の A-D 変換値を保存する。1 チャンネル当たり 4 ステップかかり、合計 8 ステップかかる。次に DC-DC コンバータの動作・停止に応じてルーチンを分岐させ、必要な PWM 演算処理を行う。停止時 PWM 処理は操作量など制御系の演算値をリセットするだけであり、ステップ数は動作時 PWM 処理よりも十分短い。動作時 PWM 処理は、まず PWM 操作量を導出する演算を行う。この処理のステップ数は制御系によって決定される。本論文で検討する近似的 2 自由度制御系のステップ数やアルゴリズムについては第 3 章、第 4 章で述べる。次に、コンバータの正常な動作のため、操作量の制限処理を実行し、DC-DC コンバータの操作量が第 2 章の式(2.2)で示した Duty の制約条件を満たす範囲なるようにしている。この処理は 8 ステップかかる。次に、第 5 章で述べる PWM 高分解能の処理を行う。この処理は 3 ステップかかる。次にデジタル PWM ジェネレータのレジスタへ操作量書き込みをする。第 5 章で述べる高分解能 PWM のために 2 個のデジタル PWM ジェネレータを用いる。この処理に 9 ステップかかる。最後に A-D コンバータ動作シーケンスのリセットや保存したメインルーチンのデータの読み出し、割り込み終了処理に 20 ステップかかる。

図 1-5 に DC-DC コンバータを示す。(a)は従来の製品であり、(b)は本研究で設計・製作した実験機である。同図において、形状はどちらも同じであり、クォーターブリックサイズ (36.8mm×57.9mm×8mm) である。従来の DC-DC コンバータは専用 IC やオペアンプを用いたアナログ制御であるのに対し、本研究で設計・製作した DC-DC コンバータは DSP を用いたデジタル制御となっている。使用した DSP はテキサス・インスツルメンツ社製の TMS320LF2401A である。この DSP はデジタル制御に必要な A-D コンバータやデジタル PWM ジェネレータも搭載しており、40MHz のクロックで動作し、小形な形状(9mm×9mm)となっている。また DSP の動作には単電源 (3.3V) が必要である。現在、クロックが 100MHz の DSP も登場しているが、この DSP は大きな形状 (16mm×



(a)



(b)

図 1-5. DC-DC コンバータ

(a)従来 (b)デジタル制御実験機

16mm)であり、動作には2電源(3.3V,1.8V)必要であるためDC-DCコンバータを小形化し難い。このため、本研究では小形・低速(40MHz)のDSPを採用した。

デジタル化によって複雑なロバスト制御などの高度な制御理論が望まれる一方、ロバスト制御の代表格である H^∞ 制御は制御系の次数が高くなり、PWM操作量演算処理が長くなりやすいため、DC-DCコンバータのような高速に動作するものには不向きである。このため、簡単な制御アルゴリズムでの実現が望まれる。現在のデジタル制御用DSPの動作クロックは高速なもので150MHz程度であるが、高価なDSPでは1GHzのものもある。今後もDSPなどのデバイスの進化に伴い、スイッチング電源は応答性能だけでなく効率やノイズ面でも更なる高性能化・高機能化が期待できると考える。

1.4 ロバスト制御への変遷[11]-[15]

1950年代に体系化された古典制御は、制御系の安定性や応答性を周波数領域で考察し、設計する手法である。伝達関数表現された線形の制御対象に対し、PID制御や位相補償制御を用い、ボード線図や根軌跡などでフィードバック制御系を設計しているが、合理的な設計論に乏しく、試行錯誤を要するのが実情である。

1960年代に入ると、現代制御が登場した。この理論は制御対象を状態方程式で表現して応答性を時間領域で考察しており、状態フィードバックやオブザーバなどが現代制御の礎になっている。設計手法は、制御性能を評価する規範として評価関数を定義し、その値を最小もしくは最大とする制御則を求める「最適制御」であり、中でも1960年にカルマンが提唱した評価関数を最小にする状態フィードバックを求める「最適レギュレータ」が代表的である。現代制御は、制御対象にノミナルモデルのみを用いて制御則を導くため、制御対象の不確かさが考慮されていない。このため、高精度な数学モデルが与えられないと、所望の制御性能を達成できない。制御対象は完全な数学モデルで構築できないため、現代制御理論の適用が困難な場合が発生し、不確かさを考慮した設計法が必要になってきた。

このような時代背景の中で、1980年頃にロバスト制御の代表格である H^∞ 制御が登場した。 H^∞ 制御の評価関数は周波数領域でありその設計手法は現代制御理論に基づいている。現代制御理論で与えられた評価関数は平均的(=2ノルム)なものであったが、 H^∞ 制御は、これを最悪値(= H^∞ ノルム)とした。 H^∞ 制御は、まず不確かさを含んだモデルを構築し、次にこのモデルの操作量、出力に加え外部入力(外乱)と評価出力及び周波数重み関数を加えた一般化プラントを構築する。この外部入力—評価出力間伝達関数のゲインの H^∞ ノルムを、ある指定した値よりも小さくする制御器を合理的に導いており、ロバスト安定と同時に外乱が出力に及ぼす影響の抑制が達成された。更に1990年代に入ると μ 設計が提案され、ロバスト安定とロバスト制御性能の両方を達成する制御器を得ることができた。ロバスト安定とは「制御対象の微小でない摂動に対して安定性を保つ」ことであり、ロバスト制御性能とは、「制御対象の変動に対して制御性能が許容範囲を超えないようにする」ことである。しかしながら、これらの理論では制御器が高次になり易く演算処理に時間がかかるため、スイッチング電源のような高速に動作する制御対象には不向きである。よってこれらの目的を簡単なアルゴリズムで達成する制御器と合理的な設計手法の確立が望まれる。

1.5 本研究の目的

情報通信ネットワーク機器や高速サーバの電源システムは、整流器で交流 100V または 200V の電力から -48V の電力に変換して各装置に供給している。そして図 1-6 のように DC-DC コンバータを基板内に実装し供給する、分散化給電方式が用いられている[2],[16]。DC-DC コンバータにおいては、高性能な中央演算処理装置 (CPU)、フィールドプログラマブルゲートアレイ (FPGA) などが負荷装置となり、その電源系は低電圧化・多出力化され、スタートアップ時の正確なシーケンスや負荷急変特性の改善が要求されている。このため、DC-DC コンバータの入力電圧や出力電流、負荷に接続されるバイパスコンデンサの容量は負荷装置ごとに異なり、特定することはできない。DC-DC コンバータには以下の性能が必要であると考えられる。

- ・制御対象の大幅なパラメータ変動や負荷変動に対して制御系が不安定にならないこと。
- ・出力電圧は目標値に精度よく追従させること。
- ・スタートアップ特性はオーバーシュートがないこと。
- ・制御対象の大幅なパラメータ変動、負荷変動及び入力電圧変動に対して出力電圧変動が許容範囲を超えないこと。
- ・制御対象の大幅なパラメータ変動、負荷変動、入力電圧変動に対してスタートアップ特性が変化しないこと。

CPU や FPGA における出力電圧の立ち上がり時間は一般的に $100\mu\text{s}$ から数十 ms の範囲で規定されているが、システムとしてはなるべく早く起動できる方がよい。従来の手法を用い、この範囲で任意の立ち上がり時間に設定するには、DC-DC コンバータの立ち上がり特性 (目標値(x)-出力(y)間ステップ応答) を $100\mu\text{s}$ 以内となるように設計し、ソフトスタート回路を設けて目標値の立ち上がり傾きをつける必要がある。しかしながら、PID や根軌跡法など[17],[18]の 1 自由度制御系では、ロバスト性と高速応答性の両立は困難である。これを達成する代表的手法として外乱オブザーバを用いた 2 自由度制御系方式がある。この手法は、通常出力制御系による目標値応答特性とは独立に、外乱オブザーバによる外乱抑制特性を設計する。外乱オブザーバはオブザーバの結果と出力の差より入力に加わる外乱を推定し、その影響を打ち消すようフィードバックする手法である。最も簡単な構成である 0 次外乱オブザーバの場合、全ての状態が観測可能であれば 1 次系で実現できる。2 自由度制御系の実現には外乱オブザーバに加え、最低 1 次の出力制御系が必要であるため、合計で 2 次必要である。DC-DC コンバータのスイッチング周波数は高く、今後更に高周波化し続けると考えられるため[19],[20]、良い制御特性を保つと同時に、簡単

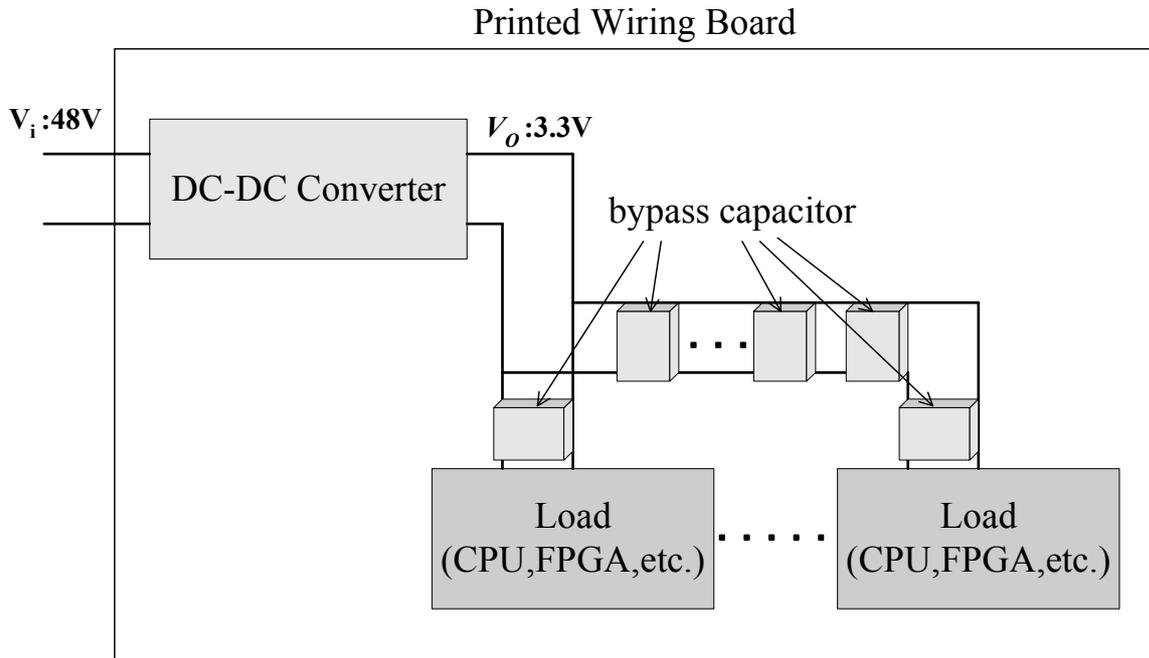


図 1-6. DC-DC コンバータの使用例

な制御アルゴリズムであることが望ましい。一般的なロバストサーボ系[21]-[23]や 2 自由度制御系を設計する方法[24]-[32]ではこれを達成するのが困難であり、DC-DC コンバータの制御器として不向きである。本研究では、DC-DC コンバータに求められる性能を簡単なアルゴリズムで実現するために、近似的 2 自由度制御系を用いる。本制御系は、目標値—出力間特性と外乱—出力間特性が近似的に独立であるため、設計が容易であると同時に、制御アルゴリズムも簡単であり、1 次で実現できる。演算時間の問題が発生しない場合は外乱オブザーバの方が良い性能が得られるかもしれないが、DC-DC コンバータのように高速動作する制御対象の場合、次数の高い制御器を DSP 等で実現するのは演算時間の問題により困難である。なるべく設計手法が簡単で、次数が低い制御器で制御仕様を満たすことは実用化における大きな利点である。また本制御器はスタートアップ特性を代表根で指定できるため、任意の特性が容易に得られ、更にソフトスタート回路などの部品も不要である。本制御器は、パラメータ変動などの制御対象の変動を等価外乱に置き換え、等価外乱—出力特性を十分低感度になるように設計する。DC-AC コンバータの近似的 2 自由度デジタル積分形制御器の設計法が提案されている[33]。このデジタル制御器はスタートアップ特性として一次モデルを近似的に実現し、ロバストなものとなっている。DC-DC

コンバータにこの近似的 2 自由度制御器を適用するには、スタートアップ特性や負荷及び入力電圧の急変特性に対しロバスト性をより高める必要がある。また近似的 2 自由度制御系は DSP を使用したデジタル制御で実現している。デジタル PWM ジェネレータの分解能はスイッチング周波数を高くするほど悪くなるため、デジタル制御の高速応答における重要な課題である。分解能の改善には、デジタルディザや $\Delta \Sigma$ 変調を用いたデジタル PWM[34],[35]が検討されている。これらの手法は数スイッチング周期の平均で高分解能なデジタル PWM を実現する方式であり、ディザパターンによりスイッチング周波数より低い周波数のリップルが出力に重畳してしまう。中央演算処理装置 (CPU)、フィールドプログラマブルゲートアレイ (FPGA) などに用いられる DC-DC コンバータの出力電圧は、出力ノイズ及び負荷急変特性、入力電圧急変特性などを含め、全体で数%の範囲内に入る必要がある。このためデジタル化により発生するリップルノイズはできる限り小さい方がよい。

本研究では、近似的 2 自由度制御系がよりロバストになるよう、制御系の近似度を十分に向上させる制御器の設計手法について述べる。提案された制御器はロバストであり、DC-DC コンバータの仕様を十分に満足することをシミュレーション及び実験で確認している。またデジタル PWM の分解能を改善する手法として 2 個のデジタル PWM 信号を用いて分解能を大幅に改善する手法について述べる。本方式は毎スイッチング周期において A-D コンバータ分解能よりも高いデジタル PWM 分解能が得られ、デジタル化によるリップルノイズが発生しないことをシミュレーション及び実験で確認している。これらの実験にはデジタル制御に必要な A-D コンバータやデジタル PWM ジェネレータを搭載した DSP (TMS320LF2401A T.I.社製) を使用して DC-DC コンバータ実験機を設計・製作し、有用性を検証した。

1.6 本論文内容の抄録

第 2 章では、まず代表的な DC-DC コンバータであるフォワードコンバータを題材とし、制御部のデジタル化と、制御系における技術的課題について述べる。まず制御対象の周波数特性について述べる。フォワードコンバータを状態平均化法[36],[37]で線形近似し、その周波数特性について述べている。出力コンデンサの等価直列抵抗 (ESR) は制御系に影響することがあるが、積層セラミックコンデンサのような ESR が小さいコンデンサでは、数百 kHz のスイッチング周波数をもつ DC-DC コンバータに ESR の影響は十分小さく無視できる。次にアナログ制御とデジタル制御の周波数特性の差について述べている。PWM ジェネレータは零次ホールドに近い特性を持っているため、DC-DC コンバータは離散系の性質を持っていることを示す。このため、周波数特性の差はデジタル制御による

A-D 変換から PWM 更新までの遅れ時間のみになる。次に一般的な制御手法である PID 制御器について述べている。DC-DC コンバータにおいては、入力電圧や抵抗負荷、容量性負荷の変動に対しロバストな特性を持つ制御器が望まれるが、PID 制御は試行錯誤的な設計であり、高速応答とロバスト性の両立が困難である。従って、高速応答とロバスト性を両立させた制御系と、良い性能を得る合理的な設計手法の確立が重要である。最後に、デジタル PWM ジェネレータが持つ分解能について述べている。スイッチング周波数が高くなるほどデジタル PWM ジェネレータ分解能は悪くなるため、高速応答における重要な課題である。

第 3 章では、二次モデルに近似された 2 自由度デジタル積分形制御器の設計法について述べる。まず本論文の主題である近似的 2 自由度制御系の目標について述べる。制御対象のパラメータ変動や次数の変化、非線形動作などによる特性変化は、制御対象の入出力に等価外乱 Q を加えることと等価である。本制御系設計手法では、目標値(r)→出力(y)間の特性と外乱(Q)→出力(y)間の特性を近似的に 2 自由度系とすることでパラメータ設計を簡単にしている。 r → y の特性の帯域幅をより高くし、 Q → y の特性をより低感度にする制御系パラメータを合理的に導くことが目標である。DC-DC コンバータに近似的 2 自由度制御器を適用するため、スタートアップ特性や負荷及び入力電圧の急変特性に対しロバスト性をより高める必要がある。そのためには文献[33]では示されていない十分な近似度を得る手法を確立しなければならない。制御系設計においては、スタートアップ特性の目標モデルに二次モデルを用いてモデルマッチング制御系を構築し、これに逆システムとフィルタを用いたロバスト制御系を再構築する。この二次モデルへの十分な近似と、外乱から出力電圧の伝達関数への十分な近似を得るための制御器の設計法について述べる。本制御器は DSP を用いたデジタル制御系で実現しており、シミュレーションと実験結果を比較検証している。結果、このデジタル制御器はスタートアップ特性として二次モデルを近似的に実現し、ロバストなものとなっていることが確認された。

第 4 章では、一次モデルに近似された 2 自由度デジタル積分形制御器の設計法について述べる。制御系設計においては、スタートアップ特性の目標モデルに一次モデルを用いてモデルマッチング制御系を構築し、これに逆システムとフィルタを用いたロバスト制御系を再構築する。この一次モデルへの十分な近似と、外乱から出力電圧の伝達関数への十分な近似を得るための制御器の設計法について述べる。また第 3 章で述べた一次近似モデルは二次近似モデルと同等の特性が得られていることを示す。また二次モデルよりも制御系が簡単になっているため、一次近似モデルの方が二次近似モデルよりも実用的に有用である。本制御器は DSP を用いたデジタル制御系で実現しており、シミュレーションと実験結果を比較検証している。

第 5 章では、パルスを合成する技術を用いて、デジタル PWM の分解能を大幅に改善できる方法について述べる。まず分解能の問題を解決する方法の原理について説明し、設

計手法について述べる。次に、A-D コンバータの分解能との関係について述べる。A-D コンバータの分解能よりもデジタル PWM の分解能が悪いと、スイッチング周波数よりも低い周波数でリミットサイクル発振[34]し、そのリップルが出力に重畳することを示す。最後に、本改善法をデジタル PWM ジェネレータが数個内蔵されている DSP に適用して試作機を設計・製作し、実験によって有用性を検証する。その結果、本改善システムは従来の 2 個のデジタル PWM ジェネレータと数個の部品で実現可能であり、短い演算で実行できることを示す。また、得られたデジタル PWM の分解能は A-D コンバータよりも高いので、スイッチング周波数よりも低いリップルノイズが発生しないことを示す。

最後に、第 6 章は本研究の結論である。

第 2 章

DC-DC コンバータ制御部のデジタル化と技術的課題

2.1 まえがき

DC-DC コンバータは、小形化、高効率、高速応答などの要求が厳しく、回路技術や電子部品の進歩、スイッチング周波数の高周波化などにより進歩してきた。その一方で、制御系に大きな変化はなく、オペアンプと抵抗、コンデンサなどで構成した位相補償や簡単な積分制御系が一般的に用いられている。

近年、スイッチング電源制御部のインテリジェンス化・ハードウェア共通化などの目的で、制御系をデジタル化する動きが進んでおり [5]-[7],[14]-[15],[31]-[32],[39]、A-D コンバータやデジタル PWM ジェネレータなど周辺機能を搭載した DSP などが出てきた。しかしながら、出力電圧制御系は、PID 制御など [5],[18] が一般的であり、アナログ制御と同じ手法を踏襲しているのが現状である。また一般的に、デジタル制御は A-D 変換から PWM 更新までの処理時間が発生し、制御系に影響する。更に、デジタル PWM ジェネレータの分解能はクロック周期に依存するため、スイッチング周波数が高くなるほど分解能が悪くなる。これらは、制御部のデジタル化において重要な課題である [34]。

本章では、まず代表的な DC-DC コンバータであるフォワードコンバータを題材とし、状態平均化法 [36],[37] にて求めた制御対象の周波数特性について述べ、出力コンデンサの ESR による零点の影響について述べる。次に、アナログ制御系とデジタル制御系との周波数特性の差について述べ、DC-DC コンバータに適用した場合の周波数特性の差を述べる。更に、デジタル制御で発生する処理時間の制御系への影響について述べる。次に、制御系の代表格である PID 制御の問題点について述べ、最後に PWM 部のデジタル化によって発生する分解能の問題について述べる。

2.2 フォワードコンバータ

フォワードコンバータは比較的少ない部品点数で構成され、数十ワットから数百ワット程度の小電力な絶縁形 DC-DC コンバータによく用いられる。図 2-1 にフォワードコンバー

タを示す。同図において、Q1 はメインスイッチであり、Q2、Q3 は同期整流器である。整流方式にはダイオードを用いる方式と FET 等を用いる同期整流方式がある。低電圧出力の電源において、同期整流方式の方が順方向電圧降下を小さくできるため、ダイオード整流方式よりも高効率が達成できる方式である。また軽負荷時において、ダイオード整流方式はチョークコイルの電流が不連続[38]となるため伝達関数が大きく変化し、間欠発振を引き起こす。一方、同期整流方式は出力チョークコイル L_f の電流 i_{L_f} が連続なので伝達関数はほとんど変化せず、間欠発振も発生しない。このため軽負荷から重負荷への応答特性がより優れている[39]。T1 はメイントランスであり、 N_p は 1 次側巻数、 N_s は 2 次側巻数である。 L_f 、 C_f は出力フィルタであり、出力リップルノイズ及びスイッチングノイズを取り除くのに用いる。Load は抵抗負荷 R_L もしくは容量性負荷 C_L と抵抗負荷 R_L の並列接続である。Controller で出力電圧 v_o を検出し、フィードバック制御にて操作量を決定する。操作量 u に比例したパルス幅の PWM 信号がパルストランスを介して Q1 のゲートに出力される。

本コンバータの動作について、説明する。図 2-2 に動作波形を示す。Q1 がオンしている期間は、Q2 はオン、Q3 はオフである。出力フィルタに電圧 $V_i \times N_s / N_p$ が印加される。この期間、トランスは入力電圧 V_i で励磁される。この時間を T_{on} とし、スイッチング周期に対する T_{on} の割合をデューティ (Duty) とする。Q1 がターンオフすると、トランスの励磁エネルギーと FET の寄生キャパシタンスなどにより、Q1 のドレインソース間電圧が共振波形になる。この期間、Q2 はオフ、Q3 はオンであり、出力フィルタに印加される電圧は零である。この時間を T_2 とする。 $v_{ds}=V_i$ になると、Q2 のボディダイオードがターンオンする。これにより、Q1 はオフ、Q2 はオン、Q3 はオンとなる。出力フィルタに印加される電圧は零のままである。この期間は Q1 がターンオンするまで続く。この時間を T_3 とする。

本コンバータの正常な動作のためには、トランスが飽和してはならない。このため、トランスの励磁エネルギーをリセットするための期間 T_2 が必要になる。これにより、最大デューティが次式のように決定される。

$$Duty \max = 1 - \frac{T_2}{T_s} \quad (2.1)$$

T_2 を短くすると、Q1、Q2 にかかる電圧ストレスが大きくなる。このため、 $Duty \max$ は 0.6 ~ 0.65 ぐらいとして設計するのが一般的である。制御において、操作量 u は $Duty$ が次式の範囲内になる値をとる。

$$0 \leq Duty \leq Duty \max \quad (2.2)$$

フォワードコンバータは、降圧形コンバータと同様のよい応答特性を持っているが、トランス励磁エネルギーのリセットのために操作量の制限がより狭くなる。この制限内で高速応答を実現しなくてはならない。

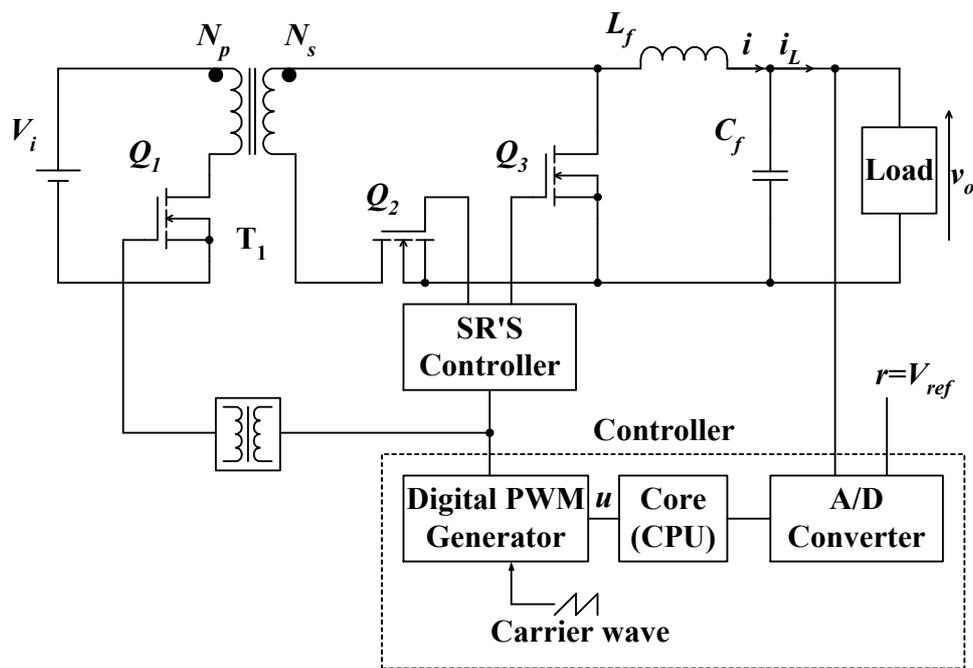


図 2-1. フォワードコンバータ基本回路

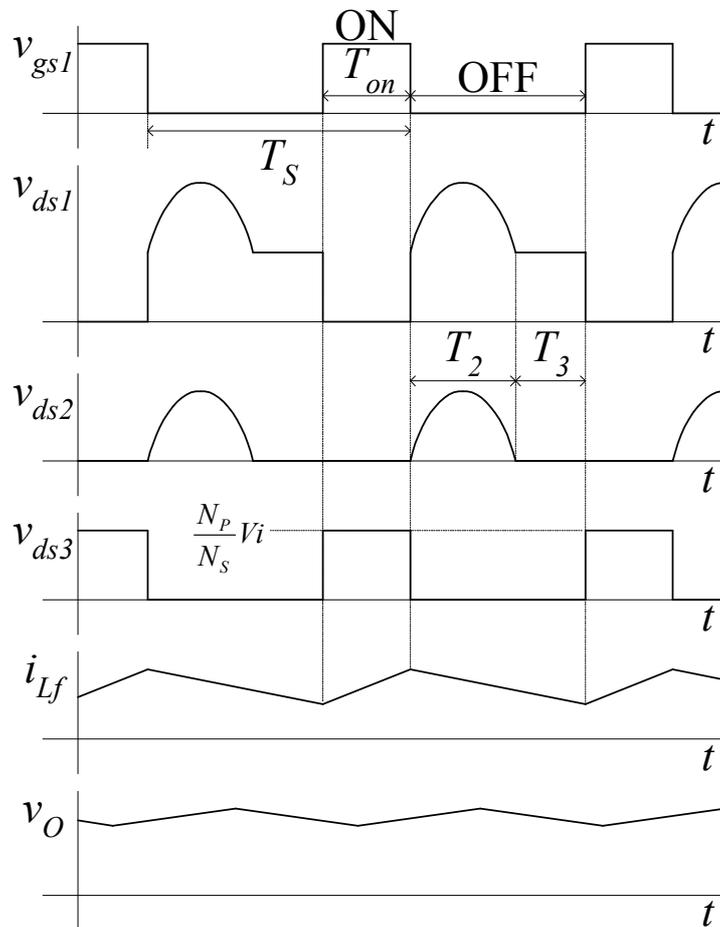


図 2-2. フォワードコンバータ動作波形

2.3 制御対象の周波数特性

2.3.1 状態平均化法[36],[37]

線形制御理論に基づいた制御系を構築するために、状態平均化法を用いて制御対象の状態方程式及び出力方程式を導く。コンバータはスイッチ素子と受動素子にて構成されているため、スイッチ素子のオン・オフによって回路の状態方程式が変わる。状態平均化法は、スイッチ素子のオン・オフによって変わる各回路の状態方程式をスイッチング周期で平均化し、操作量で偏微分することで線形化された数学モデルを得る手法である。操作量の周波数がスイッチング周波数よりも十分小さいならば、状態平均化法によって平均化された影響は十分小さく、無視できる。

2.3.2 状態平均化法による制御対象の数学モデル化

操作量 u から出力電圧 v_o までの状態方程式を導出する。出力電圧は出力フィルタの状態変数 v_c と i により決定される。また、 T_2 と T_3 の期間は出力フィルタに印加される電圧が零であるため、 $T_{off} = T_2 + T_3$ とする。 T_{on} と T_{off} の期間における状態方程式は次式となる。

$$\begin{aligned} T_{on} \text{ 期間} : \quad \frac{dx}{dt} &= Ax + B_1 V_i & T_{off} \text{ 期間} : \quad \frac{dx}{dt} &= Ax + B_2 V_i \\ y &= Cx & y &= Cx \end{aligned} \quad (2.3)$$

ただし、

$$\begin{aligned} A &= \begin{bmatrix} -\frac{1}{(R_L + R_C)C_f} & \frac{R_L}{(R_L + R_C)C_f} \\ -\frac{R_L}{(R_L + R_C)L_f} & -\frac{R_L R_C + R_O R_L + R_O R_C}{(R_L + R_C)L_f} \end{bmatrix} & B_1 &= \begin{bmatrix} 0 \\ \frac{N_s}{N_p L_f} \end{bmatrix} & B_2 &= \begin{bmatrix} 0 \\ 0 \end{bmatrix} \\ C &= \begin{bmatrix} \frac{R_L}{R_L + R_C} & \frac{R_L R_C}{R_L + R_C} \end{bmatrix} & x &= \begin{bmatrix} v_c \\ i \end{bmatrix} & y &= v_o \end{aligned}$$

ここで、 R_L は負荷抵抗、 R_C は出力コンデンサの等価直列抵抗 (ESR)、 R_O はコイル抵抗や FET オン抵抗などの合成抵抗である。次に、状態平均化法を用いて線形近似式を導出する。

$Duty = T_{on} / T_s$ とおくと、次の線形近似式が得られる。

$$\begin{aligned}\frac{dx}{dt} &= Ax + BDuty \\ y &= Cx\end{aligned}\tag{2.4}$$

ただし、

$$B = \frac{B_1 V_i Duty + B_2 V_i (1 - Duty)}{Duty} = \begin{bmatrix} 0 \\ \frac{N_s}{N_p} V_i \end{bmatrix}$$

となる。この状態方程式が制御対象になる。

2.3.3 出力コンデンサ ESR の影響

前項で得られた状態方程式より、*Duty* から出力電圧までの伝達関数は次式となる。

$$V_o(s) = \frac{N_s V_i}{N_p} \times \frac{R_L (1 + R_C C_f s)}{(R_L + R_C) L_f C_f s^2 + [(R_L R_C + R_O R_C + R_L R_O) C_f + L_f] s + R_L + R_O} Duty(s)\tag{2.5}$$

ここで、出力 3.3V-20A の電源を題材にし、出力コンデンサの等価直列抵抗 (ESR) の影響について考察する。一般的に、セラミックコンデンサの ESR は数 mΩ である。セラミックコンデンサを並列に *N* 個接続した場合、ESR の合成抵抗 *R_C* は *1/N* になるので非常に小さくなる。これに対し、負荷抵抗 *R_L* は 3.3V/20A=0.165Ω と大きく、また合成抵抗 *R_O* も一般的に 10mΩ から 20mΩ 程度と大きい。従って、*R_C << R_L*、*R_C << R_O* と考えると、次式のよう近似できる。

$$V_o(s) \approx \frac{N_s V_i}{N_p} \times \frac{R_L (1 + R_C C_f s)}{R_L L_f C_f s^2 + (R_L R_O C_f + L_f) s + R_L + R_O} Duty(s)\tag{2.6}$$

同じコンデンサを *N* 並列接続した場合、ESR の合成抵抗は *1/N* になり、キャパシタンスの合成容量は *N* 倍になる。従って、上式における零点 $-1/R_C C_f$ は、並列接続の数 *N* に依存せず、部品単体の定数 *R_C*、*C_f* で決定される。積層セラミックコンデンサ C3225X7R1C226M (22μF, 2mΩ) を 14 個並列接続で用いた場合と、ESR を 0Ω とした場合のボード線図を図 2-3 に示す。同図に用いた各パラメータを表 2-1 に示す。*R_C* は 0.143mΩ の場合、 $1/2\pi R_C C_f = 3.6\text{MHz}$ であり、その 1/10 程度の周波数から位相が進み始めることが分かる。詳細は 2.3.3 項で述べるが、PWM ジェネレータは零次ホールドの特性を持っているため、DC-DC コンバータはスイッチング周期で零次ホールドした特性になる。今回検討する絶縁形 DC-DC コンバータのスイッチング周波数は数百 kHz であるため、制御系設計においては ESR の影響は十分小さいといえる。*R_C=0* とすると状態方程式と伝達関数は次式となる。

表 2-1. 制御対象のパラメータ

L_f	$1.4 \mu \text{H}$	V_i	48V
C_f	$308 \mu \text{F}$	N_P	4
R_O	$15 \text{m}\Omega$	N_S	1
R_L	0.33Ω	R_C	$0.143 \text{m}\Omega$ or $0 \text{m}\Omega$

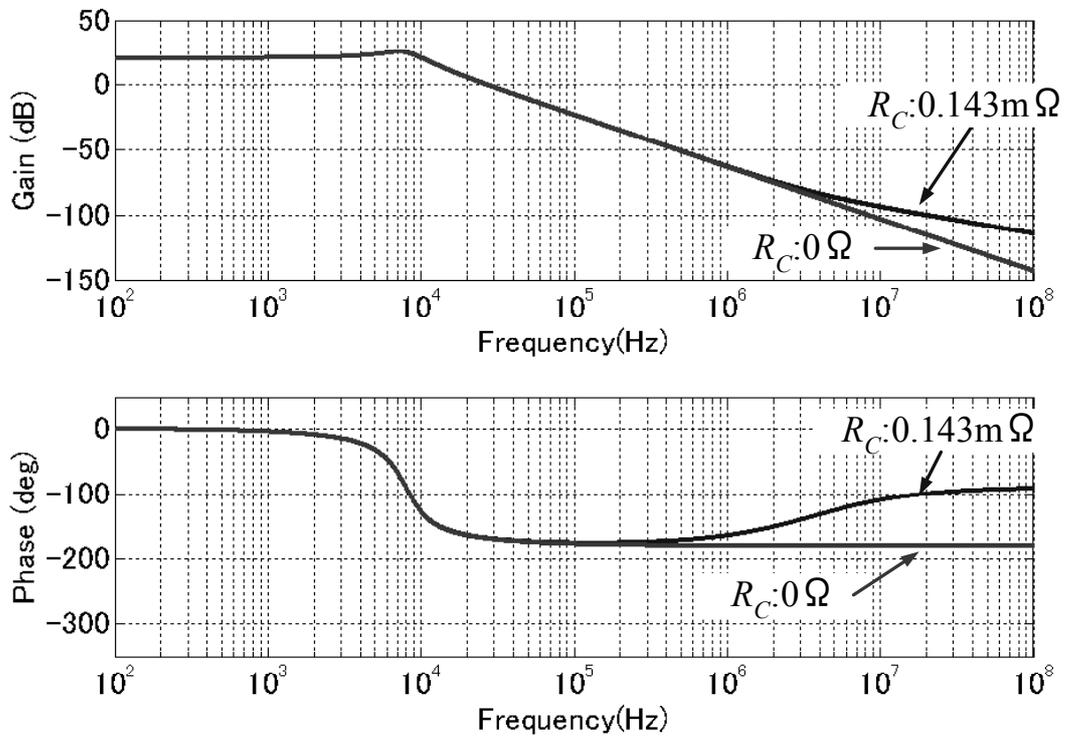


図 2-3. 連続系ボード線図

$$\begin{aligned}\frac{dx}{dt} &= A_C x + B_C \text{Duty} \\ y &= C_C x\end{aligned}\tag{2.7}$$

ここで、

$$A_C = \begin{bmatrix} -\frac{1}{R_L C_f} & \frac{1}{C_f} \\ -\frac{1}{L_f} & -\frac{R_O}{L_f} \end{bmatrix} B_C = \begin{bmatrix} 0 \\ \frac{N_S}{N_P} V_i \end{bmatrix} C_C = [1 \quad 0] \quad x = \begin{bmatrix} v_O \\ i \end{bmatrix} y = v_O$$

である。この時、*Duty* から出力電圧 v_O までの伝達関数は次式となる。

$$V_O(s) = \frac{N_S V_i}{N_P} \times \frac{R_L}{R_L L_f C_f s^2 + (R_L R_O C_f + L_f) s + R_L + R_O} \text{Duty}(s)\tag{2.8}$$

ただし、電解コンデンサのように ESR の大きい部品を用いる場合は数百 kHz 程度のスイッチング電源の制御系設計においても無視できないことがあるので注意が必要である。また、ESR は出力インピーダンスの高周波帯特性に影響するため、負荷急変における電流の傾きが大きくなるほど、負荷急変特性は ESR の影響を受けやすくなることにも注意が必要である [40],[41]。

2.4 デジタル制御

2.4.1 連続系の離散化

デジタル制御系の構築には大きく分けて以下の 2 つの手法がある。

- ① 連続系で制御器設計後、制御部を離散化する。
- ② 制御対象を離散化し、離散系で制御部を設計する。

①の手法は、離散系が、連続系からの双一次近似[42]などにより簡単に得られるため、連続系で構築されたシステムをデジタル制御に置き換える場合などにおいて有用である。DC-DC コンバータは、離散系の性質を持っているため、②の手法がより正確な制御系設計ができる。本研究においては、制御対象を離散化したものに対し、デジタル制御系を構築する。そのために、状態平均化法で得られた連続系状態方程式(2.7)を離散化する。

図 2-4 に示すシステムにおいて、図 2-5 に示すように入力 $u(t)$ をサンプル周期 T で零次ホールドした信号 $u(k)$ が状態方程式に入力される場合を考える。

時刻 t_0 時の状態 $x(t_0)$ 及び入力 $u(t_0)$ を初期値とした時の式(2.7)に示す状態方程式の解は次式で与えられる。

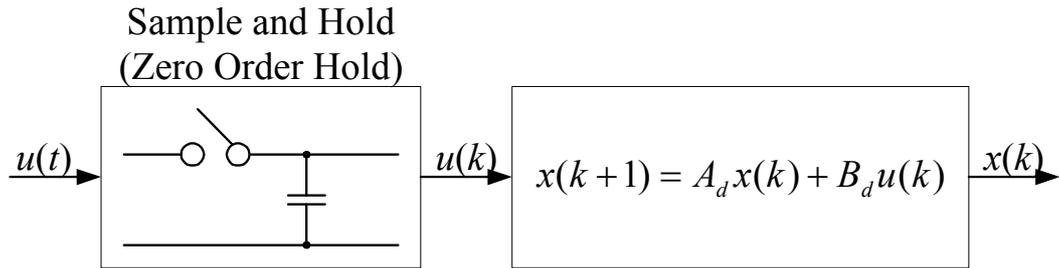


図 2-4. 零次ホールドによる離散化

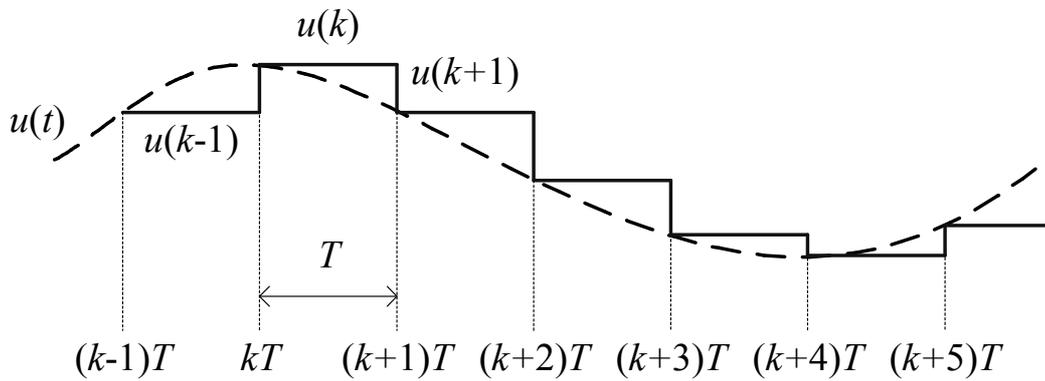


図 2-5. 連続系の離散化（零次ホールド）

$$x(t) = e^{A_c(t-t_0)} x(t_0) + \int_{t_0}^t e^{A_c(t-\tau)} B_c u(\tau) d\tau \quad (2.9)$$

これを用いて、零次ホールドにて離散化した時の差分方程式を導く。上式より、時刻 $(k+1)T$ 時の状態 $x(k+1)$ を時刻 kT 時の状態 $x(k)$ 及び入力 $u(k)$ を用いて表すと、次式となる。

$$x(k+1) = e^{A_c T} x(k) + \int_{kT}^{(k+1)T} e^{A_c((k+1)T-\tau)} B_c u(k) d\tau \quad (2.10)$$

ここで $(k+1)T - \tau = \eta$ をすると、次式が得られる。

$$x(k+1) = e^{A_c T} x(k) + \int_0^T e^{A_c \eta} d\eta B_c u(k) = A_d x(k) + B_d u(k) \quad (2.11)$$

上式は連続系と同様に、右辺第一項は時刻 kT 時の値 $x(k)$ によって決まる自由応答であり、第二項は入力 $u(t)$ による強制応答である。 A_d 、 B_d はテイラー展開によって次式のように求められる。

$$A_d = e^{AT} = \sum_{n=0}^{\infty} \frac{(AT)^n}{n!} \quad (2.12)$$

$$B_d = \int_0^T e^{A\eta} d\eta B = A^{-1} \left[\sum_{n=0}^{\infty} \frac{(AT)^n}{n!} - I \right] B \quad (2.13)$$

以上のように、式(2.11)～(2.13)を用いて、連続系状態方程式の離散化ができる。

2.4.2 離散系の周波数特性

図 2-6 に連続系と離散系のボード線図を示す。連続系は式(2.7)を用い、離散系は式(2.11)を用いている。同図において、サンプリング周波数 $T=3.3 \mu\text{s}$ としその他定数は表 2-1 と同じである。同図より、サンプリング周波数の約 1/10 から、離散系の位相が連続系に対し低下してきていることが分かる。また、離散系のゲインも連続系に対しサンプリング周波数付近で低下してきていることが分かる。連続系と離散系の差は零次ホールドの周波数特性である。零次ホールドの周波数特性は次式で表される。

$$G_{SH}(s) = \frac{1 - e^{-sT}}{s} \quad (2.14)$$

従って、ゲインフェーズ特性は次式で与えられる。

$$|G_{SH}(j\omega)| = T \left| \frac{\sin\left(\frac{\omega T}{2}\right)}{\frac{\omega T}{2}} \right| \quad (2.15)$$

$$\angle G_{SH}(j\omega) = -\frac{\omega T}{2} \quad (2.16)$$

上式より、周波数が高くなるほど、ゲインと位相は低下し、また周波数がサンプリング周波数と等しい点では、ゲインは零 ($=-\infty\text{dB}$) となり、位相は 180 度低下することが分かる。フィードバック制御の場合、安定性を考慮するとサンプリング周波数付近に制御帯域を近づけるのは困難である。

2.4.3 アナログ制御との周波数特性相違点

DC-DC コンバータは一般的に PWM 制御を用いており、PWM ジェネレータは図 2-7 に示すように、振幅が C_m のキャリア波と操作量 u を比較して PWM 信号を生成している。同図において、操作量が u_1 の時と u_2 の時で PWM 信号は同じになる。これは、PWM 信号の

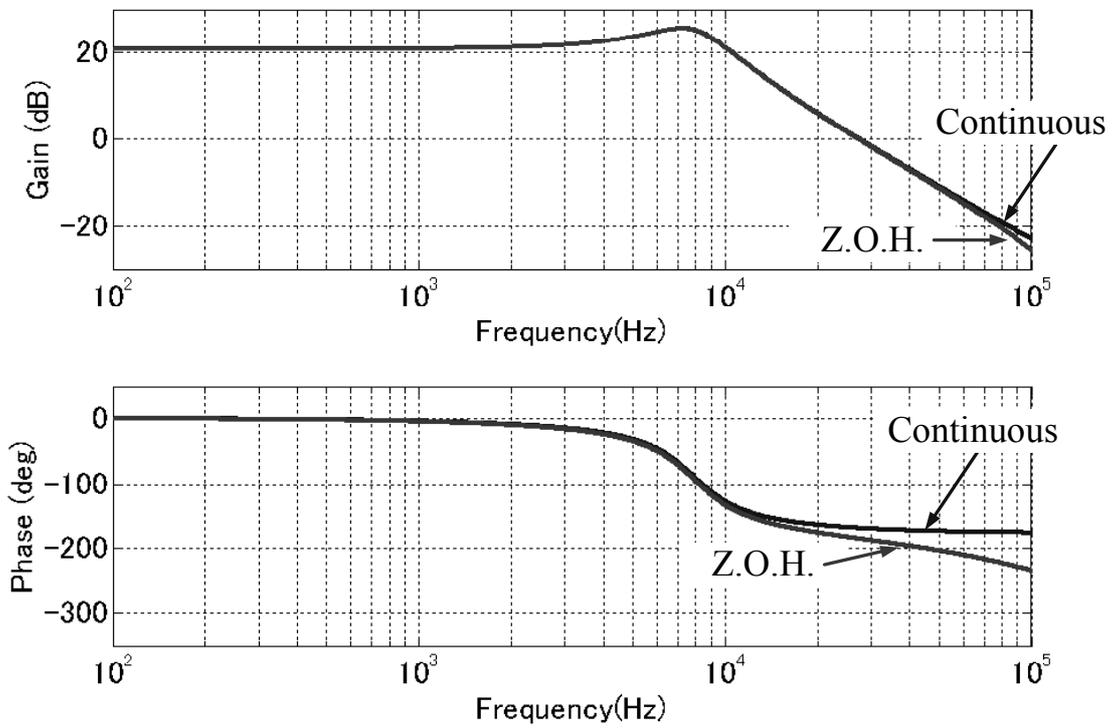


図 2-6. 連続系と離散系のボード線図

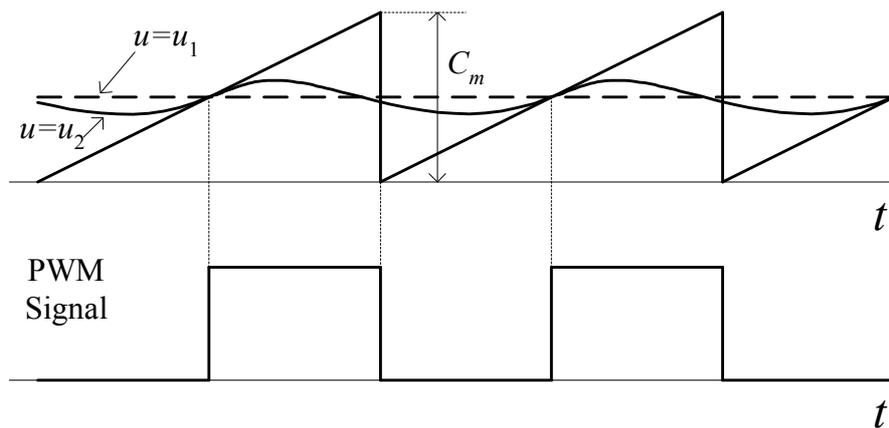


図 2-7. PWM ジェネレータ動作波形

Duty はキャリア波と操作量が一致したところで決定され、それがスイッチング周期毎で繰り返されるためである。操作量 u に対する出力電圧の応答を、図 2-8~10 に示す「スイッチングモデル」と「状態平均化モデル」、「状態平均化モデルにサンプルホールドを備えたモデル」の3つで、シミュレーションした。状態平均化モデルは、式(2.7)の等価回路であり、出力フィルタに印加される電圧が $V_i \times N_p / N_s \times Duty$ となる。シミュレーションにおいて、*Duty* は $C_m \cdot u$ を C_m で割ったものである。パラメータは表 2-1 と同じであり、サンプル周期 $T=3.3 \mu s$ としている。サンプルホールドを備えたモデルは、基本的に状態平均化モデルと同じであるが、サンプルホールドするタイミング (S/H Trigger) は、スイッチングモデルにおいてキャリア波と操作量が一致した点としている。サンプルホールドするタイミングが操作量に依存するので、サンプリング周期が動的に変動する非線形モデルとなるが、操作量の振幅が十分小さい場合はサンプリング周期が変わらないため、小信号解析においては零次ホールド特性を持つといえる。図 2-11 に、操作量 u を周波数 30kHz で変化させた時の出力電圧応答波形を示す。同図に示すように、状態平均化モデルとサンプルホールドを備えたモデルはスイッチングモデルによく一致している。サンプルホールドのモデルには僅かに遅れがあるが、これはキャリア波と操作量が一致したタイミングまで *Duty* が更新されないことによる遅れである。図 2-12 に、操作量 u を周波数 400kHz で変化させた時の出力電圧応答波形を示す。この時、サンプルホールドを備えたモデルはスイッチングモデルとよく一致しているが、状態平均化モデルは大きく異なっていることが分かる。この時、サンプルホールドモデルにおける *Duty* は、約 100kHz で変化しているが、これはエイリアシングによって発生した低周波信号である。以上より、PWM ジェネレータは零次ホールドの特性を持っており、アナログ制御の DC-DC コンバータも基本的に離散系の周波数特性を持っていることが分かる[43]。

2.4.4 離散化における遅れ時間の考慮

デジタル制御では、A-D コンバータで出力電圧をサンプリングしてから PWM 信号を更新するまでに、A-D 変換や操作量演算時間などによる遅れ時間が発生する。遅れ時間は制御系に悪影響するため、制御系設計においてはこれを考慮した方がよい[44]。遅れ時間を入力無駄時間と考えると、入力無駄時間がサンプリング周期の整数倍の場合は、 z^{-1} が 1 サンプル遅れであることからシステムの差分方程式は容易に得られる。

次に、入力無駄時間が 1 サンプル周期よりも短いシステムの差分方程式を導出する。入力無駄時間を L_d ($L_d \leq T$) とし、図 2-13 に示すシステムにおいて、図 2-14 に示すように入力 $u(t)$ をサンプル周期 T で零次ホールドし、時間 L_d 後に更新される信号 $u(k)$ が状態方程式に入力される場合を考える。まず、 kT から $kT + L_d$ までの間、 $u'(k) = \xi_1(k)$ が入力される。

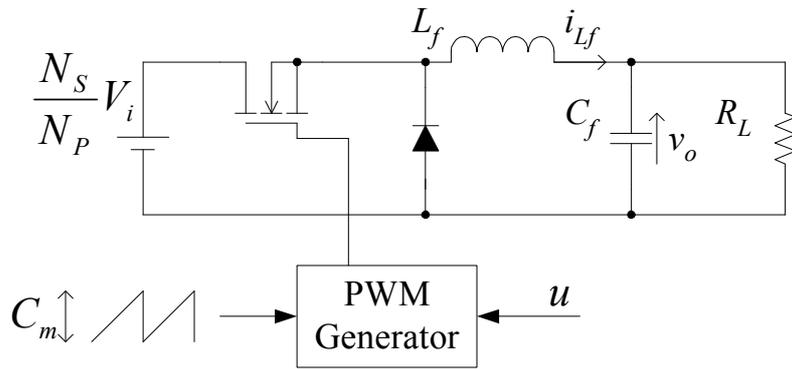


図 2-8. スイッチングモデル

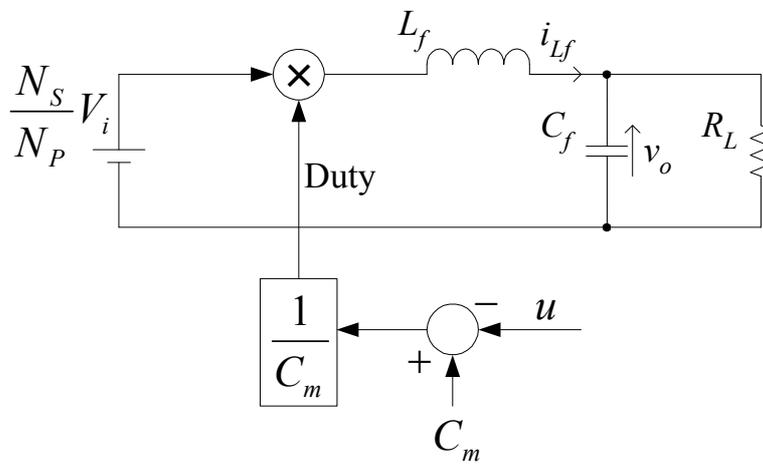


図 2-9. 状態平均化モデル

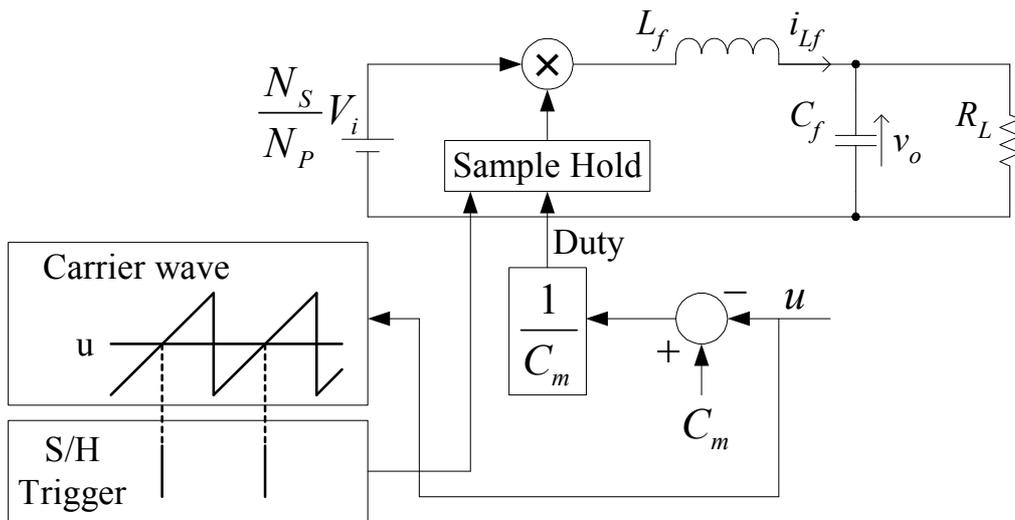


図 2-10. 状態平均化モデルにサンプルホールドを備えたモデル

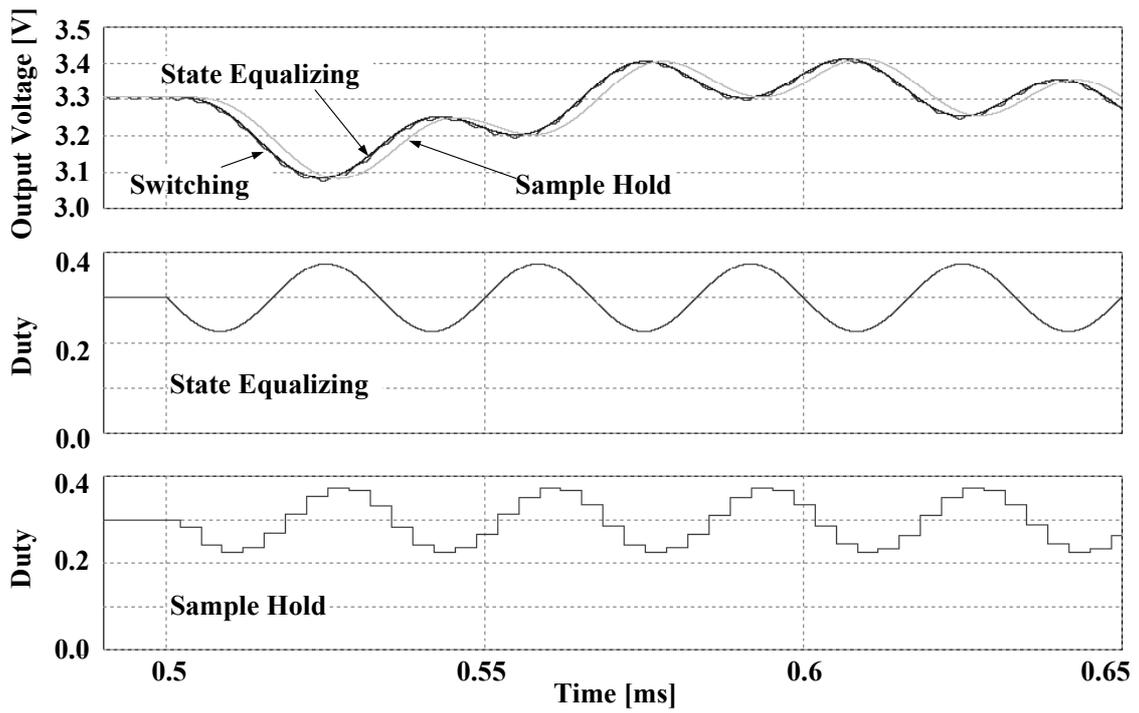


图 2-11. 出力電圧応答 (周波数 30kHz)

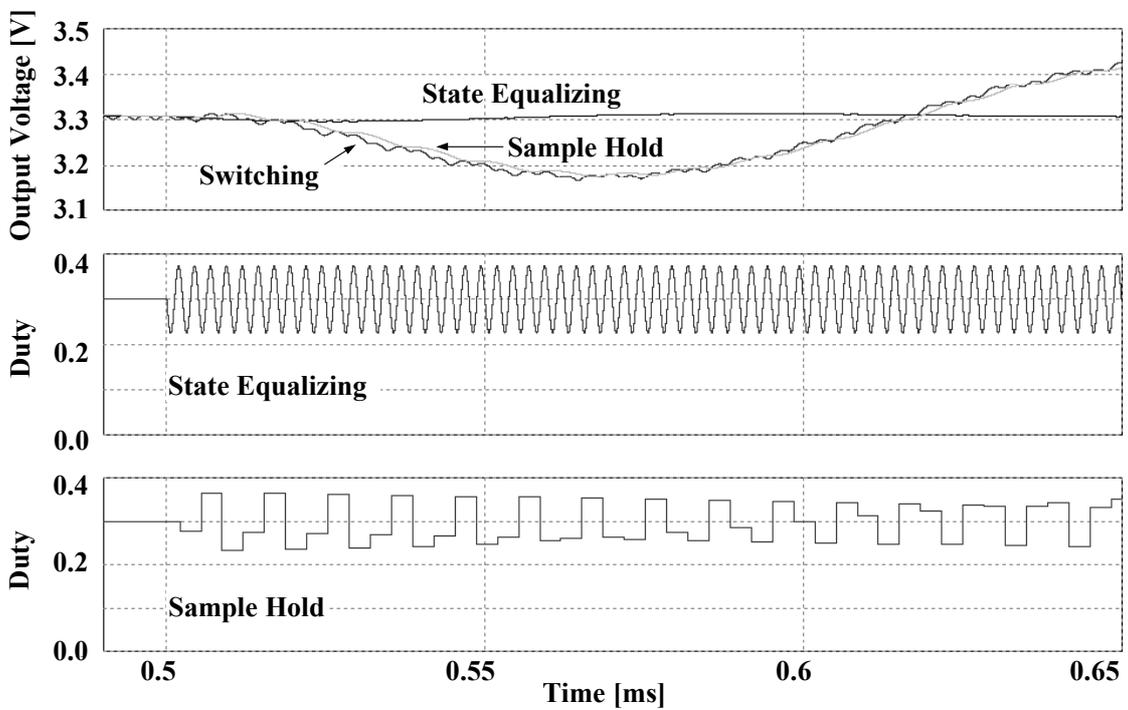


图 2-12. 出力電圧応答 (周波数 400kHz)

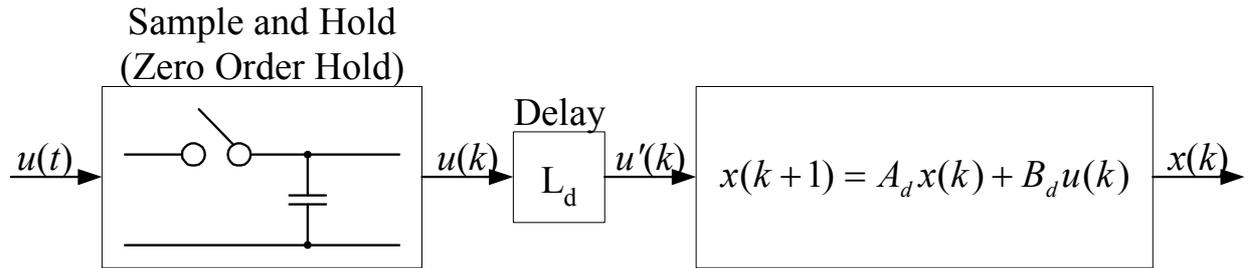


図 2-13. 入力無駄時間 L_d を含む零次ホールドによる離散化

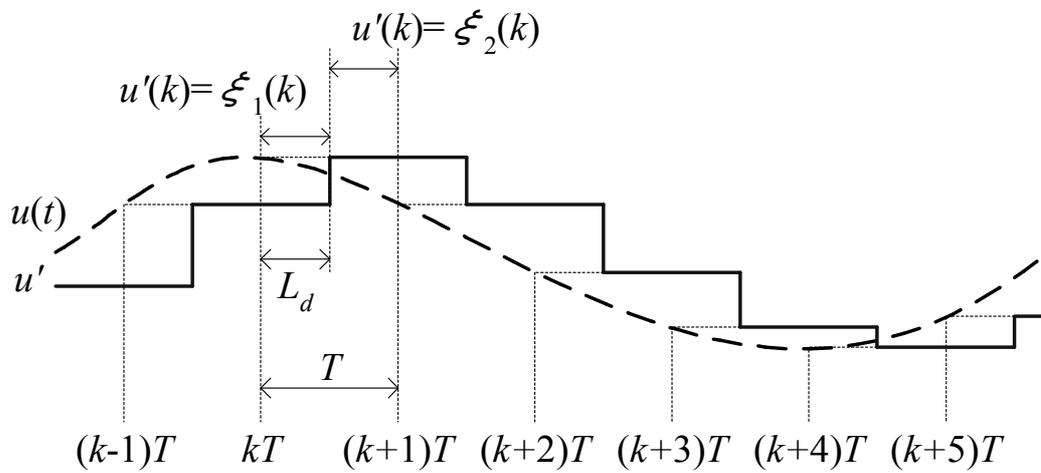


図 2-14. 入力無駄時間 L_d を含む離散化 (零次ホールド)

従って、式(2.11)より次式が得られる。

$$x(kT + L_d) = e^{AL_d} x(kT) + \int_0^{L_d} e^{A\tau} d\tau B \xi_1(kT) \quad (2.17)$$

次に、 $kT + L_d$ から $(k+1)T$ までの間、 $u'(k) = \xi_2(k)$ が入力される。従って、式(2.11)より次式が得られる。

$$x((k+1)T) = e^{A(T-L_d)} x(kT + L_d) + \int_0^{T-L_d} e^{A\tau} d\tau B \xi_2(kT) \quad (2.18)$$

式(2.17)、(2.18)より、次式が得られる。

$$x((k+1)T) = e^{AT} x(kT) + e^{A(T-L_d)} \int_0^{L_d} e^{A\tau} d\tau B \xi_1(kT) + \int_0^{T-L_d} e^{A\tau} d\tau B \xi_2(kT) \quad (2.19)$$

よって、入力無駄時間 L_d ($L_d \leq T$) を考慮した差分方程式は、次式となる。

$$x(k+1) = e^{AT}x(k) + e^{A(T-L_d)} \int_0^{L_d} e^{A\tau} d\tau B \xi_1(k) + \int_0^{T-L_d} e^{A\tau} d\tau B \xi_2(k) \quad (2.20)$$

$$\xi_1(k+1) = \xi_2(k) \quad (2.21)$$

ここで、式(2.20)右辺第2項、3項はテイラー展開によって次式のように求められる。

$$e^{A(T-L_d)} \int_0^{L_d} e^{A\tau} d\tau B = \sum_{n=0}^{\infty} \frac{[A(T-L_d)]^n}{n!} A^{-1} \left[\sum_{n=0}^{\infty} \frac{(AL_d)^n}{n!} - I \right] B \quad (2.22)$$

$$\int_0^{T-L_d} e^{A\tau} d\tau B = A^{-1} \left[\sum_{n=0}^{\infty} \frac{[A(T-L_d)]^n}{n!} - I \right] B \quad (2.23)$$

以上のように、式(2.20)～(2.23)を用いて、入力無駄時間 L_d ($L_d \leq T$) を考慮した連続系状態方程式の離散化ができる。

2.4.5 入力無駄時間の周波数特性への影響

入力無駄時間の周波数特性への影響を考える。図 2-15 に入力無駄時間ある場合の周波数特性を示す。パラメータは 2.4.3 項と同じで、これに入力無駄時間を加えている。サンプル遅れ大きいほど、10kHz 付近からの位相が低下する。これは、制御特性の悪化につながる。制御系設計において注意が必要である。入力無駄時間は遅れ要素の追加で表される。入力無駄時間を含めた制御対象に対して状態フィードバックを用いることで、全ての極が任意の場所に指定でき、所望の応答特性を得ることができる。

2.4.6 PID 制御器

一般的に、連続系の PID 制御器は、次式で表される。

$$u(t) = K_p e(t) + K_I \int e(t) dt + K_D \frac{de(t)}{dt} \quad (2.24)$$

ここで、 K_p の項は比例補償、 K_I の項は積分補償であり、 K_D の項は微分補償である。制御器を連続系から離散系へ変換する場合、一般的に有理関数近似を用いることが多い。ここでは後退差分で近似されたデジタル PID 制御器を用いる。デジタル PID 制御器は次式となる。

$$K(z) = K_{pD} + \frac{z}{z-1} K_{ID} + \left(\frac{z-1}{z}\right) K_{DD} \quad (2.25)$$

ここで、 $K_{pD}(s)$ の項は比例補償、 $K_{ID}(s)$ の項は積分補償であり、 $K_{DD}(s)$ の項は微分補償であ

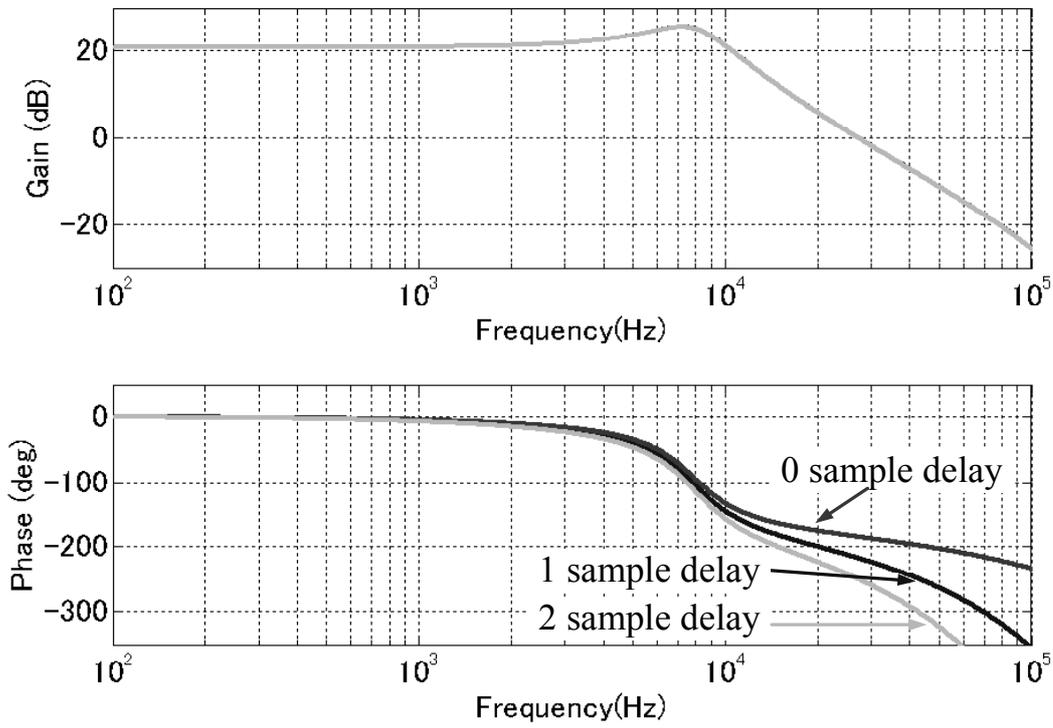


図 2-15. 入力無駄時間がある場合周波数特性

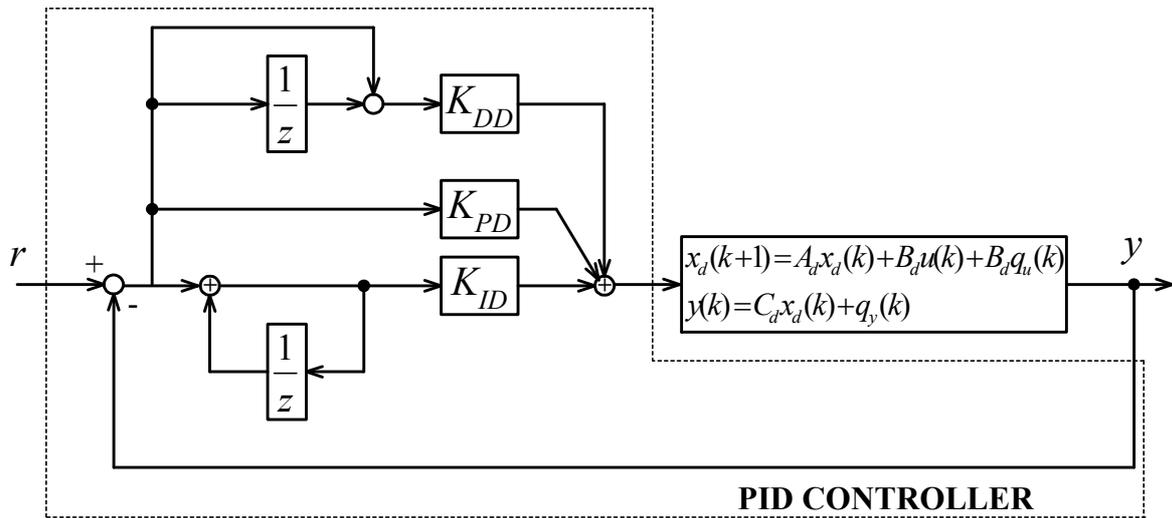


図 2-16. PID 制御器の例

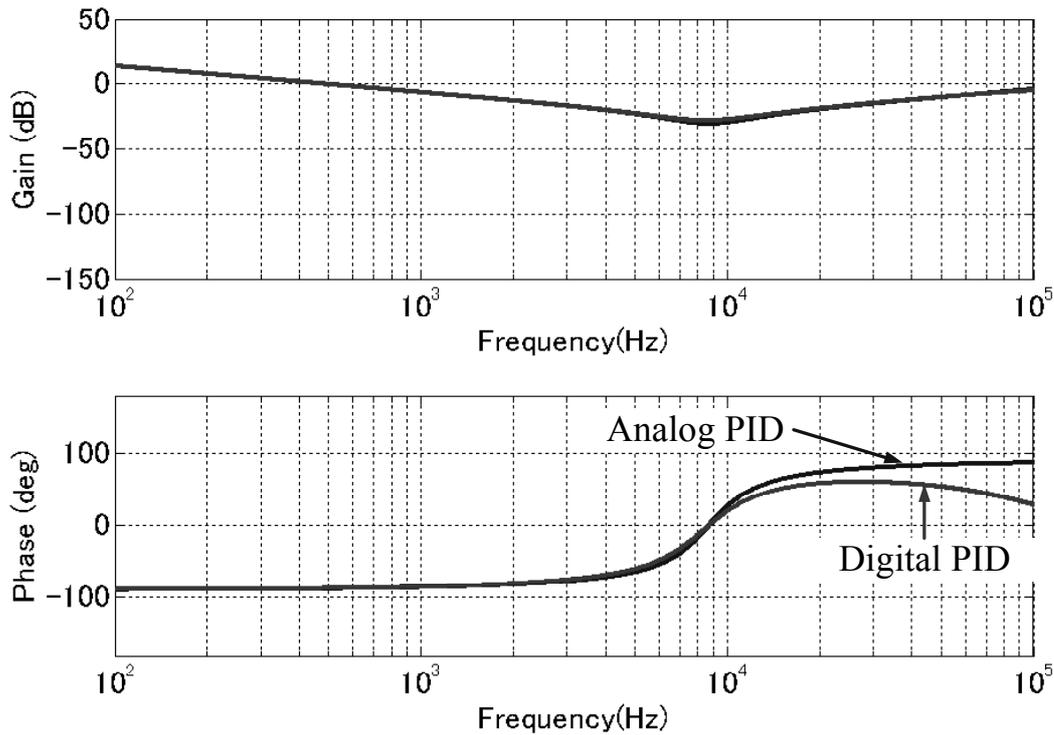


図 2-17. PID 制御器の周波数特性例

る。各パラメータは試行錯誤にて設定される。この制御器は図 2-16 に示すブロック図で表される。これを差分方程式で表すと、次式となる。

$$u(k) = K_{PD}e(k) + \sum_{i=1}^k e(i)K_{ID} + [e(k) - e(k-1)]K_{DD} \quad (2.26)$$

連続系の積分は離散系では総和に置き換わり、連続系の微分は離散系では差分で表される。この時、制御パラメータ次式で表される。

$$K_{PD} = K_P, \quad K_{ID} = K_I T, \quad K_{DD} = \frac{K_D}{T} \quad (2.27)$$

連続系 PID 制御と離散系 PID 制御の周波数特性を図 2-17 に示す。同図において、 $K_P=0.03$ 、 $K_I=3000$ 、 $K_D=1.0 \times 10^{-6}$ 、サンプリング周期は $T=3.3 \mu s$ である。連続系 PID と離散系 PID の差は零次ホールドの周波数特性である。スイッチング電源の場合、PWM ジェネレータが零次ホールドの特性を持つため、連続系 PID と離散系 PID には差がないことになる。従って、制御部のデジタル化による特性の変化は A-D 変換や操作量演算時間などによる遅延のみであるといえる。

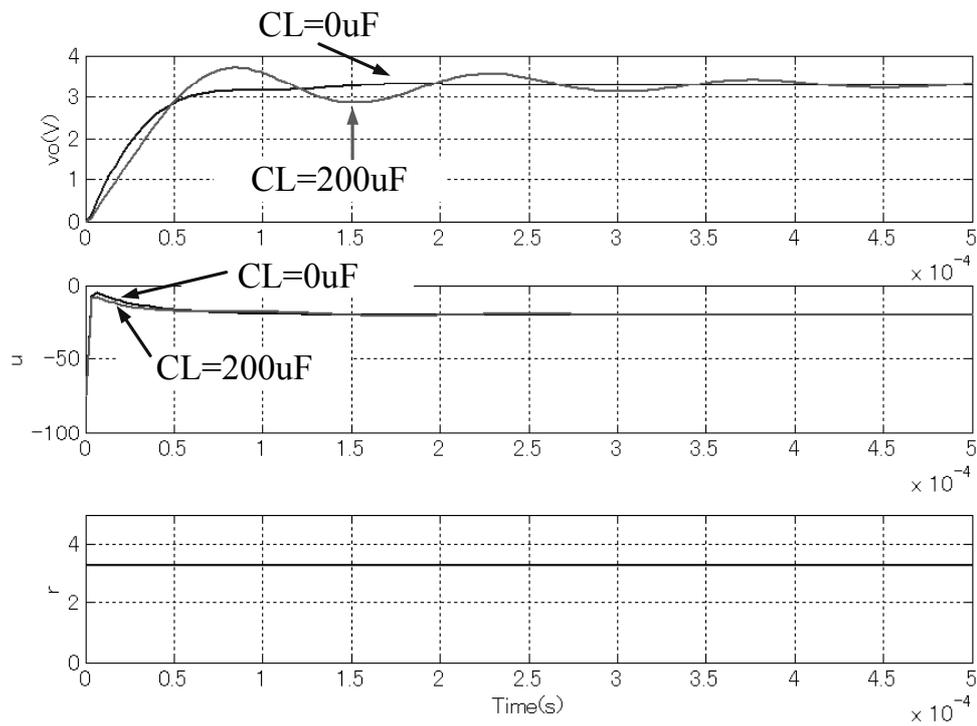


図 2-18. DC-DC コンバータのスタートアップ特性 (PID 制御)

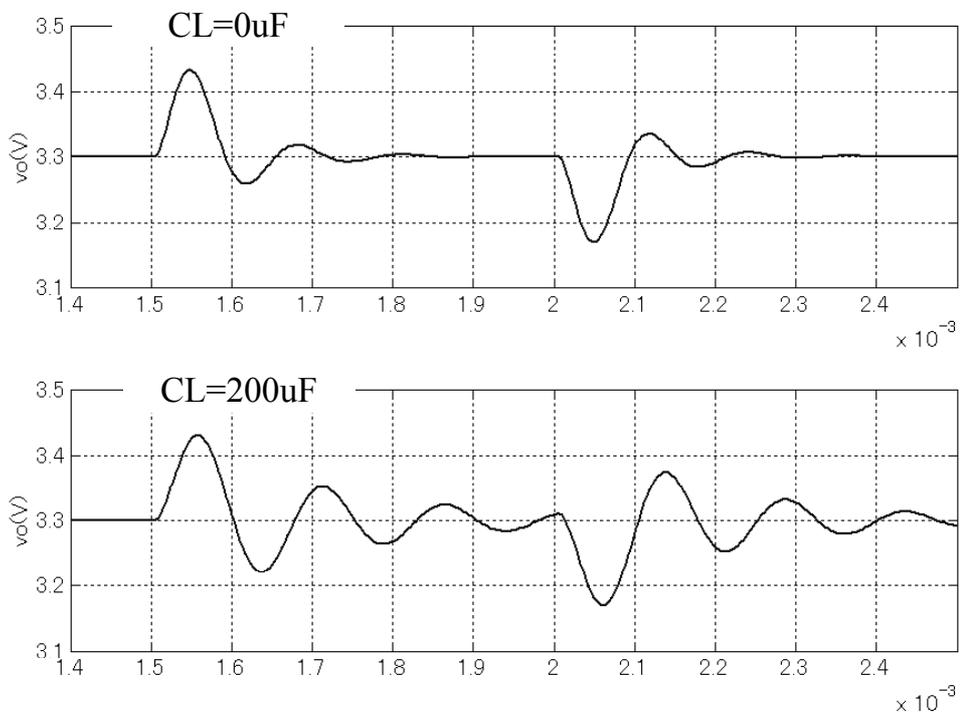


図 2-19. DC-DC コンバータの負荷急変特性 (PID 制御)

2.4.7 PID 制御の問題点

図 2-16 のシステムにおける、負荷コンデンサ C_L を $0 \mu\text{F}$ 、 $200 \mu\text{F}$ とした時のスタートアップ特性と負荷急変特性をシミュレーションした。PID 制御器は、図 2-17 の離散系周波数特性を持ち、制御対象は表 2-1 のパラメータで、 $T=3.3 \mu\text{s}$ であり、式(2.11)で得られるパルス伝達関数を持っている。図 2-18 にスタートアップ特性を示す。 $C_L=0 \mu\text{F}$ の時、立ち上がり時間は約 $70 \mu\text{s}$ で立ち上がる事ができている。しかしながら、 $C_L=200 \mu\text{F}$ の時は振動的になった。PID 制御では、高速応答とロバスト性を両立させるのは困難である。

図 2-19 に負荷急変特性を示す。負荷急変特性も $C_L=200 \mu\text{F}$ の時はより振動的になった。スタートアップ特性は目標値から出力電圧への伝達関数で決定され、負荷急変特性は出力に入る外乱から出力電圧への伝達関数とみなすことができる。どちらの伝達関数も同じ極をもち、振動は代表根が共役複素根であることが原因で発生している[45],[46]。このような場合、振動の周波数において電源の負荷電流—出力電圧間の周波数特性（出力インピーダンス特性[41]）のゲインが急激に高くなる。このため、負荷電流が急変する周波数が振動の周波数に近い時、出力電圧振動の振幅が非常に大きくなりやすく、低感度な特性が得られない。このため、DC-DC コンバータはスタートアップ、負荷急変のどちらにおいても、振動的でない必要がある。DC-DC コンバータは C_L だけでなく、入力電圧 V_i や負荷抵抗 R_L も変化する。更に、PID 制御器の設計は試行錯誤であるため、最適な制御系を得るのは容易ではない。これらのパラメータ変動に対しロバストな特性をもつ制御器と、所望の特性を得るための合理的な設計手法の確立が望まれる。

2.5 デジタル PWM 分解能問題

デジタル PWM ジェネレータの動作波形を図 2-20 に示す。デジタル PWM ジェネレータによる出力電圧分解能を導出する。デジタル PWM ジェネレータはカウンタを用いているため、キャリア波は階段状となる。カウンタ値 $C_V(k)$ は $-C_m$ から始まり、クロック周期 T_{clk} 毎に 1 ずつ増加し、カウンタ値 $C_V(k)$ が 0 になると、 $-C_m$ にリセットされ、動作を繰り返すものとする。図 2-20 よりリセット後の k 番目のカウンタ値 $C_V(k)$ は次式となる。

$$C_V(k) = -C_m + k \quad (2.28)$$

このため、操作量 u が $C_V(k) \leq u \leq C_V(k+1)$ の範囲において、 $u = C_V(k)$ の整数値となる。よっ

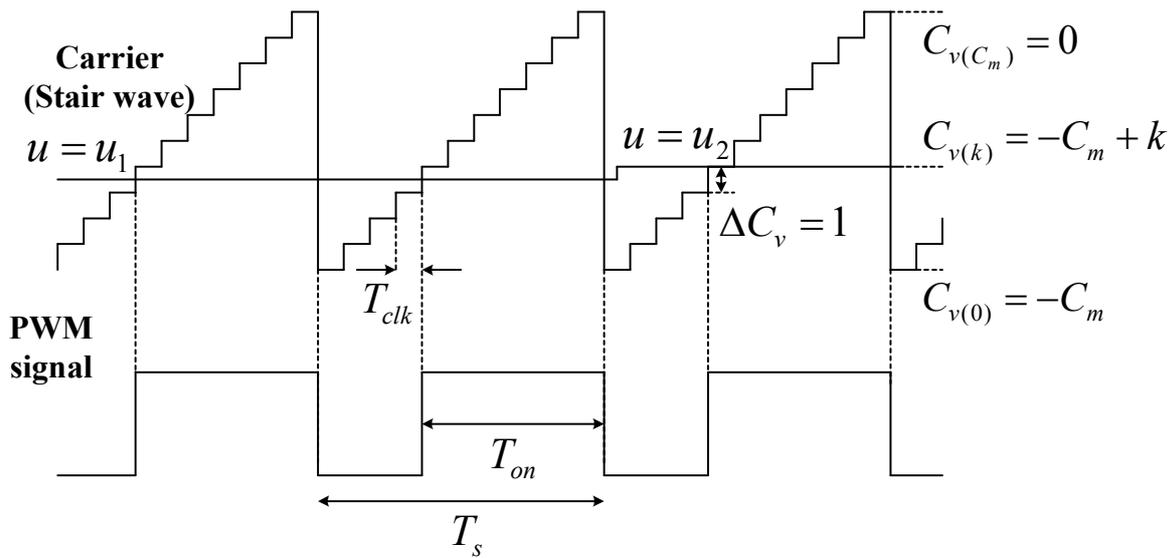


図 2-20. デジタル PWM ジェネレータ

表 2-2. デジタル PWM 分解能解析のパラメータ

N_P	5	R_O	12m Ω
N_S	1	R_L	0.33 Ω
L_f	1.4 μ H	C_f	308 μ F

て、図 2-20 の $u=u_1$ の時と $u=u_2$ の時の T_{on} は同じ値になる。つまり、操作量 u の小数部が切り捨てられ、 $C_V(k) \leq u \leq C_V(k+1)$ の間 T_{on} が変化せず、分解能が上がらない。式(2.8)より、フォワードコンバータの出力電圧定常値 V_{OS} は、次式で与えられる。

$$V_{OS} = \frac{N_S V_i}{N_P} \times \frac{R_L}{R_L + R_O} \frac{T_{on}}{T_s} \quad (2.29)$$

図 2-20 より、キャリア波の振幅 C_m 、操作量 u により、 T_s と T_{on} の関係が次式のように与えられる。

$$-\frac{u}{C_m} = \frac{T_{on}}{T_s} \quad (2.30)$$

よって u と T_{on} の関係は線形である。図 2-20 より、 T_{on} はクロック周期 T_{clk} で刻まれるので、出力電圧の分解能 $\Delta V_O(p/s)$ は式(2.29)の T_{on} を T_{clk} に置き換えることで得られ、次式となる。

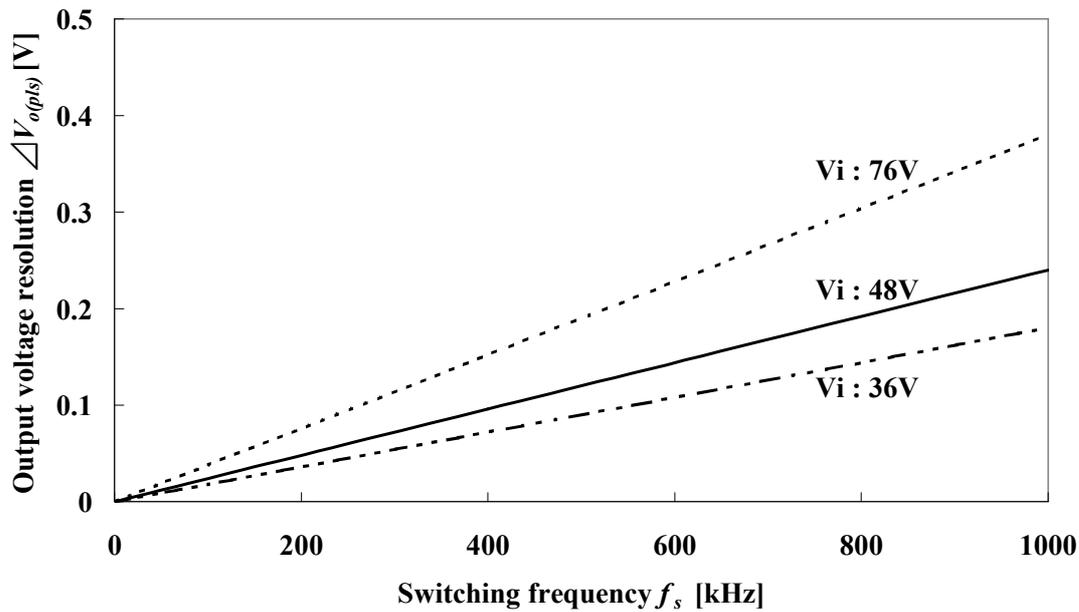


図 2-21. 出力電圧分解能特性

$$V_{OS} = \frac{N_S V_i}{N_P} \times \frac{R_L}{R_L + R_O} \frac{T_{clk}}{T_S} \quad (2.31)$$

これより、分解能は V_i 、 T_S および T_{clk} の関数である。DC-DC コンバータのパラメータを表 2-2 のように決め、 $T_{clk}=25\text{ns}$ と固定し、 V_i および $f_s=1/T_S$ を変化させた時の出力電圧分解能の特性を図 2-21 に示す。図 2-21 より、出力電圧の分解能 $\Delta V_o(pls)$ は、 $V_i=48V$ の時、 f_s が 400kHz 以上の領域では 92.6mV 以上となる。これは 3.3V 出力の電源で考えると分解能は 2.8%以上となり、非常に悪い特性になる。更に、この分解能が A-D コンバータ分解能よりも悪いとき、リミットサイクル発振を起こす[34]。このリップルが出力に重畳するため、出力ノイズが増加する。CPU 等の負荷装置に用いられる DC-DC コンバータの出力電圧は、出力ノイズ及び負荷急変応答、入力急変応答等を含め、全体で数%の範囲内に入る必要がある。このため、デジタル化により発生するリップルノイズはなるべく小さくすべきである。

2.6 あとがき

本章では、DC-DC コンバータ制御部のデジタル化と、制御系における技術的課題について述べた。第3節では、フォワードコンバータを線形近似した連続系数学モデルを状態平均化法で導出した。次に出力コンデンサ ESR の周波数特性への影響について述べた。特に、コンデンサのキャパシタンスと ESR の積で決まる零点は、制御系に影響することがある。今回検討した積層セラミックコンデンサ C3225X7R1C226M ($22\mu\text{F}, 2\text{m}\Omega$) の零点は $1/2\pi R_C C_F = 3.6\text{MHz}$ であるため、スイッチング周波数が数百 kHz 程度の制御系設計ならば、影響は十分小さく無視できる。

第4節では、まず離散化とその周波数特性について述べ、スイッチング電源のアナログ制御とデジタル制御系の差について述べた。PWM ジェネレータは零次ホールドの性質を持っているため、従来のアナログ制御も離散系の周波数特性を持っている。周波数特性におけるアナログ制御とデジタル制御の差は、A-D 変換から PWM 更新までの処理時間による遅れのみである。この処理時間を入力無駄時間と考えることができる。入力無駄時間を含めた制御対象に対して状態フィードバックを用いることで、閉ループ伝達関数の全ての極を任意の場所に指定でき、所望の応答特性が得られる。次に PID 制御器とその問題点について述べた。PID 制御では、負荷コンデンサ $C_L = 0\mu\text{F}$ の場合と $C_L = 200\mu\text{F}$ の場合で応答特性が大きく異なり、 $C_L = 200\mu\text{F}$ の時はより振動的になった。PID 制御では、高速応答とロバスト性を両立させるのは困難である。また、設計は試行錯誤であり、最適なパラメータを導くのは容易ではない。DC-DC コンバータは C_L だけでなく、入力電圧 V_i や負荷抵抗 R_L も変化する。これらのパラメータ変動に対しロバストな特性をもつ制御器と、合理的な設計手法が望まれる。また DC-DC コンバータはスタートアップ、負荷急変のどちらにおいても、振動的でない必要がある。

第5節では、デジタル PWM ジェネレータが持つ分解能について述べた。デジタル PWM ジェネレータの PWM 信号はクロック周期で刻まれるため、分解能をもつ。クロック周期を 25ns とした場合、スイッチング周波数 400kHz における分解能は 2.8% 以上となり、非常に悪い特性が得られた。この分解能は、スイッチング周波数が高くなるほど悪化するため、高速応答における重要な課題である。

以上より、以下の2点が DC-DC コンバータ制御部のデジタル化における課題となる。

- ・ 処理時間による入力無駄時間の存在
- ・ デジタル PWM 分解能が粗い

これらの課題を対策し、高速応答とロバスト性を両立できる制御器が必要である。第3章、第4章では、DSP の処理時間による入力無駄時間の影響を押さえ、高速応答とロバスト性を両立できる近似的2自由度制御について述べる。第5章ではデジタル PWM 分解能の解決法について述べる。

第 3 章

二次モデルによる近似的 2 自由度デジタル積分形制御

3.1 まえがき

第 2 章では、PID 制御では高速応答とロバスト性を両立させることは困難であることを述べた。情報通信ネットワーク機器用、高速サーバ用の DC-DC コンバータにおいては、スタートアップ特性や負荷急変特性、入力急変特性が重要であり、また入力電圧や抵抗負荷、容量性負荷の変動に対しロバストな特性を持つ制御器が望まれる。また一般的なロバストサーボ系[21]-[23]や 2 自由度制御系を設計する方法[24]-[32]とは異なる DC-AC コンバータの近似的 2 自由度デジタル積分形制御器の設計法が提案されている[33]。このデジタル制御器はスタートアップ特性として一次モデルを近似的に実現し、ロバストなものとなっている。近似であるため制御器の次数を低くできるので、DC-DC コンバータなどの高速に動作する制御対象に対し有用である。DC-DC コンバータにこの近似的 2 自由度制御器を適用するには、スタートアップ特性や負荷及び入力電圧の急変特性に対しロバスト性をより高める必要がある。そのためには、文献[33]では示されていない十分な近似度を得る手法を確立しなければならない。

また DC-DC コンバータはスタートアップ、負荷急変のどちらにおいても、振動的でない必要がある。本章では、まず近似的 2 自由度制御系の目標について述べる。制御系設計においては、スタートアップ特性の目標モデルに二次モデルを用いる。この二次モデルへの十分な近似と、外乱から出力電圧の伝達関数への十分な近似を得るための制御器の設計法について述べる。本制御器は DSP を用いたデジタル制御系で実現しており、シミュレーションと実験結果を比較検証している。

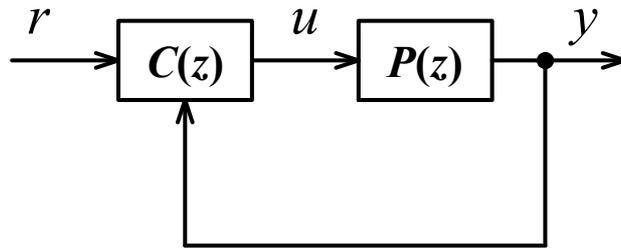


図 3-1. フィードバック制御系

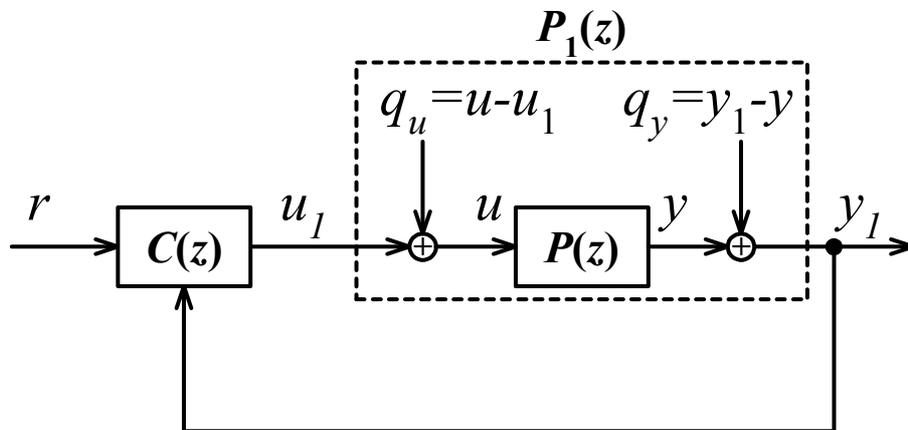


図 3-2. 等価外乱を含むフィードバック制御系

3.2 近似的 2 自由度制御の目標

図 3-1 に示すフィードバック制御系において、制御器の伝達関数を $C(z)$ 、制御対象の伝達関数を $P(z)$ とする。出力は y 、目標値は r 、操作量は u である。ここで、パラメータ変化や次数の変化、非線形動作などによる特性変化により制御対象の伝達関数が $P_1(z)$ となった時の操作量を u_1 、出力が y_1 とする。このような特性変化は、図 3-2 に示すように、制御対象の入出力に外乱 $q_u = u - u_1$ と $q_y = y_1 - y$ を加えることと等価である。従って、制御対象の特性変化は、等価外乱 $Q = [q_u \ q_y]$ に置き換えることができる。本制御系設計は、 $r \rightarrow y$ の特性と $Q \rightarrow y$ の特性を近似的に 2 自由度系とすることで制御系設計を簡単に行っている。 $r \rightarrow y$ の特性の帯域幅をより高くし、 $Q \rightarrow y$ の特性をより低感度にする制御系パラメータを合理的に導くことが目標である。

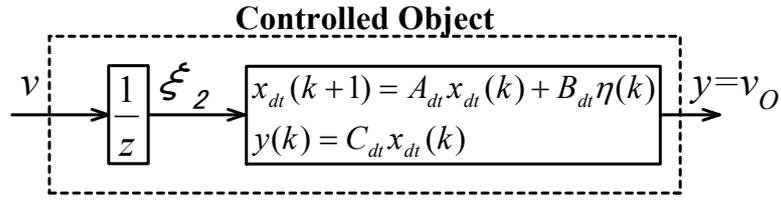


図 3-3. 入力無駄時間 L_d ($0 \leq L_d \leq T$) と 1 サンプル周期遅れを持つ制御対象

3.3 DC-DC コンバータ

3.3.1 離散系制御対象の構築

制御対象は第 2 章の図 2-1 に示すフォワードコンバータであり、その連続系状態方程式は状態平均化法によって式(2.7)で与えられている。式(2.29)の右辺は Duty であることを考慮し、式(2.7)に代入すると次式が得られる。

$$\begin{aligned} \frac{dx}{dt} &= A_C x + B_C u \\ y &= C_C x \end{aligned} \quad (3.1)$$

ただし、

$$A_C = \begin{bmatrix} -\frac{1}{R_L C_f} & \frac{1}{C_f} \\ -\frac{1}{L_f} & -\frac{R_O}{L_f} \end{bmatrix} \quad B_C = \begin{bmatrix} 0 \\ -\frac{N_S}{C_m N_P L_f} V_i \end{bmatrix} \quad C_C = [1 \quad 0] \quad x = \begin{bmatrix} v_o \\ i \end{bmatrix} \quad y = v_o$$

となる。2.4.4 項で述べたように、デジタル制御器を DSP などを実現するとき、A-D 変換から PWM 更新までの遅れ時間が存在する。この遅れ時間は入力無駄時間 L_d ($0 \leq L_d \leq T$) と等価であると考え、式(2.20)~(2.23)で離散化する。更に、電流フィードバックを電圧フィードバックに変換するために 1 サンプル周期遅れ要素を結合し、図 3-3 の系を構成する。図 3-3 の系は次式で与えられ、これを新たな制御対象とする。

$$\begin{aligned} x_{dw}(k+1) &= A_{dw} x_{dw}(k) + B_{dw} v(k) \\ y(k) &= C_{dw} x_{dw}(k) \end{aligned} \quad (3.2)$$

ただし、

$$A_{dw} = \begin{bmatrix} A_{dt} & B_{dt} \\ 0 & 0 \end{bmatrix} \quad B_{dw} = \begin{bmatrix} 0 \\ 1 \end{bmatrix} \quad A_{dt} = \begin{bmatrix} e^{A_c T} & A_c(T-L_d) \int_0^{L_d} e^{A_c \tau} d\tau B_C \\ 0 & 0 \end{bmatrix}$$

$$B_{dt} = \begin{bmatrix} \int_0^{T-L_d} e^{A_c \tau} d\tau B_C \\ 1 \end{bmatrix} \quad C_{dw} = [C_{dt} \quad 0] \quad C_{dt} = [C_C \quad 0]$$

$$x_{dw} = \begin{bmatrix} x_{dt}(k) \\ \xi_2(k) \end{bmatrix} \quad x_{dt} = \begin{bmatrix} x(k) \\ \xi_1(k) \end{bmatrix} \quad \xi_1(k) = u(k) \quad \xi_2(k) = \eta(k)$$

3.3.2 DC-DC コンバータの仕様

情報通信ネットワーク機器用、高速サーバ用の絶縁形 DC-DC コンバータは、スタートアップ特性や負荷急変特性、入力電圧急変時特性が重要である。以下の仕様 (1) ~ (7) を満たすデジタル制御絶縁形 DC-DC コンバータを設計、製作する。スタートアップ特性は、FPGA などの要求では $100 \mu\text{s} \sim 50\text{ms}$ なので、その最短時間になるように決めた。容量性負荷や抵抗負荷範囲は従来の DC-DC コンバータの範囲と同等である。従来の DC-DC コンバータは $200 \mu\text{F}$ 程度の容量性負荷変動があると振動的になるが、本仕様においては振動しないよう設計する。負荷急変や入力電圧急変の特性は、従来の DC-DC コンバータと同等である。

- (1) 入力電圧は 48V、出力電圧は 3.3V である。
- (2) スタートアップ時の出力電圧過渡特性の立ち上がり時間は抵抗負荷時と抵抗と容量の並列負荷時ともほとんど変わらない。それらの範囲は $0.165 \Omega \leq R_L < \infty \Omega$ 、 $0 \mu\text{F} \leq C_L \leq 200 \mu\text{F}$ である。
- (3) スタートアップ時の出力電圧過渡特性の立ち上がり時間は $100 \mu\text{s}$ 以下（制御帯域幅 4kHz 以上）である。
- (4) 仕様 (2) の全ての負荷において、スタートアップ時の出力電圧過渡特性にオーバーシュートが生じない。
- (5) 負荷急変時の出力電圧変動は、負荷電流の 10A の変動に対して 50mV 以下である。
- (6) 入力電圧の $\pm 20\%$ 内の変動に対して仕様 (2) ~ (5) が満たされる。
- (7) 入力電圧の $\pm 20\%$ 内の急変時において、出力電圧変動は 50mV 以下である。

ところで、抵抗 R_L と容量 C_L の並列負荷時の A_C 行列は

$$A_c = \begin{bmatrix} -\frac{1}{R_L(C_f+C_L)} & \frac{1}{C_f+C_L} \\ -\frac{1}{L_f} & -\frac{R_o}{L_f} \end{bmatrix} \quad (3.3)$$

となる。これら抵抗 R_L や容量 C_L の変動は A_c 行列の $A_c(1,1)$ 、 $A_c(1,2)$ 要素のパラメータ変動とみなすことができる。 R_o の誤差は $A_c(2,2)$ 要素のパラメータ変動、 L_f の誤差は $A_c(2,1)$ 、 $A_c(2,2)$ 、 $B_c(2,1)$ 要素のパラメータ変動とみなすことができる。また入力電圧変動は B_c 行列の $B_c(2,1)$ 要素のパラメータ変動とみなすことができる。これらのパラメータ変動は、式(3.2)で表される制御対象の入出力に入る等価外乱 q_v 、 q_y に置き換えることができる。パラメータ変動の影響を抑制するすなわちロバストにするために、これらの等価外乱から出力 y への特性をなるべく低感度になる制御系を構成する。目標 r から出力 y への応答特性に影響を与えず、外乱の影響を抑制する簡単な設計法を提案する。

3.4 二次モデルを近似的に実現する 2 自由度デジタル制御器の構築

3.4.1 二次近似モデルマッチングシステムの構築

伝達関数 $W_{ry}(z)$ をもつモデルマッチングシステムを構築する。まず、式(3.2)の離散時間制御対象に状態フィードバック則 $v = -Fx_{dw} + r'$ を適用したシステムを図 3-4 に示す。 $F(1,1)$ は出力電圧 v_o のフィードバック、 $F(1,2)$ は出力インダクタ電流 i のフィードバック、 $F(1,3)$ は AD 変換から PWM 更新までの入力無駄時間 ξ_1 のフィードバック、 $F(1,4)$ は電流フィードバックを電圧フィードバックに置き換えるために追加した 1 サンプル遅れ ξ_2 のフィードバックである。 r' から y までの伝達関数は次式のように表される。

$$W_{ry}(z) = k_{co} \frac{(z-n_1)(z-n_2)}{(z+H_1)(z+H_2)(z+H_3)(z+H_4)} \quad (3.4)$$

k_{co} は図 3-4 の伝達関数のゲインである。このシステムは状態フィードバックであるため、システムの r から y の伝達関数の極 ($-H_1 \sim -H_4$) は、極配置法[47]で任意の値に指定できる。 n_1 と n_2 は離散時間制御対象の零点である。定常時に r と y を等しくし、また新たに追加した ξ_2 による極 ($-H_4$) の影響を打ち消すためにフィードフォワード $G(z+H_4)$ を追加する。図 3-5 にモデルマッチングシステムをに示す。 G を次式のように指定する。

$$G = \frac{(1+H_1)(1+H_2)(1+H_3)}{(1-n_1)(1-n_2)} \times \frac{1}{k_{co}} \quad (3.5)$$

よって、目標値 r と制御量 y 間の伝達関数 $W_{ry}(z)$ が次式のように指定される。

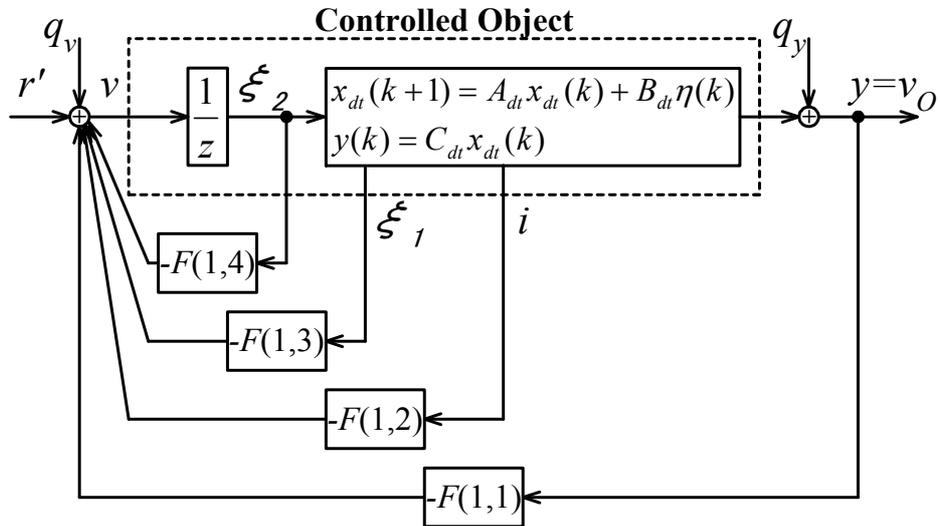


図 3-4. 離散時間制御対象に状態フィードバックを備えたシステム

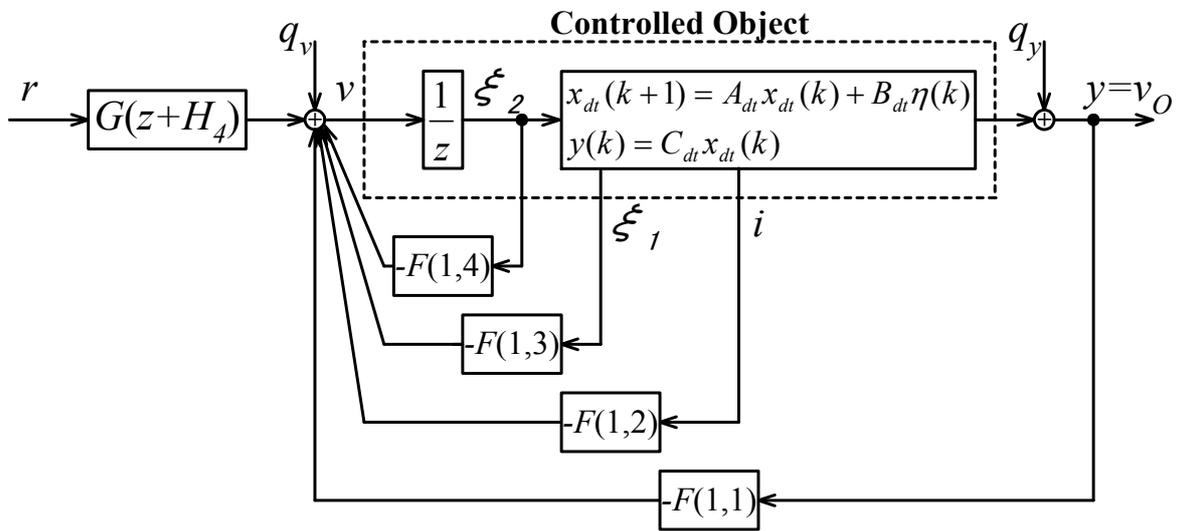


図 3-5. モデルマッチングシステム

$$W_{ry}(z) = \frac{(1+H_1)(1+H_2)(1+H_3)(z-n_1)(z-n_2)(z+H_4)}{(z+H_1)(z+H_2)(z+H_3)(1-n_1)(1-n_2)(z+H_4)} \quad (3.6)$$

ここで、 $|n_1| < 1$ 、 $|n_2| \gg 1$ とする。 H_1 、 H_2 を代表根すなわち $|H_3| \ll |H_1|$ 、 $|H_3| \ll |H_2|$ とし、 $n_1 \approx n_0$ となるように指定すると、 $W_{ry}(z)$ は次式のような二次モデルに近似される。

$$W_{ry}(z) \approx W_m(z) = \frac{(1+H_1)(1+H_2)(z-n_0)}{(z+H_1)(z+H_2)(1-n_0)} \quad (3.7)$$

n_2 は $|n_2| \gg 1$ であるため無視する。この目標特性 $W_{ry}(z) \approx W_m(z)$ は仕様(3)、(4)を満たすように指定する。

3.4.2 モデルマッチングシステムの等価変換

図 3-5 のシステムにおいて、インダクタ電流 i はノイズ量が大きく、また電流センサも高価である。このため、インダクタ電流センサを必要としないモデルマッチングシステムが望ましい。そこで 1 サンプル遅れ ξ_2 を追加し、電流フィードバックを電圧フィードバックに置き換える。図 3-5 のシステムを等価変換し、電流フィードバック無しで実現できるシステムにする。入力 v の差分方程式を z 変換すると次式が得られる。

$$v(z) = -F(1,1)v_o(z) - F(1,2)i(z) - F(1,3)\xi_1(z) - F(1,4)\xi_2(z) + G(z+H_4)r \quad (3.8)$$

一方、出力電圧の差分方程式を z 変換するとは次式が得られる。

$$zv_o(z) = A_{dt}(1,1)v_o(z) + A_{dt}(1,2)i(z) + A_{dt}(1,3)\xi_1(z) + B_{dt}(1,1)\xi_2(z) \quad (3.9)$$

また、

$$\xi_2(z) = z^{-1}v(k) \quad (3.10)$$

である。これらより、 $i(z)$ を消去すると次式が得られる。

$$\xi_2(z) = \frac{1}{z-F_{4a}} \left[\frac{-F(1,2)z - F(1,1)A_{dt}(1,2) + F(1,2)A_{dt}(1,1)}{A_{dt}(1,2)} v_o(z) + G(z+H_4)r(z) \right] - \frac{F_{3a}}{z-F_{4a}} \xi_1(z) \quad (3.11)$$

ただし、

$$F_{3a} = -F(1,3) + \frac{F(1,2)A_{dt}(1,3)}{A_{dt}(1,2)} \quad F_{4a} = -F(1,4) + \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)} \quad (3.12)$$

まとめると、次式が得られる。

$$\xi_2(z) = \frac{1}{z-F_{4a}} \{F_{1a}v_o(z) - F_{3a}\xi_1(z) + G_2r(z)\} + F_{2a}v_o(z) + G_1r(z) \quad (3.13)$$

ただし、

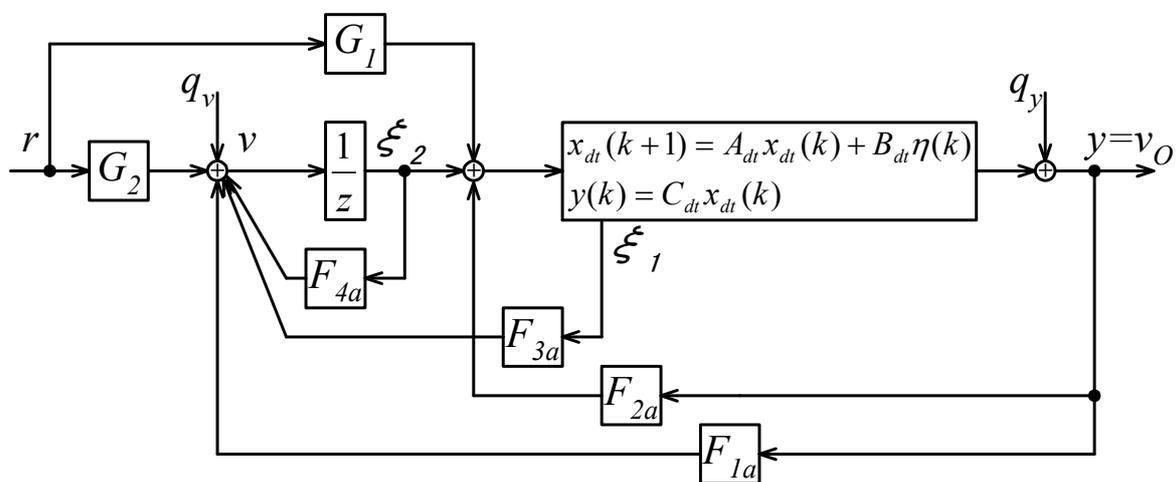


図 3-6. モデルマッチングシステム (電流フィードバックなし)

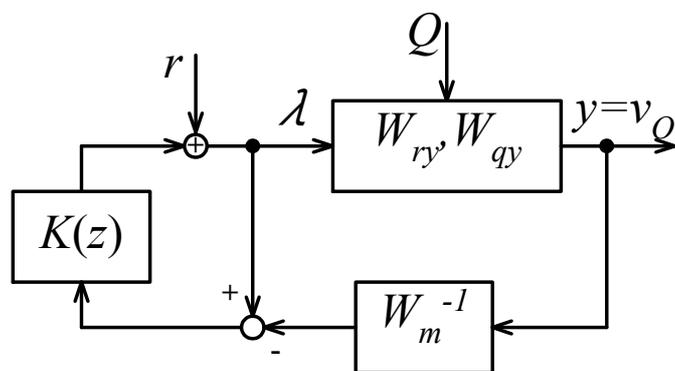


図 3-7. 近似逆システムとフィルタを結合したシステム

$$F_{1a} = -F(1,1) + \frac{F(1,2)}{A_{dt}(1,2)} \left(A_{dt}(1,1) + F(1,4) - \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)} \right) \quad F_{2a} = -\frac{F(1,2)}{A_{dt}(1,2)} \quad (3.14)$$

$$G_1 = G \quad G_2 = G(H_4 + F_{4a})$$

である。従って、図 3-5 は図 3-6 で示すような電流フィードバック無しのシステムとなる。

3.4.3 逆システムとフィルタを用いたロバスト制御器

図 3-6 のシステムの外乱 Q を

$$Q = [q_v \quad q_y]^T \quad (3.15)$$

とし、出力 y 間の伝達関数を

$$W_{Qy}(z) = [W_{qv}(z) \quad W_{qy}(z)] \quad (3.16)$$

とし、逆システムとフィルタを結合したシステムを図 3-7 に示す。ここで、フィルタ $K(z)$ は次式で示す 1 次系のローパスフィルタとなる。

$$K(z) = \frac{k_z}{z-1+k_z} \quad (3.17)$$

このシステムの $r \rightarrow y$ 及び $Q \rightarrow y$ 伝達関数は次式となる。

$$y = W_m(z) \frac{z-1+k_z}{z-1+k_z W_s(z)} W_s(z) r \quad (3.18)$$

$$y = \frac{z-1}{z-1+k_z} \frac{z-1+k_z}{z-1+k_z W_s(z)} W_{Qy}(z) Q \quad (3.19)$$

ただし、

$$W_s(z) = \frac{(1-n_0)(1+H_3)(z-n_1)(z-n_2)}{(z-n_0)(z+H_3)(1-n_1)(1-n_2)} \quad (3.20)$$

となる。ここで、 $W_s(z) \approx 1$ であれば、

$$y \approx W_m(z) r \quad (3.21)$$

$$y \approx \frac{z-1}{z-1+k_z} W_{Qy}(z) Q \quad (3.22)$$

となる。 $r \rightarrow y$ の特性は、 $r \rightarrow y$ の特性は H_1 、 H_2 によって、 $Q \rightarrow y$ の特性は k_z によって独立的に指定できることが分かる。つまり図 3-7 のシステムは二次モデルを近似的に実現する 2 自由度系であり、 k_z を大きくするほど負荷や入力電圧の変動すなわち外乱に対して低感度になる。図 3-7 の逆システム W_m^{-1} は分子の次数が分母よりも高いため、このままでは実現できない。そこで、等価変換をして実現できるシステムに置き換える。図 3-7 の $\lambda(z)$ の差

分方程式を z 変換すると次式が得られる。

$$\lambda(z) = r(z) + K(z) \left[\lambda(z) - W_m^{-1}(z) y(z) \right] \quad (3.23)$$

これより、次式が得られる。

$$\begin{aligned} \lambda(z) = & r + \frac{k_z(n_0 - 1)}{(1 + H_1)(1 + H_2)} y + \frac{1}{z - n_0} \left[k_z r + \frac{k_z(n_0 - 1)(n_0 + H_1 + H_2 + 1)}{(1 + H_1)(1 + H_2)} y \right] \\ & + \frac{k_z(1 - n_0)}{(z - n_0)(z - 1)} (r - y) \end{aligned} \quad (3.24)$$

よって、図 3-7 のシステムは図 3-8 に置き換えることができる。図 3-8 と図 3-6 のモデルマッピングシステムをまとめると図 3-9 に示すデジタル積分形制御システムが得られる。図 3-9 の各パラメータは次のようになる。

$$\begin{aligned} k_1 = & -F(1,1) + \frac{F(1,2)}{A_{dt}(1,2)} \left(A_{dt}(1,1) + F(1,4) - \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)} \right) \\ & + \frac{k_z(n_0 - 1)G}{(1 + H_1)(1 + H_2)} (H_4 - F(1,4) + \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)}) \\ k_2 = & -\frac{F(1,2)}{A_{dt}(1,2)} + G \frac{k_z(n_0 - 1)}{(1 + H_1)(1 + H_2)} \quad k_3 = -F(1,3) + \frac{F(1,2)A_{dt}(1,3)}{A_{dt}(1,2)} \\ k_4 = & -F(1,4) + \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)} \quad k_5 = n_0 \quad k_6 = \frac{k_z(n_0 - 1)(n_0 + H_1 + H_2 + 1)}{(1 + H_1)(1 + H_2)} \\ k_{iz} = & G \quad k_i = G(H_4 - F(1,4) + \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)}) \quad k_{in} = k_z(1 - n_0) \\ k_{1r} = & G \quad k_{2r} = G(H_4 - F(1,4) + \frac{F(1,2)B_{dt}(1,1)}{A_{dt}(1,2)}) \quad k_{3r} = k_z \end{aligned} \quad (3.25)$$

図 3-9 のシステムは、以下の制御アルゴリズムで表される。これを DSP で実行すればよい。

$$\begin{aligned} \eta & \leftarrow u_a + k_2 v_o + k_{iz} u_i + k_{1r} r \\ u_a & \leftarrow k_1 v_o + k_3 \xi_1 + k_4 u_a + k_i u_b + k_{2r} r \\ u_b & \leftarrow k_5 u_b + k_6 v_o + k_{in} u_i + k_{3r} r \\ u_i & \leftarrow r - v_o + u_i \\ \xi_1 & \leftarrow \eta \end{aligned}$$

DSP (TMS320LF2401A) を用いた場合、このアルゴリズムの処理には 52 ステップかかる。また、次節で説明されるように k_z が十分大きい場合、フィードフォワード k_{1r} 、 k_{2r} 、 k_{3r} は必ずしも必要ではなくなる。この場合、処理は 43 ステップとなる。

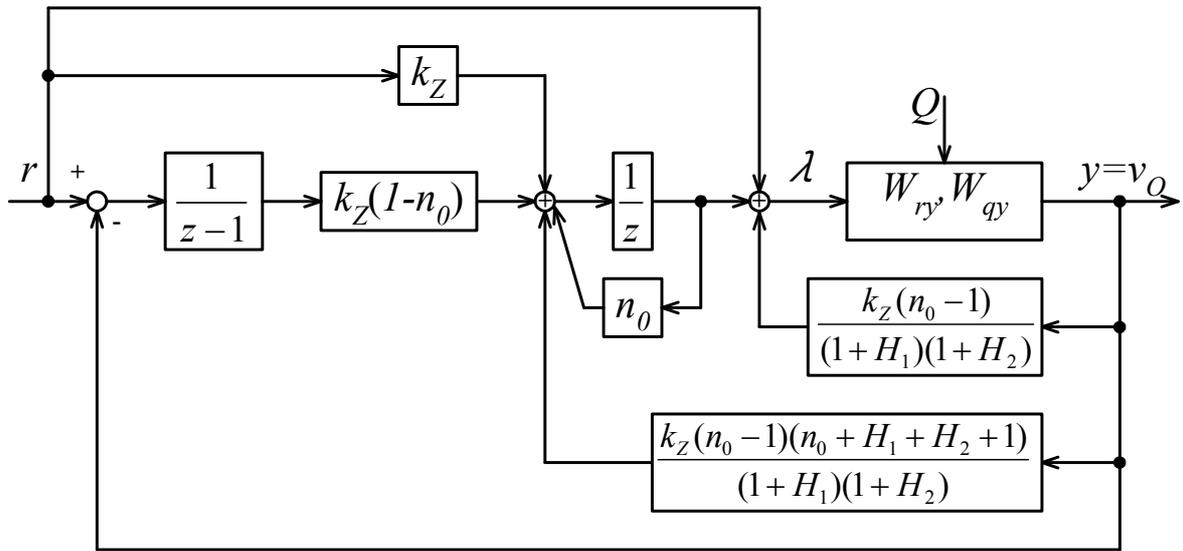


図 3-8. 近似逆システムとフィルタを結合したシステム (等価変換後)

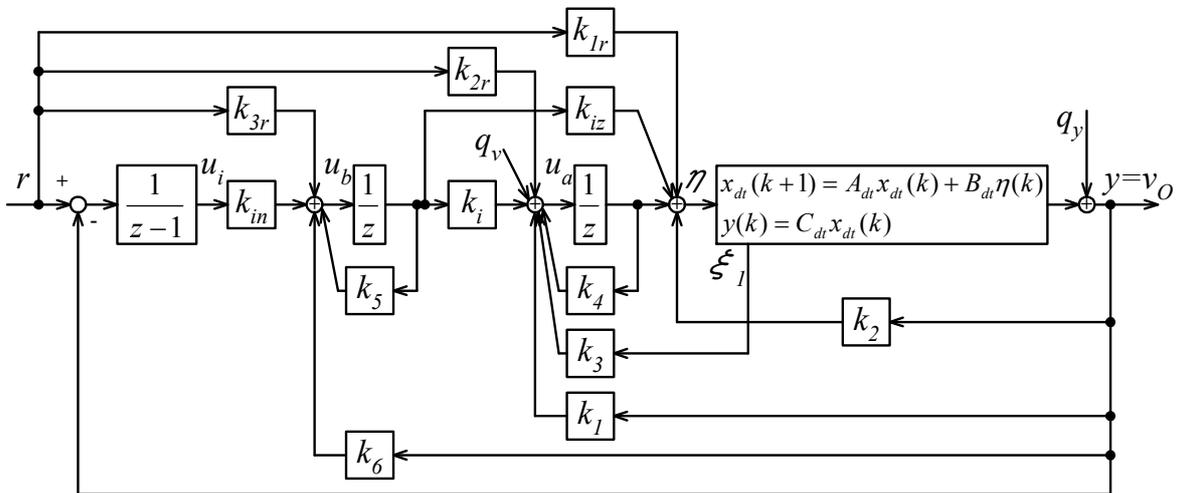


図 3-9. 二次モデルを実現する近似的 2 自由度デジタル積分形制御系

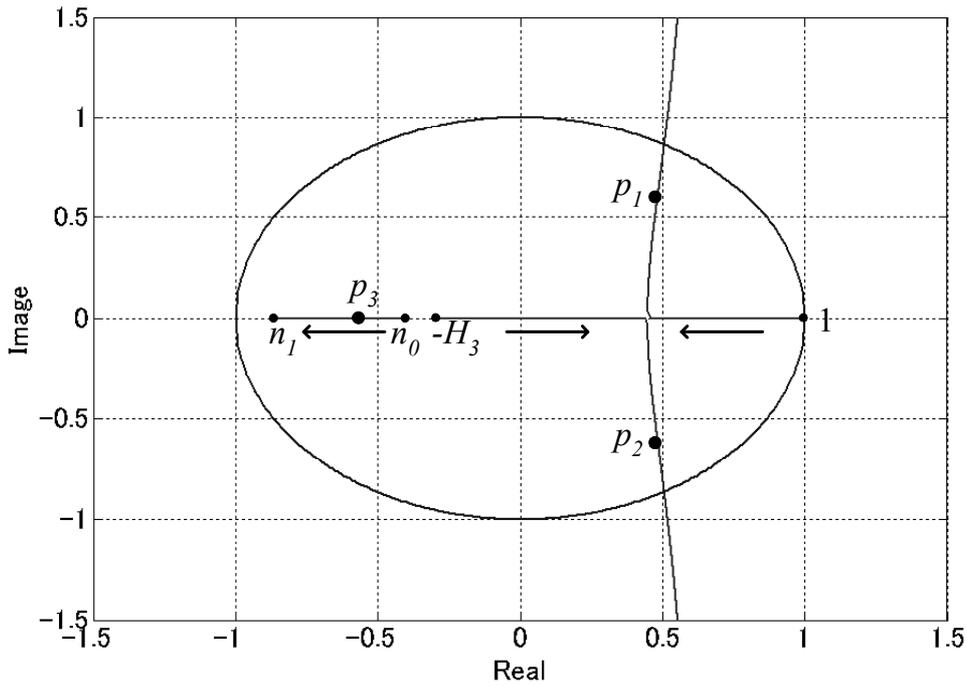


図 3-10. 根軌跡

3.5 制御器パラメータの決定法

近似度をよくし、式(3.18)、(3.19)を近似式(3.21)、(3.22)に十分近づけるには広い周波数帯域において $W_S(z) \approx 1$ としなくてはならない。また、 $Q \rightarrow y$ の特性を低感度にするためには k_z を大きい値にしなくてはならない。しかし k_z を大きくすると式(3.18)、(3.19)の

$$z - 1 + k_z W_S(z) = 0 \quad (3.26)$$

の根が代表根 H_1 、 H_2 に近づき、近似度が悪くなる可能性がある。式(3.26)において k_z を 0 から増加させた時の根軌跡を図 3-10 に示す。この根は 1、 $-H_3$ 、 n_0 から出発し、 k_z がある値のとき、図 3-10 の p_1 、 p_2 、 p_3 のようになる。図 3-10 より、 k_z が十分大きな値のときに

$$(|p_1|, |p_2|) \ll (|H_1|, |H_2|) \quad (3.27)$$

$$p_3 \approx n_1$$

となり、かつ出発点の H_3 が適当に小さく、 n_0 がなるべく n_1 に近い値になるように決めれば、式(3.18)、(3.19)の近似度はよくなり、かつ低感度特性もよくなる。そこで式(3.27)を満たすように p_1 、 p_2 、 p_3 を決定し、 k_z を適当な大きさに指定して、根軌跡の出発点 H_3 と n_0 を求める。式(3.20)、(3.26)より次式が得られる。

$$\begin{aligned} & (z-1)(z-n_0)(z+H_3)(1-n_1)(1-n_2) + k_z(1-n_0)(1+H_3)(z-n_1)(z-n_2) \\ & = (z-p_1)(z-p_2)(z-p_3) \end{aligned} \quad (3.28)$$

となる。 z のべき乗の係数を等しいとおくと次式が得られる。

$$\frac{(1-n_1)(1-n_2)+(n_0-H_3)(1-n_1-n_2+n_1n_2)+k_z(1+H_3)(n_0-1)}{(1-n_1)(1-n_2)} = p_1 + p_2 + p_3 \quad (3.29)$$

$$\frac{(n_0-H_3-n_0H_3)(1-n_1)(1-n_2)-k_z(n_1+n_2)(1+H_3)(1-n_0)}{(1-n_1)(1-n_2)} = p_1p_2 + p_2p_3 + p_1p_3 \quad (3.30)$$

$$\frac{-n_1n_2k_z(1+H_3)(1-n_0)-n_0H_3(1-n_1)(1-n_2)}{(1-n_1)(1-n_2)} = p_1p_2p_3 \quad (3.31)$$

k_z に指定した値を代入すれば、これらは双曲線となる。これらの双曲線の交点から H_3 と n_0 が求まる。以上のことから、制御器のパラメータの決定手順は以下のように定める。

- (1) 代表根 $H_1 \approx H_2$ を仕様(3)の立ち上がり時間を満たすように定める。
- (2) H_4 が代表根に影響を与えないよう、次のように指定する。

$$|H_4| \approx 0.5|H_1| \quad (3.32)$$

- (3) 式(3.26)の根 p_1 、 p_2 、 p_3 を指定する。図 3-10 より、 k_z を大きくすると p_1 、 p_2 は共役複素根となる。式(3.27)を満たすには、 p_1 、 p_2 は H_1 よりも実部が十分小さければよい。 p_3 は単位円の左側に配置されるので、 n_1 に近づきすぎると振動的になる。そこで今回は適度に近づけるようにする。以上より、 p_1 、 p_2 、 p_3 を次のように指定する。

$$\begin{aligned} p_1 &\approx -0.5H_1 + 0.5H_1i \\ p_2 &\approx -0.5H_1 - 0.5H_1i \\ p_3 &\approx -0.5n_1 \end{aligned} \quad (3.33)$$

- (4) 式(3.26)の k_z を次のように指定する。

$$k_z \approx 0.5 \quad (3.34)$$

- (5) 式(3.29)、(3.30)、(3.31)の双曲線の交点より、 n_0 と H_3 を決定する。ここで、高い近似度を得るために $|H_3| \ll (|H_1|, |H_2|)$ 、 $n_1 \approx n_0$ であればよい。ただし、 n_0 は単位円の左側に配置されるので、 n_1 に近づきすぎると振動的になる。そこで今回は適度に近づけるようにする。
- (6) 式(3.25)より、制御器のパラメータを決定する。
- (7) シミュレーションによって、仕様を満たすことを確認する。
- (8) 仕様を満たさないときは、手順(4)の k_z を若干変更し、手順(5)から繰り返す。ただし、式(3.22)の右辺 $z-1+k_z=0$ の根を単位円の右側にするため、 $0 < k_z < 1$ の範囲である。
- (9) 更に仕様を満たさないときは、手順(3)の p_1 、 p_2 、 p_3 を若干変更し、手順(4)から繰り返す。

式(3.18)において、 $W_s(z) \approx 1$ のとき $z-1+k_z=0$ の根が $W_m(z)$ の極よりも十分小さい、即ち k_z が十分に大きければ、次の近似式が成り立つ。

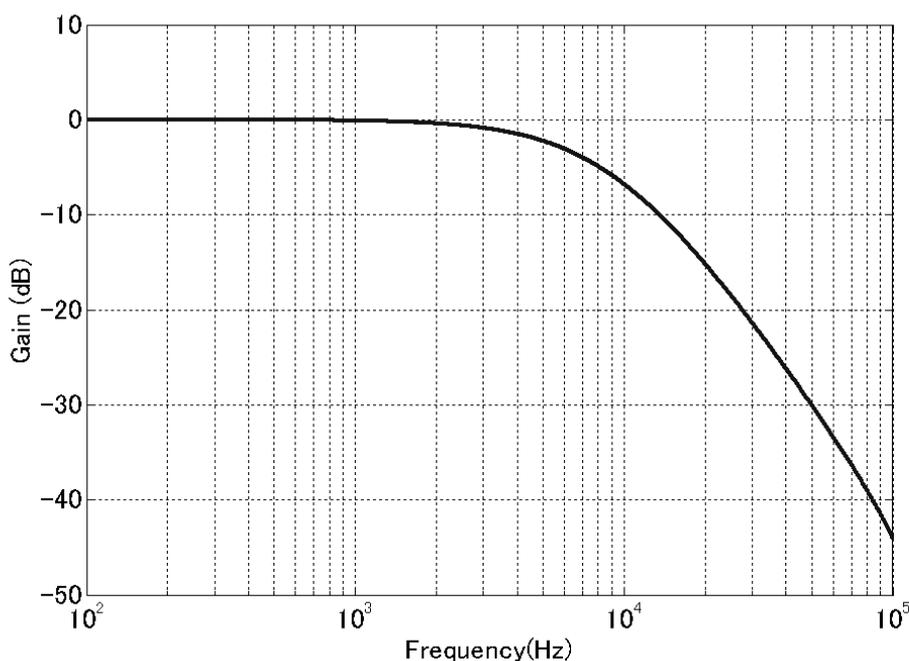


図 3-11. 式(3.39)の周波数特性

$$\frac{z-1+k_z}{z-1+k_z} \approx \frac{k_z}{z-1+k_z} \quad (3.35)$$

このとき、 λ は次式のように近似される。

$$\lambda(z) \approx \frac{k_z(n_0-1)}{(1+H_1)(1+H_2)} y + \frac{1}{z-n_0} \left[k_z r + \frac{k_z(n_0-1)(n_0+H_1+H_2+1)}{(1+H_1)(1+H_2)} y \right] + \frac{k_z(1-n_0)}{(z-n_0)(z-1)} (r-y) \quad (3.36)$$

したがって、式(3.35)が成り立つとき、図 3-8 における r から λ へのフィードフォワードは必要ない。このとき、図 3-9 におけるフィードフォワード k_{1r} 、 k_{2r} 、 k_{3r} は必ずしも必要ではなくなる。

3.6 制御器の設計

サンプリング周波数とスイッチング周波数は 300kHz とする。サンプリング周期は $T=1/f_s=3.3 \mu s$ であり、入力無駄時間 L_d は $0.999T \mu s$ と設定する。制御対象のパラメータは表 2-1 と同じである。全ての仕様を満足するように制御系を設計する。制御対象のパルス

伝達関数は次式となる。

$$W_{wy} = k_{CO} \times \frac{(z-n_1)(z-n_2)}{z^2(z-0.955-0.153i)(z-0.955+0.153i)} \quad (3.37)$$

ただし、

$$n_1 = -0.974 \quad n_2 = -9.78 \times 10^5 \quad k_{CO} = -2.30 \times 10^{-9}$$

である。ここで、 H_1 、 H_2 を次式のように指定する。

$$H_1 = -0.83 \quad H_2 = -0.82 \quad (3.38)$$

このとき、モデルマッチングシステムの伝達関数は、次の近似式のようになる。

$$W_{ry} \approx \frac{(1+H_1)(1+H_2)(z-n_1)}{(z+H_1)(z+H_2)(1-n_1)} = \frac{0.0155(z+0.974)}{(z-0.83)(z-0.82)} \quad (3.39)$$

このときの応答特性と周波数特性を図 3-11、図 3-12 に示す。制御帯域幅は約 6kHz で、立ち上がり時間は約 60 μ s であり、仕様(3)を満足している。

$H_4 = -0.3$ と設定し、次に p_1 、 p_2 、 p_3 、 k_z を指定する。手順(3)、(4)の式(3.33)、式(3.34)より得られた p_1 、 p_2 、 p_3 、 k_z では手順(7)のシミュレーションの結果、仕様を十分に満足することができなかつたため、手順(8)、(9)に沿って各パラメータを微調整した。その結果、

$$p_1 = 0.485 + 0.624i \quad p_2 = 0.485 - 0.624i \quad p_3 = -0.67 \quad k_z = 0.6 \quad (3.40)$$

と指定する。また、 n_0 、 H_3 を次式のように x 、 y とおく。

$$n_0 = -x \quad H_3 = y \quad (3.41)$$

このとき、式(3.29)、(3.30)、(3.31)より次式が得られる。

$$x + y + 0.31109 \times 10^{-6} xy = 0.70000 \quad (3.42)$$

$$0.69597(x+y) - 1.304xy = 0.32933$$

$$0.29597(x+y) - 0.70403xy = 0.12251$$

が得られる。これらの双曲線は図 3-13 のように描かれる。これらの双曲線の交点から

$$n_0 = -x = -0.4 \quad H_3 = y = 0.3$$

と決定できる。よって、手順(6)より制御器のパラメータは次のように得られる。

$$k_1 = -194.88 \quad k_2 = 289.74 \quad k_3 = -0.045316 \quad k_4 = -0.25781 \quad (3.43)$$

$$k_5 = -0.40000 \quad k_6 = 28.824 \quad k_i = 4.9609 \quad k_{iz} = -8.8937 \quad k_{in} = 0.84000$$

式(3.26)で得られた根と式(3.20)で示される極は代表根 H_1 、 H_2 よりも十分小さい。このため近似式(3.35)よりフィードフォワード k_{1r} 、 k_{2r} 、 k_{3r} は 0 に設定した。

本手法によって得られた式(3.40)の制御器パラメータを用いたときと、 n_0 を 0.3 と設定し、 H_1 、 H_2 、 H_3 、 H_4 及び k_z は同じ値にして求めた制御パラメータを用いたときの式(3.16)の $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間の伝達関数のゲイン特性を図 3-14、図 3-15 に示す。また同図において Ideal は式(3.19)の $W_S(z)$ を 1 としている。従って式(3.22)の伝達関数である。 $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間共に、 $n_0=0.3$ よりも $n_0=-0.4$ の方がより Ideal の波形に近づく、すなわち近似度が良くなっているといえる。

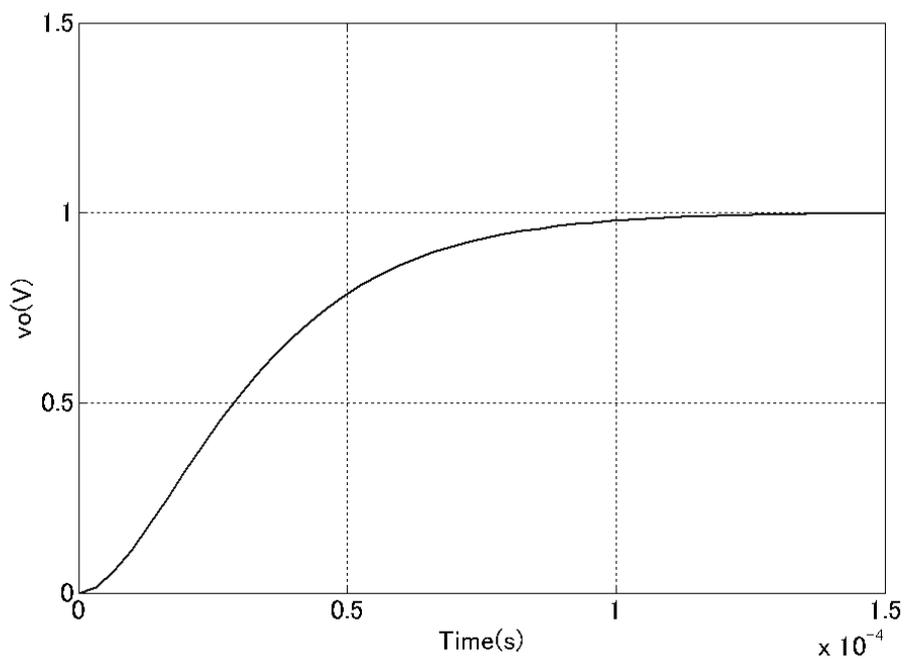


図 3-12. 式(3.39)のステップ応答特性

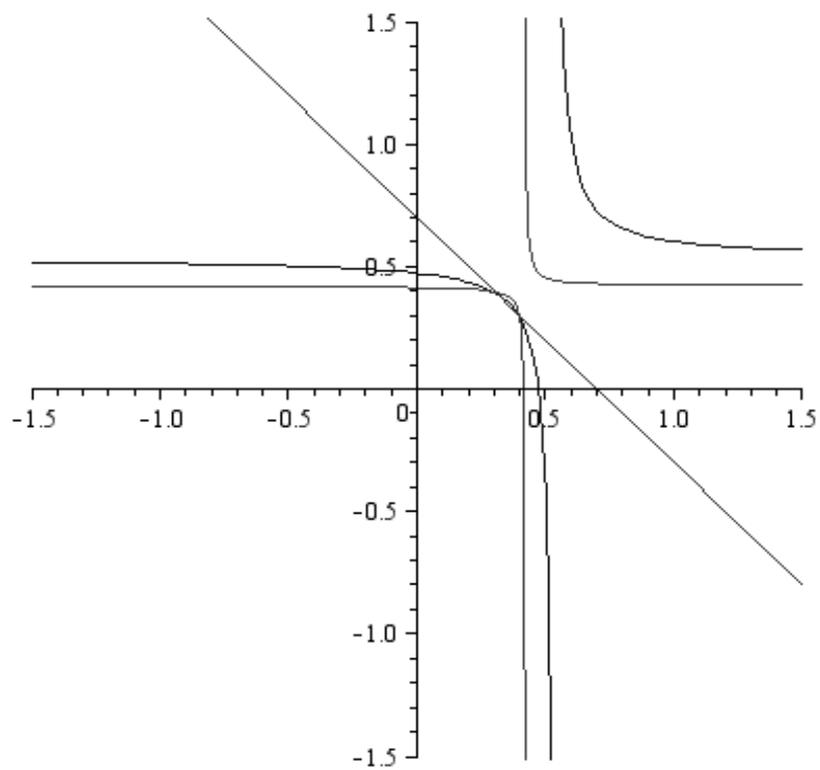


図 3-13. 双曲線

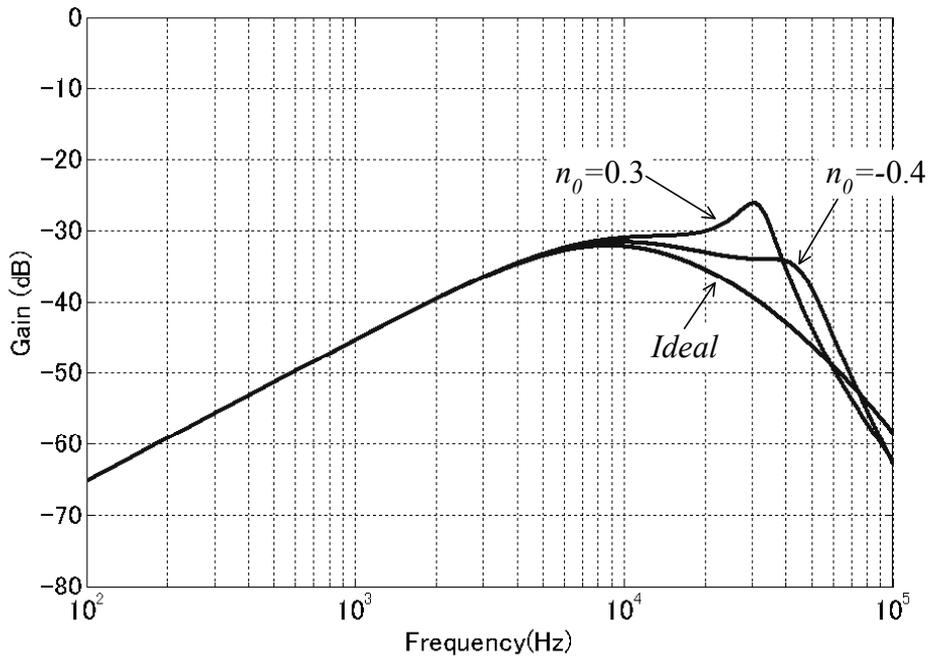


図 3-14. $q_v \rightarrow y$ 間伝達関数のゲイン特性

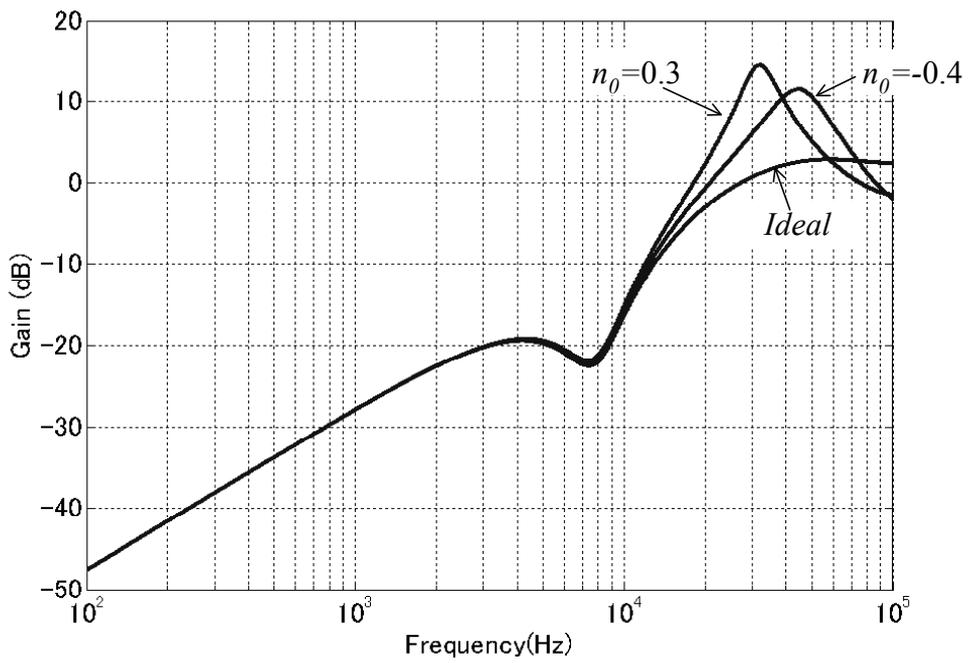


図 3-15. $q_y \rightarrow y$ 間伝達関数のゲイン特性

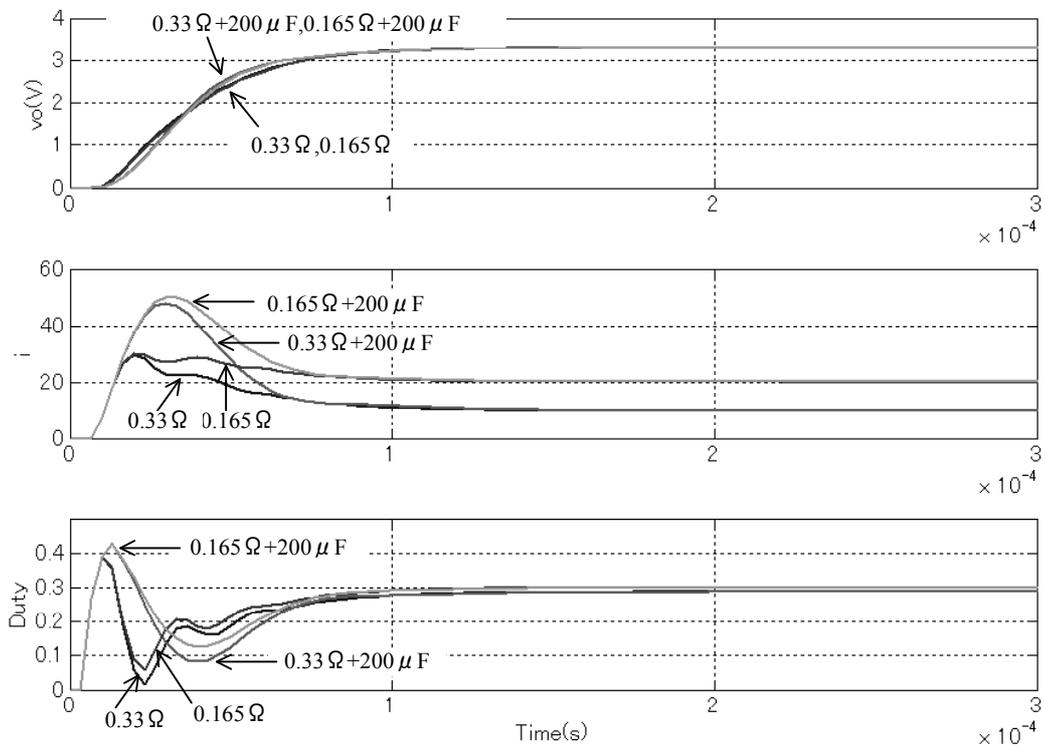


図 3-16. スタートアップ過渡応答特性 (入力電圧 $V_i=48V$)

3.7 シミュレーションと実験による検証

入力電圧 $V_i=48V$ のときのスタートアップ過渡応答シミュレーション結果を図 3-16 に示す。条件は、抵抗負荷 R_L は 0.33Ω と 0.165Ω とし、容量性負荷 C_L は $0\mu F$ と $200\mu F$ とした。負荷出力電圧立ち上がり時間は約 $60\mu s$ である。この立ち上がり特性は、図 3-12 とほとんど同じである。従って、モデルマッチング制御系設計にて設定した伝達関数近似式 (3.39) の特性が得られているといえる。また、入力電圧 $V_i=38V$ のときと $V_i=58V$ のときのシミュレーション結果をそれぞれ図 3-17、図 3-18 に示す。いずれの場合も、出力電圧立ち上がりは $V_i=48V$ のときとほぼ同じである。 $V_i=58V$ において、抵抗負荷のときに、Duty が 0 まで下がってしまうため、若干非線形になるが、出力電圧立ち上がりへの影響は十分小さいため問題にはならない。以上より、シミュレーション結果はスタートアップ仕様を満足しており、また負荷や入力電圧の変動に対し十分にロバストな特性が得られた。

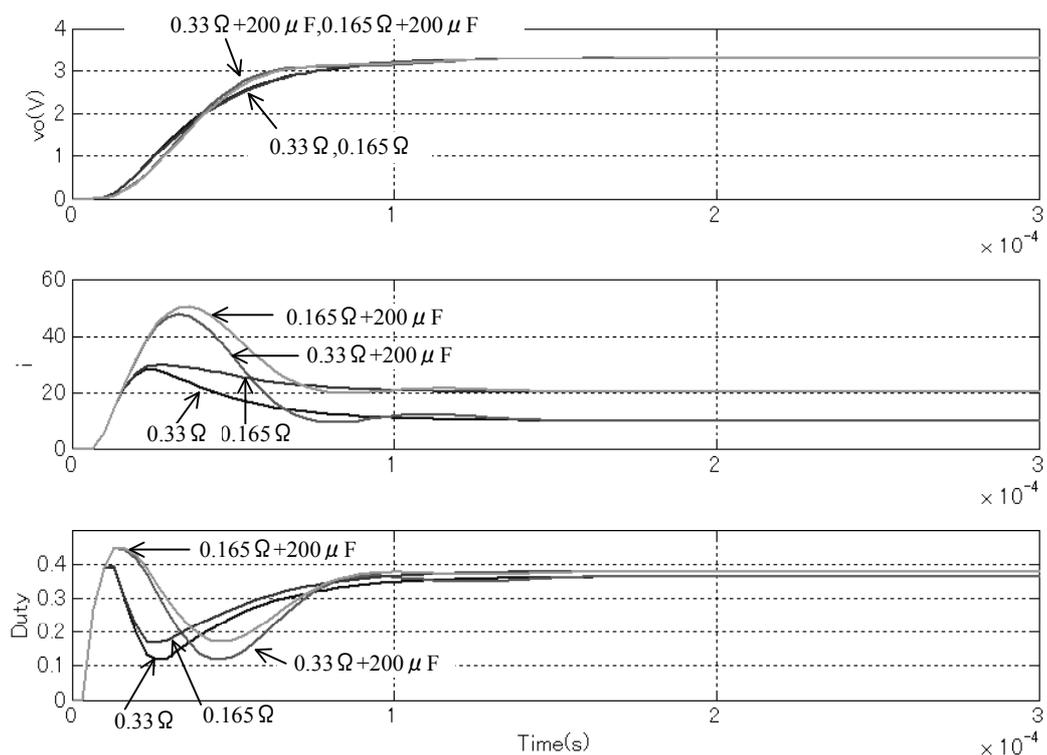


図 3-17. スタートアップ過渡応答特性 (入力電圧 $V_i=38V$)

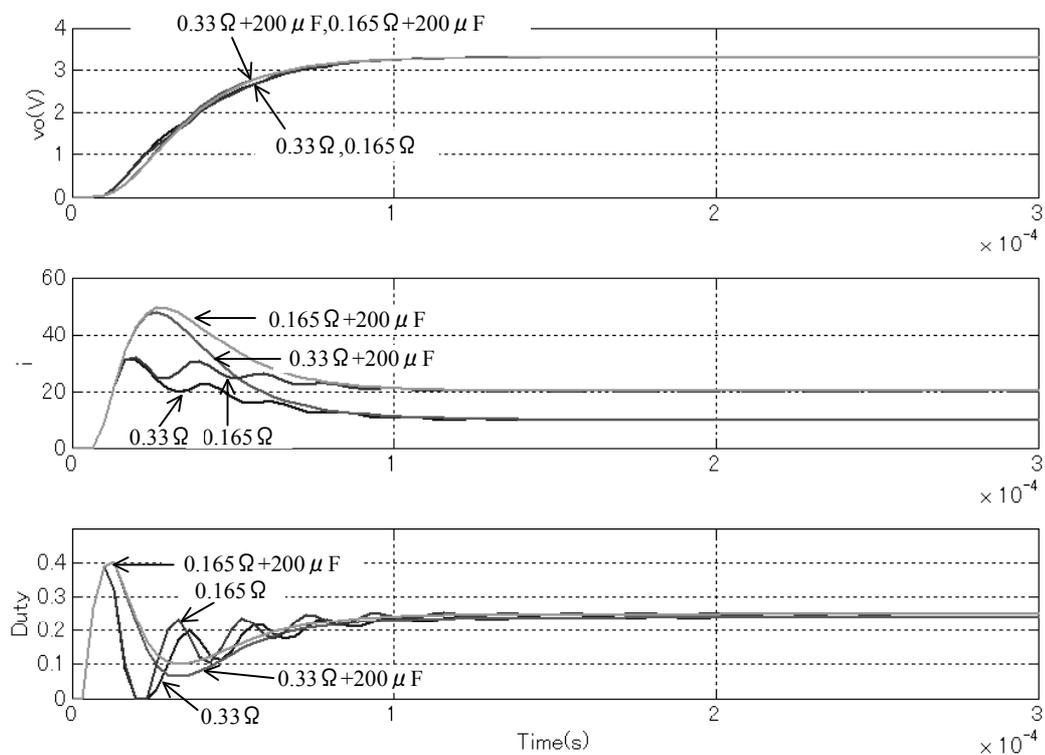


図 3-18. スタートアップ過渡応答特性 (入力電圧 $V_i=58V$)

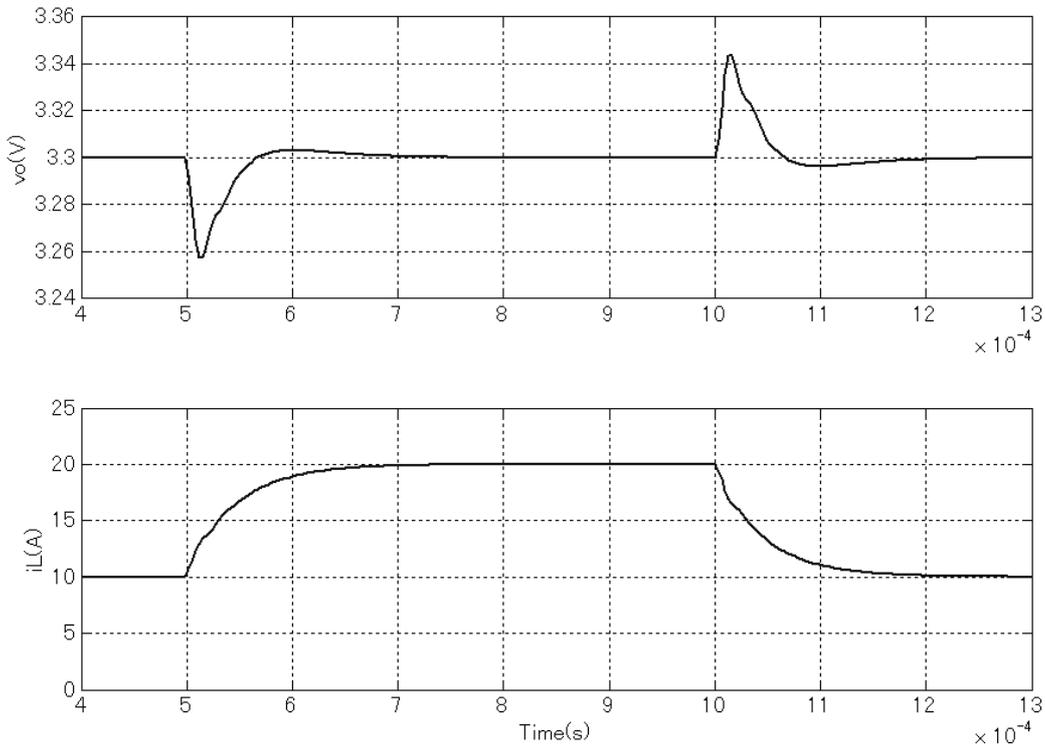


図 3-19. 抵抗負荷急変時応答特性 (R_L $0.33\ \Omega \rightarrow 0.165\ \Omega \rightarrow 0.33\ \Omega$)

図 3-19 に抵抗負荷 R_L が $0.33\ \Omega$ ($i_L=10\text{A}$) $\rightarrow 0.165\ \Omega$ ($i_L=20\text{A}$) $\rightarrow 0.33\ \Omega$ ($i_L=10\text{A}$) で変動した時の出力電圧応答シミュレーション波形を示す。変動の立ち上がり時間、立ち下がり時間は共に約 $100\ \mu\text{s}$ である。容量性負荷 C_L は $0\ \mu\text{F}$ であり、入力電圧 V_i は 48V である。このときの出力電圧変動は 50mV 以下であり、仕様を満たしていることが分かる。

図 3-20 に入力電圧 V_i が $48\text{V} \rightarrow 58\text{V} \rightarrow 48\text{V}$ に急変した時の出力電圧応答シミュレーション波形を示す。図 3-21 に入力電圧 V_i が $48\text{V} \rightarrow 38\text{V} \rightarrow 48\text{V}$ に急変した時の出力電圧応答シミュレーション波形を示す。変動の立ち上がり時間、立ち下がり時間は共に約 $100\ \mu\text{s}$ である。入力急変時の出力電圧変動は 50mV 以下であり、仕様を満たしていることが分かる。

DSP (TMS320LF2401A T.I.社製) を用いてデジタル制御 DC-DC コンバータ実験機を製作し、式(3.43)で得られた制御パラメータを DSP に実装して実験した。入力電圧 V_i を 48V 、抵抗負荷 R_L を $0.33\ \Omega$ 、容量性負荷 C_L を $0\ \mu\text{F}$ とし、スタートアップ応答を実験した結果を図 3-22 に示す。得られた結果はシミュレーション結果とほぼ同じであり、立ち上がり時間は約 $60\ \mu\text{s}$ であった。モデルマッチング制御系設計にて設定した伝達関数近似式(3.39)の特

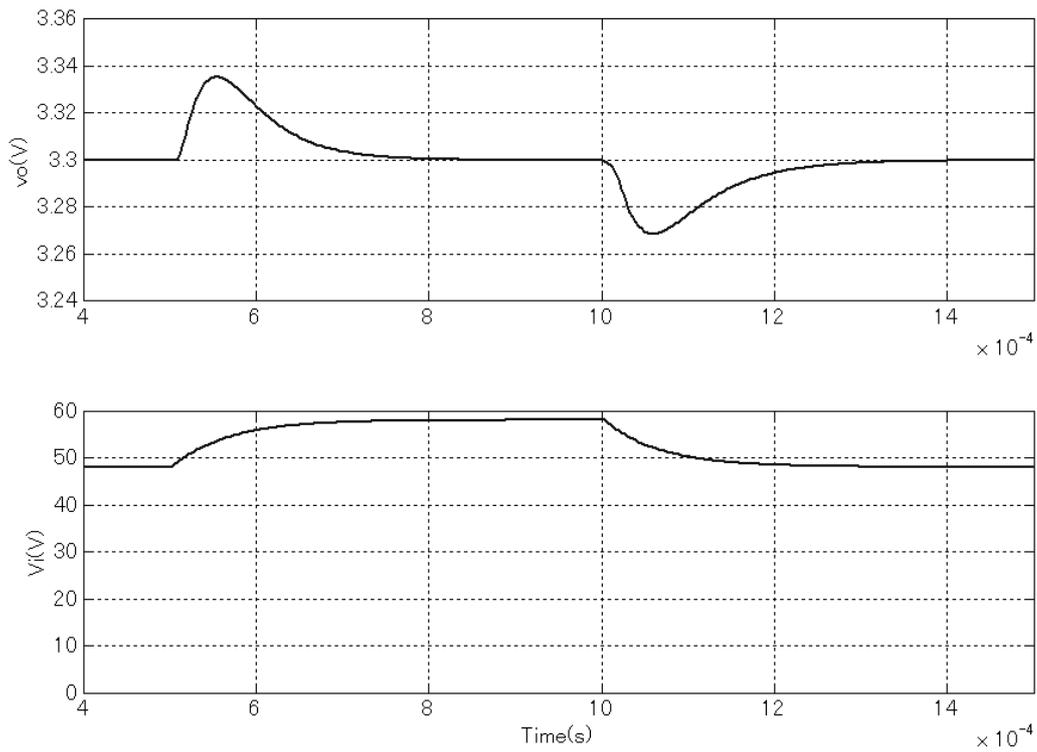


図 3-20. 入力電圧急変時応答特性 (V_i 48V \rightarrow 58V \rightarrow 48V)

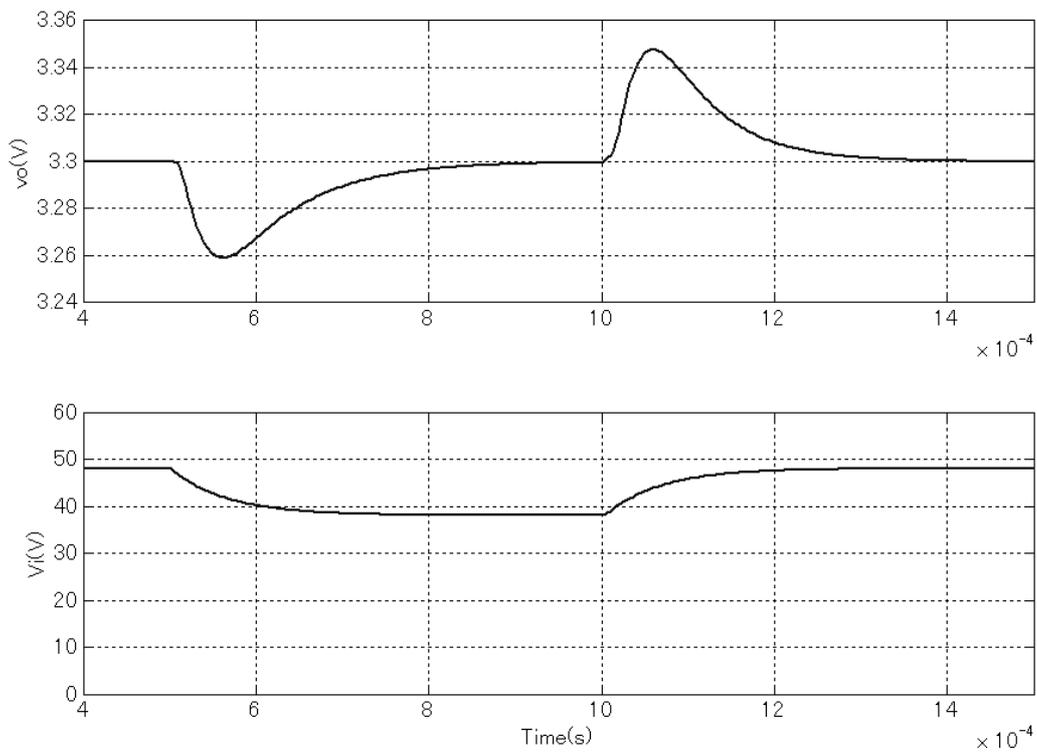


図 3-21. 入力電圧急変時応答特性 (V_i 48V \rightarrow 38V \rightarrow 48V)

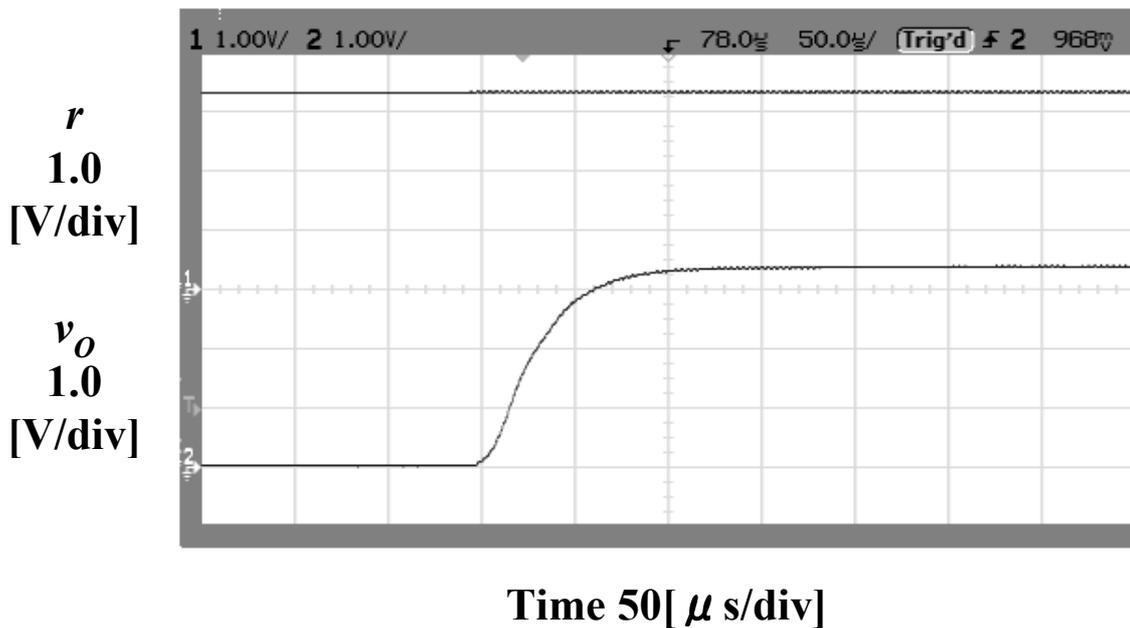


図 3-22. スタートアップ応答実験結果 (V_i 48V、 R_L 0.33 Ω 、 C_L 0 μ F)

性が得られているといえる。図 3-23 に抵抗負荷 R_L を 0.165 Ω としたときのスタートアップ応答の実験結果を示す。図 3-24 に容量性負荷 C_L を 200 μ F としたときのスタートアップ応答の実験結果を示す。図 3-25 に入力電圧 V_i を 58V としたときのスタートアップ応答の実験結果を示す。図 3-23～図 3-25 は図 3-22 とほぼ同じ立ち上がりであり、仕様を満たしている。結果、負荷や入力電圧の変動に対しロバストな結果が得られた。他の条件でも、シミュレーションと同様の結果が得られた。図 3-26、図 2-27 に抵抗負荷 R_L が 0.33 Ω ($i_L=10$ A) \rightarrow 0.165 Ω ($i_L=20$ A) \rightarrow 0.33 Ω ($i_L=10$ A) で変動した時の出力電圧応答実験波形を示す。図 3-26 の容量性負荷 C_L は 0 μ F であり、図 3-27 の容量性負荷 C_L は 200 μ F である。結果はシミュレーションとほぼ同じ特性が得られ、負荷電流 i_L の ± 10 A の変動に対しオーバーシュート、アンダーシュートは 50mV 以下であった。図 3-26 と図 3-27 の結果はほぼ同じであり、ロバストな結果が得られた。他の条件でも、シミュレーションと同様の結果が得られた。図 2-28 に抵抗負荷時 $R_L=0.33 \Omega$ で入力電圧が 48V \rightarrow 58V に変動したときの出力電圧応答実験波形を示す。結果は図 3-21 に示すシミュレーションとほぼ同じ特性が得られ、オーバーシュートは 50mV 以下であった。他の条件でも、シミュレーションと同様の結果が得られた。以上より、全ての仕様を満たすことが確認された。

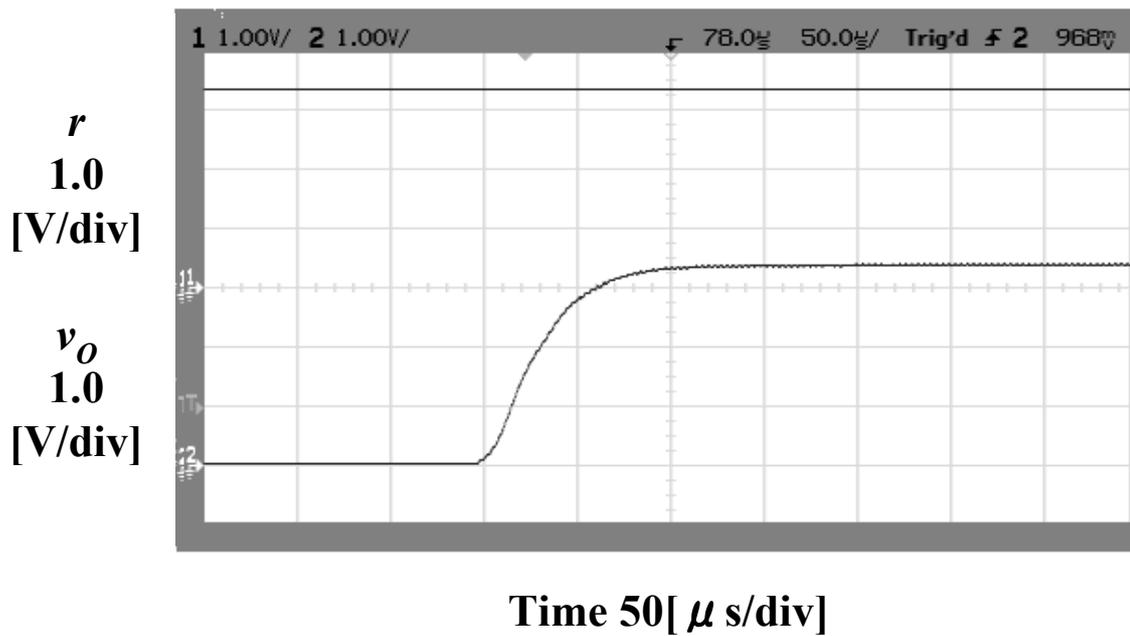


図 3-23. スタートアップ応答実験結果 (V_i 48V、 R_L 0.165 Ω 、 C_L 0 μ F)

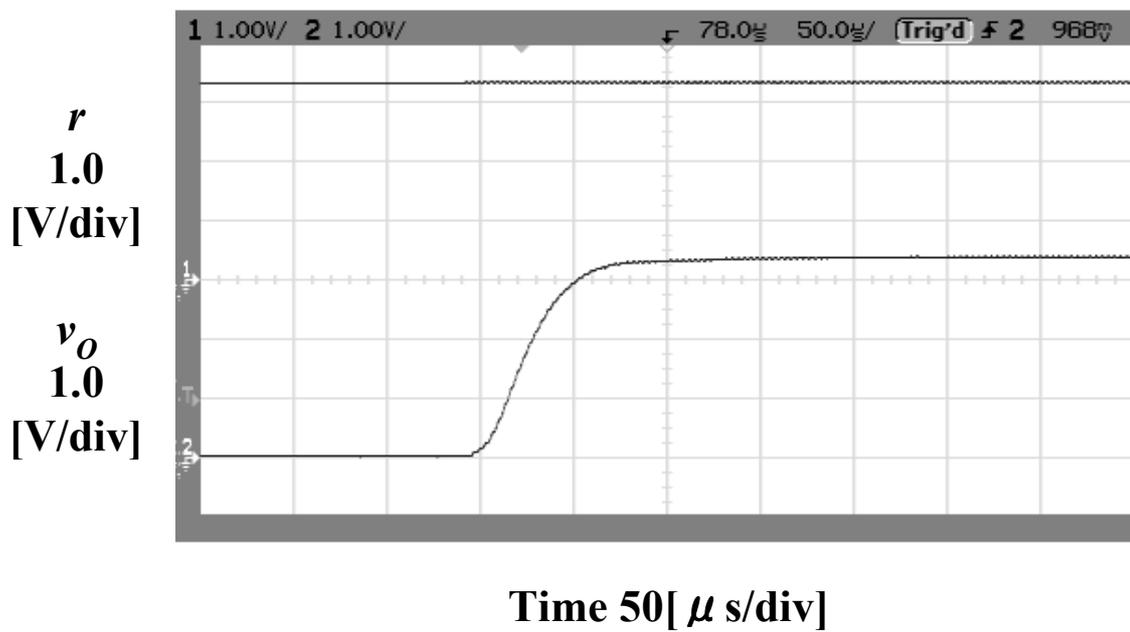


図 3-24. スタートアップ応答実験結果 (V_i 48V、 R_L 0.33 Ω 、 C_L 200 μ F)

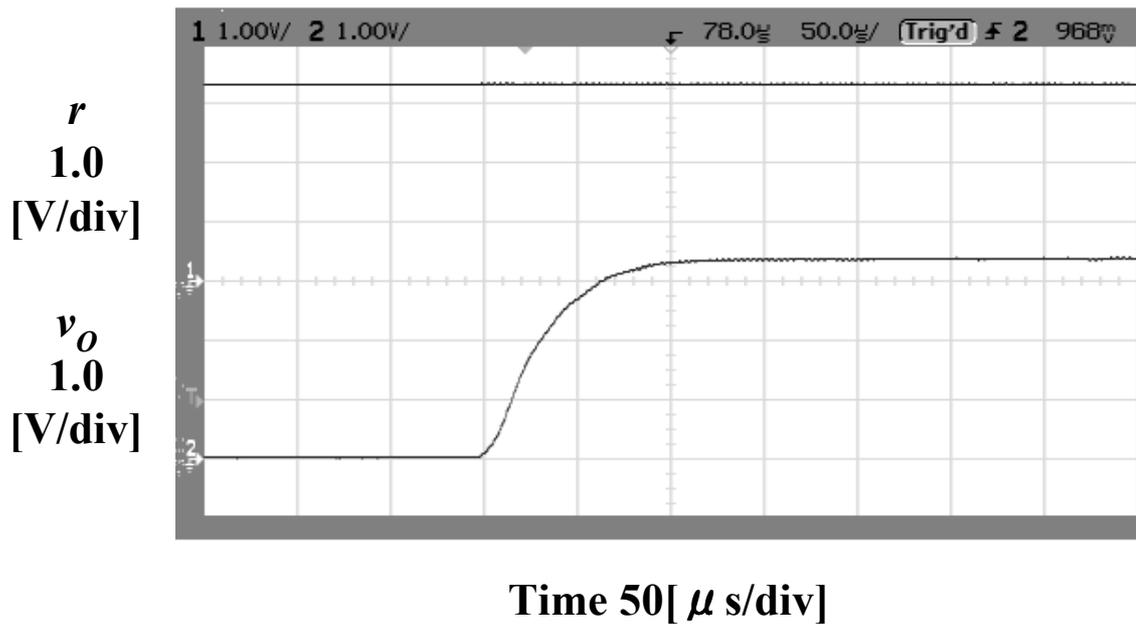


図 3-25. スタートアップ応答実験結果 (V_i 58V、 R_L 0.33 Ω 、 C_L 0 μ F)

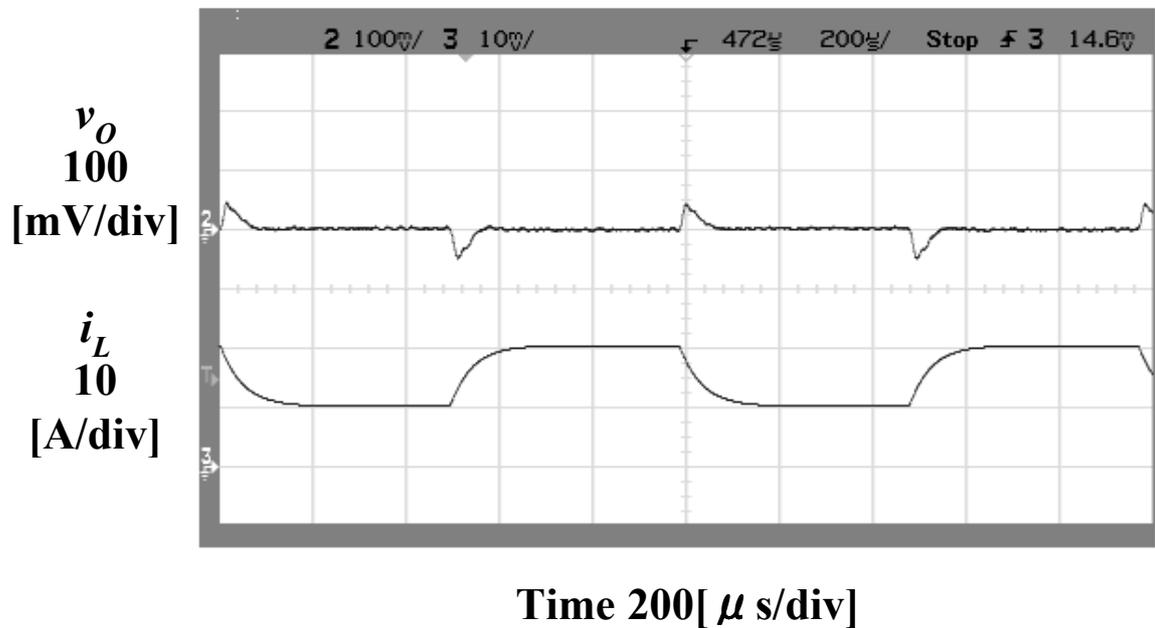


図 3-26. 抵抗負荷急変時応答実験結果 (V_i 48V、 R_L 0.33 $\Omega \Leftrightarrow$ 0.165 Ω 、 C_L 0 μ F)

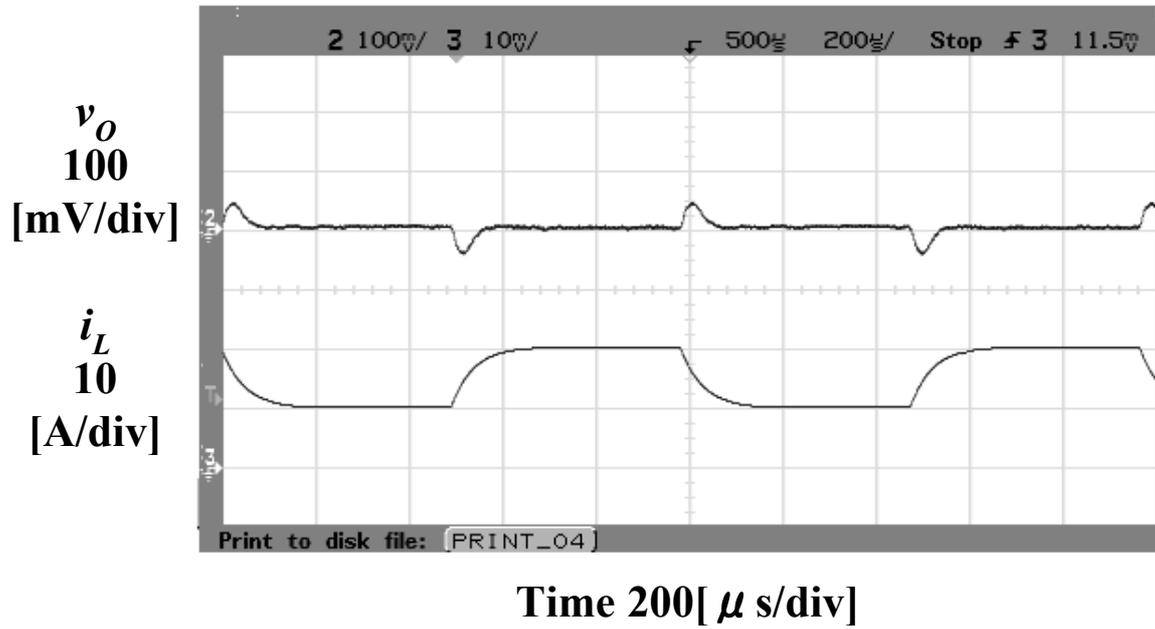


図 3-27. 抵抗負荷急変時応答実験結果 (V_i 48V、 R_L $0.33\ \Omega \Leftrightarrow 0.165\ \Omega$ 、 C_L $200\ \mu$ F)

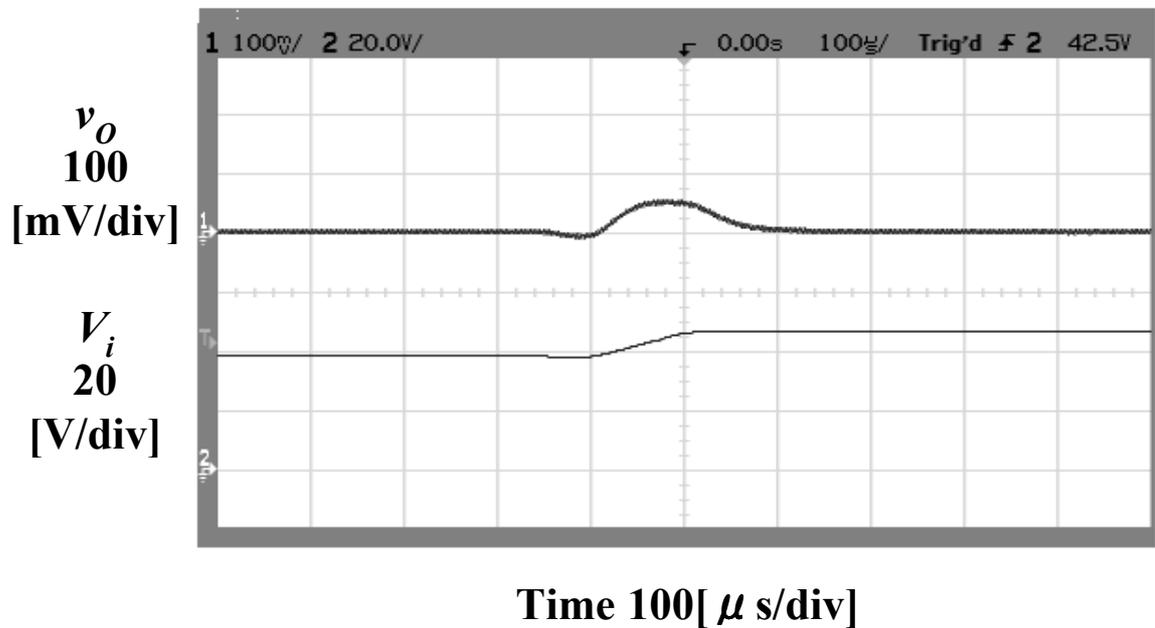


図 3-28. 入力電圧急変時応答実験結果 (V_i $48\text{V} \rightarrow 58\text{V}$ 、 R_L $0.33\ \Omega$ 、 C_L $0\ \mu$ F)

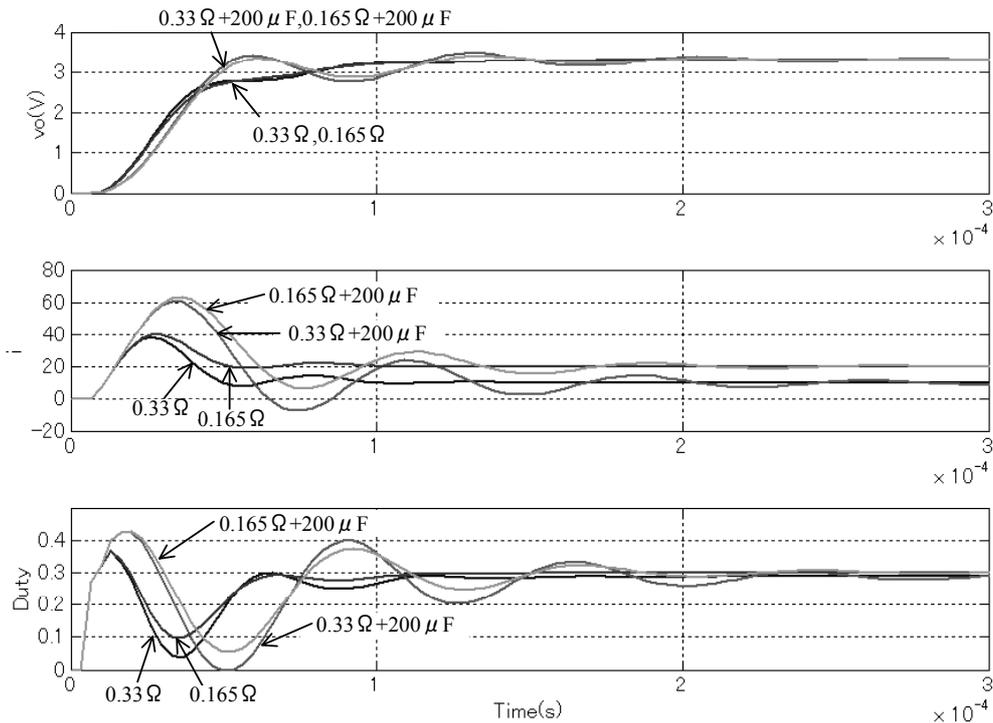


図 3-29. スタートアップ過渡応答特性 (入力電圧 $V_i=48V$)

3.8 樋口らの設計法との比較

次に、樋口らの一次近似モデルを用いた方法[33]で仕様を満たすようにパラメータを適当に決定したときのシミュレーション結果を示す。一次近似モデルが

$$W_{ry}(z) \approx W_m(z) = \frac{1+H_1}{z+H_1} \quad (3.44)$$

であるとすると、このときの $W_s(z)$ は次のようになる。

$$W_s(z) = \frac{(1+H_2)(1+H_3)(z-n_1)(z-n_2)}{(z+H_2)(z+H_3)(1-n_1)(1-n_2)} \quad (3.45)$$

よって、近似度をよくするには、 H_2 と H_3 を $|H_2| \ll |H_1|$ および $|H_3| \ll |H_1|$ となるように設定しなければならない。状態フィードバックによって、 H_1 よりより小さい値に設定しなければならない極が増えるため、二次近似モデルを用いた場合より制御入力が大きくなる可能性がある。樋口らの一次近似モデルを用いた場合で、同じ仕様を満たすために H_1 、 H_2 、 H_3 、 H_4 と k_z を次のように適当に設定した。

$$H_1 = -0.89 \quad H_2 = -0.6 \quad H_3 = 0.4 \quad H_4 = -0.3 \quad k_z = 0.3 \quad (3.46)$$

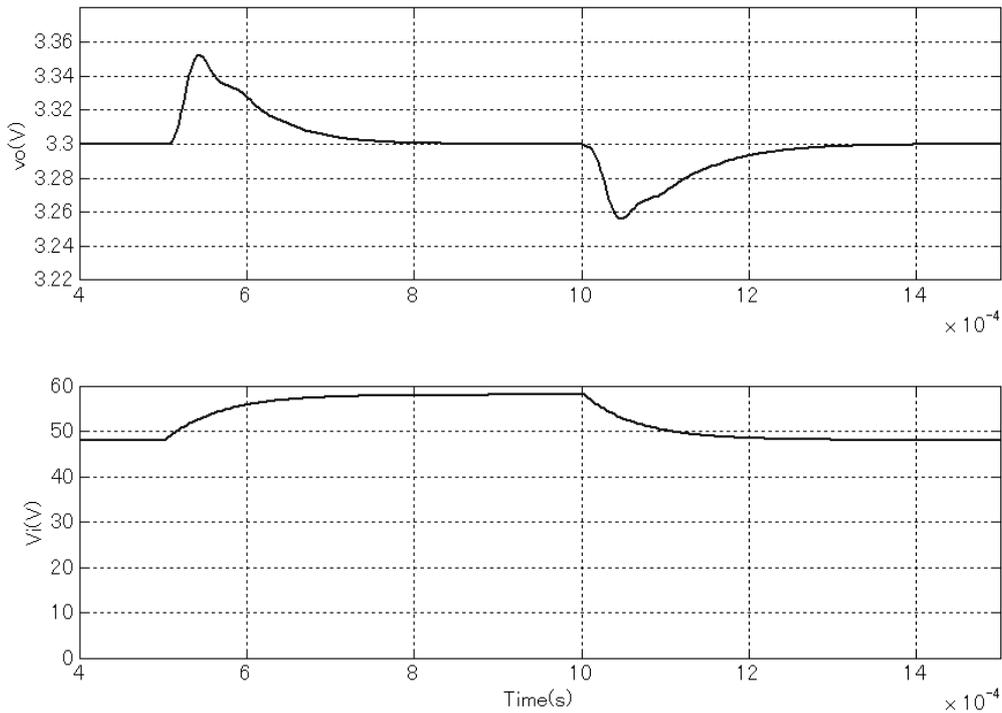


図 3-30. 抵抗負荷急変時応答特性 (R_L $0.33 \Omega \rightarrow 0.165 \Omega \rightarrow 0.33 \Omega$)

制御器のパラメータは

$$\begin{aligned} k_1 &= -165.16 & k_2 &= 131.50 & k_3 &= -0.12692 & k_4 &= -0.51441 & (3.47) \\ k_i &= 4.2390 & k_{iz} &= -5.2051 \end{aligned}$$

となる。入力電圧 $V_i=48V$ のときのスタートアップ過渡応答シミュレーション結果を図 3-29 に示す。抵抗負荷と容量性負荷並列接続時の $y=v_o$ の応答は振動的であり、一次モデルの応答とかなり異なる。その結果、スタートアップ仕様を満たさないことが分かる。この制御器を用いたときの抵抗負荷 R_L が $0.33 \Omega \rightarrow 0.165 \Omega \rightarrow 0.33 \Omega$ で変動した時の出力電圧応答シミュレーション波形を図 3-30 に示す。結果、抵抗負荷急変時に電圧変動が $50mV$ を超えており、仕様を満たさないことが分かる。図 3-31 に入力電圧 V_i が $48V \rightarrow 58V \rightarrow 48V$ に急変した時の出力電圧応答シミュレーション波形を示す。図 3-32 に入力電圧 V_i が $48V \rightarrow 38V \rightarrow 48V$ に急変した時の出力電圧応答シミュレーション波形を示す。結果、入力電圧急変時に電圧変動が $50mV$ を超えており、仕様を満たさないことが分かる。図 3-33、図 3-34 に $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間の伝達関数のゲイン特性を示す。図 3-14、図 3-15 で示した二次近似モデルのゲイン特性は約 $10kHz$ まで *Ideal* とほぼ一致しているのに対し、図 3-33、図 3-34 では $5kHz$ ぐらいから *Ideal* とのずれが発生する。つまり近似度が悪いことが分かる。これらから文献[33]の方法では近似度が悪いため、仕様を満たすことが困難であることがわかる。

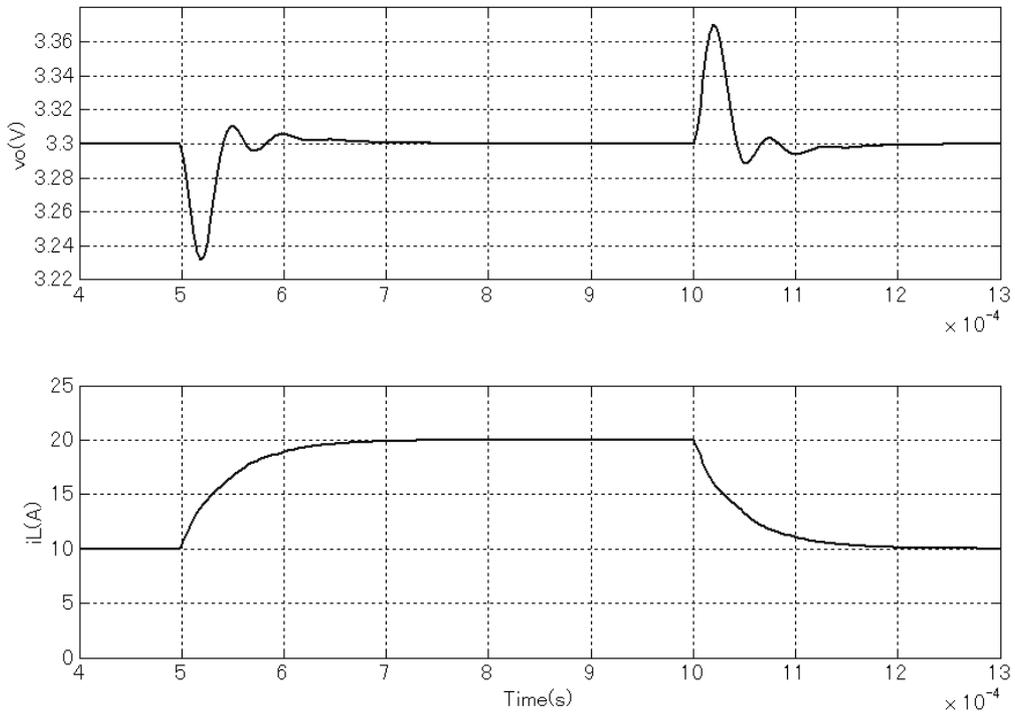


図 3-31. 入力電圧急変時応答特性 (V_i 48V \rightarrow 58V \rightarrow 48V)

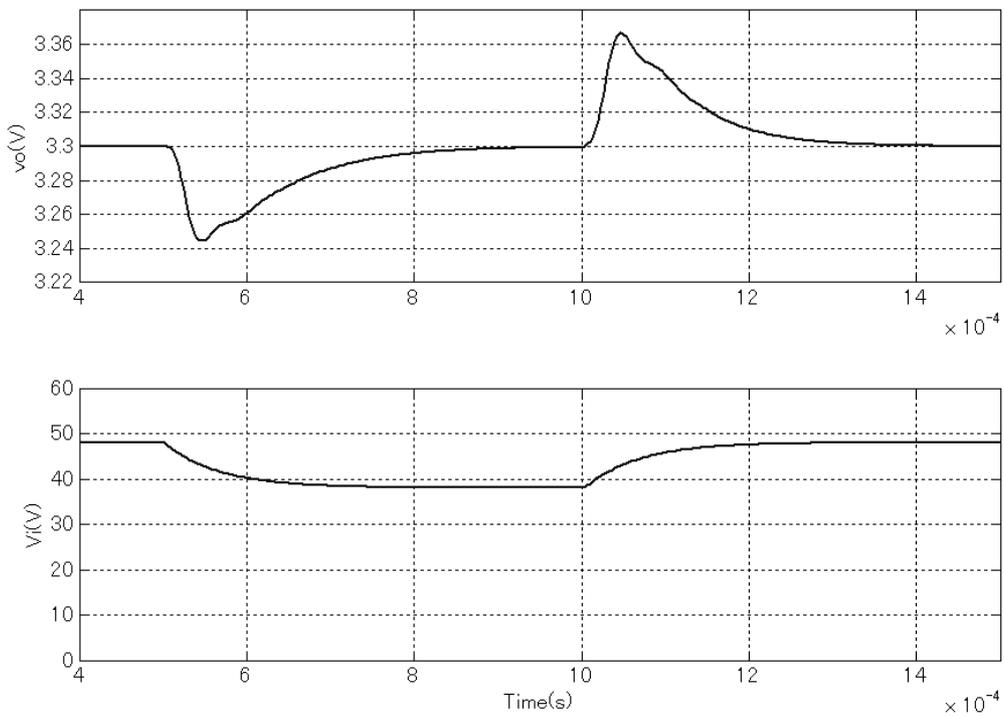


図 3-32. 入力電圧急変時応答特性 (V_i 48V \rightarrow 38V \rightarrow 48V)

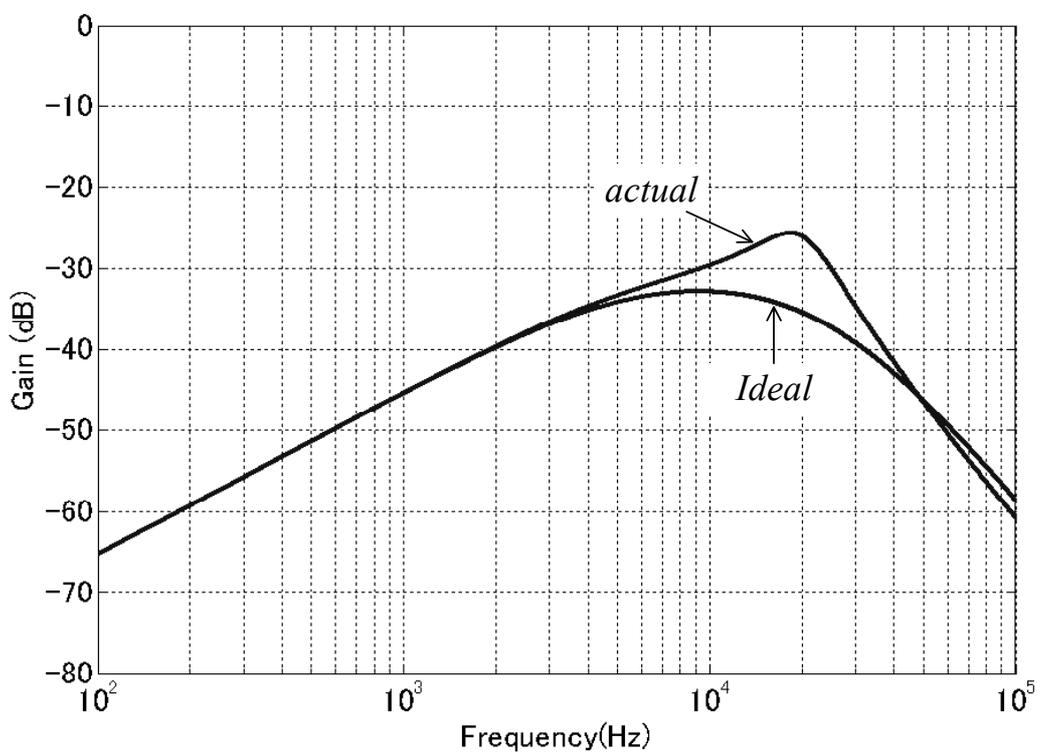


図 3-33. $q_v \rightarrow y$ 間伝達関数のゲイン特性

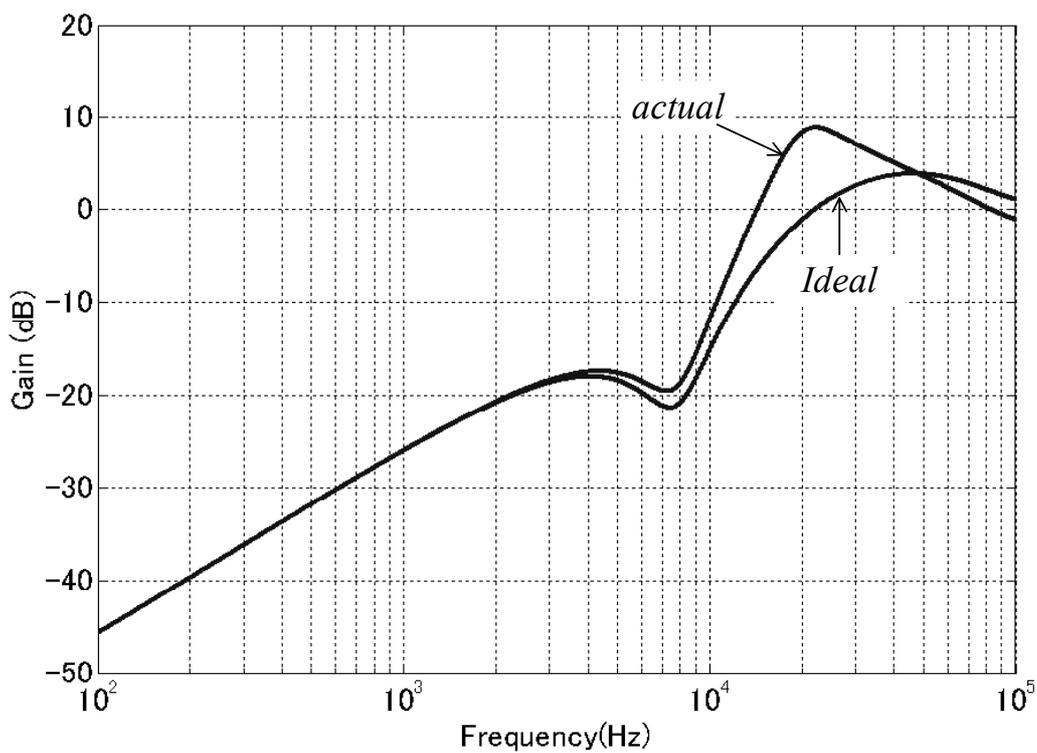


図 3-34. $q_y \rightarrow y$ 間伝達関数のゲイン特性

3.9 あとがき

本章では、二次モデルによる近似的 2 自由度デジタル積分形制御について述べた。第 2 節では、近似的 2 自由度制御系の目標について述べた。制御対象のパラメータ変動や次数の変化、非線形動作などによる特性変化は、制御対象の入出力に等価外乱 Q を加えることと等価である。本制御系設計手法では、 $r \rightarrow y$ の特性と $Q \rightarrow y$ の特性を近似的に 2 自由度系とすることでパラメータ設計を簡単にしている。 $r \rightarrow y$ の特性の帯域幅をより高くし、 $Q \rightarrow y$ の特性をより低感度にする制御系パラメータを合理的に導くことが目標である。

第 3 節では、離散系モデルマッチング制御系を構築するための制御対象の構築と制御仕様について述べた。制御仕様はスタートアップ特性、負荷急変時出力電圧応答、入力電圧急変時出力電圧応答について与えられ、また抵抗負荷や容量性負荷及び入力電圧の変動に対して特性変化しないことが望まれる。よって高速かつロバストな制御特性が必要となる。

第 4 節では二次モデルを近似的に実現する 2 自由度デジタル制御器の構築について述べた。前節で与えられた制御対象に対し、モデルマッチングシステムを構築した。このシステムは電流フィードバックを含む。電流の検出はノイズ量が大きく、またセンサが高価であるため、電流フィードバック無しで実現するのが好ましい。そこで制御対象に 1 次遅れ要素を追加し、等価変換をして電流フィードバックは電圧フィードバックに置き換えた。このモデルマッチング制御系に逆システムとフィルタを結合してロバスト制御系を構築した。このロバスト制御系は積分制御系を用いた構成に置き換えることができた。

第 5 節では制御器のパラメータの決定法について述べた。 $Q \rightarrow y$ の伝達関数を低感度にするパラメータ k_z を大きくすると、制御器の代表根 H_1 、 H_2 以外の極が代表根に近づき、近似度が悪くなる恐れがある。そこで、モデルマッチング制御系以外の極と k_z を指定し、それを満たす制御器のパラメータを導くようにした。本決定法を用い、与えられた仕様を満たす制御器を第 6 節で設計した。結果、高い近似度が得られ、制御仕様を満足する制御器が得られた。

第 7 節ではスタートアップ特性と抵抗負荷急変時出力電圧応答、及び入力電圧急変時出力電圧応答をシミュレーションと実験による検証を行った。第 6 節で設計されたデジタルロバスト制御器は DSP (TMS320LF2401A T.I.社製) に搭載され、DC-DC コンバータを制御している。シミュレーションと実験結果はよく一致しており、負荷条件や入力電圧条件を変えてもその特性はほとんど変化せず、ロバストであった。また与えられた仕様を満足していることが確認された。

第 8 節では、樋口らの一次近似モデルを用いた方法[33]で示されている一次モデルで近似された 2 自由度制御系設計の場合の特性を示す。結果、この方法では近似度が悪いため、仕様を満たすことが困難であった。一次近似モデルにおいても、本章で述べたような高い近似度を持つパラメータ決定法を確立できれば、よい性能が期待できると考える。

第 4 章

一次モデルによる近似的 2 自由度デジタル積分形制御

4.1 まえがき

前章では、入力電圧や抵抗負荷、容量性負荷の変動に対しロバストな特性を持つ制御器として二次モデルによる近似的 2 自由度制御器について述べた。これは以前に提案された DC-AC コンバータの近似的 2 自由度デジタル積分形制御器の設計法[33]よりも高い近似度が得られ、DC-DC コンバータに必要なスタートアップ仕様、抵抗負荷急変や入力電圧急変の出力電圧応答仕様を達成することができた。本章では、スタートアップ特性の目標モデルに一次モデルを用いる。この一次モデルへの十分な近似と、外乱から出力電圧の伝達関数への十分な近似を得るための制御器の設計法について述べる。また、第 3 章で述べた二次近似モデルとの特性比較をし、同等の特性が得られたことを示している。本制御器は DSP を用いたデジタル制御系で実現しており、シミュレーションと実験結果を比較検証している。与えられた制御仕様を全て満足することができ、ロバストな特性が得ることができた。

4.2 一次モデルを近似的に実現する 2 自由度デジタル制御器の構築

4.2.1 一次近似モデルマッチングシステムの構築

3.4.1 項で述べたように、図 3-5 に示す伝達関数 $W_{ry}(z)$ をもつモデルマッチングシステムを構築する。このシステムの目標値 r と制御量 y 間の伝達関数 $W_{ry}(z)$ が次式のように指定される。

$$W_{ry}(z) = \frac{(1+H_1)(1+H_2)(1+H_3)(z-n_1)(z-n_2)(z+H_4)}{(z+H_1)(z+H_2)(z+H_3)(1-n_1)(1-n_2)(z+H_4)} \quad (4.1)$$

ここで、 $|n_1| < 1$ 、 $|n_2| \gg 1$ とする。 H_1 を代表根すなわち $|H_3| \ll |H_1|$ 、 $|H_2| \ll |H_1|$ となるように指定すると、 $W_{ry}(z)$ は次式のような二次モデルに近似される。

$$W_{ry}(z) \approx W_m(z) = \frac{1+H_1}{z+H_1} \quad (4.2)$$

この目標特性 $W_{ry}(z) \approx W_m(z)$ は仕様(3)、(4)を満たすように指定する。3.4.2 項で述べたように、このモデルマッチングシステムは図 3-6 に示すような電流フィードバック無しのシステムに置き換えることができる。

4.2.2 逆システムとフィルタを用いたロバスト制御器

4.2.1 項で得られたモデルマッチングシステムを適用したとき、図 3-7 の $r \rightarrow y$ 及び $Q \rightarrow y$ 伝達関数は次式となる。

$$y = W_m(z) \frac{z-1+k_z}{z-1+k_z W_S(z)} W_S(z) r \quad (4.3)$$

$$y = \frac{z-1}{z-1+k_z} \frac{z-1+k_z}{z-1+k_z W_S(z)} W_{Qy}(z) Q \quad (4.4)$$

ただし、

$$W_S(z) = \frac{(1+H_2)(1+H_3)(z-n_1)(z-n_2)}{(z+H_2)(z+H_3)(1-n_1)(1-n_2)} \quad (4.5)$$

となる。ここで、 $W_S(z) \approx 1$ であれば、

$$y \approx W_m(z) r \quad (4.6)$$

$$y \approx \frac{z-1}{z-1+k_z} W_{Qy}(z) Q \quad (4.7)$$

となる。 $r \rightarrow y$ の特性は、 $r \rightarrow y$ の特性は H_1 によって、 $Q \rightarrow y$ の特性は k_z によって独立的に指定できることが分かる。つまり図 3-7 のシステムは、一次モデルを近似的に実現する 2 自由度系であり、 k_z を大きくするほど負荷や入力電圧の変動すなわち外乱に対して低感度になる。

図 3-7 の逆システム W_m^{-1} は分子の次数が分母よりも高いため、このままでは実現できない。そこで、等価変換をして実現できるシステムに置き換える。図 3-7 の $\lambda(z)$ の差分方程式を z 変換すると次式が得られる。

$$\lambda(z) = r(z) + K(z) [\lambda(z) - W_m^{-1}(z) y(z)] \quad (4.8)$$

これより、次式が得られる。

$$\lambda(z) = r + \frac{k_z}{z-1} (r-y) - \frac{k_z}{1+H_1} y \quad (4.9)$$

よって、図 3-7 のシステムは図 4-1 に置き換えることができる。4.2.1 節のモデルマッチングシステムと図 4-1 をまとめると図 4-2 に示すデジタル積分形制御システムが得られる。

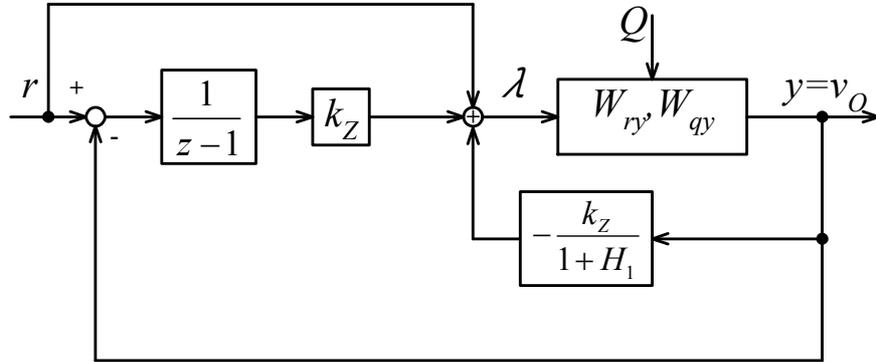


図 4-1. 近似逆システムとフィルタを結合したシステム (等価変換後)

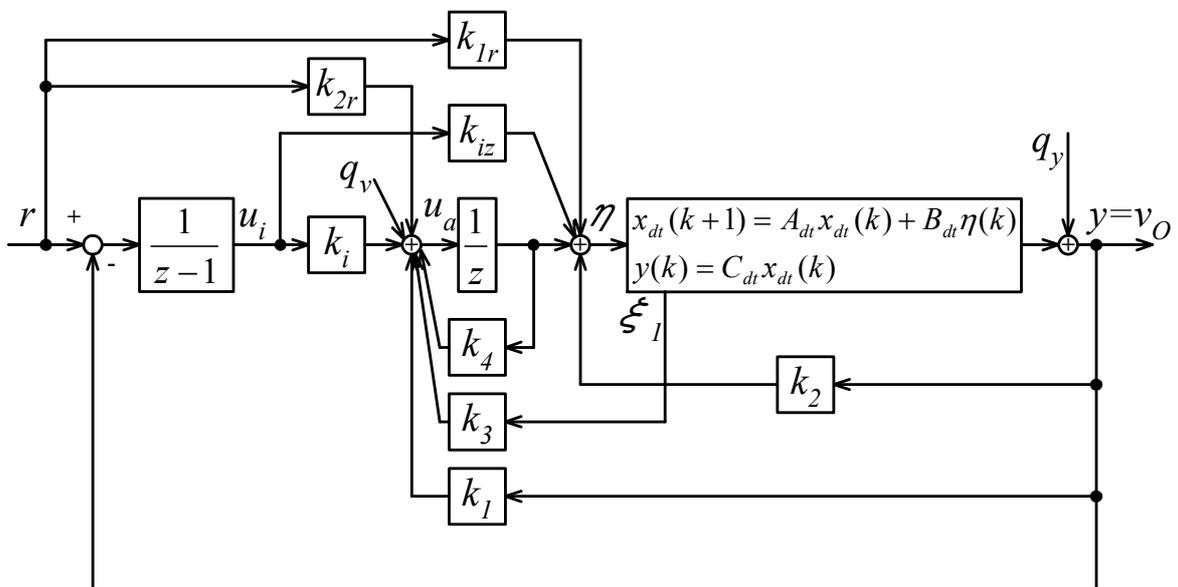


図 4-2. 一次モデルを実現する近似的 2 自由度デジタル積分形制御系

図 4-2 の各パラメータは次のようになる。

$$\begin{aligned}
 k_1 &= -F_1 + \frac{F_2}{A_{12}} \left(A_{11} + F_4 - \frac{F_2 B_{11}}{A_{12}} \right) - \frac{k_z G}{1+H_1} \left(H_4 - F_4 + \frac{F_2 B_{11}}{A_{12}} \right) & (4.10) \\
 k_2 &= -\frac{F_2}{A_{12}} - \frac{k_z G}{1+H_1} & k_3 &= -F_3 + \frac{F_2 A_{13}}{A_{12}} & k_4 &= -F_4 + \frac{F_2 B_{11}}{A_{12}} \\
 k_{iz} &= k_z G & k_i &= k_z G \left(H_4 - F_4 + \frac{F_2 B_{11}}{A_{12}} \right) & k_{1r} &= G & k_{2r} &= G \left(H_4 - F_4 + \frac{F_2 B_{11}}{A_{12}} \right)
 \end{aligned}$$

図 4-2 のシステムは、以下の制御アルゴリズムで表される。これを DSP で実行すればよい。

$$\begin{aligned}
 \eta &\leftarrow u_a + k_2 v_o + k_{iz} u_i + k_{1r} r \\
 u_a &\leftarrow k_1 v_o + k_3 \xi_1 + k_4 u_a + k_i u_i + k_{2r} r \\
 u_i &\leftarrow r - v_o + u_i \\
 \xi_1 &\leftarrow \eta
 \end{aligned}$$

DSP (TMS320LF2401A) を用いた場合、このアルゴリズムの処理には 38 ステップかかる。また、次節で説明されるように k_z が十分大きい場合、フィードフォワード k_{1r} 、 k_{2r} 、 k_{3r} は必ずしも必要ではなくなる。この場合、処理は 32 ステップとなる。これらより、二次近似モデルと比較し 9 ステップ短くできることがわかる。

4.3 制御器パラメータの決定法

近似度をよくし、式(4.3)、(4.4)を近似式(4.6)、(4.7)に十分近づけるには広い周波数帯域において $W_s(z) \approx 1$ としなくてはならない。また、 $Q \rightarrow y$ の特性を低感度にするためには k_z を大きい値にしなければならない。しかし k_z を大きくすると式(4.3)、(4.4)の

$$z - 1 + k_z W_s(z) = 0 \quad (4.11)$$

の根が代表根 H_1 に近づき、近似度が悪くなる可能性がある。式(4.11)において k_z を 0 から増加させた時の根軌跡を図 4-3 に示す。この根は 1、 $-H_2$ 、 $-H_3$ から出発し、 k_z がある値のとき、図 4-3 の p_1 、 p_2 、 p_3 のようになる。図 4-3 より、 k_z が十分大きな値のときに

$$(\operatorname{Re}|p_1|, \operatorname{Re}|p_2|, |p_3|) \ll |H_1| \quad (4.12)$$

となり、かつ出発点の H_2 、 H_3 が適当に小さくなるように決めれば、式(4.3)、(4.4)の近似度はよくなり、かつ低感度特性もよくなる。そこで式(4.12)を満たすように p_1 、 p_2 、 p_3 を決定し、 k_z を適当な大きさに指定して、根軌跡の出発点 H_2 と H_3 を求める。式(4.5)、(4.11)より次式が得られる。

$$\begin{aligned}
 &(z-1)(z+H_2)(z+H_3)(1-n_1)(1-n_2) + k_z(1+H_2)(1+H_3)(z-n_1)(z-n_2) \\
 &= (z-p_1)(z-p_2)(z-p_3)
 \end{aligned} \quad (4.13)$$

となる。 z のべき乗の係数を等しいとおくと次式が得られる。

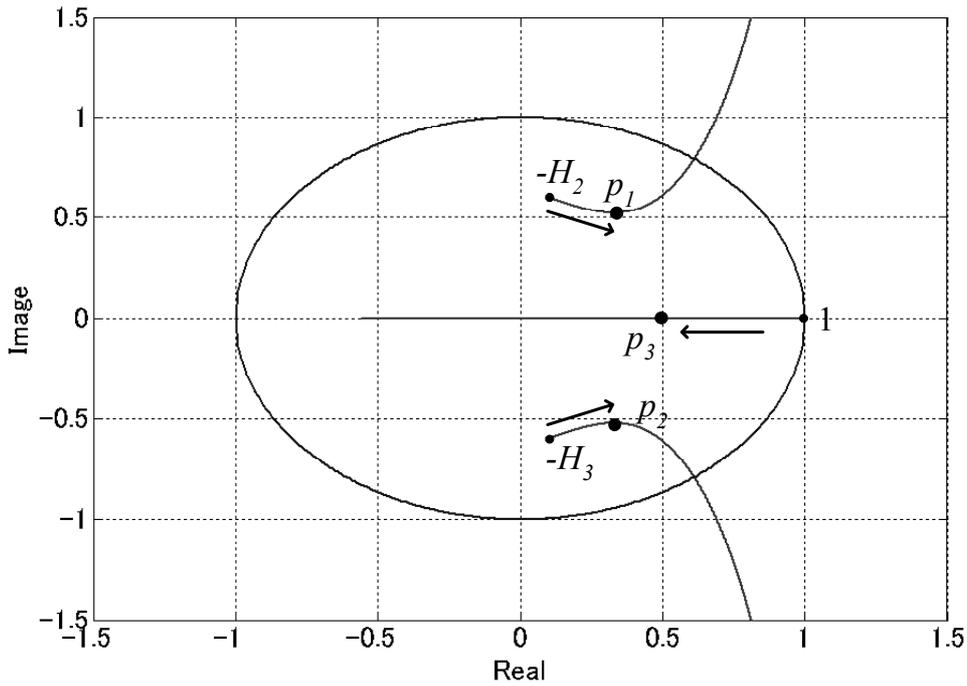


図 4-3. 根軌跡

$$\frac{(1-n_1)(1-n_2)-(H_2+H_3)(1-n_1-n_2+n_1n_2)-k_z(1+H_2)(1+H_3)}{(1-n_1)(1-n_2)} = p_1 + p_2 + p_3 \quad (4.14)$$

$$\frac{-(H_2+H_3+n_0H_3)(1-n_1)(1-n_2)-k_z(n_1+n_2)(1+H_2)(1+H_3)}{(1-n_1)(1-n_2)} = p_1p_2 + p_2p_3 + p_1p_3 \quad (4.15)$$

$$\frac{-n_1n_2k_z(1+H_2)(1+H_3)+H_2H_3(1-n_1)(1-n_2)}{(1-n_1)(1-n_2)} = p_1p_2p_3 \quad (4.16)$$

k_z に指定した値を代入すれば、これらは円の方程式となる。これらの円の交点から H_2 と H_3 が求まる。以上のことから、制御器のパラメータの決定手順は以下のように定める。

- (1) 代表根 H_1 を仕様(3)の立ち上がり時間を満たすように定める。
- (2) H_4 が代表根に影響を与えないよう、次のように指定する。

$$|H_4| \approx 0.5|H_1| \quad (4.17)$$

- (3) 式(4.11)の根 p_1 、 p_2 、 p_3 を指定する。高い近似特性を得るため、式(4.12)を満たすように p_1 、 p_2 、 p_3 を指定すればよい。
- (4) 式(4.11)の k_z を次のように指定する。

$$k_z \approx 0.5 \quad (4.18)$$

- (5) 式(4.14)、(4.15)、(4.16)の円の交点より、 H_2 と H_3 を決定する。ここで、高い近似度を得るために $|H_3| \ll |H_1|$ 、 $|H_2| \ll |H_1|$ であればよい。

- (6) 式(4.13)より、制御器のパラメータを決定する。
- (7) シミュレーションによって、仕様を満たすことを確認する。
- (8) 仕様を満たさないときは、手順(4)の k_z を若干変更し、手順(5)から繰り返す。
ただし、式(3.22)の右辺 $z-1+k_z=0$ の根を単位円の右側にするため、 $0 < k_z < 1$ の範囲である。
- (9) 更に仕様を満たさないときは、手順(3)の p_1 、 p_2 、 p_3 を若干変更し、手順(4)から繰り返す。

式(4.3)において、 $W_S(z) \approx 1$ のとき $z-1+k_z=0$ の根が $W_m(z)$ の極よりも十分小さい、即ち k_z が十分に大きければ、次の近似式が成り立つ。

$$\frac{z-1+k_z}{z-1+k_z} \approx \frac{k_z}{z-1+k_z} \quad (4.19)$$

このとき、 λ は次式のように近似される。

$$\lambda(z) = \frac{k_z}{z-1}(r-y) - \frac{k_z}{1+H_1}y \quad (4.20)$$

したがって、式(4.19)が成り立つとき、図 4-1 における r から λ へのフィードフォワードは必要ない。このとき、図 4-2 におけるフィードフォワード k_{1r} 、 k_{2r} は必ずしも必要ではなくなる。

4.4 制御器の設計

サンプリング周波数とスイッチング周波数は 300kHz とする。サンプリング周期は $T=1/f_s=3.3 \mu s$ であり、入力無駄時間 L_d は $0.999T \mu s$ と設定する。制御対象のパラメータは第 3 章で述べた二次近似モデルと同じであり、表 2-1 に示す。全ての仕様を満足するように制御系を設計する。制御対象のパルス伝達関数は次式となる。

$$W_{wy} = k_{CO} \times \frac{(z-n_1)(z-n_2)}{z^2(z-0.955-0.153i)(z-0.955+0.153i)} \quad (4.21)$$

ただし、

$$n_1 = -0.974 \quad n_2 = -9.78 \times 10^5 \quad k_{CO} = -2.30 \times 10^{-9}$$

である。ここで、 H_1 を次式のように指定する。

$$H_1 = -0.89 \quad (4.22)$$

このとき、モデルマッチングシステムの伝達関数は、次の近似式のようになる。

$$W_{ry} \approx \frac{1+H_1}{z+H_1} = \frac{0.11}{z-0.89} \quad (4.23)$$

このときの応答特性と周波数特性を図 4-4、図 4-5 に示す。制御帯域幅は約 6kHz で、立ち

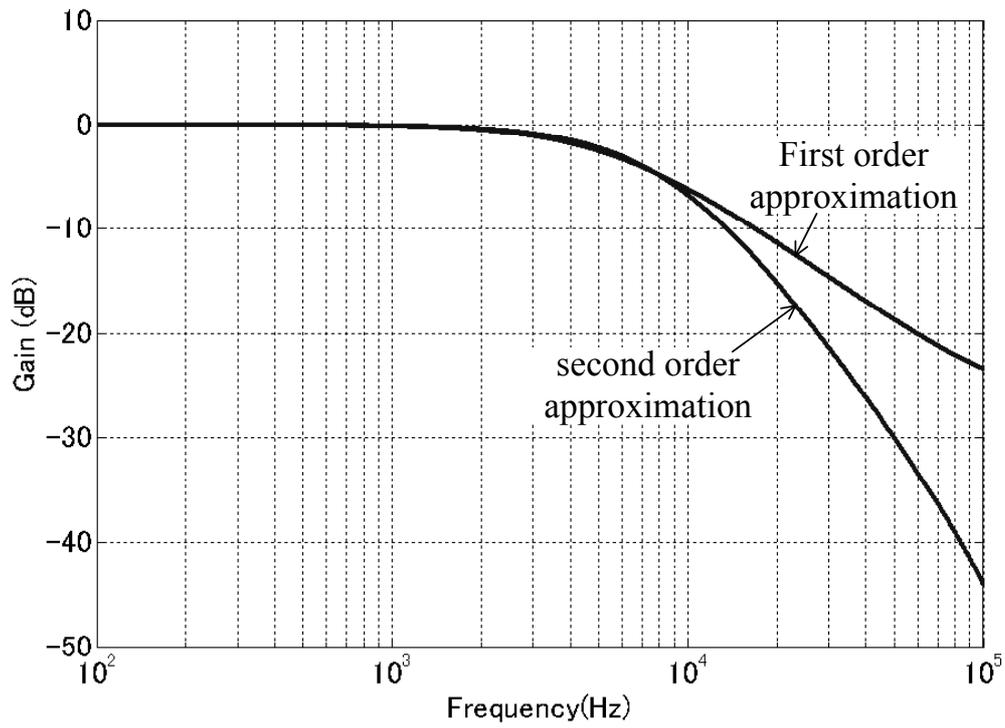


図 4-4. 式(4.23)の周波数特性

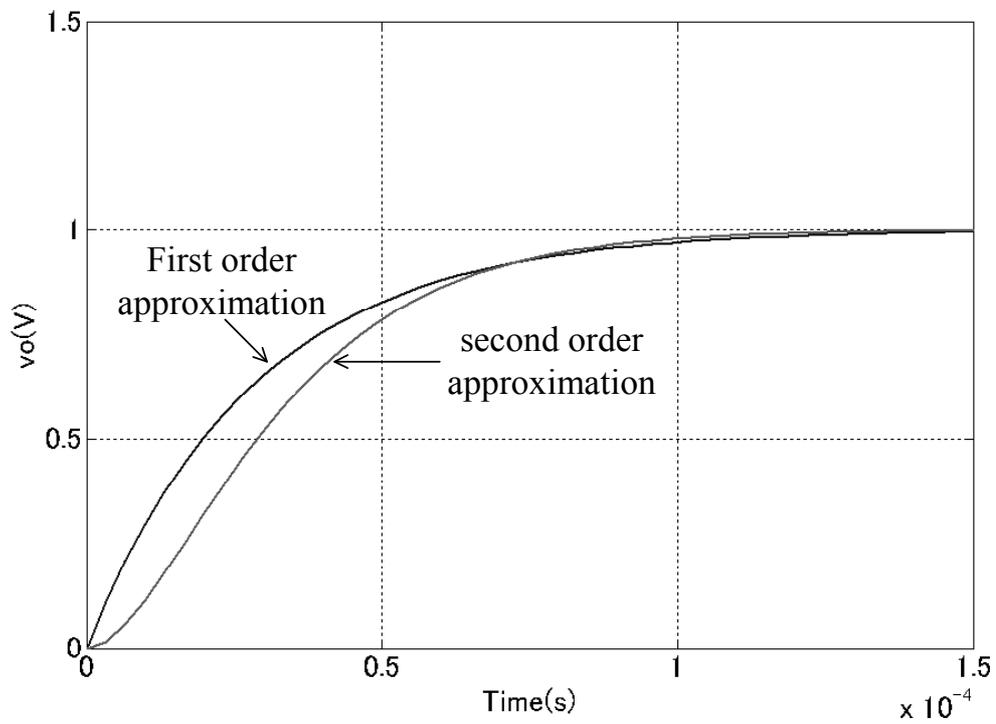


図 4-5. 式(4.23)のステップ応答特性

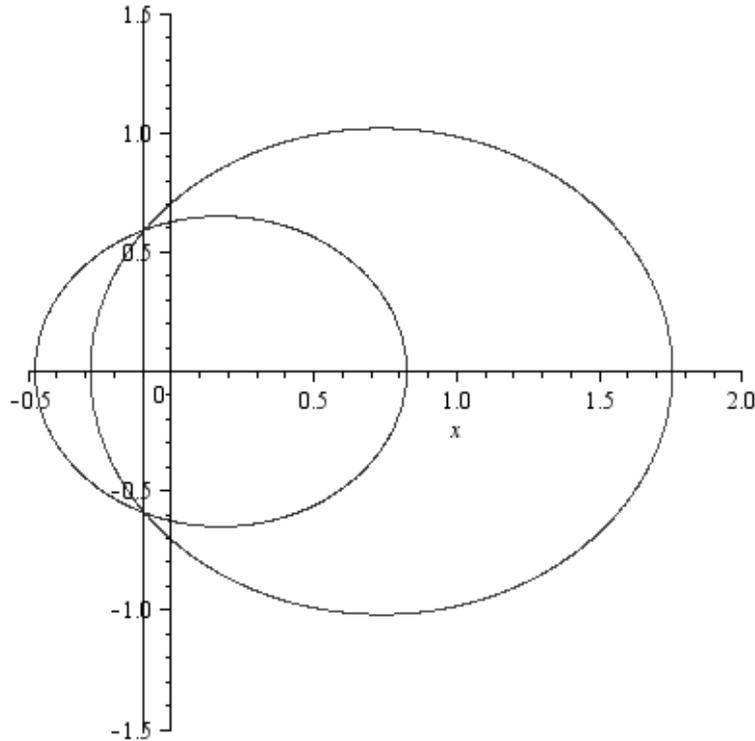


図 4-6. 式(4.26)の円軌跡

上がり時間は約 $60 \mu s$ であり、仕様(3)を満足している。これは第 3 章で設計した二次近似モデルと同じ性能である。

$H_4 = -0.3$ と設定し、次に p_1 、 p_2 、 p_3 、 k_z を指定する。手順(3)、(4)の式(4.12)、式(4.18)より得られた p_1 、 p_2 、 p_3 、 k_z では手順(7)のシミュレーションの結果、仕様を十分に満足することができなかつたため、手順(8)に沿って k_z を微調整した。その結果、

$$p_1 = 0.35 + 0.5i \quad p_2 = 0.35 - 0.5i \quad p_3 = 0.5 \quad k_z = 0.3 \quad (4.24)$$

と指定する。

$$H_2 = x + yi \quad H_3 = x - yi \quad (4.25)$$

このとき、式(4.14)、(4.15)、(4.16)より次式が得られる。

$$2x + 0.16 \times 10^{-5}(x^2 + y^2) + 0.20 = 0 \quad (4.26)$$

$$-1.696x + 1.152(x^2 + y^2) - 0.570 = 0$$

$$0.296x - 0.852(x^2 + y^2) + 0.334 = 0$$

が得られる。これらの式の軌跡は図 4-6 のように描かれる。これらの円軌跡の交点から

$$H_2 = -0.1 + 0.6i \quad H_3 = -0.1 - 0.6i \quad (4.27)$$

と決定できる。よって、手順(6)より制御器のパラメータは次のように得られる。

$$k_1 = -194.88 \quad k_2 = 289.74 \quad k_3 = -0.045316 \quad k_4 = -0.25781 \quad (4.28)$$

$$k_5 = -0.40000 \quad k_6 = 28.824 \quad k_i = 4.9609 \quad k_{iz} = -8.8937 \quad k_m = 0.84000$$

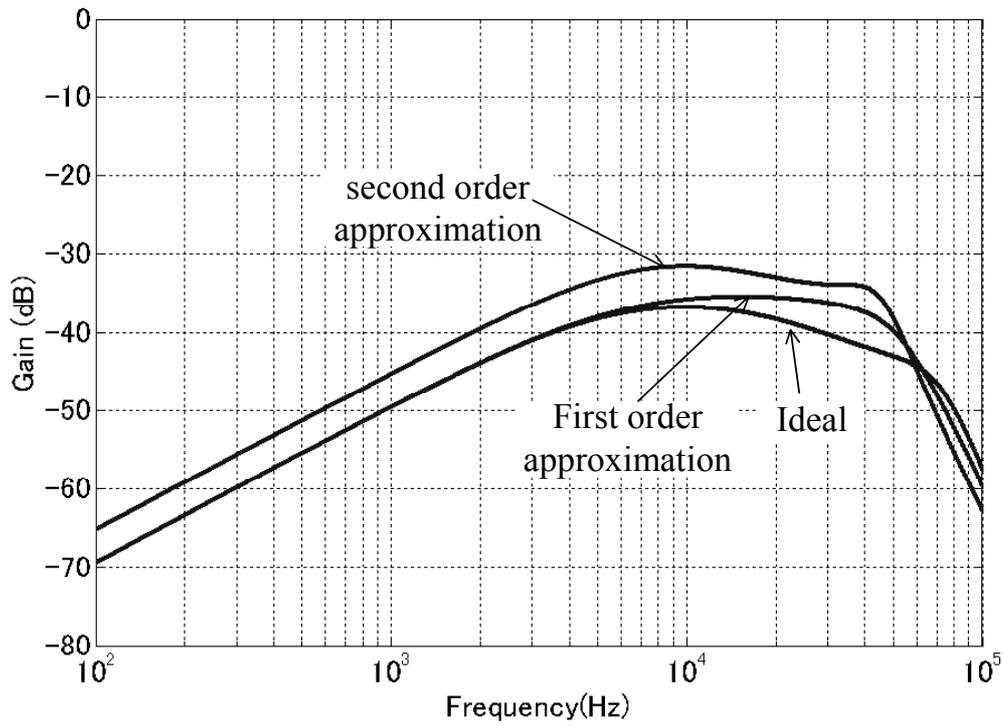


図 4-7. $q_v \rightarrow y$ 間伝達関数のゲイン特性

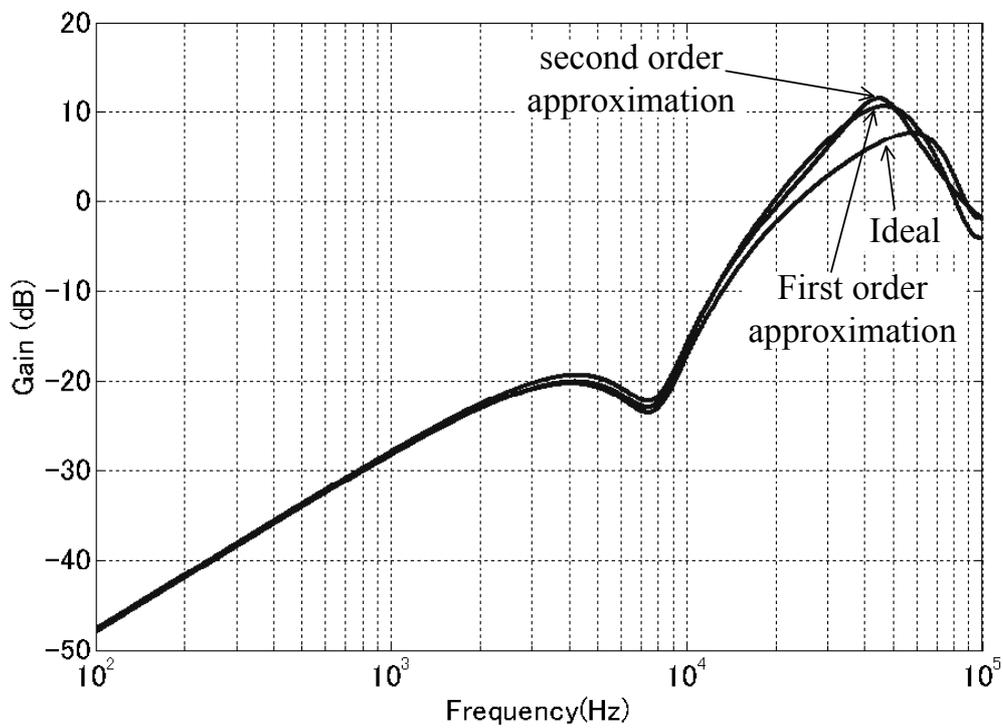


図 4-8. $q_y \rightarrow y$ 間伝達関数のゲイン特性

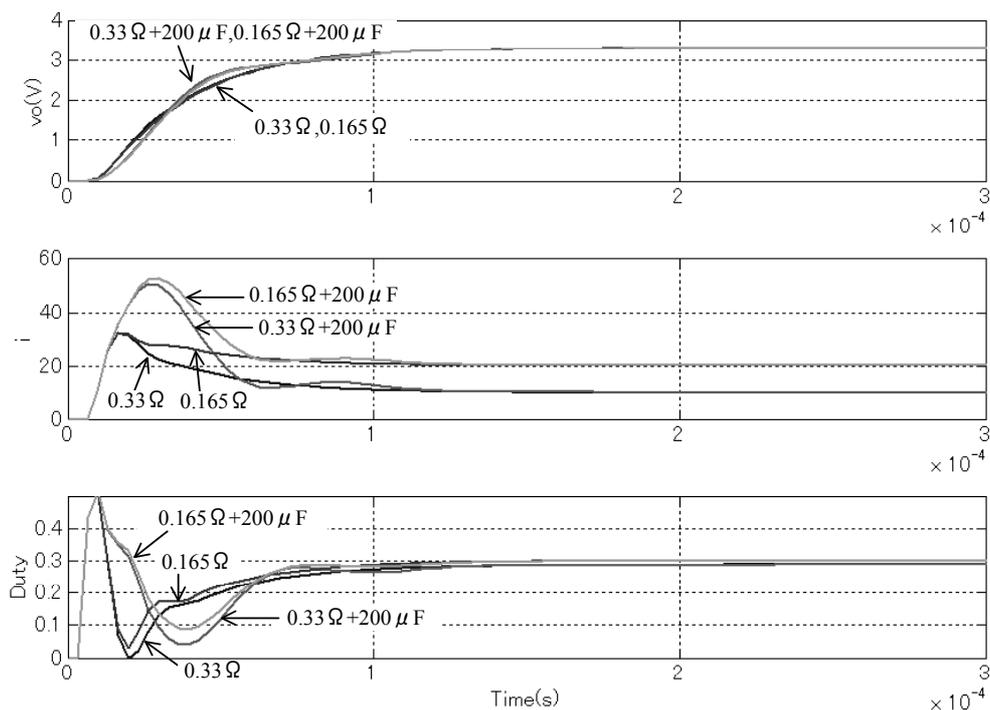


図 4-9. スタートアップ過渡応答特性（入力電圧 $V_i=48V$ ）

式(4.11) で得られた根と式(4.5)で示される極は代表根 H_1 よりも十分小さい。このためフィードフォワード k_{1r} 、 k_{2r} は 0 に設定した。

本手法によって得られた式(4.28)の制御器パラメータを用いたときと、第 3 章で設計された二次近似モデルの制御器で制御パラメータが式(3.43)の場合の $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間の伝達関数のゲイン特性を図 4-7、図 4-8 に示す。また同図において Ideal は式(4.4)の $W_S(z)$ を 1 としている。従って式(4.7)の伝達関数である。第 3 章の図 3-33、図 3-34 で示した文献[33] の設計法の場合に比べ、 $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間は共に高い近似度が得られていることが分かる。また、第 3 章で設計された二次近似モデルの場合と比べても、 $q_v \rightarrow y$ 間はより低感度であり、 $q_y \rightarrow y$ 間特性もほぼ同等であることが確認された。

4.5 シミュレーションと実験による検証

入力電圧 $V_i=48V$ のときのスタートアップ過渡応答シミュレーション結果を図 4-9 に示す。条件は、抵抗負荷 R_L は 0.33Ω と 0.165Ω とし、容量性負荷 C_L は $0 \mu F$ と $200 \mu F$ とした。負荷出力電圧立ち上がり時間は約 $60 \mu s$ である。この立ち上がり特性は、図 4-5 とほとんど同じである。従って、モデルマッチング制御系設計にて設定した伝達関数近似式(4.23)

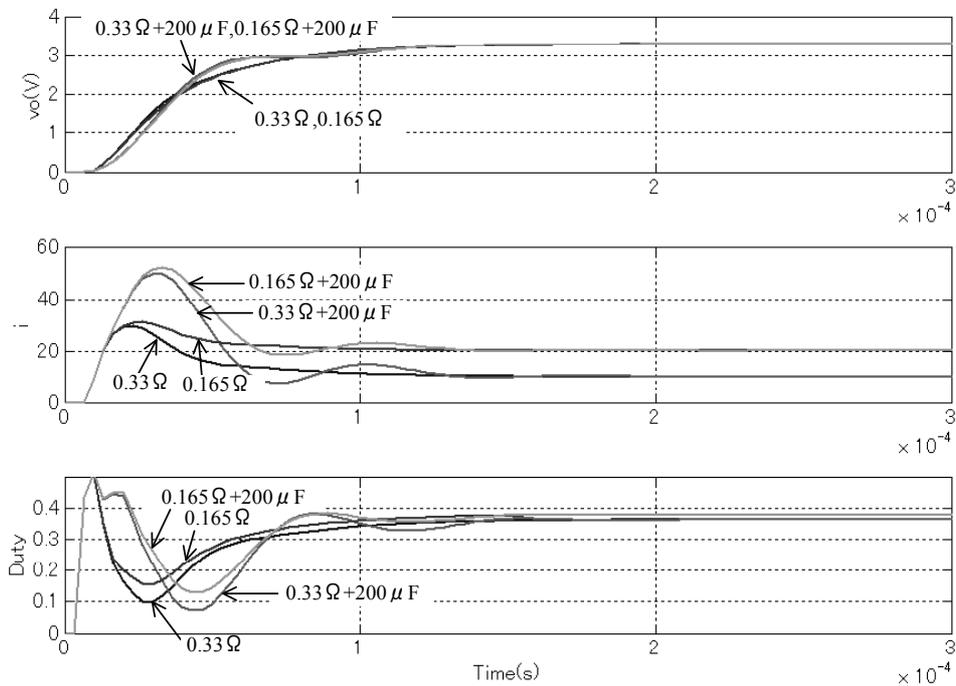


図 4-10. スタートアップ過渡応答特性 (入力電圧 $V_i=38V$)

の特性が得られているといえる。また、入力電圧 $V_i=38V$ のときと $V_i=58V$ のときのシミュレーション結果をそれぞれ図 4-10、図 4-11 に示す。いずれの場合も、出力電圧立ち上がりは $V_i=48V$ のときとほぼ同じである。 $V_i=58V$ において、抵抗負荷のときに、Duty が 0 まで下がってしまうため、若干非線形になるが、出力電圧立ち上がりへの影響は十分小さい。以上より、シミュレーション結果はスタートアップ仕様を満足しており、また負荷や入力電圧の変動に対し十分にロバストな特性が得られた。またこの結果は第 3 章で述べた二次近似モデルの場合と比べると、Duty が大きく変化し、式(2.2)で述べた DC-DC コンバータの Duty の範囲に対し余裕がないことが分かる。今回の仕様は満足できたが、更に厳しい仕様に対しては二次近似モデルの方が期待できる。

図 4-12 に抵抗負荷 R_L が 0.33Ω ($i_L=10A$) \rightarrow 0.165Ω ($i_L=20A$) \rightarrow 0.33Ω ($i_L=10A$) で変動した時の出力電圧応答シミュレーション波形を示す。変動の立ち上がり時間、立ち下がり時間は共に約 $100\mu s$ である。容量性負荷 C_L は $0\mu F$ であり、入力電圧 V_i は $48V$ である。このときの出力電圧変動は $50mV$ 以下であり、仕様を満たしていることが分かる。図 4-13

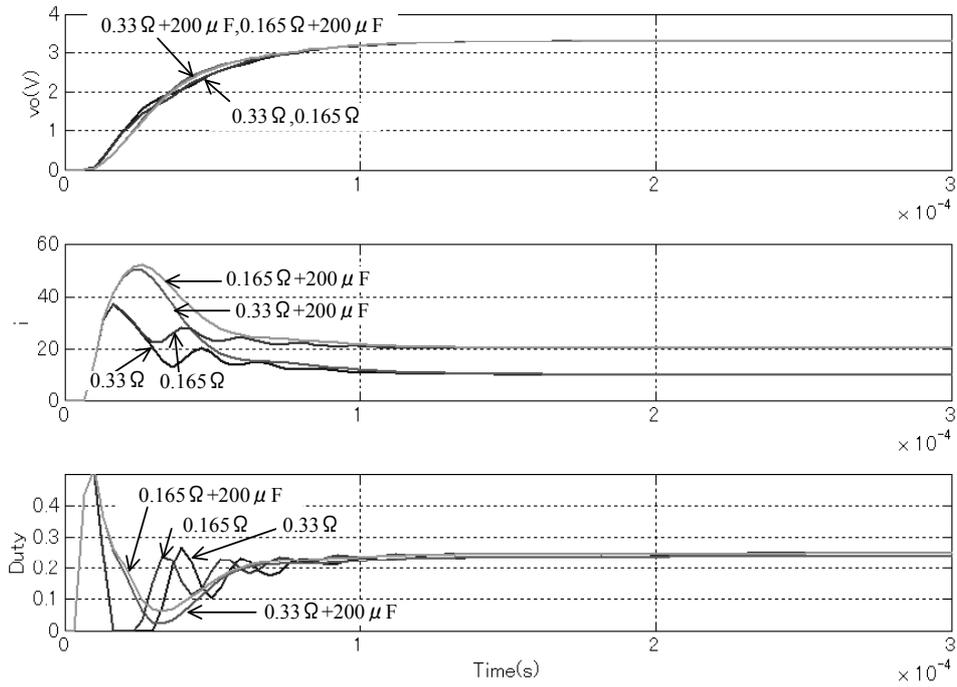


図 4-11. スタートアップ過渡応答特性 (入力電圧 $V_i=58V$)

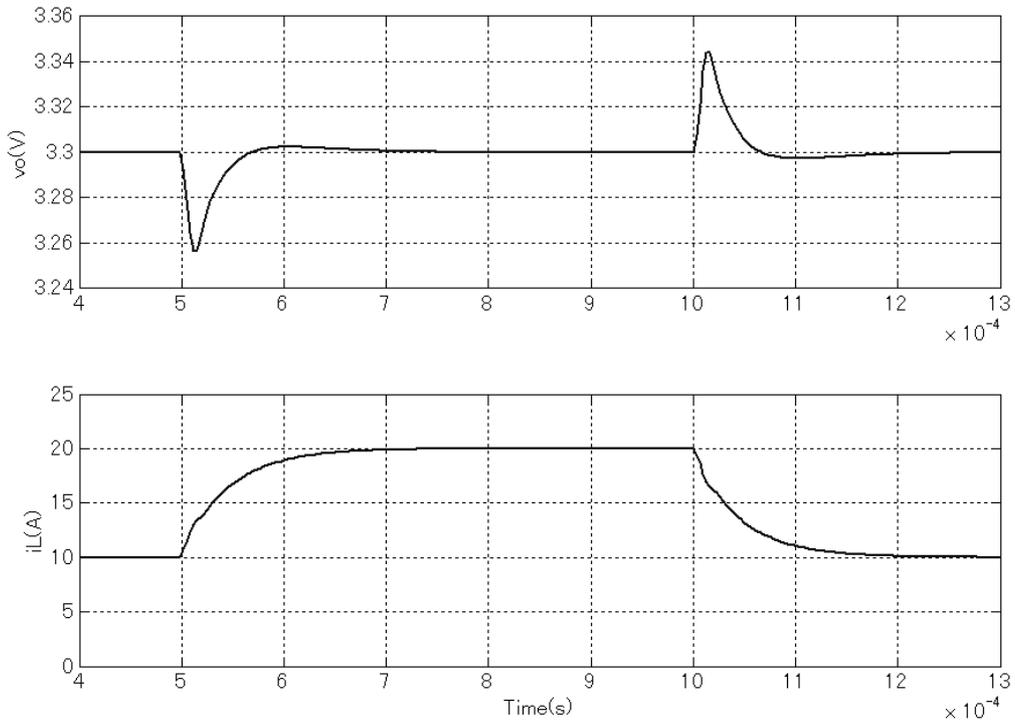


図 4-12. 抵抗負荷急変時応答特性 (R_L $0.33\Omega \rightarrow 0.165\Omega \rightarrow 0.33\Omega$)

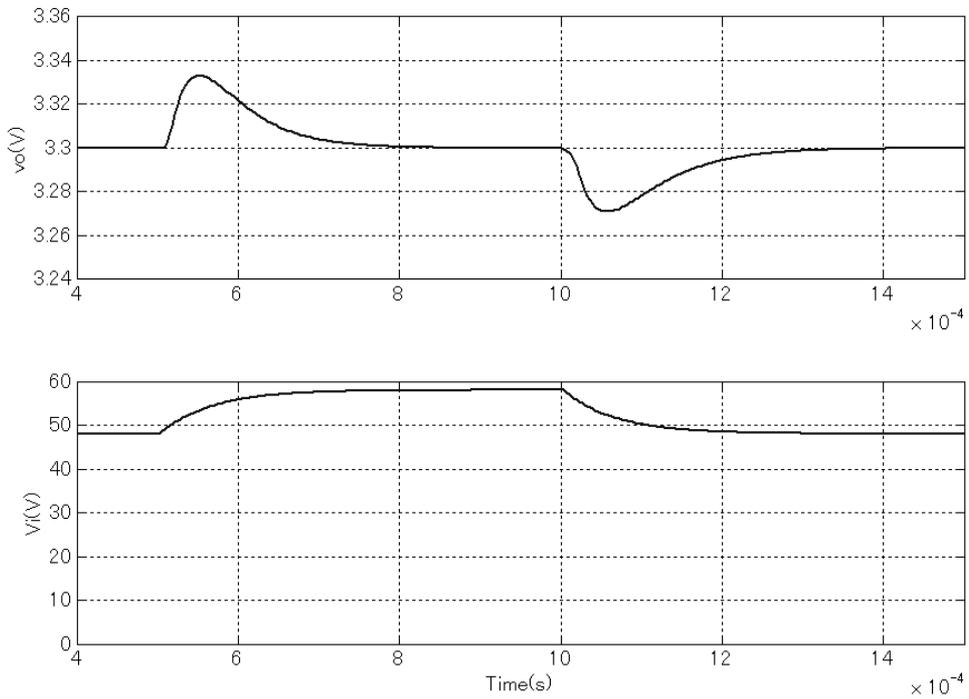


図 4-13. 入力電圧急変時応答特性 (V_i 48V \rightarrow 58V \rightarrow 48V)

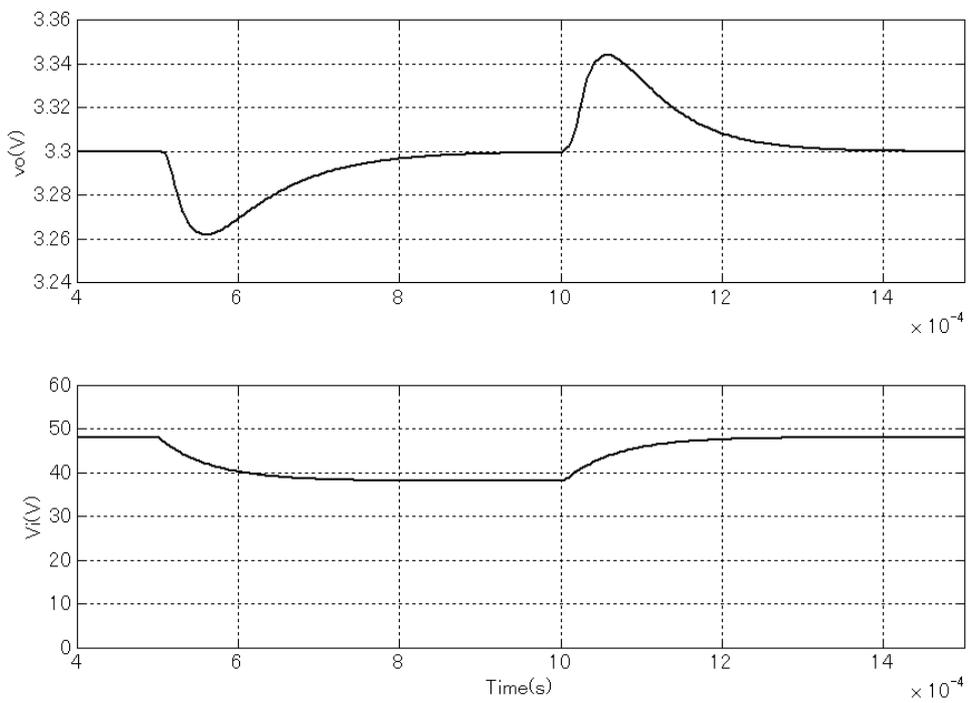


図 4-14. 入力電圧急変時応答特性 (R_L 48V \rightarrow 38V \rightarrow 48V)

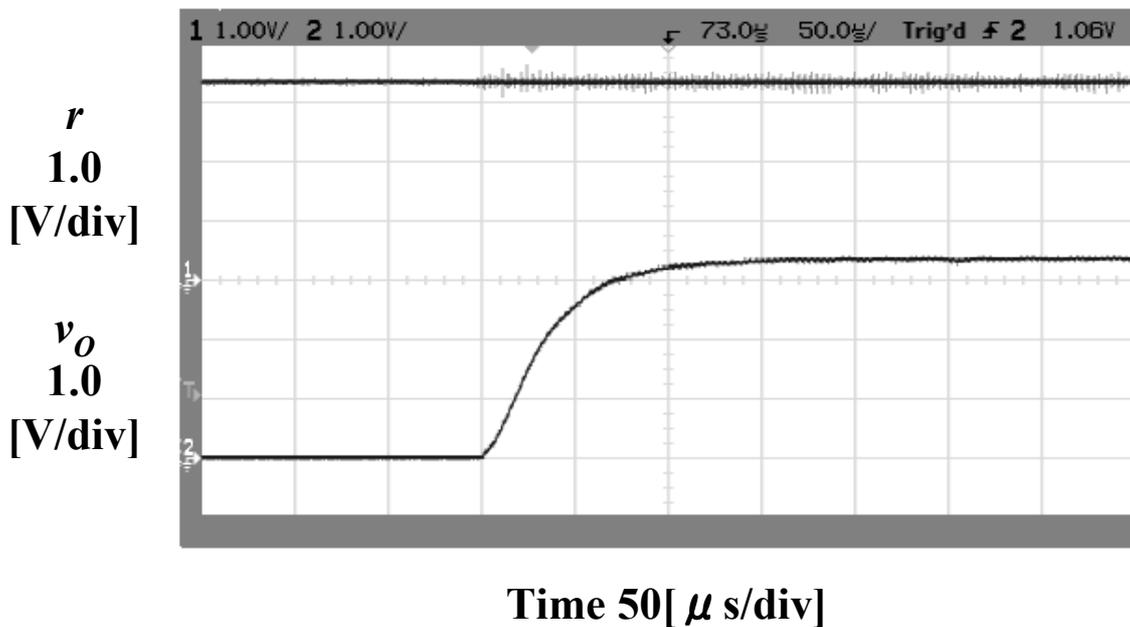


図 4-15. スタートアップ応答実験結果 (V_i 48V、 R_L 0.33 Ω 、 C_L 0 μ F)

に入力電圧 V_i が 48V \rightarrow 58V \rightarrow 48V に急変した時の出力電圧応答シミュレーション波形を示す。図 4-14 に入力電圧 V_i が 48V \rightarrow 38V \rightarrow 48V に急変した時の出力電圧応答シミュレーション波形を示す。変動の立ち上がり時間、立ち下がり時間は共に約 100 μ s である。入力急変時の出力電圧変動は 50mV 以下であり、仕様を満たしていることが分かる。

式(4.28)で得られた制御パラメータを DSP (TMS320LF2401A T.I.社製) に実装して実験した。スタートアップ過渡応答実験結果を図 4-15~図 4-18 に示す。得られた結果はシミュレーション結果とほぼ同じであり、負荷や入力電圧の変動に対しロバストな結果が得られた。立ち上がり時間は約 60 μ s であり、モデルマッチング制御系設計にて設定した伝達関数近似式(4.23)の特性が得られているといえる。図 4-19、図 4-20 に抵抗負荷 R_L が 0.33 Ω ($i_L=10$ A) \rightarrow 0.165 Ω ($i_L=20$ A) \rightarrow 0.33 Ω ($i_L=10$ A) で変動した時の出力電圧応答実験波形を示す。図 4-19 の負荷は、抵抗負荷のみとしている。結果はシミュレーションとほぼ同じ特性が得られ、負荷電流 i_L の ± 10 A の変動に対し出力電圧変動は 50mV 以下であった。図 3-24 では抵抗負荷 R_L に並列に容量性負荷 C_L を 200 μ F 接続している。結果は図 3-20 とほぼ同じであり、ロバストな結果が得られた。他の抵抗負荷急変時にも、シミュレーションと同様の結果が得られた。図 2-21 に抵抗負荷 $R_L=0.33 \Omega$ で入力電圧が 48V \rightarrow 58V に変動したときの出力電圧応答実験波形を示す。結果は図 4-13 に示すシミュレーションとほぼ同じ

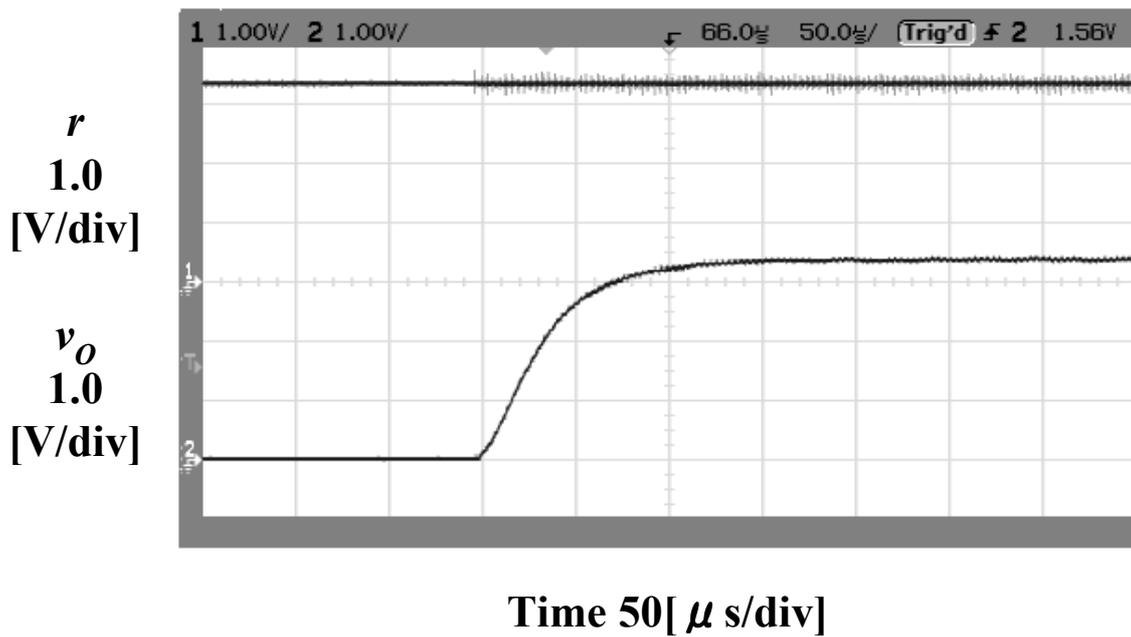


図 4-16. スタートアップ応答実験結果 (V_i 48V、 R_L 0.165 Ω 、 C_L 0 μ F)

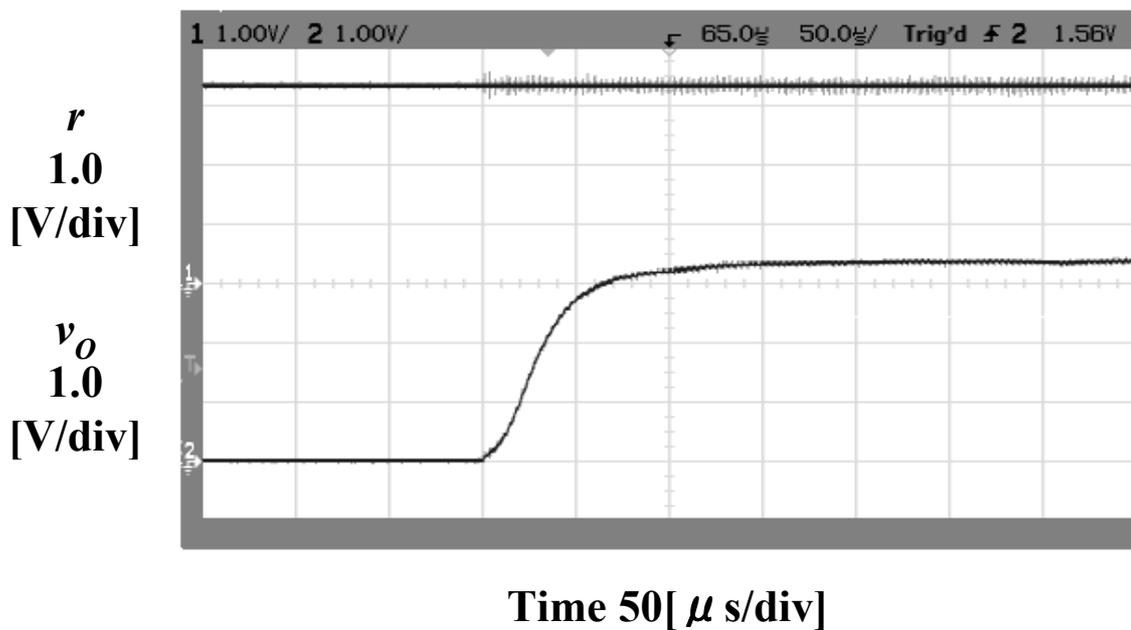


図 4-17. スタートアップ応答実験結果 (V_i 48V、 R_L 0.33 Ω 、 C_L 200 μ F)

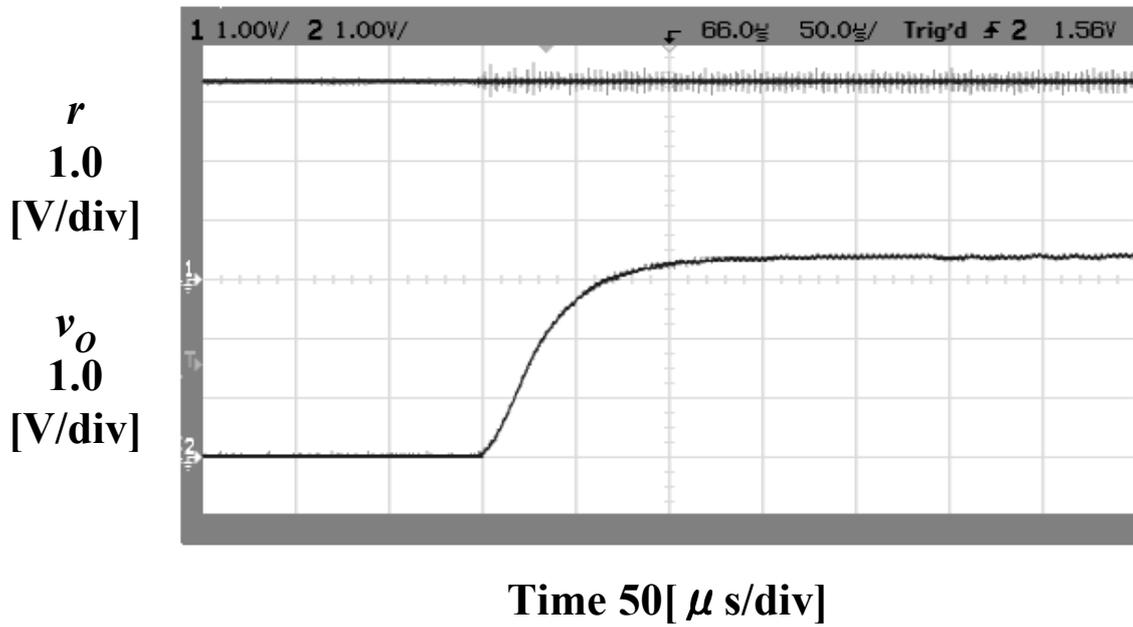


図 4-18. スタートアップ応答実験結果 (V_i 58V、 R_L 0.33 Ω 、 C_L 0 μ F)

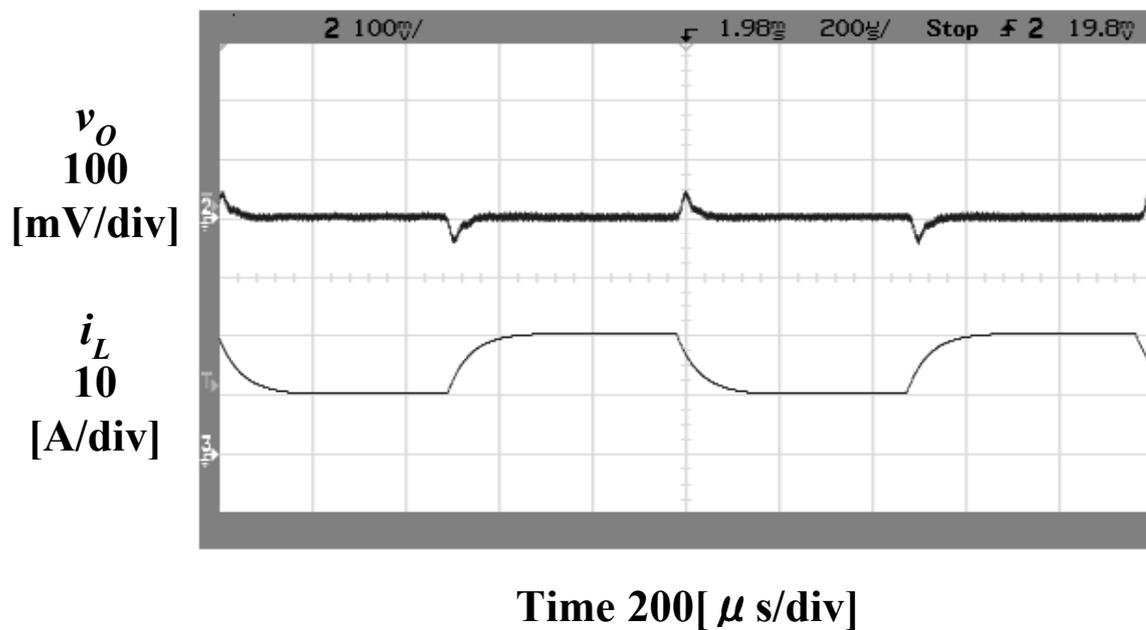


図 4-19. 抵抗負荷急変時応答実験結果 (V_i 48V、 R_L 0.33 $\Omega \Leftrightarrow$ 0.165 Ω 、 C_L 0 μ F)

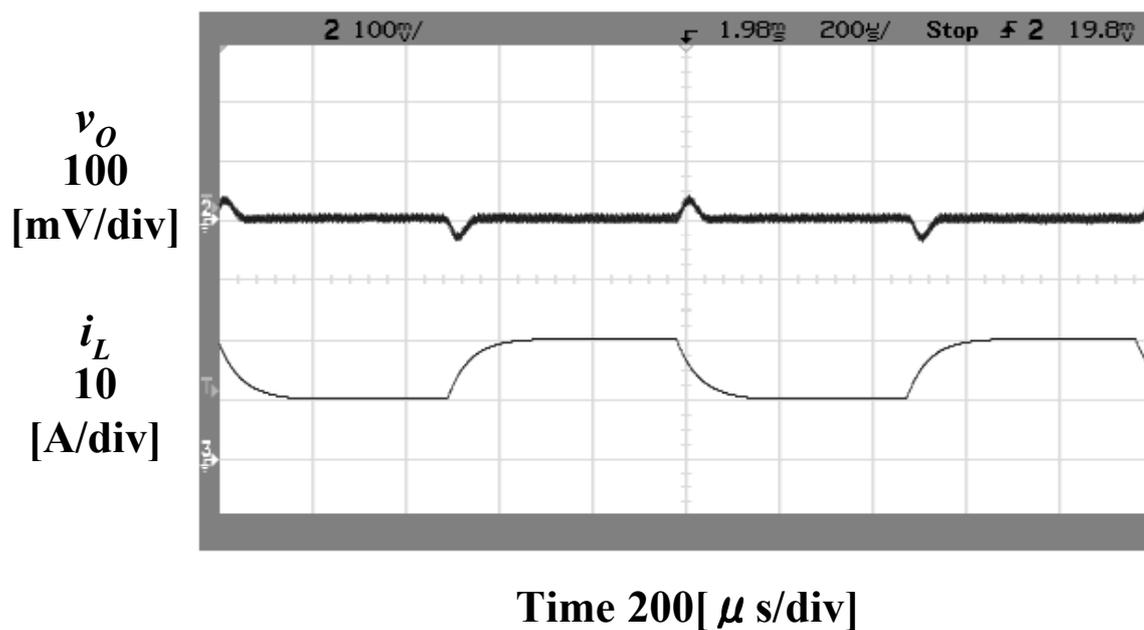


図 4-20. 抵抗負荷急変時応答実験結果 (V_i 48V、 R_L $0.33\ \Omega \Leftrightarrow 0.165\ \Omega$ 、 C_L $200\ \mu$ F)

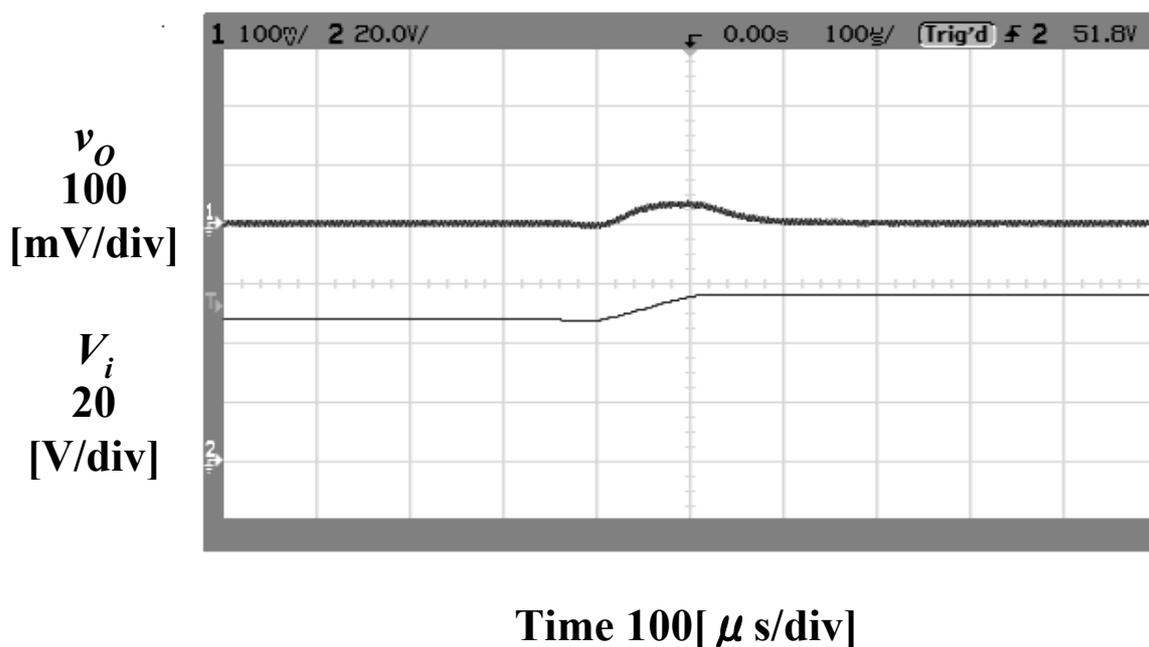


図 4-21. 入力電圧急変時応答実験結果 (V_i $48\text{V} \rightarrow 58\text{V}$ 、 R_L $0.33\ \Omega$ 、 C_L $0\ \mu$ F)

特性が得られ、オーバーシュートは 50mV 以下であった。他の条件でも、シミュレーションと同様の結果が得られた。また、第 3 章で述べた二次近似モデルと比べても同等の結果が得られた。以上より、全ての仕様を満たすことが確認された。

4.6 あとがき

本章では、一次モデルによる近似的 2 自由度デジタル積分形制御について述べた。第 2 節では一次モデルを近似的に実現する 2 自由度デジタル制御器の構築について述べた。3.4 節で与えられたモデルマッチングシステムに逆システムとフィルタを結合してロバスト制御系を構築した。このロバスト制御系は積分制御系を用いた構成に置き換えることができることを示した。

第 3 節では制御器のパラメータの決定法について述べた。 $Q \rightarrow y$ の伝達関数を低感度にするパラメータ k_z を大きくすると、制御器の代表根 H_1 以外の極が代表根に近づき、近似度が悪くなる恐れがある。そこで、モデルマッチング制御系以外の極と k_z を指定し、それを満たす制御器のパラメータを導くようにした。本決定法を用い、第 3.3 節で与えられた仕様を満たす制御器を第 4 節で設計した。結果、3.8 節で示した文献[33]の設計法の場合に比べ、 $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間は共に高い近似度が得られ、第 3 章で設計された二次近似モデルの場合と比べてもより低感度となった。

第 5 節ではスタートアップ特性と抵抗負荷急変時出力電圧応答、及び入力電圧急変時出力電圧応答をシミュレーションと実験による検証を行った。第 4 節で設計されたデジタルロバスト制御器は DSP (TMSLF2401A T.I.社製) に搭載され、DC-DC コンバータを制御している。シミュレーションと実験結果はよく一致しており、負荷条件や入力電圧条件を変えてもその特性はほとんど変化せず、ロバストであった。また与えられた仕様を満足していることが確認された。また、第 3 章で設計された二次近似モデルと同等の結果が得られた。一次近似モデルの方が制御アルゴリズムも簡単であるため、DSP のプログラム量も少なくなる。今回の仕様においては一次近似モデルで達成できたが、二次近似モデルは近似度を容易に上げることができ、更なる近似度の改善が期待できる。今後は、制御系の次数を別の手法で効果的に増やし、より良い制御特性を得る制御系の研究が望まれると考える。

第 5 章

パルス合成技術を用いたデジタル PWM 分解能の改善

5.1 まえがき

第 3 章、第 4 章では、入力電圧や負荷抵抗、負荷コンデンサの変動に対しロバストな特性を持つ制御器として近似的 2 自由度制御器を提案した。これは以前に提案された DC-AC コンバータの近似的 2 自由度デジタル積分形制御器の設計法よりも高い近似度が得られ、DC-DC コンバータに必要なスタートアップ仕様、負荷抵抗急変や入力電圧急変の出力電圧応答仕様を達成することができた。これらの性能をさらに向上するには、スイッチング周波数をさらに高周波化する必要がある。2.5 節で述べたように、デジタル PWM ジェネレータの PWM 信号はクロック周期で刻まれるため、分解能をもつ。クロック周期を 25ns とした場合、スイッチング周波数 400kHz における分解能は 2.8%以上となり、非常に悪い特性となる。この分解能は、スイッチング周波数が高くなるほど悪化するため、高速応答における重要な課題である。これらの問題に対し、デジタルディザや $\Delta \Sigma$ 変調を用いたデジタル PWM が検討されている[34],[35]。デジタルディザや $\Delta \Sigma$ 変調の方式は、数スイッチング周期の平均で高分解能なデジタル PWM を実現する方式であり、低周波ディザパターンによってスイッチング周波数より低い周波数のリップルが出力に重畳してしまう。CPU 等の負荷装置に用いられる DC-DC コンバータの出力電圧は、出力ノイズ及び負荷急変応答、入力急変応答等を含め、全体で数%の範囲内に入る必要がある。このため、デジタル化によるリップルノイズはなるべく小さい方がよい。本論文では、パルスを合成する技術を用いて、デジタル PWM の分解能を大幅に改善できる方法を提案する。本方式は、毎スイッチング周期において A-D コンバータ分解能よりも良いデジタル PWM 分解能が得られるのでデジタル化によるリップルノイズが発生しない。また実現に必要な演算も簡単であるため、必要となるメモリ量、プログラムも僅かである。

本章では、まず分解能の問題を解決する方法の原理について説明し、設計手法について述べる。その結果、本改善システムは従来の 2 個のデジタル PWM ジェネレータと数個の部品で実現可能であり、短い演算で実行できることを示す。最後に、本改善法をデジタル PWM ジェネレータが数個内蔵されている DSP に適用して実験機を設計・製作し、実験によって有用性を検証する。

5.2 分解能改善の原理

5.2.1 分解能改善の糸口

分解能改善の最も簡単な方法は、 T_{clk} を短くすることである。しかしながら、 T_{clk} を非常に短くするのはハードウェア的に容易ではない。そこで T_{clk} に依存せずに、分解能を改善する方法を考案する。第2章図 2-20 より、リセット後の k 番目のカウンタ値 $C_v(k)$ は、

$$C_v(k) = -C_m + k \quad (5.1)$$

となり、操作量 u が、 $C_v(k) \leq u < C_v(k+1)$ の範囲において、 $u = C_v(k)$ の整数値となる。よって、図 2-20 の $u = u_1$ の時と $u = u_2$ の時の T_{on} は同じ値になる。つまり、操作量 u の小数部が切り捨てられ、 $C_v(k) \leq u < C_v(k+1)$ の間 T_{on} が変化せず、分解能は上がらない。そこで、この間に小数部を切り捨てずに T_{on} を変化させるようにすればよい。図 5-1 のように、抵抗 R_m 、コンデンサ C 、ダイオード D 、スレッシュホールド電圧 V_{th} を備えたドライバ IC を接続した回路について考える。パルス Pm の high 電圧を V_m とすると図 5-1 の回路の状態方程式は次式となる

$$\frac{dv_C}{dt} = -\frac{1}{R_m C} v_C + \frac{1}{R_m C} V_m \quad (5.2)$$

図 5-2 は図 5-1 の回路の動作波形である。まず、パルス Pm が high になると、 R_m と C による遅れ回路の効果により、時間 T_d だけ遅れた後にドライバ IC の出力 Pout が high になる。この遅れ時間 T_d は次式となる。

$$T_d = R_m C \ln \left(\frac{V_{Cl} - V_m}{V_{th} - V_m} \right) \quad (5.3)$$

図 5-2 において、遅れ時間 T_d は電圧 v_C の初期値 V_{Cl} が 0 の時、 $T_d = T_{clk}$ とする。式(5.3)より、 T_d は V_{Cl} が大きくなるほど小さくなり、 $V_{Cl} = V_{th}$ 時に $T_d = 0$ になる。よって、電圧 v_C の初期値 V_{Cl} を変えることで、 T_d は $0 \leq T_d \leq T_{clk}$ の範囲で制御可能であり、 V_{Cl} を細かい刻み幅で可変できれば、 T_d も細かい幅で可変できるので、より高い分解能を実現できることになる。従って、分解能を改善するには PWM パルスに T_{clk} に等しい遅れ時間を設け、その遅れ時間を操作量 u の従来切り捨てられていた部分、即ち小数部を用いて適切に制御すればよい。2 個のデジタル PWM と僅かな個数の部品を用いてこの改善方法を容易に実現できる手法を提案する。

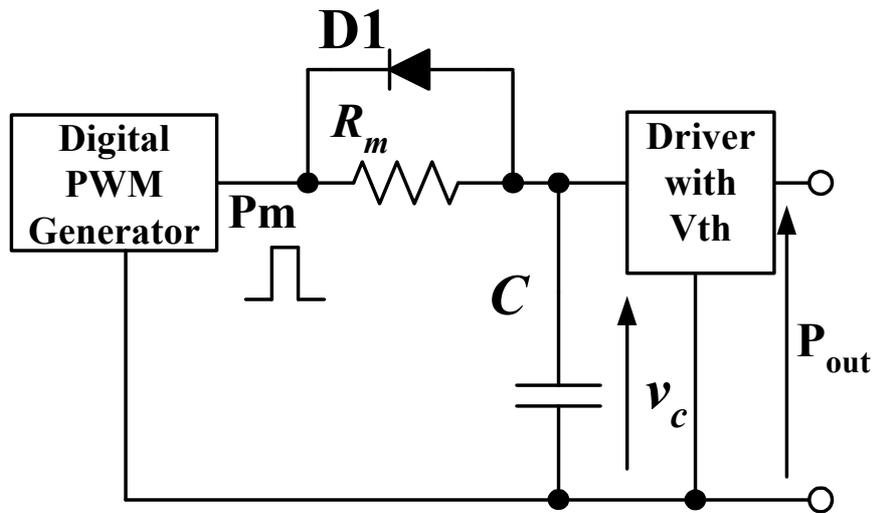


図 5-1. 分解能改善原理の基本回路

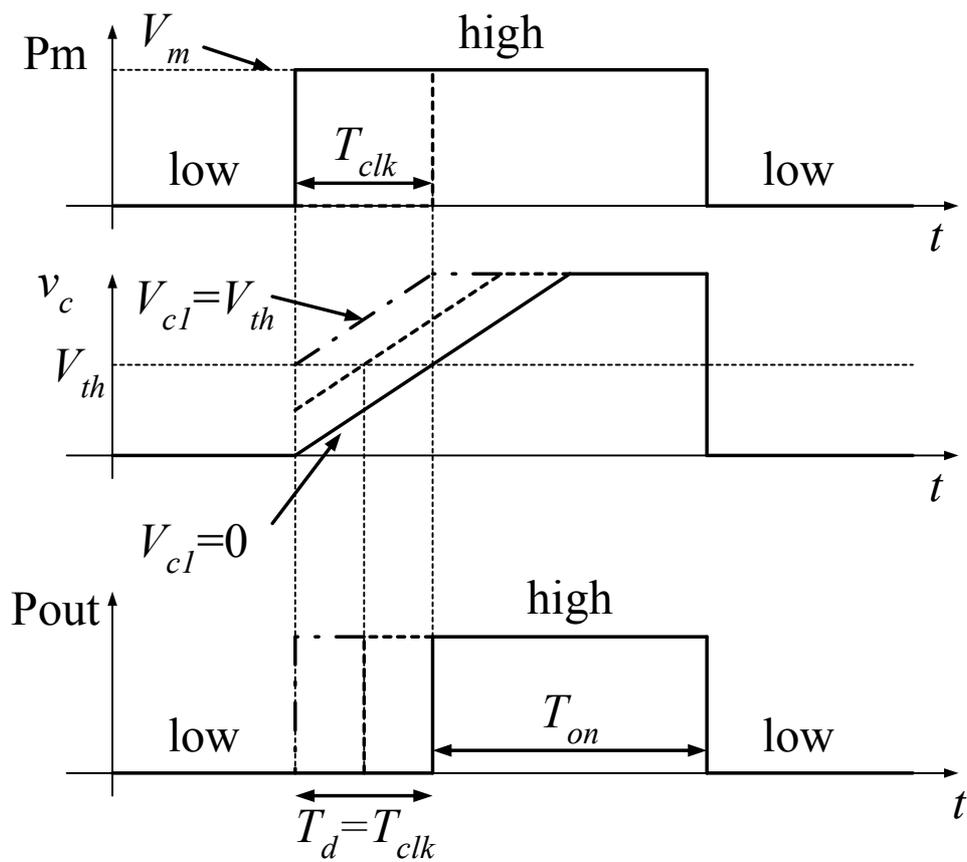


図 5-2. 分解能改善原理の基本波形

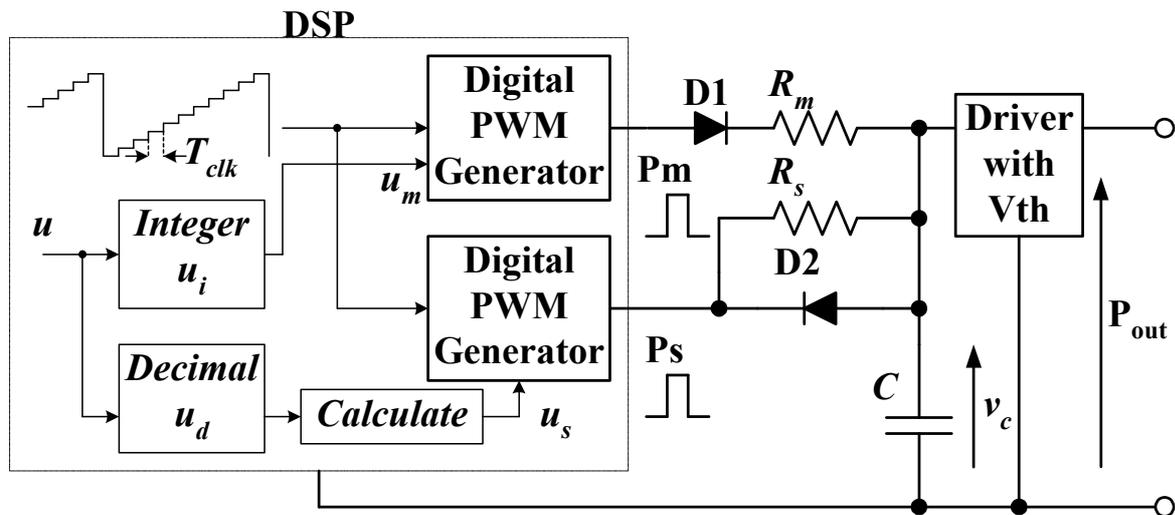


図 5-3. パルス合成回路

5.2.2 パルス合成回路の原理

図 5-3 にパルス合成回路を示す。図 5-3 において、 P_m の操作量 u_m は、操作量 u の整数部 u_i で決定される。この P_m にダイオード $D1$ 及び R_m と C による遅れ回路を接続し、これにスレッシュホールド電圧 V_{th} を持つドライバを接続する。これにより P_m が high になってから、DC-DC コンバータの PWM 信号 P_{out} が high になるまでの遅れ時間 T_d が発生する。 P_s は操作量 u の小数部 u_d を適切に演算して得られる u_s により出力されるパルスである。この P_s を用いて P_m が high になった時の電圧 v_c の初期値 V_{Cl} を小さい刻み幅で制御し、その結果 T_d を小さい刻み幅で制御する。図 5-4 にパルス合成回路の動作波形を示す。最初に、小数部パルス P_s が high になり、抵抗 R_s を介して C を充電する。この時、[$D1$: オフ、 $D2$: オフ] であり、この期間を State1 とする。次に、整数部パルス P_m が high になると、 $D1$ 、 R_m を介し C を充電する。この時、[$D1$: オン、 $D2$: オフ] であり、この期間を State2 とする。その後、 v_c がスレッシュホールド電圧 V_{th} 以上になると、 P_{out} が high になる。次に、パルス合成回路を用いた場合の出力電圧分解能 $\Delta V_{O(plspsc)}$ を導出する。各 State の状態方程式は次式となる。

State1:

$$\frac{dv_c}{dt} = -\frac{1}{R_s C} v_c + \frac{1}{R_s C} V_s \quad (5.4)$$

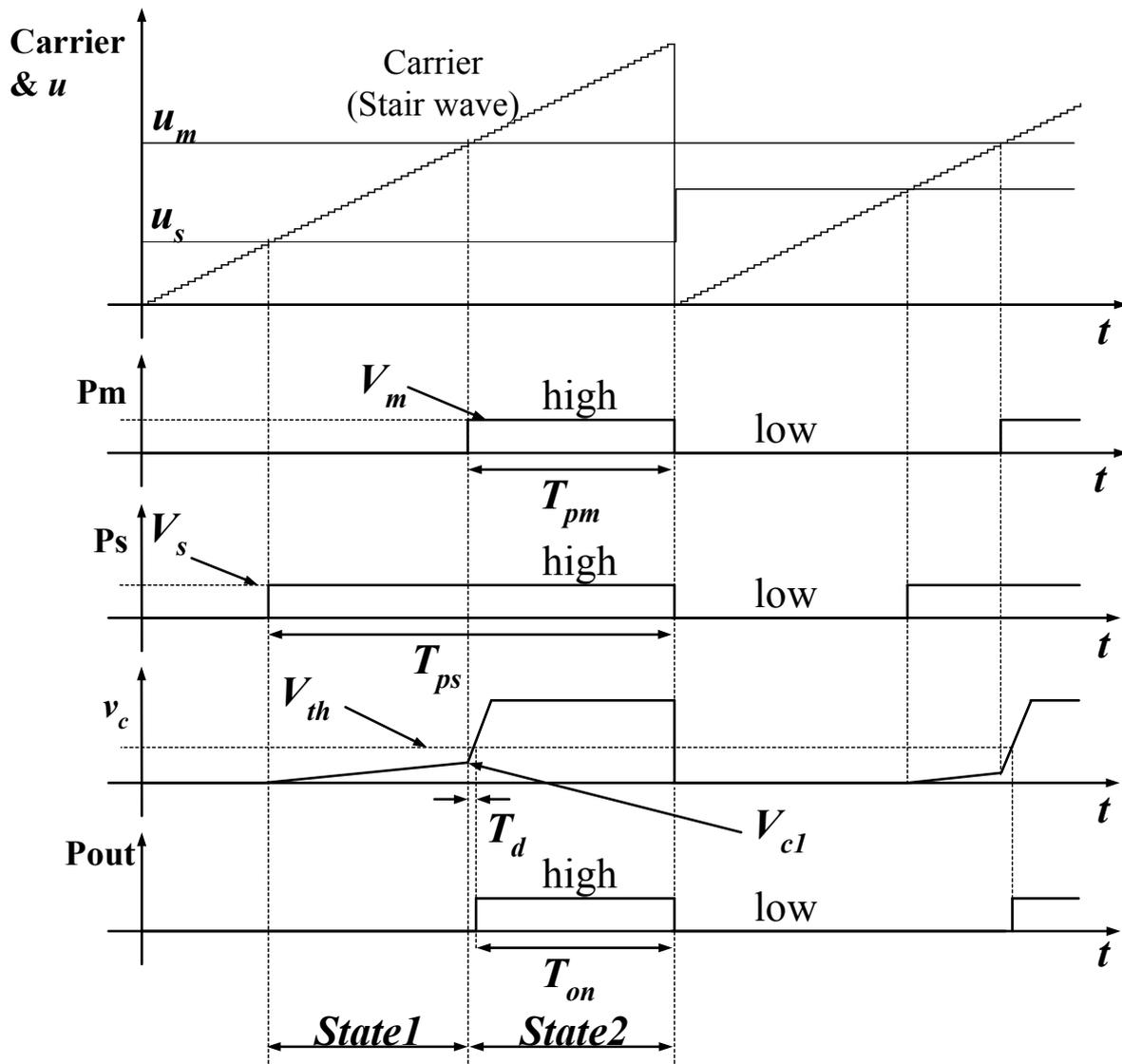


図 5-4. パルス合成回路動作波形

State2:

$$\frac{dv_C}{dt} = -\frac{R_m + R_S}{R_m R_S C} v_C + \frac{R_m V_S + R_S (V_m - V_f)}{R_m R_S C} \quad (5.5)$$

ここで、 V_f はダイオード D1 の順方向電圧降下である。これらの式より、Pm 信号が high になってから v_C が V_{th} に達するまでの時間 T_d は次式となる。

$$T_d = \frac{R_m R_S C}{R_m + R_S} \ln\left(\frac{V_{Cl} - V_x}{V_{th} - V_x}\right) \quad (5.6)$$

ただし

$$V_x = \frac{R_m V_S + R_S (V_m - V_f)}{R_m + R_S} \quad V_{Cl} = V_S \left(1 - e^{-\frac{T_{ps} - T_{pm}}{R_S C}}\right) \quad (5.7)$$

式 (5.6) を $T_{ps} - T_{pm}$ で偏微分すると、次式が得られる。

$$\frac{\partial T_d}{\partial (T_{ps} - T_{pm})} = -\frac{R_m}{R_m + R_S} \frac{V_S - V_{Cl}}{V_{Cl} - V_x} \quad (5.8)$$

ここで、 $T_{ps} - T_{pm} \ll R_S C$ と仮定すると、式(5.8) は次式のように近似できる。

$$\frac{\partial T_d}{\partial (T_{ps} - T_{pm})} \approx -K_t \quad (5.9)$$

ただし、

$$K_t = \frac{R_m V_S}{R_m V_S + R_S (V_m - V_f)} \quad (5.10)$$

従って、 T_d は次式で近似できる。

$$T_d \approx T_{d0} - K_t (T_{ps} - T_{pm}) \quad (5.11)$$

ただし

$$T_{d0} = -\frac{R_m R_S C}{R_m + R_S} \ln\left(\frac{-V_x}{V_{th} - V_x}\right) \quad (5.12)$$

T_{d0} は、 $T_{ps} - T_{pm} = 0$ の時の T_d であり、式(5.6)より求められる。また、図 5-4 より $T_{on} = T_{pm} - T_d$ が得られる。ここで、近似式(5.11) を用いると、 T_{on} は次式となる。

$$T_{on} \approx T_{pm} - T_{d0} + K_t (T_{ps} - T_{pm}) \quad (5.13)$$

パルス合成回路は、State2 の v_C の初期値 V_{Cl} を細かい刻み幅で調節することで、 T_{on} を細かい刻み幅で調節する。この V_{Cl} の調節手段として Ps を用いることから、 T_{on} の刻み幅は Ps の時間刻み幅 ΔT_{ps} で決定される。 T_{ps} は T_{clk} 刻みであるため、 T_{on} は $K_t T_{clk}$ 刻みとなる。従って、パルス合成回路を用いた場合の出力電圧分解能 $\Delta V_{O(plspc)}$ は式(2.29)の T_{on} を $K_t T_{clk}$ に置き換えることで得られ、次式となる。

$$\Delta V_{O(plspc)} = \frac{K_t T_{clk} V_i N_S}{T_S N_P \left(1 + \frac{R_O}{R_L}\right)} \quad (5.14)$$

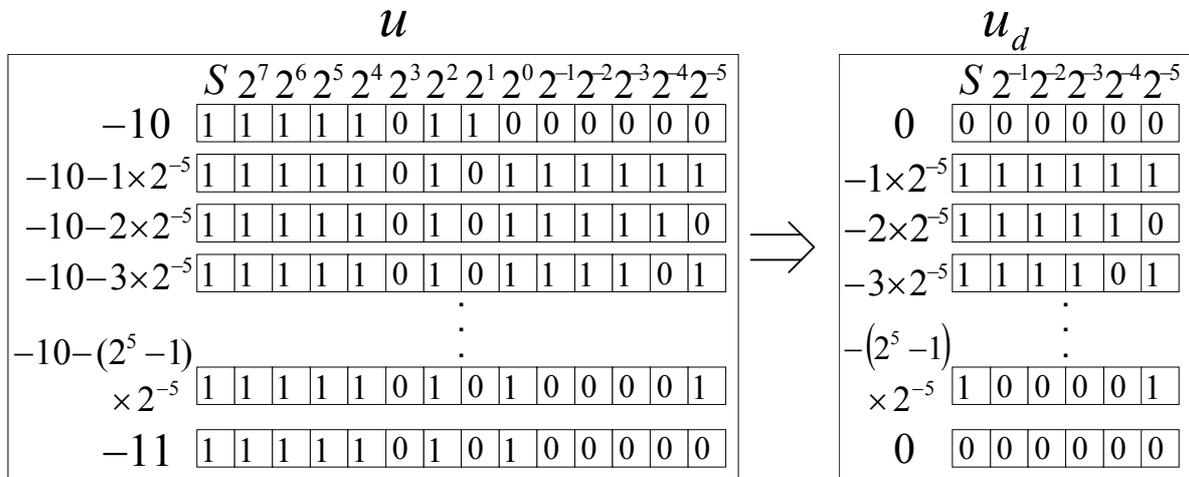


図 5-5. 操作量小数部 u_d

よって、 K_t を小さくすることにより、分解能が改善できる。また、式(2.31) と式(5.14) を比較すると $\Delta V_{O(pls)} = K_t \Delta V_{O(pls)}$ となる。従って、 K_t は分解能の増幅率である。

5.3 操作量の決定法

図 5-3 において u は PI 制御器等のデジタル制御器によって決定される操作量である。また操作量 u は固定小数点であり、整数部を u_i 従来切り捨てられていた小数部を u_d とし、小数部のビット数を m とする。 u_d は、 $u_d = u - u_i$ を計算することで容易に得ることができ、 $m=5$ の場合、 $u=-10$ から -11 までの値は図 5-5 のようになる。同図において、 S は符号ビットである。同図より、 u_d は 2^{-m} 刻みの値であり、

$$u_d = -j2^{-m} \quad (5.15)$$

となる。ここで、 j は、 $0 \leq j \leq 2^m - 1$ の範囲の整数である。図 2-20 のカウント法と図 5-4 より、 T_{pm} 、 T_{ps} と u_m 、 u_s の関係は次式となる。

$$T_{pm} = -u_m T_{clk} \quad (5.16)$$

$$T_{ps} = -u_s T_{clk} \quad (5.17)$$

操作量 u と T_{on} の関係を線形とし、次式のように指定する。

$$T_{on} = -u T_{clk} - T_{d0} \quad (5.18)$$

ここで、 $u = u_i + u_d$ であり、また図 5-3 より $u_i = u_m$ である。これらを式(5.18) に代入すると次式が得られる。

$$T_{on} = T_{pm} - T_{d0} - u_d T_{clk} \quad (5.19)$$

式(5.19)の右辺と、式(5.13)の右辺は等しいとし、式(5.15)と式(5.16)と式(5.17)を用いると u_s が次式のように求まる。

$$u_s = u_m + \frac{1}{K_t} (-j2^{-m}) \quad (5.20)$$

u_s はもう一個のデジタル PWM ジェネレータの操作量であり、これが切り捨てられないようにするには、 u_s が常に整数値となるよう

$$\frac{1}{K_t} 2^{-m} = 1 \quad (5.21)$$

と設定すればよい。よって

$$K_t = 2^{-m} \quad (5.22)$$

となる。これより、分解能の増幅率 K_t を小さくするには、 m を大きくすればよい。式(5.22)を式(5.20)に代入すると、次式が得られる。

$$u_s = u_m - j \quad (5.23)$$

よって、 u_s は必ず整数値をとる。これは DSP の僅かな演算処理で得ることができる。図 5-6 に式(5.23)の u_s を用いて P_s を操作した場合の P_{out} を示す。 $u_d = 0 (j=0)$ の時は $u_s = u_m$ となり、 $T_{ps} = T_{pm}$ となる。よって式(5.13) より $T_{on} = T_{pm} - T_{d0}$ となる。 $u_d = -2^{-m} (j=1)$ に減少すると、 $u_s = u_m - 1$ となり、 $T_{ps} = T_{pm} + T_{clk}$ となる。この時、 $T_{on} = T_{pm} - T_{d0} + K_t T_{clk}$ となる。この後も、 u_d が 2^{-m} 減少するごとに T_{on} は $K_t T_{clk}$ ずつ大きくなる。 u_d は最小で $-1 + 2^{-m} (j = 2^m - 1)$ である。この時 $T_{ps} = T_{pm} + (1/K_t - 1) T_{clk}$ となり、 $T_{on} = T_{pm} - T_{d0} + (1 - K_t) T_{clk}$ となる。図 5-7 に操作量 u とオン時間 T_{on} の関係を示す。同図は、 $m = 2$ として本節の決定法から u_s を導き、これと式(5.16)と式(5.17)を式(5.13) に代入して求めている。また、 $T_{clk} = 25\text{ns}$ とし、 $T_{d0} = T_{clk}$ としている。 $K_t = 2^{-2} = 1/4$ の時は式(5.22) を満たすため、操作量 u と T_{on} の関係は線形になる。これに対し、 $K_t = 1/4 \times 2$ 及び $K_t = 1/4 \times 1/2$ と、 K_t が 2 倍及び 1/2 と変化した時は、式(5.22) を満たさないで非線形となり、 T_{on} の分解能が粗くなる。このように、 K_t の値が式(5.22) を満たさないで分解能の改善効果が低減するので、 K_t のバラツキや変動は十分小さくする必要がある。

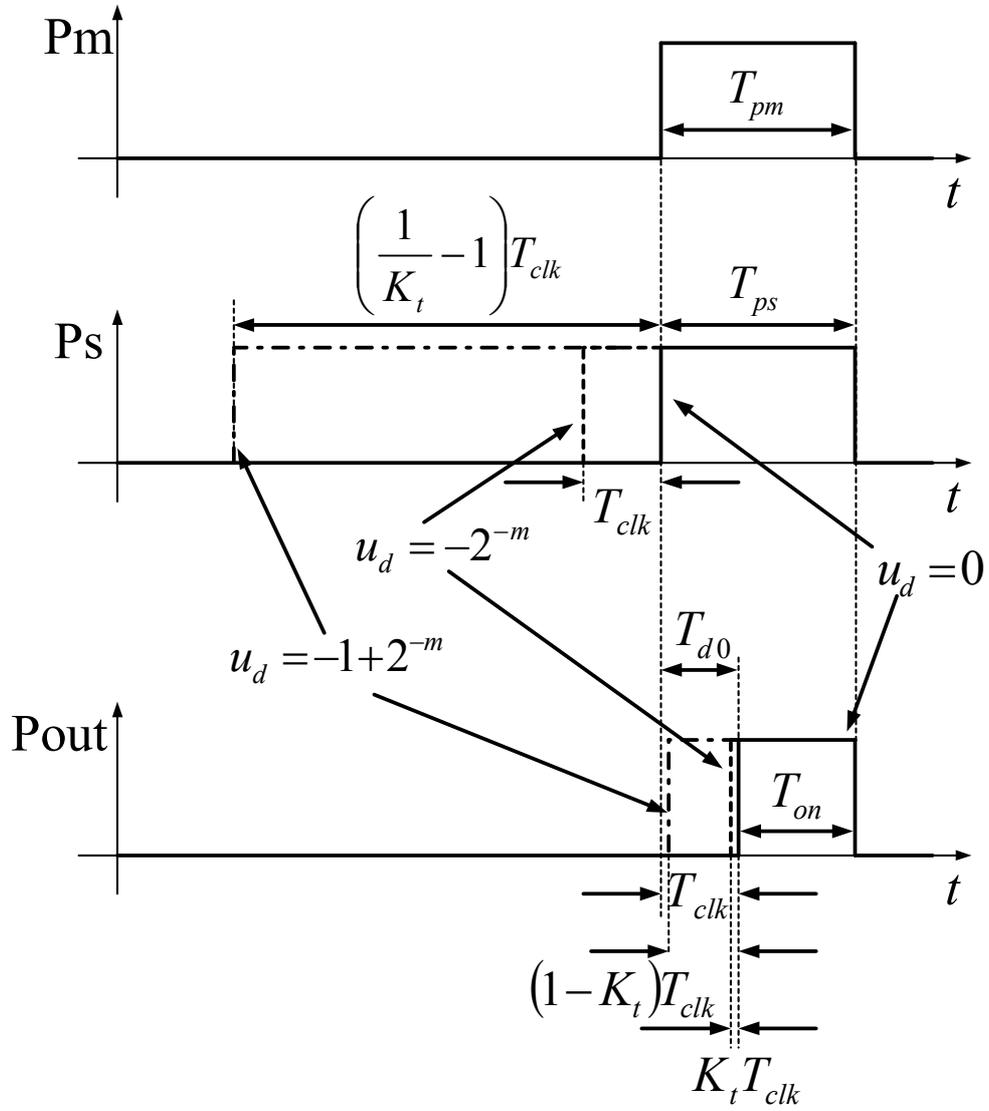


図 5-6. パルス P_s 、 P_{out} の動作波形

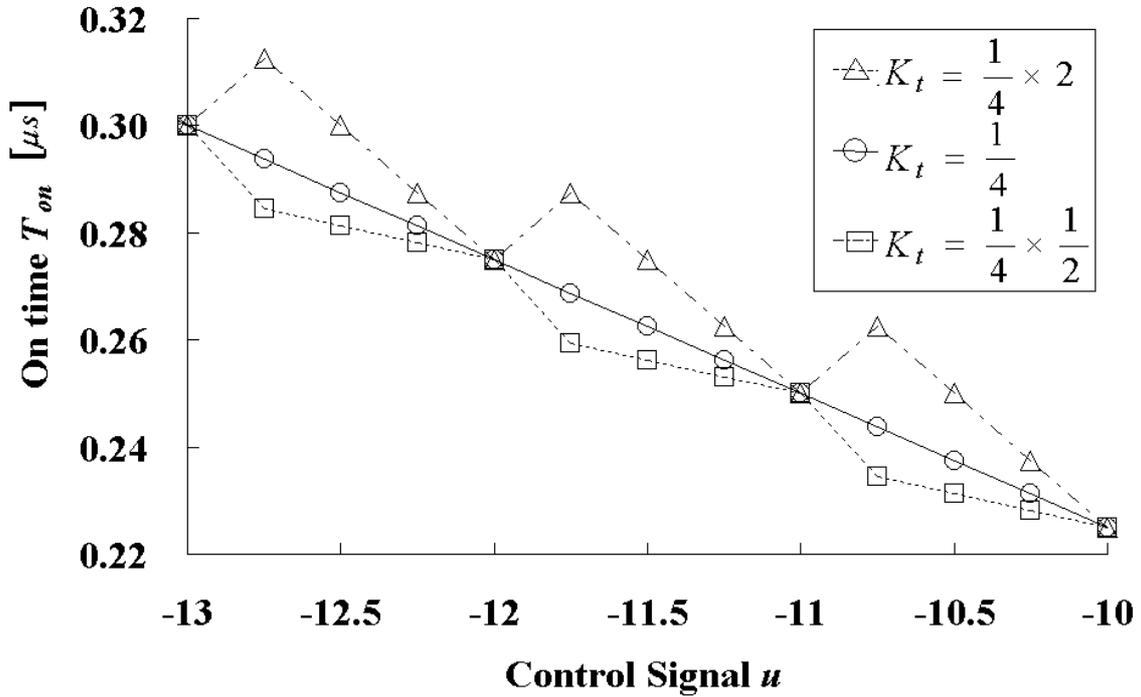


図 5-7. $m=2$ の時の操作量 u とオン時間 T_{on} の関係

5.4 分解能改善の限界

分解能は、操作量小数部のビット数 m を大きくしパルス合成回路の分解能増幅率 K_t を小さくすることによって改善できる。しかしながら、図 5-6 に示すように、 K_t を小さくすると、 T_{ps} の最大値 $T_{ps(max)}$ が大きくなってしまふ。パルス合成回路が正しく動作するには、 $T_{ps(max)}$ はスイッチング周期 T_S よりも短い必要があるため、分解能の改善には次式によって決まる限界がある。

$$T_{pm(max)} + (2^m - 1)T_{clk} < T_S \quad (5.24)$$

ここで $T_{pm(max)} T_S \approx D_{max}$ とすると、操作量小数部のビット数 m は次式で制限される。

$$m = [m_1] \quad (5.25)$$

ただし

$$m_1 < \log_2 \left[(1 - D_{max}) \frac{T_S}{T_{clk}} + 1 \right]$$

$[m_1]$ はガウスの記号であり、 m_1 の小数部を切り捨てた値が実現可能なビット数 m である。

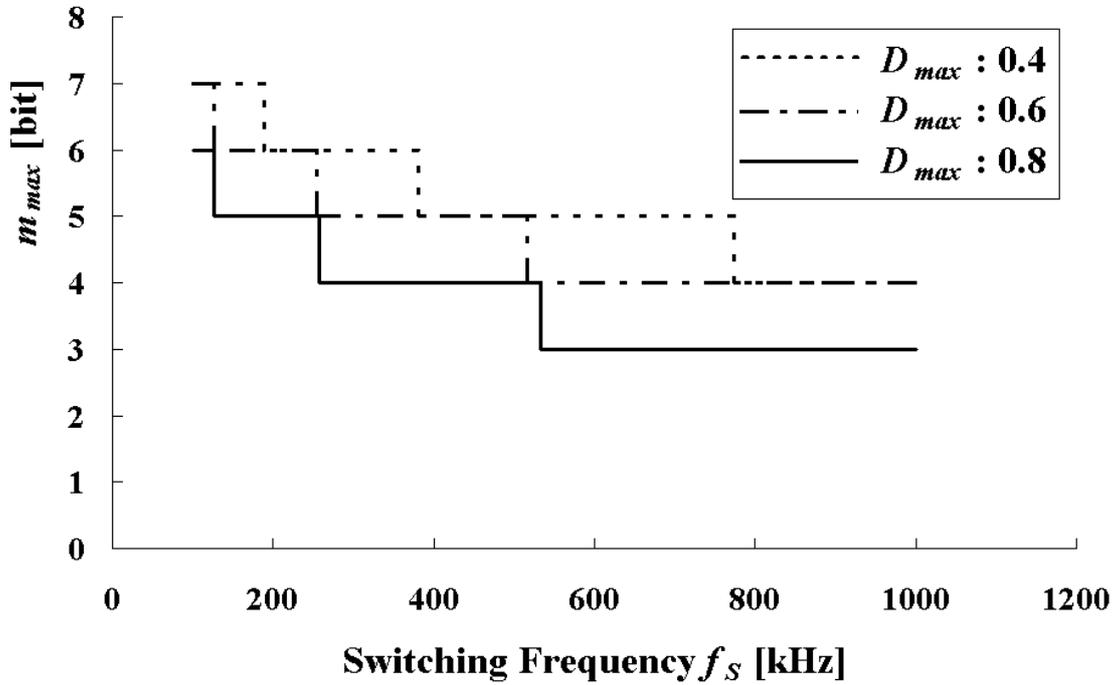


図 5-8. 最大ビット数 m_{max} の特性

式(5.25) を用い、 $f_s = 1/T_S$ を変化させた時の実現可能なビット数 m の最大値 m_{max} を導出した結果を図 5-8 に示す。同図において、 $T_{clk} = 25\text{ns}$ としている。これより、スイッチング周波数 f_s を高くし、最大デューティ D_{max} を大きくするほど、操作量小数部の最大ビット数 m_{max} が低下することが分かる。操作量小数部のビット数 m はこの値以下であれば実現できる。

5.5 A-D コンバータの分解能との関係

A-D コンバータの分解能 $\Delta V_{O(adc)}$ は次式となる。

$$\Delta V_{O(adc)} = \frac{V_{adc}}{2^n - 1} \quad (5.26)$$

ここで、 V_{adc} は A-D コンバータが変換できる最大電圧値であり、 n は A-D コンバータの

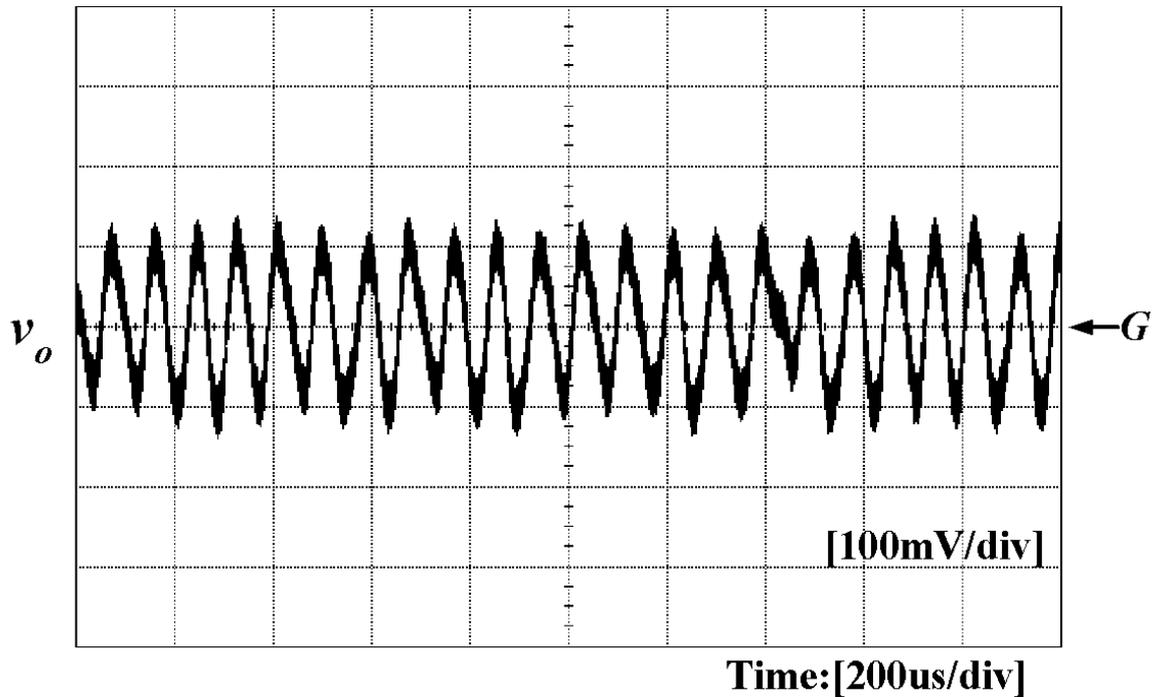


図 5-9. 定常時出力電圧応答

ビット数である。 $\Delta V_{O(adc)}$ は、 $n=10\text{bit}$ で $V_{adc}=5\text{V}$ とすると $\Delta V_{O(adc)}=4.88\text{mV}$ となり、これはデジタル PWM の分解能 $\Delta V_{O(pls)}=92.6\text{mV}$ よりも非常に良い。図 2-1 において、分解能改善回路がないとき(A-D コンバータの分解能を $\Delta V_{O(adc)}=4.88\text{mV}$ 、デジタル PWM の分解能を $\Delta V_{O(pls)}=92.6\text{mV}$)の定常時定出力電圧応答の実験結果を図 5-9 に示す。制御器は積分制御器(積分係数 -0.80046)とした。スイッチング周期 $T_s=2.5\mu\text{s}$ であり、サンプリング周期はスイッチング周期の 4 回に 1 回操作量 u を更新するように $10\mu\text{s}$ としている。同図に示すように、 $\Delta V_{O(adc)}$ よりも $\Delta V_{O(pls)}$ が悪いと DC-DC コンバータの出力電圧にリミットサイクルが発生して発振してしまう。この発振現象を簡単に説明するために、出力電圧フィードバック制御の目標値 $V_{ref}(=r)$ を 3.1V から 3.5V まで正弦波状に緩やかに変動させ、その時の出力電圧応答波形を調べた。図 5-10 にシミュレーションのモデルを示す。同図において、DC-DC Converter は式(2.7)で表される状態方程式を離散化したものである。A-D Quantizer は A-D 変換による量子化であり、分解能の値は $\Delta V_{ref(adc)}=\Delta V_{O(adc)}=4.88\text{mV}$ である。DPWM Quantizer はデジタル PWM による量子化であり、分解能の値は $\Delta u_{(pls)}$ である。また、分解能改善をしない場合は、 $\Delta u_{(pls)}=1$ であり、 $m=5$ ビット、 $K_t=1/32$ だけ分解能

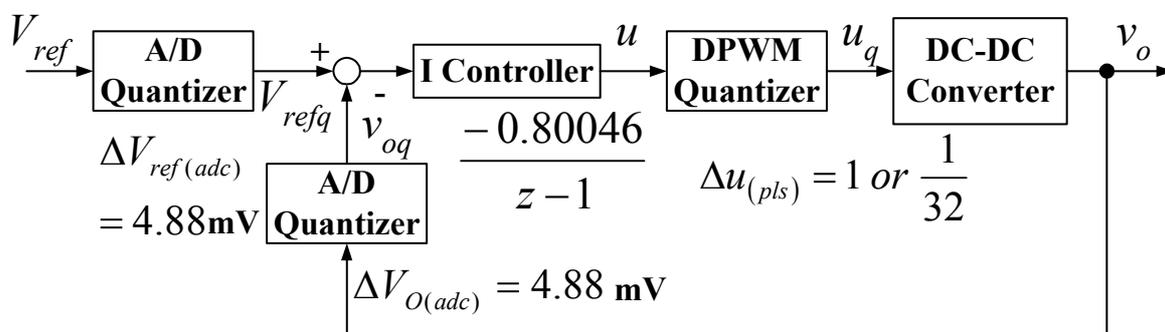


図 5-10. シミュレーションのモデル

が改善した場合は $\Delta u_{(pls)} = 1/32$ となる。図 5-11、図 5-12 に、出力電圧応答シミュレーション結果を示す。同図において、 V_{ref} の変動周期は 50ms としている。図 14 は $\Delta u_{(pls)} = 1$ の場合でありこの時 $\Delta V_{O(pls)} = 92.6\text{mV}$ 、図 15 は $\Delta u_{(pls)} = 1/32$ の場合でありこの時 $\Delta V_{O(pls)} = 2.89\text{mV}$ となる。また同図において、(a) は出力電圧制御の目標値 V_{ref} であり、(b) は出力電圧 v_o である。(c) はデジタル PWM の量子化後操作量 u_q である。図 5-11 の場合、出力電圧が発振している。発振原因を以下に示す。図 5-10 に示す量子化後目標値 V_{refq} の分解能は $\Delta V_{ref(adc)}$ で決定される。一方、量子化後の出力電圧 v_{Oq} の分解能 $\Delta V_{O(pls)}$ は $\Delta V_{O(adc)}$ と $\Delta V_{O(pls)}$ の大きい方で決定される。定常時の v_{Oq} が V_{refq} と等しくなる場合はリミットサイクルは発生せず、異なる場合は I Controller が動作することによってリミットサイクルが発生する[34]。このため、 $\Delta V_{O(pls)}$ 振幅で断続的に発振している。図 5-12 のようにデジタル PWM の分解能 $\Delta V_{O(pls)}$ が A-D コンバータの分解能 $\Delta V_{O(adc)}$ より細かい場合は、定常時の v_{Oq} が必ず V_{refq} と等しくなるのでリミットサイクルは発生しない。また、 $\Delta V_{O(adc)}$ を下げることで発振をしないようにすることが可能であるが、この場合出力電圧の精度が低下してしまう。よって、 $\Delta V_{O(pls)}$ を出来る限り小さくし、 $\Delta V_{O(pls)} \leq \Delta V_{O(adc)}$ の関係で用いるのが望ましい。そこで、この関係を十分に満たすパルス合成回路を設計・製作する。

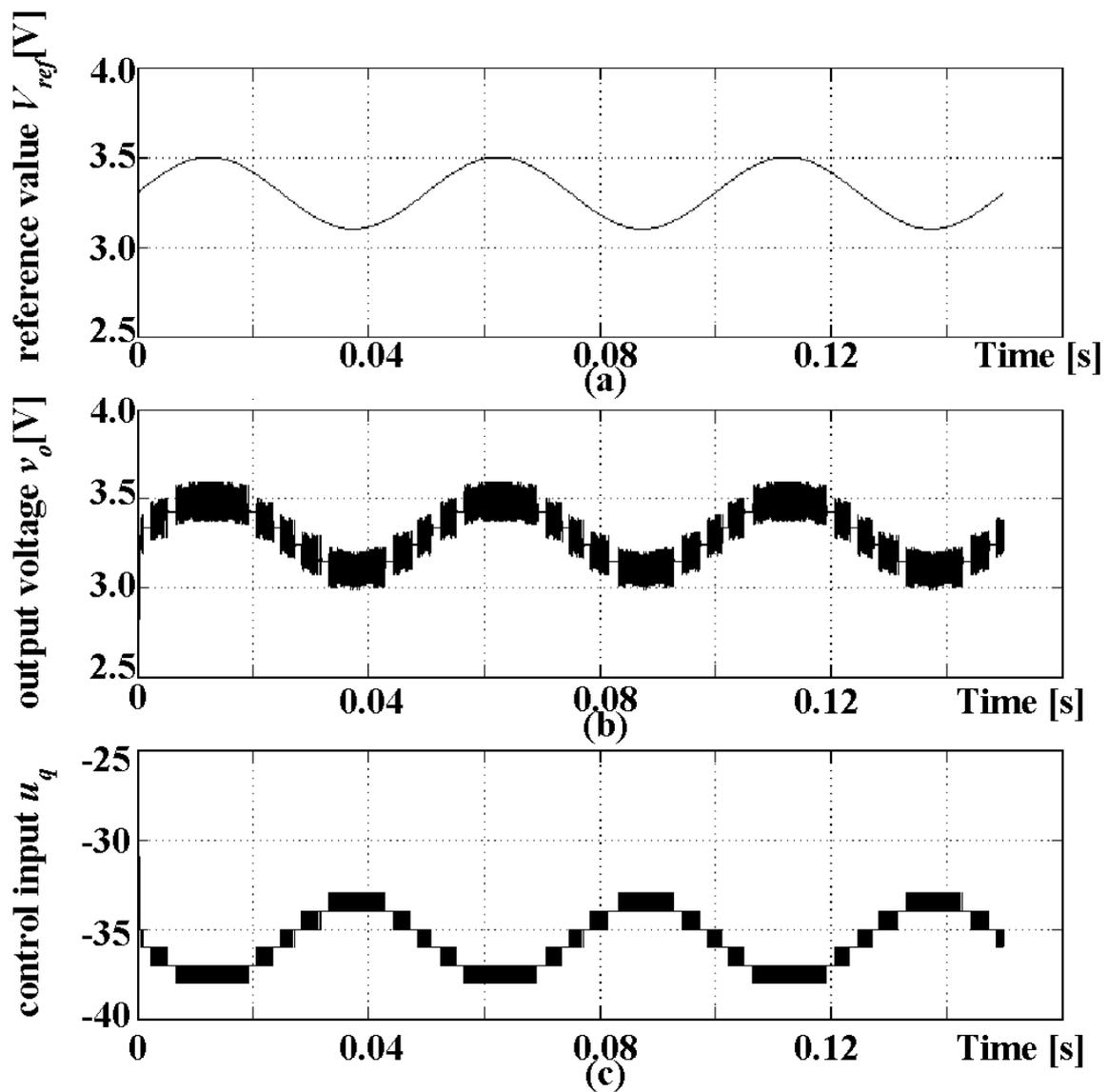


図 5-11. 出力電圧応答シミュレーション

($\Delta u_{(pls)}=1$, $\Delta V_{O(pls)}=92.6\text{mV}$)

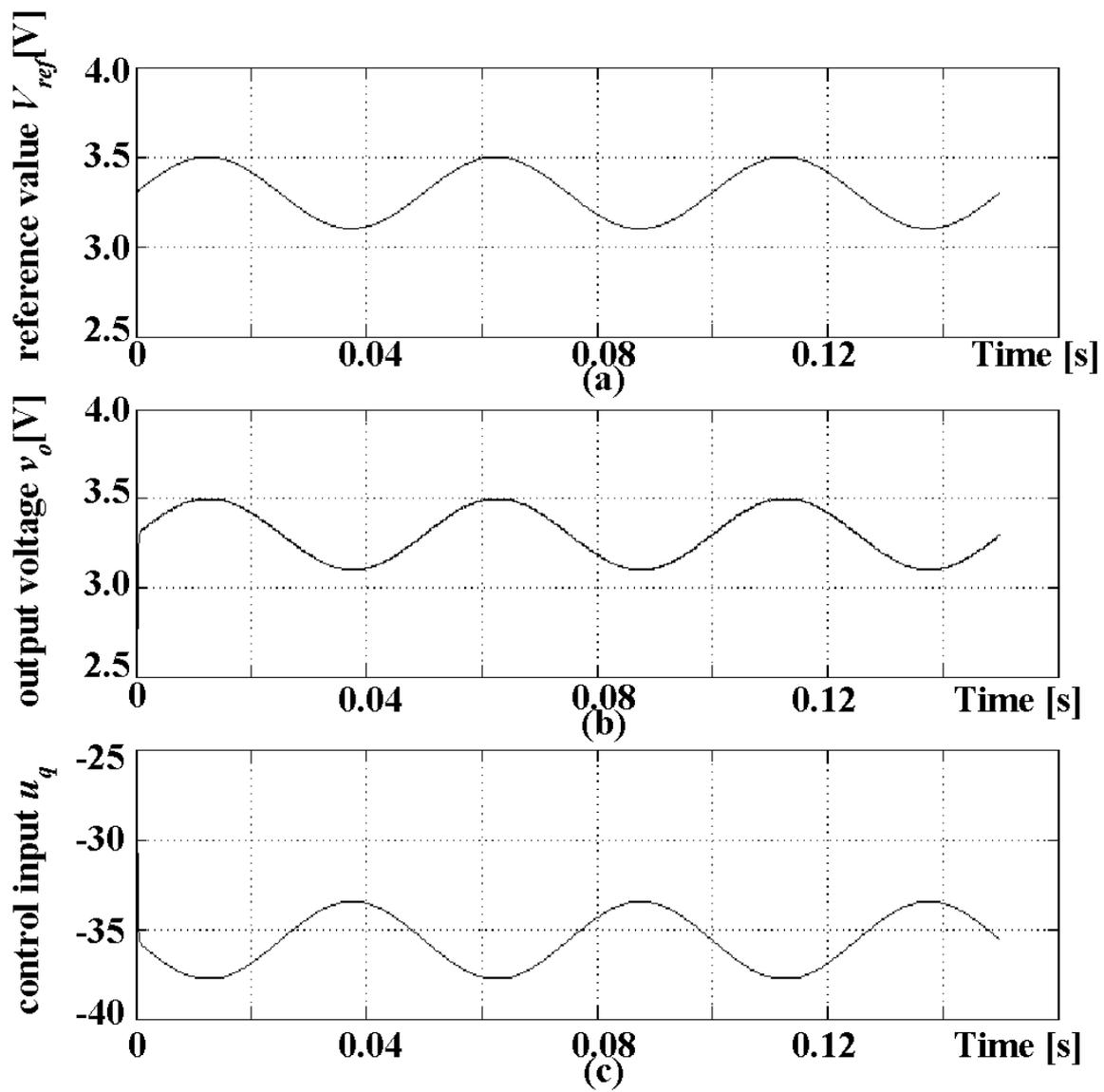


図 5-12。出力電圧応答シミュレーション

$$(\Delta u_{(pls)} = 1/32, \Delta V_{O(pls)} = 2.89\text{mV})$$

表 5-1. DC-DC コンバータ実験機のパラメータ

V_i	48V	T_S	$2.5 \mu s$
V_O	3.3V	T_{clk}	25ns
V_m	3.3V	V_f	0.25V
V_S	3.3V	V_{th}	1.3V

5.6 実験機の設計と実験による検証

5.6.1 実験機の設計

第 2 章の図 2-1 に示す分解能改善システムを搭載した DC-DC コンバータ実験機を設計・製作した。制御対象のパラメータは表 2-2 であり、その他パラメータを表 5-1 に示す。実験機のスイッチング周波数 f_S は 400kHz であり、最大デューティ D_{max} は 0.6 としたので、図 5-8 より小数部ビット数は $m=5$ とする。従って、式(5.22)より、分解能改善回路の増幅率 K_t は 2^{-5} となる。また本回路を正しく動作させるには、遅れ時間 T_d の最大値 T_{d0} が T_{clk} 以上でなければならない。また、抵抗 R_m と R_S の比は、式(5.10) より導くことができる。よって、 R_m 、 R_S 、 C の条件式は

$$C \geq \frac{(R_m + R_S)T_{clk}}{R_m R_S \ln\left(\frac{-V_x}{V_{th} - V_x}\right)} \quad (5.27)$$

$$\frac{R_S}{R_m} \geq \frac{V_S(1 - K_t)}{(V_m - V_f)K_t} \quad (5.28)$$

となる。これより、 $C=470\text{pF}$ 、 $R_m=330\Omega$ 、 $R_S=11\text{k}\Omega$ と設定した。

5.6.2 実験による検証

図 5-13 に電圧 $V_i=48\text{V}$ 、出力電圧 $V_O=3.3\text{V}$ 、負荷電流 $I_O=10\text{A}$ 時の実験機のパルス合成回路動作波形を示す。まず、小数部信号 Ps が high になると、 v_C は緩やかに増加し、整数部信号 Pm が high になると v_C は急峻に増加する。その後、 v_C がスレッショールド電圧 V_{th} に達すると、Pout が high になる。また、Pm と Ps が Low になってから、 v_C がドライバ IC

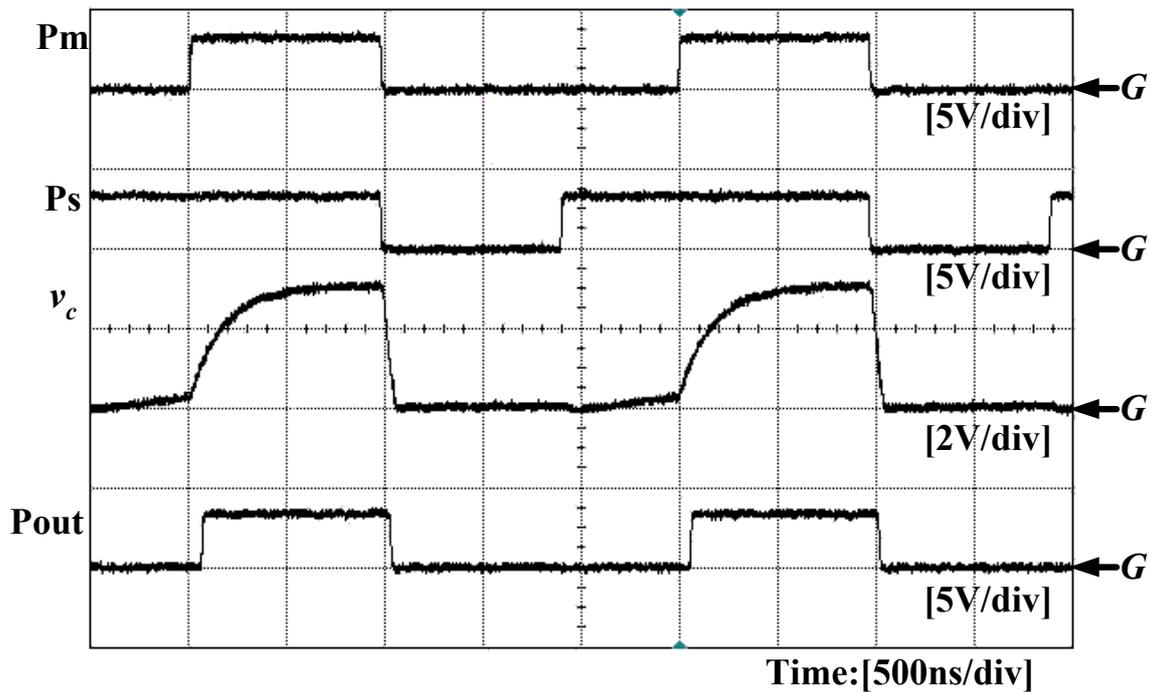


図 5-13. パルス合成回路動作波形

のスレッシュホールド電圧 V_{th} になるまで、遅れ時間が約 50ns 発生している。この遅れ時間は出力電圧の静特性に影響するため、静特性の理論値の導出において、オン時間 T_{on} はこの遅れ時間 50ns を加えたものとなっている。図 5-14 に操作量 u に対する出力電圧静特性の理論値・実験値を示す。同図は入力電圧 $V_i=48V$ 、出力電圧 $V_o=3.3V$ 、負荷電流 $I_o=10A$ 時のデータである。理論値は、前章で述べた設計法を用いて導出しており、分解能の増幅率 $K_t=2^{-5}$ で設計している。従来だと操作量的小数部が切り捨てられていたため、出力電圧 v_o の刻みが 92.6mV であったが、改善後はそれが 32 分割されている。これは分解能を 5 ビット分改善していることになり、この時の出力電圧分解能 $\Delta V_{o(pls)}$ は約 3mV である。これは、10 ビット A-D コンバータ分解能 4.88mV よりも小さいので、十分に小さい値を達成している。また、計算値と実験値の傾きはほぼ等しい結果が得られた。誤差は、50ns とした T_{on} の遅れ時間が数 ns 程度ずれていたものと考えられる。図 19～図 22 に出力電圧応答波形を示す。 V_{ref} は出力電圧目標値であり、3.1V から 3.5V までを 50ms の周期で正弦波状に変動させている。 v_o は出力電圧である。図 5-15 は本提案システムを使用しない場合の応答であり、図 5-16 はその拡大図である。また、図 5-17 は本提案システムを使用した場合の

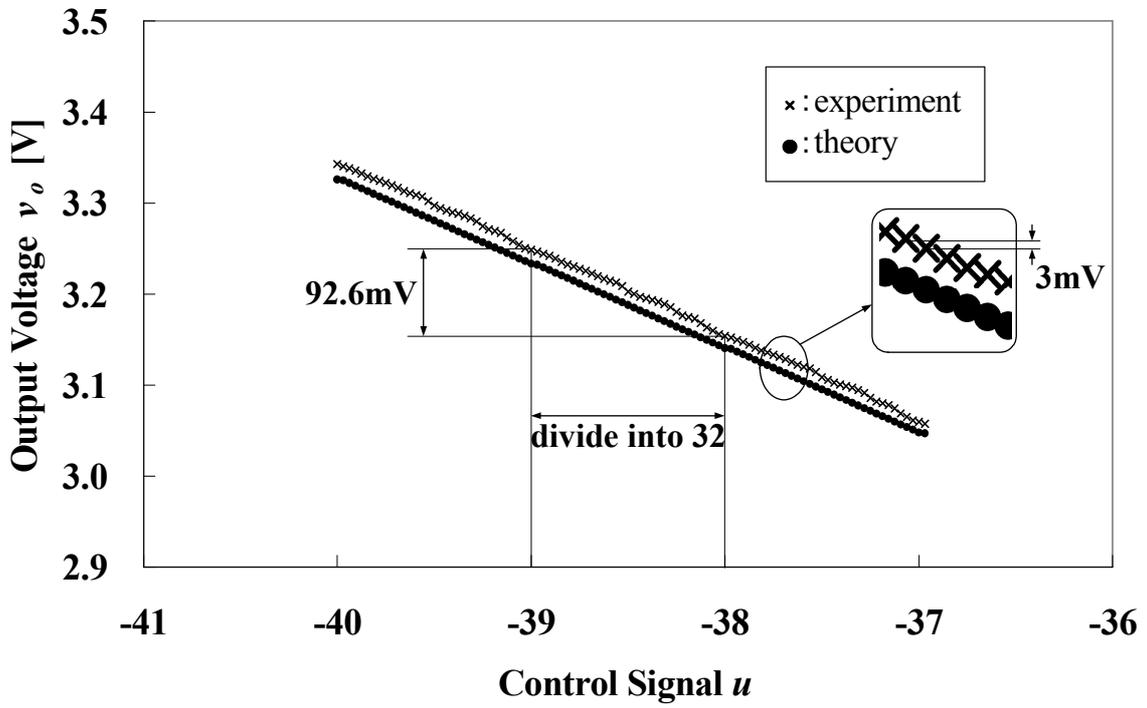


図 5-14. 出力電圧特性

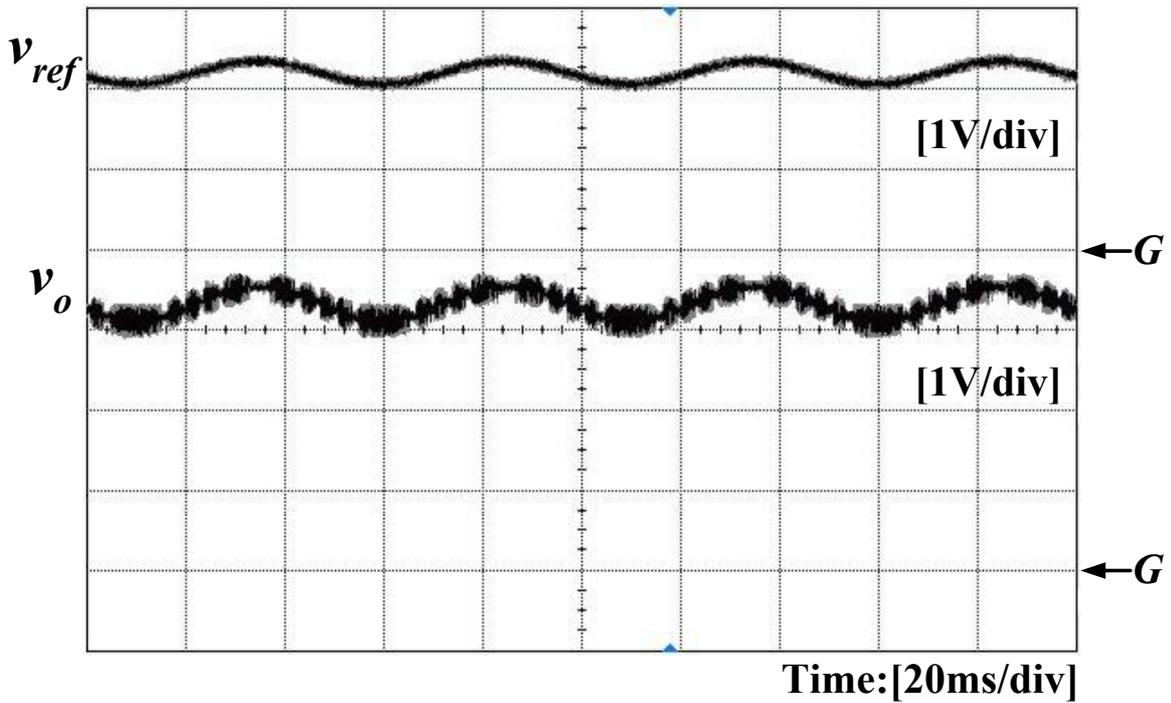


図 5-15. 出力電圧応答 (分解能改善システム無し)

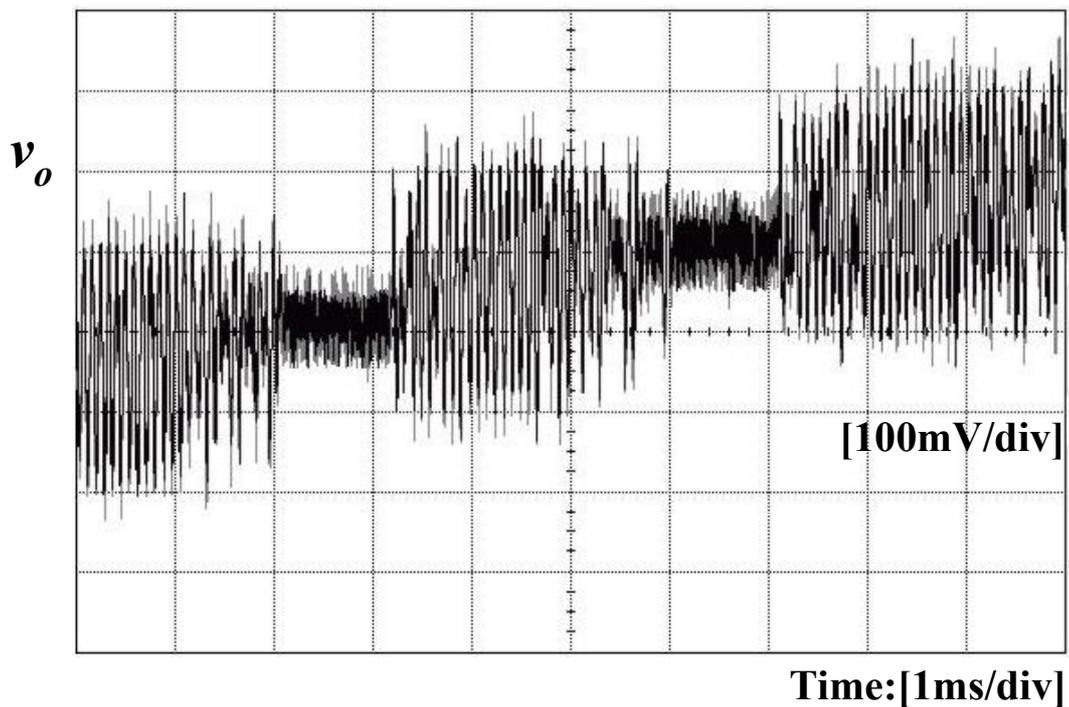


図 5-16. 出力電圧応答 (図 5-15 の拡大)

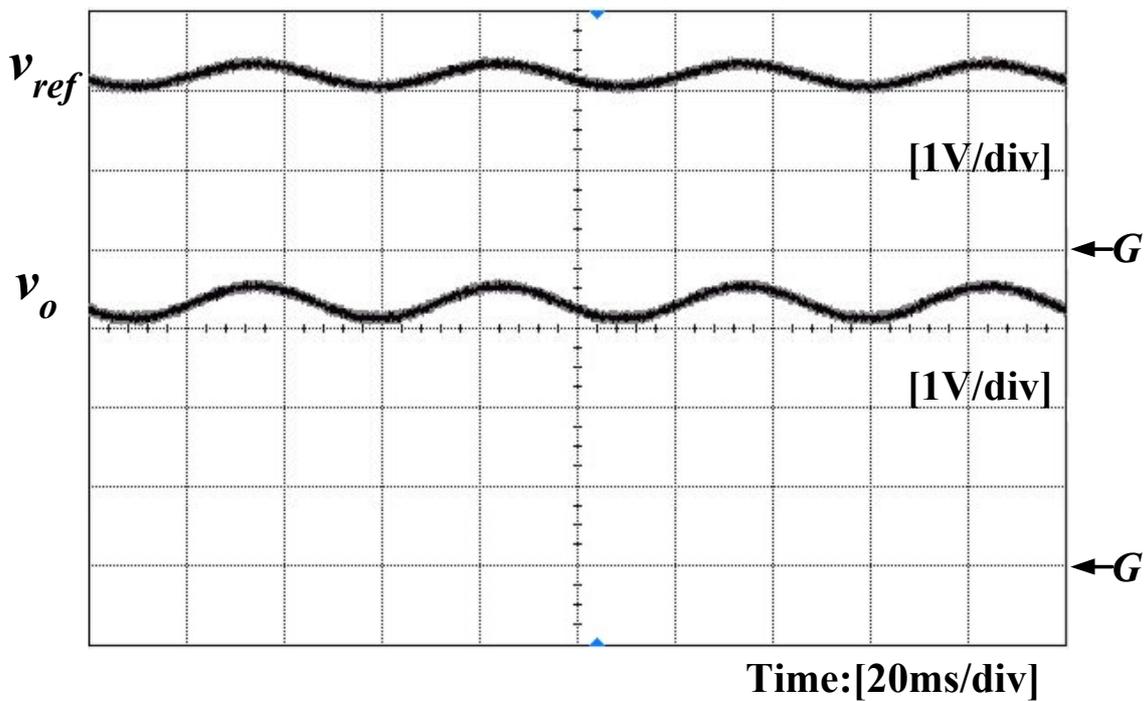


図 5-17. 出力電圧応答 (分解能改善システム搭載)

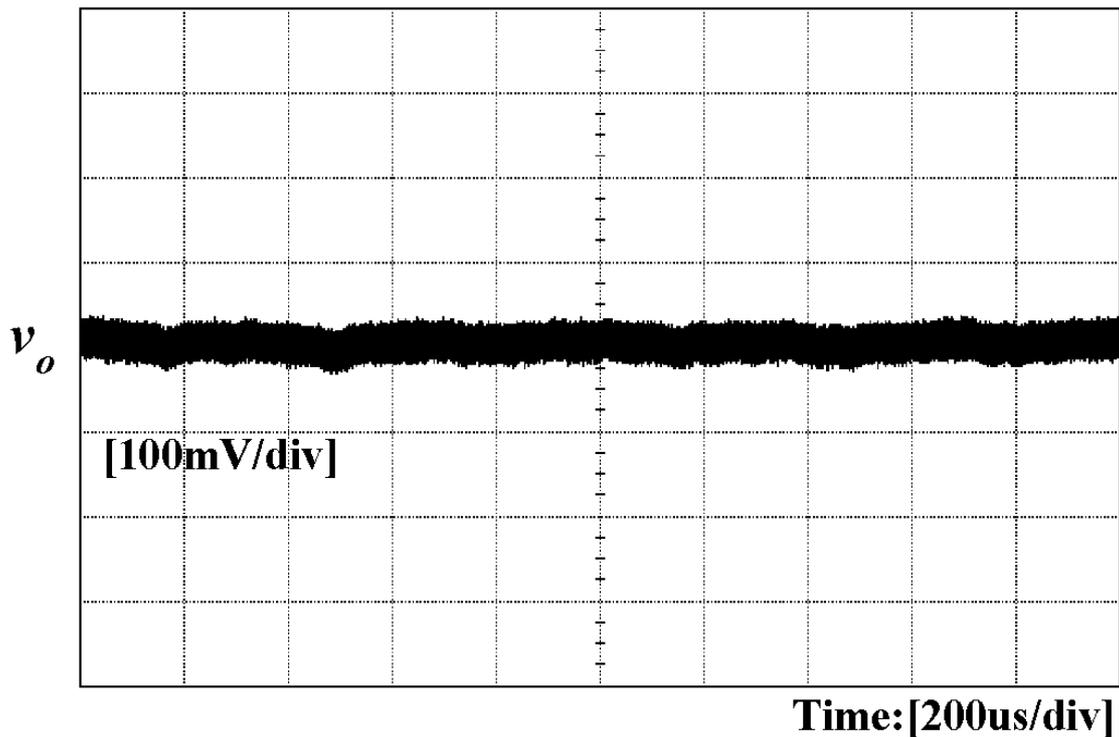


図 5-18. 定常時出力電圧波形（分解能改善システム搭載）

応答である。図 5-15、図 5-16 に示すように、分解能改善システムを使用しない場合は約 100mV 振幅で断続的な発振が観測された。本提案システムを搭載しない場合の出力電圧分解能 $\Delta V_{O(pls)}$ は約 100mV であるので、この間隔で発振したものとする。これに対し、本提案システムを使用した場合は、発振は観測されなかった。図 5-18 は、本提案システムを搭載した場合の定常時出力電圧波形である。図 5-9 のような発振がなくなっていることがわかる。これらは、本システムを用いることで、A-D コンバータ分解能 $\Delta V_{O(adc)}$ よりもデジタル PWM ジェネレータ $\Delta V_{O(pls)}$ の分解能が良くなったためである。また、図 5-18 にある約 40mV のノイズはスイッチング周期のキャリアノイズであり、従来のアナログ制御の DC-DC コンバータと同等である。また、本実験機の場合、抵抗のバラツキが 1%、 V_f のバラツキが 50%になる。2 個の PWM ジェネレータが一素子内に内蔵されているため、 V_m 、 V_S はバラツキが無いものと考えてよい。よって、式(5.10) から K_f は 0.0300~0.0333 の範囲となる。抵抗 R_S の値を変更し、 $K_f=0.0345$ として実験した結果を図 5-19 に示す。この結果、図 5-18 と比較すると、リミットサイクルによるノイズは約 10mV であり、リップルノイズを含めても全ノイズは約 50mV になる。また $K_f=0.0289$ のときも同様の結果が得

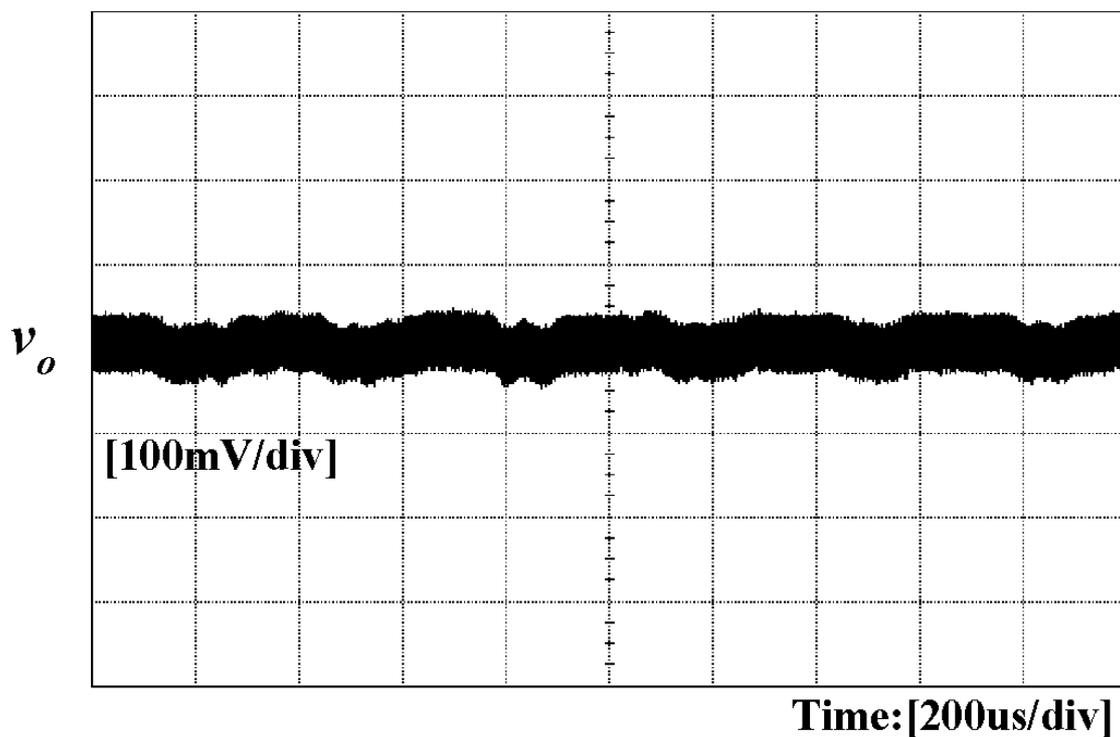


図 5-19. 定常時出力電圧波形 ($K_t=0.0345$)

られた。これは産業機器や通信装置等に用いられる一般的な DC-DC コンバータの出力ノイズ仕様『100mV 以下』に対し十分小さく実用的なレベルになる。

5.7 あとがき

本章では、パルス合成技術を用いたデジタル PWM 分解能特性の改善について述べた。第 2 節では、まず 2.5 節で述べられた分解能の問題を解決する手法として、2 個のデジタル PWM ジェネレータを用いたパルス合成回路で、PWM 信号に設けた遅れ時間を制御する方法を用いている。結果、分解能の倍率は 2 個の PWM ジェネレータ各々に直列接続された抵抗の比で決まり、この比を大きくすることで分解能が改善されることを示している。

第 3 節では、前節で述べられたパルス合成回路に用いる 2 個の PWM ジェネレータ各々の操作量決定法について述べている。結果、各操作量は僅かな演算処理で得られることを

示している。また、操作量の決定の際に考慮した分解能の倍率と、パルス合成回路がもつ分解能の倍率の間に誤差があると改善効果が低減することを示している。

第4章では、分解能の限界について述べた。パルス合成回路の倍率は、DC-DCコンバータの最大デューティとスイッチング周波数で決まる限界があり、最大デューティ 0.6、スイッチング周波数 400kHz において 1/32 倍に改善できることを示した。

第5節では、A-Dコンバータの分解能との関係について述べた。デジタルPWMジェネレータ分解能がA-Dコンバータの分解能よりも粗いと、積分制御系がリミットサイクル発振してしまい、そのリップルが出力電圧に重畳することでノイズが増大することを示した。

第6節では、実験器の設計と検証を行った。実験の結果最大デューティ 0.6、スイッチング周波数 400kHz において 1/32 倍に改善でき、得られた分解能はA-Dコンバータの分解能 (10bit) よりも良いことが確認された。本改善手法を搭載しない場合に発生していたリミットサイクルによる出力ノイズは、本改善手法を搭載することで発生しなくなったことが確認された。

第 6 章

結論

本論文では、DC-DC コンバータの仕様を満たすデジタルロバスト制御器として近似的 2 自由度制御系を検討し、従来よりも近似度の高い特性を得る設計手法を明らかにした。また PWM ジェネレータ部のデジタル化における分解能問題について述べ、その解決法を明らかにした。

絶縁形 DC-DC コンバータのスイッチング周波数は数百 kHz と非常に高速であるため、制御部のデジタル化は困難とされてきたが、近年の DSP などの高速化に伴い、デジタル制御が学会や産業界で積極的に検討されてきている。DC-DC コンバータの仕様は、スタートアップ特性、抵抗負荷急変時出力電圧応答特性、入力電圧急変時出力電圧応答特性について与えられ、また抵抗負荷や容量性負荷及び入力電圧の変動に対して特性変化しないことが望まれる。このため、高速かつロバストな制御特性が必要となる。デジタル制御系は従来のアナログ系と同じ PID 制御系が用いられているのが現状である。PID 制御は試行錯誤で設計され、良いロバストな特性を得るのは困難である。また、 H_∞ 制御理論や 2 自由度系によるロバスト制御器は高次の制御系になり、制御アルゴリズムが複雑になり易い。このため DC-DC コンバータのように高速動作する制御対象には適用が困難である。

よいロバスト性を合理的に得る設計手法として近似的 2 自由度制御系がある。本制御系は近似を用いており、外乱オブザーバなどを用いた一般的な 2 自由度系よりも簡単な制御アルゴリズムで実行されるため、DC-DC コンバータのような高速動作する制御対象に適用し易い。しかしながら、従来の設計手法[33]では高い近似度を得難く、その結果 DC-DC コンバータに十分なロバスト性を得るのが困難であった。本論文では、スイッチング周波数 300kHz のフォワードコンバータを制御対象とし、スタートアップ特性を二次モデルに近似した場合と一次モデルに近似した場合のそれぞれに対し、十分な近似度を得るための設計手法を明らかにした。

また、デジタル PWM ジェネレータは分解能を持ち、その分解能はスイッチング周波数を高くするほど悪くなるため、デジタル制御における重要な課題である。分解能の改善には、デジタルディザや $\Delta \Sigma$ 変調を用いたデジタル PWM が検討されている。これらの手法は数スイッチング周期の平均で高分解能なデジタル PWM を実現する方式であり、ディザパターンによりスイッチング周波数より低い周波数のリップルが出力に重畳して

しまう。DC-DC コンバータの出力電圧は、出力ノイズ及び負荷急変特性、入力電圧急変特性などを含め、全体で数%の範囲内に入る必要があるため、デジタル化により発生するリップルノイズはできる限り小さい方がよい。本論文ではデジタル PWM の分解能を改善する手法として 2 個のデジタル PWM 信号を用いて分解能を大幅に改善する手法を明らかにした。

本論文において、実験にはデジタル制御に必要な A-D コンバータやデジタル PWM ジェネレータを搭載した DSP (TMS320LF2401A T.I.社製) を使用して DC-DC コンバータ実験機を設計・製作した。

これらの研究の結果をまとめ、以下に示す。

第 2 章では、DC-DC コンバータ制御部のデジタル化と、制御系における技術的課題について述べた。フォワードコンバータを線形近似した連続系数学モデルを状態平均化法で導出し、出力コンデンサ ESR の周波数特性への影響について述べた。コンデンサのキャパシタンスと ESR の積で決まる零点は、制御系に影響することがあるが、今回検討した積層セラミックコンデンサ C3225X7R1C226M ($22\mu\text{F}$, $2\text{m}\Omega$) の零点は $1/2\pi R_C C_f = 3.6\text{MHz}$ であるため、スイッチング周波数が数百 kHz 程度の制御系設計ならば、影響は十分小さく無視できることを明らかにした。

次に離散化とその周波数特性について述べ、スイッチング電源のアナログ制御とデジタル制御の差について述べた。PWM ジェネレータは零次ホールドの性質を持っているため、従来のアナログ制御も離散系の周波数特性を持っている。周波数特性におけるアナログ制御とデジタル制御の差は、A-D 変換から PWM 更新までの処理時間による遅れのみである。次に PID 制御器とその問題点について述べた。PID 制御では、容量性負荷 $C_L=0\mu\text{F}$ の場合と $C_L=200\mu\text{F}$ の場合で応答特性が大きく異なり、 $C_L=200\mu\text{F}$ の時はより振動的になった。PID 制御では、高速応答とロバスト性を両立させるのは困難である。また、設計は試行錯誤であり、最適なパラメータを導くのは容易ではない。DC-DC コンバータは容量性負荷 C_L だけでなく、入力電圧 V_i や抵抗負荷 R_L も変化する。これらのパラメータ変動に対しロバストな特性をもつ制御器と、合理的な設計手法が望まれる。

次に、デジタル PWM ジェネレータが持つ分解能について述べた。デジタル PWM ジェネレータの PWM 信号はクロック周期で刻まれるため、分解能をもつ。クロック周期を 25ns とした場合、スイッチング周波数 400kHz における分解能は 2.8% 以上となり、非常に悪い特性が得られた。この分解能は、スイッチング周波数が高くなるほど悪化するため、高速応答における重要な課題である。

以上より、以下の 2 点が DC-DC コンバータ制御部のデジタル化における課題となる。

- ・ 処理時間による入力無駄時間の存在
- ・ デジタル PWM 分解能が粗い

これらの課題を対策し、高速応答とロバスト性を両立できる制御器が必要である。

第3章では、DSPの処理時間による入力無駄時間の影響を押さえ、高速応答とロバスト性を両立できる、二次モデルによる近似的2自由度デジタル積分形制御について述べた。近似的2自由度制御系では、制御対象のパラメータ変動や次数の変化、非線形動作などによる特性変化は、制御対象の入出力に等価外乱 Q を加えることと等価であると考え、目標値(r)→出力(y)間の特性と外乱(Q)→出力(y)間の特性を近似的に2自由度系とすることでパラメータ設計を簡単にしており、 $r \rightarrow y$ の特性の帯域幅をより高くし、 $Q \rightarrow y$ 間の特性をより低感度にする制御系パラメータを合理的に導くことが目標である。

次に二次モデルを近似的に実現する2自由度デジタル制御器の構築について述べた。与えられた制御対象に対し、モデルマッチングシステムを構築した。このシステムは電流フィードバックを含む。電流の検出はノイズ量が大きく、またセンサが高価であるため、電流フィードバック無しで実現するのが好ましい。そこで制御対象に1次遅れ要素を追加し、等価変換をして電流フィードバックを電圧フィードバックに置き換えた。このモデルマッチング制御系に逆システムとフィルタを結合してロバスト制御系を構築した。このロバスト制御系は積分制御系を用いた構成に置き換えることができた。

次に制御器のパラメータの決定法について述べた。 $Q \rightarrow y$ 間の伝達関数を低感度にするパラメータ k_z を大きくすると、制御器の代表根 H_1 、 H_2 以外の極が代表根に近づき、近似度が悪くなる恐れがある。そこで、モデルマッチング制御系以外の極と k_z を指定し、それを満たす制御器のパラメータを導くようにした。本決定法を用い、与えられた仕様を満たす制御器を設計した。結果、従来の手法よりも高い近似度が得られ、DC-DCコンバータの仕様を満足する制御器が得られた。

得られた制御器に対し、スタートアップ特性と抵抗負荷急変時出力電圧応答、及び入力電圧急変時出力電圧応答をシミュレーションと実験による検証を行った。シミュレーションと実験結果はよく一致しており、負荷条件や入力電圧条件を変えてもその特性はほとんど変化せず、ロバストであった。また与えられた仕様を満足していることが確認された。一次近似モデルにおいても、高い近似度を持つパラメータ決定法を確立できればよい性能が期待できる。

第4章では、一次モデルを近似的に実現する2自由度デジタル制御器の構築と高い近似度を持つ制御器のパラメータの決定法について述べた。 $Q \rightarrow y$ 間の伝達関数を低感度にするパラメータ k_z を大きくすると、制御器の代表根 H_1 以外の極が代表根に近づき、近似度が悪くなる恐れがある。そこで、モデルマッチング制御系以外の極と k_z を指定し、それを満たす制御器のパラメータを導くようにした。本決定法を用い、DC-DCコンバータの仕様を満たす制御器を設計した。結果、 $q_v \rightarrow y$ 間、 $q_y \rightarrow y$ 間は共に高い近似度が得られ、また二次近似モデルと同等の特性が得られた。

得られた制御器に対し、スタートアップ特性と抵抗負荷急変時出力電圧応答、及び入力電圧急変時出力電圧応答をシミュレーションと実験による検証を行った。シミュレーショ

ンと実験結果はよく一致しており、負荷条件や入力電圧条件を変えてもその特性はほとんど変化せず、ロバストであった。また与えられた仕様を満足していることが確認された。抵抗負荷急変時出力電圧応答及び入力電圧急変時出力電圧応答は、二次近似モデルと同等の結果が得られた。また、一次近似モデルの方が制御アルゴリズムも簡単であるため、DSP のプログラム量も少なくなる。今回の仕様においては一次近似モデルで達成できたが、二次近似モデルは近似度を容易に上げることができ、更なる近似度の改善が期待できる。

第 5 章では、パルス合成技術を用いたデジタル PWM 分解能特性の改善について述べた。PWM 分解能の問題を解決する手法として、2 個のデジタル PWM ジェネレータを用いたパルス合成回路で、PWM 信号に設けた遅れ時間を制御する方法を用いている。結果、分解能の倍率は 2 個の PWM ジェネレータ各々に直列接続された抵抗の比で決まり、この比を大きくすることで分解能が改善されることを示している。

パルス合成回路に用いる 2 個の PWM ジェネレータ各々の操作量決定法を明らかにした。結果、各操作量は僅かな演算処理で得られることを示している。また、操作量の決定の際に考慮した分解能の倍率と、パルス合成回路がもつ分解能の倍率の間に誤差があると改善効果が低減することを示している。

パルス合成回路の倍率は、DC-DC コンバータの最大デューティとスイッチング周波数で決まる限界があり、最大デューティ 0.6、スイッチング周波数 400kHz において 1/32 倍に改善できることを示した。

A-D コンバータの分解能との関係について述べた。デジタル PWM ジェネレータ分解能が A-D コンバータの分解能よりも粗いと、積分制御系がリミットサイクル発振してしまい、そのリップルが出力電圧に重畳することでノイズが増大することを示した。

DC-DC コンバータ実験器の設計と実験検証を行った。実験の結果、最大デューティ 0.6、スイッチング周波数 400kHz において 1/32 倍に改善でき、得られた分解能は A-D コンバータの分解能 (10bit) よりも良いことが確認された。本改善手法を搭載しない場合に発生していたリミットサイクルによる出力ノイズは、本改善手法を搭載することで発生しなくなったことが確認された。

今後の研究課題を以下に示す。

CPU や FPGA などの負荷装置に用いる DC-DC コンバータの出力電圧変動は、出力ノイズ及び負荷急変特性、入力電圧急変特性などを含め、全体で数%の範囲内に入る必要があり、この要求は今後もより一層厳しくなると考える。これらの要求に応えるには、DC-DC コンバータのスイッチング周波数を高くするか、DC-DC コンバータを複数台用意して多相化することが多い。しかしながら、高周波化は変換効率の低下を招き、また多相化は部品点数の増加につながる。他の性能に悪影響することなくスタートアップ特性やロバスト性を改善するために、制御系の更なる改善が必要である。今後は、更に良い制御特性を得る制御系の研究が望まれる。また、デジタル制御であれば、制御器やパラメータを動的

に切り替えることが可能である。このような技術を用いた特性改善の研究も望まれる。

また、大型の電源装置は、負荷装置との距離が長くなることがある。このような場合、負荷装置側の電圧を検出し、安定化させる必要がある。このとき、負荷線のインダクタンスが無視できなくなり、負荷装置に接続されたコンデンサを考慮すると LCLC の 4 次系の制御対象になる。これは負荷線が短いときの制御対象（2 次系）と比べると、特性が大きく異なる。このような大幅な特性変化に対してロバストな特性を得る制御器が望まれる。

本論文では、出力に接続されるコンデンサの ESR は十分小さく、制御系に影響はないものとして制御系を設計した。しかしながら、電解コンデンサのような ESR の大きい部品を用いたり、スイッチング周波数が更に高くなったりすることで、ESR が無視できなくなる場合は、制御系に影響するためこれを考慮した制御系設計をしないてはならない。ESR を考慮した場合、出力電圧はキャパシタ電圧と ESR にかかる電圧の和となるため、従来の制御系設計手法では状態フィードバックに ESR の分だけ誤差が生じる。誤差の影響を無くすために、ESR を考慮したモデルマッチング制御系を構築する必要があることも課題である。

謝辞

本論文をまとめるに当たり、多大なるご指導、ご援助を賜った電気通信大学電子工学科 樋口 幸治 准教授に謹んで感謝の意を表す。また、本研究を進めるに当たり、種々のご助言を頂いた電気通信大学電子工学科 中野 和司 教授に深謝する。

本研究を進めるに当たり、実験の手伝いを頂いた電気通信大学電子工学科 梶川 竜義 技術専門職員、電気通信大学電子工学科 樋口研究室 学部生・大学院生諸兄に深謝する。

本論文をご審査頂いた博士論文審査委員 電気通信大学システム工学科 新 誠一 教授、知能機械工学科 松野 文俊 教授、電子工学科 内田 雅文 准教授に深謝する。

本研究を進めるに当たり、研究活動をご支援頂いた(株)キャンパスクリエイト 安田 耕平 代表取締役社長、伊藤 文憲 常務取締役、デンセイ・ラムダ(株) 鈴木 武夫 代表取締役社長、有山 弘幸 氏、矢代 博行 氏、渡辺 一史 氏、八鳥 佐内 氏に深謝する。

最後に、私事ながら研究生活に常に理解、協力を頂いた家族に感謝する。

参考文献

- [1] 電気学会編：“パワーエレクトロニクスの基礎”，電気学会，1993.
- [2] 通信用電源研究会編：“情報・通信用電源”，電気通信協会，1998.
- [3] 外山峻，梅都二三寿：“電源入門講座”，電波新聞社，2005.
- [4] 電子情報技術産業協会編：“スイッチング電源の現状と動向 2007”，電子情報技術産業協会，2007.
- [5] 佐々木正博，松尾博文，黒川不二雄，三村泰弘：“デジタル制御方式 DC-DC コンバータにおける制御切り換わり時の過渡応答改善について”，電子情報通信学会論文誌(B)，vol.J90-B，no.8，pp.734-740，2007.
- [6] W. Stefanutti, P. Mattavelli, S. Saggini, M. Ghioni：“Autotuning of Digitally Controlled Buck Converters based on Relay Feedback”，Proceedings of IEEE 36th Power Electronics Specialists Conference, pp.2140-2145, 2005
- [7] J. A. Abu-Qahouq, Y. Wen, L. Yao, E. Shoubaki, I. Batarseh, G. Potter：“Digital Controller for an Isolated Half-Bridge DC-DC Converter”，Proceedings of The Applied Power Electronics Conference and Exposition 2005, pp.1217-1223, 2005.
- [8] 原田耕介 他：“スイッチング電源ハンドブック”，日刊工業新聞社，1993.
- [9] 高松和義，金春峰，石原好之，戸高俊之：“昇圧形コンバータにおけるフィードバック制御の安定性”，電子情報通信学会論文誌(B)，vol.J90-B，no.7，pp.689-696，2007.
- [10] 瀬谷啓介：“DSP C プログラミング入門”，技術評論社，2000.
- [11] 大須賀公一，足立修一：“システム制御へのアプローチ”，コロナ社，1999.

- [12] 杉江俊治, 藤田政之: “フィードバック制御入門”, コロナ社, 1999.
- [13] 野波健蔵, 西村秀和, 平田光男: “MATLABによる制御系設計”, 東京電機大学出版局, 1998.
- [14] 木村英紀: “ H^∞ 制御”, コロナ社, 2000.
- [15] 劉康志: “線形ロバスト制御”, コロナ社, 2001.
- [16] 室山誠一, 松島敏雄, 村上直樹: “情報通信用電源システムの課題と動向”, 電子情報通信学会論文誌(B), vol.J84-B, no.5, pp.829-839, 2001.
- [17] L. Guo, J. Y. Hung, R. M. Nelms: “Digital controller design for buck and boost converters using root locus”, Proceedings of The 29th Annual Conference of the IEEE Industrial Electronics Society, pp.1864-1869, 2003.
- [18] H. Guo, Y. Shiroishi, O. Ichinokura: “Digital PI controller for high frequency switching DC/DC converters based on FPGA”, Proceedings of The 25th International Telecommunications Energy Conference, pp.536-541, 2003.
- [19] 原田耕介: “情報通信用電源の動向と問題点—低電圧大電流化への対応—”, 電子情報通信学会論文誌(B), vol.J87-B, no.12, pp.1987-1993, 2004.
- [20] E. Stanford: “将来のインテル CPU 電力供給の動向と課題”, 2000 スイッチング電源システムシンポジウム, A-1-1~6, 2000.
- [21] 小松崎義浩: “負荷変動に対してロバストな過渡応答特性を有するスイッチング電源電圧制御系の設計”, 電子情報通信学会技術研究報告, PE 91-12, pp.37-44, 1991.
- [22] 大西公平: “メカトロニクスにおける新しいサーボ技術”, 電気学会論文誌(D), 107 巻 1 号, pp.83-86, 1987.
- [23] 浜田洋介, 大槻治明, 斎藤茂芳, 秦裕二: “磁気ディスク装置ヘッド位置決め制御系への外乱オブザーバの応用”, 第 1 回制御理論応用シンポジウム, pp.1-6, 1994.

- [24] C. A. Desoer and C. L. Gustafson : "Algebraic Theory of Linear Multivariable Feedback Systems", IEEE Transaction on Automatic Control, vol.29, no.10, pp.909-917, 1984.
- [25] D. C. Youla and J. J. Bongiorno, JR. : "A Feedback Theory of Two- Degree- of- Freedom Optimal Wiener-Hopf Design", IEEE Transaction on Automatic Control, vol.30, no.7, pp.652-665, 1985.
- [26] T. Umeno, Y. Hori : "Robust Speed Control of DC Servomotors Using Modern Two Degrees-of-Freedom Controller Design", IEEE Transaction on Industrial Electronics, vol.38, no.5, pp.363-368, 1991.
- [27] 長縄明大, 愛田一男, 大日方五郎 : "2自由度積分型コントローラのパラメトリゼーションに基づく一般化予測制御系の設計", 電気学会論文誌(C), 118 巻 4 号, pp.457-464, 1998.
- [28] 藤崎泰正, 池田雅夫 : "2 自由度積分型最適サーボ系の構成", 計測自動制御学会論文集, vol.27, no.8, pp.907-914, 1991.
- [29] 金英福, 池田雅夫, 藤崎泰正 : "2 自由度積分型サーボ系のロバスト安定性と積分補償のハイゲイン化", 計測自動制御学会論文集, vol.32, no.2, pp.180-187, 1996.
- [30] 高本和也, 山本透, 兼田雅弘 : "離散時間 2 自由度極配置制御系の一設計", 電子情報通信学会論文誌(A), vol.J83-A, no.4, pp.423-427, 2000.
- [31] 宮崎敏昌, 大瀧栄, ソムサワッスタンパタラタナウオン, 大石潔 : "動力学トルク補償と 2 自由度制御系に基づく産業用ロボットの高速モーション制御法", 電気学会論文誌(D), 123 巻 5 号, pp.525-532, 2003.
- [32] 前田肇, 杉江俊治 : "アドバンスト制御のためのシステム制御理論", 朝倉書店, 1990.
- [33] 樋口幸治, 中野和司, 荒木邦彌, 茅野文穂 : "電圧フィードバックのみを用いた近似的 2 自由度デジタル積分形制御によるロバスト PWM 電力増幅器の設計", 電子情報通信学会論文誌(C), vol.J85-C, no.10, pp.906-916, 2002.

- [34] A. V. Peterchev, S. R. Sanders : "Quantization Resolution and Limit Cycling in Digitally Controlled PWM Converters", IEEE Transaction on Power Electronics, Vol.18, pp.301-308, 2003.
- [35] A. Kelly, K. Rinne : "High Resolution DPWM in a DCDC Converter Application Using Digital Sigma-Delta Techniques", Proceedings of IEEE 36th Power Electronics Specialists Conference, pp.1458-1463, 2005.
- [36] 原田耕介, 二宮保, 顧文建 : "スイッチングコンバータの基礎", コロナ社, 1992.
- [37] H. Fukuda and M. Nakaoka : "State-Vector Feedback Controlled-based 100kHz Carrier PWM Power Conditioning Amplifier and Its High-Precision Current-Tracking Scheme", Proceedings of The 19th Annual Conference of the IEEE Industrial Electronics Society, pp.1105-1110, 1993.
- [38] 松尾博文, 原田耕介 : "リアクトル電流不連続領域における DC-DC コンバータの特性", 電子情報通信学会論文誌(C), vol.J61-C, no.1, pp.33-40, 1978.
- [39] 富岡聡, 上杉猛, 竹上栄治 : "薄型高効率オンボード電源の開発", 電気学会電子・情報・システム部門大会, vol.2, pp.393-394, 2001.
- [40] P. Wong, F. C. Lee, P. Xu, K. Yao : "Critical Inductance in Voltage Regulator Modules" , Proceedings of The Applied Power Electronics Conference and Exposition 2002, (CD-ROM), 2002
- [41] K. Yao, Y. Meng, P. Xu, F. C. Lee : "Design Considerations for VRM Transient Response Based on the Output Impedance" , Proceedings of The Applied Power Electronics Conference and Exposition 2002, (CD-ROM), 2002
- [42] 美多勉 : "デジタル制御理論", 昭晃堂, 1984
- [43] J. G. Kassakian, M. F. Schlecht, G. C. Verghese : "パワーエレクトロニクス", 日刊工業新聞社, 1997.

- [44] A. Prodic, D. Maksimovic, W. Erickson : “Design and Implementation of a Digital PWM Controller for a High-Frequency Switching DC-DC Power Converter” , Proceedings of The 27th Annual Conference of the IEEE Industrial Electronics Society, pp.893-898, 2001
- [45] R. W. Erickson, D. Maksimovic : “Fundamentals of Power Electronics Second Edition” , Kluwer Academic Publishers, 2001
- [46] R. C. Dorf, R. H. Bishop : “Modern Control Systems Tenth Edition” , Pearson Education, 2005
- [47] 野波健蔵, 西村秀和: “MATLABによる制御理論の基礎”, 東京電機大学出版局, 1998.
- [48] 竹上栄治, 樋口幸治, 中野和司, 富岡聡, 渡辺一史 : “二次モデル実現近似的 2 自由度デジタル積分形制御器による DC-DC コンバータのロバスト制御”, 電子情報通信学会論文誌(C), Vol.J88-C, No.9, pp.724-736, 2005
- [49] E. Takegami, S. Tomioka, K. Watanabe, K. Higuchi, K. Nakano, T. Kajikawa : “Robust Control of DC-DC Converter by Good Approximate 2-Degree-of-Freedom System” , Proceedings of The SICE Annual Conference 2004, pp.614-619, 2004
- [50] E. Takegami, K. Higuchi, K. Nakano, S. Tomioka, K. Watanabe, : “The Method for Determining Parameters of Approximate 2DOF Digital Controller for Robust Control of DC-DC Converter” , Transactions on Electrical Eng., Electronics, and Communications, Vol.4, No.1, pp.13-21, 2006
- [51] K. Higuchi, K. Nakano, T. Kajikawa, E. Takegami, S. Tomioka, K. Watanabe : “A New Design of Robust Digital Controller for DC-DC Converters” , Proceedings of the 16th World Congress of the International Federation of Automatic Control, (DVD-ROM), 2005
- [52] 竹上栄治, 樋口幸治, 中野和司, 富岡聡, 渡辺一史 : “パルス合成技術を用いたデジタル PWM 分解能の改善方法”, 電子情報通信学会論文誌(C), Vol.J90-C, No.7, pp.536-546, 2007

[53] E. Takegami, K. Higuchi, K. Nakano, S. Tomioka, K. Watanabe: “High Resolution DPWM Generator for DC-DC Converter using Pulse Composite Technique” , Proceedings of The 32nd Annual Conference of the IEEE Industrial Electronics Society, pp.1592-1597, 2006

関連論文の印刷公表の方法及び時期

- (1) 全著者名： 竹上栄治, 樋口幸治, 中野和司, 富岡聡, 渡辺一史
論文題目： 二次モデル実現近似的 2 自由度デジタル積分形制御器
による DC-DC コンバータのロバスト制御
印刷公表の方法及び時期： 電子情報通信学会論文誌(C)Vol.J88-C, No.9,
2005 年 9 月
(第 3 章の内容)

- (2) 全著者名： E.Takegami, K.Higuchi, K.Nakano, S.Tomioka, K.Watanabe
論文題目： The Method for Determining Parameters of Approximate 2DOF
Digital Controller for Robust Control of DC-DC Converter
印刷公表の方法及び時期： Transactions on Electrical Eng., Electronics, and
Communications, Vol.4, No.1, 2006 年 2 月
(第 4 章の内容)

- (3) 全著者名： 竹上栄治, 樋口幸治, 中野和司, 富岡聡, 渡辺一史
論文題目： パルス合成技術を用いたデジタル PWM 分解能の改善方法
印刷公表の方法及び時期： 電子情報通信学会論文誌(C) Vol.J90-C, No.7,
2007 年 7 月
(第 5 章の内容)