

# CARACTERIZACIÓN DE NIVELES TRAMPA EN TRANSISTORES HEMT DE GaN

Asmae Mimouni<sup>(1)</sup>, Kaoutar Zeljami<sup>(1)</sup>, Mohamad Chaibi<sup>(1)</sup>, Tomás Fernández<sup>(1)</sup>, Antonio Tazón<sup>(1)</sup>, Fernando Sánchez<sup>(2)</sup>, Marina Verdú<sup>(2)</sup>, Mohamed Boussouis<sup>(3)</sup>

ami27@alumnos.unican.es, tomas.fernandez@unican.es, fsanchezs@oc.mde.es

<sup>(1)</sup>Dpto. de Ingeniería de Comunicaciones. Universidad de Cantabria Avda. los Castros s/n, 39005, Santander

<sup>(2)</sup>Centro de Investigación y Desarrollo de la Armada, Dpto. de Investigación, Arturo Soria 289, 28033 Madrid

<sup>(3)</sup>Dpt. de physique Université Abdel Malek Essaadi, Tetouan, Maroc

**Abstract-** This work presents the description of trapping effects in GaN HEMT's. Two different effects will be considered: gate-lag and drain-lag, describing their physical origin. Virgin and aged devices will be used as test vehicles to study the dependence on the manufacturing process of the devices electrical behaviour. From a macroscopic point of view, both phenomena are quite different, so whilst gate-lag depends on Vgs voltage, drain-lag depends on the Vds one. Considering differences between virgin and aged devices, a conclusion about the dependence of trap levels on both thermal and electrical stress could be extracted.

## I. INTRODUCCION

La influencia de los niveles trampa sobre el funcionamiento del transistor se traduce en una disminución de la potencia que el dispositivo es capaz de entregar, así como en el tiempo de conmutación o de su funcionamiento en régimen I/V Pulsado [1]. Estos efectos son aún más importantes en dispositivos de alta potencia, como es el caso de los HEMT de GAN, por lo que se hace necesario un correcto modelado de los mismos. El nivel efectivo de carga almacenada por las trampas en un punto de operación dado viene determinado por la excursión del ciclo de carga y, en consecuencia, por la potencia de entrada. Esto nos lleva a pensar que es necesario contar con una corrección que permita tener en cuenta la diferencia entre las características eléctricas medidas en continua y las características eléctricas del dispositivo bajo excitaciones en régimen de RF.

La forma usual de abordar este problema consiste en introducir modelos para los niveles trampa [2], que permitan reproducir la degradación de los resultados en función tanto de las tensiones Vgs y Vds máximas alcanzadas por el ciclo de carga como de la frecuencia de operación.

En general, el fenómeno de captura por parte de las trampas es rápido (de nanosegundos a algunos centenares de nanosegundos), y el fenómeno de emisión es lento (de algunos microsegundos a varios segundos); de esta forma las trampas se cargan en los máximos de las tensiones Vgs y Vds, pero no tienen el tiempo necesario para descargarse. La desproporción entre las magnitudes de estos fenómenos temporales, que explican la degradación observada de las características de salida de los componentes, lleva a pensar que la corriente Ids haya de modelarse no como:

$$I_{ds} = f(V_{gs}, V_{ds}) \quad (1)$$

sino también en función de las máximas tensiones aplicadas, Vgsmax y Vdsmax como:

$$I_{ds} = f(V_{gs}, V_{ds}, V_{gs\ max}, V_{ds\ max}) \quad (2)$$

## II. CARACTERIZACIÓN DE LOS EFECTOS DEBIDOS A LOS NIVELES TRAMPA

Algunos métodos que intentan cuantificar el impacto de las trampas sobre las características I (V) de los componentes, e incluso separar los efectos de gate-lag de los de drain-lag [3], [4], se basan en la hipótesis de que la duración de la emisión de cargas por las trampas es más lenta que su captura, y que la duración de los pulsos utilizados para caracterizar los dispositivos, de forma usual, toma un valor comprendido entre los ambos.

A partir de la medida pulsada desde tres puntos de polarización dados (Vgs=0, Vds=0), (Vgs=Vpinch-off, Vds=0) y (Vgs= Vpinch-off, Vds=Vdsmax) es posible distinguir los efectos de gate-lag y drain-lag [4]. En estas tres configuraciones, se mantiene la potencia disipada nula en el punto de polarización asegurando que el componente se encuentra en el mismo estado térmico en los tres casos, sólo definido por la temperatura ambiente.

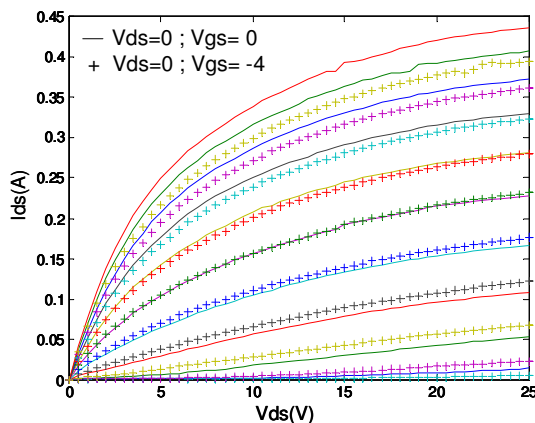


Fig. 1. Puesta en evidencia del fenómeno de gate-lag en función de la elección de los puntos de operación (Vgsc=0V, Vdsc=0V) y (Vgsc=-4 V, Vdsc= 0 V)

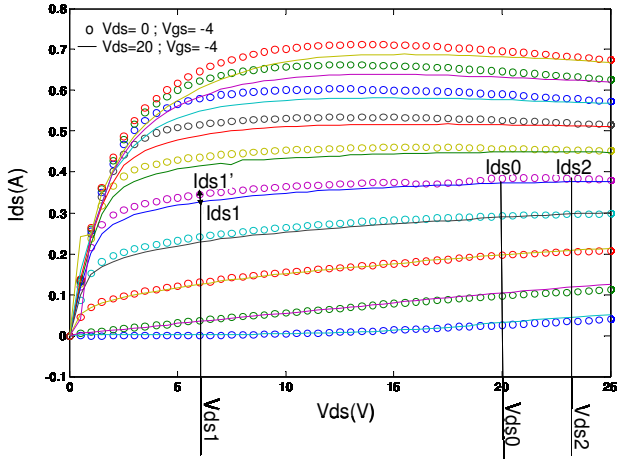


Fig. 2. Puesta en evidencia del fenómeno de drain-lag en función de la elección de los puntos de operación ( $V_{gscc} = -4$ ,  $V_{dscc} = 0$ ) y  $V_{gscc} = -4$ ,  $V_{dscc} = 20$

En la figura 1 se muestran dos curvas I/V medidas en régimen pulsado que ponen de manifiesto el fenómeno de gate-lag.

Por su parte, en la figura 2 se distinguen dos casos: el primero cuando el pulso de tensión en drenador es negativo (pasa de  $V_{ds0}$  a  $V_{ds1}$ ); en este caso, las trampas emiten cargas lentamente y la corriente alcanza un nivel  $I_{ds1}$ , aunque esta debería haber evolucionado hasta alcanzar el valor final  $I_{ds1}'$ . Esta diferencia se debe a que las trampas no han tenido tiempo de emitir las cargas atrapadas antes de que la medida haya finalizado, por lo que se obtiene un menor nivel de corriente. El segundo caso corresponde a un pulso positivo de la tensión de drenador (la tensión pasa de  $V_{ds0}$  a un valor  $V_{ds2}$ ). En estas condiciones, la corriente medida pasa de  $I_{ds0}$  a  $I_{ds2}$  ya que las trampas capturan cargas, siendo este fenómeno suficientemente rápido como para que la corriente alcance su nivel final durante el tiempo de medida.

### III. MECANISMO FÍSICO DEL FENÓMENO DE GATE-LAG

Horio [5] sugiere que son las trampas situadas en los estados superficies libres las que controlan el fenómeno de gate-lag y, en particular, las situadas entre la puerta y el drenador. El hecho de que sea posible reducir o eliminar completamente estos efectos gracias diferentes procesos aplicados a estas superficies (pasivación), permite confirmar los resultados obtenidos a partir de simulaciones físicas.

Sin embargo, la explicación del fenómeno de gate-lag no está todavía claramente definida [6] [7]. Vetry supone que los donadores en estados superficiales (cuya presencia es necesaria para mantener la presencia del gas 2D) pueden capturar los electrones de la puerta cuando la tensión  $V_{gs}$  es negativa, reduciendo la densidad de portadores en el canal. En régimen de funcionamiento RF, los electrones capturados en superficie no pueden seguir la señal de control ya que las trampas tienen constantes de emisión demasiado lentas. Esto hace que la corriente  $I_{ds}$  disminuya y la resistencia del canal aumente, debido a la disminución de la densidad de portadores en el canal en la región puerta-drenador (ver figura 3).

En estas condiciones se observa una modulación de los estados trampas en función de la polarización de la puerta, lo que implica una disminución de la corriente debido a la captura de electrones. Así pues así como en el caso del drain-lag, pero de manera más directa, el impacto del gate-lag en las características eléctricas puede modelarse como una respuesta temporal de la tensión  $V_{gs}$ , con constantes de tiempo asociados a las de las trampas presentes en superficie.

### IV. MEDIDAS Y RESULTADOS DEL FENÓMENO DE GATE-LAG

Para dos transistores HEMT GaN 8x75 fabricados en III-V Lab's (Thales), uno virgen y otro envejecido a una temperatura de 300 °C, se ha llevado a cabo la medida del transistor en las siguientes condiciones:  $V_{dscc} = 1$  V en el drenador, mientras que en la puerta se aplica un pulso de base  $V_{gscc} = -2$  V y de amplitud  $V_{gspico} = 0$  V, siendo la anchura de pulso  $W = 1 \mu s$  y el periodo  $T = 1$  ms.

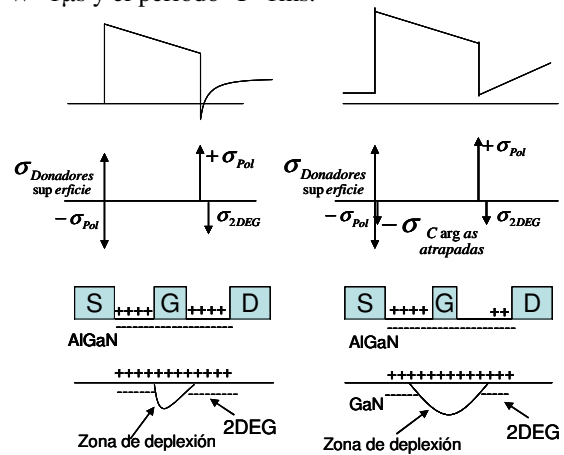


Fig. 3. Explicación probable del mecanismo de gate-lag en HEMT de GaN. A la izquierda, cuando  $V_{gs} \leq V_{pinch-off}$  ( $I_{ds} = 0$ ), no hay trampas superficiales cargadas. A la derecha,  $V_{gs} > V_{pinch-off}$ , los donadores profundos atrapan electrones que se alejan de la puerta, por lo que no se descargan, induciendo lentamente una disminución de la densidad del gas de electrones debido a la compensación entre las cargas.

En las figuras 4 y 5 se muestra el transitorio de corriente provocado por este fenómeno. La amplitud del pulso elegida es suficientemente baja para que el estado térmico del componente no se vea modificado debido a la relación entre el periodo y la anchura (duty-cycle).

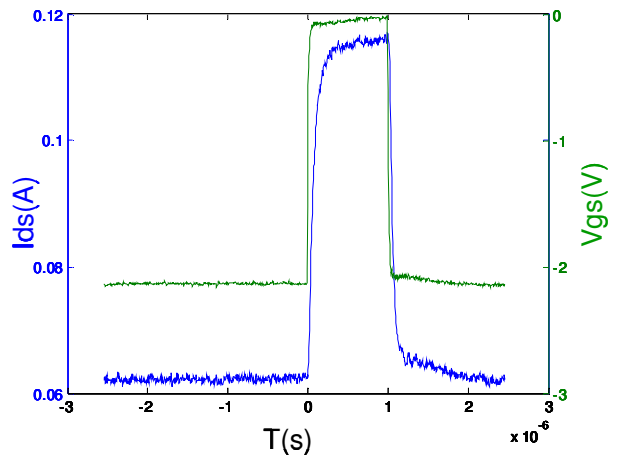


Fig. 4. Medida de fenómeno gat-lag para el transistor virgen

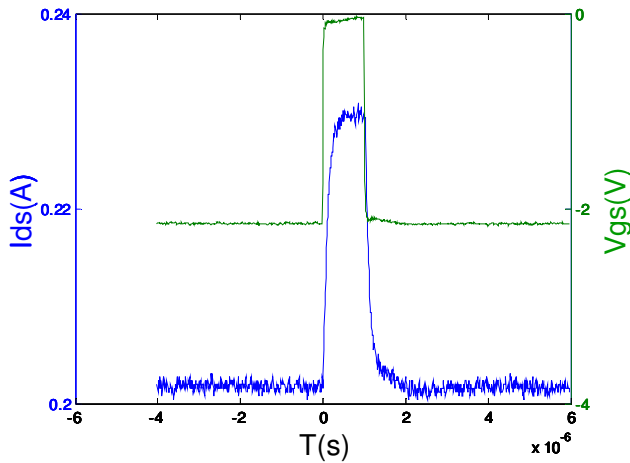


Fig. 5. Medida del fenómeno gat-lag para el transistor envejecido

En la figura 6 se muestra la corriente  $I_{ds}$  para los dos transistores, virgen y envejecido. Se observa el fenómeno de gat-lag para los dos transistores pero con una sensible disminución de corriente  $I_{ds}$  para el transistor envejecido, debido al propio proceso de envejecimiento.

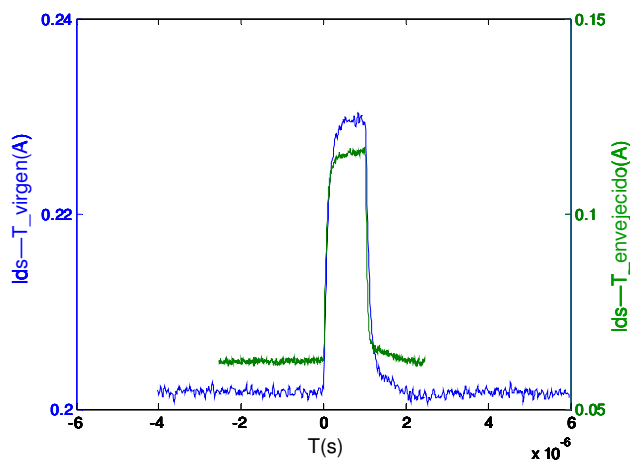


Fig. 6. Comparación de la corriente  $I_{ds}$  para los transistores virgen y envejecido

## V. MECANISMO FÍSICO DEL FENÓMENO DE DRAIN-LAG

El fenómeno de drain-lag habitualmente se debe a las trampas situadas en la capa conocida como buffer [8]. Zhang [9] sugiere que la reducción de la corriente de salida en los transistores de GaN al aplicar un pulso en el drenador se debe a la inyección de electrones en el buffer donde son atrapados por los estados trampa.

El fenómeno de drain-lag puede ser explicado en gran parte por los fenómenos de captura y emisión de los electrones en el buffer bajo el canal. El buffer habitualmente se compensa con elevadas concentraciones de trampas profundas [10], [11] que fijarán el nivel de Fermi en un valor igual al de su energía de activación, dado que esto ocurre en

un material a alta resistencia, causa una concentración importante de niveles trampa, lo que puede influir sobre el comportamiento dinámico del transistor.

Cuando se aplica un pulso positivo en  $V_{ds}$ , el campo eléctrico se orienta verticalmente; los electrones responden de forma instantánea al mismo, y como no se confinan totalmente en un gas 2D, una parte significativa de estos electrones se ve atraída hacia el sustrato (en particular en la zona de vaciamiento bajo la puerta). Estos electrones son capturados por los centros donadores o los aceptores profundos en el sustrato, lo que causa la disminución de la corriente.

Cuando la tensión  $V_{ds}$  disminuye, las trampas (que ya estaban sometidas a un campo eléctrico elevado) re-emiten las cargas que habían capturado de tal manera que vuelven a estar de nuevo presentes en el canal y pueden participar en la corriente, este fenómeno es más lento que el de captura.

En cada caso, la curvatura de las bandas en el lado del buffer viene determinada por el estado de carga de las trampas, situadas por debajo del nivel de Fermi. En la figura 7 se representa este mecanismo, cuando la densidad de donadores profundos es superior a la densidad de aceptores profundos.

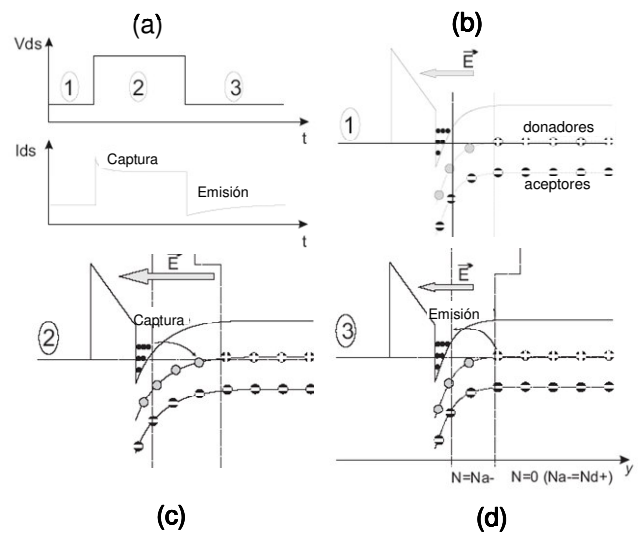


Fig. 7. (a), (b), (c) y (d) Influencia de un cambio de la polarización de drenador sobre las bandas de energía en presencia de trampas en el buffer, donde se muestran los fenómenos de captura y emisión.

## VI. MEDIDAS Y RESULTADOS DEL FENÓMENO DE DRAIN-LAG

Polarizando un transistor HEMT GaN 8x75 con una tensión DC de puerta  $V_{gscc} = -2.8$  V y una tensión pulsada en el drenador de valor de base  $V_{dscc} = 0.1$  V y pico  $V_{dspico} = 7$  V (anchura del pulso  $W = 5 \mu s$  y periodo  $T = 5 ms$ ), se observa el siguiente comportamiento:

Para una variación positiva de  $V_{ds}$ , los electrones son acelerados por el campo eléctrico generado por  $V_{ds}$ ; siendo capturados por los niveles trampa profundos localizados en el buffer y/o el sustrato, siempre que la duración de los pulsos sea mayor que la constante de tiempo de captura, y más

pequeño que la de emisión. Los electrones capturados por los niveles trampa no participan en la corriente en el canal, lo que da como resultado directo una disminución de la corriente  $I_{ds}$  (Fig.8) hasta que se alcance un estado permanente, a medida que las trampas van llenando.

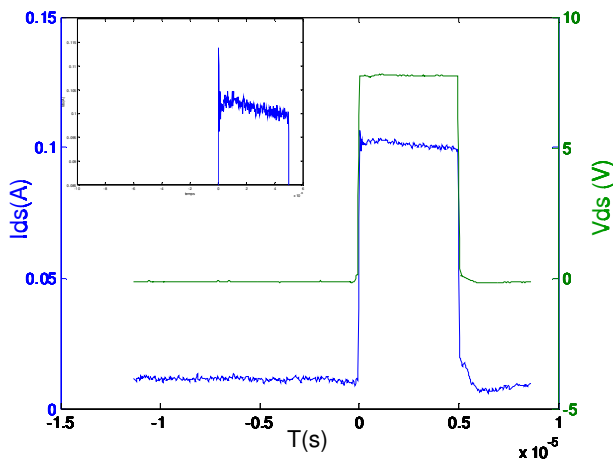


Fig. 8. Comportamiento transitorio de la corriente  $I_{ds}$  a partir de un pulso de tensión aplicado en el drenador.

## VII. CONCLUSIONES

Con objeto de poder estudiar el efecto de los niveles trampa en dispositivos GaN, se han presentado dos técnicas diferentes de caracterización, basadas en la medida pulsada de las características I/V del dispositivo, que permiten poner de manifiesto la presencia de los efectos de gate-lag por un lado y drain-lag por otro.

Se han propuesto también los puntos de polarización adecuados desde los que trazar las diferentes curvas I/V en régimen pulsado con el fin de evitar por una parte que los efectos térmicos debidos al autocalentamiento influyan sobre las medidas realizadas de la corriente en régimen pulsado y por otro proporcionar los puntos de caracterización en los que mejor se pone de manifiesto cada uno de los efectos estudiados. Se ha llegado a la conclusión fundamental de que los niveles de campo eléctrico debido a la polarización son, en gran medida, los que marcan la presencia de constantes de tiempo que, a su vez, son responsables de la aparición de los efectos de gate-lag y drain-lag.

Con objeto de verificar si el estrés térmico y/o eléctrico al que se somete a un dispositivo de potencia, como es el caso de los GaN HEMT que nos ocupa, influyen sobre los niveles trampa, se han caracterizado dispositivos tanto vírgenes como envejecidos. La conclusión fundamental a la que se llega es que los dispositivos envejecidos presentan menores niveles de corriente, mientras que el comportamiento de los efectos microscópicos debido a los niveles trampa no varía sustancialmente.

Se ha visto también que la forma en la que los estados trampa se hacen visibles macroscópicamente depende de los campos eléctricos estático y dinámico aplicados; esto lleva a la conclusión de que las constantes de tiempo asociadas a

estos niveles trampa han de estudiarse tanto en función de los valores de las tensiones de polarización como los de las instantáneas.

## AGRADECIMIENTOS

Los autores quieren hacer constar su agradecimiento al proyecto EDA KORRIGAN (RTP 102.052), dentro del cual se han obtenido y desarrollado todos los resultados que se presentan en este artículo.

## REFERENCIAS

- [1] Steven C. Binari, Member, IEEE, P. B. Klein, and Thomas E. Kazior, Member, IEEE, "Trapping Effects in GaN and SiC Microwave FETs", Invited Paper, Proceedings of the IEEE, Vol. 90, No. 6, June 2002.
- [2] I. Daumiller, D. Theron, C. Gaquiere, A. Vescan, R. Dietrich, A. Wieszt, H. Leier, R. Vetury, U.K. Mishra, I. P. Smorchkova, N. X. Nguyen, and E. Kohn, "Current instabilities in GaN-based devices," IEEE Electron Device Lett., vol. 22, pp. 62–64, Feb. 2001
- [3] S. De Meyer; C. Charbonniaud ; R. Quere ; M. Campovecchio ; R. Lossy ; J. Wurfl, "Mechanism of power density degradation due to trapping effects in AlGaIn/GaN HEMTs", IEEE MTTs Digest, pp.455-458, 2003.
- [4] C. Charbonniaud, S. De Meyer, R. Quéré, and J. P. Teyssier, "Electrothermal and Trapping Effects Characterization," In Gallium Arsenide Symposium Digest, Munich, Germany, Oct. 2003
- [5] K. Horio and Y. Fuseya, "Two-dimensional simulations of drain current transients in GaAs MESFET's with semi-insulating substrates compensated by deep levels," IEEE Transactions on Electron Devices, vol. 41, no. 8, pp. 1340–1346, Aug. 1994.
- [6] G. Simin, A. Koudymov, A. Tarakji, X. Hu, J. Yang, M. A. Khan, M. Shur, and R. Gaska, "Induced strain mechanism and current collapse in AlGaIn/GaN heterostructure field-effect transistor," Appl. Phys. Lett., vol. 79, pp. 2651–2653, Oct. 2001.
- [7] R. Vetury, N. Q. Zhang, S. Kellerand, and U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs," IEEE Trans. On Electron Devices, vol. 48, pp. 560–566, Mar. 2001.
- [8] C. P. Lee, S. J. Lee, and B. M. Welch, "Carrier Injection and Backgating Effect in GaAs MESFETs," IEEE Electron Device Letters, vol. EDL-3, no. 4, pp. 97-98, 1982.
- [9] L. Zhang, L. F. Lester, A. G. Baca, R. J. Shul, P. C. Chang, C. G. Willison, U. K. Mishra, S. P. Denbaars, and J. C. Zolper, "Epitaxially-Grown GaN Junction, Field Effect Transistors," IEEE Trans. on Electron Devices, vol. 47, no. 3, pp. 507–511, 2000.
- [10] S. T. Bradley, A. P. Young, L. J. Brillson, M. J. Murphy, and W. J. Schaff, "Role of barrier and buffer layer defect states in AlGaIn/GaN HEMT structures," Journal of Electronic Materials, vol. 30, no. 3, pp. 123–128, Mar. 2001.
- [11] P. B. Klein, S. C. Binari, J. J. A. Freitas, and A. E. Wickenden, "Photoionization spectroscopy of traps in GaN metal-semiconductor field-effect transistors," Journal of Applied Physics, vol. 88, no. 5, pp. 2843–2852, Sep. 2000.