

LSIの超低電圧動作に対応した発振回路および電源技術に関する研究

著者	小原 祐輔
その他のタイトル	Research on the oscillators and power supply techniques for the ultra low voltage LSIs
学位授与年度	平成28年度
学位授与番号	17104甲情工第321号
URL	http://hdl.handle.net/10228/00006314

LSI の超低電圧動作に対応した発振回路
および電源技術に関する研究

小原 祐輔

目次

1 章 : 序論	4
1.1: 研究の背景.....	4
1.2: CMOS リングオシレータ.....	7
1.3 レギュレータ.....	8
1.4: 電源スタック回路.....	12
1.5: 本研究の目的.....	14
1.6: 本論文の構成.....	15
2 章 : CMOS 偶数段リングオシレータ	16
2.1: 緒言.....	16
2.2: 疑似 SRAM 回路とスタティックノイズマージンによる安定性解析手法.....	17
2.3: 複数個のラッチを有する偶数段リングオシレータ.....	21
2.4: 偶数段リングオシレータの最適設計手法.....	23
2.5: ラッチの挿入位置の検討.....	25
2.6: 変動、ばらつきが生じた場合の SNM.....	28
2.7: 結言.....	30
3 章 : 電源スタック型回路	31
3.1: 緒言.....	31
3.2: 電源スタック型回路構成.....	31
3.3: コーディング法を用いた電源スタック型回路構成.....	36
3.3.1 : 8B/10B コーディング法[68][69].....	37
3.3.2 :Bus-invert コーディング法 [70][71].....	43
3.4: 8B/10B コーディング法+トグル変換回路[72].....	48
3.5: DC バランス Bus-invert コーディング法[73][74].....	52
3.6: 提案型コーディング法スイッチング数の遷移.....	57

3.7: 32bit 入力の電源スタック型システム構成	60
3.8: テストチップ	64
3.9: 測定結果	64
3.10: 結言	68
4 章 : 結論	70
謝辞	73
参考文献	74

1 章 : 序論

1.1 : 研究の背景

集積回路における MOS-FET の実装個数はムーアの法則に従い、1.5-2 年毎に倍増しており、それに伴い、プロセスノードの開発も並行して進められている[1]。プロセスノードの開発が行われ、トランジスタの微細化が進むと、ウェハ上の専有面積が減少することに加え、スケーリング側に基づき、回路動作の高速化、トランジスタのしきい値電圧の低下による動作電圧の低電圧化などの性能向上へとつながる[2][3]。LSI の集積度の向上により、近年では、多数のシステム機能がワンチップに集積された SoC(System On Chip)と呼ばれるチップが主流となっている[4]。SoC では、これまで別チップで構成していた演算機能と DRAM などのメモリをワンチップに搭載することが可能となっている。ただし、SoC では、ワンチップに複数の機能を持たせなければならないため、単体回路のサイズの縮小化が要求される[5]。

SoC を含めた集積回路では、発振回路によって生成されるクロック信号を基準として、各機能ブロック間が同期をとり、正常な動作を行う。故に、発振回路は集積回路の中で非常に重要な役割を担う回路であるといえる。発振回路は非常に多くの種類が存在し、各回路、それぞれの特徴を有している。発振回路の 1 例と各々の長所、短所を表 1.1.1 に示す。RC 発振回路はコンデンサ(C)と抵抗(R)で構成される回路である。トランジスタやオペアンプなどの増幅器からの出力を、R と C から構成される帰還回路を通し、入力にフィードバックすることで発振信号を生成する[6][7]。低周波での発振動作に優れているが、高周波での発振は困難である。LC 発振回路はコイル(L)とコンデンサで構成される帰還回路を用いて発振信号を生成する[8][9]。高周波の発振が可能であるが、低周波での動作は難しい。水晶発振回路は、電圧を印加することで固有の振動を起こす個体振動子を使用した発振回路である[10][11]。これらの回路は抵抗、コンデンサ、コイル、水晶振動子などの受動素子を使用するため、回路面積が大きくなってしまいう問題を有している[12][13]。一方、CMOS

インバータチェーンで構成される CMOS リングオシレータは、位相雑音に弱くジッタが大きいという問題を有しているが、構造が簡単であるため小面積で回路を構成でき、低電圧動作が可能である [14-16]。

表 1.1.1 発振回路の種類

	長所	短所
RC発振回路	低周波(~10MHz) オンチップ構成可能	高周波は困難
LC発振回路	高周波(100MHz~10GHz)	低周波は困難 オンチップでの構成不可
水晶発振回路	周波数が安定 (実使用は1~10MHz程度)	任意の周波数設定が困難 (水晶振動子に依存) オンチップでの構成不可
CMOSリングオシレータ	低電圧動作、小面積	位相雑音、ジッタが大きい

図 1.1.1 に示すように、電源電圧はこれからも低電圧化が進められていく[17]。そのため、低電圧での動作はこれからの LSI において、非常に重要な項目の一つであるといえる。そこで本研究では、数多くある発振回路の中で、低電圧での動作に強い CMOS リングオシレータに着目した。光パケット通信システムなどに用いられる高速クロックデータリカバリ回路においては、偶數位相が要求される[18]。しかし、通常の CMOS リングオシレータは、奇数段のインバータチェーンから構成されるため、偶數位相をとることができないという問題を有している。そこで、本研究では、CMOS 偶数段リングオシレータに関する研究を行った。

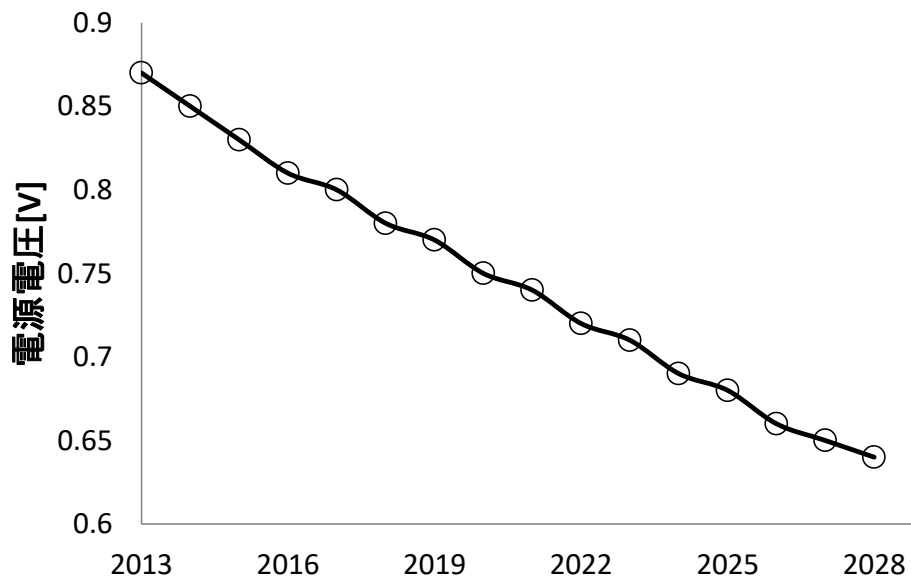


図 1.1.1 電源電圧の推移[17]

図 1.1.2 に示すように、プロセスノードの微細化が進められ、それに伴いデバイスのスケールリングも進んでいる。スケールリングが進むにつれ、チップ内に集積されるトランジスタの数が増大するため、チップの消費電流は大きくなっている。さらには、デバイスのスケールリングが進むと、デバイスの駆動電圧も低電圧化されるため、回路の低電圧化技術は非常に重要な技術である。低電圧化の技術としては、クロック信号に対し Enable 信号との入力をとる AND ゲートを設けることにより、必要となすのみ回路ブロックを動作させるクロックゲーティングや、動作していない回路ブロックに対してクロック信号の供給だけでなく電源を遮断するパワーゲーティング[19][20]、高速動作部と低速動作部で電圧を変更するマルチ VDD 技術[21][22]、外部電圧を降圧回路によって降圧して内部電圧とする電源降圧技術など様々な技術が存在する。

本研究では、外部電源から供給された電圧(V_{dd})を集積回路内部の降圧回路で降圧させ、消費電流を抑える電源降圧技術に着目した[23-28]。電源降圧の方法としては、レギュレータ(DC-DC コンバータ)を用いる方式が一般的である。しかし、レギュレータを用いた方式では、トランジスタの高速スイッチング損失、回路自身の自己消費電流損失などが問題となる。

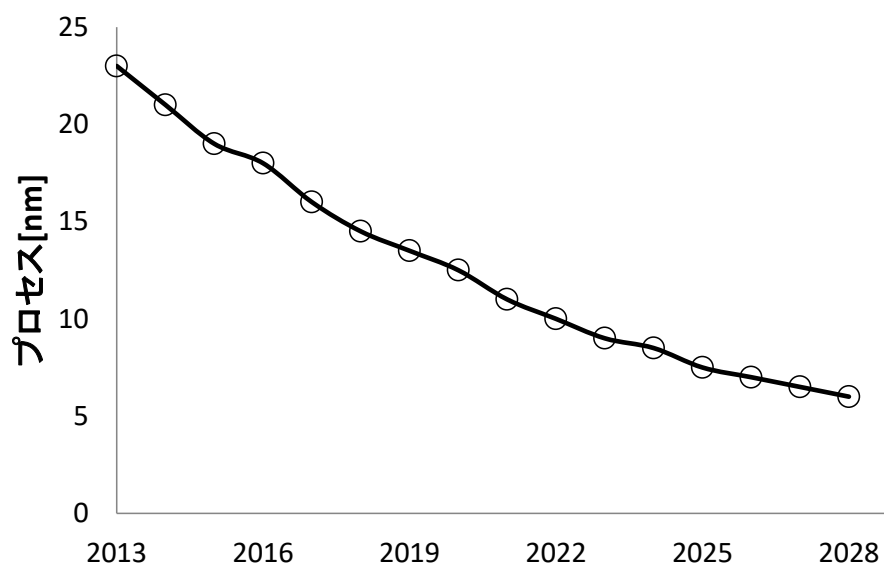


図 1.1.2 プロセスノードの推移[17]

1.2 : CMOS リングオシレータ

1.1 節で述べたように CMOS リングオシレータは構造が簡単であり、低電圧動作が可能であるという特徴を有している。図 1.2.1 に一般的なリングオシレータを示す。一般的な CMOS リングオシレータは奇数段のインバータチェーンから構成される。a 点の電位を”H”とすると、その電位とインバータの働きにより、b 点の電位は”L”となる。同様に、電位が各インバータを伝わることにより、c 点の電位は”H”、d 点の電位は”L”、e 点の電位は”H”となる。e 点の電位が a 点に伝わることにより、a 点の電位は”H”から”L”へと切り替わる。この信号伝達を繰り返すことにより、発振信号を生成する仕組みである。奇数段のリングオシレータは回路の構造上、非常に安定した動作を行う。しかし、奇数段のリングオシレータでは、図 1.2.2 に示すように、1 周期を奇数分割してしまうため、高速クロックリカバリシステムに必要な 90° や 180° の偶數位相を得ることができない。そこで、本研究では、偶数段のインバータチェーンから構成される CMOS 偶数段リングオシレータに着目した。

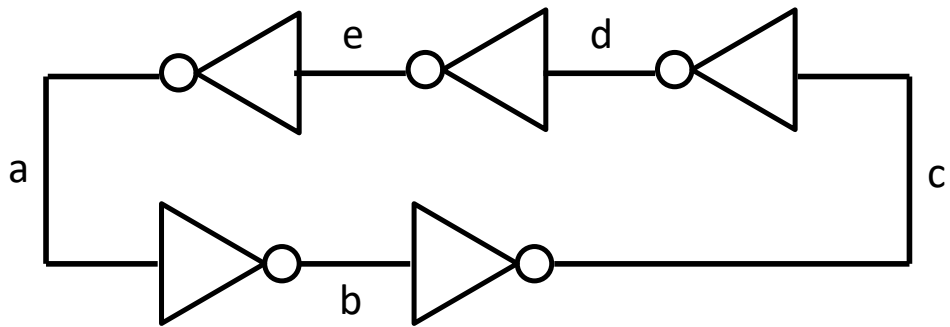


図 1.2.1 一般的なリングオシレータ

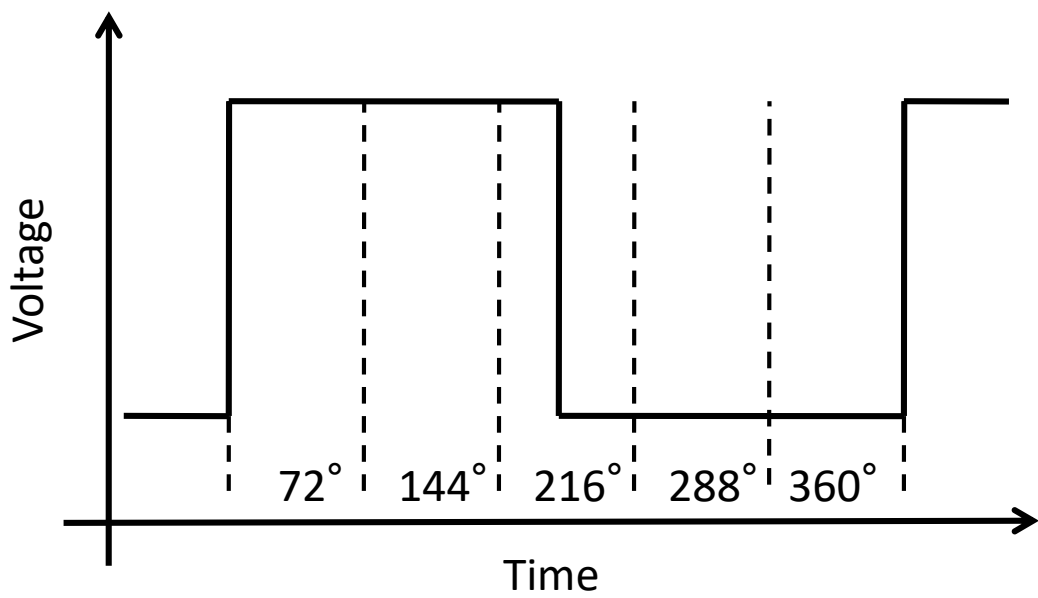


図 1.2.2 奇数段(5 段)リングオシレータの位相分割

1.3 レギュレータ

本節ではレギュレータに関して簡単に説明を行う[29-31]。レギュレータとは、出力される電圧や電流を一定に保つように制御を行う回路である。レギュレータは大きく分類すると、スイッチングレギュレータとリニアレギュレータに分類される。

一例として、図 1.3.1 に基本的なリニアレギュレータの回路図を示す。図 1.3.1 に示した回路ブロックの内部構造を図 1.3.2 に示す。誤差検出用のエラーアンプ、基準電圧源(V_{ref})、出力トランジスタから構成される。エラーアンプが連続的にレギュレータからの出力電圧をフィードバック電圧として、基準電圧と比較し、差分が 0 となるように出力トランジスタのゲートレベルを調整する仕組みとなっている。構造は簡単であるが電力損失が大きいという特徴を持つ。

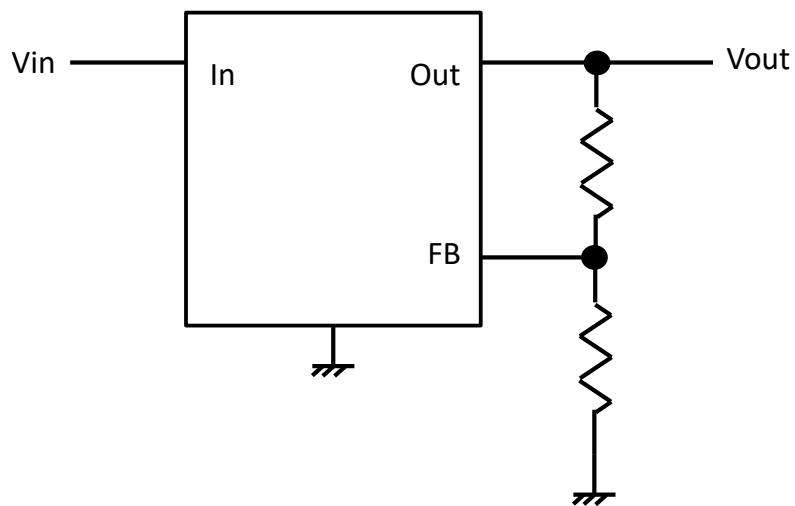


図 1.3.1 基本的なリニアレギュレータ

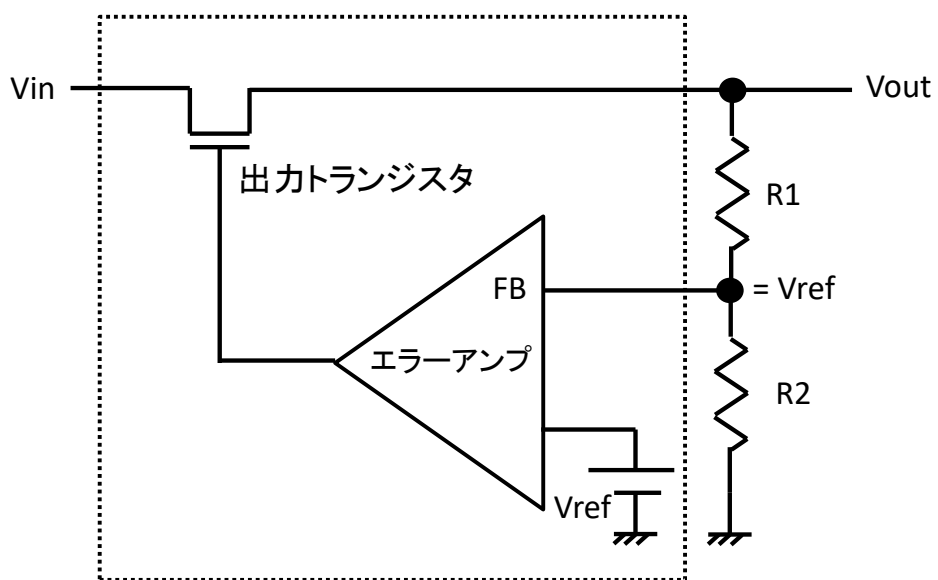


図 1.3.2 リニアレギュレータの内部構成

一方、スイッチングレギュレータはフィードバック回路によってデューティ比をコントロールすることにより、出力電圧を安定化させる回路である。一例として図 1.3.3 に基本的な降圧スイッチングレギュレータを示す。DC 電圧 V_{in} をスイッチによって時間分割し、インダクタとコンデンサにより、平滑化することにより、特定の DC 電圧に変換する回路である。本回路では、 $S1=ON / S2=OFF$ の状態で $L1$ には V_{in} が印加され、 $S1=OFF / S2=ON$ の状態では $L1$ は Gnd へ接続される。図 1.3.4 に本回路での電圧変換の一例を示す。上部の波形は、 $S1=ON / S2=OFF$ の時間が全体の 25% を占めている例である。つまり、 V_{in} の印加時間が 25%、 Gnd への接続時間が 75% であり、本波形を平滑化することにより、 V_{in} の 25% の DC 電圧を生成する。下部の波形は V_{in} の印加時間が 50%、 Gnd への接続時間が 50% の例である。

リアレギュレータでは、 V_{in} の 25% の電圧を生成する際にスイッチングなどは行わないため、入力電圧が常時入力されている。そのため、出力電圧との差分である 75% に該当するエネルギーは熱として捨てることになる。一方で、スイッチングレギュレータでは、出力に必要なエネルギーのみを取り込んでいるため、高効率な変換方法であるといえる。ただし、スイッチングレギュレータは、設計が複雑、部品点数が多い、スイッチングノイズの影響が大きいなどといった問題を有している。

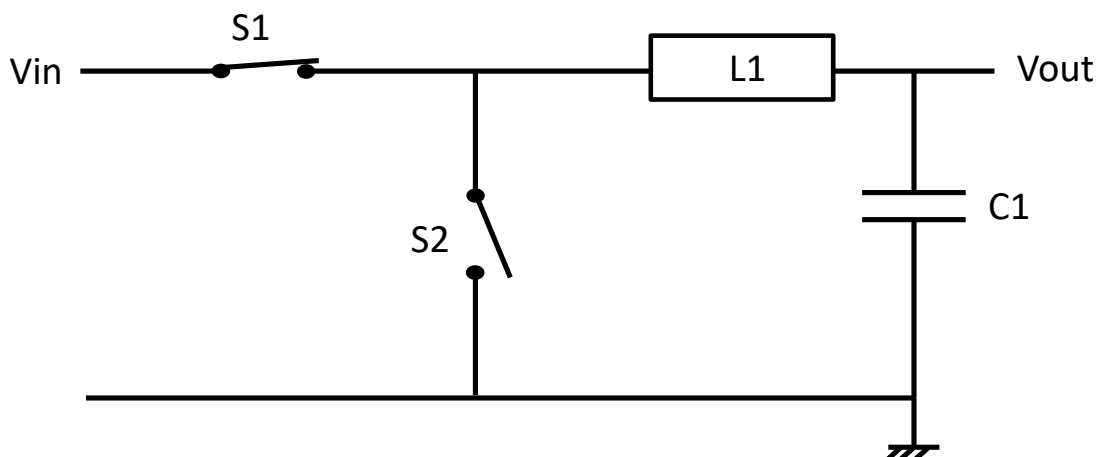


図 1.3.3 基本的な降圧スイッチングレギュレータ

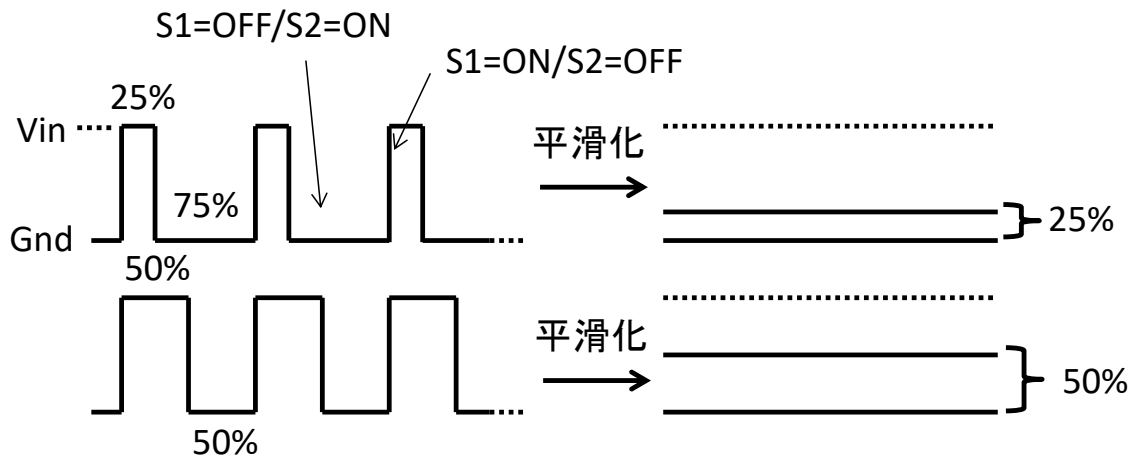


図 1.3.4 スイッチングレギュレータでの電圧変換

表 1.3.1 に各スイッチングレギュレータの利点、欠点を示す。このようにレギュレータは、各々欠点を有しているため、どのレギュレータを選択するかは、レギュレータを必要とする回路に依存するため、非常に難しい問題である。

表 1.3.1 各レギュレータの特徴

	リニアレギュレータ	スイッチングレギュレータ
効率	X	O
回路構成	O	X
入力電圧範囲	X	O
ノイズ	O	X
サイズ	X	O
電圧変動の応答	O	Δ

1.4: 電源スタック回路

電源スタック構造の回路では、外部から供給される電源電圧と GND の間に 2 つ(もしくは複数)の回路ブロックをスタックする方式である。図 1.4.1 は n 個の回路ブロックをスタックした電源スタック構造の回路図である。それぞれの回路ブロックは外部から供給される電源電圧の $1/n$ で動作が可能な構成である。外部電源は n 個の回路ブロックの最上段の回路ブロックに接続され、GND は最下段の回路ブロックに接続される。最上段の回路ブロックで消費された電流が下段の回路ブロックで余すことなく再利用されることが、本回路構造での理想的なケースである。

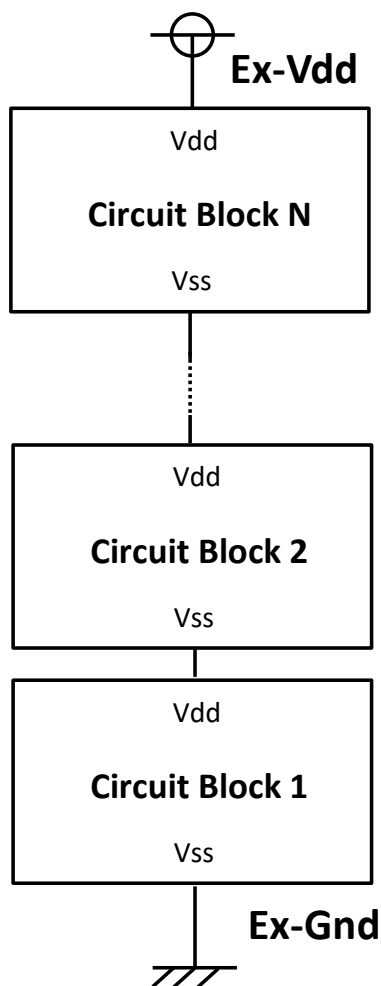


図 1.4.1 複数段電源スタック型回路

図 1.4.2 は、従来型の降圧回路を持つ回路構造、図 1.4.3 は 2 つの回路ブロックをもつ電源スタック型の回路構成を示した図である。図 1.4.3 に示したサポートレギュレータは上段の回路ブロックと下段の回路ブロックの間での消費電流の不均一性を調整する働きを担う。つまり、図 1.4.3 においては、このサポートレギュレータを別の回路として準備しなければならないが、一般的に図 1.4.2 の降圧回路と比較すると、十分に回路面積を小さくすることが可能であり、これは消費電流に関しても同様である。

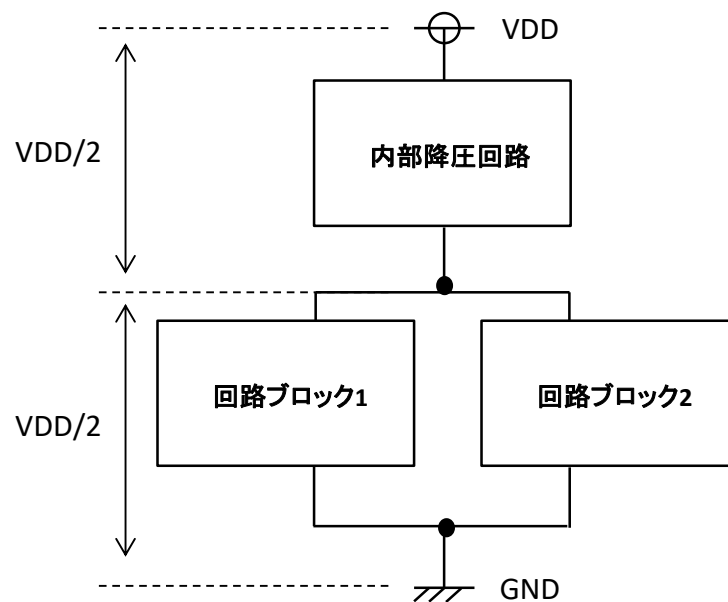


図 1.4.2 内部降圧回路

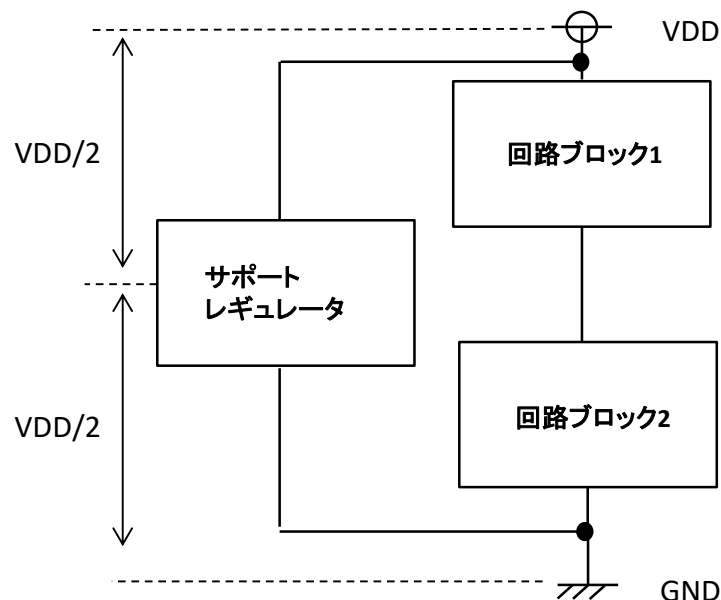


図 1.4.3 従来型電源スタック回路

一方で、このサポートレギュレータを回路システムから取り除くためには、上段の回路ブロックと下段の回路ブロックで消費される電流量を均等にする必要がある。CMOS 回路において、消費電流は、主に内部回路の回路動作とI/Oバッファのスイッチング電流に依存する。本研究では、上段と下段の回路ブロックのI/Oバッファのスイッチング電流を調整することで、サポートレギュレータを取り除く方式の検討を行った。

1.5: 本研究の目的

ここまで、CMOS リングオシレータと電源スタック回路構造に関して、説明を行った。トランジスタ、および、集積回路の微細化に伴い、回路面積や低消費電力化に対する要求は厳しくなっている。本研究ではこれらの要求に対する改善策として、構造が簡単であり低電圧動作が可能かつ、偶数位相を得ることのできる CMOS 偶数段リングオシレータ、サポートレギュレータを必要としない電源スタック回路に関する研究を行った。

1.6: 本論文の構成

第 2 章では、偶数段構成の CMOS リングオシレータに関して述べる。本回路は、偶数段の周回インバータチェーンにラッチを挿入することで、発振を実現する回路構造である。本回路により、発振信号を確認することは可能であるが、発振動作が設計パラメータに大きく依存し、非常に不安定であったため、安定発振条件のモデル化を行った。偶数段リングオシレータは挿入したラッチ部の構造が SRAM メモリセルに酷似していることから、SRAM の安定動作解析に使用される SNM(Static Noise Margin)による安定発振条件の解析を行った。また、回路構造を拡張させ、より安定した発振動作が可能な回路の検討も行った。

第 3 章では、サポートレギュレータを必要としない電源スタック回路構造の検討を行った。各回路ブロックには一定の電流消費が見込める SRAM を使用し、I/O スイッチングバッファが消費する電流量を均一にすることを目標とした。その実現のためには、上段と下段の回路ブロックのスイッチング遷移数を等しくする必要がある。そこで、複数個のコーディング法の提案を行い、実チップの測定により提案したコーディング法の検証を行った。

最後の第 4 章では本研究のまとめ、今後の課題、本論文の結論を論じた。

2 章 : CMOS 偶数段リングオシレータ

2.1 : 緒言

1 章で述べたように、CMOS リングオシレータは、構造が非常に単純であり、高速、低電圧動作が可能のため、広く使用されている[32][33]。一般的な CMOS リングオシレータは奇数段のインバータチェーンで構成され、回路の構成上、安定した発振信号を生成することが可能である。一方で、通信システムなどに用いられる高速クロックデータリカバリ回路においては、偶数位相出力が要求される[34][35]。これを満たすために、差動回路を用いた偶数段リングオシレータや LC 発振回路に関する検討が多く行われている[36][37]。しかし、差動回路の場合は、低電圧化への対応が困難であり、インダクタやコンデンサを用いた場合では、回路の面積が増大する。そこで、本研究では、図 2.1.1 に示す単純な偶数段 CMOS インバータチェーンをベースとしたリングオシレータに関する研究を行った。本回路は、偶数個のインバータチェーンにラッチ回路を挿入することにより、絶えず、ラッチの接点電位である A2 と B2 を強制的に反対の電位とすることによって、発振を継続させる回路構成となっている。偶数個のインバータチェーンをベースとした回路構成であるため、1 周期を偶数分割することが可能であり、偶数位相シフトを容易に実現することができる。しかし、安定した発振動作のためには、インバータチェーンを構成する周回インバータとラッチを構成するラッチインバータの適切なサイズ比を選択する必要がある。これまで、本タイプのリングオシレータに関する研究において、高速化や低ノイズ化に向けた検討は行われているが、回路の安定性を定量的に解析する手法については検討されていない[38][39]。本章では、偶数段リングオシレータの安定性に関する新たな解析手法とそれを応用した最適設計手法を提案する[40][41]。

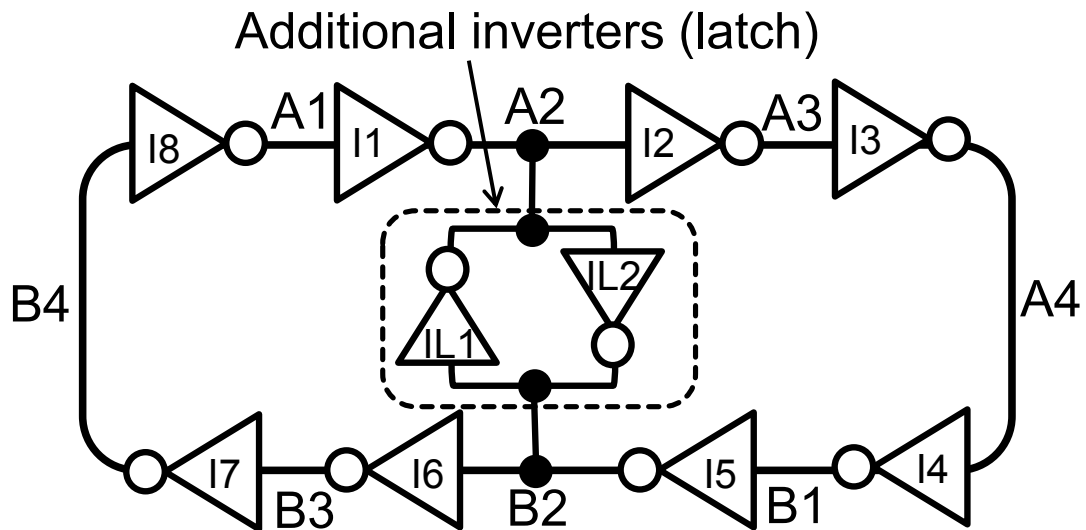


図 2.1.1 ラッチを含む偶数段リングオシレータ

2.2: 疑似 SRAM 回路とスタティックノイズマージンによる安定性解析手法

本節では、図 2.1.1 のタイプの発振回路と SRAM メモリセルとの類似性に注目することで、発振動作の安定性解析を行う。図 2.1.1 の回路のインバータの配置を変更したものが、図 2.2.1 の回路である。本回路において、I1、I5 を書き込みドライバ、I2、I6 を読み出しアンプ、IL1、IL2 をデータ保持部とみなすと SRAM メモリセルの構成に類似していることが分かる。

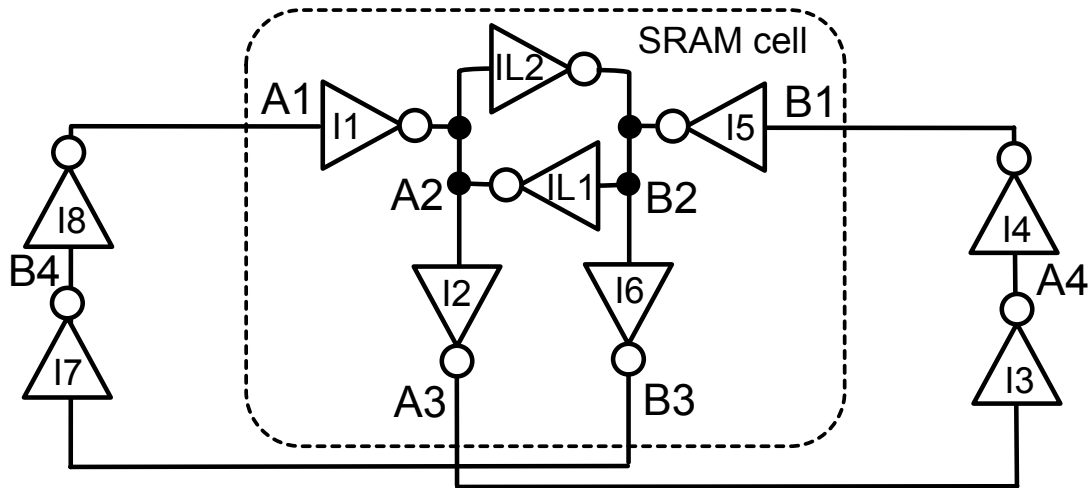


図 2.2.1 疑似 SRAM 配置の偶数段リングオシレータ

SRAM モデルの回路において、安定した発振を持続するためには A1,B1 のノードに応じて、下記の条件が必要である。

-条件 1 (A1,B1) = (H,L) or (L,H) : 発振が正常に継続している状態では、(A1,B1) = (H,L)または、(L,H)の状態にある。このケースでは、(A1,B1)の信号が疑似 SRAM の出力ノードである(A3,B3)に、伝搬される必要がある。言い換えると、IL1 と IL2 から構成される SRAM データ保持部にデータが格納されなければならない。

-条件 2 (A1,B1) = (H,H) or (L,L) : 発振が停止した場合や、発振動作が継続している状態に突発的に本状態に遷移する可能性がある。安定した発振を確保するためには、本状態に遷移した場合に、データを破壊することなくデータ保持部にアクセスし、SRAM 回路の出力部である (A3,B3)において、 $A3 \neq B3$ の状態を確保する必要がある。

以上の 2 つの発振持続の条件は、SRAM セルへの書き込み/読み出しの安定性を保証する Static Noise Margin 解析と等価であり、条件 1 は SRAM セルにおける Write Static Noise Margin(WSNM) >0 、条件 2 は Read Static Noise Margin >0 であることに相当する[42][43]。

図 2.2.2(a)は条件 1 の WSNM の値をシミュレーションするための評価用回路であり、(b)は(a)の回路で SPICE シミュレーションを実行した結果である。SPICE シミュレーションでは、0.18um のデバ

イスパラメータを使用し、電源電圧は 1.8V とした。シミュレーション回路は図 2.2.1 の回路を I1,I5,IL1,IL2 に対して、A2 と B2 の接点で分離し、A1 と B1 に対して、H,L を与える。その際に、A2' 入力に対する B2 出力の DC 解析、B2' 入力に対する A2 出力の DC 解析を行うことで、WSNM を求めることができる。その結果として得られる 2 本の曲線に内接する正方形の辺の長さを WSNM と定義する。同様に、図 2.2.3、2.2.4 にそれぞれ条件 2 の RSNM_H : (A1,B1)=(H,H) と RSNM_L : (A1,B1)=(L,L) のシミュレーション解析用回路とそれぞれの結果を示す。安定した発振動作を持続するためには、WSNM、RSNM_H、そして RSNM_L が全て確保できるように設計されなければならない。

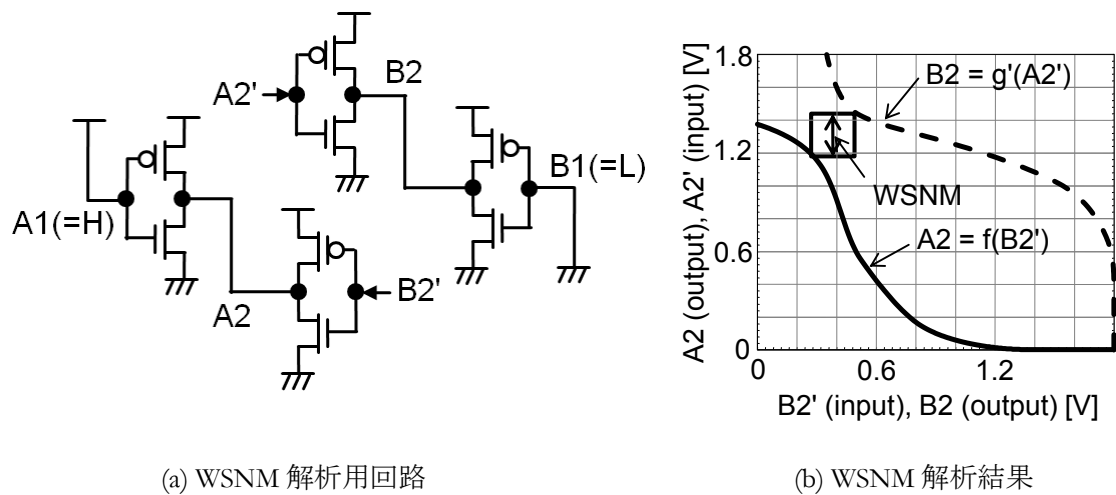
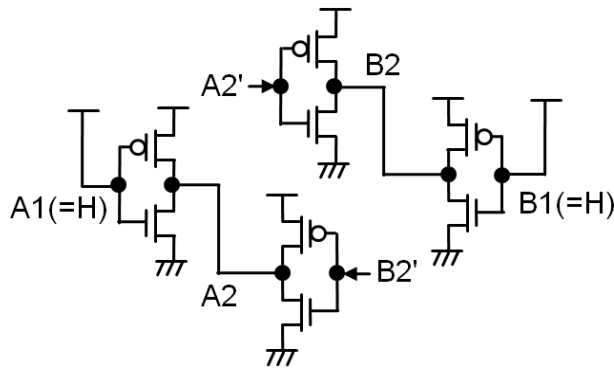
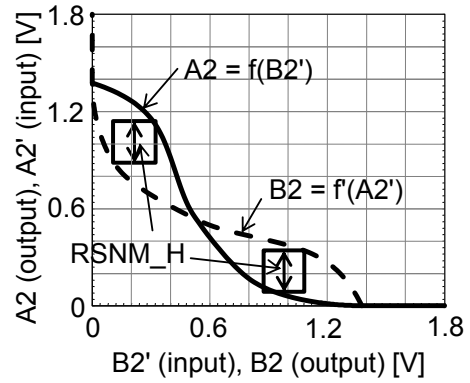


図 2.2.2 (A1,B1)=(H,L) に対する WSNM DC 解析

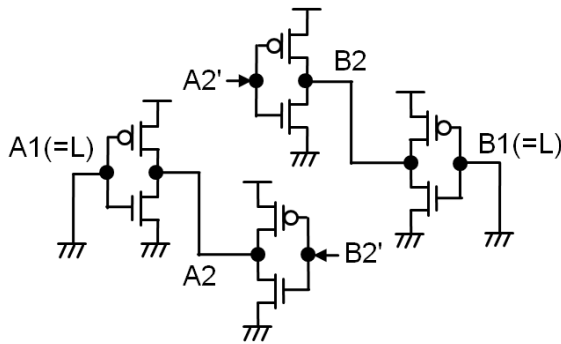


(a) RSNM_H 解析用回路

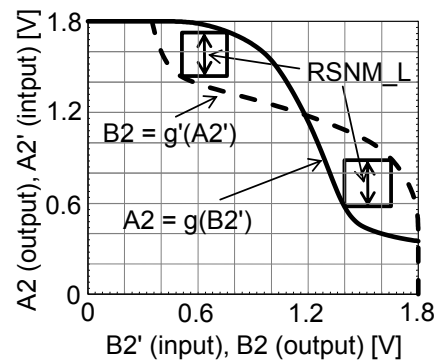


(b) RSNM_H 解析結果

図 2.2.3 (A1,B1)=(H,H)に対する RSNM_H DC 解析



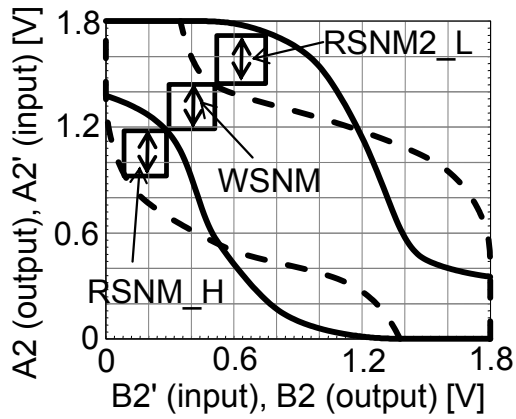
(a) RSNM_L 解析用回路



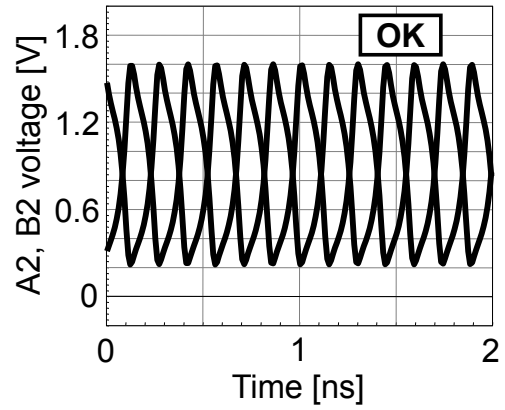
(b) RSNM_L 解析結果

図 2.2.4 (A1,B1)=(L,L)に対する RSNM_L DC 解析

図 2.2.5 に 3 つの SNM を同時にプロットした DC 解析結果と Transient 解析の結果である発振波形を示す。一方で、図 2.2.6 に 1 つの SNM($RSNM_H < 0$)を満足できない場合の解析結果を示す。これら 2 つの結果から、3 つの SNM($WSNM$, $RSNM_H$, $RSNM_L$)のマーヅン有無と発振動作可否の状態が対応していることが確認できる。つまり、図 2.1.1 に示した回路の発振可能条件は 3 つの SNM をすべて満たした場合となる[44]。

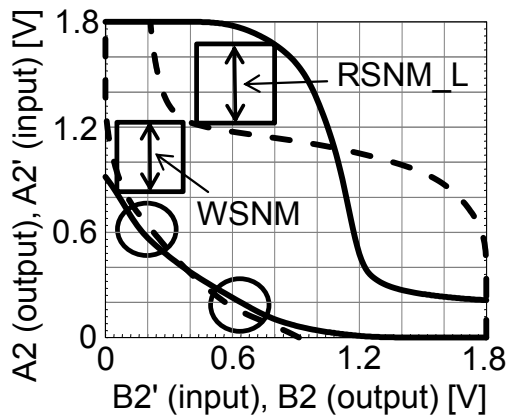


(a) DC 解析結果

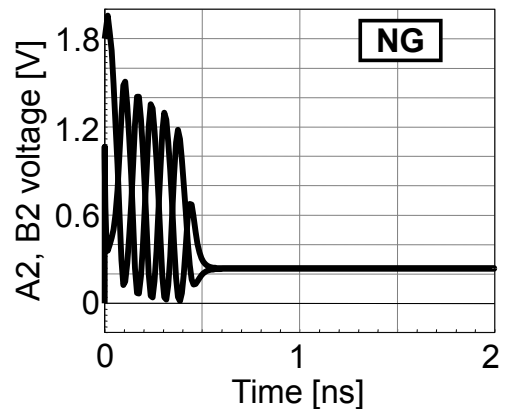


(b) Transient 解析結果

図 2.2.5 3 つの SHM を満たした場合の発振波形



(a) DC 解析結果



(b) Transient 解析結果

図 2.2.6 RSNM_H がかけた場合の発振波形

2.3: 複数個のラッチを有する偶数段リングオシレータ

前節では偶数段リングオシレータ内にラッチ回路が 1 つ挿入されたケースにおける、SNM と発振動作の関係について検討を行った。本節では、ループ内にラッチを増やした場合について、検討を行う。2 つ目のラッチを挿入する場合、図 2.3.1 に示すように、下記の 2 つのケースを考えることができる。

- (1) 2つ目のラッチを1つ目のラッチから数えて、偶数段目(図 2.3.1 における LatchB)に配置
- (2) 2つ目のラッチを1つ目のラッチから数えて、奇数段目(図 2.3.1 における LatchC)に配置

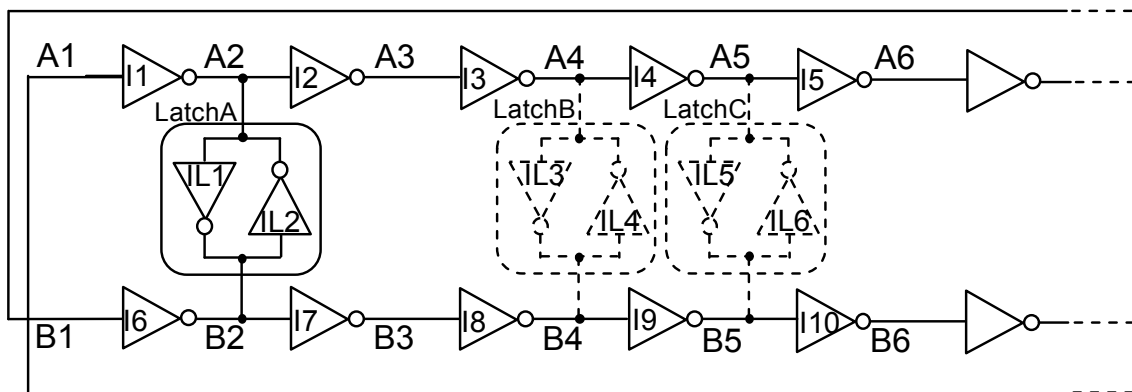


図 2.3.1 複数のラッチを有する偶数段リングオシレータ

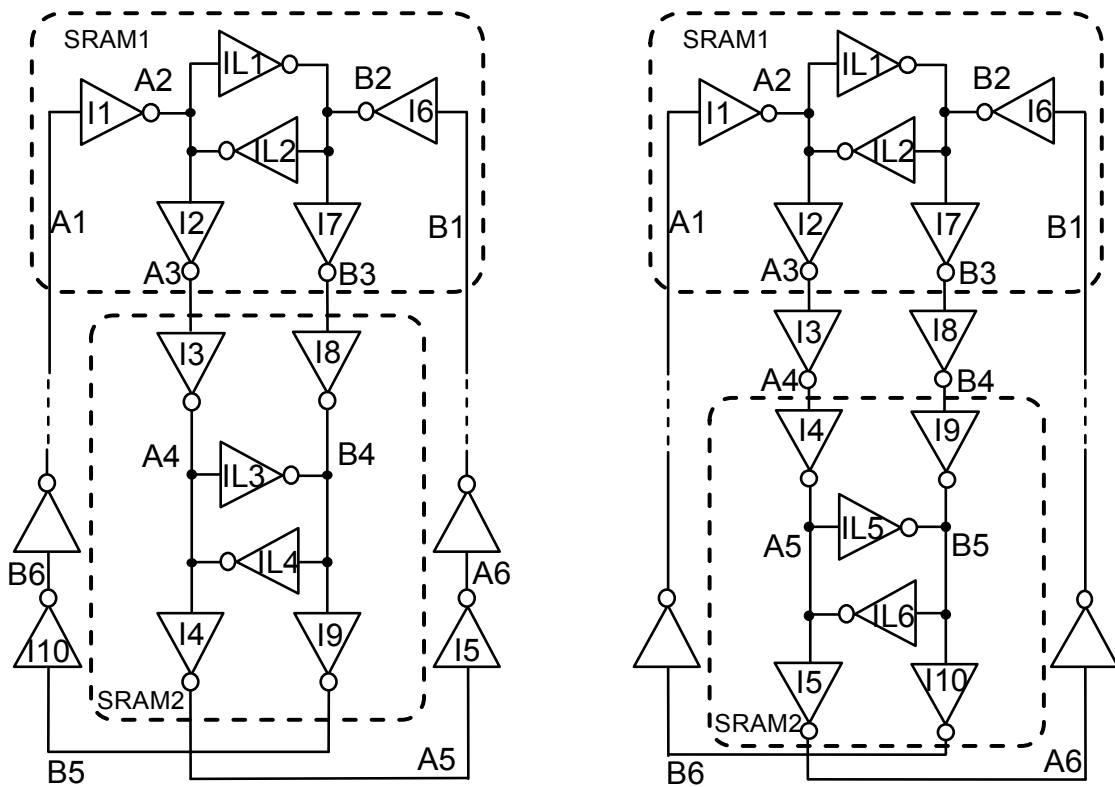
それぞれのケースにおいて、疑似 SRAM 回路の形へ回路図を変形すると、それぞれ図 2.3.2 の (a)、(b)の回路となる。図 2.3.2(a)の偶数段目に配置したケースでは、疑似 SRAM 回路 1 の出力 (A3,B3)ノードに直接 2つ目の疑似 SRAM の入力ノードが接続された構造になっている。本回路では、SRAM1 は下記の 3つの SNM をすべて満足する必要がある。

- (i) $RSNM_H$ (Read SNM High) > 0 , $(A1, B1) = (H, H)$ となった場合に $A1 \neq B1$ とする
- (ii) $RSNM_L$ (Read SNM Low) > 0 , $(A1, B1) = (L, L)$ となった場合に $A1 \neq B1$ とする
- (iii) $WSNM$ (Write SNM) > 0 , $A1 \neq B1$ となった場合に $(A3, B3) = (A1, B1)$ とする

SRAM2 についても、挿入するラッチ回路が同じものである場合には、同様に 3つの SNM を満足させる必要がある。

一方で図 2.3.2(b)のケースでは、疑似 SRAM1 と疑似 SRAM2 の間に奇数個のインバータが接続される構成となっている。例えば図 2.2.6 のように、SRAM1 と SRAM2 において、 $RSNM_H$ が確保できていない場合を考えると、 $(A1, B1) = (H, H)$ が入力されるとラッチの接続電位は $(A2, B2) = (L, L)$ となり、疑似 SRAM は $(A3, B3) = (H, H)$ を出力する。しかし、SRAM2 に対する入力は、インバータによっ

て反転されるため、 $(A4, B4) = (L, L)$ となる。故に、SRAM2においてRSNM_Lが確保できていければ、SRAM2では $A6 \neq B6$ となる電位を出力するため、回路全体において、発振条件を満たすことが可能となる。つまり、図 2.3.2(b)の回路での発振条件は2つのみであり、RSNM_LまたはRSNM_Hのいずれか一方とWSNMが満たされていけばよく、大幅に設計条件が緩和される。



(a) 偶数段目にラッチを配置したケース

(b) 奇数段目にラッチを配置したケース

図 2.3.2 複数のラッチを有する偶数段リングオシレータの疑似 SRAM 配置

2.4: 偶数段リングオシレータの最適設計手法

本節では、偶数段リングオシレータの最適設計値に関して論ずる。図 2.4.1 にラッチを構成するインバータ回路の PMOS と NMOS のサイズに対して、それぞれの SNM の値が 0 以上になる領域をシミュレーションで確認した結果を示す。本シミュレーションは 0.18umCMOS プロセス条件で実施し、

周回インバータの PMOS/NMOS のサイズレシオは 2 とした。グラフの縦軸、横軸はそれぞれ PMOS と NMOS の周回インバータとラッチインバータのゲート幅の比をとっている。ラッチが 1 つの回路では、3 つの SNM が全て 0 以上とならなければならないため、設計可能な領域は (i) のみとなる。しかし、ラッチを奇数段目に追加した回路では RSNM のどちらか一方と WSNM が確保できていればよいので、発振可能な領域は (i) + (ii)、もしくは (i) + (iii) となり、ラッチが 1 つの回路に比べて、非常に発振可能な設計領域が広いことを確認できる[45]。

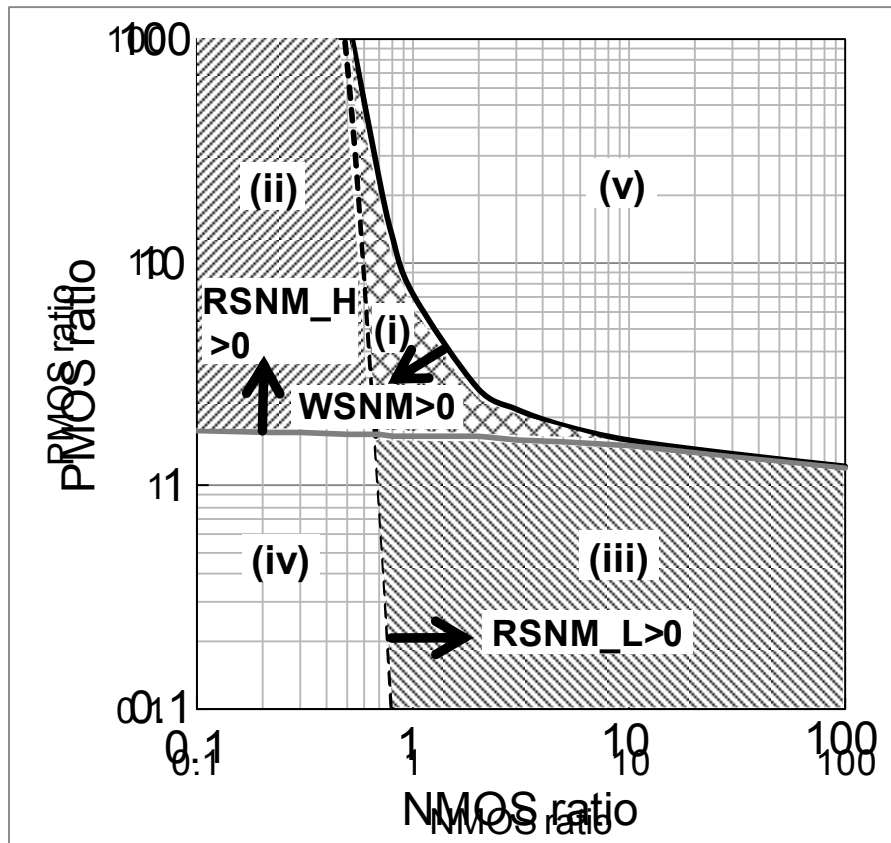


図 2.4.1 偶数段リングオシレータの設計許容パラメータ

図 2.4.1 の結果から、PMOS ratio=0、または NMOS ratio=0、すなわち片チャンネルラッチであれば、確実に WSNM を確保できることがわかる。片チャンネルで、ラッチを構成した場合には面積も小さくできるというメリットがある。図 2.4.2(a)に CMOS ラッチ 1 つを有するケース、(b)に NMOS ラッチを 2

つ有するケースの SNM と NMOS サイズの関係を示す。図 2.4.2(a) の場合では 3 つの SNM を確保できる NMOS のゲート幅はグレーのハッチングを行った 0.6-2.4 μm である。一方で、図 2.4.2(b) の場合は、NMOS のゲート幅は 0.7 μm より大きければよく、適切な位置にラッチを挿入することで、安定発振のための設計マージンが大幅に拡大されていることが確認できる。

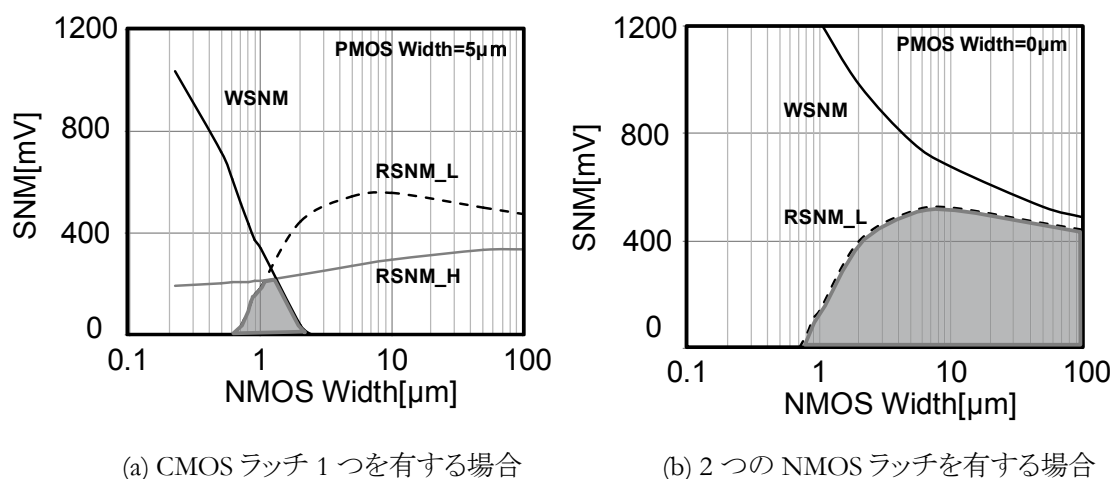
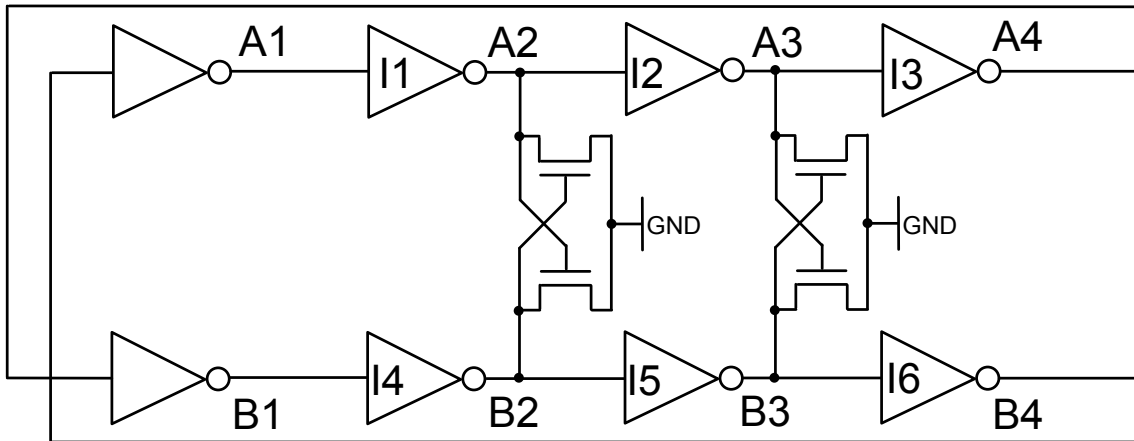


図 2.4.2 偶数段リングオシレータの設計パラメータ

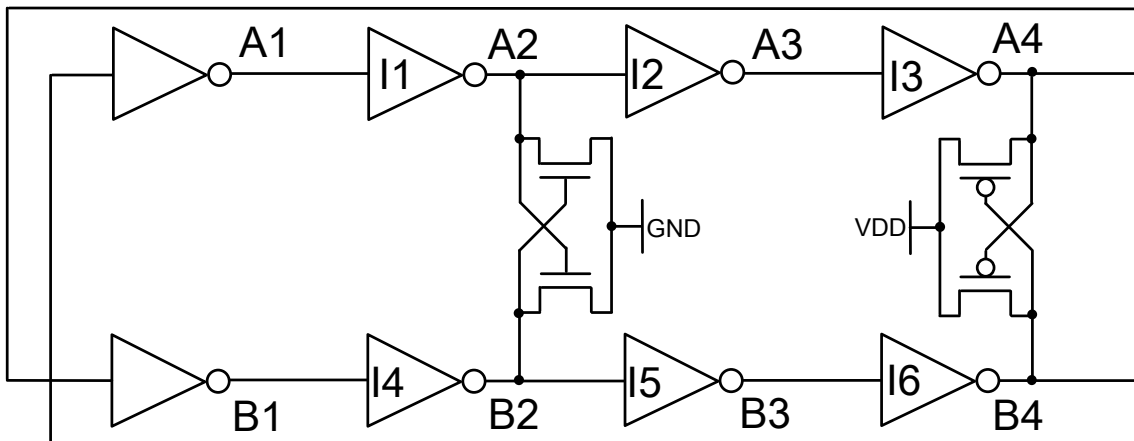
2.5: ラッチの挿入位置の検討

これまで述べてきたように、WSNM と RSNM_H、あるいは RSNM_L のいずれかのマージンが確保されている同一のラッチ回路を 2 つ連続して配置することで、安定した発振動作が可能となる。この回路の例を図 2.5.1(a) に示す。2 つのラッチ回路は NMOS のみで構成されており、RSNM_H と WSNM が確保されている。図 2.5.1(a) の 2 つ目のラッチを 1 段後ろへずらし、PMOS ラッチへと変更した回路を図 2.5.1(b) に示す。1 段後ろへ移動したことで、疑似 SRAM への入力反転される。さらにはトランジスタの極性が反転されたことで、WSNM と RSNM_H を確保するラッチとなっている。そのため、2 つ目のラッチが 1 つ目のラッチに対して、偶数段目に配置されている場合でも発振が可能となる。さらに、精度の高いマルチ位相出力を得るために、すべてのノードにラッチを配置した回

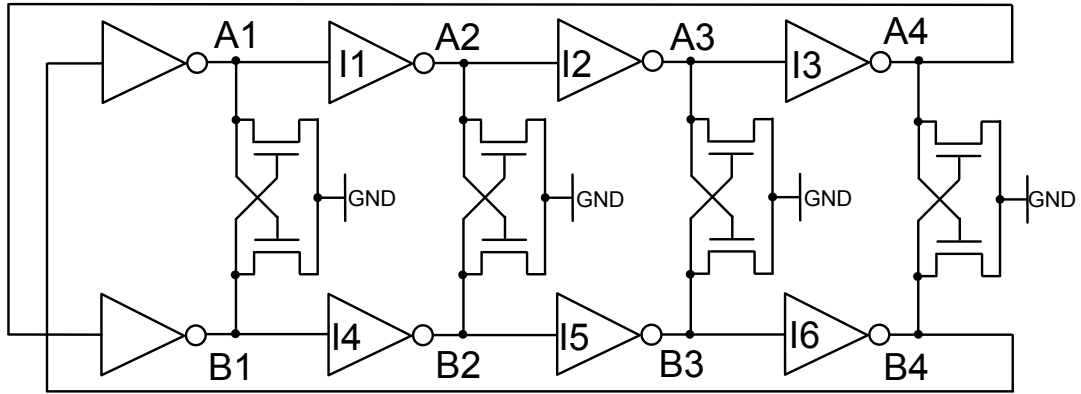
路が図 2.5.1(c)である。図 2.5.2 は図 2.5.1(c)の回路の A1、A3、B1、B3 における発振波形である。回路の対称性を保つことにより、 90° の位相シフトを得られることが確認できる[46]。



(a) NMOS ラッチを挿入した偶数段リングオシレータ



(b) PMOS/MOS ラッチを挿入した偶数段リングオシレータ



(c) 精度の高いマルチ位相出力のための偶数段リングオシレータ

図 2.5.1 多種類の方チャネルラッチリングオシレータ

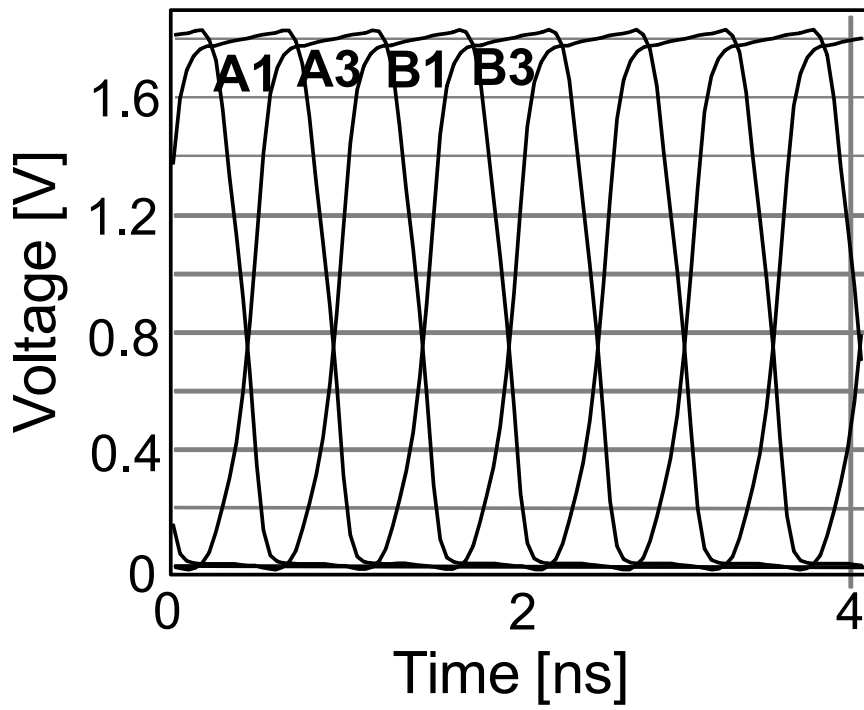


図 2.5.2 90° 位相シフト発振波形

2.6: 変動、ばらつきが生じた場合の SNM

本節では、PVT 変動、デバイスのサイズばらつきが生じた場合に関して論ずる。初めに PVT 変動が生じた際のシングル CMOS ラッチ、ダブル NMOS ラッチにおける SNM の様子を図 2.6.1 に示す。変動の条件は PMOS/NMOS の閾値を slow, typical, fast と与え、電源変動: 1.8V ± 20%、温度変動: -45~125°C とした。この図から、それぞれの回路に対する 3 つの SNM のワースト条件を見出すことができる。表 2.6.1、2.6.2 はそれぞれ、PVT 変動に対するワースト条件と変動を与えていない typical 時とワースト時の SNM の値をまとめた表である。このそれぞれのワースト条件下において、モンテカルロ法にて、素子ばらつきを考慮するためのシミュレーションを行った結果が図 2.6.2 である。条件は各トランジスタのゲート幅の 0-30% を 3σ としている。この結果から、シングル CMOS ラッチで設計を行った場合では、PVT 変動や素子ばらつきが生じた場合では、安定した発振を行うことが困難であることが確認できる。一方で、ダブル NMOS ラッチで設計を行った場合では、ワースト条件下で素子ばらつきが生じた場合においても、RSNM のどちらか一方と WSNM を確保できており、ダブル NMOS ラッチで設計を行った場合では、PVT 変動や素子ばらつきに対しても、十分に対応が可能であるといえる。

		PF	PT	PS
WSNM [mV]	NF	251	218	237
	NT	303	240	227
	NS	359	279	236
RSNM_L [mV]	NF	192	320	407
	NT	105	243	356
	NS	33	153	283
RSNM_H [mV]	NF	274	187	85
	NT	327	255	164
	NS	371	311	238

(a) シングル CMOS ラッチ

		PF	PT	PS
WSNM [mV]	NF	843	782	731
	NT	936	873	822
	NS	1020	957	904
RSNM_L [mV]	NF	416	448	467
	NT	422	467	496
	NS	411	469	509
RSNM_H [mV]	NF	-	-	-
	NT	-	-	-
	NS	-	-	-

(b) ダブル NMOS ラッチ

図 2.6.1 プロセス変動が生じた場合の SNM の値

表 2.6.1 シングル CMOS ラッチのワーストの SNM 値

	Process	Voltage[V]	Temp[°C]	SNM:Typical	SNM:Worst
WSNM	NF&PT	1.45	-45	344	268
RSNM_L	NS&PF	2.15	125	344	0
RSNM_H	NF&PS	1.45	125	360	27.8

表 2.6.2 ダブル NMOS ラッチのワーストの SNM 値

	Process	Voltage[V]	Temp[°C]	SNM:Typical	SNM:Worst
WSNM	NF&PS	1.45	27	1320	1040
RSNM_L	NS&PF	1.45	125	660	495
RSNM_H	-	-	-	-	-

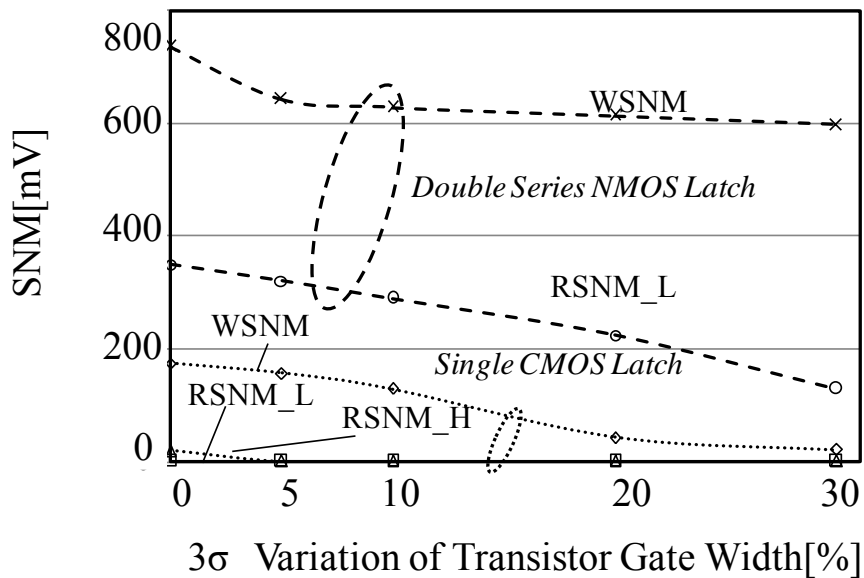


図 2.6.2 素子ばらつきシミュレーション結果

2.7: 結言

本章では偶数段リングオシレータの最適設計手法に関して論じた。疑似 SRAM 構造により、SRAM のデータ保持特性を評価する SNM を利用して、リングオシレータの安定性を定量的に評価する手法の提案を行った。さらにその手法を適用し、回路の解析を行ったところ、ラッチが 1 つの回路では十分なマージンを得ることは困難であるが、ラッチ回路の特性、および挿入位置により、複数個のラッチを挿入することで、大幅に発振可能条件を緩和することが可能であることが確認できた。片チャンネルで 2 つのラッチを構成する場合、それぞれのラッチの極性が同一の場合には 2 つ目のラッチを奇数段目に配置し、相補特性の場合には奇数段目のノードにラッチを配置することで、安定した発振動作が可能であることを確認した。さらには、片チャンネルラッチ構成において、PVT 変動やプロセスばらつきにも十分に対応可能であることを確認した。

3 章：電源スタック型回路

3.1：緒言

第1章で紹介した通り、現在の集積回路では、外部から供給された電源電圧を内部の降圧回路で降圧させ、回路ブロックごとに異なる電圧で動作させることで、消費電流を抑える方式が一般的である。これはスケールリングが進み、微細化されたトランジスタのデバイスの信頼性の観点においても非常に重要な方式である[47-49]。この内部降圧の方式は、CMOS LSI の低消費電力回路技術における研究から導き出されている傾向である[50-52]。また、低消費電力のデジタルシステムの実現に向け、消費電力の抑制を行うための検討も多く行われている[53-55]。特に携帯電話などのモバイル機器向けの LSI においては、バッテリーからの電力供給によって動作を行うので、消費電力を抑制し、長時間の動作を保証することは、非常に重要な課題である[56][57]。それゆえに、レギュレータ(DC-DC コンバータ)を用いた電圧降下の方式は多く用いられており、増加傾向にある。しかし、DC-DC コンバータによる電圧降下方式は、トランジスタのスウィッチング損失、回路自身の自己消費電流損失などが存在するため、無駄なエネルギー損失が生じてしまうという問題を有している。さらに、降圧回路の実現には、多くの受動素子が必要となるため、面積が大きくなってしまふ[58-62]。故にレギュレータを必要としない電源スタック構造に関する回路方式の研究が多く行われている[63-65]。本章では、レギュレータを必要としない、電源スタック構造に関して論ずる。

3.2：電源スタック型回路構成

電源スタック型回路は、図 3.2.1 に示すように同一の回路ブロックを直列に接続することにより、各回路ブロックを電源電圧の $1/n$ 倍で動作させる回路構成である。

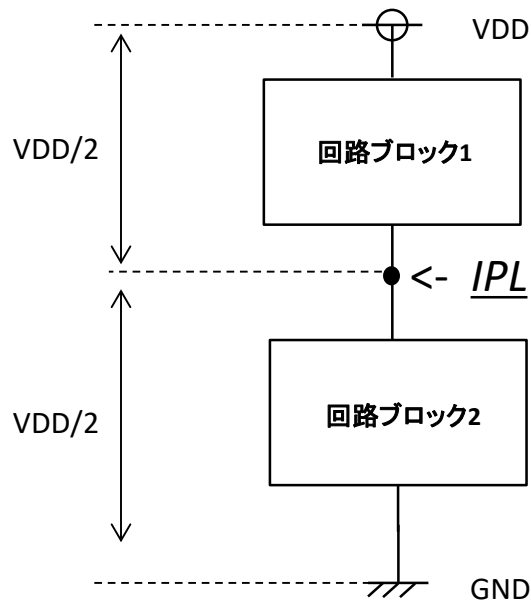


図 3.2.1 2つの回路ブロックを持つ電源スタック回路構成

しかし、この回路構成においては、上下段の回路ブロックに消費電流の差が生じることで、下段のチップの接点電位(IPL : Intermediate Power Level)が変動してしまうという問題が生じる。図 1.4.3 に示したような従型の電源スタック回路では、サポートレギュレータによって、IPL 変動の抑制を行っていた。IPL の変動は主に下記の 2 つの要因によって変動する。

1. 回路ブロックが動作することによって消費される電力
2. I/O バッファのスイッチングによって消費される電力

本研究では、各回路ブロックにおいて、動作時に一定の電力消費が見込める SRAM を選択した [66][67]。上下段での動作タイミングを合わせ、内部回路ブロック間の消費電力の差を合わせることで、1 によって生じる IPL 変動を抑え込むことが可能である。

一般的な回路は、信号を増幅するための I/O バッファを備えている。電源スタック型回路構造において、出力バッファの駆動電流の差が生じることにより、上段ブロックと下段ブロックの接続点である IPL が電源電圧の 1/2 から乖離してしまう。図 3.2.2 は I/O バッファのスイッチング数の差が IPL の変動に与える影響を確認したシミュレーションの結果である。図 3.2.3 に示す 8 個の I/O バッファ

で構成された2つの回路ブロックをスタックした構造の回路に対し、表 3.2.1 に示すデータ入力を行った。表 3.2.1 に関して、8bit はすべての bit でデータが遷移する入力を示しており、4bit は 4bit 遷移、0bit は 1bit も遷移しない入力データである。この結果から、上下段の回路ブロックのスイッチング数の差が大きい場合には、IPL の変動が大きいことが確認できる。

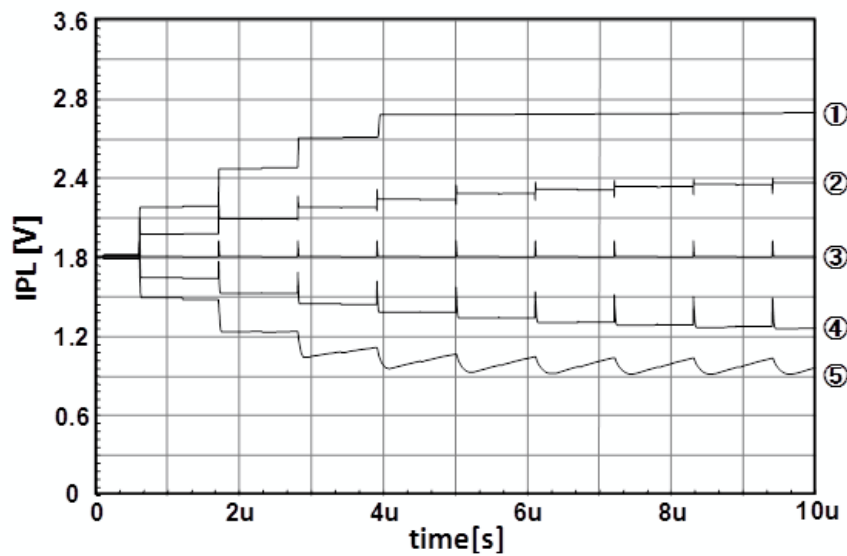


図 3.2.2 I/O バッファのスイッチング数の遷移が IPL 変動に与える影響

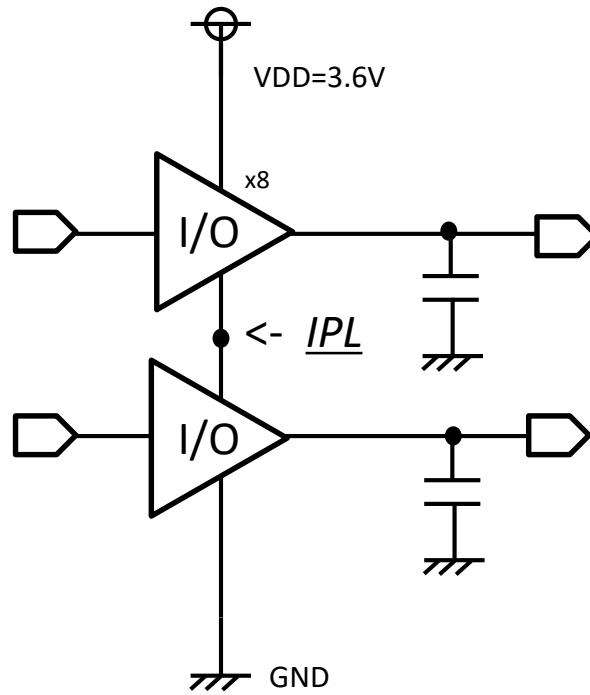


図 3.2.3 IPL 変動確認回路

表 3.2.1 IPL 変動確認回路への入力 bit 遷移

	up_in	up_down
①	8bit	0bit
②	8bit	4bit
③	4bit	4bit
④	4bit	8bit
⑤	0bit	8bit

図 3.2.4 に各回路ブロックに 8Bit 入力 SRAM を使用した電源スタック型の回路を示す。本回路にて IPL 変動確認シミュレーションを行った結果が、図 3.2.5 である。上下段の SRAM で Write/Read 動作を繰り返した時の IPL の変動を調べた。SRAM を使用した回路でも入力パターンによって、IPL

が変動していることが確認できる。片側の回路ブロックでは出力データの 8Bit すべてが遷移し、もう一方の回路ブロックでは出力データが遷移しないような場合が、IPL の変動が最も大きいワーストパターンとなる。例えば、時刻 t における SRAM からの出力が上段:1111 1111、下段:0000 0000 であった場合に、 $t+1$ における SRAM からの出力が上段:0000 0000、下段:0000 0000 となるケースが連続する場合は IPL に最も大きな変動を与える。このようなケースでは、上段では絶えず電流を消費しているのに対し、下段では電流を消費しないため、IPL の電位は電源電圧の $1/2$ から上昇していく。

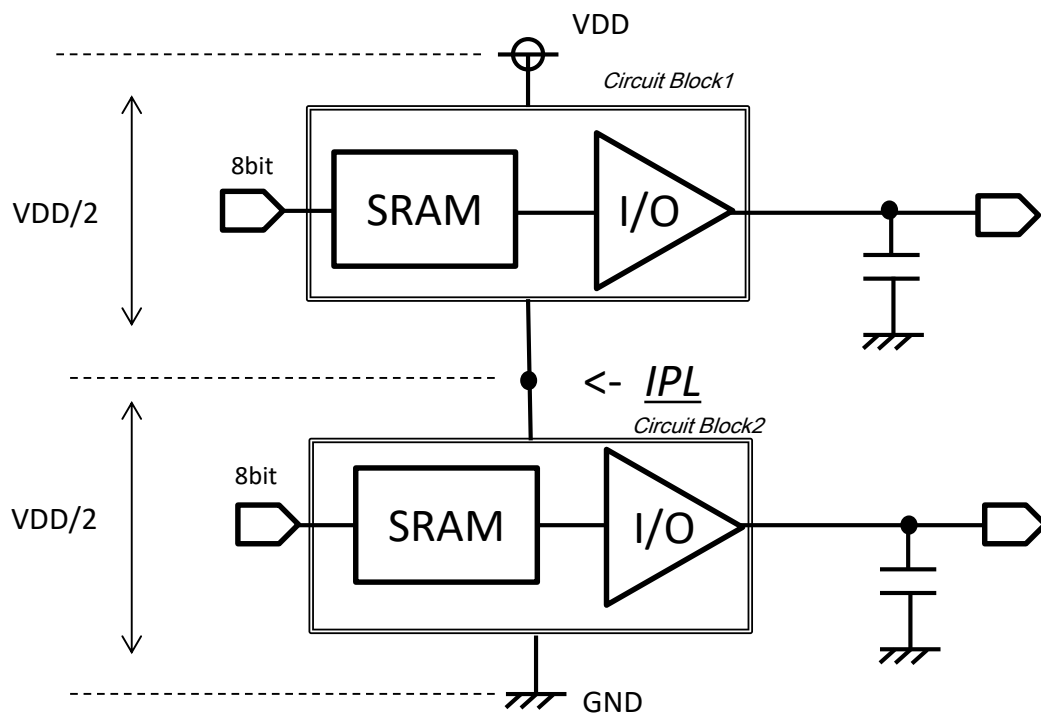


図 3.2.4 回路ブロックに SRAM を使用した電源スタック型回路

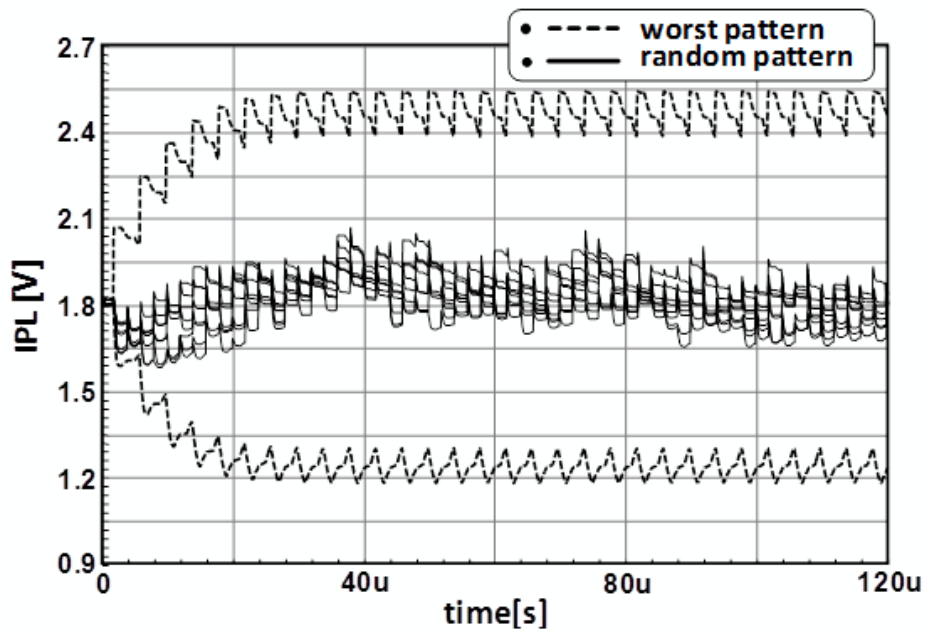


図 3.2.5 SRAM を使用した電源スタック回路の IPL 変動シミュレーション

3.3 : コーディング法を用いた電源スタック型回路構成

前節で述べた通り、電源スタック側回路構成では、出力バッファのスイッチング数の差により IPL が変動する。そこで本研究では、図 3.3.1 に示すスイッチング数の差を抑制するコーディング法を適用した電源スタック型回路構成を提案する。

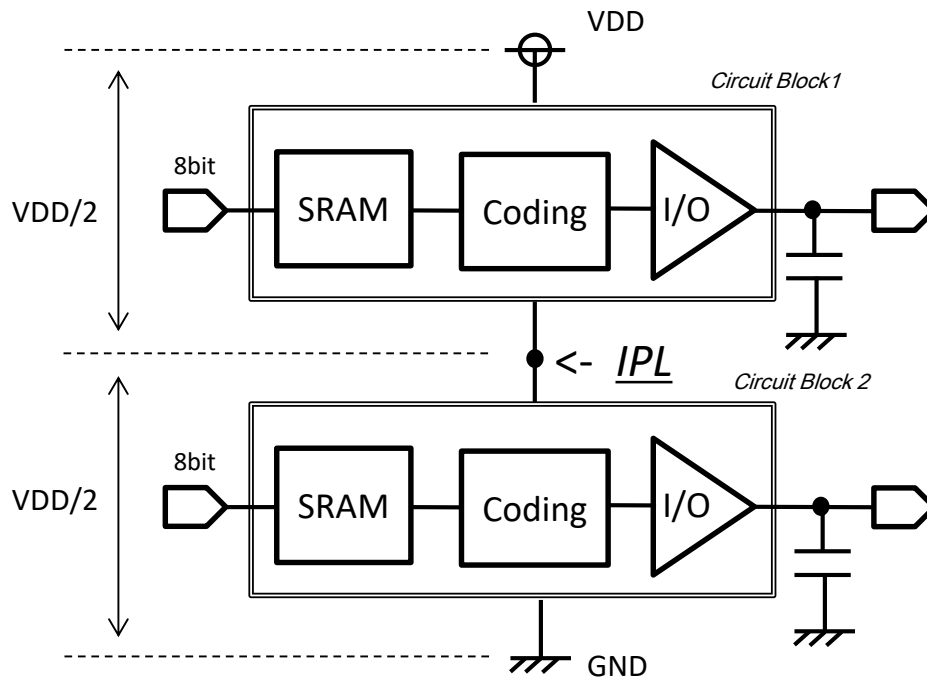


図 3.3.1 コーディング法を使用した電源スタック型回路

3.3.1 : 8B/10B コーディング法[68][69]

8B/10B コーディング法は高速シリアルインターフェースで利用される技術であり、8bit の入力信号をあらかじめ定められた変換テーブルに従って、10bit の信号に符号化するコーディング法である。本コーディング法の特徴は出力信号の 10bit 中に含まれる 0 と 1 の比率が 4:6、5:5、6:4 のいずれかになるようにコーディングが行われる。

8B/10B コーディング法を実現するための回路ブロックを図 3.3.2 に示す。入力された 8bit の信号は 5bit と 3bit に分けられ、それぞれ表 3.3.1 と 3.3.2 に示した変換テーブルに従い、6bit と 4bit に変換される。この 2 つの信号をディスパリティコントローラによって、マージすることで 10bit の出力信号となる。また、このディスパリティコントローラでは、出力信号の 0 の個数と 1 の個数の関係性を極性として記憶しており、この極性をランニン

グデイスパリティ(RD)と呼ぶ。符号化後の出力信号において、1の数より0の数が多い場合にはRDは”-“となる。反対に、0の数より1の数が多い場合、RDは”+“となる。また、0の数と1の数が等しい場合にはRDは極性を持たない。Disparityコントローラでは、このRDの値を参照し、出力の値を決定する。直前の出力に対するRDが”+“であれば、出力信号は次のRDが”-“になるよう(符号化後の出力信号内の0の数が多くなるよう)に決定される。反対に、直前の出力に対するRDが”-“である場合には、出力信号は次のRDが”+“になるよう(符号化後の出力信号内の1の数が多くなるよう)に決定される。また、出力信号における0と1の数が同じであり、RDの極性を持たないようなケースでは、RDの極性は変更されず、維持される。

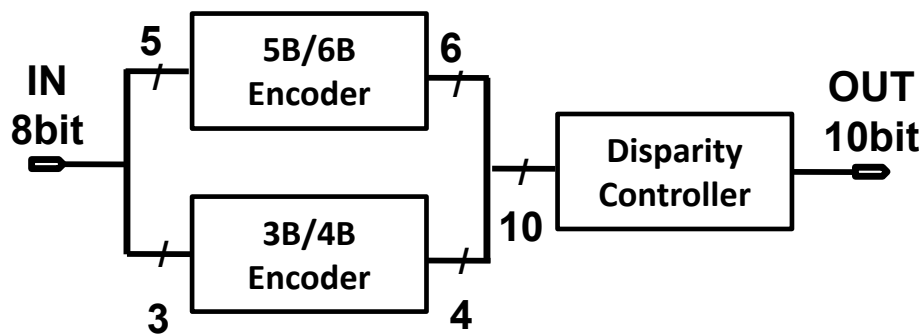


図 3.3.2 8B/10B コーディング法の回路ブロック

表 3.2.1 5B6B 変換テーブル

入力5bit	出力6bit	
	RD+	RD-
00000	100111	011000
10000	011101	100010
01000	101101	010010
11000	110001	
00100	110101	001010
10100	101001	
01100	011001	
11100	111000	000111
00010	111001	000110
10010	100101	
01010	010101	
11010	110100	
00110	001101	
10110	101100	
01110	011100	
11110	010111	101000
00001	011011	100100
10001	100011	
01001	010011	
11001	110010	
00101	001011	
10101	101010	
01101	011010	
11101	111010	000101
00011	110011	001100
10011	100110	
01011	010110	
11011	110110	001001
00111	001110	
10111	101110	010001
01111	011110	100001
11111	101011	010100

表 3.2.2 3B4B 変換テーブル

入力3bit	出力4bit	
	RD+	RD-
000	1011	0100
100	1001	
010	0101	
110	1100	0011
001	1101	0010
101	1010	
011	0110	
111	1110	0001

図 3.3.3 に 8B/10B コーディングでのコーディングの様子を示す。本ケースでは入力信号が 2 回入力された場合について説明を行う。また、下記に図 3.3.3 の流れを示す。

①1 つ目の入力信号として”001 00010”が入力される。

その際、初期値として、RD=”+”の場合を考える(ConditionA)。

②入力信号を 3bit の”001”と 5bit の”00010”に分割する。

③分割された 5bit の信号に対し 5B6B 変換を行う。その際、ConditionA の RD=”+”を参照し、”000110”へと変換される。変換後、RD=”-“となる。(ConditionB)

④分割された 3bit の信号に対し、3B4B 変換を行う。その際、ConditionB の RD=”-“を参照し、”1101”へと変換される。変換後、RD=”+”となる。(ConditionC)

⑤変換された 6bit の信号と 4bit の信号をマージし、”000110 1101”を出力する。

⑥2 つ目の入力信号として”001 11110”が入力される。

⑦入力信号を 3bit の”001”と 5bit の”11110”に分割する。

⑧分割された 5bit の信号に対し、5B6B 変換を行う。その際、ConditionC の RD=”+”を参照し、”101000”へと変換される。変換後、RD=”-“となる。(ConditionD)

⑨分割された 3bit の信号に対し、3B4B 変換を行う。その際 ConditionD の RD=”-“を参照し、”1101”へと変換される。変換後、RD=”+”となる。(ConditionE)

⑩変換された 6bit の信号と 4bit の信号をマージし、”101000 1101”を出力する。

この流れを繰り返すことにより、連続した入力信号に対するコーディングを行う。

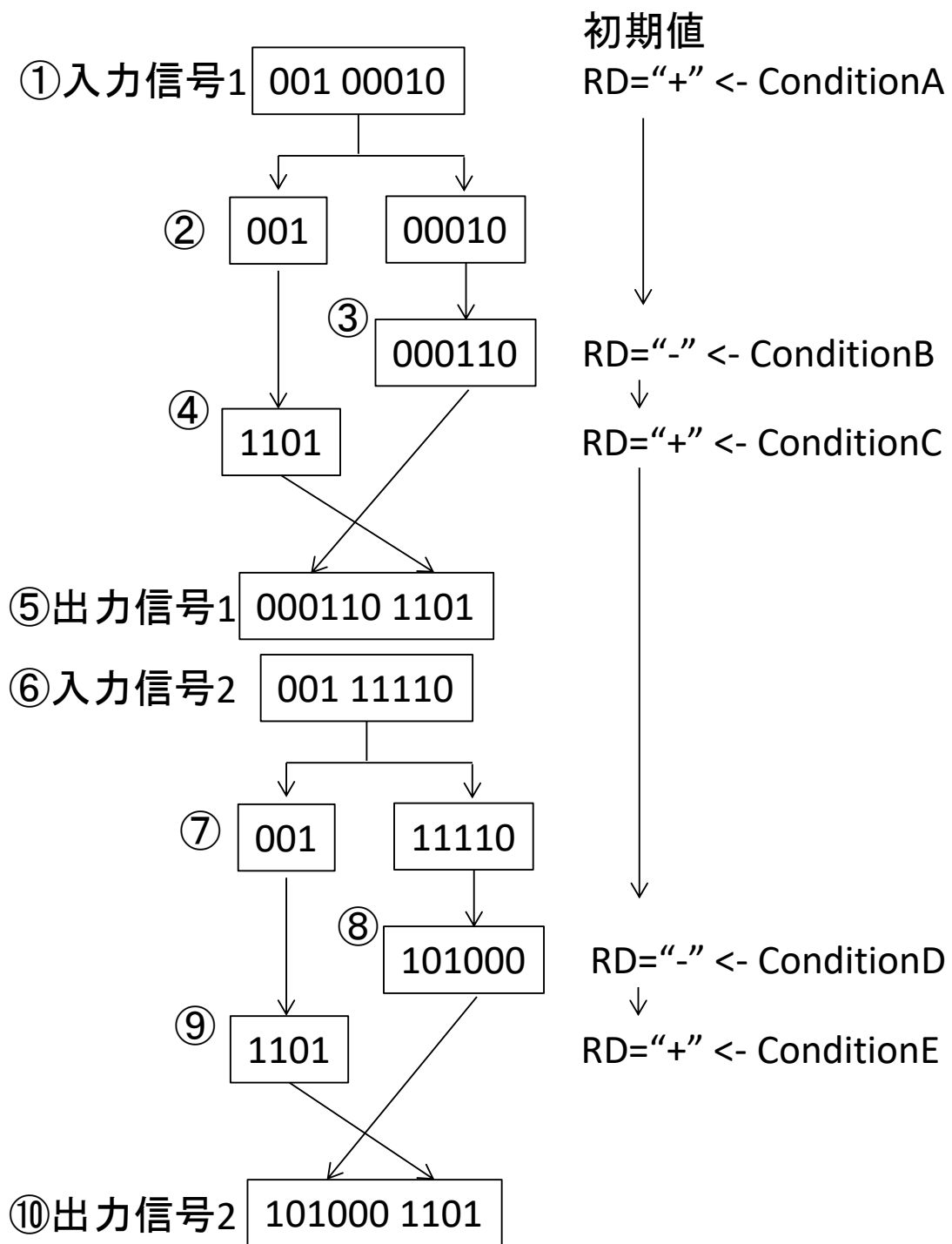


図 3.3.3 8B/10B コーディングの流れ

図 3.3.4 は 8B/10B コーディング法を使用した電源スタック型構成の回路図である。また、図 3.3.5 は 8B10 コーディング法を使用した電源スタック型構成回路の IPL 変動を確認したシミュレーション結果である。8B/10B コーディング法を使用した IPL 変動の抑制はコーディング法を使用しない場合と比較して、大きな改善は見られない。8B/10B コーディング法は、コーディング後の信号内の”1”の数をコントロールする手法である。しかしながら、スイッチング遷移数をコントロールすることはできないため、上段と下段のスイッチング数の差が最大で 10bit になってしまうケースが存在する。図 3.3.6 にスイッチング数の差が 10bit になるケースを示す。時刻 t における SRAM からの出力が上段で 10011000、下段で 10011000 であった場合、8B/10B コーディング回路でそれぞれ 1001110001 と 1001110001 に変換される。その後時刻 $t+1$ にて、SRAM からの出力が上段で 01100111、下段で 10011000 であった場合、8B/10B コーディング回路にて 0110001110 と 1001110001 に変換される。このケースにおいては、コーディング後の信号内の 1 の数はすべて 5bit にコントロールされているが、時刻 t と $t+1$ でのスイッチング数を考えると、上段は 10bit 全てでスイッチングしているのに対し、下段では 1bit もスイッチングが生じていない。この結果、上段と下段のスイッチング数の差が 10bit となってしまう、IPL の変動が大きくなってしまう。

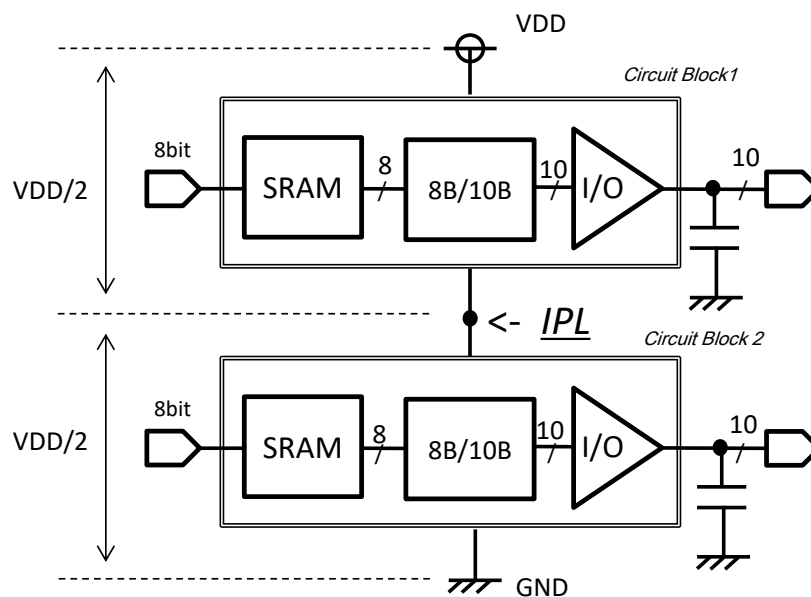


図 3.3.4 8B/10B コーディング法を使用した電源スタック型回路

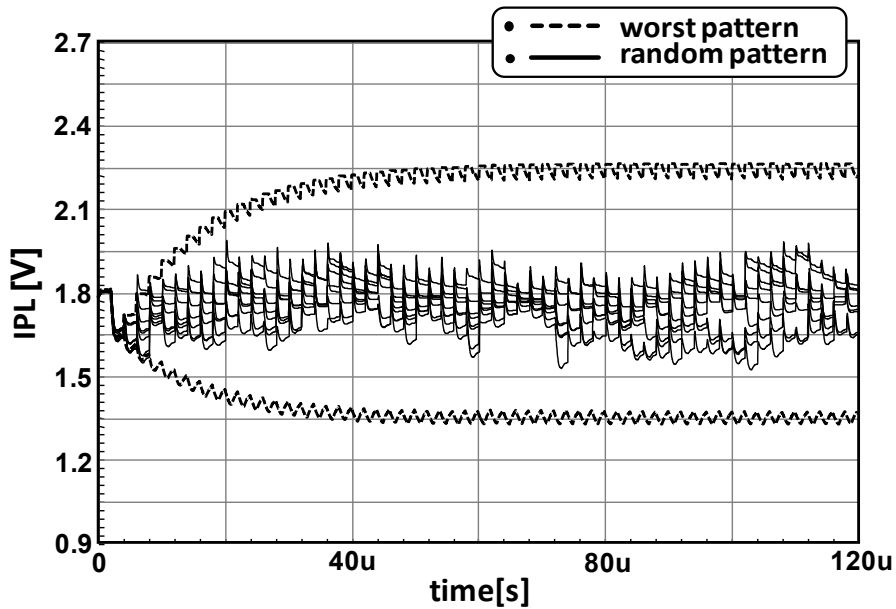


図 3.3.5 8B/10B コーディング法を使用した電源スタック型回路の
IPL 変動のシミュレーション結果

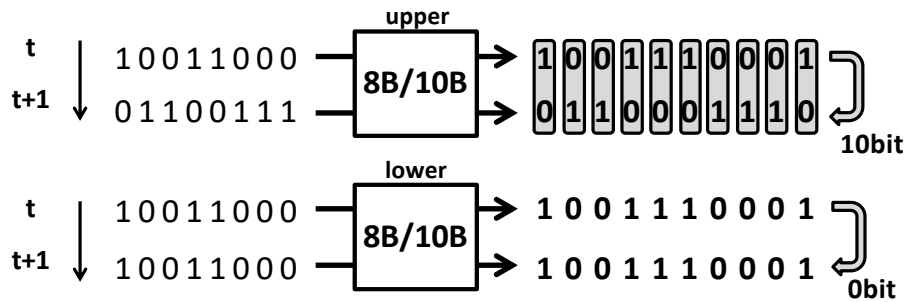


図 3.3.6 8B/10B コーディング法のワーストケース

3.3.2 :Bus-invert コーディング法 [70][71]

Bus-invert コーディング法は、バスバンド幅の拡大によって生じる高速スイッチングノイズの増大と消費電力の増大を抑制するための手段として提案された。図 3.3.7 は、8Bit 入力の Bus-invert コーディング法を実現する回路図である。本回路は EXOR と多数決回路から構成される。本コーディング法は入力ビットに MSB(Most Significant Bit)と呼ばれる符号ビットを付加することで、出力の遷移

bit の数を、MSB を含む総 bit 数の半数未満に抑制するコーディング法である。

以下、本コーディング法のアルゴリズムを説明する。入力信号に MSB=0 を付加した信号と、D-FF に格納されている信号とを EXOR にて遷移比較を行う。EXOR による遷移比較は各 bit に対して行われ、遷移した bit は 1、遷移していない bit は 0 として EXOR から出力される。この信号は過半数判定回路(Majority Voter)にて、遷移 bit 数が過半数を超えているか否かを判定される。過半数以上であれば、Majority Voter からの出力は 1、過半数未満であれば 0 を出力する。この Majority Voter からの出力と入力信号との EXOR によって、出力信号が決定される。遷移数が過半数以上であれば、EXOR によって入力信号は反転され MSB は 1 になる。反対に、遷移数が過半数未満であれば、入力信号は反転されず MSB も 0 のままである。図 3.3.8 に Bus-invert コーディングによる変換例を示す。入力信号に対し、2 つの出力信号(変換ケース)を示している。上方の出力は、入力信号と前回の出力信号の遷移 bit が過半数未満の場合を示しており、この場合は入力信号と出力信号が等しく、MSB の値は 0 となる。一方、下方の出力信号は、入力信号と出力信号の bit 遷移が半数以上の場合を示しており、この場合は、反転された入力信号が出力信号となり、MSB は 1 となる。

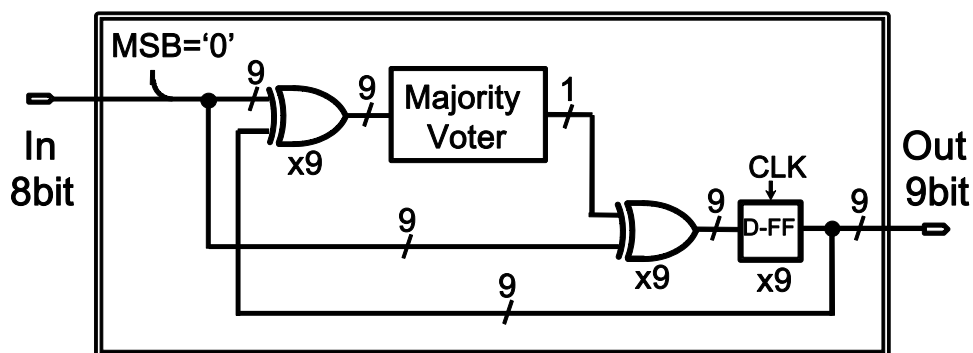


図 3.3.7 Bus-invert コーディング法の回路図

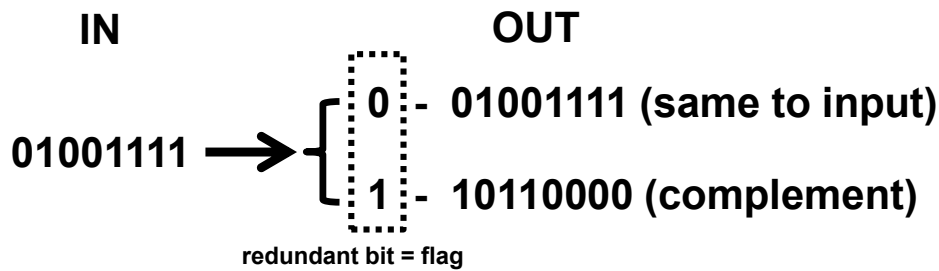


図 3.3.8 Bus-invert コーディングの変換例

図 3.3.9 は Bus-invert コーディング法を使用した電源スタック型構成の回路図である。また、図 3.3.10 は Bus-invert コーディング法を使用した電源スタック型構成回路の IPL 変動を確認したシミュレーション結果である。Bus-invert コーディング法を使用した IPL 変動の抑制は、コーディング法を使用しない場合と比較して、大きな改善は見られない。この原因としては、Bus-invert コーディングを適用した場合でも、上段と下段のスイッチング数の差が最大で 4bit となるからである。Bus-invert コーディングでは時刻 t の入力と時刻 $t-1$ の出力を EXOR によって比較し、遷移 bit 数が過半数より多い場合には、信号を反転するため、最大遷移 bit 数は 4 となる。図 3.3.11 に Bus-invert コーディング法によるワーストケースを示す。時刻 t における上段ブロックの SRAM からの出力が 10011000、下段ブロックの SRAM からの出力が 10011000 であった場合、Bus-invert コーディングによって上段では 0-10011000、下段では 0-10011000 へと変換される。次に時刻 $t+1$ における情普段ブロックの SRAM からの出力が 01000100、下段ブロックの SRAM からの出力が 10011000 であった場合、Bus-invert コーディングによって上段では 1-10111011、下段では 0-10011000 が出力される。このケースでは上段でのスイッチング数は 4bit、下段でのスイッチング数は 0bit となり、上下段で 4bit のスイッチング数差が生じる。コーディング法を使用しない場合の最大スイッチング数差は 8bit であるため、スイッチング数差を抑制することはできているが、本コーディング法では IPL 変動を抑制できていない。

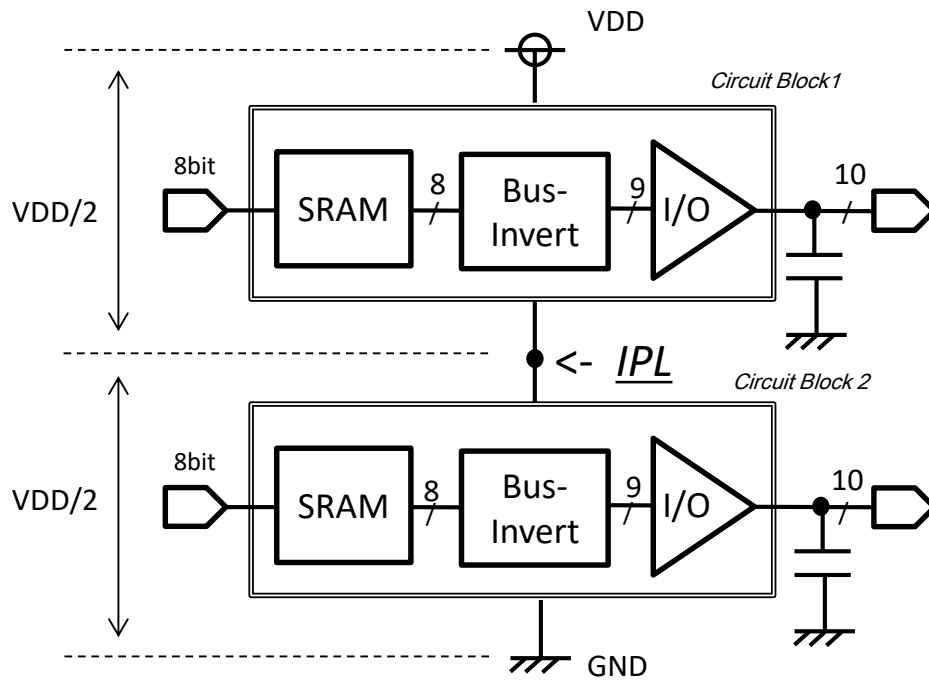


図 3.3.9 Bus-invert コーディング法を使用した電源スタック型回路

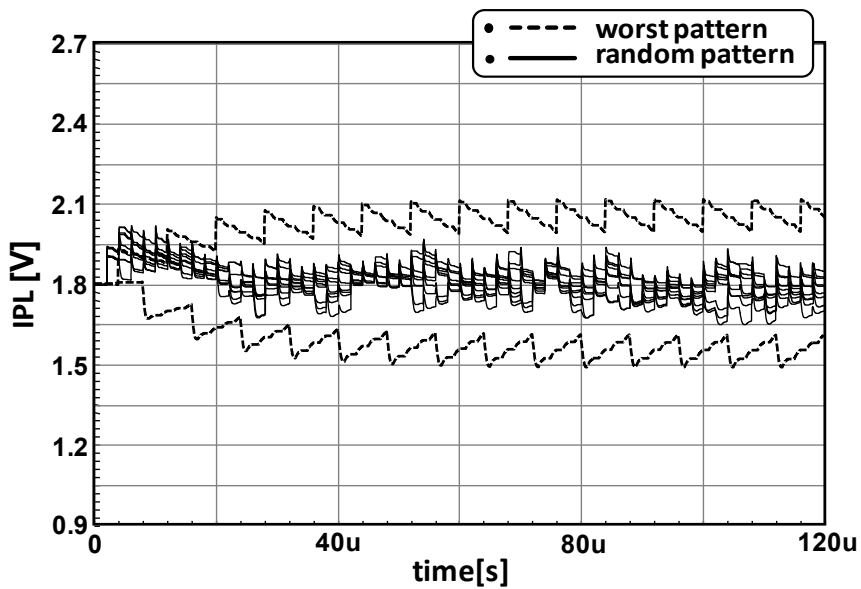


図 3.3.10 Bus-invert コーディング法を使用した電源スタック型回路の

IPL 変動のシミュレーション結果

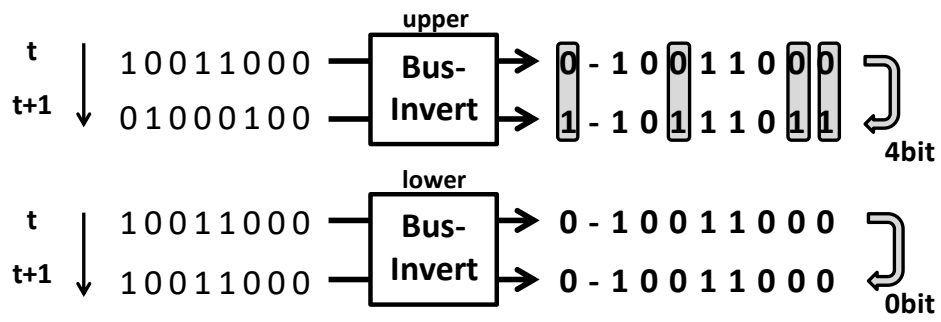


図 3.3.11 Bus-invert コーディング法によるワーストケース

3.4 : 8B/10B コーディング法+トグル変換回路[72]

8B/10B コーディング法+トグル変換回路は、3.3.1 節で述べた 8B/10B コーディング法にトグル変換回路を付加したものである。トグル変換回路は図 3.4.1 に示した EXOR と D-FF から構成される回路である。動作例を示したタイムチャートを図 3.4.2 に示す。この回路は入力信号が 1 であれば D-FF の値を反転し、0 であればそのままの値を保持する。

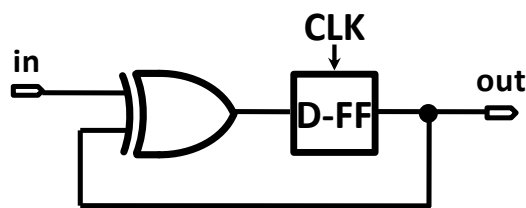


図 3.4.1 トグル変換回路

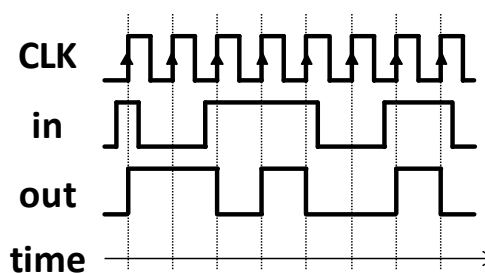


図 3.4.2 トグル変換回路タイムチャート

図 3.4.3 に 8B/10B コーディング法+トグル変換回路の回路図を示す。8B/10B コーディング法の”コーディング後の出力信号に含まれる 0 と 1 の割合が 4:6、5:5、6:4 のいずれかになる”という特徴と、トグル変換回路の”入力信号が 1 であれば値を反転する”という性質を組み合わせることにより、全ての入力信号に対し、出力を毎回ほぼ 5bit 遷移させることが可能となる。

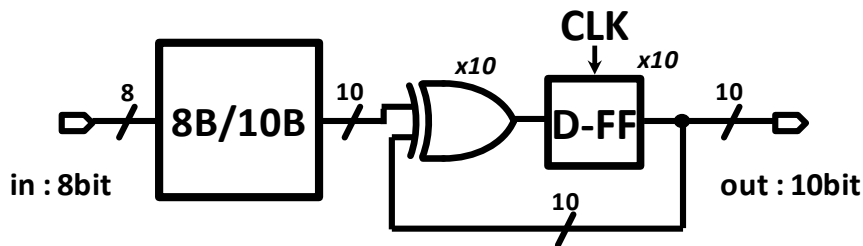


図 3.4.3 8B/10B コーディング法+トグル変換回路

図 3.4.4 は 8B/10B コーディング+トグル変換回路を使用した電源スタック回路である。また、図 3.4.5 は 8B/10B コーディング+トグル変換回路を使用した電源スタック回路の IPL 変動シミュレーションの結果である。本結果を見ると、コーディングを適用しなかった場合と比較して、IPL の変動をかなり抑制できていることが分かる。これは、8B/10B コーディング+トグル変換回路を使用したことで、上段回路ブロックと下段回路ブロックのスイッチング遷移差をほぼ 5bit に保つことができているためであると考えられる。図 3.4.6 に 8B/10B コーディング+トグル変換回路でのコーディングの一例を示す。時刻 t における上段の SRAM からの出力が 10011000、下段の SRAM からの出力が 10011000 であった場合、8B/10B コーディングによって、上段の信号は 1001110001、下段の信号は 1001110001 へと変換される。その後、8B/10B コーディングによって変換された各々の信号はトグル変換回路によって、1001110001 と 1001110001 へと変換される。また、時刻 $t+1$ における上段の SRAM からの出力が 01100111、下段の SRAM からの出力が 10011000 であった場合、8B/10B コーディングによって、上段の信号は 0110001110、下段の信号は 1001110001 へと変換される。またこれら 2 つの信号はトグル変換回路によって、上段の信号は 1111111111、下段の信号は 0000000000 へと変換される。この結果、時刻 $t+1$ におけるスイッチング数は上段ブロックで 5bit、下段ブロックで 5bit となり、上段と下段のスイッチング数の差は 0bit となる。

今回の例のように、8B/10B コーディング+トグル変換回路では上下段の回路ブロックにおいて、ほぼ 5bit のスイッチングが起こる。それにより、上段と下段のスイッチング遷移数の差を 0 に近づけることができ、IPL 変動を抑制することに成功した。

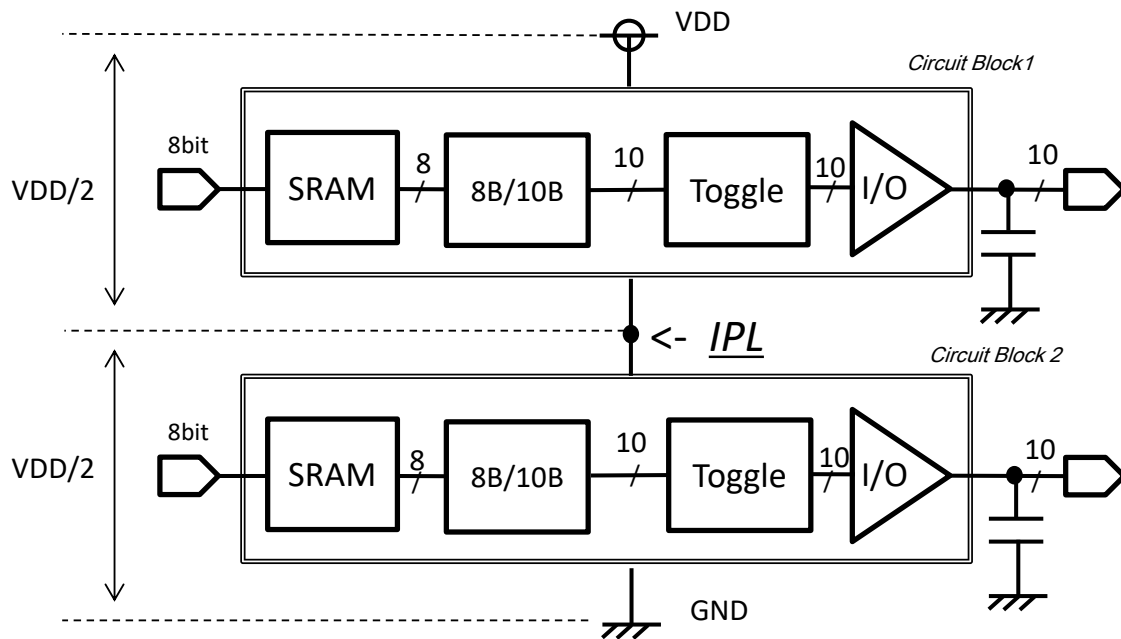


図 3.4.4 8B/10B コーディング+トグル変換回路を使用した電源スタック回路

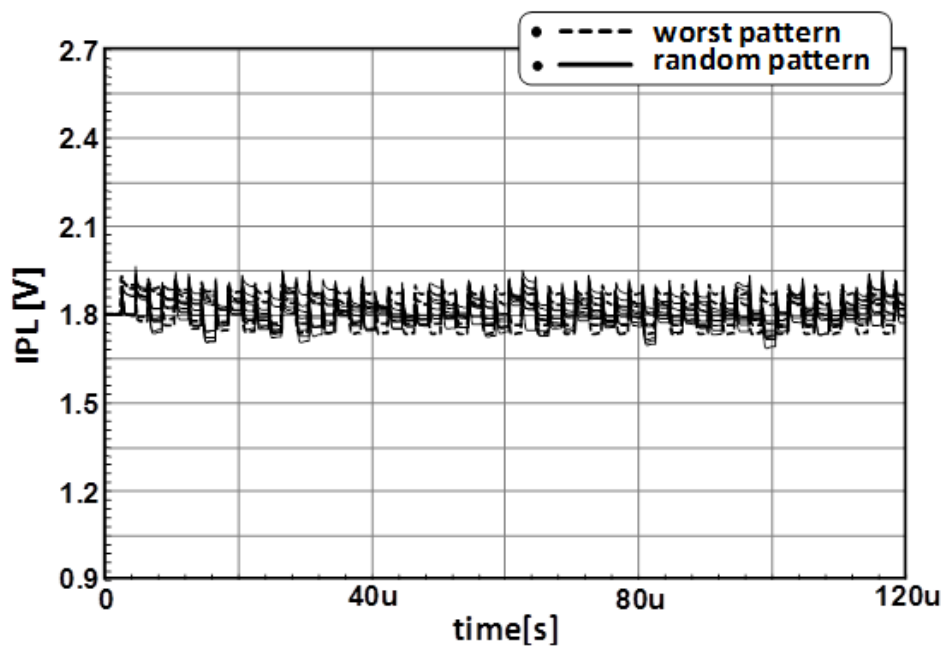


図 3.4.5 8B/10B コーディング+トグル変換回路を使用した電源スタック回路の

IPL 変動シミュレーション結果

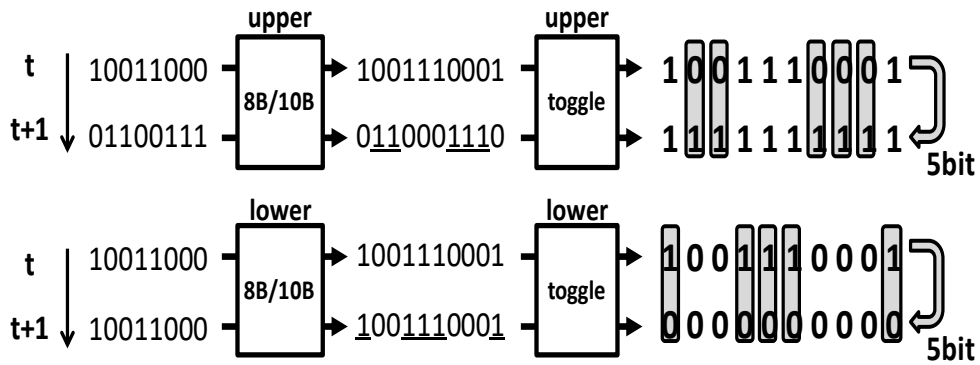


図 3.4.6 8B/10B コーディング+トグル変換回路によるコーディング例

ここまで、8B/10B コーディング+トグル変換回路のアルゴリズム、および変換例に関して述べてきた。このコーディングを実際にシステムに応用する際には、8B/10B コーディング+トグル変換回路によって変換された信号を複合化する回路が必要である。図 3.4.7 に 8B/10B コーディング+トグル変換回路に対する複合化回路を示す。また、複合化回路に使用されている 10B/8B 変換回路を図 3.4.8 に示す。この 10B/8B の変換テーブルは表 3.1 の入力と出力が反対になったものである。

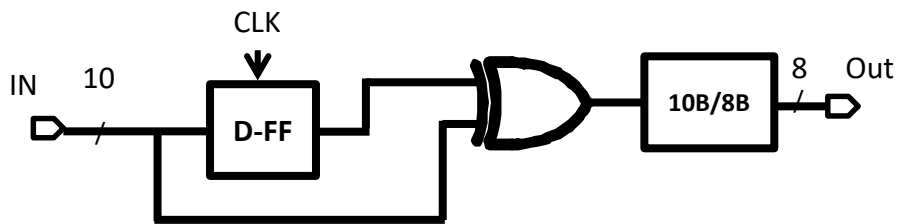


図 3.4.7 8B/10B コーディング+トグル変換回路に対する複合化回路

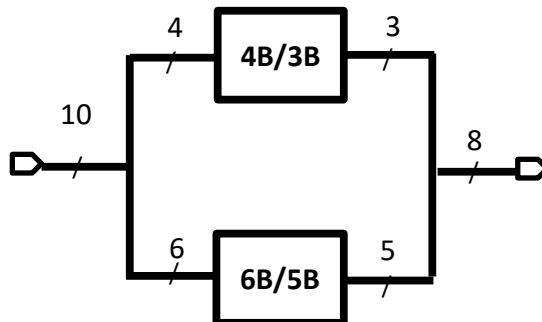


図 3.4.8 10B/8B 変換回路

最後に 8B/10B コーディング+トグル変換回路でのコーディング法を用いた電源スタック型の送受信機を図 3.4.9 に示す。それぞれ左側のブロックが送信機、右側のブロックが受信機となっている。送信機では、SRAM からの 8bit の出力信号を 8B/10B コーディング+トグル変換によって符号化を行い、I/O バッファにより増幅して信号を送信する。受信機では符号化された信号をトグル変換+10B/8B コーディングによって複合化する。本コーディング法にて IPL 変動を抑えることは成功した。一方で、本コーディング法は 8bit 毎に 2bit の冗長 bit を必要とするという問題を備えている。また、データが 8bit 単位で作られていないと、本コーディングによる符号化を行うことができない。

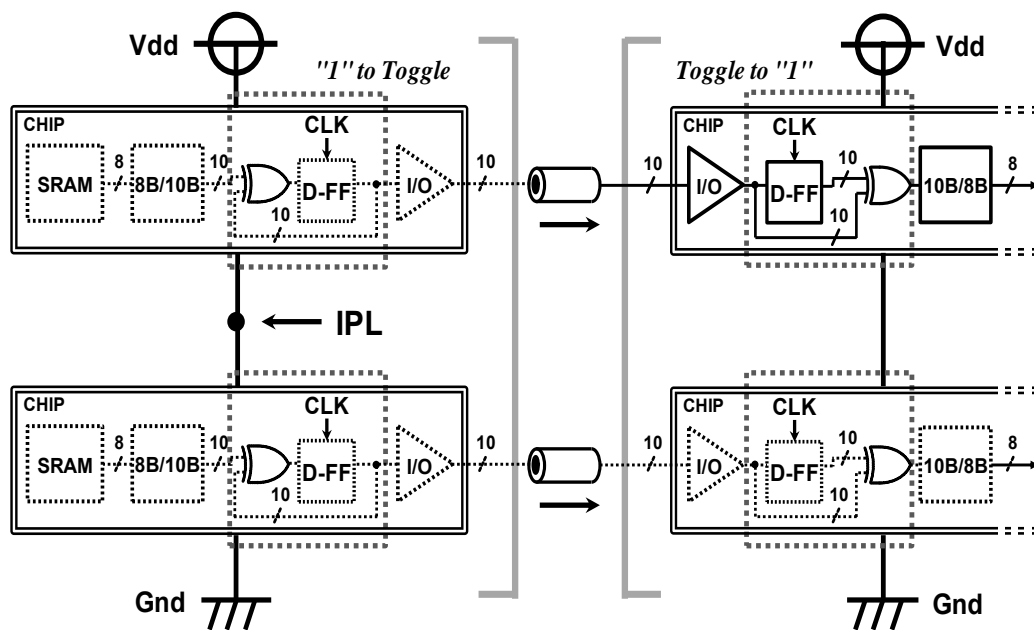


図 3.4.9 8B/10B コーディング+トグル変換回路でのコーディング法を用いた
電源スタック型の送受信機

3.5 : DC バランス Bus-invert コーディング法[73][74]

3.4 節で述べたように 8B/10B コーディング法+トグル変換回路では 8bit 毎に 2bit の冗長 bit が必要であり、さらには 8bit 単位のデータにしかコーディングを行うことができ

ない。そこで、本節では 1bit のみの冗長 bit の追加で、IPL 変動を抑制することが可能なコーディング法について述べる。1bit の冗長 bit の追加で IPL 変動の抑制を実現するため、3.3.2 節で説明した Bus-invert コーディング法の改良を試みた。8B/10B コーディング法で使われるランニングディスパリティ(RD)は、出力信号の 0 の個数と 1 の個数の関係性を極性として記憶するという特性上、2 値データとなる。一方で、Bus-invert コーディング法において、RD の導入を考えた場合には、RD は 0 から N までの多値をとることが可能である。故に、多値ランニングディスパリティ(Multi Value Running Disparity : MVRD)の制御システムの開発と、そのシステムを Bus-invert コーディング法に組み込むことを考えた。図 3.5.1 に 8bit 入力の場合の DC バランス Bus-invert コーディング法の回路図を示す。Bus-invert コーディング法の回路に点線部の MVRD 制御部を組み込んだ回路である。また、本コーディング法の変換方法を図 3.5.2 のフローチャートに示す。

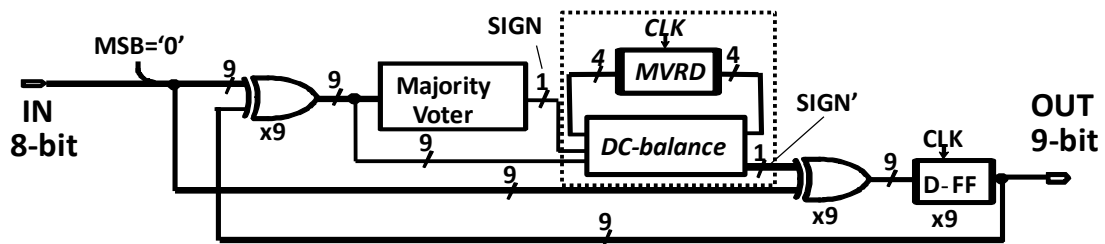


図 3.5.1 DC バランス Bus-invert コーディング法の回路図

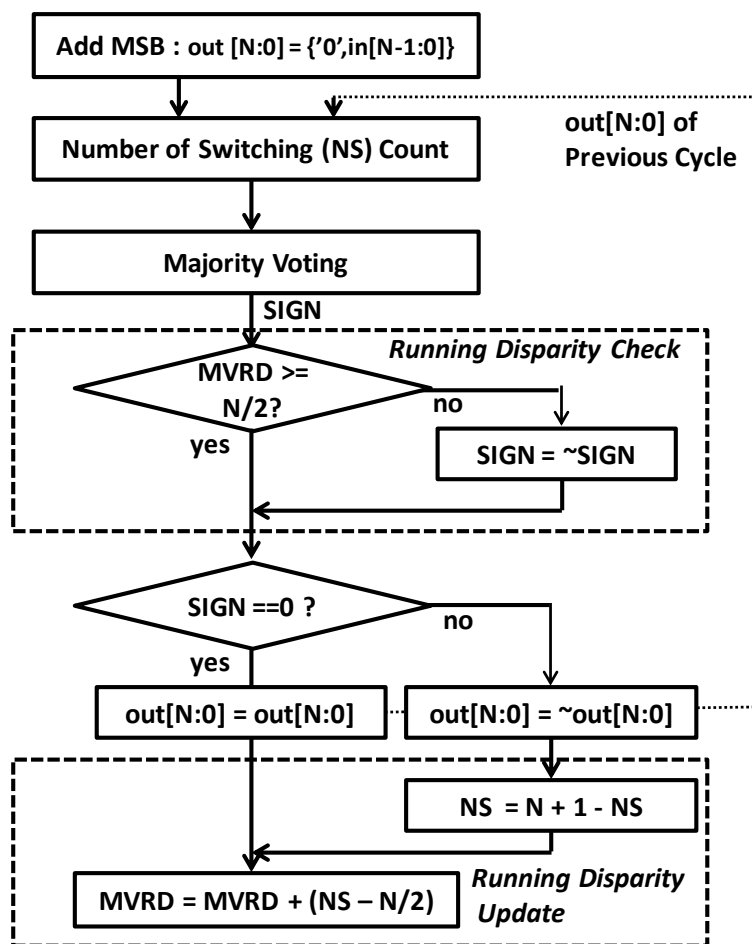


図 3.5.2 DC バランス Bus-invert コーディング法の変換方法

本コーディングは下記の流れで、信号の符号化を行う。

1. Nbit の入力 bit に対し、MSB として 0 を付加し、N+1bit の信号を生成する
2. 入力された Nbit の信号と 1 つ前の出力信号を bit 毎に、EXOR によって一致しているかどうかを比較する。
この時のスイッチング数の数を NS(the Number of Switching)としてカウントしておく。
3. 従来の Bus-invert コーディング法と同様に Majority Voter 回路(多数決判定回路)にて、NS の値が入力 bit 数の過半数(N/2)よりも大きいかを調べ、SIGN 信号を決

定する。

4. 前の入力に対して決定された MVRD が $N/2$ より小さい場合は、SIGN 信号の値を反転し、大きい場合には SIGN 信号の値を変更しない。
5. SIGN 信号が 0 であれば、出力信号はそのままの信号を出力する。SIGN 信号が 1 であれば、出力信号を反転して出力する。
6. SIGN 信号の値によって、NS と MVRD の値を更新する。

SIGN 信号が 0 で出力信号を反転していない場合は、現在の NS の値をそのまま使用して、MVRD の値を更新する。SIGN 信号が 1 で出力信号を反転させた場合には、NS の値を $N+1-NS$ として MVRD の値を更新する。

この時の MVRD の値は $MVRD+(NS-N/2)$ とする。

下記に変換の実例を挙げて説明を行う。

- 1-1. 8bit の入力信号 "10010110" が入力された場合を考える。

MSB として 0 が付加された新たな 9bit の信号 0-10010110 が生成される。

- 1-2. 入力された 8bit の信号と 1 つ前の出力信号 00000000(今回はこのケースでは初期値)とを比較する。このとき、2 つの信号の不一致 bit の数を NS としてカウントする。今回の場合では NS は 4 である。

- 1-3. 多数決回路にて、NS の値が入力 bit 数の過半数よりも大きいかを判定する。今回のケースでは $NS(4) \Rightarrow N/2(8/2)$ となるため、SIGN の値は 1 となる。

- 1-4. 前の入力に対して決定された MVRD と $N/2$ を比較し、SIGN 信号を決定する。
ここでの MVRD は初期値 $4(N/2)$ であるので、SIGN 信号の値は反転せず、1 のままである。

- 1-5. SIGN 信号の値が 1 であるため、出力信号は反転され、1-01101001 が出力される。

1-6. SIGN 信号が 1 であり、出力信号が反転されたため、NS の値は更新され、 $N(8)+1-NS(4)=5$ となる。最後に、MVRD の値が $MVRD(4)+NS(5)-N/2(8/2)=5$ に更新される。

2-1. 続けて、00110010 が入力された場合を考える。

8bit の入力信号に MSB=0 が付加され、9bit の 0-00110010 が生成される。

2-2. 入力された 8bit の信号と 1 つ前の 1-5 で決定された出力信号: 01101001 を比較する。不一致 bit 数は 4bit のため、NS=5 となる。

2-3. NS の値が $N/2$ よりも大きいため、SIGN 信号は 1 となる。

2-4. 1-6 で決定された MVRD は 5 であり、 $N/2$ よりも大きいため、SIGN 信号は 1 のままである。

2-5. SIGN 信号が 1 なので、出力信号は反転され、1-11001101 となる。

2-6. SIGN 信号が 1 であり、出力信号が反転されているため、NS=4 となり、MVRD は 5 となる。

各入力信号に対し、これらの工程を繰り返すことでコーディングを行う。

図 3.5.3 は本コーディング法を適用した場合の IPL 変動シミュレーションの結果である。IPL の変動を、かなり抑制することができていることが確認できる。故に、本コーディング法では 1bit のみの冗長 bit の追加で実現可能であり、データが 8bit の倍数でなくても、コーディングが可能であり、8B/10B コーディング法+トグル変換回路で問題となった点を解決できるコーディング法であると言える。

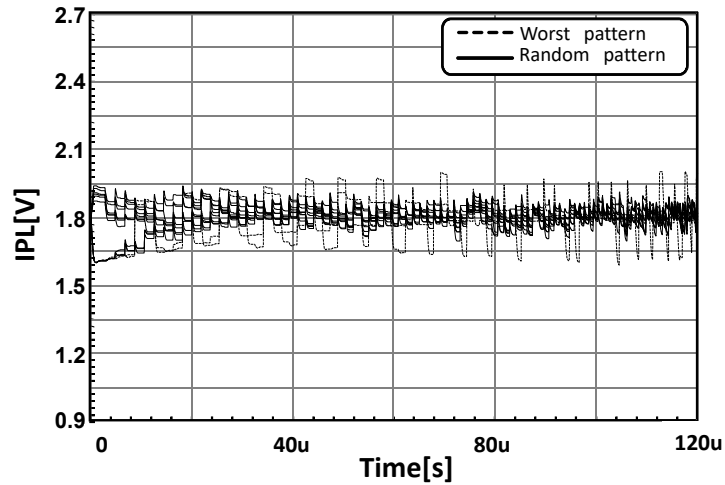


図 3.5.3 DC バランス Bus-invert を使用した電源スタック回路の IPL 変動シミュレーション結果

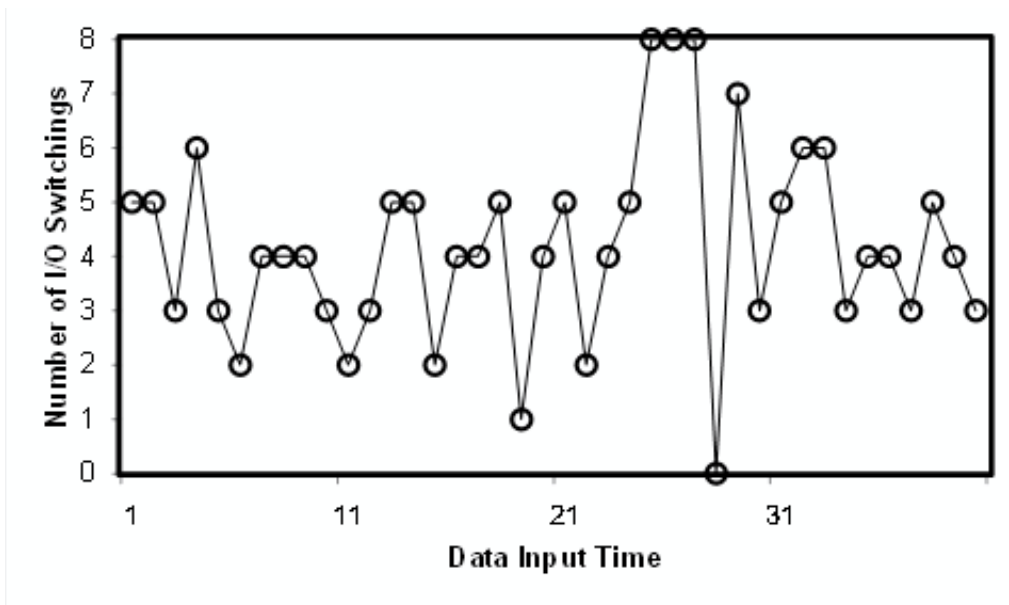
3.6：提案型コーディング法のスイッチング数の遷移

図 3.6.1 は 8bit の入力信号に対して、各コーディングの例を示した図である。左がコーディング法を適用していない信号であり、本信号は各コーディング法に対する入力信号にあたる。中央は、8bit の入力信号に対する 8B/10B コーディング+トグル変換回路でのコーディング結果、右が DC バランス Bus-invert コーディング法でのコーディング結果を示している。NS は 1 つ前の出力信号との bit 遷移数を示している。本コーディング時の NS_ave は bit 遷移数の平均値を表している。また、RD は各節で述べた通り、信号の極性をしめすランニングディスパリティを示しており、各コーディング時の値を示している。

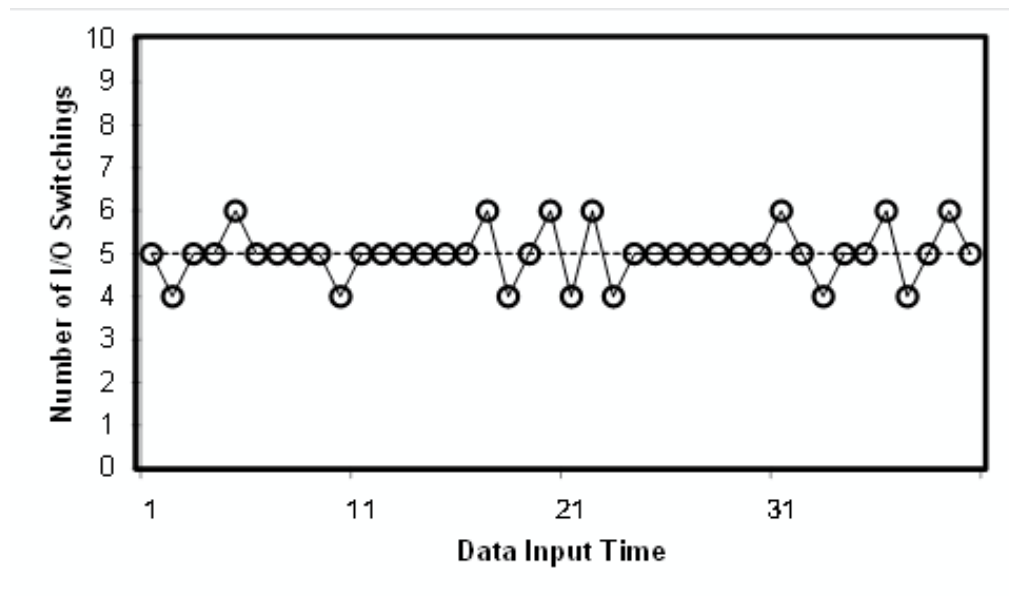
Time	Original		8B10B+toggle			DC-Balanced BusInvert		
	Input	NS	Output	NS	RD	Output	NS	RD
	1110 1011	-	00111 01001	-	0	011101011	-	4
	0001 0101	7	10001 00010	6	1	111101010	2	2
	1110 1001	6	01101 10111	4	0	100010110	6	4
	0001 0111	7	00010 11110	6	1	000010111	2	2
	1110 0111	4	11001 10110	5	1	100011000	5	3
	0001 1001	7	01000 01110	4	0	111100110	7	6
	1110 0101	6	10010 10111	6	1	011100101	3	5
	0001 1011	7	00011 10010	4	0	111100100	2	3
	1110 0011	5	00111 01001	5	0	100011100	5	4
	NS_ave= 6.125		NS_ave=5.0			NS_ave=4.0		

図 3.6.1 各コーディング法のコーディング例

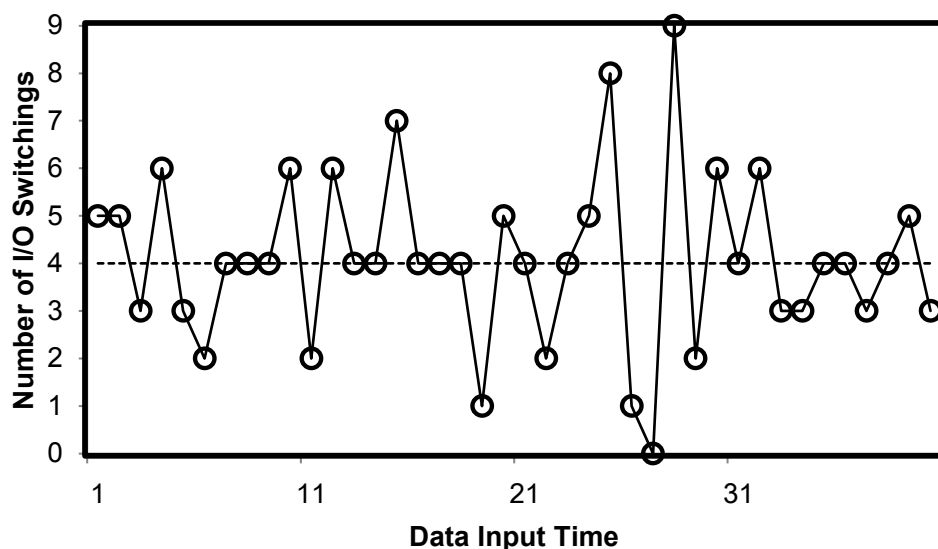
図 3.6.2 は図 3.6.1 に示したよりも多くの回数の入力信号を入力した際の、各コーディング法における bit 遷移数を示した図である。入力信号、つまりコーディングを行わない場合では、NS の平均を定めることができず、0 から入力 bit 数の間で bit 遷移が生じる。8B/10B コーディング+トグル変換回路では、いかなる入力信号に対しても NS は 4,5,6 の 3 つの値のみをとっていることが確認できる。また、NS_ave も 5.0 に制御することができている。DC バランス Bus-invert コーディング法においては、NS の値は 0 から 9bit の値をとっているが、NS_ave の値を 4.0 にコントロールすることが可能である。



(a) コーディングなし



(b) 8B/10B コーディング+トグル変換



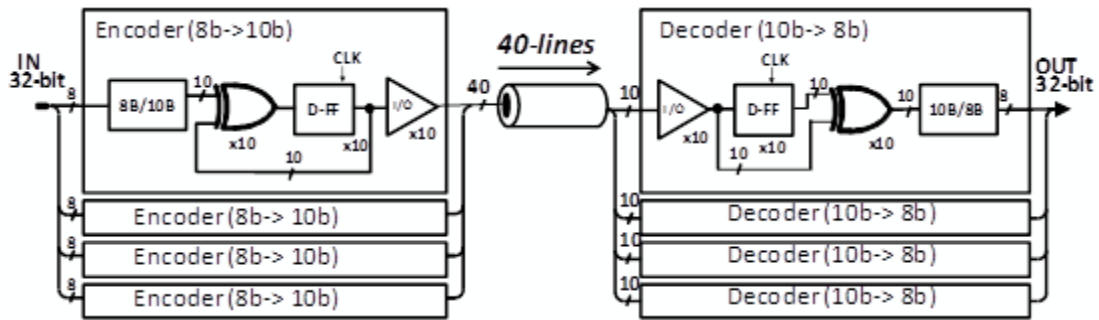
(c) DC バランス Bus-invert コーディング法

図 3.6.2 各コーディング法における bit 遷移数

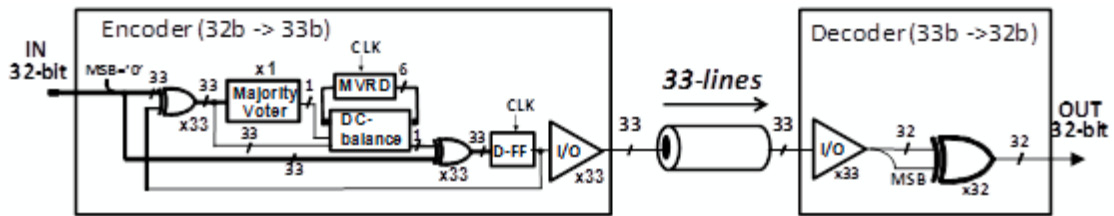
3.7 : 32bit 入力の電源スタック型システム構成

ここまで 8bit 入力に対する回路構成を述べてきた。図 3.7.1 には 32bit 入力のパラレルバスインターフェースに対する各コーディング法のエンコード / デコード回路を示す。(a)の 8B/10B コーディング+トグル変換では、8bit の入力毎にコーディングを行う必要があるため、それぞれ 4 つのエンコーダ/デコーダが必要となる。さらには、コーディング後の bit 数は合計で 40bit となり、8bit 分の冗長な I/O バッファや信号パスが必要となる。一方で、DC バランス Bus-invert コーディング法では、32bit の場合でもエンコーダ/デコーダともに 1 つのみでよく、冗長 bit も 1bit のみでシステムを構成することが可能である。さらには、DC バランス Bus-invert コーディング法のデコード回路は、XOR 回路のみで構成できるため、8B/10B コーディング+トグル変換のデコード回路よりもシンプルに構成できるというメリットも有している。図 3.7.2 に Nbit のパラレルバスインターフェースを構成するために必要となるトランジスタと I/O の数を示す。DC バランス Bus-invert コーディング法では bus 幅が広がった場

合においても、常に入力 bit 数+1bit のみでシステムの構成が可能である。また、トランジスタ数を比較した場合においても、64bit システムで 8B/10B コーディング+トグル変換と比較した場合、半分以下の数のトランジスタでシステムを構成することが可能である。



(a) 8B/10B コーディング+トグル変換



(b) DC バランス Bus-invert コーディング法

図 3.7.1 32bit 入力のパラレルバスインターフェース

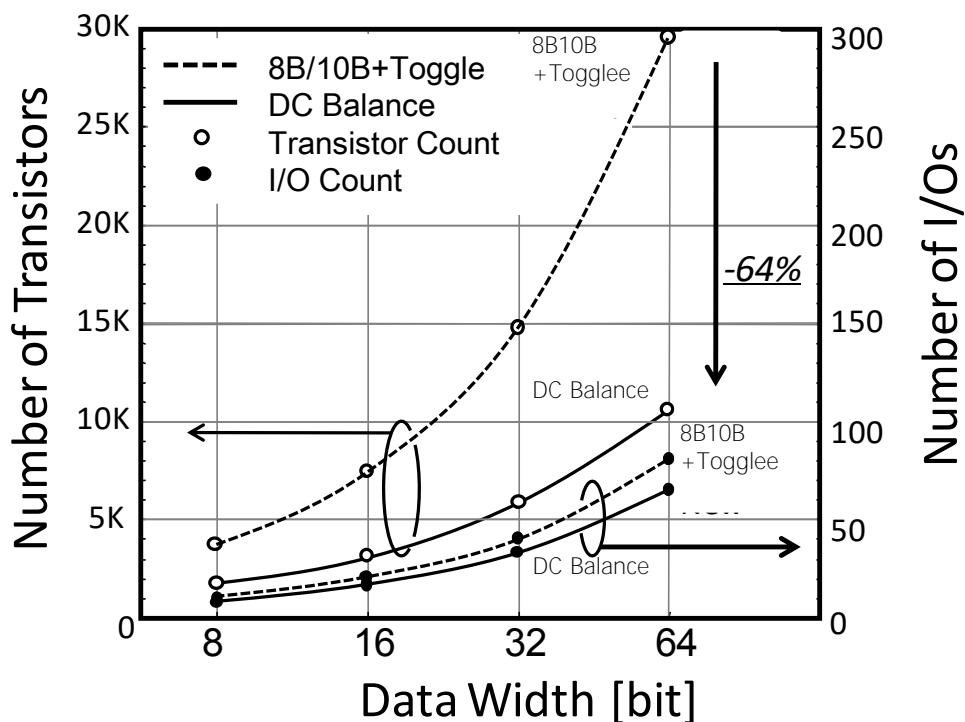


図 3.7.2 Nbit のパラレルバスインターフェースに要するトランジスタと IO

また、本システムの消費電流は I/O スイッチング数に大きく依存するため、消費電流に関する考察も行う。図 3.7.3 に 8bit 入力時の各々のシステムにおける bit 遷移数の平均(NS_Ave)を示す。コーディングを行わない場合、ワーストな入力パターンでは 8bit 全ての bit が遷移し続ける。8B/10B コーディングでは、冗長 bit が 2bit 増えていることにより、ワーストケースでは 10bit の bit 遷移が続く可能性がある。従来の Bus-invert コーディング法では、NS_Ave を入力 bit の半分以下に抑えることが可能であるが、電源スタック型回路において、IPL 変動を抑えこむことは難しい。一方、今回提案した 8B/10B コーディング+トグル変換では、NS_Ave をいかなる入力に対しても 5bit にコントロールすることが可能である。また、DC バランス Bus-invert コーディング法では、同様に NS_Ave を 4bit にコントロールすることが可能である。これは、今回のコーディング法を使用した場合では、コーディング法を用いない場合と比べ、それぞれ最大 I/O スイッチング電流の 62.5%(5/8)、50%(4/8)で動作させることが可能であることを意味する。

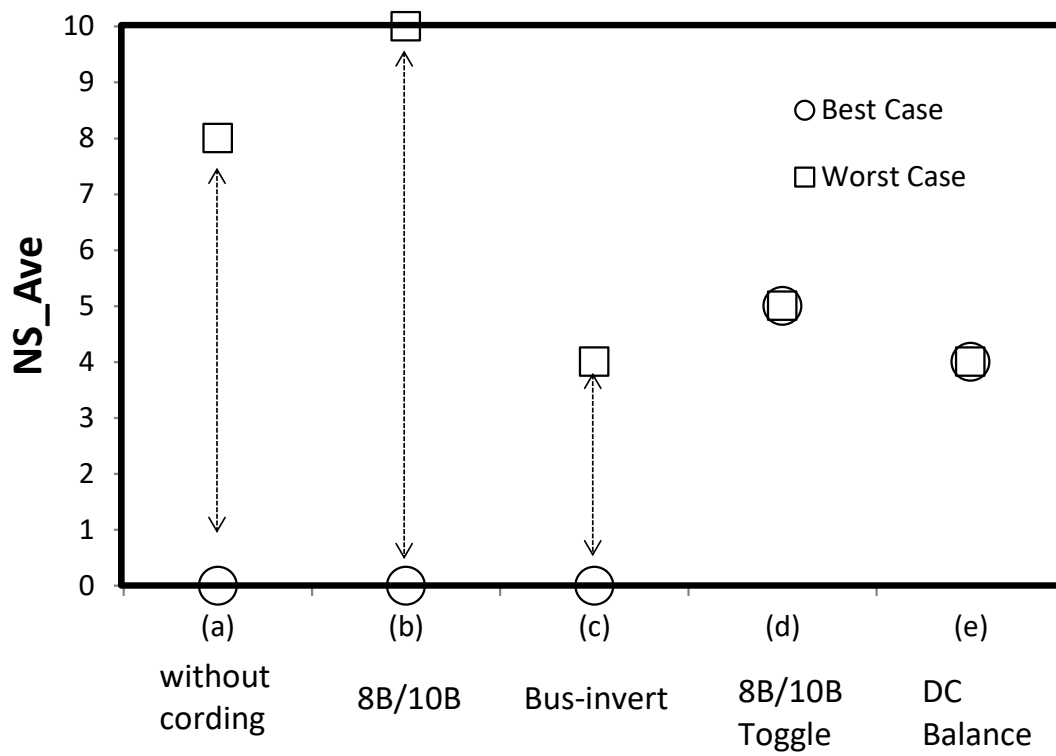
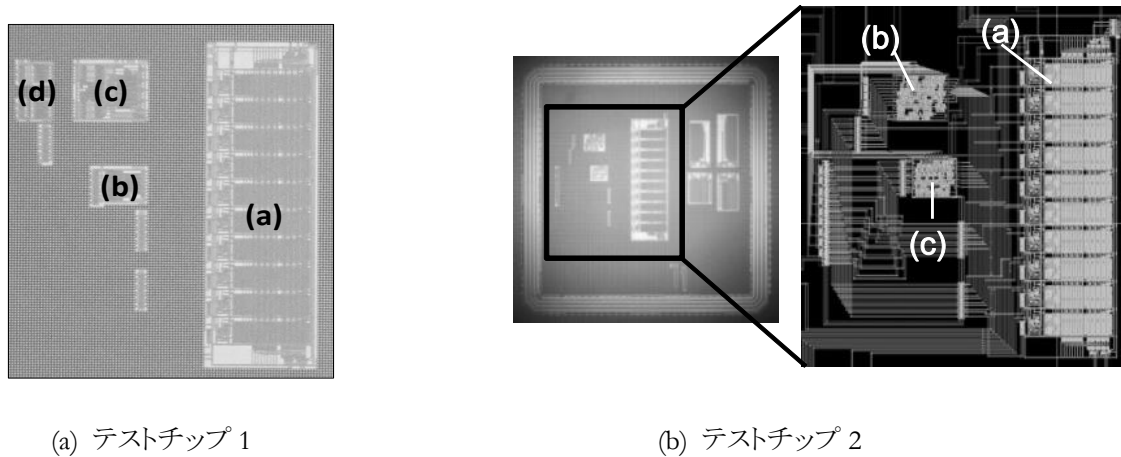


図 3.7.3 各コーディング法のスイッチング遷移比較

3.8: テストチップ

これまでに提案してきたコーディング法の効果を検証するため、図 3.8.1 に示すテストチップの開発を行った。テストチップ 1 には、(a)に示した SRAM マクロ回路、(b)に示した Bus-invert コーディング回路、(c)に示した 8B/10B コーディング回路、(d)に示したトグル変換回路を搭載した。また、テストチップ 2 には、(a)に示した SRAM マクロ回路、(b)に示した DC バランスコントロール回路、(c)にしめした Bus-invert コーディング回路を搭載した。これら 2 つのテストチップによって、電源スタック型回路のコーディング法の検証を行う。



(a) テストチップ 1

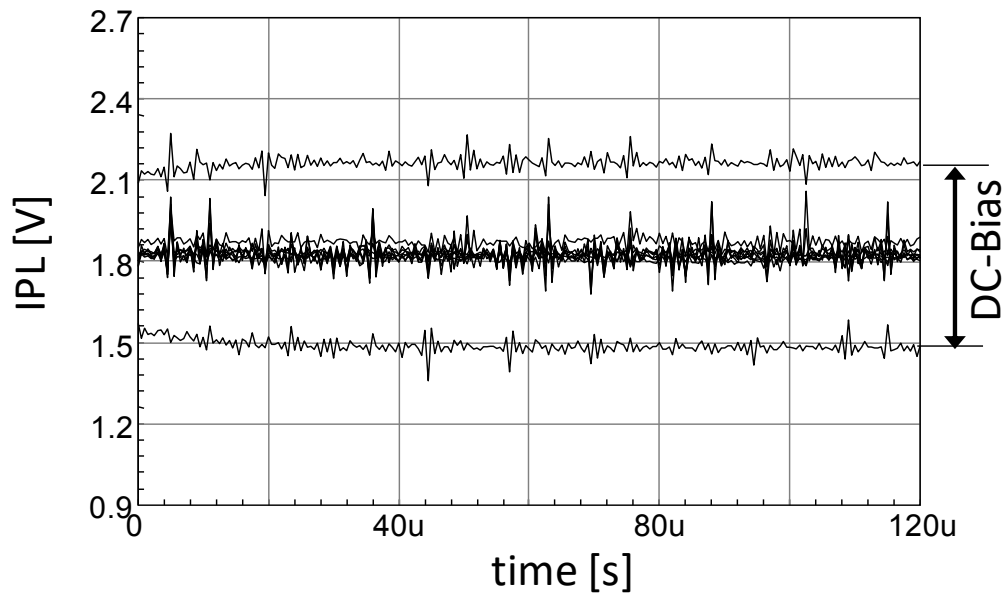
(b) テストチップ 2

図 3.8.1 テストチップ

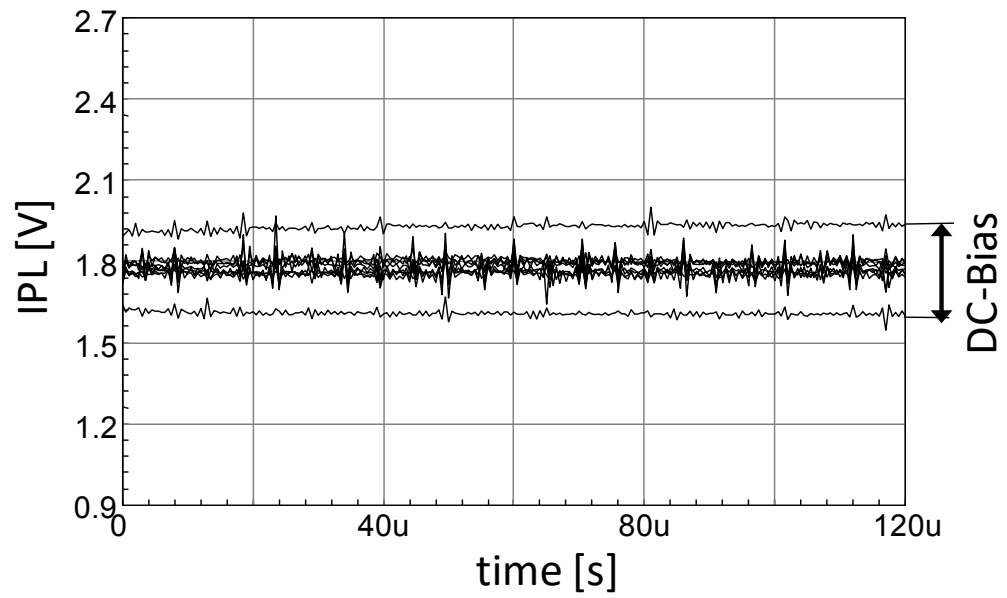
3.9: 測定結果

図 3.9.1 は図 3.8.1 に示した 2 つのテストチップの測定結果である。それぞれ電源スタック型構造における IPL の変動を示している。(a)はコーディング法を適用しない場合の結果、(b)は Bus-invert コーディングを適用した結果、(c)は 8B/10B コーディング+トグル変換を適用した結果、(d)は DC バランス Bus-invert コーディングを適用した結果である。(a)のコーディ

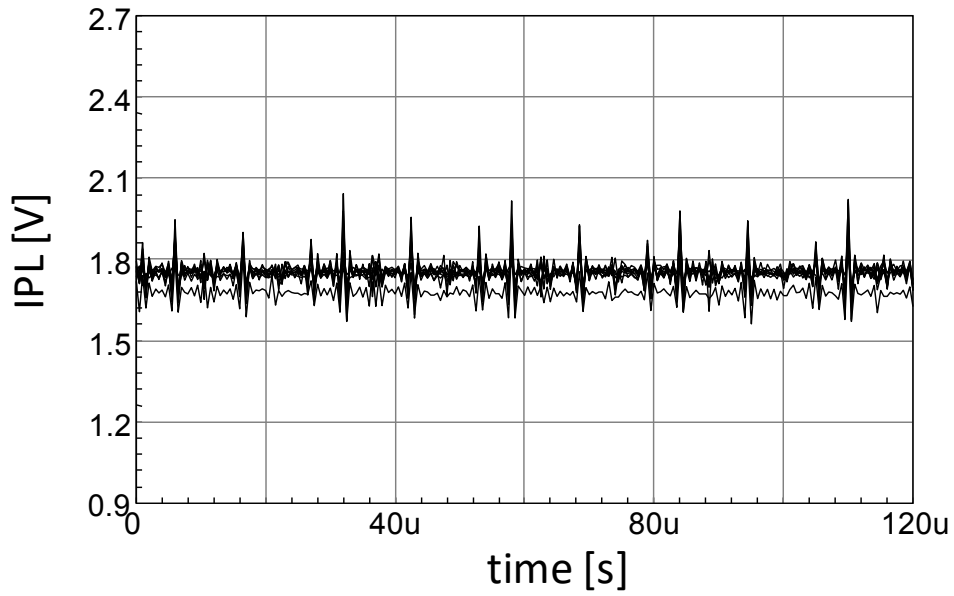
ング法を適用しない場合と(b)の Bus-invert コーディング法を適用した場合には、それぞれワーストケースとして、DC-Bias シフトを起こしてしまい、IPL が $VDD/2$ である 1.8V から大きく乖離してしまう。しかしながら、(c)に示した 8B/10B コーディング+トグル変換を適用した場合には、他の結果と比較して、非常に安定した IPL を確認できる。多少の揺れが見られるが、本結果は測定環境等に依存したノイズ等を含んでいるため、非常に良好な結果であると言える。(d)の DC バランス Bus-invert コーディングは、8B/10B コーディング+トグル変換よりも IPL の変動が大きい。この理由として、B/10B コーディング+トグル変換のスイッチング遷移数が 4bit、5bit、6bit に限定されているのに対し、DC バランス Bus-invert コーディングでは、平均のスイッチング数遷移は入力 bit の半分にコントロールすることが可能であるが、最大、および最小のスイッチング数の遷移としては $N+1$ bit から 0bit までの値を取りえるため、IPL の変動としては大きくなってしまふと考えられる。しかしながら、(d)の場合においても、DC-Bias による IPL シフトが起きるようなワーストケースは発生しておらず、IPL のレベルも $VDD/2$ 付近をとるように調整ができていると言える。本測定では、バイパスコンデンサの容量値等の評価は行っていないが、実際のシステムで本コーディング法を使用する場合には、適切なバイパスコンデンサを配置し、IPL の変動をさらに抑え込む必要がある。



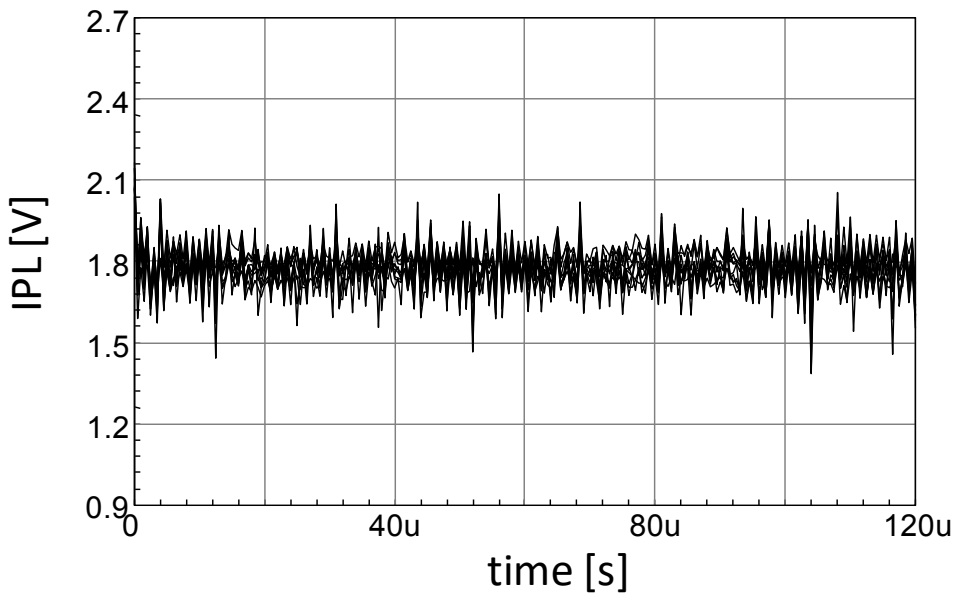
(a) コーディングなし



(b) Bus-invert コーディング



(c) 8B/10B コーディング+トグル変換



(d) DC バランス Bus-invert コーディング

図 3.9.1 各コーディング法の実チップ測定結果

3.10： 結言

本章ではサポートレギュレータを持たない電源スタック構造の回路システムに関して述べてきた。電源スタック構造では、上部の回路ブロックと下部の回路ブロックでの消費電流を等しくする必要がある。そのためには、2つの回路ブロック間でのI/Oのスウィッチング数をそろえる必要があり、そのためのコーディング法の研究を行った。従来のコーディング法として、8B/10Bコーディング法とBus-invertコーディング法、提案型のコーディング法として8B/10B+トグル変換コーディング法とDCバランスBus-invertコーディング法を取り上げた。提案型コーディング法の8B/10B+トグル変換コーディング法では、上部の回路ブロックと下部の回路ブロックでのスウィッチング数の差を小さくすることに成功した。その効果を実チップの安定したIPL変動から確認した。また、DCバランスBus-invertコーディング法は、2bitの冗長bitが必要であった8B/10B+トグル変換コーディング法に対し、1bitの冗長bitのみでコーディング可能であり、信号の重みづけは多値ランニングディスパリティ(MVRD)にて制御を行う特徴を持つ。本コーディング法も実チップにて安定したIPLのふるまいを確認できた。

表 3.10.1 に、8bit 入力における提案型コーディング法の利点を示す。8B/10B+トグル変換コーディング法は、IPL の変動をきわめて小さくコントロールすることが可能であるが、2bit の冗長信号が必要であり、実現面積も大きくなってしまふ。DC バランス Bus-invert コーディングでは、IPL の変動抑制効果は、8B/10B+トグル変換コーディング法ほどの実力はないが、冗長 bit は 1bit のみで実現可能であり、実現面積も小さいという特徴を持つ。

本コーディング法を適用するシステムにおいて、IPL の変動が許されないようなシステムであれば 8B/10B+トグル変換コーディング法を選択し、設置面積や消費

電流に制限がある場合においては、DC バランス Bus-invert コーディング法を選択するという使い分けが可能である。

また、本論文では、2段構成の電源スタック回路に関するシミュレーション検証、実チップの測定を行ったが、今後、n 段構成の電源スタック回路に関する検証も必要である。

表 3.10.1 提案型コーディング法の特徴

	Without Coding	Conventional Coding		This work	
		8B10B	Bus-invert	8B10B+Toggle	DC balance Bus-Invert
IPL Stability	N/A	N/A	N/A	Excellent	Good
Maximum I/O Power Ratio	1	1.25	0.5	0.625	0.5
Additional Transistor Count	0	1164	430	1464	1552

(*1: plus 2-bit for every 8-bit, *2: plus 1-bit for any bus width)

4 章：結論

本論文では、これからの集積回路に要求される低消費電力化、小面積、高速動作という点に着目し、研究を行った。

第 2 章では、数多くある発振回路の中から、構造が簡単であり小面積で実現が可能かつ、低電圧、高速動作が可能な CMOS リングオシレータに関して論じた。一般的なリングオシレータは奇数段のインバータチェーンから構成されるため、安定した発振動作が可能である反面、高速クロックデータリカバリ回路で要求される偶數位相を得ることができない。そこで、本研究では、偶数個のインバータチェーンからなる回路にラッチを挿入し、その回路に SRAM メモリセルの評価指標として用いられる SNM 解析を適用して、安定発振条件の解析を行った。安定した発振動作を行うには、本研究で定義した WSNM、RSNM_L、RSNM_H の 3 つをすべて満足するように設計パラメータを選択する必要があり、非常に狭い範囲でしか設計を行えなかった。しかし、解析を行う中で、インバータチェーン内の適切な位置に複数個のラッチを挿入することにより、設計マージンの拡大に成功した。複数個のラッチを挿入したケースでは RSNM のどちらか一方と WSNM を満足させればよく、設計パラメータの選択性が大幅に広がった。さらには、CMOS ラッチではなく、片チャンネル構成のラッチを挿入することでも安定した発振が可能であることを SNM 解析から導出した。また、片チャンネルラッチを適用した場合には NMOS ラッチと PMOS ラッチでは RSNM の極性が異なるため、2 つの極性を組み合わせることにより、より柔軟な回路構成を選択できる回路となる。また、PVT ばらつき検証、およびトランジスタデバイスのばらつき検証を行ったが、片チャンネルラッチ構成では、これらが生じた場合でも安定した発振動作が可能な回路であることを確認した。本論

文では触れていないが、提案した偶数段リングオシレータの実チップによる測定も行われており、実チップ動作の確認にも成功している。また、本論文では、ラッチの片チャンネル構成に関して論じたが、周回インバータの片チャンネル化にも成功しており、本論文で触れた内容よりもさらにフレキシブルな設計が可能な技術が検証されている。

第3章では、現在のLSIで広く用いられている降圧技術に関する研究として、電源スタック回路構造に関する研究を行った。電源スタック回路構造は、複数の同一回路ブロックを電源とGND間にスタックした構成となっており、それぞれの回路ブロックが電源電圧の $1/N$ で動作する回路である。これにより、内部降圧なしに、各回路ブロックの動作電圧を下げる技術である。従来の電源スタック回路構造では、上段と下段の回路ブロックの消費電流を調整するために、サポートレギュレータを有していたが、面積が大きくなること、損失が大きいことなどから、サポートレギュレータを持たない電源スタック回路構造の研究をおこなった。本研究ではI/Oバッファのスイッチングによる消費電流に着目し、上段の回路ブロックと下段の回路ブロック間でスイッチング遷移数を等しくし、回路ブロックの接点電位であるIPL(Intermediate Power Level)が揺れない技術を確立することを目標とした。従来から提案されている技術として、8B/10BコーディングとBus-invertedコーディングの2種類に関して、検討を行ったが、本技術では、スイッチング遷移数を等しくするにはならず、IPLが大きく揺れてしまった。そこで、本研究では、それぞれの従来技術を改良した2つのコーディング法を提案した。1つ目は8B/10Bコーディングを改良した8B/10Bコーディング+トグル変換コーディング法、2つめはBus-invertコーディングを改良したDCバランスBus-invertコーディング法である。結論として、それぞれのコーディング法にて、スイッチング遷移数を抑えることに成功し、IPLの

揺れも抑制可能であることをシミュレーション、および実チップによる検証で確認した。それぞれのコーディング法では、強みが異なり、8B/10B コーディング+トグル変換コーディング法は、入力 8bit 毎に 2bit の冗長 bit が必要であるが、より精度の高い IPL の抑制が可能である。一方で、DC バランス Bus-invert コーディング法では、入力信号の bit 数に依存することなく冗長 bit は常に 1bit であり、実現のために必要なトランジスタ数、消費電力も少ない。一方で、8B/10B コーディング+トグル変換コーディング法と比較すると、IPL 変動抑制の精度は少し落ちてしまう。これらのコーディング法はシステムの要求に応じて、適切なコーディング法を選択する必要がある。本論文では、2 段構成の電源スタック構成に関する検討を行ったが、今後は複数段構成の電源スタック構成に関しても、検証を行う必要がある。また、本論文ではコーディング法の確立に主眼を置いたため、検証を実施していないが、バイパスコンデンサによる影響の確認も必要である。

以上、2 つの技術に関して論じた本論文であるが、ともに、低消費電力化、小面積、高速動作を実現するための技術を検討できたと考えている。これらの技術を含め、これからの半導体業界のさらなる躍進を願い、本論文の締めくくりとする。

謝辞

本研究を進めるにあたり、多大なるご指導をいただきましたマイクロ化総合技術センターの中村和之教授に深く感謝いたします。また、学位論文作成において、多くのご指導、ご助言をいただきました梶原誠司教授、温暁青教授、馬場昭好准教授にも深く感謝申し上げます。さらに、数々のご助言をいただきました中村研究室の卒業生である浅野将治氏、川上義弘氏、平川豊氏、山之口誠将氏、西山智史氏、久保直也氏にも心よりお礼申し上げます。

本研究において使用した0.18um CMOSプロセスのSPICEモデルパラメータ、および、設計ツールの提供、チップの試作は東京大学大規模集積システム設計教育研究センターを通じ、ケイデンス株式会社、メンター株式会社、凸版印刷株式会社のご協力で提供いただきました。関係者の方々に深く感謝申し上げます。

参考文献

- [1] 池田圭司, 入沢寿史, 手塚勉, "先端 CMOS デバイス・プロセス技術の現状と展望," 電子情報通信学会誌, Vol.98, No.4, pp 300-306, Apr. 2015.
- [2] 石橋孝一郎, "低電圧・低電力 LSI 技術の最新動向," 電子情報通信学会論文誌 Vol.97-C No.1, pp.9-16, Jan. 2014.
- [3] 安藤秀樹, "チップ・マルチプロセッサ," 情報処理, Vol.46, No.10, pp.1124-1130, Oct , 2005.
- [4] 黒田忠広, "総論-システム LSI の可能性と課題," 電子情報通信学会誌, Vol.84, No.8, pp.552-558, Apr. 2001.
- [5] 牧本次生, "サブ 100nm 時代のシステム LSI とビジネスモデル," 電子情報通信学会誌 Vol.89 No.2, pp.90-95, Feb. 2006.
- [6] 井上浩, 北川泰郎, 若林重興, "CR トランジスタ発振器の一応用," 富山大学工学部紀要, Vol.14, No.1/2, pp.6-10, Mar. 1963.
- [7] 千葉作富郎, "トランジスタ帰還型発振器の研究," 長野工業高等専門学校紀要, Vol.2, No.2, pp 55-65, Feb. 1967.
- [8] 松田欣也, 堀尾喜彦, 合原一幸, "高 Q アクティブインダクタ回路とその LC 発振器への応用," 電子情報通信学会技術研究報告 NLP 非線形問題, Vol.101, No.229, pp.37-41, Jul. 2001.
- [9] 木村健将, 岡田健一, 松澤昭, "電源電圧雑音に不感な LC 発振器の検討," 電子情報通信学会総合大会講演論文集, Vol.67, No.2, p.67, Feb. 2015.
- [10] 大村芳正, 渡辺泰昭, "C-MOS 水晶発振器の周波数温度特性に対する一検討," 日本時計学会誌, Vol.103, pp.1-12, Dec. 1982.
- [11] 神谷賢治, 広瀬竹男, "C/MOS 水晶発振回路の特性," 日本時計学会誌, Vol.87, pp.2-10, Dec. 1978.
- [12] 中村光男, 松岡俊匡, 谷口研二, "短距離無線通信用電圧制御 CMOS 移相発振回路に関する研究," 電子情報通信学会論文誌, Vol.85-C, No.6, pp.449-454, Jun. 2002.
- [13] 益一哉, 天川修平, 石原昇, "オンチップ受動素子の高性能化," Microwave Workshops & Exhibition, Nov. 2009, p.409-417.
- [14] 井上高宏, 馬庭志織, 山川俊貴, 竹中智哉, 千代永純一, 常田明夫, "電流モード CMOS リングオシレータの一構成とその解," 電気関係学会九州支部連合大会講演論文集, p.435, May, 2004.
- [15] 新山太郎, 高宮真, 桜井貴康, "超低電圧領域におけるリングオシレータの発振周波数ばらつき," 電子情報通信学会総合大会講演論文集, Vol.93, N0.2, p.93, Mar. 2007.
- [16] 李尚曄, 上村龍也, 天川修平, 石原昇, 益一哉, "注入同期を用いた低位相雑音リング VCO 型 PLL," 電子情報通信学会ソサイエティ大会講演論文集, p.97, Sep. 2010.

- [17] “International Technology Roadmap for Semiconductors 2013 Edition プロセスインテグレーション, デバイス, および構造 (JEITA 訳),” ITRS, http://semicon.jeita.or.jp/STRJ/ITRS/2013/ITRS2013_PIDS.pdf, Jul. 2014
- [18] 野坂秀之, 小杉敏彦, 西川健二郎, 豊田一彦, 村田浩一, “遅延制御による偶数段リング構成ダイナミック 1/4N 分周器,” 電子情報通信学会論文誌 Vol.J93-C, No.2, pp.66-74, Feb. 2010.
- [19] 宇佐美公良, “ゲーティング技術の最新動向,” 電子情報通信学会技術研究報告.VLD VLDI 設計技術, Vol.111, No.40, pp.19-24, May, 2011.
- [20] 肖利民, 桜井貴康, “クロックゲーティングを用いたパワーゲーティング,” 電子情報通信学会ソサイエティ大会講演論文集, p.55, Sep. 2006.
- [21] 徳永和宏, 川口博, 桜井貴康, “VLSI 設計における Dual VDD 回路の電力削減効果,” 電子情報通信学会ソサイエティ大会講演論文集, p.60, Sep. 2004.
- [22] L. Fei, Y. Lin, L. He, and J. Cong, “Low-power FPGA using pre-defined dual-Vdd/dual-Vt fabrics,” Proceedings of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays. ACM, pp.42-50, Feb. 2004.
- [23] 松澤昭, “LSI 技術の課題と今後のあり方,” 電子情報通信学会論文誌, Vol.J87-C, No.11, pp.802-809, Nov. 2004.
- [24] 藤岡伸也, 田口真男, “3.3 V/5.0 V 共用内部降圧回路,” 電子情報通信学会秋季大会講演論文集, p.191, Feb. 1994.
- [25] 荒屋敷豊, 鈴木八十二, 吉田正廣, “大出力電流供給可能な低消費電力降圧回路,” 電子情報通信学会論文誌, Vol.J83-C, No.3, Mar. 2000, p.230-231.
- [26] T. Ghani, K. Mistry, P. Packan, S. Thompson, M. Stettler, S. Tyagi, and M. Bohr, “Scaling challenges and device design requirements for high performance sub-50 nm gate length planar CMOS transistors,” 2000 Symposium VLSI Technology, pp.174-175. Jun, 2000.
- [27] B. Calhoun, H. Khanna, S. Mann, and R.W.J. Wang, “Sub-threshold Circuit Design with Shrinking CMOS Devices,” ISCAS, pp.2541-2544, May, 2009.
- [28] G. Ricardo, B.M. Gordon, and M. Horowitz, “Supply and threshold voltage scaling for low power CMOS,” IEEE Journal Solid-State Circuits, Vol.32, No.8, pp.1210-1216, Aug. 1997.
- [29] 二宮保, “スイッチングレギュレータの基本特性と問題点,” 電気学会雑誌, Vol.100, No.6, Jun. 1980, p.507-514.
- [30] 荒井裕久, “シリーズレギュレータ IC,” 富士時報, Vol.76, No.3, pp. 163-165, Mar. 2003.
- [31] 堀桂太郎, “アナログ電子回路の基礎,” 東京電機大学出版局, 2003.
- [32] D-K. Jeong, G. Borriello, D.A. Hodges, and R.H. Katz, “Design of PLL-Based Clock Generation Circuits,” IEEE Journal Solid-State Circuits, Vol.22, No.2, pp.255-261, Apr. 1987.
- [33] A.Hajimiri, S.Limotyakis, and T.H. Lee, “Phase Noise in Multi-Gigahertz CMOS Ring Oscillators,”

Custom Integrated Circuits Conference, pp.49-52, May, 1998.

[34] C.-Y. Yang, Y. Lee, and C.-H. Lee, "A CMOS Clock and Data Recovery Circuit with a Half-Rate Three-State Phase Detector," *IEICE Transactions Electron*, Vol. E89-C, No. 6, pp. 746-752, Jun. 2006.

[35] H. Djahanshahi, and C.A.T. Salama, "Differential CMOS Circuits for 622-MHz/933-MHz Clock and Data Recovery Applications," *IEEE Journal Solid-State Circuits* Vol. 35, No. 6, pp. 847-855, Jun. 2000.

[36] A. Ismail, and A.A. Abidi, "CMOS Differential LC Oscillator with Suppressed Up-Converted Flicker Noise," *International Solid-State Circuits Conference Digest of Technical Papers*, pp. 98-99, Sep. 2003.

[37] D. Ham, and A. Hajimiri, "Concepts and Methods in Optimization of Integrated LC VCOs," *IEEE Journal Solid-State Circuits*, Vol. 36, No. 6, pp. 896-909, Jun. 2001.

[38] Y.A. Eken, and J.P. Uyemura, "A 5.9-GHz Voltage-Controlled Ring Oscillator in 0.18- μ m CMOS," *IEEE Journal Solid-State Circuits*, Vol. 39, No. 1, pp. 230-233, Jan. 2004.

[39] A.A. Abidi, "Phase Noise and Jitter in CMOS Ring Oscillators," *IEEE Journal Solid-State Circuits*, Vol. 41, No. 8, pp. 1803-1816, Aug. 2006.

[40] K. Nakamura, M. Asano, Y. Kohara, and H. Koike, "An Optimal Design Method for Even-Stage Ring Oscillators with a CMOS Latch," *2008 International Conference on Solid State Devices and Material*, pp. 480-481, Sep. 2008.

[41] Y. Kohara, Y. Kawakami, Y. Uchida, H. Koike, and K. Nakamura, "An Optimal Design Method for CMOS Even-Stage Ring Oscillators Containing Plural Latches," *2009 International Conference on Solid State Devices and Materials*, pp. 460-461, Oct. 2009.

[42] K. Anami, M. Yoshimoto, H. Shinohara, Y. Hirata, and T. Nakano, "Design consideration of a static memory cell," *IEEE Journal of solid-state circuits*, Vol. 18, No. 4, pp. 414-418, Aug. 1983.

[43] E. Seevinck, F.J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *IEEE Journal of solid-state circuits*, Vol. 22, No. 5, pp. 748-754, Oct. 1987.

[44] 小原祐輔, 浅野将治, 小池洋紀, 中村和之, "CMOS 偶数段リングオシレータの最適設計条件の検討," *2009年電子情報通信学会総合大会講演論文集*, p.96, Mar. 2009.

[45] 小原祐輔, 川上義弘, 小池洋紀, 中村和之, "複数個のラッチを有する偶数段リングオシレータの検討," *2009年電子情報通信学会ソサエティ大会講演論文集*, p.104, Apr. 2009.

[46] 小原祐輔, 平川豊, 中村和之, "片チャネルラッチ構成の偶数段リングオシレータの検討," *電子情報通信学会総合大会*, p.96, Mar. 2010.

[47] C.-H. Lin, K.K. Das, L. Chang, R.Q. Williams, W.E. Haensch, and C. Hu, "VDD scaling for FinFET logic and memory circuits: the impact of process variations and SRAM stability," *International Symposium VLSI Technology Systems and Applications*, pp. 1-2, Apr. 2006.

[48] M. Horowitz, E. Alon, D. Patil, S. Naffziger, R. Kumar, and K. Bernstein, "Scaling, power, and the future of CMOS," *IEEE International Electron Devices Meeting*, pp. 7-15, Dec. 2005

[49] W. Liqiong, K. Roy, and V.K. De, "Low voltage low power CMOS design techniques for deep

- submicron ICs," Thirteenth International Conference. VLSI Design, pp.24-29, Jan. 2000.
- [50] Qin. H, Cao. Y.D. Markovic, A. Vladimirescu, and J. Rabaey, "SRAM leakage suppression by minimizing standby supply voltage," 5th International Symposium Quality Electronic Design, pp.55-60, Mar. 2004.
- [51] I. Kiyoo, K. Sasaki, and Y. Nakagome, "Trends in low-power RAM circuit technologies," Proceedings IEEE, Vol.83, No.4, pp.524-543, Apr. 1995.
- [52] Y.S. Lin, S. Hanson, F. Albano, C. Tokunaga, R. Haque, K. Wise, A.M. Sastry, D. Blaauw, and D. Sylvester, "Low-voltage circuit design for widespread sensing applications," IEEE International Symposium Circuits and Systems, pp.2558-2561, May, 2008.
- [53] C. Anantha and R.W. Brodersen, "Minimizing power consumption in digital CMOS circuits," Proceedings IEEE, Vol.83, No.4, pp.498-523, Apr. 1995.
- [54] T. Kuroda, "Low power CMOS digital design for multimedia processors," 6th International Conference VLSI and CAD, pp.359-367, Oct. 1999.
- [55] A. Khater, S. Issam, A. Bellaouar, and M. I. Elmasry, "Circuit techniques for CMOS low-power high-performance multipliers," IEEE Journal of solid-state circuits, Vol.31, No.10, pp.1535-1546, Oct. 1996.
- [56] C.F. Beranger, C. Gallon, F. Boeuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J.P. Schoellkopf, E. Perea, R. Ferrant, and H. Mingam, "Innovative materials, devices, and CMOS technologies for low-power mobile multimedia," IEEE Electron Devices, Vol.55, No.1, pp.96-130, Jan. 2008.
- [57] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada, "1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS," IEEE Journal Solid-State Circuits, Vol.30, No.8, pp.847-854, Aug. 1995.
- [58] C. Yongseok, N. Chang, and T. Kim, "DC-DC converter-aware power management for low-power embedded systems," IEEE Computer-Aided Design of Integrated Circuits and Systems, Vol.26, No.8, pp.1367-1381, Aug. 2007.
- [59] V. Kursun, S.G. Narendra, V.K. De, and E.G. Friedman, "Monolithic DC-DC converter analysis and MOSFET gate voltage optimization," Fourth International Symposium Quality Electronic Design, pp.279-284, Mar. 2003.
- [60] R.M. Gabriel and P. E. Allen, "A low-voltage, low quiescent current, low drop-out regulator," IEEE Journal Solid-State Circuits, Vol.33, No.1, pp.36-44, Jan. 1998.
- [61] Y.K. Ramadass, F. Ayman, and A.P. Chandrakasan, "A fully-integrated switched-capacitor step-down DC-DC converter with digital capacitance modulation in 45 nm CMOS," IEEE Journal Solid-State Circuits, Vol.45, No.12, pp.2557-2565, Dec. 2010.
- [62] W. Mike and M. Steyaert, "A fully-integrated 0.18 μ m CMOS DC-DC step-down converter, using a bondwire spiral inductor," IEEE Custom Integrated Circuits Conference, pp.17-20, Sep. 2008.

- [63] Z. Yong and S.S. Sapatnekar, "Automated module assignment in stacked-Vdd designs for high-efficiency power delivery," *ACM J. Emerging Technol. Computing Systems*, Vol.4, No.18, pp.18-28, Apr. 2008.
- [64] Y. Zhan, T. Zhang, and S. Sapatnekar, "Module assignment for pin-limited designs under the stacked-Vdd paradigm," *Proceedings 2007 IEEE/ACM International Conference Computer-aided Design*, pp.656-659, Nov. 2007.
- [65] J. Gu and C.H. Kim, "Multi-story power delivery for supply noise reduction and low voltage operation," *International Symposium Low Power Electronics and Design*, pp.192-197, Aug. 2005.
- [66] H. Pilo, C. Barwin, G. Bracerias, C. Browning, S. Lamphier, and F. Towler, "An SRAM design in 65-nm technology node featuring read and write-assist circuits to expand operating voltage," *IEEE Journal Solid-State Circuits*, Vol.42, pp.813-819, Apr. 2007.
- [67] J. Singh, J. Mathew, D.K. Pradhan, and S.P. Mohanty, "A subthreshold single ended I/O SRAM cell design for nanometer CMOS technologies," *IEEE International SOC Conference*, pp.243-246, Sep. 2008.
- [68] A.X. Widmer and P.A. Franzaszek, "A DC-balanced, partitioned-block, 8B/10B transmission code," *IBM Journal of research and development*, Vol.27, No.5, pp.440-451, Sep. 1983.
- [69] I.A. Aref, N.A. Ahmed, F.R. Salazar, and K. Elgaid, "Rtl-level modeling of an 8b/10b encoder-decoder using systemc," *5th IFIP International Conference Wireless and Optical Communications Networks*, pp.1-4, May, 2008.
- [70] M.R. Stan, "Bus-invert coding for low-power I/O," *IEEE Transactions VLSI Systems*, Vol.3, No.1, pp.49-58, Mar. 1995.
- [71] S. Mircea, and W.P. Burleson, "Coding a terminated bus for low power," *Fifth Great Lakes Symposium, VLSI*, Mar. 1995, p. 70-73.
- [72] T. Nishiyama, T. Koizuka, H. Okamura, T. Yamanokuchi, and K. Nakamura, "A Stabilization Technique for Intermediate Power Level in Stacked-Vdd ICs using Parallel I/O Signal Coding," *International Conference Solid State Device and Materials*, pp.120-121, Sep. 2013.
- [73] Y. Kohara, N. Kubo, M. Alimudin, A. Rahmat, and K. Nakamura, "A DC-balanced Bus-invert Coding for Stabilizing the Intermediate Power Level in Stacked-Vdd LSIs," *International Conference Solid State Device and Materials*, pp.152-153, Sep. 2015.
- [74] Y.Kohara, N.Kubo, T.Nishiyama, T.Koizuka, M.Alimudin, A.Rahmat, H.Okamura, T.Yamanokuchi, and K.Nakamura, "Self-stabilization techniques for intermediate power level in stacked-Vdd integrated circuits using DC-balanced coding methods," *Japanese Journal of Applied Physics*, Vol.55, No.4S, Apr. 2016, pp04EF06-1-7