



時間軸積和演算のためのSiナノディスクアレイ -FinFETニューロンデバイスの研究

著者	東原 敬
発行年	2016-06-30
学位授与番号	17104生工博甲271号
URL	http://hdl.handle.net/10228/5687

氏名・(本籍)	東原 敬 (大分県)
学位の種類	博 士 (工学)
学位記番号	生工博甲第271号
学位授与の日付	平成28年6月30日
学位授与の条件	学位規則第4条第1項該当
学位論文題目	時間軸積和演算のための Si ナノディスクアレイ-FinFET ニューロンデバイスの研究
論文審査委員会	委員長 教授 石井 和男 " 森江 隆 " 古川 徹生 " 夏目 季代久 " 田中 啓文

学 位 論 文 内 容 の 要 旨

深層学習を行うニューラルネットワーク (NN) が機械学習の分野で注目を浴びている。NN のモデルとして、スパイクと呼ばれる幅の狭いパルスの発生タイミングを情報表現とする「スパイクニューロン」モデルが 2000 年頃より盛んに研究されている。NN の計算には膨大な回数の演算とメモリ機能が必要であり、デバイスや材料レベルで NN の機能を実現する研究が行われ、さまざまな算術演算機能を実装する専用デバイスや、抵抗変化型メモリなどのアナログメモリ機能を実現するメモリデバイスが提案されている。NN の計算において最も重要で負荷の重い演算が積和演算であるため、それほど高精度ではないものの、積和演算処理を省面積かつ低消費電力で実現できるデバイスが有用である。

スパイクニューロンモデルでは、結合重みを有するシナプス部にスパイクパルスが入力されたときに、重みに比例した一時的な電位変化 (シナプス後電位 : PSP) が生成される。PSP の立ち上がりを利用して積和演算をパルスタイミングにより時間軸で実行する方法が提案されている。そのために、超分子の自己組織化機能を利用して形成したナノディスクアレイ (NDA) 構造を用いたニューロンデバイスが提案されている。

本論文は、時間軸上で積和演算を実行するためのスパイク NN モデルと、そのモデルを実現するためのシリコン NDA と Fin 型電界効果トランジスタ (FET) を結合したデバイス (NDA-FinFET) のプロセス技術とそのデバイス特性に関するものである。スパイクニューロンモデルに基づいて、積和演算をニューロンの発火タイミングを用いて時間軸上で実行する電気回路モデルを構築し、そのモデルを実現するナノデバイスとして NDA-FinFET を考案し、その製造技術を開発して、デバイスを試作し、積和演算機能を試作デバイスにより確認している。NDA-FinFET では、トランジスタ 1 個のゲート容量を 1 回充電する程度のエネルギー (1fJ 程度) で積和演算を実行できる。これは現行のデジタルプロセッサの消費エネルギーよりも桁違いに小さく、省面積・低消費電力でニューラルネ

ネットワークモデルを実現するのに有用である。

本論文の構成は以下のようにになっている。

第1章では、研究の主旨と背景および目的、本論文の構成について述べている。

第2章では、時間軸上で積和演算を実行するためのスパイクニューラルネットワークモデルの改良を提案している。スパイクニューロンモデルについて、結合している他のニューロンからのスパイクタイミングを規格化したものと、スパイクによって生成される PSP 波形の傾きを規格化したものの積和演算結果をニューロンのスパイクの発火タイミングによって表現できるようにモデルを構築している。

第3章では、NDA-FinFET デバイスの構造、構造シミュレーション結果および単電子回路シミュレーション結果を示している。NDA は分子の自己組織化機能を利用したバイオナノテンプレートと中性イオンビームエッチング技術により作製し、数 $G\Omega$ の抵抗値を有する。NDA-FinFET は FinFET のゲートに NDA を接続した構造のデバイスで、NDA に入力されるスパイクパルスから PSP に相当する波形を生成し、その波形の立ち上がり部分を用いて時間軸積和演算機能を実現する。このデバイスについて構造シミュレーションを行って各素子間の容量を調べ、単電子回路シミュレーションによってデバイスの挙動を解析している。NDA-FinFET を試作するためのプロセス技術を提案し、開発したデバイスの製造工程フローと試作結果について述べている。

第4章では NDA-FinFET および NDA-FinFET を含む 2 段インバータ構成回路の DC・過渡特性の測定結果、積和演算精度の評価結果を示している。2 段インバータ構成の回路に複数のスパイクを入力したときの応答波形から、試作したデバイスの積和演算性能を評価している。

第5章では測定結果の考察および課題を述べている。測定結果では応答波形の振幅バラツキを観測し、このバラツキが演算精度に及ぼす影響とバラツキ発生要因について考察している。さらに、バラツキを抑制し、多入力積和演算を実現するための NDA-FinFET 構造を提案している。

第6章において研究の結論を述べている。

学位論文審査の結果の要旨

本論文に関し、調査委員からデバイス測定法の妥当性と測定結果の解釈について、NDA 作製プロセスの詳細について、積和演算精度の算出法について、ニューラルネットワークに適用する際の多入力構造について、などについて質問がなされたが、いずれも著者から満足な回答が得られた。

また、公聴会においても、多数の出席者があり、種々の質問がなされたが、いずれも著者の説明によって質問者の理解が得られた。

以上により、論文調査及び最終試験の結果に基づき、審査委員会において慎重に審査した結果、本論文が博士（工学）の学位に十分値するものであると判断した。