



UNIVERSITÀ DI PISA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

Corso di Laurea Specialistica in INGEGNERIA ELETTRONICA

Elaborato Finale

**Progetto di una scheda di Memoria Associativa
basata su link seriali per il processore Fast
Tracker all'esperimento ATLAS del CERN**

Relatori: *Prof. Roberto Roncella*

Dr. Paola Giannetti

Dr. Simone Donati

Candidato: *Saverio Citraro*

Anno Accademico 2011-2012

A mamma e papà

Indice

Introduzione	6
1 L'acceleratore LHC ed il rivelatore ATLAS	11
1.1 Il <i>Large Hadron Collider</i>	11
1.2 Il rivelatore ATLAS	16
1.3 I magneti	18
1.4 Il sistema di tracciatura	19
1.5 I calorimetri e lo spettrometro per muoni	26
1.6 Il sistema di <i>trigger</i> e di acquisizione dati	28
2 Il nuovo processore <i>Fast TracKer</i>	34
2.1 Principi di funzionamento di FTK	35
2.2 Architettura di FTK	39
3 Il chip di Memoria Associativa	47
3.1 Architettura e principi di funzionamento	47
3.2 L'evoluzione del <i>chip</i> dal 1992 ad oggi	52

3.3	La <i>Little Associative Memory Board</i>	53
4	La scheda di Memoria Associativa	57
4.1	Le funzioni della scheda AMB-FTK	58
4.2	L'interfaccia VME	63
4.3	La rete del clock e la catena JTAG	66
4.4	Alimentazione e consumi	69
5	Test del prototipo AMB-FTK e progetto della AMB-FTK	
	V1	72
5.1	Risultati dei test	73
5.2	Criticità nella distribuzione del clock, nelle linee seriali e nella catena JTAG	76
5.3	Il progetto del prototipo AMB-FTK V1	82
6	Test del prototipo AMB-FTK V1	86
6.1	Distribuzione del clock	86
6.2	La catena JTAG	89
6.3	Trasmissione seriale dei dati	90
7	Progetto della scheda AMB-FTK V2	92
7.1	Generazione e distribuzione delle alimentazioni	93
7.2	Trasmissione dei dati e distribuzione del <i>clock</i>	97
8	Conclusioni	100

Elenco delle figure	109
Bibliografia	115

Introduzione

Il Large Hadron Collider al CERN di Ginevra è la macchina acceleratrice più grande e complessa costruita dall'uomo. Questa macchina accelera fasci di protoni lungo un anello di 27 km e ad una velocità pari al 99.9999991 % della velocità della luce, per farli scontrare alla frequenza di 20 milioni di collisioni al secondo. Il rivelatore ATLAS è un apparato di enormi dimensioni e complessità realizzato da una collaborazione internazionale di migliaia di persone per studiare i prodotti delle collisioni protone-protone prodotte dall'acceleratore. Esso consente, in particolare, di ricostruire le traiettorie delle particelle prodotte negli urti tra protoni, di misurarne i parametri cinematici e l'energia e di determinarne, in alcuni casi, l'identità. Tra i risultati più importanti ottenuti ad ATLAS possiamo ricordare la scoperta del Bosone di Higgs avvenuta nell'anno 2012.

Il problema principale che deve risolvere il sistema di acquisizione dati di un rivelatore del calibro di ATLAS sta nel fatto che gli eventi interessanti per gli studi di fisica sono assai rari e nascosti in un enorme livello di fondo costituito dall'incredibile numero di collisioni prodotte ogni secondo. Non è pensabile

di affrontare questo problema registrando su memoria permanente tutti gli eventi prodotti dal collisionatore per analizzarli solo successivamente, dato che la mole di dati che sarebbe necessario registrare sarebbe eccessiva. Si deve, invece, riuscire a selezionare *online* gli eventi che possono essere interessanti per le misure di fisica utilizzando una ricostruzione in tempo reale dell'informazione proveniente dal rivelatore che deve essere il più accurata possibile. Questo è il compito che deve svolgere il sistema di *trigger* dell'esperimento e questa Tesi vuole dare un contributo significativo in questo settore.

Presso la Sezione di Pisa dell'Istituto Nazionale di Fisica Nucleare è in fase di progettazione e costruzione un nuovo sistema di ricostruzione *online* delle traiettorie delle particelle rivelate nel sistema di tracciatura di ATLAS, detto *Fast Tracker* (FTK), che sarà installato nell'esperimento per la presa dati dell'anno 2015. Possiamo brevemente dire che FTK utilizza un algoritmo diviso in due stadi eseguiti in successione. Nel primo stadio si organizzano i dati provenienti dal rivelatore e si individuano le combinazioni di punti colpiti nel rivelatore che hanno buona probabilità di essere dovuti al passaggio di ciascuna particella. Nel secondo stadio, mediante il *fit* delle combinazioni di punti selezionate nel primo stadio, si effettua la ricostruzione tridimensionale delle traiettorie delle particelle che hanno attraversato il rivelatore. Questa tecnica fa un uso massiccio della tecnologia della Memoria Associativa.

Il mio lavoro di Tesi si articola principalmente in tre parti. Nella prima parte ho lavorato ai test del prototipo esistente di una scheda di Memoria Associa-

tiva. Successivamente, in quella che possiamo definire la seconda parte del lavoro, ho sviluppato il progetto e ho fatto i test di un nuovo prototipo di scheda di Memoria Associativa, nel quale ho introdotto soluzioni e accorgimenti per eliminare i problemi e le criticità presenti nel prototipo originale. Nella terza parte ho sviluppato il progetto della scheda di Memoria Associativa che riteniamo sarà la versione che installeremo nell'esperimento per la presa dati dell'anno 2015.

Il Capitolo 1 descrive brevemente il Large Hadron Collider ed i rivelatori che compongono ATLAS, con particolare attenzione al sistema di tracciatura ed al sistema di trigger, che sono direttamente coinvolti nel lavoro affrontato in questa Tesi.

Il Capitolo 2 illustra i principi di funzionamento e l'architettura del nuovo processore di *trigger* Fast Tracker (FTK).

Il Capitolo 3 discute l'architettura e l'evoluzione del *chip* di memoria associativa e descrive la Little Associative Memory Board che lo ospita.

Il Capitolo 4 è dedicato alla descrizione dettagliata della scheda di Memoria Associativa (AMB-FTK), con un'accurata analisi dei componenti e delle funzioni della scheda.

Il Capitolo 5 illustra i risultati dei test che abbiamo effettuato sul prototipo AMB-FTK, poi le soluzioni introdotte per risolvere le criticità individuate ed il progetto del prototipo AMB-FTK V1. Nello svolgere i

test del prototipo AMB-FTK ci siamo concentrati principalmente sulla verifica del funzionamento delle connessioni seriali ad alta velocità (2 Gbit/s) tra gli FPGA presenti sulla scheda. Abbiamo individuato criticità di natura elettrica nella programmazione dei dispositivi utilizzando la catena JTAG ed anche durante il normale funzionamento. Un'analisi accurata delle configurazioni delle linee di trasmissione ha evidenziato problemi di adattamento delle terminazioni, che causano una significativa degradazione del segnale di *clock*, e di alcuni segnali JTAG. Non abbiamo incontrato eccessivi problemi concettuali per risolvere le criticità individuate, ma solo in alcuni casi è stato possibile intervenire e riparare la scheda in laboratorio, di conseguenza abbiamo dovuto progettare un nuovo prototipo AMB-FTK V1, per far questo abbiamo utilizzato “*Design Entry HDL*” e “*Allegro PCB Design*” prodotti della *suite* Cadence.

Il Capitolo 6 descrive i test effettuati sul prototipo AMB-FTK V1. Ho verificato con prove mirate che le soluzioni adottate hanno migliorato il funzionamento della scheda secondo le nostre aspettative. Per i segnali di *clock* e per i segnali JTAG ho effettuato misure in vari punti della rete e le ho confrontate con quelle fatte sulla vecchia scheda: i miglioramenti nella qualità dei segnali sono stati significativi. Per i test sulla trasmissione dei dati ad alta velocità abbiamo utilizzato il *tool* della Xilinx “*Chip Scope*” che ci ha permesso di utilizzare la catena JTAG per verificare la consistenza dei dati trasmessi tra gli FPGA.

Il Capitolo 7 è dedicato alle novità introdotte nel progetto della versione finale AMB-FTK V2. La nuova scheda eredita i miglioramenti fatti sul prototipo AMB-FTK V1 ed introduce numerose novità progettuali. L'innovazione più importante è la trasmissione integrale su linee differenziali in formato seriale. Queste risolvono problemi di commutazioni simultanee sugli FPGA, rendono i segnali immuni a disturbi, e riducono i consumi. Infine, ulteriori modifiche al progetto sono state rese necessarie dalle stime sulle prestazioni del nuovo *chip* di Memoria Associativa. Infatti il nuovo *chip* avrà una più alta densità di *pattern* memorizzabili ma anche consumi più elevati. Questo richiede per la scheda AMB-FTK V2 un ridimensionamento del sistema di generazione e distribuzione delle alimentazioni.

Il Capitolo 8 descrive le conclusioni di questo lavoro di tesi e le prospettive per il futuro.

Capitolo 1

L'acceleratore LHC ed il rivelatore ATLAS

1.1 Il *Large Hadron Collider*

L'acceleratore di particelle LHC (*Large Hadron Collider*) situato al CERN (*Conseil Européen pour la Recherche Nucléaire*), nei pressi di Ginevra, è uno dei componenti del più complesso apparato di ricerca nel campo della fisica delle particelle elementari mai costruito fino ad oggi [1, 2]. LHC ha una circonferenza di 27 km ed è posto in un tunnel sotterraneo ad una profondità che varia tra i 50 m ed i 175 m sotto il livello del suolo (Figura 1.1).

L'accelerazione dei protoni avviene in più stadi (Figura 1.2), il *Linear Accelerator* (LINAC) produce un fascio di protoni di energia pari a 50 MeV che il *Proton Synchrotron* (PS) e il *Super Proton Synchrotron* (SPS) accelerano

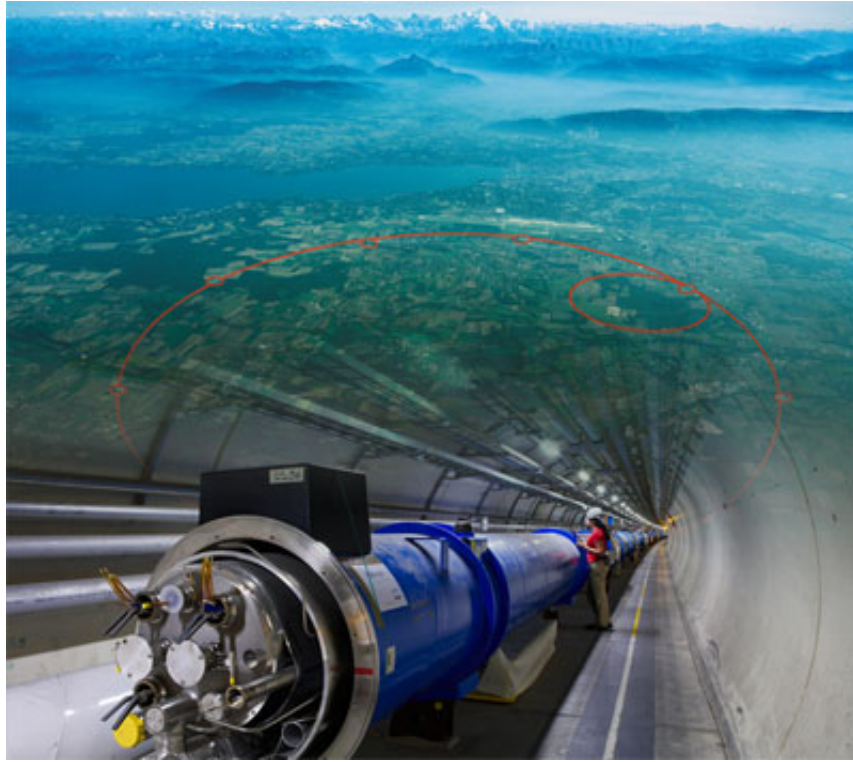


Figura 1.1: Vista satellitare di LHC e di un particolare dell'interno del tunnel[3].

fino a raggiungere rispettivamente l'energia di 26 GeV e 450 GeV. Successivamente due fasci di protoni vengono estratti dall'SPS e iniettati nell'anello acceleratore principale (LHC), dove ruotano in direzione opposta e raggiungono l'energia di 4 TeV, che corrisponde ad una energia nel centro di massa dei fasci di 8 TeV. Si prevede che i futuri miglioramenti dell'acceleratore consentiranno di raggiungere, nei prossimi anni, l'energia nel centro di massa di 14 TeV. In LHC i due fasci di protoni circolano in tubi separati nei quali si cerca di mantenere la pressione del gas residuo al di sotto delle 10^{-3} atm,

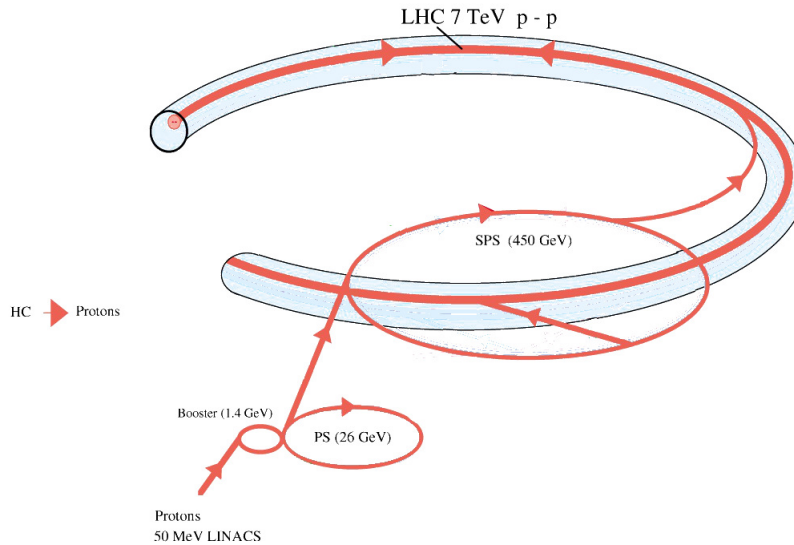


Figura 1.2: Schema semplificato del complesso di acceleratori del CERN di Ginevra. Si possono riconoscere il *Linear Accelerator* (LINAC), il *Proton Accelerator* (PS), il *Super Proton Synchrotron* (SPS) e il *Large Hadron Collider* (LHC).

per evitare che le collisioni con le molecole di gas residue ne degradino la qualità. Per mantenere i protoni su orbite circolari, lungo l’anello di LHC sono montati 1232 dipoli magnetici superconduttori che generano un campo magnetico di circa 8.4 T.

Ciascun fascio di protoni è costituito da un treno di circa 1400 pacchetti contenenti ognuno approssimativamente 1.15×10^{11} particelle. I pacchetti sono attualmente posti alla distanza di 50 ns, che naturalmente coincide con la separazione tra due intersezioni dei fasci successive, dette *bunch crossing*. È previsto che con i futuri miglioramenti di LHC i pacchetti potranno essere avvicinati fino a 25 ns, dimezzando quindi il tempo che separa due *bunch*

crossing consecutivi. Nel dicembre del 2012 questo è stato effettivamente sperimentato per alcune ore, anche se con un numero ridotto a 396 di pacchetti per fascio [4].

La regione nella quale vengono fatti incrociare i fasci mediante opportuni campi magnetici focalizzatori, è detta regione luminosa¹. È chiaro che per avere molte collisioni protone-protone per unità di tempo, sono necessari pacchetti con un elevato numero di protoni, alla minor distanza temporale e con la minor dimensione spaziale possibili. Questi parametri determinano la luminosità istantanea dell'acceleratore che, in pratica, ci permette di prevedere a quale frequenza si producono gli eventi di fisica interessanti. La luminosità istantanea e l'energia nel centro di massa sono tra i parametri più importanti e caratterizzano le prestazioni di un acceleratore. Nell'anno 2012 LHC ha raggiunto la luminosità istantanea di $L = 7.7 \times 10^{33} \text{ cm}^{-2}\text{s}^{-1}$ all'energia nel centro di massa di 8 TeV [5].

Attualmente sei esperimenti utilizzano LHC e sono localizzati in zone diverse di interazione dei fasci (Figura 1.3):

ATLAS (*A Toroidal LHC ApparatuS*) [6] e CMS (*Compact Muon Solenoid*) [7], progettati per la ricerca e lo studio delle proprietà del bosone di Higgs e per la ricerca di processi di fisica oltre il Modello Standard; ALICE (*A Large Ion Collider Experiment*), progettato per studiare le interazioni della materia ad altissima energia e densità, ottenuta mediante collisioni di fasci

¹La zona di interazione dei fasci di protoni, detta “regione luminosa”, ha una forma approssimativamente ellissoidale, con diametro nel piano ortogonale ai fasci di circa 25 μm e lunghezza nella direzione longitudinale di circa 5 cm.

di ioni di piombo [8]; LHCb (*Large Hadron Collider beauty*), progettato per studiare la fenomenologia dei *quark beauty* e *charm* e chiarire l'origine della asimmetria tra materia e antimateria nell'universo [9]; LHCf (*Large Hadron Collider forward*), che sfrutta la produzione di particelle "in avanti" quale soluzione di laboratorio per studiare oggetti fisici con caratteristiche simili a quelle dei raggi cosmici [10]; TOTEM (*TOTal Elastic and diffractive cross section Measurement*), dedicato alla misura della sezione d'urto totale, elastica e dei processi diffrattivi ad LHC [11].

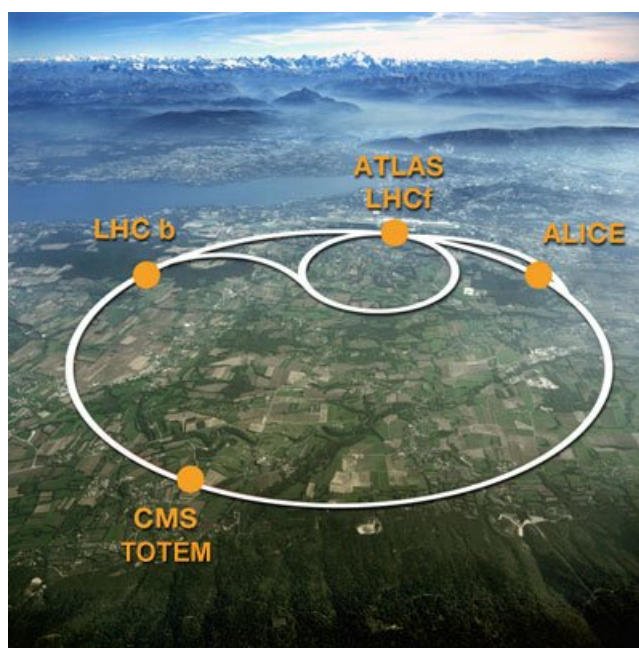


Figura 1.3: Collocazione degli esperimenti lungo l'anello LHC.

Nei primi tre anni di presa dati, ATLAS e CMS hanno già fornito una prima risposta ad una domanda cruciale, dimostrando l'esistenza di una nuova particella compatibile con l'essere il bosone di Higgs [12, 13], uno dei mattoni

fondamentali del Modello Standard [14]. Tra i prossimi obiettivi, vi sono la misura di precisione della massa del bosone di Higgs e la dimostrazione, o definitiva esclusione, dell'esistenza delle particelle supersimmetriche o di altre dimensioni oltre le quattro già note.

1.2 Il rivelatore ATLAS

Poiché non è noto quali potrebbero essere le eventuali manifestazioni di fisica oltre il Modello Standard, il rivelatore ATLAS (Figura 1.4) è stato progettato per essere estremamente versatile. ATLAS è quindi un rivelatore *general-purpose*, ottimizzato per investigare il più ampio spettro possibile di processi di fisica. ATLAS può essere utilizzato sia per la ricerca di nuove particelle che per la misura di precisione dei parametri del Modello Standard, o della fenomenologia di particelle elementari note, ma scoperte solo recentemente, quali il *quark bottom* [15, 16] e il *quark top* [17, 18].

Il rivelatore si trova in una caverna sotterranea alla profondità di 150 m, ed è, per dimensioni, il più grande rivelatore mai costruito (lunghezza 44 m, diametro 22 m e peso 7000 tonnellate)[19]. La struttura di ATLAS ricalca quella di altri rivelatori installati nei moderni collisionatori ed è a strati concentrici ed a geometria cilindrica, con copertura su quasi tutto l'angolo solido. ATLAS è costituito da numerosi rivelatori distinti e indipendenti. Procedendo dall'asse dei fasci verso l'esterno, si incontrano nell'ordine, il si-

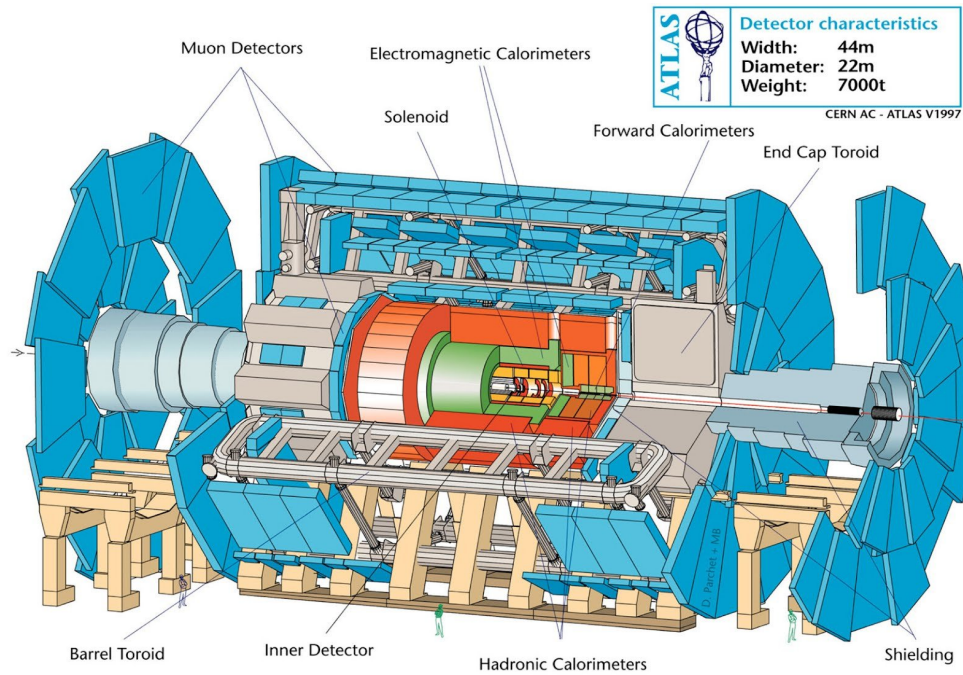


Figura 1.4: Layout di ATLAS: sono indicati gli elementi principali del rivelatore[20].

stema di tracciatura [21], il solenoide, i calorimetri [22, 23, 24], e le camere per muoni [25].

Il sistema di tracciatura è utilizzato per la ricostruzione delle tracce e per la misura dei parametri cinematici delle particelle cariche prodotte nelle collisioni protone-protone, o in successivi decadimenti. Per far questo, si combinano misure spaziali ad elevata risoluzione, effettuate mediante rivelatori in silicio posti in prossimità della regione luminosa, con un gran numero di misure spaziali che hanno risoluzione più limitata, effettuate con il *Transition Radiation Tracker* (TRT), che occupa una regione più esterna.

Il calorimetro misura l'energia delle particelle singole (fotoni ed elettroni) e dei getti di particelle adroniche. Tale misura è distruttiva poiché il calorimetro assorbe completamente l'energia delle particelle. Alla rivelazione nel calorimetro, tuttavia, sfuggono i muoni e i neutrini che sono particelle particolarmente penetranti. Mentre i muoni vengono rivelati da uno spettrometro collocato all'esterno del calorimetro, i neutrini non hanno nessuna interazione con il rivelatore e sono in pratica "invisibili". Di conseguenza, la presenza di neutrini in un evento viene rivelata con la misura di un impulso netto nel piano trasverso ai fasci.

ATLAS utilizza un sistema di coordinate cilindriche con l'asse z orientato lungo la direzione dei fasci di protoni, con verso positivo nel verso di rotazione antiorario. L'asse x è diretto orizzontalmente nella direzione del centro dell'anello, l'asse y è diretto verticalmente a costruire una terna destrorsa. Si utilizzano anche l'angolo azimutale (ϕ) nel piano trasverso al fascio e l'angolo polare (θ).

1.3 I magneti

ATLAS utilizza vari sistemi per generare i campi magnetici necessari per il funzionamento dei rivelatori. Il sistema di tracciatura è inserito in un magnete solenoidale superconduttore che è allineato con l'asse del fascio e genera un campo magnetico assiale di 2 T. Il campo magnetico per lo spettrometro

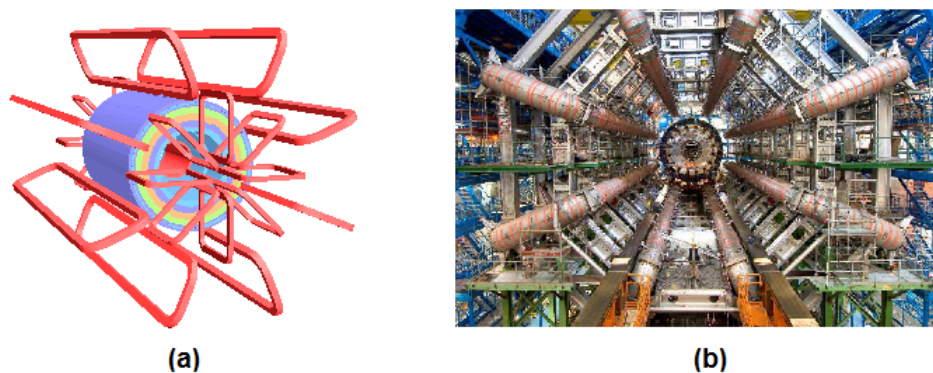


Figura 1.5: (a) Schema degli apparati utilizzati per generare i campi magnetici in ATLAS: in rosso sono rappresentate le bobine superconduttrici che costituiscono il magnete toroidale del *barrel* e dell'*end-cap*, in blu è rappresentato il solenoide nella regione del *barrel*; (b) Fotografia dei toroidi superconduttori della regione del *barrel*. Si possono apprezzare le dimensioni del rivelatore dal confronto con la persona fotografata tra le due bobine in basso[20].

muonico è generato, invece, da un magnete toroidale, formato da gruppi di 8 bobine superconduttrici che generano un campo magnetico toroidale dal valore massimo di 4 T (Figura 1.5). Le bobine del *barrel* sono lunghe 25 m e alte 4.5 m, quelle della regione di *end-cap* sono lunghe 5 m e alte 4.5 m.

1.4 Il sistema di tracciatura

Il sistema di tracciatura, rappresentato schematicamente in Figura 1.6 e in Figura 1.7, è utilizzato per ricostruire la traiettoria delle particelle prodotte nelle collisioni protone-protone o nei decadimenti successivi. È stato scelto di non realizzare un rivelatore con un numero elevato di strati di sensori in silicio, che avrebbero permesso di effettuare un fitto campionamento spazia-

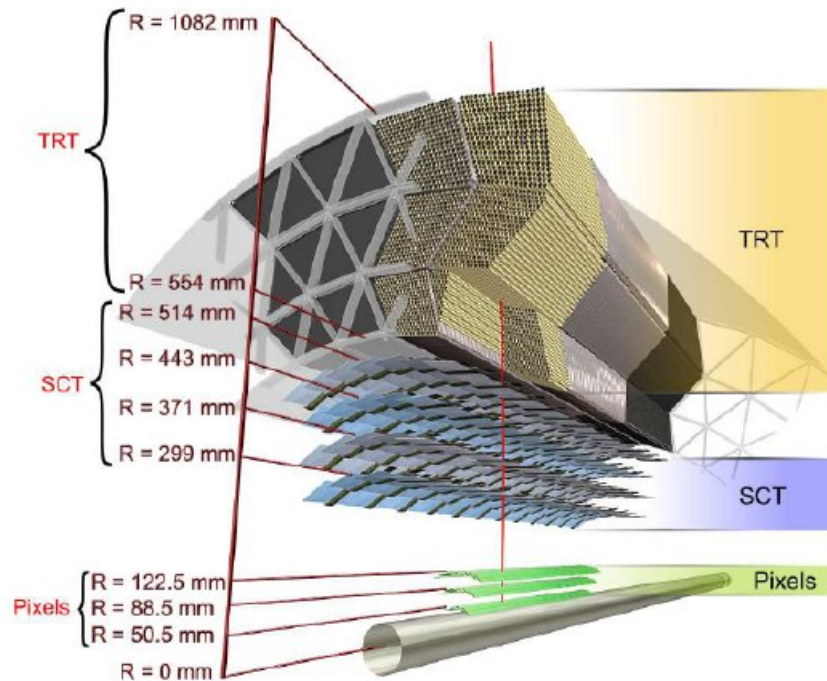


Figura 1.6: Rappresentazione di una traccia (linea rossa) con impulso trasverso di $10 \text{ GeV}/c$ che attraversa i diversi elementi del sistema di tracciatura[20].

le, poiché questo avrebbe compromesso la successiva misura dell'energia delle particelle, effettuata dal calorimetro. È stato trovato un compromesso tra la precisione spaziale e la necessità di limitare le interazioni delle particelle con il silicio. Il risultato è un sistema che sfrutta tecnologie diverse, con una struttura a strati concentrici ed a simmetria cilindrica, di raggio esterno di circa 1 m e lunghezza di circa 6 m, immerso in un campo magnetico solenoide di circa 2 T. Il campo magnetico è necessario per determinare l'impulso trasverso delle particelle dalla misura del raggio di curvatura delle traiettorie.

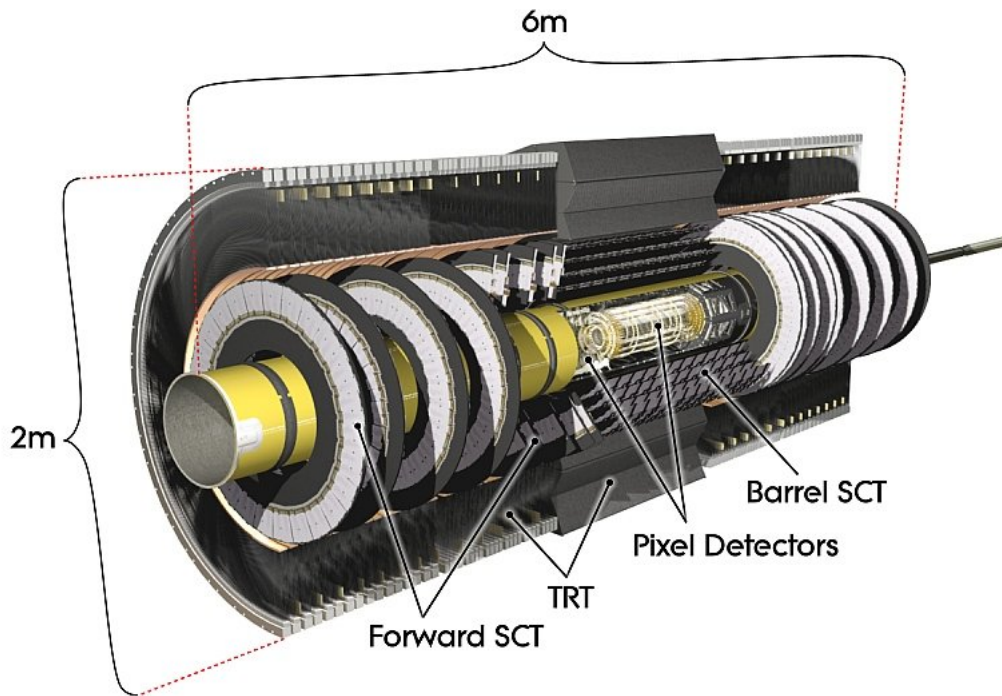


Figura 1.7: Il sistema di tracciatura di ATLAS: sono indicati il rivelatore a *pixel*, a *microstrip* centrale e in avanti (*barrel SCT* e *forward SCT*) ed il tracciatore a radiazione di transizione (TRT)[20].

Il sistema di tracciatura è costituito da tre rivelatori concentrici. Nella zona più interna, in prossimità della regione luminosa, si incontra per primo il rivelatore a *pixel* in silicio. Muovendosi verso l'esterno si incontra il rivelatore a *microstrip* in silicio detto *SemiConductor Tracker* (SCT) e, successivamente, il rivelatore a radiazione di transizione detto *Transition Radiation Tracker* (TRT), realizzato con la tecnologia degli *straw-tube*.

Un sensore in silicio è schematicamente costituito da un substrato di tipo *n*,

con una zona drogata n^+ , e una metallizzazione. Una particella che attraversa il sensore interagisce con il silicio e libera portatori di carica che vengono raccolti dal contatto metallico. L'elettronica di *front-end* acquisisce il segnale

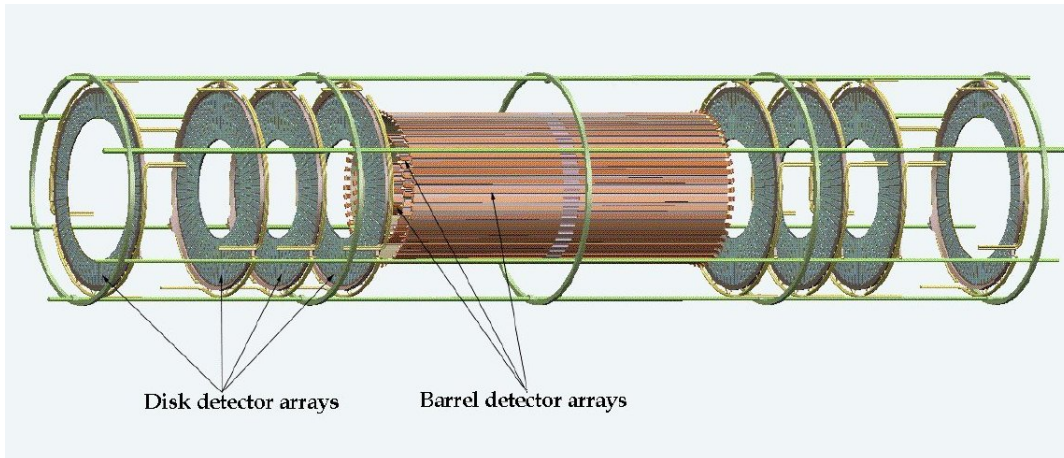


Figura 1.8: Rivelatore a *pixel* in silicio, si possono notare i tre strati del *barrel* centrale e i dischi di *end-cap*[20].

elettrico e fornisce la misura della carica elettrica raccolta da ciascun sensore (*pixel* o *microstrip*). La coordinata del punto di impatto di una particella sul piano di silicio è stimata mediante un algoritmo che calcola il baricentro del deposito localizzato di carica, detto *hit*.

Il rivelatore a *pixel* è costituito nel complesso da tre cilindri concentrici che formano il *barrel* e da otto dischi, quattro per ogni lato, che costituiscono le *end-cap*, per una superficie attiva complessiva di circa 2.3 m^2 (Figura 1.8).

I cilindri e i dischi sono costituiti da una griglia di sensori in silicio equipaggiati con l'elettronica di *front-end* necessaria per l'acquisizione dei dati (Figura 1.9). La risoluzione sulla misura di posizione di un *hit* sul piano di

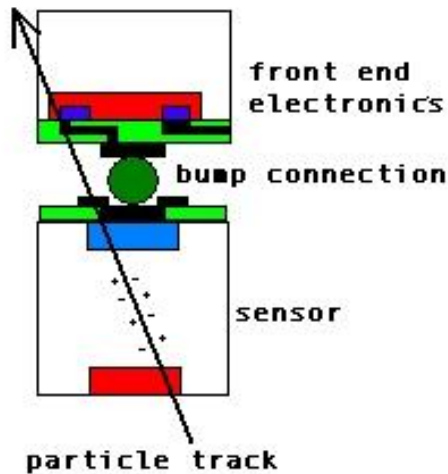


Figura 1.9: Vista in sezione di un tipico sensore in silicio installato nel rivelatore.

silicio nel *barrel* è circa $10 \mu\text{m}$ nel piano $r - \phi$ e circa $116 \mu\text{m}$ nel piano $r - z$. Il *SemiConductor Tracker* (SCT) ha una struttura molto simile al rivelatore a *pixel* ma è costituito da sensori in silicio a *microstrip*, disposti su quattro cilindri concentrici, che formano il *barrel*, e su diciotto dischi, nove per lato, che formano le *end-cap*. La risoluzione sulla misura della posizione di un *hit* nel *barrel* è di circa $16 \mu\text{m}$ nel piano $r - \phi$ e di circa $580 \mu\text{m}$ nel piano $r - z$. Il rivelatore a *pixel* è molto vicino alla zona dove avvengono le collisioni protone-protone, ed è la parte del rivelatore più sottoposta al danneggiamento da radiazione. Le conseguenze di questo danneggiamento sono la creazione di difetti nel substrato di silicio, con conseguente aumento della corrente di *leakage* e riduzione dell'efficienza nel raccogliere la carica. Inol-

tre, la radiazione produce un'alterazione dell'effettivo livello di drogaggio, con un conseguente aumento della tensione necessaria per lo svuotamento del rivelatore. Si prevede che quando LHC funzionerà alla massima energia e luminosità istantanea, probabilmente si dovranno sostituire gli strati del *barrel* e i nuovi rivelatori dovranno essere riposizionati a maggiore distanza dalla regione luminosa.

Il rivelatore più esterno del sistema di tracciatura è il *Transition Radiation Tracker* (TRT) che misura un gran numero di punti lungo la traiettoria di ogni particella incidente. Il rivelatore è costituito da circa 420.000 *straw-tube* di diametro pari a circa 4 mm². Il volume interno di ogni *straw-tube* è riempito con una miscela gassosa a base di Xenon (70% *Xe*, 20% *CF*₄, 10% *CO*₂) alla pressione atmosferica, ed un filo conduttore in tungsteno placcato in oro di diametro 30 μm che costituisce l'anodo, allineato con l'asse del cilindro e posto ad un potenziale elevato rispetto alla parete. Quando una particella ultrarelativistica, per esempio un elettrone, attraversa il materiale radiante costituito da fibre di polipropilene, emette radiazione di transizione². Quando questa radiazione attraversa lo *straw-tube*, libera per ionizzazione elettroni energetici dal gas che sono attratti dall'anodo. Gli elettroni sono accelerati dal campo elettrico ed acquisiscono sufficiente energia per liberare altri elettroni nel gas che, a loro volta, sono accelerati e ne liberano altri, producendo un effetto di moltiplicazione. A questo segnale si somma la ionizzazione do-

²Radiazione elettromagnetica nella regione dei raggi X emessa dal passaggio di particelle ultrarelativistiche (ad esempio elettroni energetici) tra mezzi con indice di rifrazione diverso.

vuta al passaggio della particella carica originaria nel gas. L'intensità della radiazione di transizione emessa da una particella dipende dalla velocità della particella stessa ed, in pratica, è presente in misura significativa solo per gli elettroni. Questo significa che gli elettroni sono caratterizzati da un se-

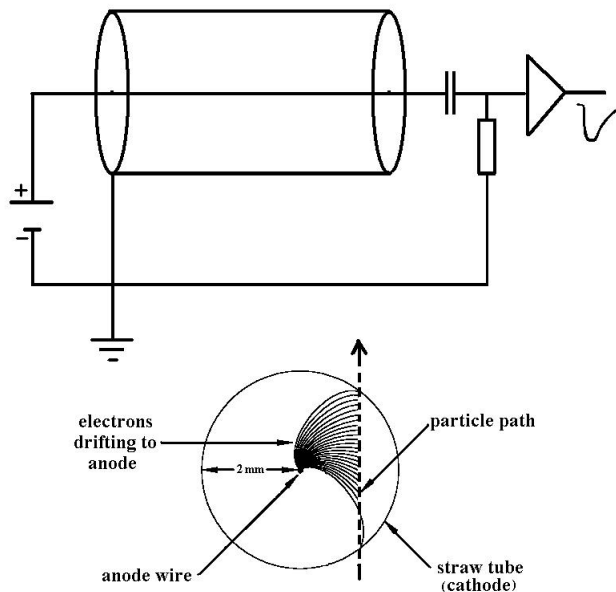


Figura 1.10: Schema del circuito di lettura di uno *straw-tube*. Si può notare il percorso compiuto dagli elettroni prodotti nella ionizzazione verso l'anodo.

gnale di carica nel rivelatore significativamente più intenso rispetto a tutte le altre particelle. Di conseguenza, il rivelatore TRT è usato non solo per ricostruire le tracce di tutte le particelle incidenti, ma anche per identificare gli elettroni. L'elettronica di *front-end* consente di misurare la corrente anodica ed il tempo trascorso tra l'istante stimato del passaggio della particella nel rivelatore e l'arrivo del segnale elettrico (Figura 1.10). Questo permette di determinare la coordinata del punto in cui la particella ha attraversato il

rivelatore con la risoluzione di circa $170 \mu\text{m}$ nel piano $r - \phi$. Il barrel contiene circa 100.000 *straw-tubes* disposti in 72 strati concentrici e paralleli all'asse del fasci. La sezione dell'*end-cap* contiene circa 320.000 *straw-tubes*, disposti su dischi in direzione radiale, con l'elettronica di lettura installata solamente alla estremità più esterna.

1.5 I calorimetri e lo spettrometro per muoni

All'esterno del sistema di tracciatura e dei solenoidi si trova il calorimetro, utilizzato per la misura di energia delle particelle incidenti e, successivamente, lo spettrometro per muoni. I calorimetri servono per misurare l'energia delle particelle. Negli esperimenti di fisica delle particelle elementari a *collider* il calorimetro è usualmente composto da due sezioni, quella elettromagnetica e quella adronica. La sezione elettromagnetica è progettata per assorbire completamente elettroni, positroni e fotoni e misurarne l'energia. I getti di particelle adroniche necessitano di più materiale per essere completamente assorbiti, per questo viene utilizzata anche una sezione adronica che completa l'assorbimento e consente di effettuare la misura di energia.

Il calorimetro di ATLAS dispone di tre sezioni elettromagnetiche, una nella regione del *barrel* e due nella regione delle *end-cap*, che utilizzano argon liquido come materiale attivo e piombo rinforzato da acciaio come materiale passivo (Figura 1.11). La sezione centrale è ospitata in un grande criostato a

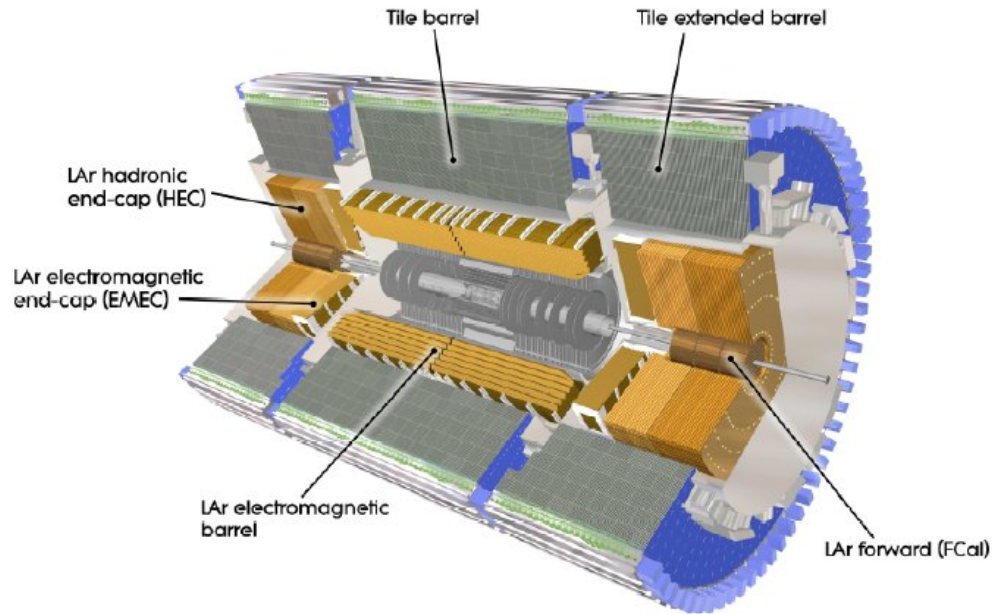


Figura 1.11: Il calorimetrico di ATLAS: si possono notare i vari elementi della sezione elettromagnetica (*Liquid Argon electromagnetic end-cap*, *Liquid Argon electromagnetic barrel*) e della sezione adronica (*TILE calorimeter*, *Hadronic end-cap*, e *Forward calorimeter*)[20].

forma di toroide cilindrico con l'asse allineato al fascio, che mantiene l'argon liquido alla temperatura di 88 K. Questa sezione ha raggio interno di circa 1 m, raggio esterno di circa 2 m e lunghezza di circa 6 m, ed è costituita da due toroidi cilindrici simmetrici rispetto al punto di interazione, ognuno diviso in 16 moduli. Ogni modulo copre 22.5° nell'angolo azimutale ed è costituito da 64 strati di assorbitori e di elettrodi. Le sezioni elettromagnetiche nell'*end-cap* hanno forma toroidale cilindrica, con raggio interno di 0.3 m e raggio esterno di 2 m, e sono ospitate in due criostati cilindrici con lo stesso asse dei fasci e con raggio esterno di 2.2 m.

La sezione adronica centrale è costituita dal *TILE calorimeter* e dal *PLUG calorimeter*, ed utilizza come mezzo attivo delle tegole di materiale scintillatore inserite in una struttura di assorbitore in ferro. Le sezioni adroniche dell'*end-cap* e del *forward* sono disposte ai lati del rivelatore ed utilizzano lo stesso mezzo attivo del calorimetro elettromagnetico, cioè argon liquido. Così facendo si riduce l'ingombro perché il *forward calorimeter* viene ospitato nello stesso criostato del calorimetro elettromagnetico.

All'esterno del calorimetro si incontra il sistema di rivelazione dei muoni, che definisce la dimensione complessiva di ATLAS (diametro di circa 22 m, lunghezza di circa 44 m). Si utilizza una combinazione di varie tipologie di camere a ionizzazione, disposte in numerosi strati a simmetria cilindrica nella regione del *barrel* e a disco nella regione delle *end-cap*. Un magnete superconduttore nella regione del *barrel* e due magneti superconduttori nella regione delle *end-cap* (Figura 1.5 a) consentono di effettuare una misura dei parametri cinematici dei muoni indipendente dal sistema di tracciatura interno.

1.6 Il sistema di *trigger* e di acquisizione dati

In un collisore adronico quale LHC gli eventi interessanti per gli studi di fisica sono assai rari e nascosti in un enorme livello di fondo. Si potrebbe pensare di affrontare il problema salvando su memoria permanente tutti gli eventi prodotti dal collisionatore per elaborarli solo successivamente, ma questo non

è possibile a causa della enorme mole di dati che sarebbe necessario registrare. Questo è dovuto al fatto che il numero di canali del rivelatore è enorme, circa 100 milioni e che, per ogni *bunch crossing* di LHC, che si verifica ogni 50 ns, sono prodotte e rivelate numerosissime particelle. A questo proposito, è bene ricordare che se è vero che si vuole rendere il più elevata possibile la luminosità istantanea, per produrre il maggior numero possibile di eventi nell'unità di tempo, è anche vero che in regime di elevata luminosità istantanea si hanno numerosissime collisioni protone-protone sovrapposte all'interno dello stesso *bunch-crossing* e queste producono complessivamente migliaia di particelle (Figura 1.12). La combinazione di questi effetti determina la elevata occupazione del rivelatore e l'enorme mole di dati da elaborare. Dei circa 20 milioni di *bunch crossing*, o eventi, prodotti da LHC ogni secondo, è possibile salvarne su memoria permanente solamente circa qualche centinaio al secondo. Di conseguenza, sono necessari una considerevole potenza di calcolo e criteri veloci di selezione, che consentano di individuare in tempo reale gli eventi più utili per la fisica che si vuole studiare. Un complesso sistema, comunemente detto *trigger*, effettua la ricostruzione in tempo reale dell'informazione raccolta dai rivelatori ed applica delle selezioni ottimizzate per registrare su disco solo gli eventi interessanti [26, 27]. Naturalmente, a livello di *trigger*, non è possibile operare una analisi dei dati allo stesso livello di accuratezza della analisi *offline*, ma si possono utilizzare solamente degli algoritmi di analisi semplificati. Per questo motivo, in un esperimento della complessità di ATLAS, il lavoro di miglioramento e potenziamento del siste-

ma di *trigger* è continuo e questa Tesi di Laurea vuole dare un contributo importante in questo settore. Nel seguito riportiamo una breve descrizione dell'architettura del *trigger* di ATLAS.

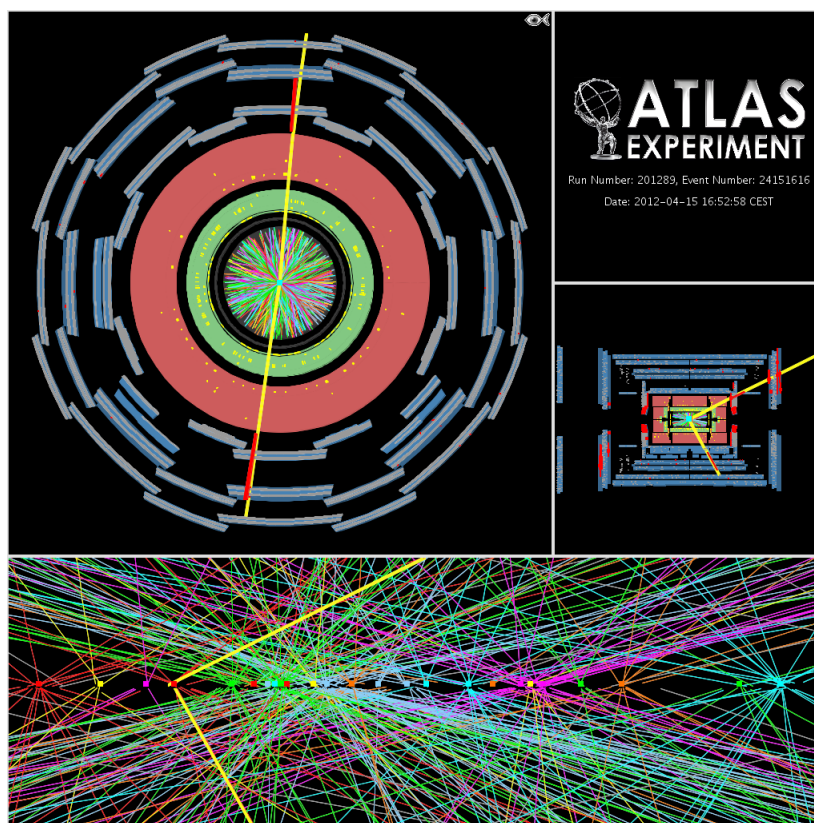


Figura 1.12: Ricostruzione di un evento in ATLAS; l'evento contiene 25 vertici e sono visualizzate le tracce con impulso superiore a $0.4 \text{ GeV}/c$ [28].

Il *trigger* di ATLAS è strutturato in tre livelli successivi (Livello 1, Livello 2 ed *Event Filter*), posti in *pipe-line*. In Figura 1.13 è mostrato il flusso degli eventi attraverso i vari livelli del *trigger*, dall'uscita dei rivelatori fino alla scrittura su disco. Ciascun livello analizza e seleziona gli eventi sulla base di

informazioni via via sempre più accurate con un tempo a disposizione crescente.

Il *trigger* di Livello 1 analizza in maniera sincrona con il clock dell'acceleratore i dati relativi a tutti i *bunch-crossing*, ed effettua una selezione iniziale basata su informazioni a risoluzione ridotta provenienti solo dai calorimetri e dalle camere per i muoni. Il flusso di eventi in ingresso al Livello 1 è di 20 MHz ed è ridotto in uscita dal Livello 1 ad un massimo di 75 kHz di eventi ritenuti interessanti. Nel Livello 1 non può essere usata alcuna informazione fornita dal sistema di tracciatura a causa dell'eccessiva complessità e del tempo insufficiente, circa $2.5 \mu s$, per l'elaborazione dati (Figura 1.13). Il Livello 1 è realizzato mediante *hardware* dedicato, ed una delle funzioni essenziali è sincronizzare tutte le diverse parti del rivelatore allo stesso *bunch-crossing* per garantire che l'evento sia integro, cioè che i dati provenienti da parti diverse del rivelatore non appartengano a *bunch-crossing* diversi. Questo è, in effetti, un problema reale in ATLAS, per il fatto che le dimensioni del rivelatore sono tali da rendere il tempo di volo delle particelle nel rivelatore superiore ai 25 ns del tempo di *interbunch*. Questo significa che si possono avere interazioni di particelle prodotte in un certo *bunch-crossing* nella regione esterna del rivelatore nello stesso istante nel quale si verificano, nella regione interna, interazioni di particelle prodotte nel *bunch-crossing* successivo.

Il trigger di Livello 2 esamina gli eventi accettati dal *trigger* di Livello 1 e fa uso dell'informazione a piena risoluzione del sistema di tracciatura, del calo-

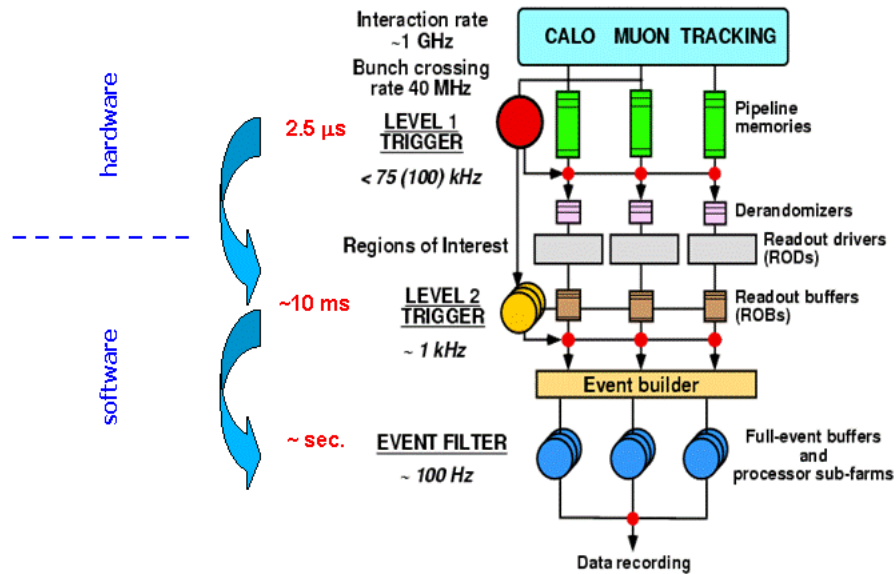


Figura 1.13: Diagramma di flusso degli eventi nel trigger di ATLAS[26].

rimetro e del rivelatore di muoni. Il Livello 2 è realizzato mediante *software* ed esegue algoritmi di vario genere, inclusa la ricostruzione delle tracce, dei vertici di interazione e di decadimento delle particelle. Una caratteristica importante del *trigger* di Livello 2 è l'uso delle "Region of Interest" (RoI), regioni del rivelatore nelle quali il *trigger* di Livello 1 ha identificato oggetti fisici di possibile interesse nell'evento. Il Livello 2 sfrutta l'informazione delle RoI relative alle coordinate, energia e identità della segnatura per limitare la quantità dei dati che devono essere trasferiti nel rivelatore. Il Livello 2 riceve un flusso di eventi massimo pari a 75 kHz e nel tempo a disposizione di 10 ms (Figura 1.13) lo riduce di circa un fattore 100. Di conseguenza la frequenza massima di eventi accettati dal Livello 2 è dell'ordine di 1 kHz. Gli eventi che passano anche la selezione del Livello 2 vengono riorganiz-

zati dal modulo *Event Builder*, che raggruppa e riordina i dati provenienti da tutte le parti del rivelatore e li invia all'*Event Filter*, che costituisce il terzo livello di *trigger*. L'*Event Filter*, in un tempo dell'ordine del secondo (Figura 1.13), esegue un'analisi dettagliata dell'evento con algoritmi simili a quelli utilizzati nell'analisi *off-line*, e riduce il flusso di eventi interessanti alla frequenza di qualche centinaio al secondo, che sono salvati su memoria permanente.

La dimensione finale di un evento è di circa di 1 *Mbyte*, di conseguenza il flusso di dati scritti su disco è di un centinaio di *Mbyte/s*, per un totale annuo di circa 10^{15} *bytes*.

Capitolo 2

Il nuovo processore *Fast TracKer*

La Collaborazione ATLAS sta sviluppando da tempo un nuovo processore specializzato nella ricostruzione *online* delle traiettorie delle particelle che attraversano il rivelatore in silicio e che sarà inserito tra il Livello 1 ed il Livello 2 dell'attuale *trigger*. Questo progetto sarà realizzato in tempo per la nuova fase di presa dati di ATLAS prevista per l'anno 2015. Il processore prende il nome di *Fast TracKer* (FTK) [29] ed è l'evoluzione del *Silicon Vertex Tracker* (SVT) utilizzato nell'esperimento CDF a Fermilab (Fermi National Accelerator Laboratory) [30, 31] negli anni 2001-2011. La funzione di FTK è di ricostruire le tracce delle particelle che attraversano il rivelatore in silicio in tempo per la decisione del *trigger* di Livello 2. FTK consente di calcolare i parametri delle tracce con impulso trasverso superiore a $1\text{ GeV}/c$ presenti in ogni evento che supera la selezione del Livello 1, con una risoluzione sulla misura dei parametri cinematici paragonabile a quella ottenuta nella

ricostruzione *offline* [32]. Questo renderà il *trigger* dell'esperimento assai più efficace nella selezione degli eventi interessanti per le misure di fisica.

2.1 Principi di funzionamento di FTK

La tecnica tradizionalmente utilizzata a livello *offline* per ricostruire le tracce che attraversano un rivelatore per prima cosa riconosce quali sono i punti (*hit*) sui piani del rivelatore colpiti da una stessa particella e, successivamente, ne effettua un *fit* delle coordinate. Questa tecnica ottiene ottimi risultati in termini di efficienza di tracciatura e di risoluzione sui parametri delle tracce, ma individuare la lista di *hit* appartenenti ad una traccia nell'enorme numero di *hit* presenti in un evento ed eseguire il *fit* richiede una potenza di calcolo e tempi di elaborazione che attualmente non sono disponibili nel *trigger* di ATLAS. FTK utilizza un algoritmo suddiviso in due stadi eseguiti in successione: nel primo stadio si organizzano i dati provenienti dal rivelatore e si individuano le combinazioni di *hit* che hanno buona probabilità di essere dovute al passaggio delle stesse particelle nel rivelatore; nel secondo stadio, mediante il *fit* delle combinazioni di *hit* selezionate nel primo stadio, si effettua la ricostruzione tridimensionale delle traiettorie[33]. Il riconoscimento delle combinazioni di *hit*, dovute al passaggio delle particelle nel rivelatore, è fatto a risoluzione ridotta utilizzando la tecnica seguente. Ogni piano del rivelatore a *pixel* e *microstrip* è segmentato in piccoli intervalli detti *bin* (Figura 2.1 a) che sono una rappresentazione astratta di una porzione di rive-

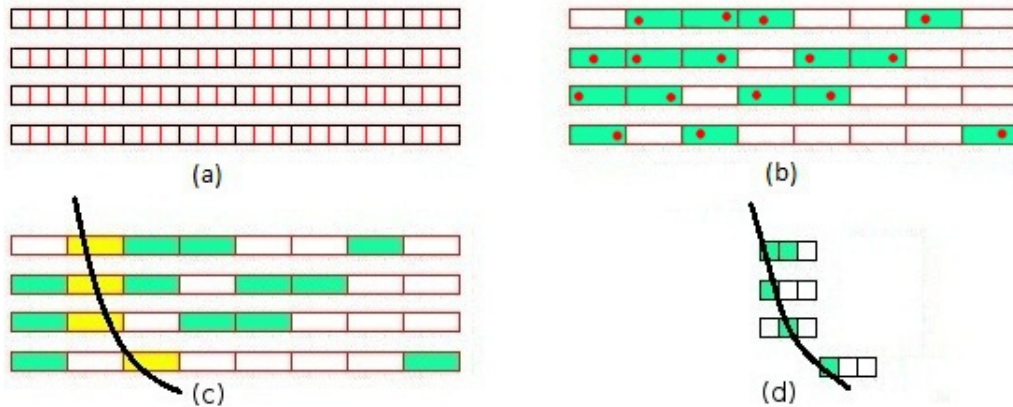


Figura 2.1: (a) Il *bin* è l’OR logico di canali adiacenti sul rivelatore; la dimensione del *bin* è un compromesso tra la necessità di limitare il numero di *hit* che in media si possono trovare all’interno del *bin* e la dimensione complessiva della banca dei pattern; (b) la presenza di un *hit* (rosso) “attiva” l’intero *bin* colpito; (c) La combinazione di *bin* colpiti dal passaggio di una particella reale è detta *pattern* o *road* (evidenziata in giallo); (d) Il *fit* della combinazione di *hit* presenti nella *road* determina i parametri della traccia.

latore e corrispondono all’OR logico dei canali reali in essa presenti. Un *bin* si dice “colpito” se nella regione fisica del rivelatore ad esso corrispondente è presente almeno un *hit*, cioè se il *bin* è stato attraversato da una particella che ha prodotto un segnale elettrico apprezzabile (Figura 2.1 b). Si noti che una particella che attraversa i piani del rivelatore colpisce e fa scattare una sequenza ben determinata di *bin* nel rivelatore detta *pattern* o *road* (Figura 2.1 c). Si può intuitivamente interpretare la *road* come una candidata traccia ricostruita a risoluzione spaziale ridotta, ovvero “con spessore”.

Riconoscere la combinazione di *hit* che è dovuta al passaggio di una particella reale è un problema di enorme complessità computazionale, nel caso

di grande occupazione degli strati dei rivelatori, ed in FTK il problema è affrontato utilizzando *hardware* dedicato e con il seguente approccio. Poiché la dimensione dei singoli *bin* è finita, anche il numero delle possibili combinazioni casuali di *bin* scelti su piani diversi è finito. Utilizzando la simulazione si possono precalcolare tutti i possibili *pattern* o *road* dovuti a tracce reali e dimostrare come questi sono un numero esiguo rispetto a tutte le combinazioni casuali di *bin*. I *pattern* sono memorizzati in una memoria detta banca dei *pattern* e poi confrontati con l'elenco dei *bin* colpiti nell'evento. Il risultato di tale confronto è la lista delle *road*, cioè la lista delle candidate tracce presenti nell'evento (Figura 2.1 c e Figura 2.1 d).

In FTK il confronto tra la lista degli *hit* di un evento ricevuti dal rivelatore e l'insieme di tutti i *pattern* precalcolati è eseguito in un dispositivo detto Memoria Associativa [34] che sarà descritto nel prossimo Capitolo. Questa operazione di confronto è effettuata con una tecnica massicciamente parallela, ciascun *hit* è confrontato simultaneamente con tutti i *pattern* registrati nella Memoria Associativa. Questo modo di procedere ricorda il gioco della tombola. Così come nella tombola si hanno delle cartelle che sono costituite da liste di n numeri, in FTK si hanno i *pattern*, ciascuno dei quali è, in pratica, una lista di n *bin* colpiti, uno per ogni piano del rivelatore. Ogni numero estratto nella tombola viene confrontato simultaneamente da tutti i giocatori con il contenuto di tutte le cartelle sul tavolo, analogamente ciascun *bin* colpito nel rivelatore viene confrontato in parallelo con tutti i *pattern* presenti nella Memoria Associativa (Figura 2.2).

Il verificarsi, nella tombola, della condizione nella quale tutti i numeri di una cartella sono stati estratti equivale all'aver trovato, in un evento di ATLAS, la lista completa di *bin* che compongono un *pattern*. Se questa condizione si verifica, si esegue il *fit* delle coordinate degli *hit* presenti nella *road* e si determinano i parametri accurati delle traccia. Si può notare che il *fit* risulta enormemente semplificato poiché il calcolo combinatorio viene circoscritto ai soli *hit* che appartengono ad una stessa *road*.

Un parametro da determinare con estrema attenzione è la dimensione del *bin*: utilizzare *bin* eccessivamente piccoli permette di eseguire la funzione di ricerca delle tracce ad alta risoluzione già a partire dalla Memoria Associativa, ma produce delle *road* troppo sottili e di conseguenza, numerose. Questo richiede una Memoria Associativa troppo grande e costosa. Con un *bin* troppo grande invece si costruiscono *road* di dimensioni eccessive, questo ha come conseguenza che per ogni evento scattano un numero elevato di *road* e la maggior parte sono false, cioè composte da pezzi di tracce probabilmente vere e magari *hit* di rumore combinati erroneamente. Inoltre si trovano un numero elevato di *hit* all'interno di ogni *road*, effetto che rende il successivo *fit* delle candidate tracce eccessivamente lungo e macchinoso a causa dell'elevato numero di combinazioni di *hit* che devono essere considerate. È indispensabile, quindi, scegliere con attenzione la dimensione del *bin* e di conseguenza anche della *road*, avendo cura di considerare tutte le conseguenze della scelta.

Le tracce ricostruite da FTK sono trasmesse alle CPUs di Livello 2, dalle

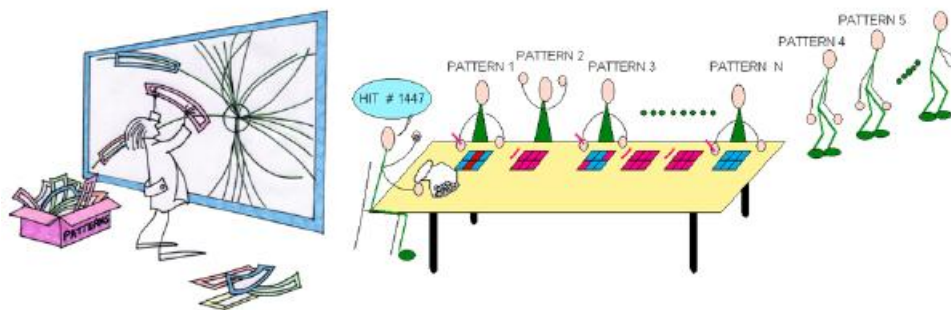


Figura 2.2: Analogia tra il gioco della tombola e la funzione svolta dalla Memoria Associativa [35].

quali sono utilizzare per eseguire algoritmi di selezione degli eventi interessanti per le misure di fisica. Alcuni studi preliminari effettuati con delle simulazioni hanno mostrato come FTK ha un ruolo cruciale nella selezione di importanti processi fisici ad ATLAS[36].

2.2 Architettura di FTK

La Figura 2.3 mostra lo schema dell'unità elementare che compone FTK e che possiamo chiamare *Core Processor*. Complessivamente FTK è costituito da otto *Core Processor* ognuno dei quali contiene sedici *Processing Unit* identiche (Figura 2.3). Al termine di questo paragrafo spiegheremo in dettaglio le ragioni di questa suddivisione del sistema. Ogni *Processing Unit* è costituita dal *Data Organizer*, *Memoria Associativa*, *Track Fitter* e *Hit Warrior*. La *Processing Unit* analizza indipendentemente i dati provenienti

da una diversa regione localizzata del rivelatore. Descriviamo adesso brevemente le funzioni svolte da ciascun elemento che compone il *Core Processor*.

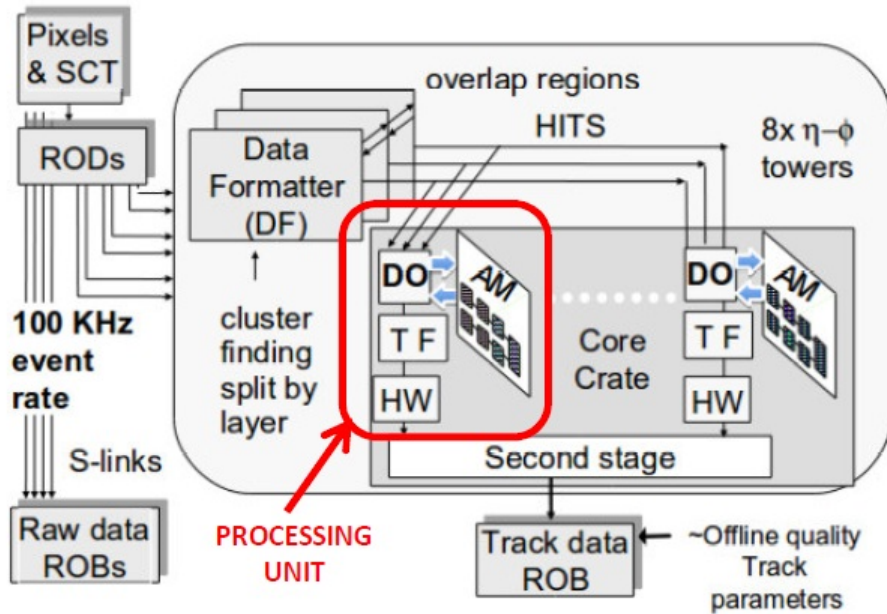


Figura 2.3: Schema a blocchi dell'unità fondamentale di FTK, detta *Core Processor*. Un *Core Processor* contiene 16 *Processing Unit* identiche. Ciascuna delle quali elabora i dati provenienti da una porzione localizzata della regione del rivelatore assegnata al *Core Processor*.

- *Data Formatter*: i dati provenienti dal rivelatore in silicio sono trasmessi dall'elettronica di *front-end* dei sensori ai *Data Formatter* tramite fibre ottiche *S-Link*¹. Il *Data Formatter* calcola la posizione degli

¹Il *Simple LINK interface* (S-Link) è uno standard di acquisizione dati ad elevate prestazioni sviluppato al CERN, utilizza un bus a 32 bit con una frequenza di trasmissione dei dati fino a 66 MHz[37].

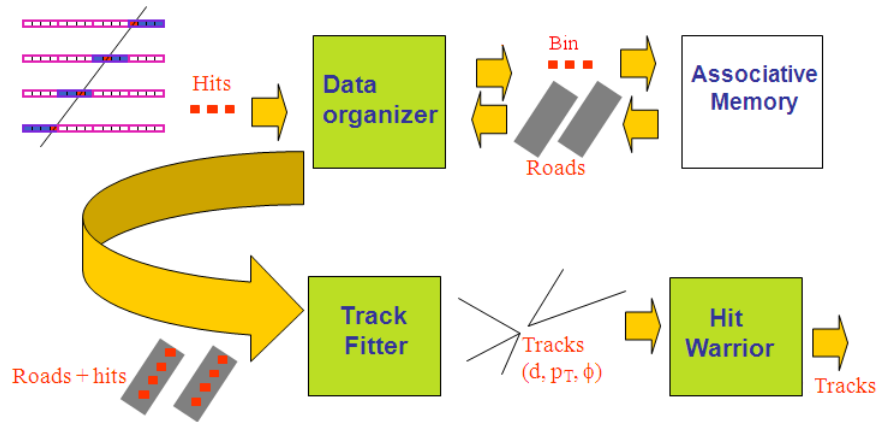


Figura 2.4: Schema logico delle funzioni eseguite da FTK per ogni evento[29].

hit, cioè la posizione del baricentro dei depositi di carica su gruppi affiancati di *pixel* o *microstrip* e trasferisce questa informazione al *Data Organizer*, indicato con “DO” nella Figura 2.3.

- *Data Organizer*: gli *hit* individuati dal *Data Formatter* sono trasmessi al *Data Organizer*, che li assegna ai *bin* nei quali sono contenuti e invia alla Memoria Associativa (indicata con “AM” nella Figura 2.3) la lista dei *bin* colpiti. Il *Data Organizer* conserva anche una copia integra degli *hit* ricevuti, in attesa di ricevere la lista di *road* trovata dalla Memoria Associativa. Successivamente, quando la Memoria Associativa ha individuato le *road* presenti nell’evento, le invia al *Data Organizer* che procede a recuperare gli *hit* contenuti in ciascuna *road* (Figura 2.4). I pacchetti costituiti da una *road* e dagli *hit* in essa contenuti sono inviati dal *Data Organizer* al *Track Fitter* (indicato con

“TF” nella Figura 2.3) che esegue il *fit* tridimensionale delle tracce.

Il *Data Organizer* è stato progettato per sostenere una frequenza massima di eventi accettati dal *trigger* di Livello 1 di 100 kHz e può, inoltre, analizzare due eventi contemporaneamente. Il *Data Organizer* può ricevere e memorizzare gli *hit* appartenenti ad un evento e simultaneamente ricevere le *road* dell’evento precedente dalla Memoria Associativa ed inviarle assieme agli *hit* ad esse associati al *Track Fitter*.

- *Memoria Associativa*: Dal confronto tra la lista di *bin* colpiti, ricevuti dal *Data Organizer*, ed i *pattern* precalcolati, la Memoria Associativa individua le candidate tracce a bassa risoluzione, dette *road*, presenti nell’evento. Per poter affermare che una *road* è stata “trovata” in un evento, è necessario che in essa siano presenti un numero di *bin* colpiti maggiore di una soglia programmabile. Le *road* trovate vengono inviate al *Data Organizer*.
- *Track Fitter*: il *Track Fitter* riceve i pacchetti costituiti da una *road* e dagli *hit* in essa contenuti e calcola i parametri delle tracce. Il *fit* viene eseguito utilizzando un algoritmo linearizzato molto simile a quello usato in SVT a CDF. Una sostanziale differenza è che FTK ricostruisce tracce tridimensionali, le tracce in CDF erano invece bidimensionali, cioè proiettate sul piano trasverso ai fasci.

La traiettoria di una particella carica in un campo magnetico uniforme è descritta dall’equazione di un’elica, che dipende da cinque parametri.

In FTK sono stati scelti come parametri la distanza d e la coordinata z_0 della posizione di minima distanza della traiettoria della particella all'origine del sistema di riferimento, l'angolo azimutale ϕ della retta tangente alla traiettoria nella posizione di minima distanza della traiettoria all'origine del sistema di riferimento, la cotangente dell'angolo polare θ , e la curvatura c . Partendo dalle relazioni tra le coordinate degli *hit* rivelati e i parametri delle tracce, il *Track Fitter* determina la migliore stima dei cinque parametri. Il *Track Fitter* esegue anche un

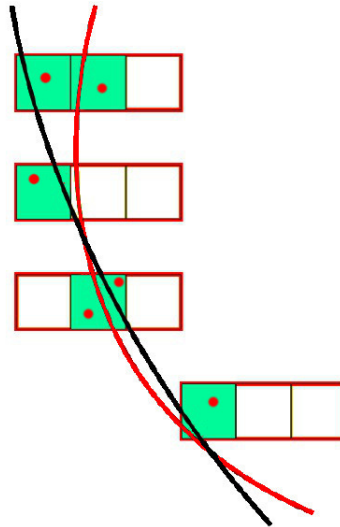


Figura 2.5: Esempio di *fit* degli *hit* presenti in una *road*. Delle due possibili tracce, quella in rosso deve essere scartata perché il *fit* è di qualità inferiore alla soglia richiesta da FTK a causa della distanza tra l'*hit* sul secondo strato (dall'alto) e la traccia.

controllo della qualità del *fit* e le tracce che non superano questo controllo vengono scartate. Implementando l'algoritmo di FTK su FPGA si riesce a processare in ciascun dispositivo 10^9 tracce al secondo.

- *Hit Warrior*: Le operazioni di individuazione delle *road* e di *fit* effettuate da FTK possono produrre un numero non trascurabile di tracce duplicate. Una traccia duplicata condivide con la traccia reale la maggior parte degli *hit*. Il *Track Fitter* può produrre tracce duplicate se attorno a quella reale ci sono *hit* dovuti al passaggio di altre particelle o semplicemente dovuti al rumore nel rivelatore. Lo scopo dell'*Hit Warrior* (indicato con “HW” in Figura 2.3) è di ridurre al minimo il numero di tracce duplicate, selezionando la traccia di migliore qualità tra quelle che condividono un certo numero di *hit*.

Come accennato in precedenza, per poter gestire l'enorme flusso di dati in ingresso è necessario parallelizzare il più possibile le funzioni di FTK. Il rivelatore in silicio di ATLAS è stato così suddiviso in 8 regioni che coprono ciascuna 45° lungo l'angolo azimutale (Figura 2.6). I dati di ciascuna regione sono inviati a una copia indipendente del *Core Processor* di FTK. All'interno di ciascun *Core Processor* è effettuata un'ulteriore suddivisione in 8 torri $\theta - \phi$ per un totale di 64 torri. Ogni *Core Processor* ospita sedici *Processing Unit* ed una coppia di queste analizza i dati di una torre del rivelatore. Ogni *Processing Unit* viene installata in una *slot* di un *crate* VME. La scheda di Memoria Associativa (nel seguito detta “AMB-FTK”) occupa la parte anteriore della *slot* mentre la parte posteriore è occupata da una scheda ausiliaria (detta “AUX-Board”) che contiene il *Data Organizer*, il *Track Fitter* e l'*Hit Warrior*. Per la futura presa dati di ATLAS prevista nell'anno 2015, saranno installati otto *crate*, ognuno dedicato ad una regione angolare del rivelatore

di ampiezza pari a 45° . I *Data Formatter* occuperanno altri quattro *crate* e l'ultimo *crate* sarà costituito dall'interfaccia per il Livello 2 del *trigger*. Per non compromettere l'efficienza di tracciatura, nelle zone di confine tra torri e tra le regioni adiacenti, viene effettuata una duplicazione dei dati. Questo significa che due *Core Processor* adiacenti ricevono entrambi i dati della zona di confine tra le due regioni e le *Processing Unit* che analizzano i dati di due torri adiacenti ricevono entrambe i dati della zona di confine tra le due torri. Con questa suddivisione è possibile processare l'enorme flusso di dati provenienti dal rivelatore, poiché si ha un apparato elettronico dedicato per ogni torre del rivelatore che elabora i dati in parallelo e in maniera del tutto indipendente dagli altri. Ogni *Core Processor* riceve solo i dati del rivelatore di silicio della corrispondente regione e deve individuare un numero minore di *road*. Analogamente, il *Track Fitter* accoppiato a una scheda di Memoria Associativa deve processare solo le *road* individuate da questa scheda.

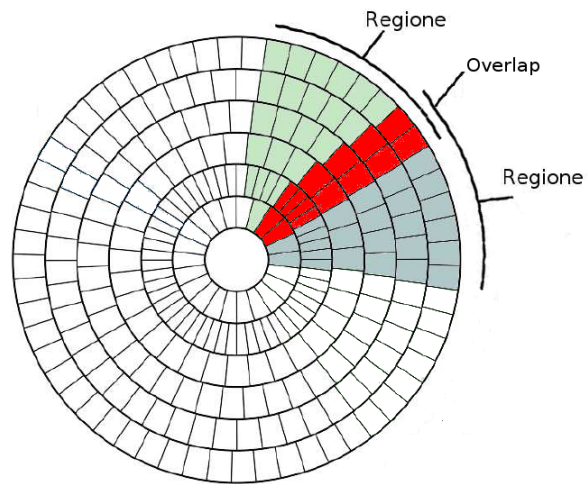


Figura 2.6: Suddivisione del rivelatore in silicio in regioni, in rosso è evidenziata la zona di sovrapposizione tre due regioni adiacenti. I dati contenuti in questa regione di sovrapposizione sono spediti ad entrambi i *Core Processor* che analizzano le due regioni adiacenti.

Capitolo 3

Il chip di Memoria Associativa

3.1 Architettura e principi di funzionamento

In questo Capitolo descriveremo il chip di Memoria Associativa e la scheda su cui esso è montato, che chiameremo *Little Associative Memory Board* (LAMB-FTK). Dal momento che l'obiettivo primario di FTK è di rendere minimo il tempo impiegato per ricostruire le tracce nel rivelatore, il sistema, come illustrato nel Capitolo precedente, ha un'architettura massicciamente parallela. In particolare, è il confronto tra la lista di *bin* colpiti e i *pattern* registrati in memoria ad essere effettuato in maniera massicciamente parallela: ciascun *bin* colpito è confrontato contemporaneamente con la corrispondente informazione spaziale in tutti i *pattern* della banca. Ciascun *pattern* è formato da otto celle di memoria CAM (*Content Addressable Memory*) e l'insieme dei *pattern* costituisce la Memoria Associativa. Diversamente dal-

le memorie standard, per esempio una *Random Acces Memory* (RAM), alla quale l'utente fornisce l'indirizzo di una cella e il dispositivo restituisce il dato memorizzato nella cella indirizzata, nelle memorie di tipo CAM l'ingresso è costituito dal dato stesso e il dispositivo risponde con l'indirizzo della cella nella quale questo è contenuto (se è contenuto). Come mostrato in Figura 3.1, si può schematizzare la struttura della Memoria Associativa con una matrice nella quale ogni riga rappresenta un *pattern* della memoria ed è composta da otto celle, una per ogni strato del rivelatore. Ogni colonna è collegata da un *bus* sul quale scorrono i dati provenienti da un singolo strato del rivelatore. Ognuna delle otto celle del *pattern* è una parola di 15 bit che individua la posizione del *bin* sul corrispondente strato del rivelatore. Per semplicità, in Figura 3.1 sono state riportate solamente quattro delle otto celle che costituiscono una riga. Ogni cella è dotata di un comparatore che confronta il dato in ingresso con quello memorizzato ed il risultato del confronto viene salvato temporaneamente in un *flip-flop* chiamato *layer match* (indicato con "FF" nella Figura 3.1). Alla fine dell'analisi dell'evento tutti gli *hit* ricostruiti su ogni *layer* sono stati confrontati con tutti i *pattern* presenti in memoria e, se un numero sufficiente di comparatori in un *pattern* di memoria ha dato risultato positivo, si può dire che il *pattern* è scattato e che, di fatto, è stata trovata una candidata traccia o *road*. Le *road* trovate in ogni evento sono trasmesse unitamente alla mappatura che identifica quali *bin* di ogni *layer* sono scattati nella *road*.

Dal momento che ogni *bin* di ciascuno strato che compone un *pattern* regi-

strato in memoria è confrontato con gli *hit* presenti in un evento indipendentemente da tutti gli altri, è possibile che un *pattern* scatti, cioè il numero di *bin* in esso colpiti superi la soglia prestabilita, in un istante qualsiasi durante l'analisi dell'evento completo. Questo consente di iniziare ad estrarre i *pattern* per i quali tutti i *layer* sono scattati prima che sia completamente conclusa l'analisi di tutti gli *hit* presenti nell'evento. Diversamente per tutti gli altri *pattern*, che possono eventualmente avere meno di otto *layer* scattati, si deve aspettare di aver analizzato tutti gli *hit* ricevuti. Nell'utilizzare questa logica di trasmissione delle *road* in due tempi è necessario cancellare dalla lista di attesa gli indirizzi delle *road* già trasmesse, per evitare che siano trasmesse inutilmente più volte.

Ricapitolando, i dati inviati in ingresso alla Memoria Associativa sono costituiti dalla lista completa di *bin* colpiti nel rivelatore nel singolo evento e i dati restituiti dalla Memoria Associativa consistono nella successione degli indirizzi dei *pattern* che hanno trovato corrispondenza con la lista di *bin* colpiti. Naturalmente si restituiscono solo i *pattern* nei quali il numero di strati colpiti supera la soglia prestabilita.

Su ognuno degli otto *bus* scorrono i *bin* colpiti appartenenti ad uno strato del rivelatore in silicio, che può essere indifferentemente uno strato di *pixel* o di *microstrip*. Un aspetto interessante è che non vengono utilizzati tutti gli 11 strati disponibili del rivelatore in silicio (3 strati per *pixel* e 8 strati per SCT), ma è sufficiente utilizzare solamente i dati provenienti da 8 strati. Questa scelta riduce significativamente il combinatorio su cui è poi necessario

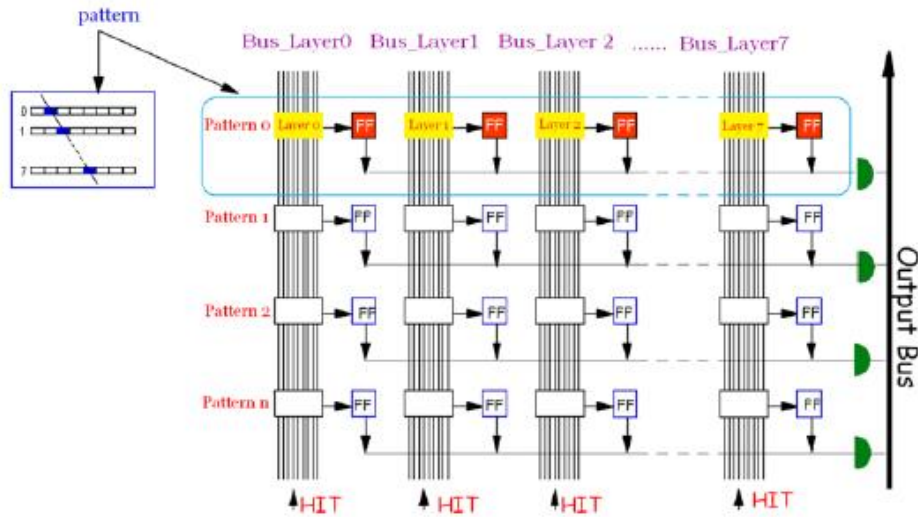


Figura 3.1: Architettura del chip di Memoria Associativa, ogni cella di memoria è di tipo CAM, ogni riga rappresenta un *pattern*, ogni colonna rappresenta il *bus* sul quale scorrono i dati provenienti da uno strato del rivelatore. Per semplicità sono state riportate solo 4 delle 8 celle che compongono un *pattern*[41].

eseguire il *fit* delle tracce ed aiuta a mantenere ad un livello accettabile la dimensione della Memoria Associativa. Le simulazioni mostrano che questa scelta è un buon compromesso tra la qualità delle tracce ricostruite, la velocità di ricostruzione e il costo del sistema.

Mentre nella fase di normale utilizzo sul bus scorrono i *bin* colpiti che, in pratica, costituiscono l'evento da analizzare, in fase di inizializzazione del sistema il *bus* è usato per caricare nella memoria la banca dei *pattern*.

Le *road* trovate vengono lette in ordine di numero di *layer* mancanti partendo con quelle dove risultano colpiti tutti e otto i *bin*, anche perché dalle *road* più "complete" si ottengono tracce di migliore qualità. Al termine della ricezione

di tutti i *bin* colpiti, presenti in un evento, si prosegue con la lettura delle *road* con un *layer* mancante. In linea di principio si potrebbe abbassare ulteriormente la soglia ed utilizzare le *road* con due o più *layer* mancanti, tuttavia le simulazioni mostrano che difficilmente sarà possibile utilizzare *road* con più di un *layer* mancante, poiché la qualità delle tracce ricostruite non sarebbe adeguata ed il sistema verrebbe intasato da un enorme numero di *road* false, cioè non corrispondenti ad una traccia reale. A parità di numero di *layer* colpiti non ha importanza quale *road* si legge per prima, per convenzione si dà la priorità a quelle con gli indirizzi più bassi.

Un altro problema si manifesta quando una *road* differisce da un'altra solo per un *layer* mancante, il sistema la vede come un duplicato e se si eseguisse il *fit* su entrambe le *road* del tutto equivalenti, si troverebbero esattamente le stesse tracce due volte. Una possibile soluzione è aggiungere prima del *Track Fitter* un filtro, simile all'*Hit Warrior*, che elimini le *road* uguali. Tuttavia la simulazione mostra che questo filtro introdurrebbe miglioramenti trascurabili con costi significativi. Di conseguenza è stato deciso di non utilizzarlo ed il compito di eliminare queste tracce è svolto dal *Track Fitter* e dall'*Hit Warrior*.

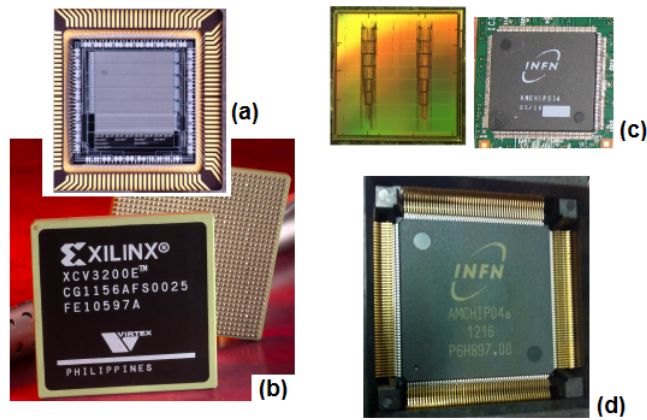


Figura 3.2: Illustrazione delle quattro versioni esistenti del chip di Memoria Associativa: (a) Il primo AM-chip dell'anno 1992; (b) FPGA Xilinx sul quale è stata implementata la seconda versione del AM-chip nell'anno 1998; (c) il chip AM-chip03 dell'anno 2003; (d) il chip AM-chip04 dell'anno 2012.

3.2 L'evoluzione del *chip* dal 1992 ad oggi

Il più recente prototipo del *chip* di Memoria Associativa, che chiameremo AM-chip04 (Figura 3.2 d), è il prodotto di numerosi miglioramenti, quali l'aumento di densità di memoria e la diminuzione dei consumi, fatti sui prototipi precedenti. Vediamo una breve descrizione dell'evoluzione del *chip* nelle quattro versioni realizzate dall'anno 1992 ad oggi:

- Anno 1992: Il primo AM-chip (Figura 3.2 a) viene realizzato per il processore SVT utilizzato nell'esperimento CDF a Fermilab [38]. Il *chip* è progettato *full-custom* e realizzato con tecnologia $0.7 \mu\text{m}$ e può contenere 128 *pattern* [39].
- Anno 1998: Il *chip* viene mappato su un FPGA e contiene 128 *pattern*

(Figura 3.2 b) [40].

- Anno 2006: Il *chip* AM-chip03 viene progettato a *standard-cell* (Figura 3.2 c) e realizzato con tecnologia 0.18 μm , e contiene 5000 *pattern* in un *die* di 1 cm^2 [41].
- Anno 2012: Il *chip* AM-chip04 è realizzato con tecnologia a “65 nm” progettato a *standard-cell*. Tuttavia, per la banca dei *pattern* si usa una cella *full-custom* progettata dal gruppo di ricerca FTK (Figura 3.2 d). Il *chip* contiene tutto l'*hardware* necessario per eseguire le funzioni logiche previste. I *pattern* vengono registrati in elementi di memoria statica SRAM e il bit che codifica il risultato del confronto viene memorizzato in un *flip-flop latch*. Il *chip* è realizzato su un *die* di silicio di superficie 14 mm^2 , assorbe una potenza 0.25 W, e può contenere 8192 *pattern*.

Come ultimo passo prima della nuova presa dati nell'anno 2015 è prevista la realizzazione di un nuovo chip in grado di memorizzare ben 32.000 *pattern*, con un assorbimento di potenza pari a 1.5 W.

3.3 La *Little Associative Memory Board*

I chip di Memoria Associativa sono montati sulla *Little Associative Memory Board* (LAMB-FTK) mostrata in Figura 3.3. L'idea di realizzare una scheda di medie dimensioni che ospiti i *chip* e sia connessa a quella principa-

le (AMB-FTK) nasce dall'esigenza di aumentare il più possibile la superficie utile per piazzare i chip di Memoria Associativa e per avere un'elevata modularità. Ogni AMB-FTK può ospitare quattro LAMB-FTK su ciascuna delle

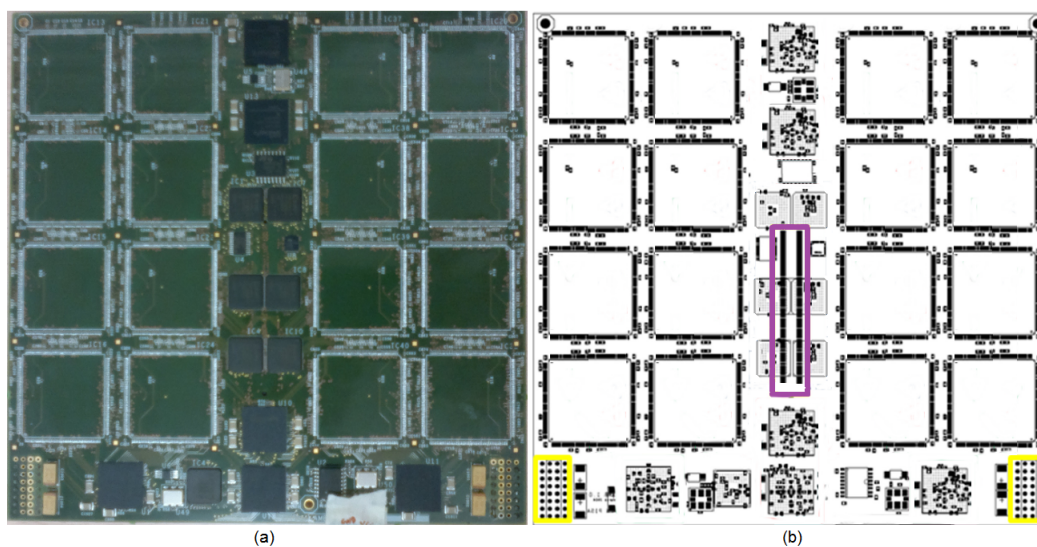


Figura 3.3: (a) Foto del PCB (*Printed Circuit Board*) della scheda LAMB-FTK senza chip; (b) Layout della scheda LAMB-FTK dove sono evidenziati in giallo i connettori utilizzati per portare l'alimentazione a 1.2 V, ed in viola il connettore sul quale transitano i dati e l'alimentazione a 3.3 V.

quali sono montati 32 chip di Memoria Associativa (Figura 3.3), distribuiti sulle due facce in due gruppi da 16 *chip*. La scheda LAMB-FTK utilizza alcuni FPGA Spartan 6 e CPLD serie 9500 XL della Xilinx¹ per ricevere i dati attraverso un connettore SMD (Figura 3.3 indicato con il riquadro viola al centro della scheda) e distribuirli ad ogni *chip*. La scheda utilizza due

¹Field Programmable Gate Array (FPGA) e Complex Programmable Logic Device (CPLD) sono due tipologie di circuiti integrati digitali le cui funzioni sono definite in fase di programmazione mediante linguaggio di descrizione hardware (HDL o Verilog). La Xilinx è uno dei più grandi produttori al mondo di dispositivi programmabili.

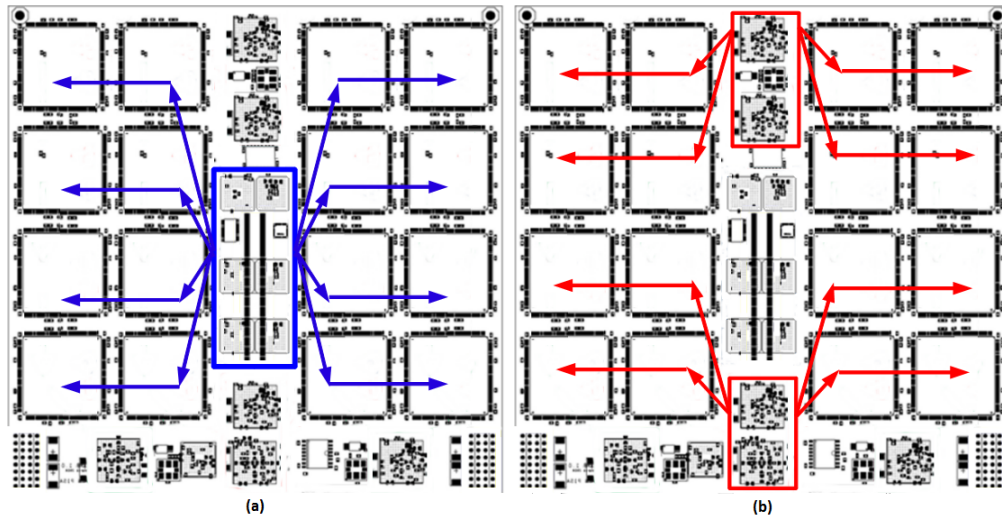


Figura 3.4: *Layout* del PCB della LAMB-FTK; sono evidenziati: (a) percorso dei dati distribuiti su linee parallele (in blu); (b) percorso dei dati distribuiti su linee seriali (in rosso).

tensioni di alimentazione: 1.2 V per alimentare i *core* dei *chip* e 3.3 V per l'interfaccia *Input/Output*. Dal momento che la linea da 1.2 V deve erogare potenze elevate (32 W), questa alimentazione viene fornita attraverso due connettori dedicati (Figura 3.3 indicati con i riquadri in giallo), mentre le linee di alimentazione delle interfacce di *Input/Output* a 3.3 V arrivano sulla scheda assieme ai dati attraverso il connettore centrale SMD (connettore per trasmissione ad alta frequenza prodotto dalla Tyco 3-6565778-5).

I dati vengono ricevuti dalla LAMB-FTK su otto canali di comunicazione, metà su bus paralleli e metà su linee seriali. I dati trasmessi sui bus paralleli vengono ricevuti dai CPLD Xilinx (Figura 3.4 indicato con il riquadro blu) che replicano e distribuiscono i dati ad ogni *chip* presente sulla LAMB-FTK (freccie blu). I dati trasmessi sui *link* seriali invece vengono ricevuti da FPGA

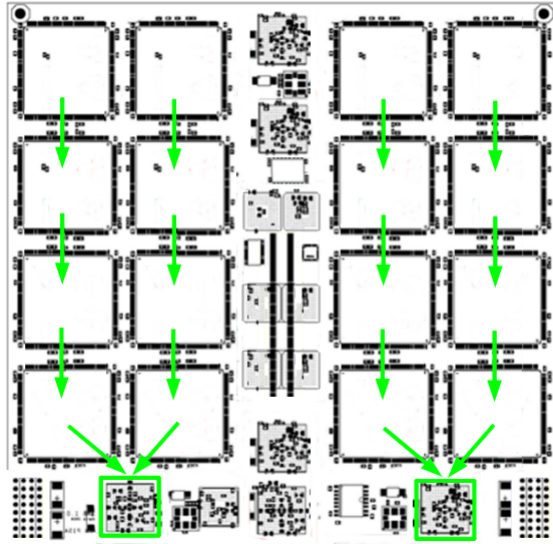


Figura 3.5: Layout del PCB della LAMB-FTK: le frecce verdi indicano il percorso delle *road*, i riquadri verdi mostrano gli FPGA che trasmettono i dati su due linee seriali.

Xilinx (Figura 3.4 indicati con i riquadri rossi) mediante le apposite interfacce seriali GTP² e sono distribuiti in parallelo a ogni *chip* di Memoria Associativa (frecce rosse). Per trasmettere i dati in uscita (*road*) si utilizzano quattro bus che collegano otto *chip* di Memoria Associativa in *pipeline*. Ogni bus convoglia i dati in due FPGA (Spartan 6 Xilinx, Figura 3.5 indicati con i riquadri verdi) che trasmettono i dati alla scheda AMB-FTK sulla quale sono montate le LAMB-FTK.

²I GTP sono interfacce seriali incluse negli FPGA della Xilinx in grado di trasmettere e ricevere dati in diversi formati standard fino a *rate* di circa 3 Gb/s

Capitolo 4

La scheda di Memoria Associativa

Come spiegato nel Capitolo 2, la *Processing Unit* di FTK (Figura 2.3) è costituita dalle unità funzionali *Data Organizer*, Memoria Associativa, *Track Fitter* e *Hit Warrior*. Queste unità funzionali sono realizzate mediante una scheda di Memoria Associativa “AMB-FTK” ed una scheda ausiliaria “AUX-Board” ad essa connessa. La AMB-FTK ospita quattro schede LAMB-FTK sulle quali sono montati i *chip* di Memoria Associativa. La AUX-Board svolge le funzioni del *Data Organizer*, *Track Fitter* e *Hit Warrior* (Figura 4.1). La AMB-FTK è la scheda madre della *Processing Unit*, è una scheda VME 9U larga 416 mm, alta 367 mm ed è realizzata su un circuito stampato (PCB) di 14 strati per le interconnessioni e le alimentazioni. La scheda ausiliaria “AUX-Board” è stata progettata e realizzata dal gruppo di ricerca del “Enrico Fermi Institute University of Chicago” che collabora al progetto FTK. La AMB-FTK è stata progettata presso la Sezione di Pisa dell’Istituto Nazionale di

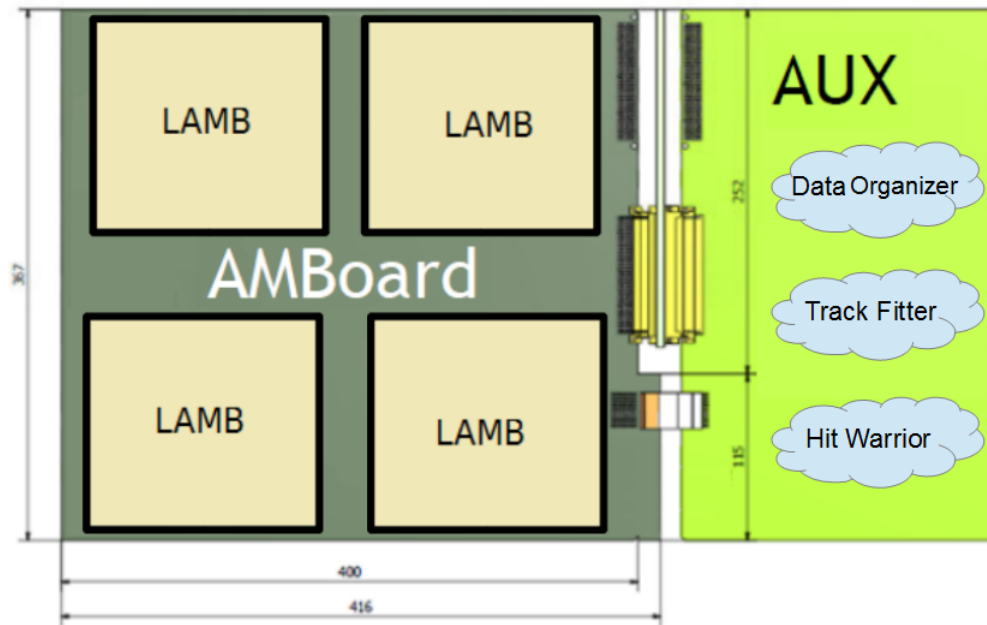


Figura 4.1: Schema funzionale della *Processing Unit* di FTK, costituita dalle quattro LAMB-FTK montate sulla AMB-FTK, e dalla AUX-Board ad essa connessa.

Fisica Nucleare e ad oggi ha raggiunto un avanzato stadio di sviluppo. Nella Tesi ho eseguito numerosi test del primo prototipo, che descriverò nel seguito, e ne ho progettato un secondo prototipo con numerosi miglioramenti.

4.1 Le funzioni della scheda AMB-FTK

La lista degli *hit* trovati sui piani del rivelatore in silicio è trasmessa dai *Data Formatter* al *Data Organizer* presente sulla scheda AUX-Board. Utilizzando una *Look-Up Table*, il *Data Organizer* proietta ogni *hit* nel *bin* che lo contiene, riducendone, in pratica, la risoluzione sulla misura di posizione a 15 bit.

Successivamente, il *Data Organizer* trasmette la lista dei *bin* alla AMB-FTK su linee seriali ad alta velocità (2 Gb/s). La scheda AMB-FTK distribuisce la lista dei *bin* alle quattro LAMB-FTK e, attraverso di esse, ad ogni *chip* di Memoria Associativa. Al termine dell'operazione di rinascimento delle *road*, la AMB-FTK raccoglie dalle LAMB-FTK le *road* trovate e le invia alla AUX-Board, nella quale il *Track Fitter* esegue il *fit* tridimensionale delle tracce. Sulla AMB-FTK sono montati vari dispositivi programmabili (FPGA Spartan 6 e CPLD serie 9500XL della Xilinx) che contengono la logica necessaria per svolgere tutte le funzioni della scheda. Per semplicità descrittiva daremo ad ognuno dei dispositivi un nome che ne ricorda la funzione. Il compito principale della AMB-FTK è distribuire la lista di *bin* colpiti ai *chip* di Memoria Associativa installati sulle quattro LAMB-FTK, raccogliere e trasmettere al *Data Organizer* le *road* trovate, dare la possibilità all'operatore di analizzare i dati in fase di funzionamento ed eseguire funzioni di diagnostica. Cerchiamo di spiegare in dettaglio le funzioni svolte dalla scheda:

- Distribuzione dei *bin* colpiti: i dati che provengono dagli otto strati del rivelatore in silicio, quattro dal rivelatore a *pixel* e quattro dal rivelatore a *microstrip*, sono ricevuti dalla AMB-FTK su dodici linee differenziali in formato seriale: gli strati del rivelatore a *microstrip* su quattro coppie seriali e quelli del rivelatore *pixel* su otto coppie seriali. La diversa dimensione del *bus* si spiega con la maggiore quantità di dati trasmessi dal rivelatore a *pixel*. I dispositivi programmabili utilizzati per la distribuzione della lista dei *bin* colpiti sono due FPGA Xilinx

Spartan 6 (XC6SLX75T e XC6SLX45T), che chiameremo Pixel-FPGA e SCT-FPGA. La Figura 4.2 mostra il percorso che seguono i *bin* colpiti attraverso la scheda AMB-FTK, le dodici coppie seriali (Figura 4.2, frecce rosse) vengono trasmesse dalla AUX-Board alla AMB-FTK attraverso il connettore P3¹ (Figura 4.2, riquadro giallo). I *bin* colpiti in arrivo sulla AMB-FTK sono ricevuti dal Pixel-FPGA e dal SCT-FPGA (Figura 4.2, riquadri rossi). Il Pixel-FPGA replica alle quattro LAMB-FTK solo i *bin* colpiti provenienti dagli strati del rivelatore a *pixel* mentre il SCT-FPGA replica i dati provenienti dagli strati del rivelatore a *microstrip*. In questo primo prototipo i due FPGA distribuiscono i *bin* alle schede LAMB-FTK in parte su linee seriali e in parte su *bus* paralleli, i dati provenienti da 4 *layer* vengono trasmessi in parallelo (Figura 4.2, frecce verdi) e gli altri 4 su linee seriali (Figura 4.2, frecce rosse). La scelta di una distribuzione dei dati ibrida è stata fatta per sperimentare l'utilizzo dei *link* seriali, fino ad allora mai utilizzati dal gruppo di ricerca, ma ritenuti la giusta soluzione per la scheda finale. D'altro canto è stato scelto di non realizzare tutti i collegamenti in formato seriale, per ragioni di costo e di spazio, poiché per trasformare in parallelo i dati prima di fornirli agli AM-chip04 (sprovvisti di interfaccia I/O seriale) si sarebbe dovuto usare un numero maggiore di FPGA assai più costosi dei CPLD. Il sistema misto offriva anche un

¹Il connettore P3 è un connettore realizzato dalla Erni appositamente per il trasferimento di dati ad elevata frequenza, nell'ordine del Giga Herz. Nel nostro caso abbiamo utilizzato il modello Erni 973028.

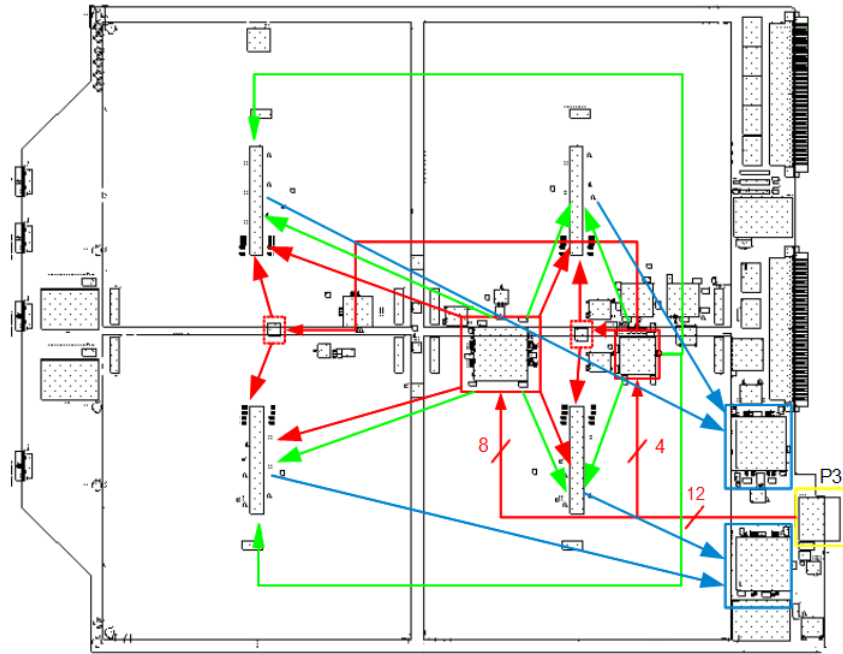


Figura 4.2: Layout del PCB della AMB-FTK, con evidenziati, i percorsi dei dati. I percorsi in rosso identificano le linee seriali degli *hit*, i percorsi in verde identificano gli *hit* che vengono trasmessi sui *bus* parallelo e in blu le *road*.

modo alternativo di stimolare gli AM-chip04 nel caso di gravi criticità sui *link* seriali. Le linee seriali sono pilotate dalle periferiche seriali (GTP presenti negli FPGA della famiglia Spartan 6) alla frequenza di 2 Gb/s. Lo standard utilizzato non prevede la trasmissione del *clock* quindi il ricevitore e il trasmettitore non hanno il *clock* in fase. Sul GTP del ricevitore è possibile ricostruire il *clock*, grazie a parole di controllo inviate sulla linea dati, e agganciarsi senza sfasamenti al dispositivo che ha inviato i dati, utilizzando un oscillatore locale ad alta precisione, con un *jitter* massimo di 1 ps ad una frequenza di clock

di 100 MHz. Un elemento estremamente importante, presente su ogni dispositivo programmabile, è un *buffer* di tipo *First-In First-Out* (FIFO) utilizzato per interfacciare l'ingresso dei dati seriali con i blocchi interni al FPGA che eseguono le operazioni di elaborazione e controllo alla frequenza del *clock* di sistema.

- Ricezione delle *road*: ogni LAMB-FTK trasmette alla AMB-FTK la lista di *road* trovate. I dati sono trasmessi su 16 linee seriali, quattro per ogni LAMB-FTK (Figura 4.2, frecce celesti) e vengono ricevuti da due FPGA Spartan 6 (XC6SLX75T), chiamati Road-FPGA (Figura 4.2, riquadri celesti) che replicano i dati in uscita verso la AUX-Board attraverso il connettore P3. Come per i Pixel-FPGA e SCT-FPGA, anche nei due Road-FPGA sono istanziati *buffer* FIFO per adattare gli ingressi seriali e i blocchi di elaborazione interni.
- Operazioni di diagnostica e *sniff* dei dati in transito: il Pixel-FPGA, lo SCT-FPGA e i due Road-FPGA hanno anche il compito di svolgere funzioni di diagnostica nella fase di test, per esempio simulare la trasmissione e la ricezione dei dati ad alta frequenza per testare le linee di trasmissione. Nella situazione di regime invece, un operatore può visionare porzioni di dati in transito in FTK utilizzando degli *spy buffer*² realizzati all'interno degli FPGA. I dati vengono copiati e trasmessi

²Uno *spy buffer* è un elemento di memoria circolare che riceve i dati ad alta frequenza, li immagazzina e li rende disponibili alla lettura a frequenze più basse, nel nostro caso attraverso il protocollo VME.

attraverso gli *spy buffer* ad una CPU dove possono essere controllati dall'operatore, nel caso che sulla scheda sia stato rilevato un errore.

- Arbitraggio: Una funzione estremamente importante e necessaria perché l'intero sistema funzioni correttamente è svolta dal Control-FPGA (FPGA Spartan 6 Xilinx XC6SLX16), che gestisce il traffico delle informazioni tra i diversi dispositivi programmabili. All'interno del Control-FPGA è stata istanziata una macchina a stati finiti che, in funzione dei segnali di ingresso provenienti dalla AUX-Board, dalle LAMB-FTK e dai diversi FPGA sulla AMB-FTK, impartisce comandi utilizzando segnali di controllo dedicati. Se, ad esempio, uno dei buffer all'interno di un FPGA supera la soglia di riempimento, viene inviato un segnale al Control-FPGA che agisce di conseguenza e sospende il flusso di dati verso questo FPGA. Se il *buffer* non torna in stato di normalità viene dichiarato un errore severo dal Control-FPGA.

4.2 L'interfaccia VME

Le AMB-FTK sono installate negli alloggiamenti di un crate VME (Figura 4.3), la comunicazione con la CPU avviene attraverso il *bus* del *crate*, utilizzando il protocollo standard VME³. In questo standard il modello logico utilizzato è quello del *Master/Slave*, i trasferimenti dei dati sul *bus* sono asincroni e le linee dei dati sono separate dalle linee degli indirizzi. Utilizzando

³Versa Module Europe, evoluzione del progetto Versabus della Motorola



Figura 4.3: Crate VME serie 6000 9U dell'azienda W-Ie-Ne-R[42].

opportune regole di arbitraggio, il sistema permette la connessione di più *Master* sullo stesso *bus*. Lo standard prevede trasferimenti di dati alla velocità massima di 40 Mbit/s e la possibilità di utilizzare campi di indirizzamento a 16 bit, 32 bit o 64 bit. Anche la dimensione del dato può essere variata tra 8 bit, 16 bit e 32 bit. I connettori del VME esteso 64x [42] permettono il collegamento della scheda al *bus* VME sono due (P1 e P2, riquadri gialli Figura 4.4) ed hanno 160 pin ciascuno, attraverso i quali transitano i dati. Alcune linee vengono usate per alimentare le schede con le tensioni fornite dal crate (48 V, 5 V e 3.3 V). Dobbiamo sottolineare che la AUX-Board non ha un'interfaccia VME, quindi la scheda AMB-FTK risponde alla CPU

sul *bus* VME anche per tutte le operazioni che riguardano la AUX-Board. La AMB-FTK riceve tutti i segnali dal *backplane* tramite i connettori P1 e P2 e distribuisce quelli necessari, come il *bus* dei dati e degli indirizzi, alla AUX-Board, situata nella stessa *slot* sul retro del *crate*, tramite linee sul connettore P2 dedicate all'utente.

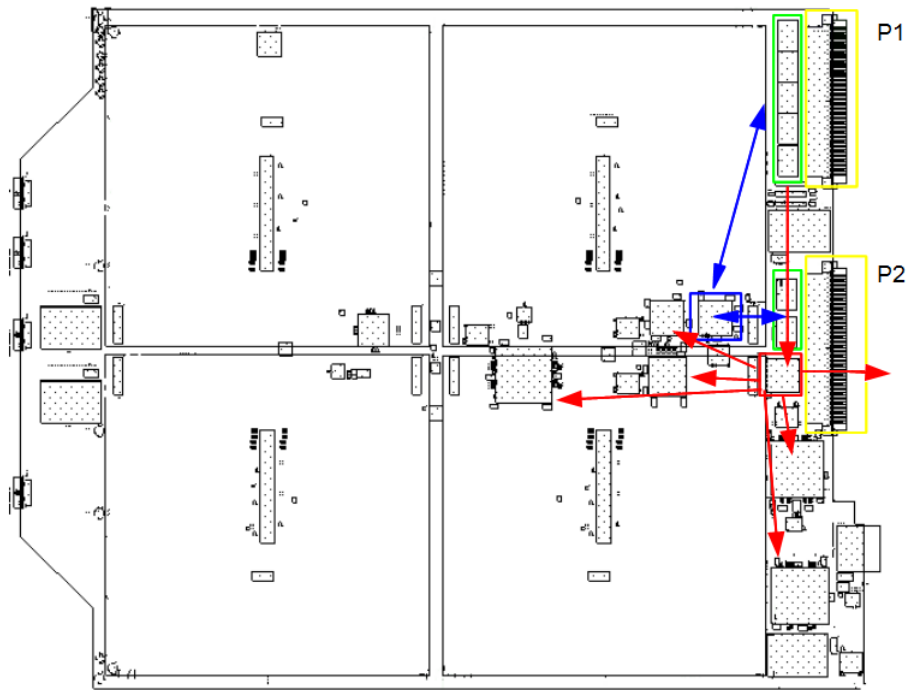


Figura 4.4: Layout del PCB della scheda AMB-FTK sul quale abbiamo evidenziato i percorsi dei dati VME in rosso ed in blu le linee di controllo per l'arbitraggio del bus.

L'interfaccia VME è molto importante sia nella fase di sviluppo sia durante il normale funzionamento della scheda. In fase di test e sviluppo, la CPU ed il bus VME permettono di eseguire test del funzionamento della scheda. È possibile comunicare con gli FPGA e simulare la ricezione e la distribu-

zione dei dati per verificare il funzionamento di porzioni di hardware. In fase di normale funzionamento dalla CPU vengono inviati comandi per configurare la scheda e impostarne il funzionamento, in particolare per caricare i *pattern* sulle LAMB-FTK. Inoltre è possibile leggere i dati che circolano tra la AUX-Board e gli AM-chip per eseguire analisi e test. L'interfaccia VME è realizzata mediante due dispositivi programmabili, un CPLD Xilinx (XC95288XL) e un FPGA Spartan6 Xilinx (XC6SLX16) mostrati in Figura 4.4. Il primo dispositivo riceve il *bus* dei dati dal VME e li replica agli altri dispositivi programmabili per ridurre l'elevato *fan-out* (Figura 4.4 frecce rosse). Il secondo dispositivo decodifica gli indirizzi, pilota i transceiver (buffer di interfaccia sul bus, Figura 4.4 riquadri verdi) ed esegue comandi sulle linee del bus per rispettare il protocollo di arbitraggio previste (Frecce blu, Figura 4.4).

4.3 La rete del clock e la catena JTAG

La AMB-FTK utilizza un clock di sistema alla frequenza di 100 MHz generato da un quarzo di precisione (Figura 4.5, riquadro giallo) e distribuito attraverso un albero ad ogni dispositivo presente sulla scheda. Alcuni dispositivi ricevono il clock in standard differenziale in logica LVPECL (FPGA) ed altri in logica *single-ended* CMOS (CPLD e chip di memoria associativa). In Figura 4.5 sono evidenziati nei riquadri rossi i driver che effettuano il *fan-out* del segnale differenziale ed in blu quelli che replicano il segnale di

clock CMOS. Oltre al clock di sistema della scheda, ogni FPGA che utilizza i GTP per trasferimenti seriali ha un generatore di clock al quarzo a 100 MHz dedicato (Figura 4.5, riquadri verdi). Come già detto in precedenza, questo è necessario per consentire alle periferiche di interfacciamento seriale ad alta velocità (GTP) di ricostruire il segnale di *clock* di trasmissione. L'utilizzo di queste diverse logiche per la generazione e la distribuzione del clock e le diverse lunghezze delle linee creano ovviamente problemi di sincronizzazione tra i dispositivi. Per recuperare le differenze di fase fra i clock viene utilizzato il *Phase Locked Loop* (PLL) interno agli FPGA Spartan 6 della Xilinx. Come per la trasmissione dei dati, è stato deciso di utilizzare per il *clock* una distribuzione differenziale per iniziare a utilizzare e testare la stessa tecnologia che si userà nella versione finale di AMB-FTK. È previsto, infatti, che il nuovo AM-chip utilizzi segnali di *clock* differenziali per ragioni di affidabilità e immunità ai disturbi.

Sulla AMB-FTK è stata realizzata una catena JTAG che connette tutti i dispositivi programmabili presenti. Lo standard JTAG, *Joint Test Action Group*, prende il nome dal consorzio di aziende che ha dato vita a questo sistema di test per circuiti integrati. Il JTAG è nato allo scopo di isolare i dispositivi dal circuito sul quale sono montati, prendere il controllo dei pin di ingresso e di uscita per poter effettuare test sull'elettronica interna al chip, oppure test sulla qualità delle connessioni sul PCB. Lo standard prevede l'utilizzo di soli quattro segnali distribuiti ad ogni *chip*:

- I segnali TDI e TDO permettono di costruire una catena sulla quale so-

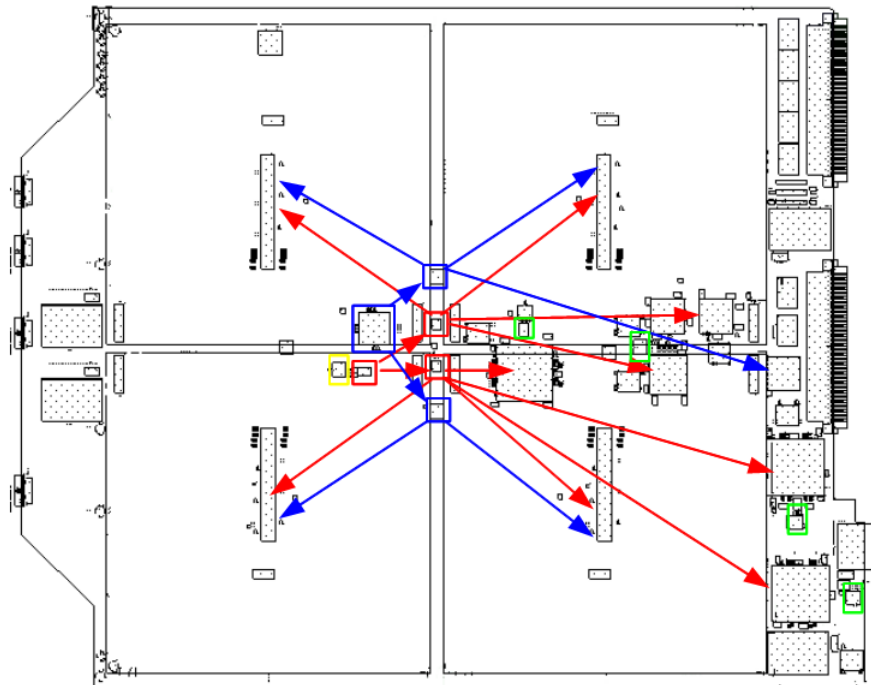


Figura 4.5: Layout del PCB della AMB-FTK con evidenziato l'albero di distribuzione del clock: il riquadro in giallo evidenzia il chip che genera il clock, le linee rosse rappresentano la distribuzione differenziale e quelle blu la distribuzione del segnale CMOS.

no inanellati tutti i *chip* sotto controllo. Il pin di ogni *chip* denominato TDI è connesso al pin TDO del *chip* che lo precede nella catena.

- I segnali TCK e TMS sono connessi in parallelo a tutti gli elementi della catena e servono a fornire clock e istruzioni ai singoli *chip*.

Esistono varie possibili applicazioni del JTAG. Oltre a verificare la funzionalità di un *chip*, esso può essere usato per effettuare il test delle connessioni tra i diversi dispositivi e, infine, per programmare i dispositivi programmabili (FPGA e CPLD).

La Figura 4.6 mostra il *layout* del PCB della scheda AMB-FTK dove sono stati evidenziati i segnali dello standard JTAG. Il connettore (riquadro giallo) permette di accedere alla catena dal frontalino del crate per eseguire operazioni in qualunque momento, anche quando le schede non sono accessibili lateralmente. In rosso è rappresentata la catena TDI-TDO, in blu e verde i segnali di clock e TMS.

4.4 Alimentazione e consumi

Il prototipo della AMB-FTK utilizza tre differenti tensioni di alimentazione: 5 V, 3.3 V e 1.2 V. La tensione di 1.2 V è utilizzata dai core dei chip di Memoria Associativa AM-chip04 montati sulla LAMB-FTK e dagli FPGA sulla AMB-FTK. Quattro convertitori DC-DC di tipo *step-down* da 30 W ciascuno convertono la tensione in ingresso di 48 V, fornita attraverso il connettore VME, nella tensione di uscita di 1.2 V. Ciascun convertitore DC-DC eroga

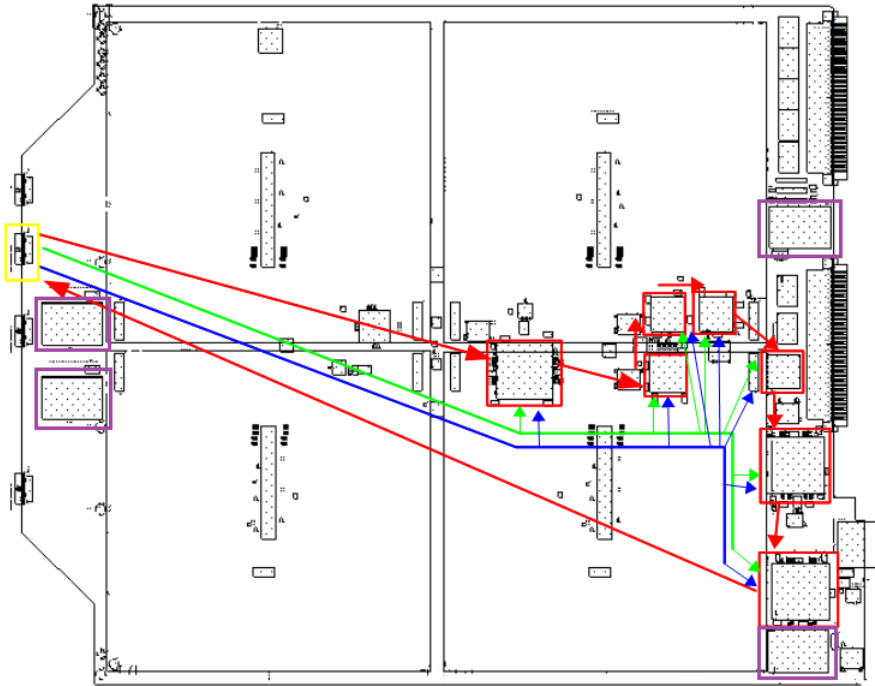


Figura 4.6: Layout del PCB della AMB-FTK con evidenziati la catena JTAG e i convertitori DC-DC (riquadri in viola). In rosso è evidenziata la catena dei dati, in blu la distribuzione del segnale TCK e in verde il segnale TMS.

la corrente (25 A) e produce la tensione per una singola LAMB-FTK. I convertitori DC-DC hanno un'altezza relativamente considerevole (circa 9 mm) e, per mancanza di spazio, non è stato possibile piazzarli sotto le LAMB. Di conseguenza, per due dei quattro convertitori è stato necessario creare un'estensione della scheda per avere superficie utile al piazzamento dei dispositivi (Figura 4.6, i riquadri in viola evidenziano i convertitori DC-DC). La tensione di 3.3 V, utilizzata per tutte le connessioni di *Input/Output* tra tutti i dispositivi sulla scheda, viene fornita attraverso il connettore VME. La tensione di 5 V, infine, è necessaria per interfacciare la scheda AMBoard con il bus

VME che funziona a 5 V. Per effettuare questa traslazione vengono impiegati dei *transceiver* in uscita e ingresso al bus VME. L'assorbimento complessivo della scheda non è da sottovalutare, infatti i *core* della Memoria Associativa, nella fase di funzionamento a pieno regime, assorbono circa 0.8 W ciascuno, per un totale di circa 100 W a 1.2 V. Sulla linea a 3.3 V abbiamo misurato un assorbimento di circa 20 W, mentre sulla linea a 5 V il consumo è trascurabile.

Capitolo 5

Test del prototipo AMB-FTK e progetto della AMB-FTK V1

In questo Capitolo viene descritto il lavoro che ho svolto presso la Sezione di Pisa dell'Istituto Nazionale di Fisica Nucleare e che costituisce la parte iniziale della Tesi. La prima parte del lavoro consiste nei test del prototipo della AMB-FTK realizzato prima dell'inizio della Tesi e nell'analisi accurata dei problemi riscontrati. Successivamente, per poter proseguire il test, ho dovuto progettare un nuovo prototipo della AMB-FTK che, nel seguito, chiameremo AMB-FTK V1. Nel progetto del nuovo prototipo ho apportato le modifiche necessarie per risolvere tutti i problemi individuati.

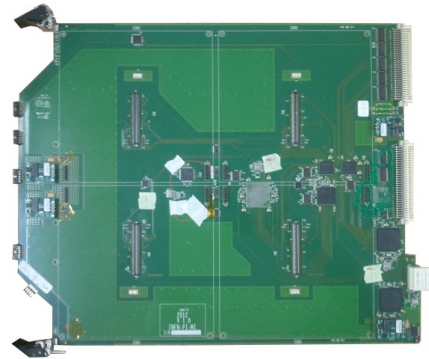
5.1 Risultati dei test

Nei mesi Agosto 2012 - Novembre 2012 ho lavorato ai test del prototipo della AMB-FTK nel laboratorio FTK della Sezione di Pisa dell'Istituto Nazionale di Fisica Nucleare (Figura 5.1). I test si sono concentrati principalmente sulla funzionalità dei *link* seriali, che sono la parte totalmente nuova del progetto, e sulla trasmissione e ricezione dei dati da parte delle periferiche GTP degli FPGA Spartan6 Xilinx. In una prima fase la programmazione degli FPGA e CPLD è stata effettuata mediante la catena JTAG. In seguito, abbiamo verificato la possibilità di programmare gli FPGA attraverso la loro interfaccia seriale SPI comunicando con una memoria Flash da 32 Mb. Per simulare il flusso di *hit* tra i vari elementi di distribuzione, all'interno degli FPGA sono state implementate delle memorie che fornivano ai GTP i dati da trasmettere in formato seriale. Un metodo alternativo per fornire i dati ai GTP è attraverso la CPU con l'ausilio dell'interfaccia VME. La consistenza tra i dati trasmessi ed i dati ricevuti e parallelizzati dal GTP sul ricevitore è stata verificata utilizzando un *tool* proprietario Xilinx, di nome *Chip Scope*¹, che realizza un *logical analyzer* all'interno del dispositivo programmabile. Si possono definire a priori i segnali da monitorare e successivamente, durante il test, il campionamento dei segnali è salvato in una memoria e scaricato sul pc attraverso la catena JTAG. Con questo test è stato possibile verificare la

¹*ChipScope™ Pro* è un *logical analyzer* che può essere inserito nel progetto e consente di visualizzare un qualsiasi segnale interno o nodo di un FPGA. I segnali vengono acquisiti alla frequenza di funzionamento e attraverso la connessione JTAG e possono essere visualizzati su un computer con il *software ChipScope Pro Analyzer*.



(a)



(b)

Figura 5.1: (a) Postazione di test nel laboratorio FTK della Sezione di Pisa dell'Istituto Nazionale di Fisica Nucleare; (b) Prototipo della scheda AMB-FTK.

funzionalità di quasi tutte le parti del sistema: connessioni seriali, distribuzione del clock, interfacce VME, interfacce JTAG.

Nel corso dei test, abbiamo individuato vari problemi di natura elettrica, che abbiamo dovuto correggere effettuando opportune modifiche e riparazioni.

Illustriamo brevemente i nostri risultati.

- Abbiamo trovato un primo problema nell'albero di distribuzione del clock di sistema. Abbiamo scoperto problemi di adattamento sulle linee differenziali che causavano l'attenuazione e la degradazione del segnale di clock distribuito agli FPGA.
- Simili problemi di adattamento sono stati individuati anche sulle linee seriali ad alta frequenza sulle quali sono trasmessi i dati. Anche in questo caso l'informazione arrivava a destinazione degradata e in alcune

configurazioni i livelli elettrici generati dai trasmettitori erano incompatibili con i ricevitori e, di conseguenza, l'informazione non veniva riconosciuta correttamente.

- Abbiamo scoperto un'ultima criticità sulla catena JTAG, che si manifestava sia in fase di programmazione dei dispositivi, che in fase di uso dello strumento *ChipScope* durante i test. La catena JTAG ha ereditato lunghezza e complessità dalla versione della AM-Board costruita per CDF, dove la catena aveva sempre funzionato. Nel nostro caso, invece, non si riusciva né ad accedere e rilevare i dispositivi nella catena né, tantomeno, a programmarli anche a basse frequenze di *clock* (750 KHz). Dopo aver fatto numerose prove per scoprire le cause del problema, ho verificato, con l'ausilio del *tool* per il *debug* delle catene JTAG presente nel programma “iNPACT” nella *suite* ISE², che l'interruzione della corretta trasmissione dei dati avveniva sul FPGA che gestisce il controllo e l'arbitraggio del *bus* VME. Dai dati che quest'ultimo FPGA trasmetteva era evidente che la macchina a stati “TAP *controller*” fosse finita in uno stato errato, forse per un campionamento sul segnale TMS sbagliato. Inoltre, durante le varie prove, ho notato una cosa abbastanza curiosa: misurando il segnale TCK con la sonda di un oscilloscopio, la catena dopo un *reset* riprendeva a funzionare, questo ci ha indotti a

²iNPACT è un programma presente nella *suite* ISE, software proprietario della Xilinx, che consente di programmare i dispositivi connessi nella catena JTAG, di accedere ai registri di ogni dispositivo e tramite un *tool* di *debug* permette di pilotare tutti i segnali e avere il controllo diretto sulla macchina a stati *TAP Controller*.

concentrarci sul segnale di clock TCK ed abbiamo capito che la linea non era terminata adeguatamente e che questo causava disadattamento e possibili riflessioni. Probabilmente la sonda dell'oscilloscopio introduceva una resistenza e una capacità verso massa sufficienti a smorzare le riflessioni che compromettevano il funzionamento del dispositivo.

Alcuni dei problemi descritti sono stati risolti realizzando, dove possibile, delle riparazioni sulla scheda. Questo ha consentito di proseguire i test solo su porzioni limitate di *hardware*. Per poter continuare il lavoro è stato necessario progettare e realizzare un nuovo prototipo (AMB-FTK V1) con tutti gli accorgimenti necessari per correggere i malfunzionamenti riscontrati. Questo ci ha permesso di effettuare, in un secondo momento, dei test più completi del sistema che sono stati utili per il progetto della AMB-FTK V2 che sarà utilizzata per la presa dati del 2015.

5.2 Criticità nella distribuzione del clock, nelle linee seriali e nella catena JTAG

Prima di poter analizzare i risultati ottenuti nei test delle trasmissioni differenziali, è stato necessario studiare le varie famiglie logiche e i diversi standard utilizzati per generare e distribuire i segnali di clock e i segnali informativi. L'intero albero di generazione del clock di sistema utilizza chip che appartengono alla famiglia logica *Low Voltage Emitter-Coupled Logic* (LVPECL).

Lo standard LVPECL è utilizzato per la trasmissione di dati su linee differenziali ad alta frequenza, tipicamente dell'ordine di centinaia di MHz fino a vari GHz. Il singolo segnale generato da un *driver* LVPECL ha un'escursione

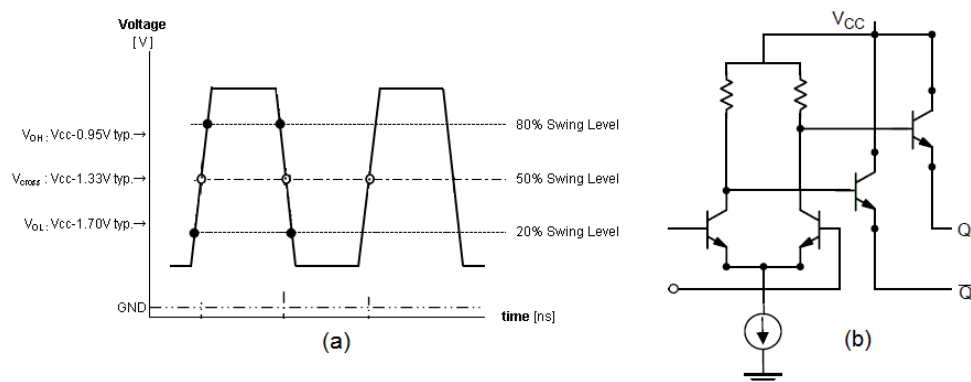


Figura 5.2: (a): segnale LVPECL; (b): stadio di uscita di un *driver* LVPECL

in tensione di 800 mV intorno al valor medio pari a $V_{CC} - 1.3 V$, quindi la differenza dei due segnali ha un'escursione di 1.6 V. Nella Figura 5.2 (a) è mostrato un esempio di segnale *single-ended* e sono indicati i parametri che caratterizzano la famiglia logica. Si può schematizzare lo stadio di uscita di

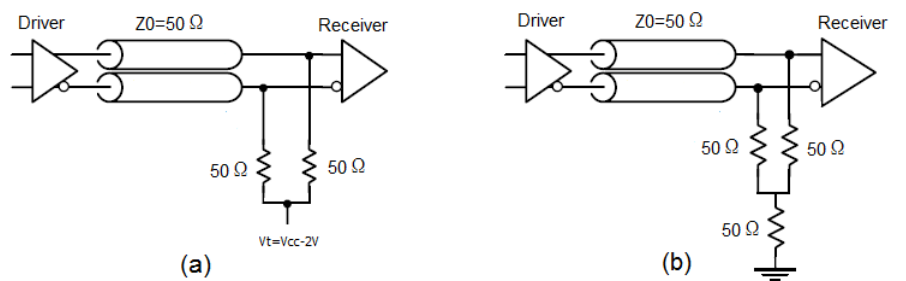


Figura 5.3: Terminazioni delle linee per segnali LVPECL

un driver LVPECL come mostrato in Figura 5.2 (b), cioè come uno stadio dif-

ferenziale costituito da due transistori BJT con le due uscite sugli emettitori. La terminazione sulla linea, necessaria secondo lo standard, è costituita da due resistenze, di valore pari all'impedenza caratteristica della linea, che connettono i due segnali verso $V_{cc} - 2 V$ (Figura 5.3, a). Spesso viene utilizzata una terminazione equivalente detta "Terminazione-Y" per evitare di dover generare una tensione diversa da quella di alimentazione (Figura 5.3, b). La trasmissione dei dati sulle linee seriali che connettono gli FPGA avviene secondo lo standard *Current Mode Logic* (CML). Come lo standard LVPECL, questo è utilizzato per trasmettere informazioni in formato differenziale ad alta frequenza. Il segnale generato da un *driver* CML ha un'escursione in tensione di 400 mV, intorno al valor medio, pari a $V_{cc} - 0.4 V$, quindi la differenza delle due uscite ha un'escursione di 800 mV. Si può schematizzare lo stadio di uscita di un driver CML come mostrato in Figura 5.4, cioè come uno stadio differenziale costituito da due transistori BJT con le due uscite sui collettori. La terminazione sulla linea, necessaria secondo lo standard, è costituita da una resistenza da 100 Ω connessa tra i due segnali.

Lungo la rete di distribuzione del clock i test hanno evidenziato delle violazioni dello standard richiesto per le terminazioni sopra descritte. In Figura 5.5 abbiamo riportato una porzione dell'albero di distribuzione del clock. Il chip SI590 è un generatore di clock al quarzo che genera un segnale a 100 MHz, questo segnale viene poi duplicato dal componente NB6I11. Successivamente, mediante il *chip* SY58032, ogni coppia viene replicata in otto segnali e infine connessi agli FPGA sulla AMB-FTK e sulle LAMB-FTK. Nella Figura 5.5

sono evidenziate in rosso le terminazioni che hanno causato la degradazione del segnale:

- Sull'ingresso del dispositivo NB6I11 è stato necessario cambiare il valore delle resistenze; abbiamo deciso di eliminare i condensatori ed effettuare un accoppiamento DC .

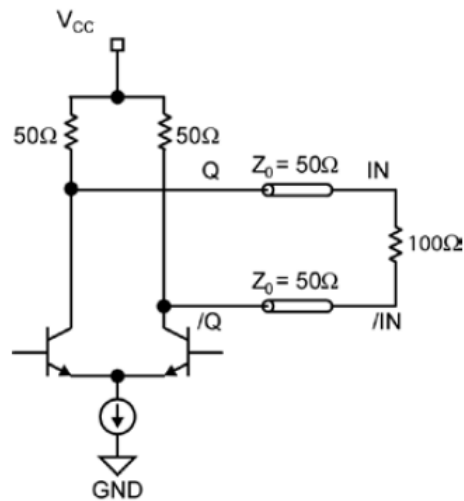


Figura 5.4: Schema dello stadio di uscita di un *driver* CML con la terminazione sulla linea.

- Le terminazioni presenti sull'ingresso del chip SY58032 sono state eliminate perché il dispositivo contiene già nel suo stadio di ingresso la stessa struttura, di conseguenza queste finivano in parallelo ed alteravano il valore complessivo della terminazione.

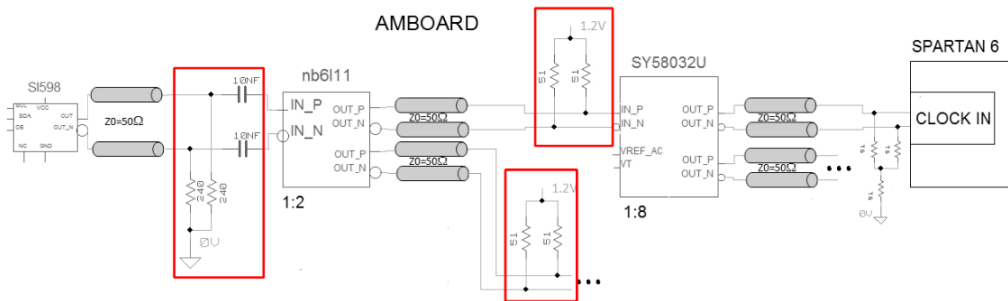


Figura 5.5: Parte dello schema dell'albero di distribuzione del cloc, con evidenziate le terminazioni che sono state corrette.

- Un problema riscontrato sulle linee di trasmissione dei dati è stato individuato tra le uscite dei *buffer* Micrel SY58601 usati per “rinfrescare” i segnali prima o dopo i connettori (vedi Figura 5.6) e gli ingressi degli FPGA. Questi ultimi sono compatibili con i livelli logici che hanno un valor medio pari a 900 mV quindi entrambi gli stadard logici LV-PECL e CML non rispettavano questa specifica. L'accoppiamento in continua produceva delle correnti DC che provocavano distorsione sul segnale informativo. È stato necessario eliminare il valore medio con dei condensatori di blocco in serie e quindi eseguire un accoppiamento AC tra le uscite dei *buffer* e gli ingressi degli FPGA. Per la scelta del valore delle capacità usate ci siamo affidati ai consigli della documentazione Xilinx che suggerisce condensatori di blocco tra i 10 nF e 100 nF per introdurre un polo ad una frequenza di taglio stimata che va dalle decine di kHz a qualche kHz.
- Un altro problema riscontrato sull'accoppiamento DC delle linee di tra-

smissione dei dati è stato trovato su una connessione tra due FPGA (Figura 5.6) sul quale è stato inserito un dispositivo che replica il segnale in due e lo invia alle LAMB-FTK. A differenza degli altri chip che svolgono il compito di *buffer* di *fan-out*, il chip in questione DS25MB200, accetta solo segnali accoppiati in AC. Di conseguenza è stato necessario inserire in ingresso e in uscita dei condensatori in serie ai segnali.

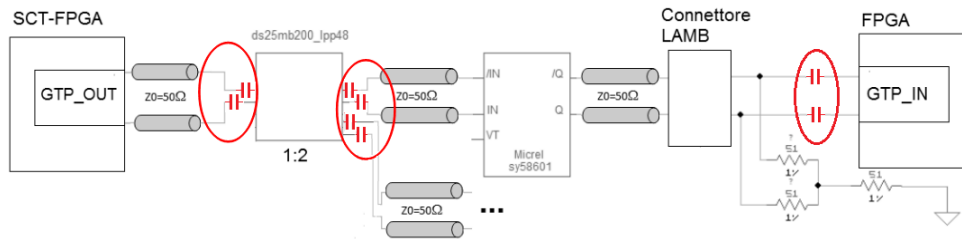


Figura 5.6: Parte dello schema elettrico che evidenzia il problema sulla linea dei dati. Sono evidenziati in rosso i condensatori aggiunti per effettuare un accoppiamento in AC.

- Come soluzione ai problemi trovati durante i test fatti sulla catena JTAG e anche come soluzione a possibili problemi di *fan-out* dovuti al gran numero di dispositivi nella catena, abbiamo deciso di introdurre due chip con dei *buffer* che replicano i segnali TCK e TMS a ogni FPGA (secondo le specifiche Xilinx è buona norma avere massimo tre dispositivi pilotati dal programmatore). Il dispositivo in questione è un *clock buffer* dalla IDT (IDT5V2310) che replica un segnale di clock in 10 segnali identici con uno *skew* tra i segnali minore di 100 ps. Questo dispositivo, oltre a rigenerare il segnale ed irrobustire l'informazione,

ha una resistenza serie di terminazione integrata. In questo modo le riflessioni create in corrispondenza del ricevitore sono assorbite appena tornano al trasmettitore.

5.3 Il progetto del prototipo AMB-FTK V1

Per realizzazione il circuito stampato del prototipo AMB-FTK V1 ci siamo rivolti alla stessa azienda (Cistelaier SPA) che aveva realizzato il PCB della AMB-FTK. Questo ha consentito di utilizzare gli stessi parametri tecnologici. Il processo tecnologico offerto consente di realizzare PCB con un massimo di 40 strati, con uno spessore laminato di base compreso tra 0.03 mm e 5.5 mm e con uno spessore del laminato di rame compreso tra 5 μm e 400 μm . L'azienda Cistelaier SPA offre, inoltre, la possibilità di eseguire forature meccaniche a laser per vie del diametro minimo di 75 μm .

Nel nostro caso il PCB è realizzato su 14 strati, ha una dimensione di 416 mm di larghezza e 367 mm di altezza, con uno spessore complessivo dei laminati di circa 2.3 mm. Abbiamo usato solo vie di tipo passante con diametro di tre diverse misure:

- Vie con diametro da 0.25 mm, utilizzate per interconnettere diversi layer sotto gli FPGA dove il passo tra le piazzole dei pin è stretto fino a 0.8 mm;
- Vie con diametro da 0.6 mm, utilizzate per realizzare le connessioni che richiedono un passaggio relativamente elevato di corrente;

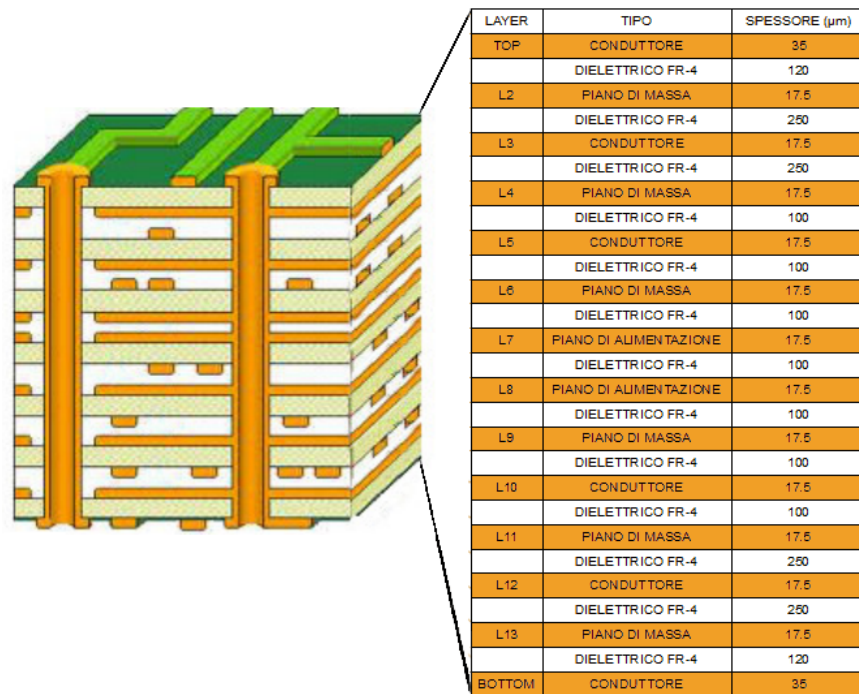


Figura 5.7: Sezione del PCB della scheda AMB-FTK V1, sulla destra abbiamo riportato una tabella con gli spessori dei vari strati.

- Vie con diametro da 0.4 mm, utilizzate per interconnessioni generiche.

La sezione della scheda è schematizzata in Figura 5.7, dove sono riportati gli spessori e la tipologia dei vari strati. Sono stati usati come piani di massa e di alimentazione otto *layer* di rame, i restanti sei piani sono stati utilizzati per il *routing* dei segnali elettrici. Per redigere il progetto ho utilizzato il software di progettazione Cadence, che è un ambiente di sviluppo per la progettazione elettronica. È stato utilizzato “*Design Entry HDL*” per realizzare lo schematico, “*Allegro PCB Design*” è stato utilizzato per la creazione di simboli, dei *footprint*, per il piazzamento dei componenti e il *routing* delle

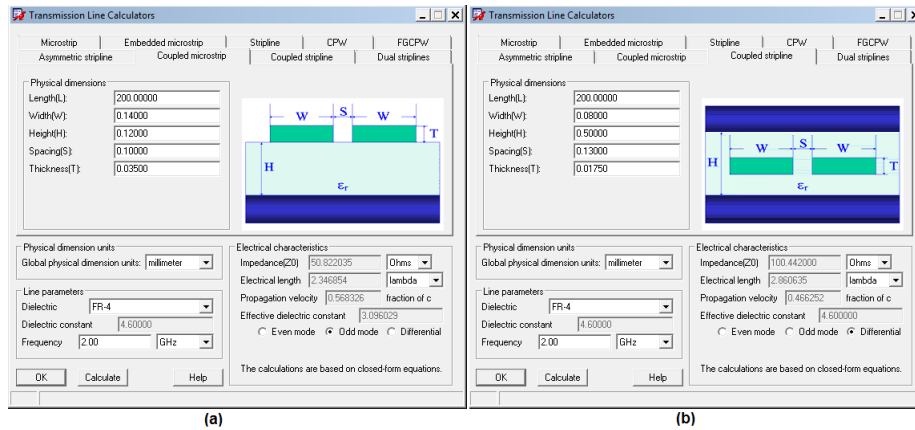


Figura 5.8: Immagine della schermata del Tool di Cadence utilizzato per il calcolo dei parametri progettuali di una linea differenziale. (a) Esempio del calcolo dei parametri per una microstriscia sullo strato esterno del PCB; (b) Esempio del calcolo dei parametri per una *stripline* su uno strato interno del PCB.

interconnessioni su PCB e infine per la generazione dei file *GERBER* necessari per la realizzazione fisica del PCB. I parametri di *design* più importanti sono quelli relativi alle linee seriali, l'obiettivo è stato realizzare le linee con un'impedenza caratteristica di 50Ω . Utilizzando il tool di Cadence Allegro per il calcolo dei parametri di progetto in funzione di quelli costruttivi, della frequenza di lavoro e dell'impedenza caratteristica, ho fissato per le linee seriali la larghezza delle piste (parametro *width*, W) e lo spazio tra le due linee (parametro *spacing*, S) in modo da avere i 50Ω sulla singola linea e come impedenza caratteristica differenziale 100Ω . La Figura 5.8 mostra un esempio di calcolo dei parametri progettuali per avere un'impedenza caratteristica di 50Ω e differenziale di 100Ω . Nella Figura 5.8 (a) è riportato il calcolo dei parametri effettuato utilizzando il tool di Cadence "*Transmission*

Line Calculator” su uno strato esterno del PCB. Nella Figura 5.8 (b) abbiamo riportato il calcolo per uno strato interno del PCB.

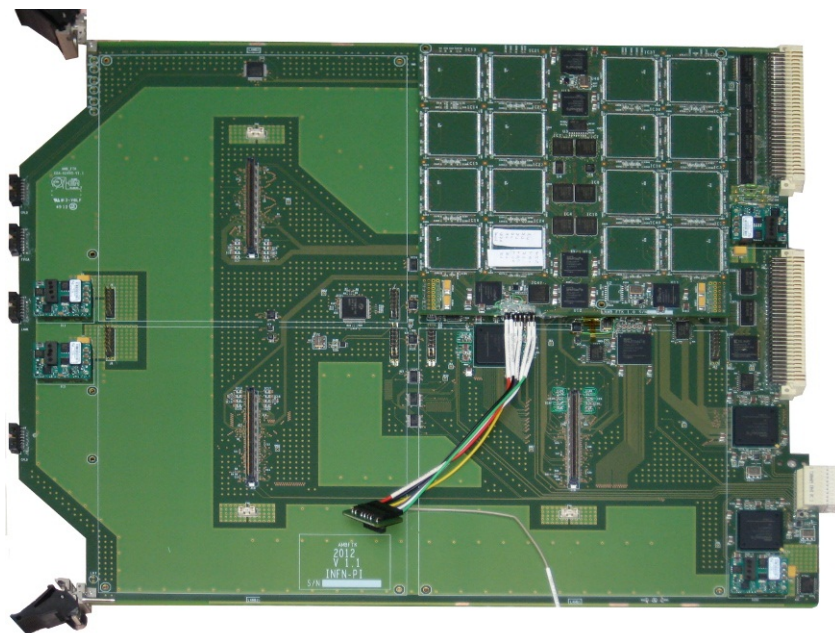


Figura 5.9: Immagine della scheda AMB-FTK V1, con installata una scheda LAMB-FTK.

La Figura 5.9 mostra il prototipo AMB-FTK V1 dopo la realizzazione e il montaggio dei componenti, pronta per eseguire i test.

Capitolo 6

Test del prototipo AMB-FTK V1

Nei mesi di dicembre 2012 - gennaio 2013 abbiamo svolto i test del nuovo prototipo AMB-FTK V1 realizzato per risolvere i malfunzionamenti riscontrati nella scheda AMB-FTK. Come descritto nel seguito, abbiamo verificato che le nuove soluzioni adottate risolvono i problemi che avevamo individuato e migliorano il funzionamento della scheda.

6.1 Distribuzione del clock

Le misure fatte sulla nuova scheda mostrano che le modifiche descritte nel Capitolo precedente hanno notevolmente migliorato la qualità del segnale di *clock* di sistema ricevuto da tutti i dispositivi. Le misure sono state fatte utilizzando un oscilloscopio della “Agilent Technologies” che ha una banda passante di 500 MHz. In Figura 6.1 è riportato uno *screenshot* dell’oscillo-

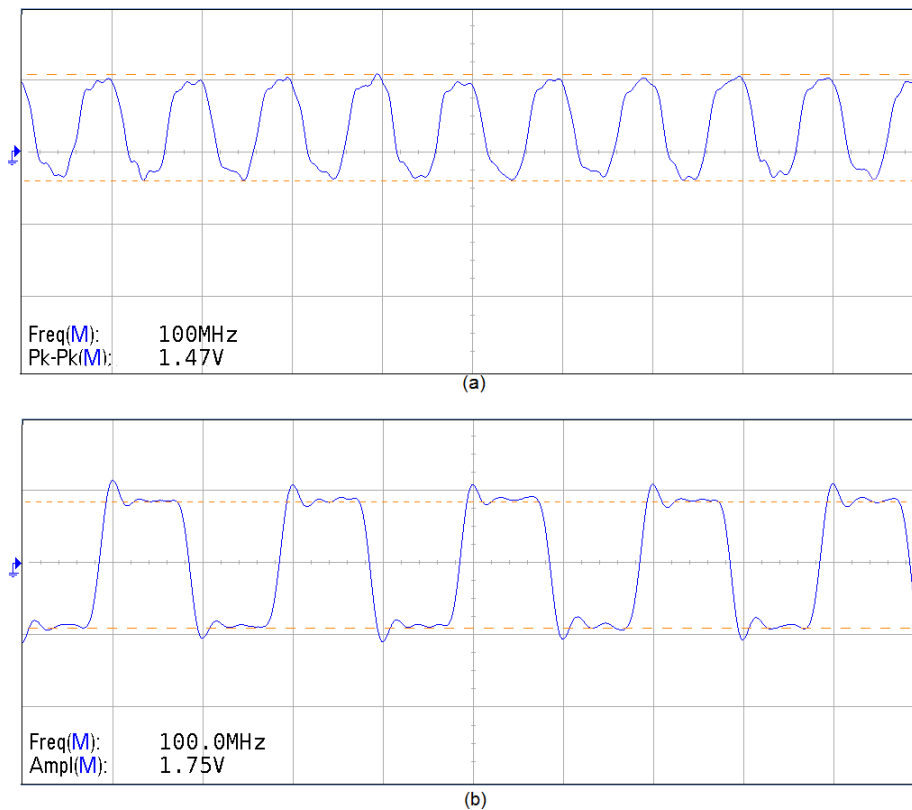


Figura 6.1: (a) Segnale di *clock* in uscita dal generatore sul prototipo AMB-FTK; (b) Segnale di *clock* in uscita dal generatore sulla nuova AMB-FTK V1.

scopio che mostra il confronto tra il segnale di *clock* in uscita dal generatore al quarzo sul prototipo AMB-FTK (Figura 6.1 a) e sul nuovo prototipo AMB-FTK V1 (Figura 6.1 b). I nuovi livelli di tensione risultano più netti e la dinamica è leggermente aumentata.

La Figura 6.2 (a) mostra il segnale di *clock* in ingresso a un FPGA sul prototipo AMB-FTK, nella Figura 6.2 (b) è mostrato il segnale di *clock* in ingresso allo stesso FPGA sul prototipo AMB-FTK V1. Abbiamo verificato che il

segnale di *clock* misurato su tutti i dispositivi risulta approssimativamente della stessa qualità ed è riconducibile all'esempio proposto. Il confronto tra le immagini mostra chiaramente il significativo miglioramento ottenuto nel nuovo prototipo.

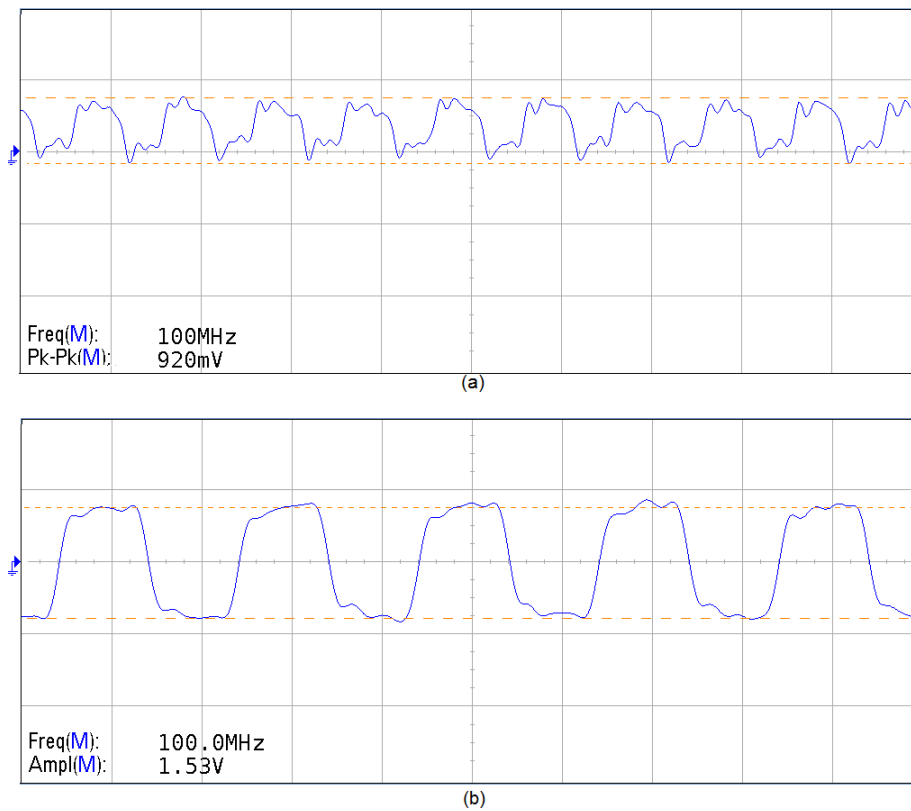


Figura 6.2: (a) Segnale di *clock* in ingresso ad un FPGA nel prototipo AMB-FTK; (b) Segnale di *clock* in ingresso allo stesso FPGA nella nuova AMB-FTK V1.

6.2 La catena JTAG

I test fatti sulla catena JTAG mostrano come anche in questo caso siano stati completamente risolti i problemi diagnosticati sul prototipo AMB-FTK. Siamo riusciti, infatti, a far funzionare la catena sia in fase di programmazione che in fase di utilizzo del *software ChipScope* anche alla frequenza di 6 MHz. Per avere un'idea di come le modifiche apportate hanno inciso sull'integrità

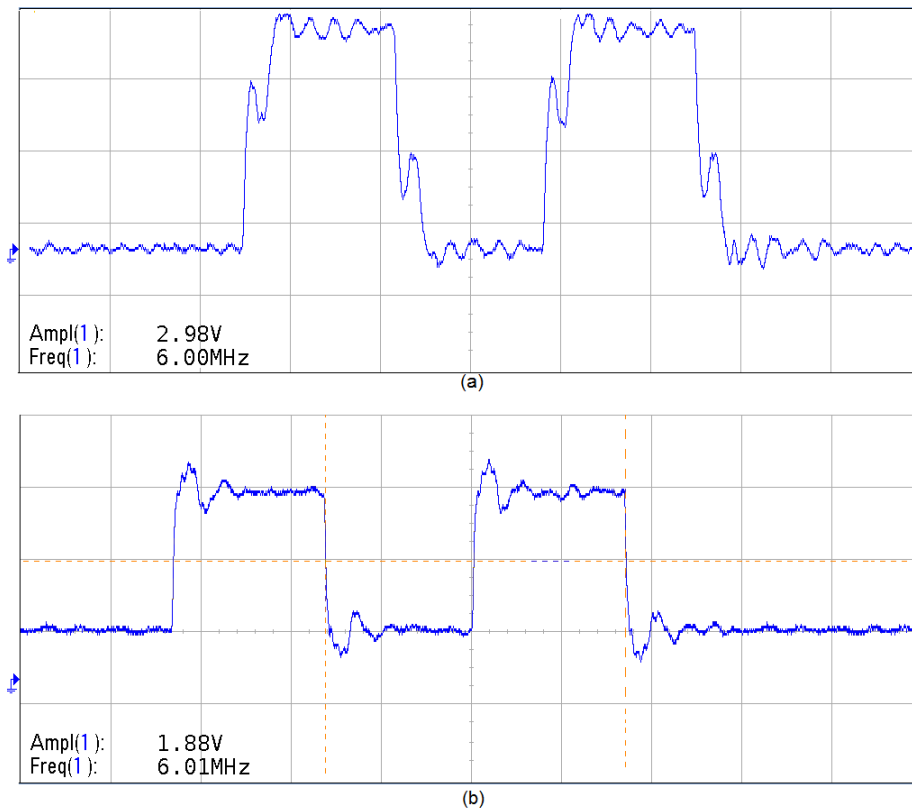


Figura 6.3: (a) Segnale di *clock* del JTAG TCK in ingresso ad un FPGA sul prototipo AMB-FTK; (b) Segnale di *clock* del JTAG TCK in ingresso allo stesso FPGA sulla nuova AMB-FTK V1.

dei segnali, ho fatto diverse misure sulla scheda per vedere le differenze so-

prattutto dei segnali più delicati come TCK e TMS. La Figura 6.3 (a) mostra il segnale del *clock* del JTAG misurato sul prototipo AMB-FTK, il segnale ha su ogni fronte di salita e di discesa un disturbo che si presenta come un picco isolato. Questa doppia inversione di pendenza può essere ricondotta a un effetto dovuto a un carico non adattato alla linea, che, come descritto nel Capitolo precedente, portava a malfunzionamenti di alcuni dispositivi connessi alla catena JTAG. La Figura 6.3 (b) mostra, invece, il segnale del *clock* del JTAG misurato sulla nuova scheda AMB-FTK V1. In questo caso il disturbo sui fronti è stato eliminato grazie ai *buffer* e alle terminazioni che abbiamo aggiunto alla linea. Resta però una piccola sovralongazione che si verifica subito dopo ogni commutazione.

6.3 Trasmissione seriale dei dati

Nella AMB-FTK V1 abbiamo potuto programmare correttamente tutti gli FPGA presenti sulla scheda e siamo stati in grado di eseguire test più completi del funzionamento dei *link* seriali a 2 Gbit/s. I dati da trasmettere sono stati caricati sul FPGA che funge da trasmettitore e sul dispositivo ricevitore abbiamo verificato se sono trasmessi e ricevuti correttamente. Successivamente, abbiamo anche prolungato i test per diverse ore per verificare l'affidabilità della comunicazione durante la trasmissione di una grossa mole di dati. Abbiamo inoltre verificato la comunicazione seriale ad alta velocità tra gli FPGA Xilinx sulla AMB-FTK V1 e gli FPGA Altera usati sulla

AUX-Board. Tutti i test hanno confermato l'ottima affidabilità del nuovo prototipo e per gli ultimi test stiamo aspettando il montaggio degli AM-chip sulle LAMB-FTK per fare una prova sul percorso completo dei dati, cioè dalla AUX-Board fino al *chip* di Memoria Associativa.

Capitolo 7

Progetto della scheda AMB-FTK

V2

Sulla base dell'esperienza maturata nei test del prototipo AMB-FTK, nel progetto e nei test del prototipo AMB-FTK V1, ho sviluppato il progetto della nuova scheda di Memoria Associativa (AMB-FTK V2), che sarà installata nel *trigger* di ATLAS per la presa dati dell'anno 2015. La nuova scheda contiene importanti modifiche. Per migliorare l'affidabilità della trasmissione dei dati e della distribuzione del *clock*, ho utilizzato un protocollo seriale per le linee dei dati ad alta velocità e linee differenziali per la distribuzione del *clock*. Ho dovuto riprogettare la generazione delle tensioni per adeguare i nuovi livelli di tensione e la potenza fornita dalla scheda ai nuovi *chip* di Memoria Associativa (AM-chip05). Inoltre, ho dovuto rimpiazzare alcuni dispositivi non più compatibili con le nuove tensioni. In questo Capitolo

descriveremo in dettaglio queste importanti novità progettuali.

7.1 Generazione e distribuzione delle alimentazioni

Il futuro *chip* di Memoria Associativa AM-chip05, che è attualmente in fase di progettazione e che sarà utilizzato per la presa dati di ATLAS nel 2015, avrà tutte le interfacce dei *bus* dati di *input* e di *output* realizzate con serializzatori. Il *die* del *chip* sarà montato in un *package Flip-chip* BGA di dimensioni ridotte rispetto a quelle attuali (23 x 23 mm invece di 28 x 28 mm). Il nuovo *chip* avrà inoltre una densità accresciuta di *pattern* ma anche maggiori consumi. Secondo le prime stime fatte dai progettisti del *chip*, i consumi saranno circa 1 W per il *core* e 0.5 W per l'interfaccia *Input/Output*. Le tensioni utilizzate per alimentare il *core* e l'interfaccia di *Input/Output* saranno rispettivamente di 1.2 V e 2.5V. La scheda AMB-FTK V2 dovrà quindi fornire ad ogni LAMB-FTK una potenza di 32 W a 1.2 V ed una potenza di 16 W a 2.5 V, per un totale di 128 W a 1.2 V e 64 W a 2.5 V. A questi consumi andrà sommato il consumo della scheda stessa, anche se possiamo ragionevolmente assumere che questo sia quasi trascurabile rispetto a quello delle quattro LAMB-FTK. La variazione della tensione e dei consumi del AM-chip05 ci ha indotto a scegliere nuovi componenti adatti a funzionare nelle nuove condizioni. Una delle scelte più importanti è stata quella dei convertitori DC-DC: ciascuno dei quattro convertitori usati nella

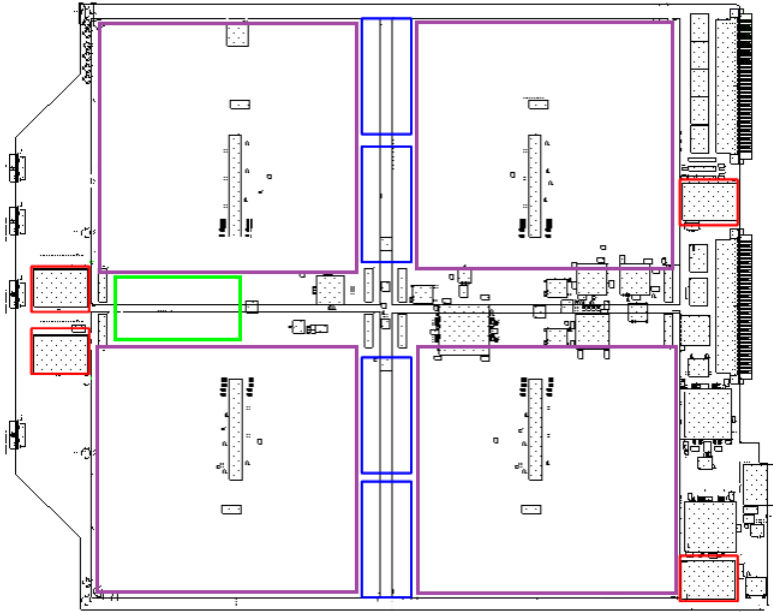
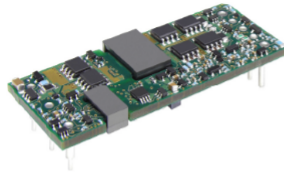


Figura 7.1: *Layout* della scheda AMB-FTK: sono evidenziati dai riquadri in rosso i convertitori DC-DC della versione V1; i riquadri blu indicano la posizione dei nuovi convertitori DC-DC da 1.2 V; il riquadro in verde indica la posizione del nuovo convertitore DC-DC da 2.5 V; i riquadri in viola evidenziano le nuove dimensioni della LAMB.

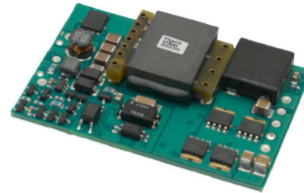
precedente versione (Figura 7.1 evidenziati dai riquadri rossi) poteva erogare un massimo di 25 A alla tensione di 1.2 V. Per quanto detto in precedenza questa corrente non è più sufficiente. Infatti, adesso ogni convertitore dovrà essere in grado di erogare almeno 30 A. Poiché la tensione di 2.5 V a differenza dei 3.3 V non è erogata dal *crate* VME, è stato necessario aggiungere un quinto convertitore DC-DC in grado di generare la tensione di 2.5 V e capace di erogare almeno 30 A. Nella scelta dei convertitori, oltre ai vincoli sui parametri elettrici, hanno pesato in maniera determinante anche la forma e le dimensioni del dispositivo. Come si può facilmente immaginare, i nuo-

vi convertitori, erogando più potenza, hanno dimensioni maggiori rispetto a quelli utilizzati in precedenza e, quindi, non è stato possibile utilizzare lo stesso piazzamento. Sebbene la scheda AMB-FTK abbia dimensioni elevate, la maggior parte della superficie su di essa è occupata dalle quattro schede LAMB-FTK. Di conseguenza, i dispositivi che dissipano potenze considerevoli, o che hanno uno spessore superiore a circa 4 mm, non possono essere piazzati sotto le LAMB-FTK. La superficie utile rimanente è costituita solo da strisce strette tra due LAMB-FTK adiacenti. Questo spazio è stato ricavato riprogettando una nuova LAMB-FTK a dimensioni ridotte (Figura 7.1, i riquadri in viola evidenziano le dimensioni della nuova LAMB) ed è qui che sono stati piazzati i nuovi convertitori (Figura 7.1 riquadri blu). Fissati tutti i vincoli precedentemente elencati, la scelta è risultata quasi obbligatoria: tra tre possibili convertitori ho scelto quello più facilmente reperibile sul mercato e meno costoso. La scelta è ricaduta sul SQE48T50012 un convertitore DC-DC *embedded* della società PowerOne (Figura 7.2 a). Il dispositivo converte i 48 V forniti da *crate* VME in 1.2 V in uscita, con la capacità di erogare fino a un massimo di 50 A. Le dimensioni del convertitore sono 58.5 mm di lunghezza, 23 mm di larghezza e 9.5 mm di altezza e il *pinout* segue lo standard di 1/4 di *brick*¹. La scelta del convertitore DC-DC che genera i 2.5 V è ricaduta sul PTQA430025, un convertitore DC-DC *embedded* della Texas Instruments (Figura 7.2 b) in grado di erogare fino a 30 A. Le dimensioni

¹Il *brick* è uno standard industriale che definisce il *pinout* di alcuni componenti come i convertitori DC-DC.



(a)



(b)

Cod. Prod.	SQE48T50012	PTQA430025
Input (V)	35 – 75	35 – 75
Output (V)	1.2	2.5
Corrente di uscita Max. (A)	50	30
Dimensioni (mm)	58.5 x 23 x 9.5	56.5 x 38 x 12

Figura 7.2: Convertitori DC-DC: (a) SQE48T50012 , (b) PTQA430025; Nella tabella sono riportati le caratteristiche generali dei dispositivi.

sono 56.5 mm di lunghezza, 38 mm di larghezza e 12 mm di altezza e il *pinout* segue lo standard di 1/4 di *brick*. Quest'ultimo componente è stato piazzato nello spazio tra le LAMB adiacenti (Figura 7.1 riquadro verde). Questo ha consentito di eliminare l'espansione frontale della scheda, che nelle precedenti versioni è servita per il piazzamento dei convertitori DC-DC, questo consentirà un più efficiente *airflow* per il raffreddamento delle schede.

Il cambiamento della tensione da 3.3 V a 2.5 V ha reso necessario sostituire alcuni componenti che erano alimentati a 3.3 V e che adesso non possono più essere utilizzati alla tensione di alimentazione di 2.5 V. Abbiamo rimpiazzato tutte le memorie *flash* utilizzate per la programmazione degli FPGA, due CPLD, utilizzati per l'interfacciamento con il *bus* VME e per pilotare i led

di segnalazione. Questi sono stati sostituiti con componenti che hanno praticamente le stesse funzionalità, per stravolgere il meno possibile il progetto iniziale.

Per la distribuzione delle alimentazioni, come nei prototipi precedenti, ho utilizzato due piani del PCB, uno per ciascuna alimentazione. Infine è stato necessario sostituire i connettori che portano le alimentazioni a ogni LAMB-FTK poiché quelli utilizzati in precedenza potevano sopportare correnti fino a circa 35 A.

7.2 Trasmissione dei dati e distribuzione del *clock*

Come descritto nei Capitoli precedenti, nella AMB-FTK V1 metà dei *bus* dati che trasmettono i dati agli AM-chip utilizzano un protocollo seriale differenziale e altri invece un protocollo parallelo. Per eliminare alcuni problemi dovuti alla trasmissione parallela, nella nuova versione AMB-FTK V2 la trasmissione dei *bin* sarà fatta solo su linee seriali differenziali. Il primo importante beneficio è che un segnale trasmesso in modo differenziale risulta immune ai disturbi di modo comune. L'informazione è contenuta nella differenza dei due segnali che viaggiano sulla linea e, facendone la differenza, uno stesso disturbo introdotto su entrambi i segnali viene reiettato in fase di ricezione. Un problema dovuto alla trasmissione di numerosi segnali digitali in parallelo è che per gli FPGA che li generano è necessario rispettare il

vincolo del numero massimo di commutazioni simultanee. Ognuno di questi dispositivi può pilotare un numero estremamente elevato di linee ma è opportuno che solo una frazione di esse commuti simultaneamente. Un effetto della violazione di questo vincolo è che le tensioni di alimentazione presentano cali di tensione in corrispondenza dei picchi di assorbimento dovuti a un numero elevato di commutazioni simultanee. Questi cali di tensione introducono disturbi e portano a malfunzionamenti dei dispositivi più delicati. Un altro effetto dovuto alle commutazioni simultanee è la degradazione dei fronti di salita e di discesa del segnale digitale, con il rischio, nel caso peggiore, di perdere completamente l'informazione. I problemi appena descritti si accentuano al crescere della frequenza di trasmissione. Di conseguenza, si deve cercare un compromesso tra il numero di commutazioni simultanee, la qualità del segnale sul fronte di commutazione, e la frequenza di trasmissione. Utilizzando un protocollo seriale il problema del limite delle commutazioni simultanee viene notevolmente ridotto, poiché un *bus* parallelo composto, nel nostro caso, da 15 *bit* viene sostituito da soli due fili che compongono la linea differenziale.

Un'altra modifica che abbiamo introdotto conforma tutte le trasmissioni differenziali, sia la distribuzione dei dati, che quella del *clock*, allo *standard* CML con accoppiamento capacitivo. Questo è stato fatto in primo luogo per evitare che vengano usati diversi *standard* di comunicazione che potrebbero creare confusioni dovute alle diverse configurazioni di interfacciamento tra i vari dispositivi. È stato scelto lo *standard* CML perché, come spiegato

in precedenza, le terminazioni richiedono un numero esiguo di componenti esterni ai dispositivi; inoltre il CML è uno degli *standard* con un consumo di potenza minore. Abbiamo introdotto l'accoppiamento in AC tra tutti i dispositivi per evitare incompatibilità nei livelli logici dovuti al valor medio di tensione sulla linea.

Nella realizzazione del *layout* della scheda ho riposto una notevole attenzione al *routing* delle linee che distribuiscono il *clock* di sistema. Per evitare effetti di *skew* dovuti a diverse lunghezze dei rami dell'albero di distribuzione del clock, ho fatto in modo che tali differenze di lunghezza fossero minime. Per quanto riguarda le linee di trasmissione dei dati seriali, invece, ho utilizzato gli stessi parametri progettuali che ho usato nel progetto del prototipo AMB-FTK V1. Ci aspettiamo che i test futuri sulla scheda AMB-FTK V2 confermeranno la direzione intrapresa e dimostreranno che le modifiche progettuali hanno reso la scheda affidabile e con prestazioni adeguate per la presa dati di ATLAS nel 2015.

Capitolo 8

Conclusioni

Il lavoro descritto in questa Tesi è stato svolto presso la Sezione di Pisa dell'Istituto Nazionale di Fisica Nucleare dove è in fase di costruzione il nuovo processore *Fast Tracker* (FTK), che sarà utilizzato nella presa dati dell'esperimento ATLAS prevista per l'anno 2015. FTK è stato ideato per ricostruire in tempo reale la traiettoria delle particelle cariche che attraversano il rivelatore in silicio di ATLAS e migliorare, con questa informazione, le prestazioni del sistema di *trigger* e di acquisizione dati dell'esperimento. Il componente principale di FTK è costituito dalla Memoria Associativa e con il mio lavoro di Tesi ho dato un contributo significativo ai test ed allo sviluppo di nuovi prototipi di una scheda VME che utilizza massicciamente questa tecnologia. In particolare, ho contribuito ai test di un prototipo esistente di scheda di Memoria Associativa (AMB-FTK) nel quale sono stati individuati vari problemi di natura elettrica, nella distribuzione del clock, nella trasmissione dei

dati ad alta velocità e nella catena JTAG. Terminati questi test, ho lavorato al progetto di un nuovo prototipo della scheda di Memoria Associativa (AMB-FTK V1) nel quale sono state introdotte le modifiche necessarie per risolvere i problemi individuati. I test del nuovo prototipo hanno mostrato che le soluzioni adottate risolvono ottimamente tutti i problemi. Infine, il lavoro si è concluso con il progetto della nuova scheda AMB-FTK V2 che installeremo nel sistema per la presa dati dell'anno 2015. Nella nuova scheda abbiamo introdotto novità progettuali per migliorare le prestazioni e l'affidabilità: la distribuzione del clock è stata realizzata completamente in formato differenziale e la distribuzione dei dati completamente in formato seriale. Inoltre abbiamo modificato il sistema di generazione e distribuzione delle alimentazioni per adattarlo alle caratteristiche elettriche del nuovo chip di Memoria Associativa, attualmente in fase avanzata di progettazione. Tra gli sviluppi futuri di questo lavoro, i più rilevanti sono il consolidamento del progetto della nuova scheda AMB-FTK V2 ed i test delle prestazioni ed affidabilità del nuovo prototipo in vista della installazione ed integrazione di FTK nel sistema di *trigger* ed acquisizione dati di ATLAS.

Elenco delle figure

1.1	Vista satellitare di LHC e di un particolare dell'interno del tunnel[3].	12
1.2	Schema semplificato del complesso di acceleratori del CERN di Ginevra. Si possono riconoscere il <i>Linear Accelerator</i> (LINAC), il <i>Proton Synchrotron</i> (PS), il <i>Super Proton Synchrotron</i> (SPS) e il <i>Large Hadron Collider</i> (LHC).	13
1.3	Collocazione degli esperimenti lungo l'anello LHC.	15
1.4	Layout di ATLAS: sono indicati gli elementi principali del rivelatore[20].	17

1.5	(a) Schema degli apparati utilizzati per generare i campi magnetici in ATLAS: in rosso sono rappresentate le bobine superconduttrici che costituiscono il magnete toroidale del <i>barrel</i> e dell' <i>end-cap</i> , in blu è rappresentato il solenoide nella regione del <i>barrel</i> ; (b) Fotografia dei toroidi superconduttori della regione del <i>barrel</i> . Si possono apprezzare le dimensioni del rivelatore dal confronto con la persona fotografata tra le due bobine in basso[20].	19
1.6	Rappresentazione di una traccia (linea rossa) con impulso trasverso di $10\text{ GeV}/c$ che attraversa i diversi elementi del sistema di tracciatura[20].	20
1.7	Il sistema di tracciatura di ATLAS: sono indicati il rivelatore a <i>pixel</i> , a <i>microstrip</i> centrale e in avanti (<i>barrel</i> SCT e <i>forward</i> SCT) ed il tracciatore a radiazione di transizione (TRT)[20].	21
1.8	Rivelatore a <i>pixel</i> in silicio, si possono notare i tre strati del <i>barrel</i> centrale e i dischi di <i>end-cap</i> [20].	22
1.9	Vista in sezione di un tipico sensore in silicio installato nel rivelatore.	23
1.10	Schema del circuito di lettura di uno <i>straw-tube</i> . Si può notare il percorso compiuto dagli elettroni prodotti nella ionizzazione verso l'anodo.	25

1.11	Il calorimetrico di ATLAS: si possono notare i vari elementi della sezione elettromagnetica (<i>Liquid Argon electromagnetic end-cap</i> , <i>Liquid Argon electromagnetic barrel</i>) e della sezione adronica (<i>TILE calorimeter</i> , <i>Hadronic end-cap</i> , e <i>Forward calorimeter</i>)[20].	27
1.12	Ricostruzione di un evento in ATLAS; l'evento contiene 25 vertici e sono visualizzate le tracce con impulso superiore a 0.4 GeV/c[28].	30
1.13	Diagramma di flusso degli eventi nel trigger di ATLAS[26].	32
2.1	(a) Il <i>bin</i> è l'OR logico di canali adiacenti sul rivelatore; la dimensione del <i>bin</i> è un compromesso tra la necessità di limitare il numero di <i>hit</i> che in media si possono trovare all'interno del <i>bin</i> e la dimensione complessiva della banca dei pattern; (b) la presenza di un <i>hit</i> (rosso) "attiva" l'intero <i>bin</i> colpito; (c) La combinazione di <i>bin</i> colpiti dal passaggio di una particella reale è detta <i>pattern</i> o <i>road</i> (evidenziata in giallo); (d) Il <i>fit</i> della combinazione di <i>hit</i> presenti nella <i>road</i> determina i parametri della traccia.	36
2.2	Analogia tra il gioco della tombola e la funzione svolta dalla Memoria Associativa [35].	39

2.3	Schema a blocchi dell'unità fondamentale di FTK, detta <i>Core Processor</i> . Un <i>Core Processor</i> contiene 16 <i>Processing Unit</i> identiche. Ciascuna delle quali elabora i dati provenienti da una porzione localizzata della regione del rivelatore assegnata al <i>Core Processor</i>	40
2.4	Schema logico delle funzioni eseguite da FTK per ogni evento[29].	41
2.5	Esempio di <i>fit</i> degli <i>hit</i> presenti in una <i>road</i> . Delle due possibili tracce, quella in rosso deve essere scartata perché il <i>fit</i> è di qualità inferiore alla soglia richiesta da FTK a causa della distanza tra l' <i>hit</i> sul secondo strato (dall'alto) e la traccia. . .	43
2.6	Suddivisione del rivelatore in silicio in regioni, in rosso è evidenziata la zona di sovrapposizione tre due regioni adiacenti. I dati contenuti in questa regione di sovrapposizione sono spediti ad entrambi i <i>Core Processor</i> che analizzano le due regioni adiacenti.	46
3.1	Architettura del chip di Memoria Associativa, ogni cella di memoria è di tipo CAM, ogni riga rappresenta un <i>pattern</i> , ogni colonna rappresenta il <i>bus</i> sul quale scorrono i dati provenienti da uno strato del rivelatore. Per semplicità sono state riportate solo 4 delle 8 celle che compongono un <i>pattern</i> [41]. .	50

3.2	Illustrazione delle quattro versioni esistenti del chip di Memoria Associativa: (a) Il primo AM-chip dell'anno 1992; (b) FPGA Xilinx sul quale è stata implementata la seconda versione del AM-chip nell'anno 1998; (c) il chip AM-chip03 dell'anno 2003; (d) il chip AM-chip04 dell'anno 2012.	52
3.3	(a) Foto del PCB (<i>Printed Circuit Board</i>) della scheda LAMB-FTK senza chip; (b) Layout della scheda LAMB-FTK dove sono evidenziati in giallo i connettori utilizzati per portare l'alimentazione a 1.2 V, ed in viola il connettore sul quale transitano i dati e l'alimentazione a 3.3 V.	54
3.4	<i>Layout</i> del PCB della LAMB-FTK; sono evidenziati: (a) percorso dei dati distribuiti su linee parallele (in blu); (b) percorso dei dati distribuiti su linee seriali (in rosso).	55
3.5	Layout del PCB della LAMB-FTK: le frecce verdi indicano il percorso delle <i>road</i> , i riquadri verdi mostrano gli FPGA che trasmettono i dati su due linee seriali.	56
4.1	Schema funzionale della <i>Processing Unit</i> di FTK, costituita dalle quattro LAMB-FTK montate sulla AMB-FTK, e dalla AUX-Board ad essa connessa.	58

4.2	Layout del PCB della AMB-FTK, con evidenziati, i percorsi dei dati. I percorsi in rosso identificano le linee seriali degli <i>hit</i> , i percorsi in verde identificano gli <i>hit</i> che vengono trasmessi sui <i>bus</i> parallelo e in blu le <i>road</i>	61
4.3	Crate VME serie 6000 9U dell'azienda W-Ie-Ne-R[42].	64
4.4	Layout del PCB della scheda AMB-FTK sul quale abbiamo evidenziato i percorsi dei dati VME in rosso ed in blu le linee di controllo per l'arbitraggio del bus.	65
4.5	Layout del PCB della AMB-FTK con evidenziato l'albero di distribuzione del clock: il riquadro in giallo evidenzia il chip che genera il clock, le linee rosse rappresentano la distribuzione differenziale e quelle blu la distribuzione del segnale CMOS.	68
4.6	Layout del PCB della AMB-FTK con evidenziati la catena JTAG e i convertitori DC-DC (riquadri in viola). In rosso è evidenziata la catena dei dati, in blu la distribuzione del segnale TCK e in verde il segnale TMS.	70
5.1	(a) Postazione di test nel laboratorio FTK della Sezione di Pisa dell'Istituto Nazionale di Fisica Nucleare; (b) Prototipo della scheda AMB-FTK.	74
5.2	(a): segnale LVPECL; (b): stadio di uscita di un <i>driver</i> LVPECL	77
5.3	Terminazioni delle linee per segnali LVPECL	77

5.4	Schema dello stadio di uscita di un <i>driver</i> CML con la terminazione sulla linea.	79
5.5	Parte dello schema dell'albero di distribuzione del cloc, con evidenziate le terminazioni che sono state corrette.	80
5.6	Parte dello schema elettrico che evidenzia il problema sulla linea dei dati. Sono evidenziati in rosso i condensatori aggiunti per effettuare un accoppiamento in AC.	81
5.7	Sezione del PCB della scheda AMB-FTK V1, sulla destra abbiamo riportato una tabella con gli spessori dei vari strati. .	83
5.8	Immagine della schermata del Tool di Cadence utilizzato per il calcolo dei parametri progettuali di una linea differenziale. (a) Esempio del calcolo dei parametri per una microstriscia sullo strato esterno del PCB; (b) Esempio del calcolo dei parametri per una <i>stripline</i> su uno strato interno del PCB.	84
5.9	Immagine della scheda AMB-FTK V1, con installata una scheda LAMB-FTK.	85
6.1	(a) Segnale di <i>clock</i> in uscita dal generatore sul prototipo AMB-FTK; (b) Segnale di <i>clock</i> in uscita dal generatore sulla nuova AMB-FTK V1.	87
6.2	(a) Segnale di <i>clock</i> in ingresso ad un FPGA nel prototipo AMB-FTK; (b) Segnale di <i>clock</i> in ingresso allo stesso FPGA nella nuova AMB-FTK V1.	88

6.3	(a) Segnale di <i>clock</i> del JTAG TCK in ingresso ad un FPGA sul prototipo AMB-FTK; (b) Segnale di <i>clock</i> del JTAG TCK in ingresso allo stesso FPGA sulla nuova AMB-FTK V1. . . .	89
7.1	<i>Layout</i> della scheda AMB-FTK: sono evidenziati dai riquadri in rosso i convertitori DC-DC della versione V1; i riquadri blu indicano la posizione dei nuovi convertitori DC-DC da 1.2 V; il riquadro in verde indica la posizione del nuovo convertitore DC-DC da 2.5 V; i riquadri in viola evidenziano le nuove dimensioni della LAMB.	94
7.2	Convertitori DC-DC: (a) SQE48T50012 , (b) PTQA430025; Nella tabella sono riportati le caratteristiche generali dei dispositivi.	96

Bibliografia

- [1] Lyndon Evans, (ed.), Philip Bryant, (ed.) (CERN), (2008) "*LHC Machine*", Published in JINST 3 (2008) S08001 164 pp.
- [2] Lyndon Evans and Philip Bryant (2008) "*THE CERN LARGE HADRON COLLIDER: ACCELERATOR AND EXPERIMENTS*", published by Institute of Physics Publishing and SISSA
- [3] <http://lhc-milestones.web.cern.ch/LHC-Milestones/year2008-en.html>
- [4] <http://press.web.cern.ch/press-releases/2012/12/first-lhc-protons-run-ends-new-milestone>
- [5] aa. vv. LHC Commissioning with Beam, Web page: <http://lhc-commissioning.web.cern.ch/lhc-commissioning/>
- [6] ATLAS Collaboration, G. Aad (Marseille, CPPM) et al. (2008), "*The ATLAS Experiment at the CERN Large Hadron Collider*", Published in JINST 3 (2008) S08003 437 pp.

- [7] CMS Collaboration, S. Chatrchyan et al. (Aug 2008) “*The CMS experiment at the CERN LHC*”, Published in JINST 3 (2008) S08004 361 pp.
- [8] ALICE Collaboration, K. Aamodt (Oslo U.) et al.. (2008) “*The ALICE experiment at the CERN LHC* ”, Published in JINST 3 (2008) S08002 259 pp.
- [9] LHCb Collaboration, A. Augusto Alves, Jr. (Rio de Janeiro, CBPF) et al. (2008) “*The LHCb Detector at the LHC* ”, Published in JINST 3 S08005 217 pp.
- [10] LHCf Collaboration, O. Adriani (Florence U. & INFN, Florence) et al. (2008) “*The LHCf detector at the CERN Large Hadron Collider* ” Published in JINST 3 (2008) S08006 39 pp.
- [11] TOTEM Collaboration, G. Anelli (CERN) et al. (2008) “*The TOTEM experiment at the CERN Large Hadron Collider*”, Published in JINST 3 (2008) S08007 112 pp.
- [12] Georges Aad (Freiburg U.) et al. ATLAS Collaboration (2012) “*Observation of a new particle in the search for the Standard Model Higgs boson with the ATLAS detector at the LHC.*” Phys.Lett. B716 pp. 1-29.
- [13] Serguei Chatrchyan (Yerevan Phys. Inst.) et al. CMS Collaboration (2012) “*Observation of a new boson at a mass of 125 GeV with the CMS experiment at the LHC.*” Phys.Lett. B716 pp. 30-61

- [14] I.J.R. Aitchison, A.J.G. Hey (2003), "*Gauge Theories in Particle Physics: A Practical Introduction*", Institute of Physics.
- [15] S.W. Herb et al. (1977) "*Observation of a Dimuon Resonance at 9.5 GeV in 400-GeV Proton-Nucleus Collisions*", Phys. Rev/ Lett 39 pp. 252-255
- [16] Leon M. Lederman (October 1978) "*The Upsilon Particle*", Scientific American, vol 239, no. 4, pp. 72-80
- [17] F. Abe et al., the CDF Collaboration (1994) "*Evidence for top quark production in proton-antiproton collisions at $\sqrt{s}=1.8$ TeV*", Phys, rev. Lett. 73 pp. 225-231
- [18] F. Abe et al., the CDF Collaboration (1995) "*Observation of top quark production in proton-antiproton collisions*", Phys, Rev. Lett. 74 pp. 2626-2631
- [19] ATLAS Collaboration (1999) "*ATLAS: Detector and physics performance technical design report, Vol. I*" CERN-LHCC-99-014, ATLAS-TDR-14, <http://atlas.web.cern.ch/Atlas/GROUPS/PHYSICS/TDR/access.html>
- [20] <http://www.lhc-facts.ch/index.php?page=atlas>
- [21] The ATLAS Collaboration (1997) "*ATLAS Inner Detector Technical Design Report vol.1*" CERN/LHCC/97-1

- [22] The ATLAS Calorimeter Community (1996) “*ATLAS Liquid Argon Calorimeter Technical Design Report*” ATLAS TDR-2 CERN/LHCC/96-41,
- [23] The ATLAS Calorimeter Community (1996) “*ATLAS Tile Calorimeter Technical Design Report*” ATLAS TDR-2 CERN/LHCC/96-42,
- [24] P. Pralavorio (2002) "*The ATLAS Liquid Argon electromagnetic calorimeter*", AIP Conf. Proc. 549 pp. 872-874
- [25] The ATLAS Muon Collaboration (1997) “*ATLAS Muon Spectrometer Technical Design Report*” , ATLAS TDR-10 CERN/LHCC/97-22
- [26] ATLAS Collaboration (2003) “*The ATLAS high-level trigger, data acquisition and controls: Technical design report,*” LHCC 2003-022, CERN
- [27] ATLAS Collaboration (1998) “*The ATLAS Level-1 Trigger: Technical Design Report*” LHCC 1998-14, ATLAS-TDR-12, CERN
- [28] <https://twiki.cern.ch/twiki/bin/view/AtlasPublic/EventDisplayStandAlone>
- [29] A. Annovi et al. (2011) “*FTK: a hardware track finder for the ATLAS trigger Technical Proposal*”
- [30] CDF Collaboration, Bill Ashmanskas et al. (Jun 2003), “*The CDF silicon vertex trigger*”, Published in Nucl.Instrum.Meth. A518 (2004) 532-536 FERMILAB-CONF-03-168-E

- [31] W. Ashmanskas et al. (2003), “*Initial experience with the CDF SVT trigger*”, Published in Nucl.Instrum.Meth. A501 (2003) 201-206
- [32] A.Andreani et al. (2010) “*The FastTracker Real Time Processor and Its Impact on Muon Isolation, Tau and b-Jet Online Selections at ATLAS*” Conference Record 2010 17th IEEE-NPSS Real Time Conference, s.l, IEEE
- [33] M.Dell’Orso, L.Ristori (1990) “*A HIGHLY PARALLEL ALGORITHM FOR TRACK FINDING*” Nuclear Instruments and Methods A287, 436
<http://www.sciencedirect.com/science/article/pii/016890029091559T>
- [34] M.Dell’Orso, L.Ristori (1989) “*VLSI STRUCTURES FOR TRACK FINDING*” Nuclear Instruments and Methods A278,436
<http://www.sciencedirect.com/science/article/pii/0168900289908620>
- [35] http://cdf-italia.ts.infn.it/public/outreach/cdf_idee.html
- [36] J. Anderson et al.(2012) “*FTK: A fast track trigger for ATLAS*”, Published in JINST 7 (2012) C10002
- [37] H.C. van der Bij et al. "*S-LINK: A Prototype of the ATLAS Read-out Link*" Fourth Workshop on Electronics for LHC Experiments, Rome, 21-25 September 1998. <http://hsi.web.cern.ch/HSI/s-link/introduc/introduc.htm>

- [38] J. Adelman, A. Annoviet al. (2006) “*The Silicon Vertex Trigger upgrade at CDF*” Pisa meeting on Advanced Detectors , May 21 - 27, Isola d’Elba, Italy
- [39] F. Morsani et al. (1992) “*The AMchip: a Full-custom MOS VLSI Associative memory for Pattern Recognition*”, IEEE Trans. on Nucl. Sci., vol. 39, pp. 795-797.
- [40] P. Giannetti et al. (1998) “*A Programmable Associative Memory for Track Finding*”, Nucl. Intsr. and Meth., vol. A413/2-3, pp. 367-373
- [41] L. Sartori, A. Annovi et al. (Aug. 2006) “*A VLSI Processor for Fast Track Finding Based on Content Addressable Memories*”, IEEE Transactions on Nuclear Science, Volume 53, Issue 4, Part 2 Page(s):2428 - 2433
- [42] “User’s Manual, Series 6000 VME, -64x, -64xC, -64xP, VXI”, W-Ie-Ne-R, November 2006