

Università degli Studi di Pisa

---

FACOLTÀ DI INGEGNERIA

CORSO DI LAUREA SPECIALISTICA IN INGEGNERIA ELETTRONICA

The seal of the University of Pisa is a large, circular emblem in the background. It features a central figure, likely a child or a saint, surrounded by a wreath. The Latin text "IN SUPREMAE DISCIPLINAE" is visible at the top, and "1343" is at the bottom. The seal is rendered in a light blue color.

PROGETTO DI UN CONVERTITORE CMOS  
CAPACITÀ-DURATA  
OTTIMIZZATO  
IN TERMINI DI RUMORE E CONSUMO.

CANDIDATO:  
FEDERICO BUTTI

RELATORI:  
PROF. PAOLO BRUSCHI  
ING. MICHELE DEI

# Indice

<b>Introduzione</b>	<b>iii</b>
<b>1 Sensori capacitivi integrati</b>	<b>1</b>
1.1 Generalità . . . . .	1
1.2 Accelerometri . . . . .	3
1.3 Sensori di pressione . . . . .	11
1.4 Sensori di umidità . . . . .	16
<b>2 Interfacce per sensori capacitivi</b>	<b>19</b>
2.1 Generalità . . . . .	19
2.2 Divisore di tensione capacitivo . . . . .	20
2.3 Interfaccia Switched Capacitor . . . . .	27
2.4 Convertitore capacità-frequenza . . . . .	43
<b>3 Il convertitore Capacità-Durata</b>	<b>48</b>
3.1 Descrizione del sistema . . . . .	49
3.2 Implementazione circuitale a singolo clock . . . . .	53
3.3 Considerazioni riassuntive . . . . .	76
<b>4 Analisi di rumore</b>	<b>80</b>
4.1 Architettura a doppio clock . . . . .	81
4.2 Il processo di formazione dell'impulso di uscita. . . . .	84
4.3 I contributi di rumore . . . . .	93
4.4 Miglioramento della risoluzione . . . . .	113
<b>5 Implementazione del convertitore capacità-durata a doppio clock.</b>	<b>115</b>
5.1 Implementazione circuitale . . . . .	115

## CAPITOLO INDICE

---

5.2 Architettura e implementazione di una soluzione a doppia dinamica. . . . .	127
<b>Conclusioni</b>	<b>138</b>
<b>Bibliografia</b>	<b>141</b>
<b>Ringraziamenti</b>	<b>142</b>

# Introduzione

I circuiti integrati giocano un ruolo sempre più importante nella raccolta e nel processing di informazioni. Molto spesso, il sensore vero e proprio non è una parte del circuito integrato, ma è fabbricato in una diversa tecnologia, con materiali diversi, cosa che non permette di sfruttare appieno la riduzione dei costi e l'aumento di prestazioni garantiti dalla microelettronica.

Il grande sviluppo della tecnologia di micromachining del silicio nell'ultimo decennio ha reso possibile la realizzazione di diverse classi di sensori MEMS, integrati insieme all'elettronica di condizionamento e di controllo. La classe dei sensori capacitivi è una delle più popolari, per effetto dell'intrinseco basso consumo di potenza e della bassa dipendenza dalla temperatura. Ad esempio, il sensing capacitivo è il metodo largamente più diffuso per la lettura dello spostamento della *proof mass*, o rotore, negli accelerometri integrati, e costituisce un'importante e crescente fetta di mercato dei sensori di pressione, andando progressivamente a sostituirsi al sensing resistivo (piezoresistori).

Le piccole variazioni di capacità presentate dai sensori capacitivi devono essere opportunamente lette ed amplificate, e le interfacce di lettura devono essere realizzate con molta cura, per sfruttare appieno i vantaggi da essi offerti. Per questo, è necessario ricorrere all'integrazione dell'elettronica nello stesso chip, o al limite nello stesso package.

Nonostante il principio su cui si basano i differenti sistemi di lettura sia quasi sempre lo stesso, ovvero la relazione  $C(x)V = Q$ , diverse soluzioni sono disponibili in letteratura e sul mercato per queste interfacce. La maggior parte di esse offre un'uscita analogica, utile per lo svolgimento di semplici funzioni o per l'integrazione in sistemi analogici più complessi. Tuttavia un'uscita digitale è da preferirsi quando si deve inviare il segnale su canali mediamente rumorosi o non lineari, o in presenza di disturbi elettromagnetici. L'output digitale è comunque ottenuto solitamente con una conversione più o meno esplicita di

un segnale analogico, e questo complica sicuramente il sistema, aumentando i consumi di potenza ed area.

Le interfacce più diffuse sia sul mercato che in letteratura si basano su architetture switched capacitor, su convertitori capacità-tensione, come divisori capacitivi di tensione o impedenzimetri, e su convertitori capacità-frequenza. La scelta dell'interfaccia da utilizzare di volta in volta dipende ovviamente dalle caratteristiche di accuratezza, risoluzione e stabilità richieste.

Il presente lavoro di tesi tratta della progettazione di un'interfaccia per sensori capacitivi integrati che opera una conversione da capacità a PWM (*Pulse Width Modulation*), variando il duty cycle dell'onda quadra in uscita proporzionalmente alla differenza di capacità misurata. Tale interfaccia unisce i vantaggi di un'interfaccia digitale, come la robustezza nei confronti del rumore, alla semplicità di un'interfaccia puramente analogica. Un segnale PWM può essere letto con facilità da un microcontrollore di fascia medio-bassa con una frequenza di clock sufficientemente alta, usando un solo ingresso digitale. Se necessario è possibile convertire il segnale PWM in un segnale analogico estraendo semplicemente il suo valor medio, pari proprio al duty cycle, con un filtro passa basso. Nonostante questi indubbi vantaggi, pochi esempi sono documentati in letteratura, o presenti sul mercato.

Nel capitolo 1 saranno presentate alcune tipologie di sensori capacitivi integrati, come accelerometri e sensori di pressione integrati, mentre nel capitolo 2 saranno presentate le interfacce più diffuse per la loro lettura, ed alcuni esempi presenti in letteratura. Nel capitolo 3 sarà presentata la versione precedente di tale interfaccia, e un'analisi dettagliata delle non-idealità e in particolare del rumore, funzionale alla progettazione di una versione migliorata, sarà presentata nel capitolo 4. In particolare saranno presentate delle formule compatte che forniranno indicazioni sul livello di rumore che ci si può attendere in uscita, a seconda della configurazione di alcuni parametri a disposizione del progettista. Oltre a ciò, l'analisi delle non-idealità è servita a mettere a confronto il convertitore capacità-PWM con le architetture Switched Capacitor, per valutare in modo comparativo le prestazioni raggiungibili in termini di consumo, banda disponibile, dynamic range, livello di rumore. Grazie ai risultati ottenuti, è stato possibile quindi mettere a punto una nuova versione del sistema di misura, basata su un'architettura a doppio clock, pensata per ridurre il livello di rumore mantenendo costante il segnale, e in grado di rilevare variazioni di capacità in entrambi i sensi, grazie a una rete digitale di controllo. Il consumo di potenza è

stato fortemente ridotto, grazie alla diminuzione delle correnti in gioco e a un attento dimensionamento dei componenti. Nel capitolo 5 sarà presentata tale interfaccia e in esso saranno anche riportati i risultati delle simulazioni svolte con ELDO di Mentor Graphix in ambiente CADENCE con le quali il sistema è stato caratterizzato. Il processo con cui sono stati progettati tutti i circuiti descritti è il BCD6s di STMicroelectronics, del quale è stato usato il subset CMOS a  $0.32\ \mu\text{m}$  di canale e 3.3 V di alimentazione.

# Capitolo 1

## Sensori capacitivi integrati

### 1.1 Generalità

Negli ultimi 20 anni le tecniche di micromachining del silicio hanno conosciuto un notevole sviluppo. Attualmente, si riescono a fabbricare microstrutture mobili in silicio e altri materiali di dimensioni micrometriche. La possibilità di produrre microsistemi ha reso così possibile la messa a punto di attuatori e sensori di piccole dimensioni, efficienti e disponibili per produzioni batch ad alta resa, con conseguente abbattimento dei costi.

I processi di microlavorazione includono molte tecnologie utilizzate anche per i circuiti microelettronici, oltre a quelle dedicate, e ciò ha reso possibile sfruttare il bagaglio di esperienze ormai acquisite in questo campo.

Le tecniche di micromachining sono classificabili in due gruppi: Bulk e Surface Micromachining. Il Bulk Micromachining include quei passi di processo che interessano una grande area del wafer, e attaccano il silicio in profondità, con trench e scavi. Di questo gruppo fanno parte attacchi sia anisotropi dry, quali RIE (*Reactive Ion Etching*) e DRIE (*Deep Reactive Ion Etching*), che consentono di ottenere trench perfettamente verticali, o wet, quali etching in TMAH (*tetrametyl ammonium hydroxyde*) o KOH (idrossido di potassio), che attaccano il silicio lungo piani preferenziali e consentono scavi di forma particolare, che attacchi isotropi, che non hanno direzioni di attacco predefinite.

Le tecniche di Surface Micromachining invece interessano solo limitate aree e porzioni di wafer, e fanno uso piuttosto della deposizione e rimozione selettiva di strati sacrificali, per la realizzazione di strutture sospese.

La possibilità di fabbricare microstrutture ha quindi reso possibile lo sviluppo di diverse classi di sensori integrati. In particolare, i sensori capacitivi hanno conosciuto un rapido sviluppo, costituendo una valida alternativa al sensing resistivo in diversi campi. In effetti, i vantaggi presentati da tali sensori sono indubbi: non hanno consumo di potenza statico, essendo la loro impedenza infinita in continua, e la loro dipendenza dalla temperatura è praticamente nulla. Di contro, risentono molto di più delle capacità parassite. Alla soluzione di questo problema contribuisce in prima istanza la possibilità di realizzare SoC (*System on Chip*), cioè sistemi che integrano su stesso chip sensore ed interfaccia elettronica di condizionamento e lettura. In questo modo si riducono drasticamente le capacità parassite dovute alle interconnessioni, che, in sistemi non integrati, dipendono anche dalla posizione relativa dei due oggetti (sensore e circuito), oltre a rendere più economica e veloce la produzione. Se l'integrazione del sensore con i circuiti non è praticabile, si può comunque ricorrere ad una soluzione di tipo *System-in-Package*, ovvero includere nello stesso package sensore ed elettronica, rinunciando in parte alla compattezza ed affidabilità.

I sensori capacitivi integrati possono rilevare un gran numero di quantità fisiche: se direttamente sono in grado di leggere spostamenti delle armature, campo elettrico e composizione chimica (attraverso la costante dielettrica), indirettamente possono rilevare quantità fisiche che possono essere facilmente convertite nelle prime. Il range di applicabilità risulta quindi molto vasto, e va dalla misura dell'accelerazione (accelerometri e giroscopi), alla misura di pressione, flusso (facilmente convertibile in pressione sulle armature) e umidità (influenza la costante dielettrica).

La capacità, definita come rapporto tra carica immagazzinata sulle armature e differenza di potenziale tra esse, è funzione dell'area delle armature, della distanza tra di esse e della permittività del dielettrico che le separa:

$$C = f(A, d, \epsilon) \quad (1.1)$$

Qualora la quantità fisica da misurare vari uno dei suddetti parametri, la capacità subirà anch'essa una variazione, e sarà poi compito dell'interfaccia andare a convertirla in un segnale elettrico, solitamente una tensione.

Inoltre, è facile realizzare sensori differenziali, o utilizzare dummy sensors, che permettono di risolvere molti problemi, linearizzando la dipendenza della capacità dalla grandezza fisica, riducendo la dipendenza da processi di fabbricazione e temperatura, ed eliminando la dipendenza dalla capacità di offset (capacità

del sensore a riposo).

Nel seguito verranno presentati i sensori capacitivi integrati più diffusi, spiegandone i principi di funzionamento, le tecniche di integrazione e portando alcuni esempi presenti in letteratura e sul mercato. In particolare, saranno analizzati accelerometri, sensori di pressione capacitivi assoluti e sensori di umidità.

## 1.2 Accelerometri

Gli accelerometri costituiscono ad oggi la fetta di mercato più importante per i sensori capacitivi integrati. Le loro applicazioni sono molteplici e vanno dall'automotive alla misura di vibrazioni in macchinari industriali, all'assistenza per la navigazione, ai videogiochi. Nonostante i primi sensori di questo tipo siano stati piezoresistivi, attualmente il sensing capacitivo è il più utilizzato. Solitamente, essi vengono realizzati con tecniche di surface micromachining<sup>1</sup>.

### Accelerometri open-loop

Tali sensori si basano sulla lettura dello spostamento di una massa di prova (proof mass, o rotore), in risposta all'applicazione ad essa della forza d'inerzia:

$$F_{ext} = ma \quad (1.2)$$

La massa di prova è sospesa, ancorata ad un supporto rigido da una molla, ed è soggetta all'attrito dell'atmosfera o del gas che l'avvolge, che causa uno smorzamento del suo movimento. Il sistema massa-molla-smorzatore così ottenuto si può schematizzare con un equivalente elettrico, secondo le sostituzioni corrente-forza e tensione-velocità. La molla risulta così rappresentata da una capacità, la massa da un'induttanza e lo smorzatore da una resistenza (figura 1.1), secondo le equivalenze nel dominio energetico. Il generatore  $F$  tiene conto sia della forza esterna  $F_{ext}$  sia della forza equivalente dovuta al rumore Browniano ( $F_n$ ). Si ottiene per la posizione:

$$\frac{X(s)}{F(s)} = \frac{1}{ms^2 + bs + k} \quad (1.3)$$

---

<sup>1</sup>Tecniche di microlavorazione che includono crescita di strati sacrificali e sottoattacchi. Solo limitate porzioni di wafer sono interessate dagli attacchi.

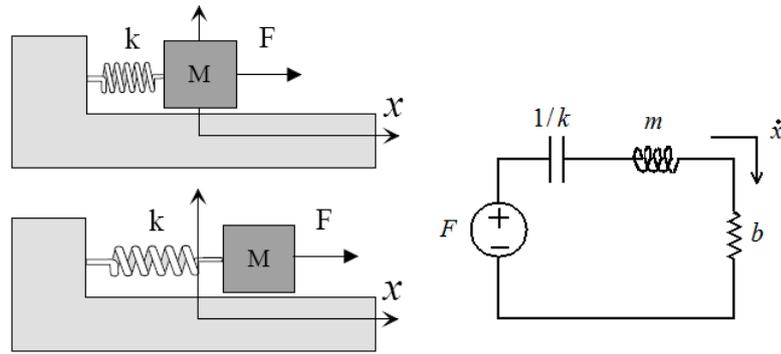


Figura 1.1: Sistema massa-molla-smorzatore e suo equivalente elettrico.

dove  $k$  è la costante elastica della molla e  $b$  è il coefficiente di smorzamento. Per la frequenza di risonanza  $\omega_r$  e il coefficiente di qualità  $Q$  si ha:

$$\omega_r = \sqrt{\frac{k}{m}} \quad (1.4)$$

$$Q = \frac{m\omega_r}{b} \quad (1.5)$$

Per frequenze ben al di sotto della risonanza si può usare l'approssimazione quasi-statica:

$$x \approx \frac{F_{ext} + F_n}{k} \quad (1.6)$$

Si prenda in considerazione il segnale di accelerazione. Per la 1.2, si ha:

$$x = \frac{ma}{k} = \frac{a}{\omega_r^2} \quad (1.7)$$

che esprime una proporzionalità tra posizione ed accelerazione, ed implica un trade-off tra sensibilità e larghezza di banda del sensore: basse frequenze di risonanza risultano in ampi spostamenti ma in piccola banda. Tale trade-off si supera con gli accelerometri closed-loop, come si vedrà più avanti. Nel caso in questione, infatti, la massa è libera di muoversi e non è presente alcuna reazione: si può parlare di accelerometri open-loop.

Nei microsistemi, inoltre, la scelta di  $\omega_r$  è anche influenzata da altre considerazioni. Una bassa frequenza di risonanza implica infatti una piccola  $k$  e una massa  $m$  elevata, mentre quest'ultima è limitata dalle piccole dimensioni e dalla natura laminare delle microstrutture superficiali. In effetti, i film utilizzati nei processi hanno spessore fissato, e un aumento di  $m$  si ottiene a spese dell'area, la cui massima dimensione è limitata dallo stress residuo, i cui effetti aumentano con essa.

La molla è generalmente realizzata con strutture elastiche ripiegate, che consentono di ottenere basse  $k$  in un'area limitata, facendo però attenzione all'innescio di modi risonanti torsionali.

Tipicamente, gli accelerometri in polisilicio presentano una  $\omega_r$  nell'ordine del KHz e una massa tra gli 0.1 e gli 1 microgrammi.

Si consideri adesso il termine di rumore. Ogni fenomeno dissipativo è affetto da rumore termico, e se esso è modellabile con un equivalente resistivo, la sua densità spettrale di rumore è proprio  $4K_B T R$ . Allo smorzamento viscoso che l'accelerometro sperimenta è quindi associata una sorgente di rumore, dovuta al *Brownian motion noise* [1], dipendente dalle fluttuazioni nella pressione del gas dovute all'agitazione termica. Nel caso in questione, si ha che la DSP di  $F_n$  è pari a  $4K_B T b$ . E' pratica comune fare riferimento ad un'accelerazione equivalente. Si ottiene per essa:

$$a_{n,rms} = \sqrt{\frac{4K_B T \omega_r}{mQ}} \quad (1.8)$$

Per un tipico sensore microfabbricato con massa di  $1 \mu g$ ,  $\omega_r = 2\pi 10 KHz$  e  $Q = 0.5$ , si ottiene un rumore di circa  $145 \mu g / \sqrt{Hz}$  per temperatura ambiente [2]. Per molte applicazioni commerciali il livello di rumore è accettabile, ma dove sia richiesta una maggiore precisione si può aumentare la massa, anche utilizzando altri materiali più densi, come il tungsteno, o operare a bassa pressione per diminuire  $b$  ed aumentare  $Q$  di conseguenza.

La realizzazione degli accelerometri integrati richiede un processo di micromachining compatibile CMOS. Per questo, polisilicio e alluminio sono solitamente i materiali utilizzati per la proof mass e gli altri elementi strutturali, essendo già presenti nei normali processi CMOS. Il primo è più usato ove si necessiti di elevate prestazioni, per la sua resistenza allo sforzo, mentre il secondo è di più facile integrazione, per le basse temperature di processing richieste. Il polisilicio, richiedendo infatti deposizioni a  $600 \text{ }^\circ\text{C}$  e annealing a  $950 \text{ }^\circ\text{C}$ , può essere deposto solo prima della realizzazione delle interconnessioni. Inoltre gli strati di polisilicio necessari alla realizzazione delle masse sospese sono generalmente piuttosto spessi. Il processo THELMA, di STMicroelectronics, prevede infatti uno strato di poly cresciuto epitassialmente di circa  $15 \mu m$ . Per crescere uno strato di tali dimensioni è necessario mantenere un'alta temperatura per un periodo piuttosto lungo, cosa incompatibile con l'elettronica.

## Misura della posizione

Gli accelerometri traducono l'accelerazione in uno spostamento corrispondente, che può essere misurato in diversi modi. Storicamente, il primo approccio è stato quello dei piezoresistori, per la semplicità di utilizzo e di interfacciamento all'elettronica, realizzati ad esempio con impiantazione ionica in cantilever di polisilicio. Tuttavia, il consumo nullo statico di potenza, la stabilità in temperatura e l'elevata accuratezza raggiungibile hanno spinto nella direzione delle interfacce capacitivie. Esse costituiscono inoltre il metodo più versatile di misurare la posizione.

In particolare, si fa uso di un sensing differenziale. In figura 1.2, il nodo a comune tra le capacità rappresenta la massa di prova. Il movimento di essa comporta l'incremento di una capacità e la diminuzione dell'altra.

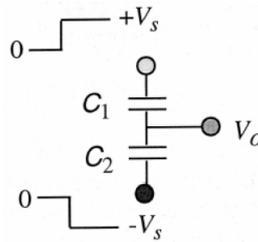


Figura 1.2: Sensing differenziale.

Definendo  $\delta x$  come la variazione dello spessore del dielettrico dovuta allo spostamento delle armature, si ha:

$$C_1 = C \frac{x_0}{x_0 + \delta x} \quad (1.9)$$

$$C_2 = C \frac{x_0}{x_0 - \delta x} \quad (1.10)$$

dove  $x_0$  e  $C$  sono rispettivamente spessore e capacità a riposo. Per piccoli spostamenti si ottiene facilmente:

$$\Delta C = C_1 - C_2 \cong -C \frac{2}{x_0} \delta x \quad (1.11)$$

dalla quale si nota la proporzionalità della differenza a  $C$ . Si ottiene infine:

$$V_0 = -V_s + \frac{C_1}{C_1 + C_2} 2V_s \quad (1.12)$$

ed essendo  $C_1 + C_2 = 2C$  si ha in definitiva:

$$V_0 \approx -\frac{\delta x}{x_0} V_s \quad (1.13)$$

dalla quale si nota come l'uscita sia linearmente dipendente dallo spostamento. La risposta del sensore risulta quindi linearizzata attorno al punto di equilibrio, nel quale essa risulta nulla. Sono inoltre provviste informazioni di segno e ridotti al primo ordine molti effetti che agiscono a modo comune. In figura 1.3 è riportato il principio di sensing sfruttato in molti tipi di accelerometro. Sono utilizzate strutture a comb-drive, nelle quali il singolo comb finger costituisce le armature centrali delle capacità; essi sono poi connessi in parallelo per aumentare la sensibilità del sensore. La figura 1.4 rappresenta la massa di prova

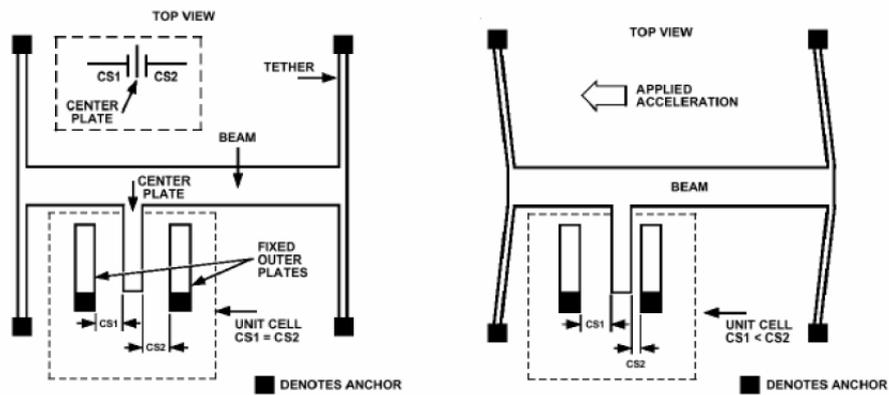
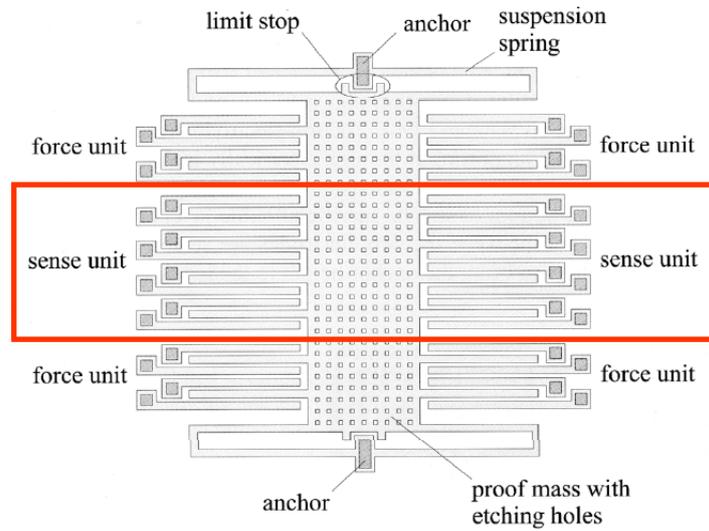


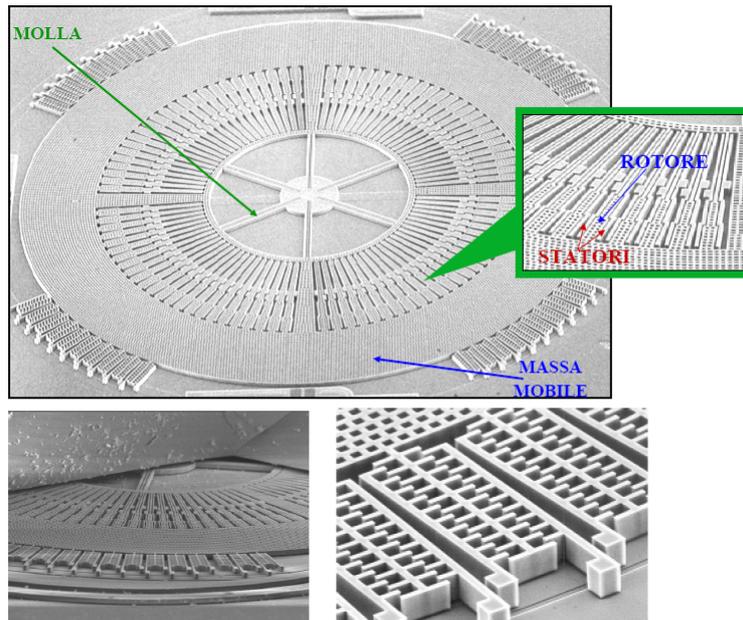
Figura 1.3: Elemento di sensing utilizzato negli accelerometri.

utilizzata negli accelerometri. Si possono notare gli elettrodi necessari per l'applicazione della forza di reazione in caso di Force-Feedback Loop, descritti più avanti. In figura 1.5 è riportato invece un particolare di un elemento di sensing di STMicroelectronics, dove si notano le strutture capacitive interdigitate. Valori tipici per le capacità così ottenute variano dalle decine o centinaia di fF fino al pF, ma per la misura della posizione non è tanto il valore assoluto che conta, quanto la variazione  $dC/dx$ , che può essere molto ridotta, fino a frazioni di fF. Inoltre, per strutture a comb finger non è possibile calcolare esattamente la capacità ottenuta, se non con metodi numerici, a causa dei forti effetti di bordo, che rimangono invariati a fronte di piccoli spostamenti.

In strutture di questo tipo, risulta evidente come le capacità parassite costituiscano un serio problema. Esse devono essere minimizzate per evitare attenuazioni indesiderate del segnale. In particolare, la capacità parassita presente tra proof mass e substrato, che non è trascurabile, può causare anche dei problemi di attuazione indesiderata, poichè tra le armature di un condensatore si ha comun-



**Figura 1.4:** Tipico layout di una proof-mass utilizzabile per la realizzazione di accelerometri. La figura è tratta da [3].



**Figura 1.5:** Visione panoramica e particolari di una struttura mobile MEMS per il sensing di vibrazioni prodotto da STMicroelectronics.

che una forza elettrostatica attrattiva pari a  $CV_c^2/2x_0$ , che può causare problemi di natura meccanica oltre che elettrica. In diversi progetti si fa quindi uso di piani conduttori posti tra il substrato e la proof mass (denominati *driven shield*),

mantenuti al potenziale di quest'ultima, in modo che la capacità parassita tra schermo e massa venga cortocircuitata.

## Accelerometri con Force-Feedback Loop

Il comportamento del sensore è migliorabile facendo uso di una reazione negativa, che comporta una serie di benefici: preciso controllo della sensibilità, reiezione dei disturbi e aumento della dinamica di ingresso. Quest'ultima specifica è molto sentita: infatti per le piccole dimensioni del rotore o nel caso di sistemi molto sottosmorzati per mantenere basso il rumore Browniano, il rischio è che la massa colpisca lo statore o che si raggiunga il limite di cedimento delle strutture.

In figura 1.6 è riportato lo schema a blocchi di un sensore reazionato. Il trasdut-

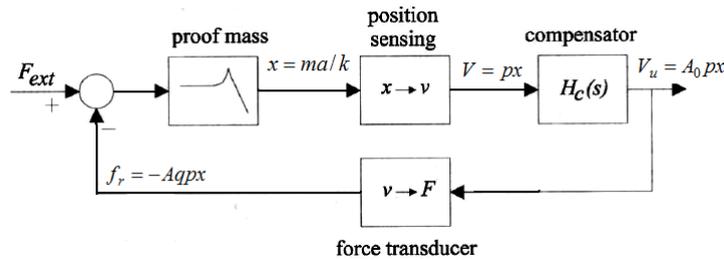


Figura 1.6: Schema a blocchi di un accelerometro closed-loop

tore è generalmente di natura elettrostatica, e spesso vengono usate le stesse strutture usate per il sensing (figura 1.4). Nello schema, parte del segnale di uscita  $V_u$  viene prelevato, sfasato di  $\pi$ , rivelato ed applicato alla massa di prova, che sperimenta quindi una forza pari a  $ma - f_r$ . La forma della forza di retroazione la rende assimilabile ad una forza di richiamo elastica di una molla con costante elastica  $K_r = A_0 pq$ , che si oppone al movimento della massa. Quindi:

$$X(s) = \frac{ma - f_r}{ms^2 + bs + k} \quad (1.14)$$

da cui:

$$X(s) = \frac{ma}{ms^2 + bs + (k + k_r)} = \frac{ma}{ms^2 + bs + (1 + \gamma)k} \quad (1.15)$$

dove:

$$\gamma = \frac{k_r}{k} = \frac{A_0 pq}{k} \quad (1.16)$$

La molla risulta quindi irrigidita dalla reazione. Si ha quindi:

$$x = \frac{ma}{(1 + \gamma)k} \quad (1.17)$$

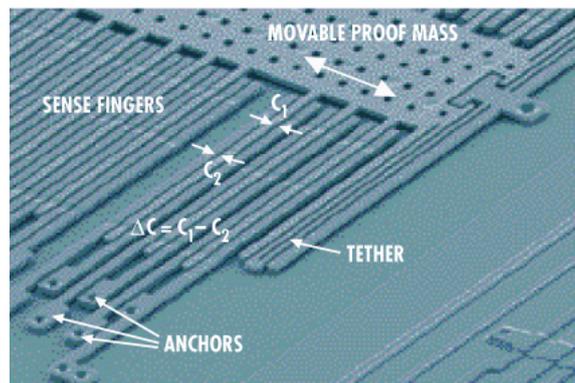
Se  $\gamma$  è sufficientemente grande, si riduce a piacimento lo spostamento della massa mobile, fino a mantenerla virtualmente ferma. Per l'uscita si ottiene invece dopo semplici passaggi algebrici:

$$V_u = \frac{k_r ma}{(1 + \gamma)Kq} = \frac{\gamma ma}{(1 + \gamma)q} \frac{ma}{q} \approx \frac{ma}{q} \quad (1.18)$$

che è proporzionale all'accelerazione. Risulta quindi chiaro come per gli accelerometri ad anello chiuso le variazioni del processo siano molto meno influenti sul risultato finale, la dinamica di ingresso sia aumentata, siano evitati gli stress meccanici e sia minimizzata la sensibilità ai disturbi.

Per ottenere una forza di reazione lineare con la tensione, si usano attuatori simmetrici, ai quali si applica  $V_0 + \Delta V$  e  $V_0 - \Delta V$ , in maniera da linearizzare la forza applicata.

Esempi commerciali sono l'accelerometro ADXL50. Tali accelerometri integrano elettronica e MEMS sullo stesso chip.



**Figura 1.7:** Particolare della proof mass dell'ADXL50. Oltre ai comb finger, si notano anche le molle ripiegate.

Altri accelerometri commerciali sono prodotti da STMicroelectronics, che fa uso di *System-in-Package*, data l'incompatibilità del processo THELMA coi processi CMOS.

Una soluzione ancora migliore consiste nell'utilizzare una modulazione ad impulsi per il segnale di reazione, utilizzando una forza quantizzata su due soli livelli [4], realizzando una modulazione  $\Sigma - \Delta$ .

L'uso di accelerometri dimensionati ottimamente, assieme a interfacce elettroniche ben progettate, garantisce prestazioni molto elevate, con risoluzioni inferiori ai  $5 \mu g$  su una banda di decine di Hertz.

### 1.3 Sensori di pressione

I sensori di pressione costituiscono un'altra importante fetta di mercato per i sensori integrati. Fino a qualche anno fa i sensori piezoresistivi erano i più diffusi in questo campo, ma ultimamente anche le interfacce capacitivie si stanno imponendo sul mercato. Le applicazioni sono molteplici: si va dal monitoraggio di processo in campo industriale alle applicazioni biomediche. E' quindi crescente la richiesta di sensori accurati ma a basso costo, e la possibilità di integrazione di essi assieme all'elettronica di condizionamento soddisfa entrambi questi requisiti.

I sensori di pressione capacitivi integrati sono costituiti da una membrana ottenuta con tecniche di microlavorazione, accoppiata capacitivamente con un elettrodo posto sul substrato, che separa due cavità, una alla pressione di riferimento, possibilmente il vuoto, e l'altra collegata all'ambiente da monitorare. In risposta all'applicazione di una pressione, tale membrana si deforma, variando la distanza tra gli elettrodi e di conseguenza la capacità tra essi.

E' possibile anche realizzare sensori differenziali, facendo uso di dummy sensor di riferimento, costituiti da membrane perforate che non subiscono deformazione, ed eventualmente passivate per limitare gli effetti dell'umidità, che può variare la costante dielettrica del condensatore. Si riesce in tal modo a ridurre l'effetto delle capacità parassite eventualmente presenti, poichè costituiscono una componente a comune, oltre che a reiettare eventuali disturbi a modo comune o dipendenze dalla temperatura, che agiranno nella stessa direzione su entrambe le capacità. Si elimina inoltre la dipendenza del risultato dalla capacità di offset (capacità a riposo del sensore) che solitamente è molto più grande dell'informazione utile.

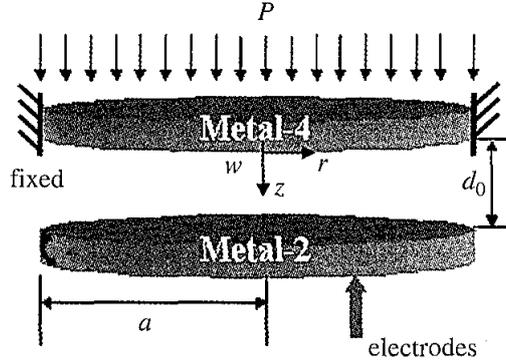
#### Principio di funzionamento

Si consideri una membrana circolare, ancorata ai bordi, di raggio  $a$ , sulla quale agisce un carico distribuito  $P$  (figura 1.8). Il teorema della membrana suggerisce che [5]:

$$D \cdot \nabla^2 (\nabla^2 w(r)) = P \quad (1.19)$$

dove  $w(r)$  rappresenta lo spostamento verticale, per  $r$  compreso tra 0 ed  $a$ , dove:

$$\nabla^2 w(r) = \frac{1}{r} \frac{d}{dr} \left( r \frac{dw(r)}{dr} \right) \quad (1.20)$$



**Figura 1.8:** Schematizzazione di un sensore di pressione con una membrana circolare. La figura è tratta da [5].

in un sistema di riferimento polare.  $D$  è il modulo del piatto e vale:

$$D = \frac{Eh^3}{12(1-\nu^2)} \quad (1.21)$$

dove  $E$  è il modulo di Young della membrana,  $\nu$  il modulo di Poisson,  $h$  il suo spessore. Risolvendo l'equazione 1.19 si ottiene:

$$w(r) = \frac{P}{64D} (r^2 - a^2)^2 \quad (1.22)$$

Lavorando per piccole deformazioni, si può supporre di essere ancora in presenza di un condensatore a facce piane e parallele, la cui capacità può essere così espressa:

$$C = \int_0^a \int_0^{2\pi} \epsilon \frac{r dr d\theta}{d_0 - w(r)} \quad (1.23)$$

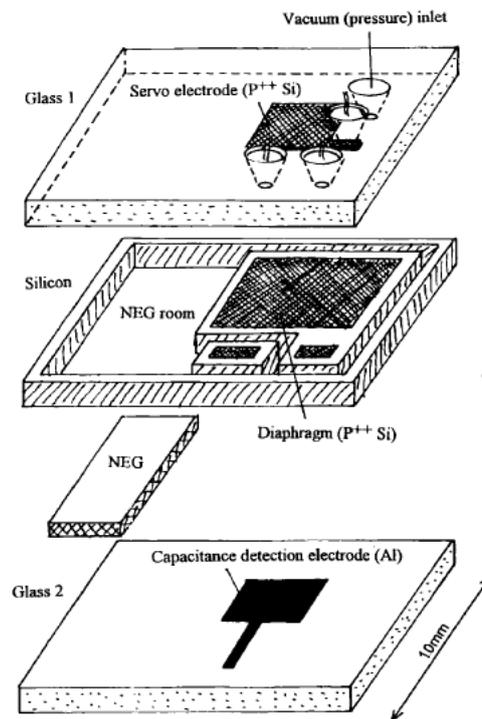
dove  $\epsilon$  rappresenta ovviamente la costante dielettrica e  $d_0$  il gap tra le armature a riposo. Assumendo  $E=170$  GPa (Silicio), e a titolo di esempio  $h = 3.12\mu m$ ,  $\nu = 0.22$  e  $a = 60\mu m$  e operando le opportune sostituzioni si ottiene [5]:

$$C = 4\pi\epsilon \sqrt{\frac{D}{d_0 P}} \ln \left( \frac{\sqrt{d_0} + a^2 \sqrt{\frac{P}{64D}}}{\sqrt{d_0} - a^2 \sqrt{\frac{P}{64D}}} \right) \quad (1.24)$$

Il risultato dimostra la non linearità della capacità con la pressione. La linearizzazione di questi sensori è ottenibile utilizzando sistemi chiusi in reazione, come verrà spiegato nel prossimo paragrafo.

## Sensore di pressione capacitivo realizzato con Bulk Micromachining

Il sensore, presentato in [6], misura la pressione assoluta, sfruttando un sottile diaframma e una cavità a vuoto per la pressione di riferimento. Il diaframma è realizzato in silicio, che ha proprietà meccaniche migliori rispetto ai materiali metallici e il suo spessore è controllato tramite un etch-stop realizzato con silicio di tipo P<sup>++</sup>. La cavità a vuoto è sigillata con un bonding anodico tra silicio e vetro, e per mantenerci una pressione dell'ordine dei 10<sup>-6</sup> Torr, è stato utilizzato un Non-Evaporable Getter (NEG), realizzato in materiali metallici, in grado di adsorbire i gas già presenti e l'ossigeno sprigionato dal processo di bonding. Il sensore in questione fa inoltre parte di un sistema chiuso in reazione negativa, che mantiene fissato nella posizione iniziale l'elettrodo mobile, come accade negli accelerometri, con i vantaggi del caso. La struttura del sensore capacitivo è riportata in figura 1.9.



**Figura 1.9:** Struttura del sensore di pressione capacitivo. Questa figura e le seguenti sono tratte da [6]

Esso è costituito da due substrati in vetro e da un wafer di silicio, racchiuso tra di essi, al quale i primi aderiscono per bonding anodico. Si forma così una cavità isolata di riferimento, nella quale è posto il NEG. Il bonding avviene a vuoto, e il NEG viene attivato proprio alla temperatura del processo. Il diaframma è spesso circa  $7 \mu\text{m}$  e largo  $4.2 \text{ mm}$ . L'elettrodo in alluminio, posto sul substrato inferiore, forma una capacità variabile con la pressione applicata. L'elettrodo sul substrato superiore, denominato servo-elettrodo, ha invece lo scopo di applicare la forza elettrostatica di reazione. L'elettrodo mobile, formato dal silicio, costituisce il riferimento di massa, comune per entrambi. Si faccia riferimento alla figura 1.10.

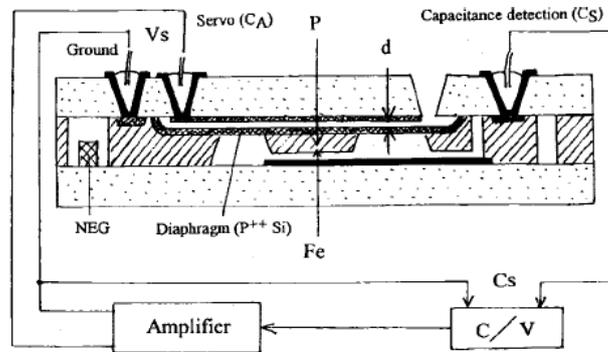


Figura 1.10: Sensore completo e principio di funzionamento della catena di reazione.

La capacità  $C_s$  aumenta all'applicazione della pressione, poichè l'elettrodo mobile si avvicina all'elettrodo inferiore. L'elettronica integrata si occupa della conversione C-V. La tensione amplificata  $V_s$  viene inviata al servo-elettrodo, e la forza  $F_e$  da esso applicata aumenta fino a bilanciare l'effetto della pressione  $P$  applicata. Il valore di  $V_s$  è quindi legato a  $P$ . La dinamica del sensore risulta molto elevata, essendo la membrana virtualmente ferma. Si ha per  $F_e$ :

$$F_e = \frac{\epsilon_0 V_s^2}{2d^2} \quad (1.25)$$

dove  $\epsilon_0$  è la costante dielettrica del vuoto e  $d$  lo spessore del gap tra servo-elettrodo e membrana. Quando si raggiunge l'equilibrio, si ha:

$$F_e = P \quad (1.26)$$

per cui, in definitiva, si ottiene:

$$V_s = \sqrt{\frac{2d^2 P}{\epsilon_0}} \quad (1.27)$$

La figura 1.11 mostra infine i passi di processo necessari alla fabbricazione del sensore. Il materiale di partenza per la struttura mobile è un wafer di silicio (100),

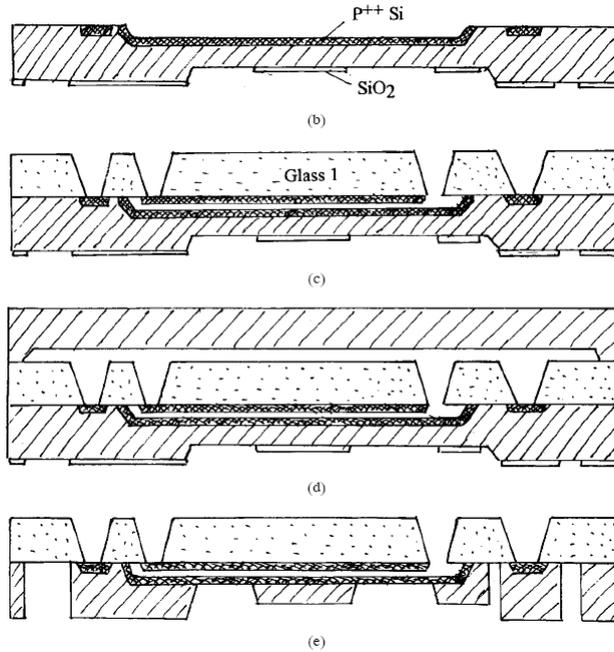


Figura 1.11: Passi di processo per la fabbricazione del sensore.

spesso  $200 \mu m$ , di tipo P+. Sulla parte superiore di esso viene scavata un trench profonda  $11 \mu m$ , con un attacco anisotropo in TMAH<sup>2</sup> e sulla parte inferiore ne viene scavata una con un altro attacco, sempre in TMAH, profonda  $4 \mu m$  (a). La profondità della prima fissa il gap della servo-capacità, quella della seconda il gap della capacità di sensing. In seguito, si effettua una forte diffusione di boro (b), il cui spessore fissa quello della membrana ( $7 \mu m$ ). Il film di boro e l'ossido cresciuto durante questo passo di processo vengono rimossi, e il wafer viene ossidato nuovamente. Sulla parte inferiore del wafer di silicio viene definita una geometria per l'ossido con un passo di litografia, in modo da ottenere una maschera protettiva per i seguenti attacchi. A questo punto, la parte superiore del wafer di silicio viene saldata mediante bonding anodico ad un wafer di vetro (c), nel quale erano stati preliminarmente scavati dei fori per l'ingresso del gas

<sup>2</sup>Tetramethyl Ammonium Hidroside

da monitorare e l'uscita dei contatti. Viene a questo punto depositato l'alluminio, necessario ai contatti, sulla parte superiore del wafer, mediante sputtering.

Se il campione fosse posto adesso in EDP<sup>3</sup> per l'ulteriore attacco anisotropo, l'agente penetrerebbe nel gap della servo-capacità attraverso i fori nel vetro. Per prevenire ciò, viene saldato un ulteriore wafer di silicio sopra al wafer di vetro (d). Il campione è quindi posto in EDP, che attacca anisotropicamente il silicio finché lo strato p++ non viene esposto. Alla fine dell'etching, il wafer protettivo viene rimosso (e). La faccia inferiore del wafer di silicio che realizza la membrana viene infine saldata con bonding anodico in vuoto ad un altro wafer in vetro, in modo da formare la cavità a vuoto. In tutto, per la fabbricazione sono state utilizzate 8 maschere.

Le misure effettuate sui campioni prodotti, disponibili in [6] evidenziano come la  $V_s$  aumenti al crescere della pressione e come la dinamica del sensore sia molto aumentata dalla reazione, rispetto al caso open-loop. Di contro, per pressioni di 25 Torr, la  $V_s$  prodotta arriva ai 100 V, ed è quindi necessario realizzare driver integrati ad alta tensione.

## 1.4 Sensori di umidità

I sensori di umidità sono dispositivi importanti in campo industriale e biomedico. La tecnologia MEMS ha recentemente permesso la realizzazione di sensori miniaturizzati, con benefici in termini di dimensioni, alte performance, produzione di massa e bassi costi. In questa sezione è presentato un sensore di umidità realizzato con tecniche di surface micromachining.

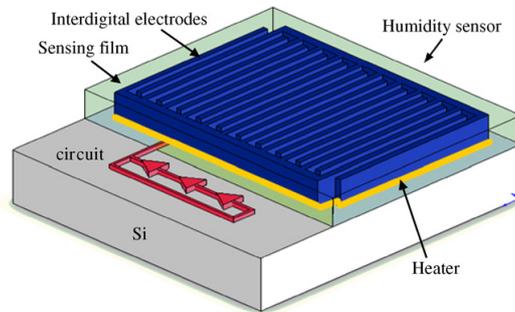
### **Sensore di umidità capacitivo realizzato con Surface Micromachining**

Il sensore, presentato in [7], è integrato con un microriscaldatore, utilizzato per garantire una temperatura di funzionamento fissata, e un ring-oscillator (descritto a pagina 44), utilizzato per la conversione capacità-frequenza. Una volta integrata l'elettronica CMOS, il sensore è realizzato con passi di post-processing compatibili col precedente processo. Viene sfruttato il Reactive Ion Etching (RIE) per attaccare gli strati sacrificali e realizzare gli elettrodi interdigitati, che vengono poi ricoperti con uno strato di poliammide, la cui costante dielettrica varia

---

<sup>3</sup>Etilen-Diammina Pirocatecolo

con l'umidità, ovvero all'adsorbimento e desorbimento di vapore acqueo. In figura 1.12 è riportata la struttura del sensore. Gli elettrodi sono realizzati con



**Figura 1.12:** Struttura schematica del sensore di umidità, inclusi riscaldatore e circuiteria. La figura è tratta da [7].

lo strato di metal disponibile nel processo CMOS utilizzato, e il sensing film è, come detto, uno strato di poliammide. Trascurando gli effetti di bordo, si ottiene:

$$C_{sense} = n\epsilon \frac{lt}{d} \quad (1.28)$$

dove  $\epsilon$  rappresenta la costante dielettrica del poliammide, dipendente dall'umidità,  $l$  (1 mm) la lunghezza degli elettrodi,  $t$  ( $6 \mu m$ ) lo spessore,  $d$  ( $4 \mu m$ ) il gap, ed  $n$  (125) il numero di essi. Il micro-riscaldatore ha una struttura a griglia ed è posizionato al di sotto degli elettrodi. E' realizzato in polisilicio, che garantisce una buona resistenza termica. La figura 1.13 mostra invece i passi di processo necessari alla realizzazione del sensore. Dopo la fine del processo CMOS (a), si hanno gli elettrodi, realizzati come uno stack di strati di metal (alluminio) e di via (tungsteno), e lo strato sacrificale di  $SiO_2$ . Viene poi depositato uno strato di photoresist (b) e viene definita una maschera protettiva per i successivi attacchi. Infatti, segue un attacco di tipo RIE ( $Cf_4/O_2$ ), che rimuove l'ossido sacrificale (c). Infine, viene depositato il sensing film (d). Le misure, disponibili in [7], dimostrano il buon funzionamento del sensore, e l'efficacia del microheater nel garantire una buona stabilità in temperatura.

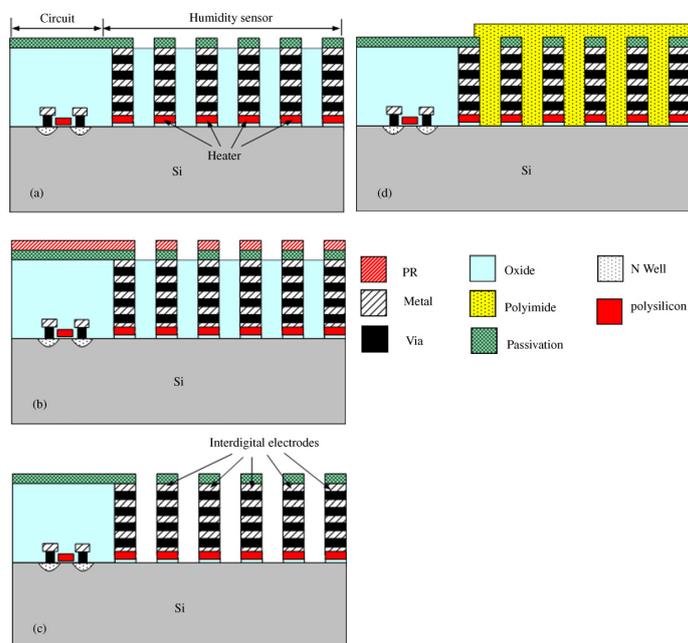


Figura 1.13: Processo utilizzato per la fabbricazione del sensore.

## Capitolo 2

# Interfacce per sensori capacitivi

### 2.1 Generalità

Gli scopi dell'interfaccia elettronica di sensing sono rivelazione ed amplificazione delle piccole variazioni di capacità del sensore, dovuti alla variazione di un suo parametro, come ad esempio la posizione delle armature per quanto riguarda i sensori capacitivi inerziali, o l'area, o la variazione della costante dielettrica in alcune specie di sensori chimici, in particolare in quelli di umidità. Le principali caratteristiche che essa deve possedere sono un alto *dynamic range*<sup>1</sup>, buona linearità e precisione, basso rumore in ingresso e offset, stabilità in temperatura e resistenza all'invecchiamento, area ridotta, ridotto effetto di capacità parassite del sensore. Inoltre ove richiesto devono implementare la compensazione e calibrazione del sensore. Naturalmente, compatibilmente con le specifiche, il basso consumo è un parametro di merito, e permette l'utilizzo di sistemi del genere in applicazioni portatili o alimentate a batteria.

Spesso la circuiteria di sensing viene realizzata sullo stesso chip del sensore MEMS, a meno che il sensore non sia realizzabile con tecnologie compatibili con il processo microelettronico usato e non sia quindi possibile integrarlo contemporaneamente all'elettronica di condizionamento. La possibilità di utilizzare processi compatibili con quelli usati per la microelettronica ha quindi aperto

---

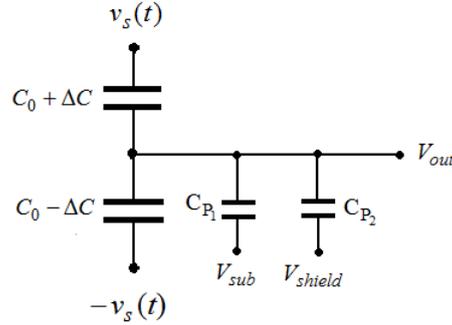
<sup>1</sup>Il *dynamic range* è definito come il rapporto tra la massima quantità misurabile, ovvero la dinamica di uscita del sistema, e la minima grandezza risolubile, fissata dal livello di rumore.

grandi possibilità di evoluzione per questo tipo di sistemi, poichè ha minimizzato i costi, i consumi di area e l'effetto di elementi parassiti. In effetti la richiesta di funzionalità aggiuntive, come conversione A/D o self-testing è in continua crescita, e include anche processing più sofisticati, come la lettura contemporanea da più sensori, funzionale alla realizzazione di sistemi di controllo completi. Inoltre, le interfacce per sensori capacitivi possono svolgere sia la funzione di condizionamento di uscita del sensore, sia il controllo di attuatori capacitivi. Tipicamente, i segnali provenienti da microsistemi inerziali sono estremamente piccoli, e gli spostamenti della proof-mass da risolvere in alcuni scendono fino all'Angstrom o a frazioni di esso. Per i giroscopi i segnali sono ulteriormente ridotti. Risulta quindi evidente come un'eccellente sensibilità sia spesso richiesta. Il progetto dell'interfaccia risulta quindi critico, e presenta anche altri problemi: agendo i condensatori sia da elemento di sensing che di attuazione, è necessario in alcuni casi provvedere ad operazioni di schermatura, tramite *driven shield*, per evitare attuazioni indesiderate che possono provocare malfunzionamento. E' poi molto sentito il problema delle capacità parassite delle interconnessioni, che provocano attenuazioni indesiderate, specialmente in soluzioni a chip separati. Come già spiegato nel capitolo precedente, i sensori capacitivi godono di indubbi vantaggi che le rendono preferibili ad altre classi di sensori di più facile impiego, come il basso consumo, derivato dall'alta impedenza presentata da essi, e l'intrinseca stabilità in temperatura dell'elemento di sensing.

## 2.2 Divisore di tensione capacitivo

La tecnica a divisione di tensione, che si basa sullo stimolo di un sensore capacitivo differenziale con una tensione alternata o con un'onda quadra, con successiva demodulazione, nonostante sia stata una delle prime ad essere sviluppate viene tutt'ora utilizzata a livello commerciale, ad esempio nell'accelerometro integrato ADXL50 prodotto da Analog Devices e in altri sistemi della stessa classe.

L'elemento di base dell'interfaccia in questione è riportato in figura 2.1. Per quanto detto nel primo capitolo e con riferimento alla figura 1.7, si può evidenziare il problema delle capacità parassite: la  $C_{P_1}$  è la capacità presente tra gli elettrodi fissi e il substrato, posto alla tensione  $V_{sub}$ , solitamente ground, mentre la  $C_{P_2}$  è la capacità presente tra proof mass e driven shield, posto alla tensione  $V_{shield}$ . Questo elemento, posizionato tra massa sospesa e substrato, serve ad



**Figura 2.1:** Divisore di tensione capacitivo. Sono incluse le capacità parassite.  
 $V_s(t)$  è una tensione sinusoidale.

evitare attuazione verticale indesiderata. Infatti, oltre alla capacità utile formata dai comb finger, si avrà la capacità costituita da massa e substrato. Interponendo una schermatura opportunamente pilotata, è possibile evitare questo effetto che può causare attenuazione e accoppiamento del rumore di substrato. Idealmente, si avrebbe:

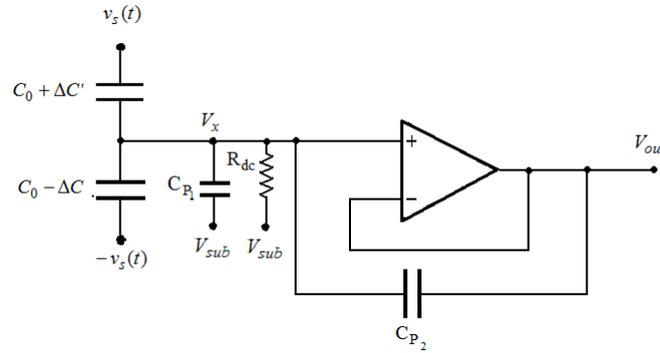
$$\dot{V}_{out} = \dot{V}_s \frac{\Delta C}{C_0} \quad (2.1)$$

La presenza delle capacità parassite invece provoca un'attenuazione indesiderata. La soluzione utilizzata per risolvere il problema presentato da  $C_{P2}$ , insieme all'attuazione verticale indesiderata, è la tecnica di bootstrapping (figura 2.2), che consiste nel collegare un buffer tra proof mass e shield, in modo da annullare la differenza di potenziale tra questi e cortocircuitare virtualmente  $C_{P2}$ , in genere più elevata di  $C_{P1}$ . In questa configurazione, risulta [8]:

$$\dot{V}_x = \dot{V}_{out} = \frac{2\Delta C V_0 + C_{P1} V_{sub}}{2C_0 + C_{P1}} \quad (2.2)$$

Per una  $V_0$  nell'ordine del Volt e capacità nell'ordine dei 100 fF, con un  $\Delta C$  nell'ordine dell'attoFarad, si ottiene un'uscita di pochi microVolt. Risulta quindi evidente come sia critico minimizzare gli effetti del rumore dell'amplificatore, gli effetti della temperatura, che crea difficoltà nell'ottenere due segnali perfettamente opposti, le variazioni di potenziale di substrato e i disturbi elettromagnetici provenienti dall'esterno. L'effetto di questi ultimi è minimizzato mantenendo più corte possibile le interconnessioni.

Il sistema è completato da un sincrono, che moltiplica la sinusoidale in uscita al bootstrap amplifier per la stessa sinusoidale presente in ingresso, e da un filtro passa-basso molto accurato che seleziona la componente residua in banda base.



**Figura 2.2:** *Bootstrapping.* La capacità  $C_{P_2}$  è virtualmente cortocircuitata dal buffer. Di conseguenza  $V_{shield} = V_{out}$ . La resistenza  $R_{dc}$  fissa idealmente a 0 il valore in continua della tensione all'ingresso del buffer, altrimenti indefinita. La  $R_{dc}$  deve essere nell'ordine del  $M\Omega$ , perchè la corrente che vi scorre deve essere molto minore di quella di segnale, introducendo difficoltà di integrazione.

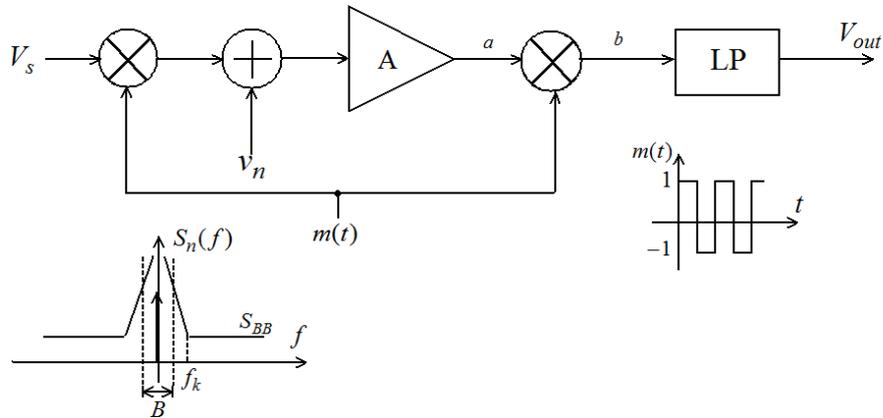
In questo modo si ottiene un'uscita in continua che contiene informazioni di ampiezza e segno della variazione. L'amplificazione necessaria viene realizzata sia a livello di demodulatore che con successivi stadi di amplificazione. Per avere buoni risultati, è necessario che la generazione della sinusoide sia molto stabile in temperatura e abbia un elevato PSRR.

Il vantaggio di lavorare a regime sinusoidale è la reiezione dell'offset e la riduzione del rumore  $1/f$ , come accade anche nella modulazione Chopper, della quale si parla diffusamente nel prossimo paragrafo.

## Chopper Stabilization

La modulazione Chopper, o Chopper Stabilization, è una tecnica usata per la rimozione dell'offset e la riduzione del rumore a bassa frequenza introdotto da un amplificatore, senza operare alcuna distorsione sul segnale. Con riferimento alla figura 2.3, si consideri lo sviluppo in serie di Fourier della modulante  $m(t)$ . Essendo il suo valor medio nullo, si ha per i coefficienti  $c_0 = 0$ ,  $c_k = 0$  per  $i$   $k$  pari, essendo  $m(t)$  una funzione alternativa, e  $c_k = \frac{2}{\pi n}$  per  $i$   $k$  dispari. Per il teorema di Parseval vale:

$$\sum_{k=-\infty}^{+\infty} |c_k|^2 = 1 \quad (2.3)$$



**Figura 2.3:** Schema a blocchi della tecnica di modulazione Chopper.  $m(t)$  ha periodo  $T_c$ . L'amplificatore guadagna  $A$ ,  $v_n$  è il rumore riferito all'ingresso introdotto dall'amplificatore e  $S_n(f)$  è la sua densità spettrale di potenza con  $S_{BB}$  valore del rumore termico.  $B$  è la banda di interesse per il segnale. L'offset  $V_{i0}$  è rappresentato con la delta di Dirac nell'origine.

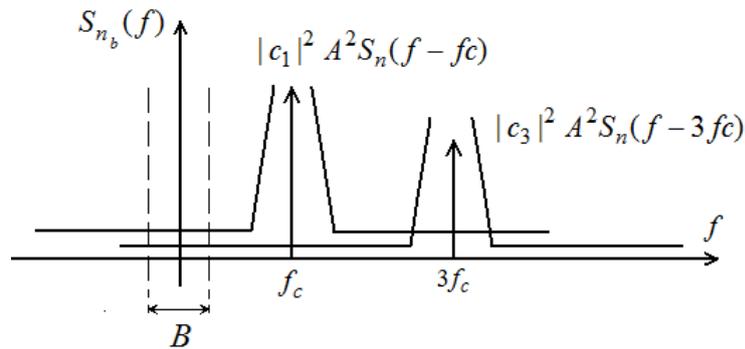
Il segnale  $v_s$  viene modulato per  $m(t)$ . Il suo spettro viene quindi replicato sulle righe spettrali della modulante moltiplicato per il  $k$ -esimo coefficiente e per  $\frac{1}{2}$ . Si consideri ora la densità spettrale di potenza del rumore  $v_n$ . In uscita dell'amplificatore, supponendone la banda infinita, si avrà:

$$S_{n_a} = A^2 S_n(f) \quad (2.4)$$

per il rumore. Si noti la presenza dello spettro di rumore nella banda di interesse. Il segnale in uscita all'amplificatore non ha invece componenti in essa, poiché il valor medio dell'onda modulante è nullo. Siccome abbiamo assunto banda infinita per l'amplificatore, nessuna replica viene persa. Supponendo che il rumore termico si estenda all'infinito, e facendo uso del teorema di Parseval, si ottiene per il contributo di rumore in banda base all'uscita del demodulatore:

$$\sum_{k=-\infty}^{+\infty} |c_k|^2 S_{BB} A^2 = S_{BB} A^2 \quad (2.5)$$

Il segnale viene invece perfettamente ricostruito dalla demodulazione sincrona, effettuata sempre con  $m(t)$ . Le repliche vengono infatti esattamente riportate e sovrapposte in banda base. All'entrata del filtro passa basso, nella banda di interesse non sarà più presente l'offset nè il rumore a bassa frequenza, ma solo il rumore termico. Si noti comunque che, affinché il rumore flicker e la



**Figura 2.4:** Densità spettrale di rumore  $S_{nb}$  all'uscita del demodulatore. Rumore ed offset sono traslati sui multipli dispari di  $f_c$  e scalati per il coefficiente corrispondente. Nessuna replica è presente in banda base con offset o rumore a bassa frequenza.

deriva dell'offset siano efficacemente reiettati, è necessario che la frequenza di modulazione  $f_c$  sia piuttosto superiore alla frequenza di corner  $f_k$  del rumore. Se si rimuove l'ipotesi di banda infinita dell'amplificatore, per quanto riguarda il rumore non abbiamo significative variazioni. Si potrebbe pensare che la situazione sia migliorata, ma è sufficiente selezionare le prime 3 armoniche per avere quasi il 100% della potenza del rumore in uscita. Per quanto riguarda invece il segnale, la banda finita dell'amplificatore va ad eliminare le componenti spettrali ad alta frequenza del segnale introdotte dalla modulazione. Se supponiamo che la funzione di trasferimento dell'amplificatore sia a polo dominante e il segnale sia continuo, in uscita ad esso non si ha un'onda quadra amplificata, ma una serie di esponenziali. Dopo la demodulazione saranno presenti spike negativi che abbassano il valor medio del segnale. Il filtro passa basso deve compiere proprio l'operazione di selezione della banda utile, e deve avere una frequenza di taglio molto inferiore ad  $f_c$  e una pendenza quanto più ripida possibile. Selezionando infatti la banda base, si estrae dal segnale demodulato il suo valor medio, che sarà leggermente inferiore al valore in ingresso amplificato, se esso è continuo. Inoltre esso reietta le repliche in alta frequenza dell'offset. Una limitazione in banda per il segnale è quindi introdotta. In genere, la frequenza  $f_c$  va dai 100 KHz al Mhz. Per ulteriori dettagli, ci si riferisca a [9].

La semplice demodulazione sincrona effettuata con una modulante sinusoidale elimina ugualmente l'offset, ma introduce una riduzione del guadagno e difficoltà di implementazione. E' in effetti molto più semplice generare un'onda

quadra piuttosto che realizzare un oscillatore sinusoidale. La modulazione viene eseguita o con un moltiplicatore analogico, tipo cella di Gilbert o con un sistema di switch.

L'interfaccia a divisione di capacità può così essere implementata facendo uso della modulazione chopper. In questo modo solo il rumore termico introdotto dal buffer, o dall'amplificatore ove non fosse richiesto bootstrapping, ne limiterà la risoluzione. I maggiori difetti presentati da questa architettura sono la sensibilità ai disturbi elettromagnetici, la difficoltà di integrare  $R_{dc}$ , la dipendenza dalla temperatura e dalle fluttuazioni dell'alimentazione, la banda limitata e la complessità circuitale.

### Tecnica Error Nulling

Una tecnica talvolta utilizzata nei sistemi a divisione di tensione è la cosiddetta Error Nulling. Essa ha il vantaggio di minimizzare gli spostamenti del nodo centrale, evitando urti ed eccessivi stress meccanici, tramite una reazione elettromeccanica, come descritto negli accelerometri quasi-statici. Con riferimento alla figura 2.5, si suppone di applicare delle tensioni continue agli elettrodi, oltre alla componente alternata, peraltro considerabile di piccolo segnale. Le

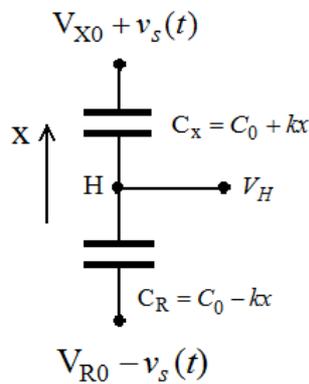


Figura 2.5: Tecnica Error Nulling.

tensioni continue applicate producono una forza attrattiva tra le armature dei condensatori proporzionale al loro quadrato. Si ha quindi:

$$F_X = k'V_X^2 \quad (2.6)$$

$$F_R = k'V_R^2 \quad (2.7)$$

Le forze agiscono sul punto H, che rappresenta la proof mass, lungo l'asse  $x$ ,  $F_X$  positivamente e  $F_R$  negativamente. Allora, considerando  $V_{X0} = V_{X0} = V_0$ , si ottiene:

$$F_{TOT} = F_X - F_R = k' [(V_{X0} - V_H)^2 - (V_{R0} - V_H)^2] = -4k' V_0 V_H \quad (2.8)$$

Si può fornire l'equivalente di Norton in alternata, considerando anche la  $C_{IN}$  di un amplificatore a valle:

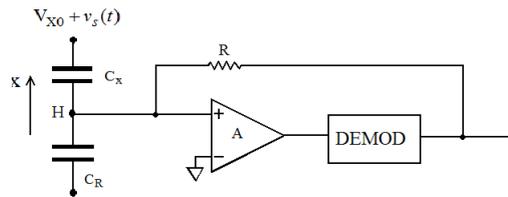
$$\dot{I}_{ucc} = j\omega (C_X - C_R) \dot{V}_S \quad (2.9)$$

$$Z_N = \frac{1}{j\omega (C_X + C_R + C_{IN})} \quad (2.10)$$

da cui

$$\dot{V}_H = \frac{\Delta C}{C_{TOT}} \dot{V}_S \quad (2.11)$$

L'errore da azzerare tramite una catena di reazione, usando  $V_0$ , è proprio lo spostamento del punto H. Con riferimento alla figura 2.6, si nota la presenza



**Figura 2.6:** Anello di reazione per error nulling. A è un amplificatore accoppiato in AC con alto guadagno. R deve essere abbastanza alta da non disturbare  $V_H$ , in particolare molto maggiore di  $Z_n$ . Serve ad applicare la forza di reazione.

della reazione negativa. Se H si sposta verso l'alto, aumenta la capacità  $C_X$  e di conseguenza  $V_{out}$  e  $V_H$ , che inoltre applica quindi una forza di richiamo che tende ad annullare lo spostamento del punto H, che rimane virtualmente fermo. Supponendo il guadagno di anello sufficientemente alto, è possibile dimostrare come la forza applicata dalla reazione elettromeccanica tenda ad equilibrare la forza esterna applicata alla massa, annullando la differenza tra le due. Il punto H rimane quindi in equilibrio e si può scrivere:

$$F_a = ma = F_{TOT} = 4k' V_H V_0 \quad (2.12)$$

da cui, poichè la parte continua di  $V_{out}$  è proprio  $V_H$ :

$$V_{OUT} = \frac{ma}{4k' V_0} \quad (2.13)$$

La tecnica consente quindi di ottenere in uscita un segnale proporzionale all'accelerazione mantenendo la massa virtualmente immobile. Inoltre elimino la non linearità delle molle derivata dai grandi spostamenti. Questa tecnica non è utilizzata per sensori di pressione, in quanto le membrane sono troppo rigide, ed è inoltre difficile realizzarle tra due elettrodi. Ovviamente il sistema non è di banale implementazione ed è necessario tenere conto che oltre ai poli presenti nel sistema elettronico all'andamento in frequenza del guadagno d'anello contribuiscono anche i poli meccanici.

### Interfaccia dell'accelerometro ADXL50

L'interfaccia a divisione di tensione con modulazione chopper è utilizzata da Analog Devices nell'ADXL50, in un loop di reazione che usa una tecnica del tipo Error Nulling, e anche nell'ADXL150, dove però la catena di misura è ad anello aperto. Il sistema elettronico dell'ADXL50, col quale si raggiunge una risoluzione di 0.1 Angstrom su una banda di 100 Hz, è presentato in figura 2.7, dove sono individuabili i blocchi componenti l'interfaccia sopra descritta.

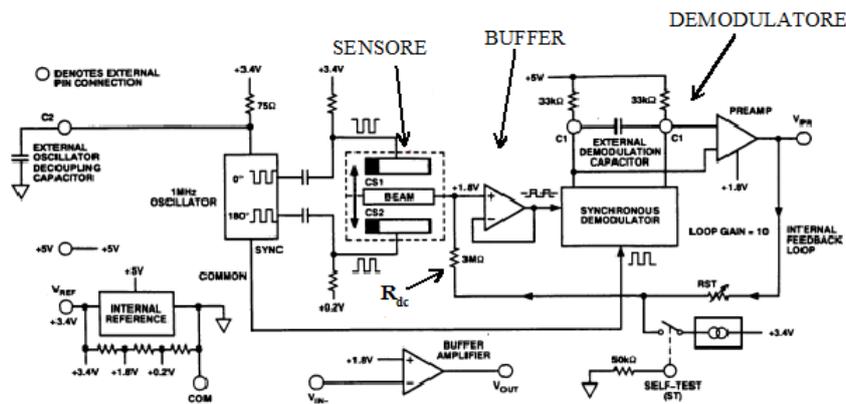


Figura 2.7: Schema di massima dell'ADXL50.

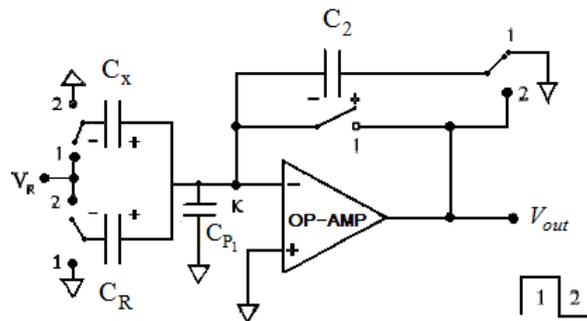
### 2.3 Interfaccia Switched Capacitor

L'interfaccia a capacità commutate (Switched Capacitor) è ad oggi una delle più usate per la lettura di sensori capacitivi integrati, poichè garantisce un alto *dynamic range*, ovvero un'alta risoluzione. La lettura è svolta mediante amplificazione di carica tempo-discreta. La risoluzione ottenibile è limitata

generalmente dal rumore  $\frac{kT}{C}$ , il cui impatto può essere minimizzato facendo uso di opportune architetture, e dal rumore introdotto dall'amplificatore, che può invece essere minimizzato a spese di un aumentato consumo.

### Schema di principio

In figura 2.8 è presentato uno schema di principio per la lettura di un sensore capacitivo integrato differenziale. La capacità è misurata pilotando gli estre-



**Figura 2.8:** Schema di principio per la lettura di un sensore capacitivo differenziale. L'amplificatore operazionale è soggetto ad offset e rumore riportato in ingresso. La convenzione di segno scelta permette di legare facilmente cariche e tensioni sui condensatori, mantenendo positiva  $V_{out}$ .

mi dell'half-bridge capacitivo con un'onda quadra e prelevando l'uscita dal nodo centrale. E' necessario generare la  $V_R$  in modo che sia molto stabile in temperatura e rispetto a fluttuazioni della tensione di alimentazione. Come indicato in [10], è opportuno avere variazioni di questa tensione nell'ordine dei  $10^{-7}V$  per accelerometri e giroscopi. La capacità parassita  $C_{P1}$  è virtualmente cortocircuitata.

L'analisi del funzionamento del circuito è effettuata considerando le grandezze nelle due fasi e valutandone quindi le variazioni. Durante la fase 1 l'amplificatore operazionale è chiuso in unity-gain e il nodo K si troverà a  $-V_{io}$ , e  $C_2$  è connesso tra il nodo K e massa. La posizione di  $C_2$  è importante per effettuare la cancellazione dell'offset, come sarà spiegato nel seguito, e perchè vede un'impedenza molto alta, per cui si può con facilità affermare che quasi tutta la carica che esso scambia fluisce in  $C_X$  e  $C_R$ . Gli interruttori sono realizzati con pass-gate, pilotate con fasi non-overlapped per evitare charge-sharing indesiderati.

Dallo schema si ottiene che  $V_K^{(1)} = -V_{io}^{(1)}$ ,  $V_u^{(1)} = -V_{io}^{(1)}$ ,  $V_{C_2}^{(1)} = V_{io}^{(1)}$  e inoltre  $V_{C_X}^{(1)} = -V_{io}^{(1)} - V_R$  e  $V_{C_R} = -V_{io}^{(1)}$ . Al momento del campionamento, ovvero all'apertura o commutazione degli interruttori, sarà introdotto un errore dovuto al rumore  $\frac{kT}{C}$ : per  $V_{C_2}$  avremo  $V_{io}^{(1)} + V_{\epsilon_2}$ , e una cosa analoga vale per le altre. Si osservi che un overlap tra le fasi 1 e 2 provocherebbe un cortocircuito di  $C_2$  che perderebbe l'informazione di offset. Alla fine della seconda fase avremo su  $C_2$ :

$$V_{C_2}^{(2)} = V_{C_2}^{(1)} + \frac{\Delta Q_2}{C_2} \quad (2.14)$$

dove  $\Delta Q_2$  rappresenta la carica fluita da  $C_2$  ai condensatori del sensore. Inoltre  $V_{C_X} = -V_{io}^{(2)}$  e  $V_{C_R} = -V_{io}^{(2)} - V_R$ . Si esprime quindi il flusso di carica:

$$\Delta Q_2 = \Delta Q_X + \Delta Q_R = C_X \left( V_{C_X}^{(2)} - V_{C_X}^{(1)} \right) + C_R \left( V_{C_R}^{(2)} - V_{C_R}^{(1)} \right) \quad (2.15)$$

considerando sottintesi i contributi dovuti alle  $V_\epsilon$ . Svolgendo le opportune sostituzioni si ottiene:

$$V_u^{(2)} = -V_{io}^{(2)} + V_{io}^{(1)} + V_{\epsilon_2} + \frac{C_X - C_R}{C_2} V_R - \frac{C_X + C_R}{C_2} \left( V_{io}^{(2)} - V_{io}^{(1)} \right) + \frac{C_X}{C_2} V_{\epsilon_X} - \frac{C_R}{C_2} V_{\epsilon_R} \quad (2.16)$$

dove si individua in  $\frac{C_X - C_R}{C_2} V_R = \frac{\Delta C}{C_2} V_R$  il segnale utile, in  $\frac{-C_X + C_R + C_2}{C_2} \left( V_{io}^{(2)} - V_{io}^{(1)} \right)$  il contributo di offset. E' importante notare che quest'ultima espressione è del tutto valida anche per un generatore di rumore all'ingresso dell'amplificatore operazionale. Infine  $V_{\epsilon_2} - \frac{C_X}{C_2} V_{\epsilon_X} - \frac{C_R}{C_2} V_{\epsilon_R}$  è l'errore dovuto al rumore  $\frac{kT}{C}$ . L'architettura proposta realizza un trasduttore da capacità a tensione, con sensibilità:

$$k_g = \frac{\partial g}{\partial \Delta C} = \frac{V_R}{C_2} \quad (2.17)$$

dove con  $g$  è indicata la funzione che lega la tensione di uscita alla differenza di capacità.

Andando ad osservare il contributo di offset, si nota come la sua componente continua, ovvero l'offset vero e proprio, sia azzerato all'interno del ciclo di misura. Se consideriamo le sue componenti variabili, come ad esempio una deriva termica, esse vedranno il proprio contenuto spettrale a bassa frequenza fortemente ridotto. La stessa cosa accade per il rumore. La misura non può che essere fortemente avvantaggiata da questa tecnica, chiamata Correlated Double Sampling, che sarà presentata nel seguito. In effetti, il punto di forza delle architetture Switched Capacitor è proprio questo, e il *dynamic range* ottenibile con esse è alto, ed è di fatto limitato solamente dal rumore  $\frac{kT}{C}$ . Esso è

peraltro ineliminabile, ed è più rilevante quanto più sono piccole le capacità in gioco. Abbiamo visto come nel caso di sensori capacitivi integrati le capacità siano veramente ridotte, nell'ordine delle centinaia o decine di femtoFarad, con  $\Delta C$  che scendono fino alle centinaia o decine di attoFarad. Questo comporta necessariamente che la capacità di integrazione  $C_2$  debba essere piccola, per ottenere un'amplificazione sufficiente, e di conseguenza il rumore introdotto dal campionamento non è affatto trascurabile. Ulteriori stadi amplificatori in cascata al primo possono essere invece realizzati facendo uso di capacità piuttosto più grandi, per quanto le specifiche di consumo di area lo concedano, e il rumore  $\frac{kT}{C}$  diventa ovviamente meno rilevante. Possiamo comunque andare a svilupparne il contributo nel nostro caso:

$$\begin{aligned} \langle v_{\epsilon_T}^2 \rangle &= \langle v_{\epsilon_2}^2 \rangle + \left( \frac{C_R}{C_2} \right)^2 \langle v_{\epsilon_X}^2 \rangle + \left( \frac{C_X}{C_2} \right)^2 \langle v_{\epsilon_R}^2 \rangle \\ &= \frac{kT}{C_2^2} (C_X + C_R + C_2) \end{aligned} \quad (2.18)$$

Eventuali capacità parassite del sensore entrano a pieno titolo nel computo di tale contributo andando a sommarsi alle altre capacità.

L'amplificatore di carica Switched Capacitor, sia esso ad uno o più stadi, deve necessariamente essere seguito da un sistema che ne campioni e ne stabilizzi l'uscita alla fine della fase 2, quando essa sarà valida, dopo che si sono esauriti i transistori.

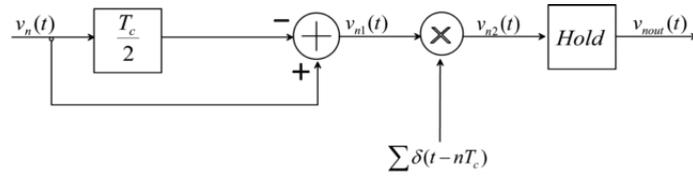
### Correlated Double Sampling

La tecnica Correlated Double Sampling (CDS) è una delle tecniche dinamiche utilizzate, assieme ad Autozeroing e Chopper Stabilization, per la riduzione dell'offset e del rumore  $1/f$  degli amplificatori presenti nella catena di misura. La CDS è una tecnica molto usata ed è implementabile con poca fatica in un'architettura Switched Capacitor, come già accennato.

Come il nome stesso suggerisce, è basata su una doppia operazione di sampling. Col primo campionamento vengono memorizzati offset e rumore, che vengono poi sottratti al campione ottenuto nel secondo, che contiene ancora offset e rumore, ma anche il segnale utile. Così facendo è possibile ridurre di molto l'incidenza del rumore  $1/f$ , essendo e annullare completamente l'offset, a spese però di un aumento del contributo in banda base del rumore termico introdotto dall'amplificatore. Per la natura tempo-discreta di tale tecnica, essa si presta benissimo all'implementazione in un'architettura di tipo Switched Capacitor,

dove i segnali sono campionati alla fine della fase e mantenuti durante la complementare, mentre non può essere ovviamente utilizzata per sistemi che presentano un'uscita tempo-continua.

Gli effetti in frequenza della CDS possono essere studiati con una trattazione analitica rigorosa simile a quella dell'Autozero [9]. Per semplicità riportiamo uno schema di principio in figura 2.9 di un sistema che implementa tale tecnica, valido ai fini dello studio del rumore in uscita, e un'analisi semplificata nel dominio della frequenza.



**Figura 2.9:** Schematizzazione della tecnica Correlated Double Sampling

In uscita ad un sistema CDS abbiamo:

$$v_{CDS}[nT_C] = v_s[nT_C] + v_n[nT_C] - v_n\left[nT_C - \frac{T_C}{2}\right] \quad (2.19)$$

Nel dominio frequenziale, con riferimento alla figura, considerando il termine di rumore otteniamo:

$$V_{n1}(f) = V_n(f) - V_n(f) e^{-j2\pi f \frac{T_C}{2}} \quad (2.20)$$

da cui sfruttando le formule di Eulero:

$$V_{n1}(f) = 2j \sin\left(2\pi f \frac{T_C}{4}\right) V_n(f) e^{-j2\pi f \frac{T_C}{2}} \quad (2.21)$$

Andando a considerare le densità spettrali di potenza:

$$S_1(f) = 4S_n(f) \sin^2\left(2\pi f \frac{T_C}{4}\right) \quad (2.22)$$

La 2.22 mostra come il  $\sin^2\left(2\pi f \frac{T_C}{4}\right)$ , annullandosi nell'origine e in  $\frac{2n}{T_C}$ , compia un filtraggio totale sull'offset, e abbatta decisamente le componenti a bassa frequenza del rumore. Si comprende quindi facilmente come la  $f_C$  debba essere decisamente maggiore della frequenza di corner  $f_K$  dell'amplificatore, per rieettare quanto più possibile il rumore  $1/f$ . Il successivo campionamento invece introduce un aliasing sulla  $S_1$  così ottenuta, riportando in banda base repliche del rumore ad alta frequenza. Considerando ideale, finita e pari a  $B_{amp}$  la banda

dell'amplificatore, e molto stretta la banda base di interesse per il segnale, in modo da poter trascurare lo shaping introdotto dal seno, si può dimostrare con una certa semplicità che il contributo di rumore riportato in banda base è:

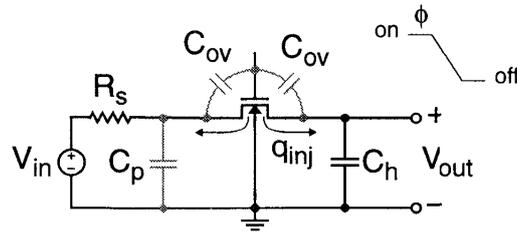
$$S_{CDS}(f) = 4nS_{BB} \quad (2.23)$$

con  $n = \frac{B_{AMP}}{f_C}$  e  $S_{BB}$  densità spettrale di potenza del rumore ad alta frequenza dell'amplificatore. La frequenza di campionamento deve essere piuttosto maggiore della frequenza di Nyquist del segnale, per evitare distorsione di esso dovuta all'aliasing. Il fattore  $n$  può invece assumere un valore piuttosto basso, essendo un sistema che lavora a tempo discreto, ed è comune trovarlo posto a 6-7. E' infatti sufficiente che la  $B_{AMP}$  sia tale da permettere all'amplificatore di andare a regime in un  $T_C$ .

Segue infine l'operazione di hold, che introduce una  $\text{sinc}^2(\pi f T_C)$ , che limita la potenza del rumore, ma non ha comunque effetti rilevanti [9].

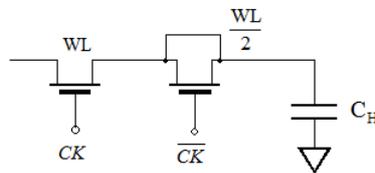
### Architettura Fully-Differential

Lo schema presentato precedentemente in figura 2.8 è un sistema single-ended, con le grandezze significative riferite a ground. Tale sistema è reso praticamente inutilizzabile dalle iniezioni di carica degli interruttori, che vanno a produrre dei significativi errori sulla tensione memorizzata nei condensatori. Gli interruttori MOS, anche se realizzati con pass gate, non sono interruttori ideali e oltre a presentare una resistenza non nulla e non lineare, soffrono appunto dell'iniezione di carica, che si manifesta in due fenomeni separati, il *clock feedthrough* e la *channel charge injection*. Tali fenomeni sono complessi e interagenti, ma è necessario tenerne conto sia a livello progettuale, con opportuni accorgimenti, sia a livello simulativo, utilizzando per i dispositivi dei modelli che ne permettano una valutazione sufficientemente accurata. Con riferimento alla 2.10, è possibile fornire una descrizione dei fenomeni: quando un interruttore viene spento, la carica contenuta nel canale viene rimossa attraverso i pozzetti di source e drain (*charge injection*). La suddivisione di questa carica dipende principalmente dalla capacità totale vista da questi due terminali, dalla resistenza  $R_{on}$  e dai tempi di salita e discesa del segnale di clock. Solo se le capacità  $C_p$  e  $C_H$  sono uguali e il fronte abbastanza veloce la carica si suddividerà equamente tra source e drain [9]. Questo fenomeno, il cui effetto deteriora inevitabilmente la misura, fa parte di un insieme più vasto di disturbi introdotti dal clock nelle



**Figura 2.10:** Circuito base per S/H.  $C_p$  rappresenta la capacità parassita totale del transistor. La figura è tratta da [9].

architetture Switched Capacitor, detto *clock feedthrough*, che tuttavia possono provocare effetti solo transitori che non danneggiano il risultato della misura. Tali disturbi si traducono in una traslazione del livello mantenuto nel circuito di S/H e in un offset non predicibile per interfacce Switched Capacitor. Esistono alcune tecniche circuitali e alcune scelte topologiche che permettono di ridurre l'incidenza delle iniezioni: si può fare uso di pass-gate, che avendo fasi opposte, sperimentano operazioni opposte sui gate e iniezioni opposte, che si compensano in parte, o di dummy switches (2.11). E' ovviamente possibile



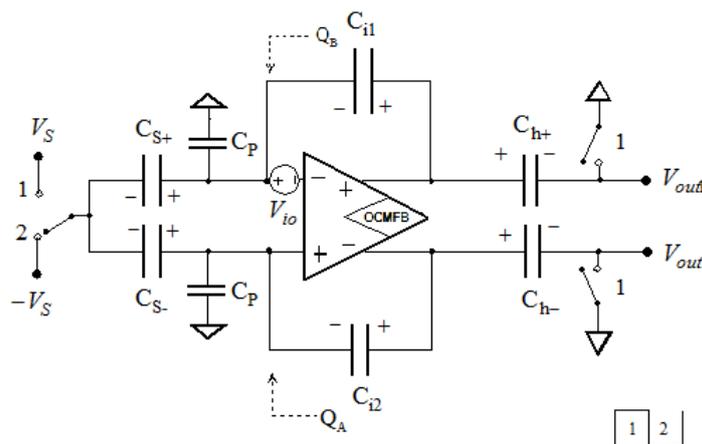
**Figura 2.11:** Esempio di dummy switch.  $C_h$  rappresenta la capacità di hold. Le commutazioni sui gate avvengono in senso opposto. Si suppone che la carica dovuta alla distruzione del canale si suddivida a metà tra source e drain per entrambi i transistor. Il collegamento in cortocircuito del dummy switch fa sì che il flusso di carica si richiuda e, essendo di segno opposto, annulli parzialmente quello proveniente dallo switch. L'area del dummy switch deve allora essere pari alla metà di quella dello switch vero e proprio.

usare contemporaneamente sia pass gate che dummy switches. Da un punto di vista topologico invece si può agire andando ad effettuare operazioni di Autozero sull'uscita dell'amplificatore piuttosto che sull'ingresso [9].

Tali tecniche tuttavia non consentono un'eliminazione totale del disturbo, e le iniezioni residue falseranno irrimediabilmente la misura. L'architettura Swit-

ched Capacitor Single-Ended soffre quindi di un offset sistematico e di distorsioni e non è quindi utilizzabile dove sia richiesta un'alta risoluzione. Un'architettura di tipo fully-differential invece, se ben progettata, consente la riduzione quasi totale dei disturbi dovuti alle iniezioni. Essendo le grandezze di interesse di tipo differenziale, ed agendo gli interruttori e le iniezioni in maniera simmetrica, gli errori ad esse dovuti saranno ancora presenti a modo comune, ma si annulleranno, perlomeno in linea di principio, a modo differenziale. La dinamica ottenibile in uscita per sistemi fully differential è inoltre doppia, come si può facilmente verificare.

In figura 2.12 è fornito uno schema di principio di un'architettura fully differential. L'interfaccia è realizzata applicando un'onda quadra al nodo centrale di un half bridge capacitivo, che può ad esempio essere realizzato da una massa di prova. Le armature fisse del sensore sono collegate ad un amplificatore di carica differenziale. Le capacità del sensore valgono rispettivamente  $C_S \pm \frac{\Delta C}{2}$ .



**Figura 2.12:** Sensing fully differential. Le  $C_S$  formano un half-bridge capacitivo, formato da un sensore capacitivo differenziale. Le capacità  $C_H$  partecipano alla CDS in uscita. Le  $C_{S_{1,2}}$ , di valore  $C_S + \Delta C/2$  e  $C_S - \Delta C/2$  formano un half-bridge capacitivo. Le tensioni sono prese coi segni indicati. Le due capacità di integrazione hanno stesso valore, pari a  $C_i$ . L'interfaccia è tratta e riadattata da [4].

Le capacità parassite  $C_P$  sono relative sia alle capacità dei collegamenti sia a quelle di ingresso dell'amplificatore. E' possibile studiare questo sistema con un procedimento simile a quanto fatto per la versione S/E. Sarà dimostrato

l'utilizzo della tecnica CDS, implementata stavolta tramite delle capacità poste in uscita.

Prima delle fasi 1 e 2 è prevista una fase di Zero, durante la quale gli ingressi dell'op-amp vengono cortocircuitati a massa, le uscite vengono cortocircuitate tra loro, e all'ingresso dell'half bridge viene applicata ground, in modo da scaricare tutti i condensatori, per avere una tensione definita sulle capacità all'inizio della fase di sensing e per evitare derive dovute a correnti di perdita. Gli interruttori e la fase necessari a ciò sono omessi in figura.

Il generatore  $V_{io}$  tiene conto al solito di offset, ma anche del rumore introdotto dall'amplificatore operazionale, riferito all'ingresso.  $Q_{A,B}$  tengono conto di iniezioni di carica e rumore  $\frac{kT}{C}$ : tali contributi entreranno a far parte della variazione di carica tra fase 1 e fase 2.

Alla fine della fase 1, ovvero all'esaurimento dei transistori, valgono:

$$V_{C_{S+}}^{(1)} = V_{CMI}^{(1)} + \frac{v_{io}^{(1)}}{2} - V_S \quad (2.24)$$

$$V_{C_{S-}}^{(1)} = V_{CMI}^{(1)} - \frac{v_{io}^{(1)}}{2} - V_S \quad (2.25)$$

$$V_{u_1}^{(1)} = V_{CMI}^{(1)} + \frac{v_{io}^{(1)}}{2} + V_{C_{h1}}^{(1)} = -V_{C_{h1}}^{(1)} \quad (2.26)$$

$$V_{u_2}^{(1)} = V_{CMI}^{(1)} - \frac{v_{io}^{(1)}}{2} + V_{C_{h2}}^{(1)} = -V_{C_{h2}}^{(1)} \quad (2.27)$$

Dove  $V_{u_{1,2}}$  sono le uscite dell'amplificatore. Inoltre  $V_{out} = V_{out_1} - V_{out_2}$ , ed è nulla in fase 1. E' molto importante notare come i condensatori  $C_{h_{1,2}}$  memorizzino il segnale alle uscite dell'amplificatore fully diff alla fine della fase 1, quando gli interruttori si aprono. Al segnale utile è sommato ovviamente l'errore dovuto a rumore ed offset. Si noti inoltre che  $V_{C_{h1}}^{(1)} = V_{C_{h1}}^{(2)}$  e  $V_{C_{h2}}^{(1)} = V_{C_{h2}}^{(2)}$

Alla fine della fase 2 invece valgono:

$$V_{C_{S+}}^{(2)} = V_{CMI}^{(2)} + \frac{v_{io}^{(2)}}{2} + V_S \quad (2.28)$$

$$V_{C_{S-}}^{(2)} = V_{CMI}^{(2)} - \frac{v_{io}^{(2)}}{2} + V_S \quad (2.29)$$

Di conseguenza si esprime i flussi di carica scambiati:

$$\begin{aligned} \Delta Q_{C_{S+}} &= C_{S+} \left( V_{C_{S+}}^{(2)} - V_{C_{S+}}^{(1)} \right) = \\ &= -C_{S+} (2V_S - \Delta V_{CMI}) + C_{S+} \left( \frac{v_{io}^{(2)}}{2} - \frac{v_{io}^{(1)}}{2} \right) + Q_B \end{aligned} \quad (2.30)$$

$$\Delta Q_{C_{S-}} = -C_{S-} (2V_S - \Delta V_{CMI}) + C_{S-} \left( \frac{v_{io}^{(1)}}{2} - \frac{v_{io}^{(2)}}{2} \right) + Q_A \quad (2.31)$$

Inoltre:

$$V_{out1}^{(2)} = V_{CMI}^{(2)} + \frac{v_{io}^{(2)}}{2} + V_{C_{i1}}^{(2)} + V_{C_{h1}}^{(1)} \quad (2.32)$$

$$V_{out2}^{(2)} = V_{CMI}^{(2)} - \frac{v_{io}^{(2)}}{2} + V_{C_{i2}}^{(2)} + V_{C_{h2}}^{(1)} \quad (2.33)$$

da cui, usando 2.26 e 2.27:

$$V_{out1}^{(2)} = \Delta V_{CMI} + \frac{v_{io}^{(2)}}{2} - \frac{v_{io}^{(1)}}{2} + \Delta V_{C_{i1}} \quad (2.34)$$

$$V_{out2}^{(2)} = \Delta V_{CMI} - \frac{v_{io}^{(1)}}{2} + \frac{v_{io}^{(2)}}{2} + \Delta V_{C_{i2}} \quad (2.35)$$

Infine, compiendo tutte le opportune sostituzioni:

$$\begin{aligned} V_{out} = & -\frac{\Delta C}{C_i} (2V_S - \Delta V_{CMI}) + \frac{v_{io}^{(2)}}{2} - \frac{v_{io}^{(1)}}{2} + \frac{C_{S+}}{C_i} \left( \frac{v_{io}^{(2)}}{2} - \frac{v_{io}^{(1)}}{2} \right) \\ & - \frac{C_{S-}}{C_i} \left( \frac{v_{io}^{(1)}}{2} - \frac{v_{io}^{(2)}}{2} \right) + \frac{Q_B - Q_A}{2} \end{aligned} \quad (2.36)$$

dove  $\Delta C = C_{S+} - C_{S-}$ . Esaminando l'equazione 2.36 si individuano i termini relativi alla tecnica CDS, come ci si aspettava, con relativa cancellazione dell'offset e abbattimento del rumore a bassa frequenza. Il segnale utile è il termine  $-\frac{\Delta C}{C_i} (2V_S - \Delta V_{CMI})$ : grazie alla topologia impiegata, l'ampiezza è raddoppiata rispetto a quanto visto per un sistema S/E. Si individua per finire il contributo dovuto a iniezioni e rumore  $\frac{kT}{C}$  nel termine  $\frac{Q_B - Q_A}{C_i}$ : grazie alla simmetria, i disturbi a modo comune vengono fortemente ridotti e quindi l'errore dovuto a iniezioni e clock feedthrough viene decisamente attenuato.

Il rumore  $\frac{kT}{C}$  merita un discorso a parte. La soluzione a tre fasi proposta ne riduce di molto l'incidenza. Poichè le capacità di sensing sono commutate da una tensione fissata ad un'altra, non risentono di tale rumore. Le uniche capacità a risentire del  $\frac{kT}{C}$  sono le capacità di campionamento  $C_h$ , che si trovano però in uscita e possono essere realizzate grandi, ed essere inoltre precedute da ulteriori stadi di amplificazione.

E' inoltre ottenuto un più alto PSRR (*Power Supply Rejection Ratio*) e un'immunità al primo ordine al rumore di substrato, essendo quest'ultimo un disturbo a modo comune.

Il termine  $\Delta V_{CMI}$  è la variazione del modo comune di ingresso, in risposta all'applicazione del gradino di tensione. Si noti che la quantità  $2V_S - \Delta V_{CMI}$  è proprio la variazione di tensione che le capacità di sensing sperimentano in risposta all'impulso applicato.  $\Delta V_{CMI}$  provoca quindi un errore di guadagno, oltre a porre vincoli molto stringenti all'amplificatore operazionale, che dovrà

essere progettato per avere una larga dinamica di ingresso di modo comune, che risulta in maggior consumo, e un eccellente CMRR, per evitare errori eccessivi in uscita. Inoltre gli impulsi di tensione dovranno essere piccoli, per mantenere l'op-amp in dinamica.

Il modo comune di uscita dell'amplificatore operazionale è fissato da un circuito di controllo, OCMFB (*Output Common Mode FeedBack*), che legge le variazioni di  $V_{CMO}$  e attraverso un loop di reazione tende ad annullarle e a fissare tale tensione ad una  $V_{ref}$  nota. Tale controllo è necessario per evitare alle uscite di saturare in un senso o nell'altro, cosa impossibile da ottenere altrimenti, sia a causa dei mismatch tra i transistor dell'amplificatore, sia per cause intrinseche relative ad offset sistematici<sup>2</sup>.

Alla luce di quanto detto, è possibile calcolare  $\Delta V_{CMI}$  [4]:

$$\Delta V_{ICM} = 2V_S \left( \frac{C_S}{C_S + C_P + C_i} \right) \quad (2.37)$$

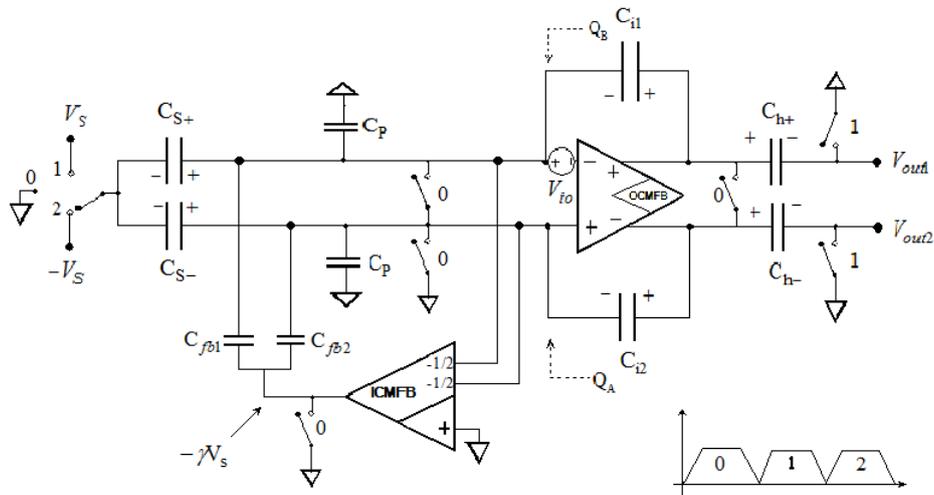
La forma dell'equazione 2.37 può essere ricondotta a quella di un partitore capacitivo, e si ottiene intuitivamente sapendo che il modo comune di uscita è fissato e non varia nelle due fasi e che la differenza di tensione agli ingressi dell'op-amp è nulla se non consideriamo l'offset. Inoltre, un mismatch delle capacità parassite  $C_P$ , finora considerate uguali e quindi non influenti a modo differenziale, e delle  $C_i$  causa un flusso addizionale di carica nei condensatori di integrazione, in risposta a  $\Delta V_{CMI}$  [4]. Il risultato è un offset dipendente dal mismatch:

$$V_{out} = -2V_S \left( \frac{\Delta C_S}{C_i} + \left( 1 - \frac{C_S}{C_S + C_i + C_P} \right) - \frac{\Delta C_i + \Delta C_P}{C_i} \left( \frac{C_S}{C_S + C_i + C_P} \right) \right) \quad (2.38)$$

Tale offset può non essere trascurabile.

Tutti questi problemi possono comunque essere risolti almeno al primo ordine con un feedback di controllo del modo comune di ingresso (ICMFB), come in figura 2.13. Tale circuito misura il modo comune di ingresso, lo confronta con una  $V_{REF}$ , in questo caso ground, e applica una tensione tramite i condensatori  $C_{fb}$  per mantenerlo costante. La reazione negativa quindi va a regolare  $\gamma V_S$  in maniera tale da mantenere la tensione di modo comune di ingresso al valore desiderato. La scelta cade su ground per massimizzare la caduta di tensione attraverso  $C_S$  e quindi il guadagno del sistema. Si può altresì affermare che

<sup>2</sup>Il funzionamento dell'OCMFB sarà presentato nella sezione 3.2



**Figura 2.13:** Sensing fully differential con controllo del modo comune di ingresso. Sono adesso indicati anche gli interruttori per la fase di Zero. Durante tale fase l'uscita di ICMFB viene posta a massa.

entrambi i terminali di ingresso dell'op-amp sono mantenuti a massa virtuale, e l'effetto del mismatch di capacità parassite e di integrazione è rimosso. Inoltre è eliminata anche la necessità di un driven shield per eliminare la capacità parassita verso il substrato per lo stesso motivo.

L'uscita in presenza di ICMFB si ottiene pensando di pilotare il full-bridge formato dai  $C_S$  e dai  $C_{fb}$  con impulsi scelti per azzerare la variazione del modo comune di ingresso [4]:

$$V_{out} = -2V_S \left( \frac{\Delta C_S}{C_i} - \frac{C_S}{C_{fb}C_i} \Delta C_{fb} \right) \quad (2.39)$$

Il mismatch sui condensatori  $C_{fb}$  si riflette ancora in un offset sull'uscita, sul quale è però possibile agire con tecniche di trimming e di taratura, che nonostante la loro indubbia efficacia ed utilità complicano la produzione e messa in opera di questo tipo di interfaccia.

La catena di misura può inoltre includere altri stadi di amplificazione in cascata al primo e l'operazione di campionamento dell'errore può essere fatta in uscita ad essi, per annullare anche il loro offset e ridurre il loro rumore a bassa frequenza.

Per quanto riguarda la velocità di commutazione degli interruttori, bisogna considerare che per tecnologie da 1 o più  $\mu m$  la frequenza di corner  $f_k$  è relativamente bassa, e questo permette una più efficace cancellazione del rumore  $\frac{1}{f}$ ,

per quanto detto sulla tecnica CDS. I transistor realizzati con tecnologie sub-micrometriche hanno frequenze di corner decisamente più alte, e un'efficace cancellazione del rumore a bassa frequenza richiede clock molto più veloci, con consumi molto aumentati, tanto da rendere quasi controproducente o comunque inutile da tale punto di vista la migrazione verso processi tecnologici spinti. Si ricordi comunque che il livello di rumore flicker è fissato anche dall'area del transistore.

Per la realizzazione circuitale dell'op-amp fully differential, viene solitamente utilizzata la topologia telescopica, riportata in figura 2.14 [4], [11], per le sue caratteristiche di semplicità, basso rumore e ridotto consumo rispetto a topologie di tipo Folded Cascode. I transistori  $M_{11}$  e  $M_5$  forniscono la tensione di

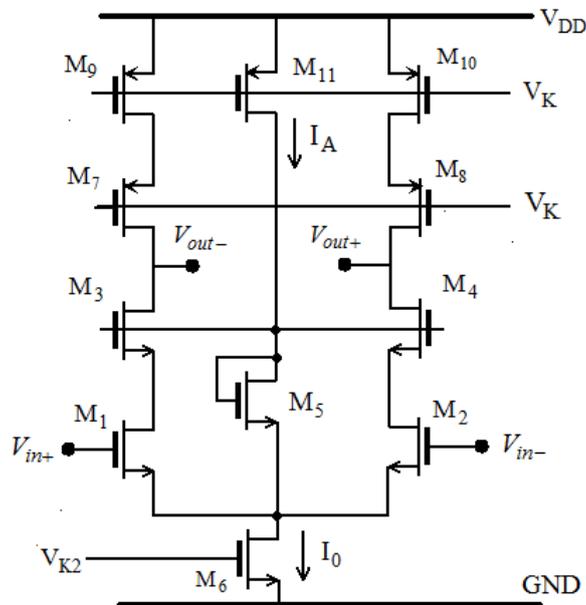


Figura 2.14: Amplificatore telescopico fully differential.

polarizzazione di  $M_3$  ed  $M_4$ . E' necessario garantire la saturazione per la coppia di ingresso. Deve valere:

$$V_{GS5} - V_{GS3} > V_{GS1} - V_{t1} \quad (2.40)$$

Il guadagno dell'amplificatore telescopico è dell'ordine di  $(g_m r_d)^2$ .

Il vantaggio di questa topologia è che la corrente che polarizza la coppia differenziale di ingresso polarizza anche lo stadio a gate comune e il carico attivo. Questo permette di minimizzare i consumi, anche a fronte di una richiesta di

elevate correnti di bias a causa della necessità di abbattere il rumore termico<sup>3</sup>. I transistor che producono rumore sull'uscita sono quelli componenti la coppia di ingresso,  $M_1$  e  $M_2$ , e  $M_9$  e  $M_{10}$ . In uscita, secondo l'equivalente di Norton, si avrà:

$$i_{uccn} = i_{n_1} - i_{n_2} + i_{n_3} - i_{n_4} \quad (2.41)$$

I processi di rumore dei MOS considerati sono scorrelati tra loro, e prendendo in considerazione solo il rumore termico, per la densità spettrale di potenza di tensione riportata in ingresso si ottiene:

$$S_{V_n} = 2 \left( S_{I_1} + \frac{S_{I_9}}{g_{m1}^2} \right) = 2S_{V_1} + 2S_{V_9} \frac{g_{m3}^2}{g_{m1}^2} \quad (2.42)$$

Essendo il  $g_m$  di un MOS uguale a  $\frac{2I_D}{V_{GS}-V_t}$  ed essendo la corrente di polarizzazione uguale per tutti i transistor, si nota facilmente come la  $(V_{GS} - V_t)_1$  debba essere minimizzata da progetto per ottenere buone specifiche di rumore.

La risposta in frequenza è caratterizzata da un polo in bassa frequenza relativo al nodo di uscita, ad alta impedenza, del tipo  $g_m(r_{ad})^2 C_{out}$  e da poli più alti in frequenza dovuti alle capacità parassite. Tuttavia la dinamica di uscita disponibile è fortemente limitata dalla presenza di  $M_5$  e dalle coppie  $M_7 - M_8$  e  $M_9 - M_{10}$ , ed è inoltre legata al modo comune di ingresso. Con riferimento alla

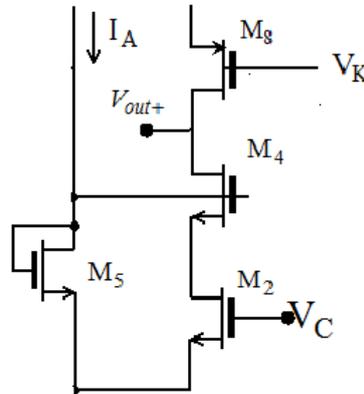


Figura 2.15: Sezione di uscita di un amplificatore telescopico.

figura 2.15, affinché  $M_4$  rimanga in saturazione, si dovrà avere:

$$V_{D4} = V_{out2} > V_{G4} - V_{t4} = V_C - V_{GS2} + V_{GS5} - V_{t4} \quad (2.43)$$

<sup>3</sup>Si ricordi infatti che la DSP di rumore termico riportata in ingresso ad un MOS vale  $\frac{8}{3} \frac{kT}{g_m}$  e che  $g_m = \frac{2I_D}{(V_{gs}-V_t)}$ .

Se si intende utilizzare questa topologia per amplificatori fully differential che vengono periodicamente posti in condizione di reset, ovvero con gli ingressi e le uscite collegati assieme, è necessario sincerarsi che la dinamica di ingresso e di uscita coincidano nella fascia di segnale richiesta, e che tale fascia non sia troppo vicina a  $V_{DD}$  o GND, per evitare che una delle due uscite sia impossibilitata a variare, per via del comportamento simmetrico.

L'amplificatore telescopico non può quindi essere usato in applicazioni low voltage, a causa della bassa dinamica, problema che ha un minor impatto in architetture Switched Capacitor Fully Differential, dove il modo comune di ingresso è fissato e la dinamica di uscita non è critica, a causa della piccola entità dei segnali in uscita al primo stadio di amplificazione. E' inoltre richiesto un circuito di controllo del modo comune di uscita, per quanto detto sopra.

L'area dei transistor della coppia di ingresso viene massimizzata [11] per ridurre il rumore  $\frac{1}{f}$  e l'offset.

L'architettura proposta può essere inserita con opportuni accorgimenti in un force-feedback loop per la lettura di un accelerometro, come descritto da Boser et al. in [4], o può essere impiegata in misure ad anello aperto [11], con un filtraggio passa-basso in cascata che, sebbene riduca la banda disponibile, riduce ulteriormente il rumore massimizzando il *dynamic range* ottenibile. In particolare, nel primo caso l'interfaccia fa parte di un modulatore  $\Sigma\Delta$  del secondo ordine che sfrutta la reazione meccanica: in effetti una soluzione del genere oltre a provvedere un'uscita digitale, rende disponibile una banda molto ampia e può essere facilmente implementata in tecnologie CMOS ad alta densità. La massa di prova agisce in questa soluzione come un filtro del secondo ordine, abbattendo il rumore di quantizzazione sopra la frequenza di risonanza meccanica. Il loop del secondo ordine richiede una compensazione, necessaria per operare in condizioni di stabilità, fornita da un filtro FIR implementato anch'esso con tecnica Switched Capacitor e va introdotto anche un filtro di decimazione a completamento del modulatore  $\Sigma\Delta$ . Inoltre è necessario aggiungere alcune fasi di funzionamento, tra le quali la fase di feedback, nella quale la tensione di attuazione viene applicata al sensore e l'interfaccia di lettura è scollegata.

I principali svantaggi di architetture di questo tipo sono da ricercarsi nell'elevata complessità dell'interfaccia completa e negli elevati consumi, nell'ordine dei milliAmpere, necessari per minimizzare il rumore termico ed aumentare la velocità degli stadi di guadagno, a fronte però di eccellenti *dynamic range* (fino a

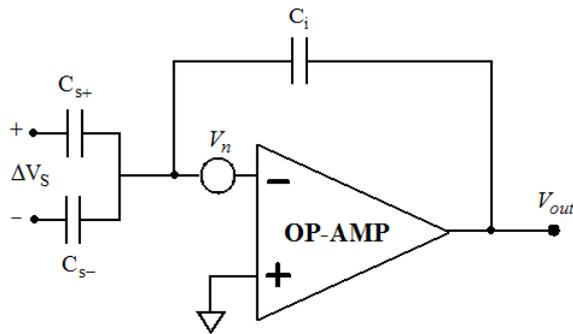
circa 89dB per [4]), ottima linearità e grande stabilità in temperatura.

### Analisi di rumore

Per valutare come effettivamente il rumore termico si ripercuota sul *dynamic range* di un'interfaccia Switched Capacitor, è necessario svolgere un'analisi di rumore, partendo dal presupposto dell'applicazione della tecnica CDS, secondo quanto spiegato sopra.

Per chiarezza, in tale analisi si farà riferimento alla versione Single Ended mostrata in figura 2.8. L'uso della tecnica CDS riduce appunto gli effetti del rumore flicker, che sarà così ignorato.

Con riferimento all'analisi effettuata sopra, si può scrivere:



**Figura 2.16:** *Interfaccia Single Ended semplificata, valida ai fini dell'analisi di rumore. Il generatore  $V_n$  rappresenta il rumore termico dell'op-amp riferito all'ingresso.*

$$V_{out} = \Delta V_S \frac{C_{S+} - C_{S-}}{C_i} = \Delta V_S \frac{\Delta C}{C_i} \quad (2.44)$$

che, valutata al fondo scala, diventa:

$$V_{out_{FS}} = \Delta V_S \frac{\Delta C_{FS}}{C_i} \quad (2.45)$$

La densità spettrale di potenza riportata all'ingresso per un op-amp, prendendo in considerazione solo la coppia differenziale di ingresso, vale:

$$S_{th} = \frac{16 kT}{3 g_m} \quad (2.46)$$

Tenendo conto di 2.9 e supponendo che la banda di interesse in uscita sia pari a  $B^4$  si ottiene:

$$\langle v_u^2 \rangle = 4n \frac{16 kT}{3 g_m} A_1^2 B \quad (2.47)$$

dove  $A_i = \frac{C_S + C_i}{C_i}$  e  $n = \frac{B_{AMP}}{f_{ck}}$ . Andando a moltiplicare e dividere per  $q$  e sviluppando l'espressione otteniamo:

$$\langle v_u^2 \rangle = \frac{32}{3} n V_T \frac{(V_{GS} - V_t)}{I_D} A_1^2 B \quad (2.48)$$

dove  $I_D$  è la corrente di bias della coppia differenziale di ingresso dell'op-amp. Posso andare allora a valutare l'inverso del dynamic range:

$$\frac{\Delta C_{MIN}^2}{\Delta C_{FS}^2} = \frac{\langle v_u^2 \rangle}{V_{out_{FS}}^2} = \frac{32}{3} n \frac{V_T (V_{GS} - V_t)}{\Delta V_S^2} \frac{(C_S + C_2)^2 q B}{\Delta C_{FS}^2 I_D} \quad (2.49)$$

L'analisi ci mostra come l'interfaccia Switched Capacitor sia molto robusta nei confronti del rumore dell'op-amp. Il fattore  $qB$ , che ha dimensioni di una corrente, assume un valore molto basso (circa 4 fA per  $B=30$ KHz) e rende quindi piccolo l'inverso del dynamic range, aumentando ovviamente quest'ultimo. In effetti, se l'amplificatore è correttamente dimensionato per avere un basso livello di rumore termico, è il rumore  $\frac{kT}{C}$  a limitare il dynamic range.

L'analisi svolta può essere ripetuta in maniera del tutto analoga se supponiamo che un ulteriore stadio di amplificazione sia posto in cascata al primo. Come ci si può aspettare, si ottiene che il rumore introdotto dal secondo stadio è trascurabile rispetto a quello introdotto dal primo, che effettivamente resta l'unico a limitare il *dynamic range* dell'intero sistema.

L'analisi svolta è rappresentativa anche del caso Fully Differential che, come visto, risulta più vantaggioso in termini di immunità alle iniezioni di carica.

## 2.4 Convertitore capacità-frequenza

Le interfacce che operano una conversione da capacità a frequenza sono le più indicate ove non si abbia bisogno di elevate prestazioni, ma sia invece necessario un basso consumo, come in applicazioni portatili o in smart sensors. Infatti è possibile ridurre i consumi di tali interfacce fino al di sotto dei  $30 \mu W$ , avendo a disposizione comunque un range di diverse decadi di capacità misurabili (10fF-100pF), a fronte però di una linearità ridotta e soprattutto di elevata sensibilità

<sup>4</sup>E' importante distinguere tra la banda di interesse in uscita e la frequenza di clock. La banda di interesse può essere di molto inferiore alla  $f_{ck}$ , supponendola limitata da un filtro.

alla temperatura. In letteratura sono presenti svariati esempi di oscillatori low power low voltage usati come interfacce per sensori capacitivi.

### Esempi presenti in letteratura

Un semplice esempio è riportato in [7], al quale è stato già fatto riferimento per la descrizione di un sensore di umidità, dove è stata messa a punto un'interfaccia di conversione da capacità a frequenza basata su un oscillatore ad anello costituito da 3 inverter. Le capacità  $C_L$  in figura 2.17 sono formate dalle capacità

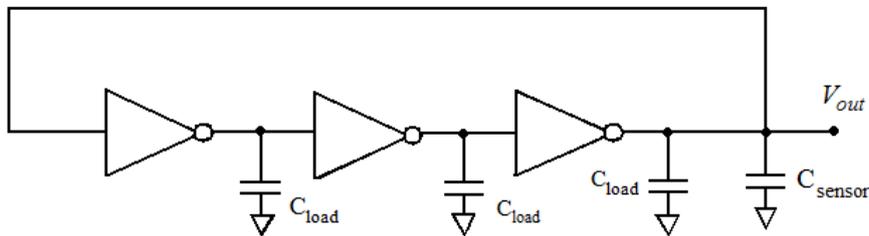


Figura 2.17: Oscillatore ad anello realizzato con inverter.

parassite delle metal di interconnessione tra le porte e dalle loro capacità di ingresso, mentre  $C_{sensor}$  è la capacità del sensore.

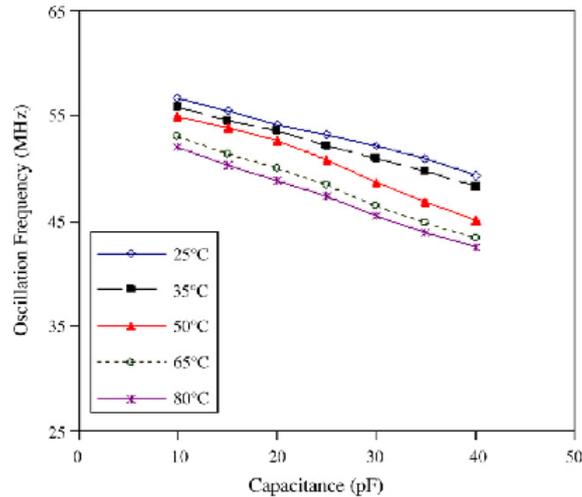
In realtà, l'oscillatore ad anello, o ring oscillator, ha una moltitudine di applicazioni, che spaziano dai PLL alla generazione di segnali di clock on-chip, all'uso in applicazioni di testing tecnologici. Esso consiste di un numero dispari di inverter, collegati in una catena circolare. A causa del numero dispari di inversioni e del ritardo di propagazione delle porte logiche, non esiste una zona operativa stabile, perciò una volta collegata l'alimentazione l'oscillazione si innesca spontaneamente con un periodo pari in generale a  $2t_p N$ , dove  $N$  è il numero di inverter presenti. La catena circolare di inverter implementa infatti una catena di amplificazione invertente, che insieme ai ritardi introdotti dalle porte realizza un oscillatore time-delay.

La  $C_{sensor}$  modifica la frequenza di oscillazione del sistema ed è possibile dimostrare che:

$$f = \frac{1}{6\tau_p + 2\tau_s} = \frac{1}{\left(6C_{load} \frac{V}{I_{AVG}}\right) + \left(2C_{sensor} \frac{V}{I_{AVG}}\right)} \quad (2.50)$$

dove  $\tau_p$  è il ritardo di propagazione medio associato alle capacità di carico e  $\tau_s$  è invece il ritardo associato alla capacità del sensore di umidità, mentre  $V$  è la

tensione di soglia degli inverter e  $I_{AVG}$  è la corrente media che scorre in essi. Risulta quindi evidente come una variazione della capacità sia convertita in una variazione della frequenza di uscita.



**Figura 2.18:** Caratteristica  $f$ - $C$  del ring oscillator.  $C_{load}$  è fissata a 0.1 pF. La figura è tratta da [7]. Si nota la forte instabilità in temperatura e la non linearità delle caratteristiche.

Una soluzione alternativa è proposta in [12]. Il funzionamento è basato sulla carica e scarica della capacità da misurare da parte di due generatori di corrente tramite una soluzione di tipo *current-starved inverter*, presentato in figura 2.19.  $M_1$  funziona da current source,  $M_2$  da current sink, e le correnti da loro erogate sono instradate sulla capacità d'uscita dall'inverter, in maniera quindi mutuamente esclusiva. La tensione sul condensatore, pilotando alternativamente l'inverter con 1 e 0, assumerà quindi un andamento a rampa. È opportuno prevedere dei rami nei quali la corrente può scorrere quando non viene instradata verso C, per evitare la carica delle capacità parassite. Esso viene quindi incluso in una particolare topologia che permetta, tramite dei comparatori, di leggere la tensione sul condensatore e generare di conseguenza la sequenza di pilotaggio per l'inverter, in modo da generare una rampa o un'onda quadra. Mantenendo costanti le correnti, e variando la capacità, varia la frequenza dell'onda in uscita. In figura 2.20 è riportato un esempio di architettura tratto da [12], al quale si rimanda per la spiegazione del funzionamento. La frequenza

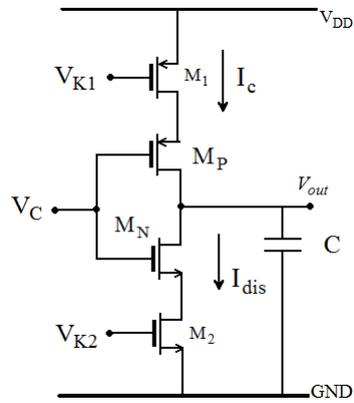


Figura 2.19: Current-Starved Inverter.

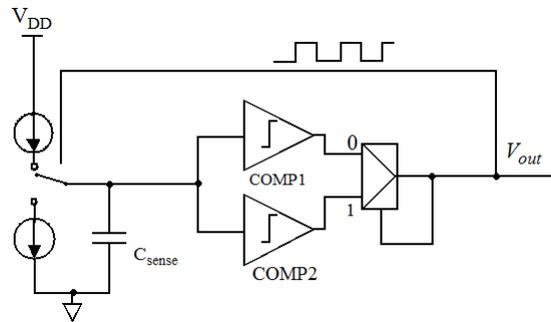


Figura 2.20: Convertitore da capacità a frequenza. I generatori di corrente sono realizzati con un current-starved inverter. I due comparatori hanno tensioni di soglia diverse e convertono la rampa sul condensatore in un'onda quadra. Il mux è pilotato dalla sua stessa uscita e sceglie quale comparatore deve essere operativo.  $V_{out}$  determina quale corrente scorre in  $C_{sense}$ . In uscita si ottiene un'onda quadra.

dell'onda quadra ottenuta è:

$$f = \frac{I}{2(V_{tr1} - V_{tr2})} \frac{1}{C} \quad (2.51)$$

dove  $V_{tr1,2}$  sono le diverse tensioni di soglia dei comparatori. Il circuito presenta un consumo molto ridotto,  $23 \mu W$ , grazie al fatto che è possibile rendere molto piccole le correnti dei generatori. La dipendenza dalla temperatura non è comunque trascurabile ( $0.12 \%/^{\circ}C$ ) e la risposta non è lineare. Per quanto riguarda la banda del sistema, risulta evidente che la frequenza dell'onda quadra dovrà essere molto maggiore delle frequenze di variazione della capacità del sensore.

Concludendo, si può affermare che i convertitori  $C - f$  sono molto vantaggiosi da un punto di vista del consumo e della portabilità. Non garantiscono però un'elevata risoluzione, nè un'elevata stabilità in temperatura. Questo perchè la frequenza presente in uscita dipende oltre che dalla capacità in gioco anche da altri parametri, quali i  $g_m$  dei transistor, la precisione degli specchi che generano le correnti, le resistenze, che dipendono significativamente dalla temperatura.

## Capitolo 3

# Il convertitore Capacità-Durata

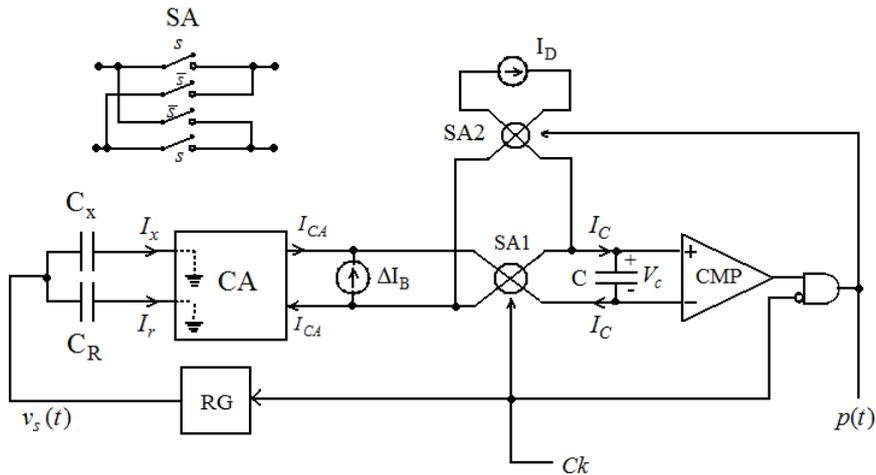
Il presente lavoro di tesi tratta del miglioramento di un'interfaccia per sensori capacitivi integrati in tecnologia CMOS, che opera la conversione da capacità a modulazione della larghezza di un impulso (*Pulse Width Modulation*, o PWM). In essa il segnale di uscita è costituito da un'onda rettangolare il cui duty cycle varia proporzionalmente al  $\Delta C$  tra due capacità, l'incognita  $C_X$ , e la capacità di riferimento, o dummy sensor,  $C_R$ . Il principio sul quale l'interfaccia si basa è la carica-scarica delle capacità, per mezzo di correnti costanti, modulate opportunamente da un clock e da altre forme d'onda descritte nel seguito. L'onda quadra in uscita è poi formata da un comparatore e da alcune porte logiche. In questo capitolo sarà presentata l'interfaccia nella sua versione precedente, che ha visto anche la produzione su chip mediante processo BCD6s a  $0.32 \mu m$  di STMicroelectronics [13], [14].

L'interfaccia garantisce un'ottima stabilità in temperatura a fronte di un consumo molto ridotto. Inoltre la modulazione PWM in uscita garantisce degli indubbi vantaggi, per la facilità di lettura e la robustezza nei confronti del rumore del canale di trasmissione dell'informazione e dei disturbi elettromagnetici. Il segnale in uscita può essere facilmente letto da un microcontrollore di fascia medio-bassa, per mezzo di un contatore, o può essere filtrato passa-basso per estrarne il valor medio, e quindi un segnale analogico.

### 3.1 Descrizione del sistema

#### Schema a blocchi

Per descrivere il funzionamento del sistema, è opportuno riferirsi allo schema a blocchi, presentato in figura 3.1. Le capacità  $C_R$ , di valore fissato, e  $C_X$ , va-



**Figura 3.1:** Schema a blocchi del convertitore Capacità-PWM. SA è lo schema equivalente dei modulatori SA1 e SA2. CA è il Current Amplifier, RG è un generatore di rampa sincrono al clock, CMP è un comparatore.  $I_D$  e  $\Delta I_B$  sono generatori di corrente costante.

riabile, con valore a riposo uguale a  $C_R$ , che assume quindi il ruolo di dummy sensor, rappresentano il sensore capacitivo differenziale. Esse hanno un terminale a comune, e la loro differenza  $\Delta C = (C_X - C_R)$  è proprio l'informazione utile, dipendente dalla quantità fisica che deve essere rilevata. Come risulterà chiaro più avanti, è richiesto un  $\Delta C$  positivo per il corretto funzionamento del sistema. Il segnale di uscita  $p(t)$  consiste nell'onda quadra di uscita con duty cycle variabile, mentre il segnale  $v_s(t)$  è un'onda triangolare, sincrona al clock come anche  $p(t)$ . I blocchi SA1 e SA2 sono modulatori, costituiti da array di switch, e connettono la porta di ingresso alla porta di uscita in modo diretto o incrociato, dipendentemente dal segnale di pilotaggio. Il blocco CA rappresenta un amplificatore di corrente fully differential, con guadagno  $\frac{1}{2}$ . I suoi ingressi sono mantenuti a massa virtuale, o comunque a una tensione continua di riferimento fissata, quindi massa per le variazioni, in modo da presentare la minor

impedenza di ingresso possibile e massimizzare il guadagno del sistema. Infine, CMP è un comparatore a bassa isteresi.

### Funzionamento dell'interfaccia e forme d'onda

Il condensatore C viene caricato o scaricato dalle correnti  $I_D$ ,  $\Delta I_B$ ,  $I_{CA}$ , le prime due prodotte da generatori di corrente costante, la terza ottenuta applicando  $V_s(t)$  ai condensatori. E' quindi importante calcolare il contributo di tali correnti alla carica immagazzinata nel condensatore C, che si comporta come un integratore di corrente, in un periodo di clock.

L'onda triangolare sincrona al clock  $V_s(t)$ , prodotta da RG, viene applicata al nodo comune delle capacità del sensore, mentre l'altra armatura di ciascun condensatore è collegata agli ingressi del current amplifier e quindi virtualmente a massa. Risulta allora evidente che:

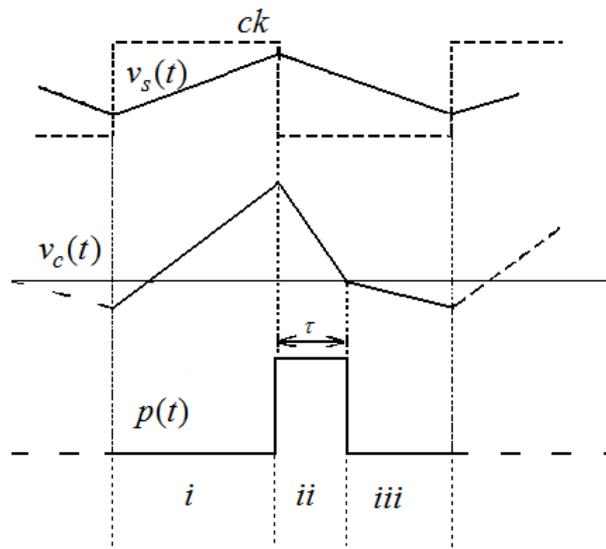
$$I_{CA}(t) = \frac{1}{2} (I_x - I_r) = \frac{1}{2} \frac{dV_s}{dt} \Delta C = \frac{\Delta V_s}{T_{ck}} \Delta C m(t) \quad (3.1)$$

dove  $m(t)$  è un'onda quadra ideale che varia da 1 a -1, sincrona col clock, che tiene conto del cambio di segno dovuto all'inversione di pendenza della rampa. Tuttavia, essendo il modulatore SA1 pilotato anch'esso dal clock, esso produce un'inversione di segno aggiuntiva, e demodula la corrente, raddrizzandola. In questo modo la  $I_{CA}$  dà un contributo di carica positivo durante tutto il periodo di clock  $T_{ck}$ .

La corrente  $\Delta I_B$  è costante, e viene modulata dal clock attraverso SA1, caricando per un semiperiodo il condensatore C, e scaricandolo nell'altro. Il contributo netto di questa corrente alla carica integrata in un periodo su C sarà nullo.

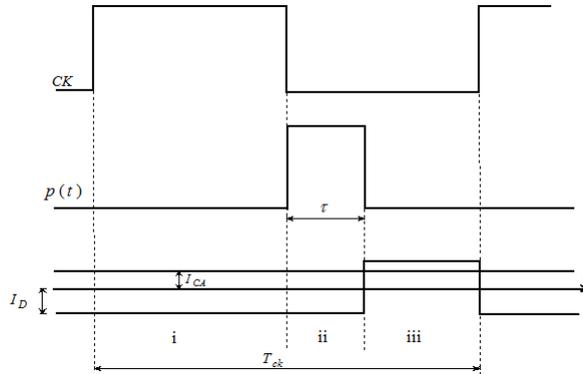
Per evitare una deriva della tensione  $V_c$ , è necessario che la carica netta integrata da C in un periodo di clock sia nulla. Risulta infatti evidente come un incremento di carica netto  $\Delta Q$  alla fine di ciascun periodo, sia esso positivo o negativo, aggiunto alla carica già presente sul condensatore, porterebbe inevitabilmente il sistema alla saturazione in un certo numero di cicli di clock. La funzione di compensare il contributo positivo di carica erogato da  $I_{CA}$ , in modo da rendere nulla la variazione globale di carica su C nel periodo  $T_{ck}$ , è svolta dalla corrente costante  $I_D$ , modulata da  $p(t)$ . Per ottenere una forma d'onda  $p(t)$  stazionaria, è necessario che valga:

$$I_D > \max |I_{CA}| = K_{\max} (I_x - I_r) \quad (3.2)$$



**Figura 3.2:** Forme d'onda significative.  $V_s$  è la rampa prodotta da RG,  $V_c$  è la tensione ai capi del condensatore di integrazione C,  $p(t)$  è l'uscita PWM del sistema, che agisce anche come controllo sul modulatore SA2.  $Ck$  è ovviamente il clock.

dove  $K$  è il guadagno dell'amplificatore di corrente. Si noti che il segno con cui la corrente  $I_D$  contribuisce al bilancio di carica su C è regolato oltre che da  $p(t)$ , attraverso SA2, anche dal clock, attraverso SA1. La figura 3.3 rappresenta chiaramente i contributi delle correnti durante un  $T_{ck}$ , per un duty cycle di  $p(t)$  fissato, con impulso di durata  $\tau$ . Risulta quindi evidente come la condizione 3.2 debba essere soddisfatta; infatti essendo sempre positivo il contributo di  $I_{CA}$ , mentre il contributo della  $I_D$  è sia negativo che positivo, è necessario che quest'ultima sia maggiore della corrente di segnale massima, altrimenti sarebbe impossibile bilanciarne l'apporto di carica. In accordo alle figure 3.2 e 3.3, si descrive il contributo di carica di  $I_D$  con riferimento alle fasi nelle quali si è diviso il periodo di misura e la formazione dell'impulso. Si suppone il sistema in condizioni di regime. Durante il primo semiperiodo (fase i) il clock è alto, quindi l'uscita della AND, ovvero  $p(t)$ , è forzata a 0 logico, indipendentemente da  $V_C$ , quindi i modulatori sono connessi in modo tale che il contributo di carica sia negativo. All'inizio della fase ii clock va basso, mentre  $p(t)$  va alta, per effetto di  $V_C$  che, essendo maggiore di 0, pilota un 1 logico in uscita al comparatore. Di conseguenza SA2 è connesso in maniera diretta, mentre SA1 opera un cambio di segno, per cui la corrente  $I_D$  continua a scaricare C. Si noti



**Figura 3.3:** Correnti modulate che scorrono nel condensatore C. Il periodo  $T_{ck}$  è diviso in 3 fasi.

che in questo intervallo temporale sia  $I_D$  che  $\Delta I_B$  contribuiscono negativamente, e la  $V_C$  diminuisce. La fase iii ha quindi inizio nel momento in cui  $V_C$  diventa negativa, pilotando uno 0 logico in uscita al comparatore, che forza a 0  $p(t)$ : entrambi i modulatori operano adesso un cambio di segno sulla corrente  $I_D$ , che va a caricare positivamente il condensatore. La pendenza di  $V_C$  è ancora negativa, ma è minore rispetto a quella durante la fase ii.

E' possibile ricavare  $\tau$  imponendo uguale a 0 la somma algebrica dei contributi di carica descritti:

$$T_{CK}I_{CA} - \frac{T_{CK}}{2}I_D - \tau I_D + \left(\frac{T_{CK}}{2} - \tau\right) I_D = 0 \quad (3.3)$$

da cui:

$$\tau = \frac{T_{ck}}{2} \frac{|I_{CA}|}{2I_D} \quad (3.4)$$

Sostituendo a  $I_{CA}$  la 3.1 si ottiene:

$$\tau = \Delta C \frac{\Delta V_s}{2I_D} = \frac{Q_{CA}}{2I_D} \quad (3.5)$$

dove  $\Delta V_s$  è l'ampiezza picco-picco della rampa.

Come detto sopra, la  $\Delta I_B$  dà un contributo nullo di carica nel periodo. Tuttavia questa corrente è necessaria per il corretto funzionamento del sistema: durante la fase iii sia  $I_D$  che  $I_{CA}$  caricano il condensatore d'uscita ed è quindi necessario che valga

$$\Delta I_B > I_D + \max |I_{CA}| \quad (3.6)$$

per mantenere negativa la pendenza di  $V_C$  e impedire quindi che CMP commuti di nuovo, arrestando prematuramente la fase iii.

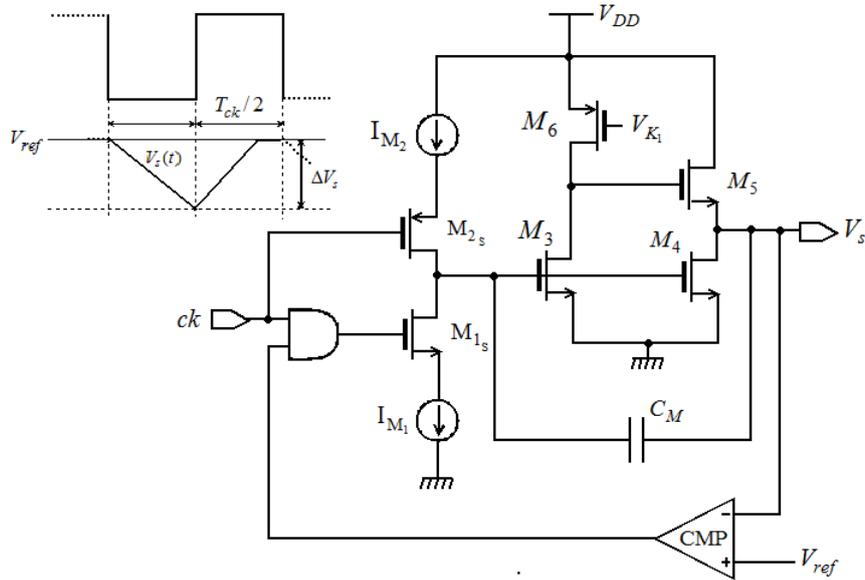
Si può mettere in evidenza un'importante limitazione al funzionamento del sistema: è necessario che  $\Delta C$  sia una quantità positiva perchè il sistema possa funzionare correttamente. Se fosse minore di 0,  $I_{CA}$  scaricherebbe il condensatore di uscita e renderebbe negativo il bilancio di carica sul periodo, portando alla saturazione il sistema. Nella sezione 5.2 sarà presentata una soluzione a questo problema.

## 3.2 Implementazione circuitale a singolo clock

Il circuito è stato progettato facendo uso del processo bipolare-CMOS-DMOS BCD6s di STMicroelectronics da  $0.32 \mu m$ . La  $V_{DD}$  è stata fissata a 3.3 Volt. Il circuito è inoltre stato ottimizzato per funzionare con bassa corrente di alimentazione e bassa dipendenza dalla temperatura, cercando un tradeoff tra queste due condizioni, in realtà contrastanti. Per esempio, il  $g_m$  dei transistor dipende dalla corrente di bias, e una sua variazione influisce sul valore dell'impedenza di ingresso.

### Il generatore di rampa

Tale circuito ha il compito di generare un'onda triangolare stabile, la  $V_s(t)$  riportata in figura 3.2. Il principio di funzionamento è simile a quello del *current starved inverter* presentato a pagina 45. Due generatori di corrente sono alternativamente connessi ad un integratore di Miller invertente, come si può osservare in figura 3.4. Per spiegarne il funzionamento si supponga che all'inizio del semiperiodo nel quale il clock è basso  $V_s$  sia minore di  $V_{ref}$ . La porta AND è comunque forzata a 0, mentre  $M_{2s}$  è acceso e collega  $I_{M2}$  all'integratore. Poichè  $C_M$  si carica con corrente costante,  $V_s$  assumerà andamento lineare e discendente. Quando il clock torna alto, poichè l'uscita del comparatore è ancora alta si ha un 1 logico in uscita alla porta AND, che va ad accendere  $M_{1s}$ , mentre  $M_{2s}$  è spento. Il generatore  $I_{M1}$  viene quindi collegato all'integratore e si comporta da *current sink* costante, per cui la  $V_s$  in questo intervallo di tempo cresce linearmente. Se la  $V_s$  raggiunge la tensione  $V_{ref}$  prima della fine del periodo, l'uscita del comparatore commuta allo 0 logico e forza uno 0 logico in uscita alla AND. In questo modo entrambi i generatori di corrente saranno scollegati dall'integratore e la  $V_s$  rimarrà bloccata a  $V_{ref}$  fino alla fine del periodo. La situazione appena descritta si verifica se  $I_{M2} > I_{M1}$ : in effetti questa condizione è imposta da progetto. Se



**Figura 3.4:** Schema semplificato del generatore di rampa e forme d'onda.  $M_{1s}$  e  $M_{2s}$  agiscono da interruttori, mentre i restanti costituiscono un amplificatore invertente, che forma l'integratore di Miller assieme alla capacità  $C_M$ .

si tentasse di realizzare un'onda perfettamente simmetrica, un errore, anche di piccola entità, sulle correnti, dovuto a mismatch o offset sistematici, porterebbe il sistema ad una deriva, e quindi a una saturazione delle forme d'onda. Si può comunque dimostrare che l'apporto di carica sul condensatore di uscita  $C$  è invariato rispetto al caso ideale. Per il contributo della carica erogata nel semiperiodo nel quale il clock è alto vale:

$$\frac{1}{2} \int_{T_{ck}/2}^{T_{ck}} |I_x - I_r| dt = \frac{\Delta C}{2} \int_{T_{ck}/2}^{T_{ck}} \left| \frac{dV_s}{dt} \right| dt = \frac{\Delta C}{2} \int_{V_{ref}-\Delta V_s}^{V_{ref}} dV_s = \frac{\Delta C}{2} \Delta V_s \quad (3.7)$$

L'equazione 3.7 mostra chiaramente come il contributo sia esattamente uguale a quello del caso ideale, e sia quindi del tutto indipendente dalla pendenza della rampa. Per questo motivo l'equazione 3.3 continua a essere del tutto valida.

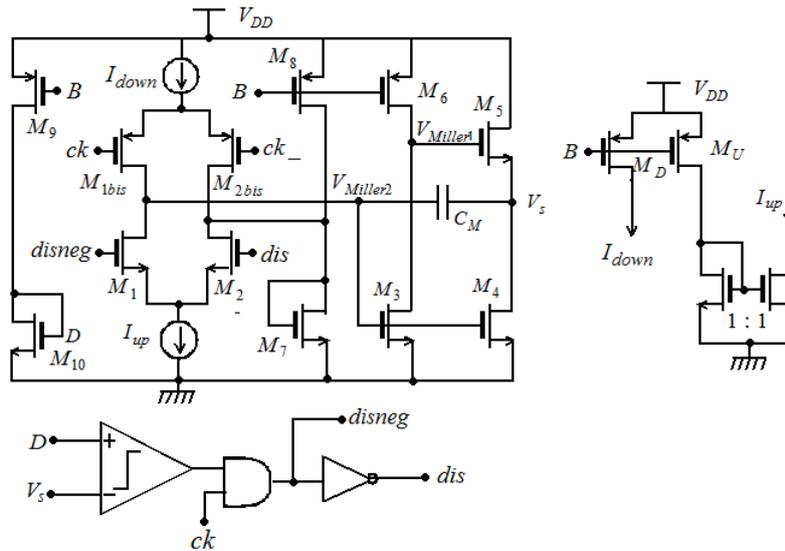
Si può esprimere l'ampiezza picco-picco di  $V_s$ :

$$\Delta V_s = \frac{T_{ck}}{2} \frac{I_{M_2}}{C_M} \quad (3.8)$$

da cui si può fornire un'ulteriore espressione per  $\tau$ :

$$\tau = \frac{\Delta C}{C_M} \frac{I_{M_2}}{4I_D} T_{ck} \quad (3.9)$$

La durata dell'impulso è quindi proporzionale al periodo di clock e a  $\Delta C$ , come desiderato. Si noti come nella 3.9 compaiano solo rapporti di capacità e di correnti. Proprio questa condizione garantisce un'elevata stabilità in temperatura, in quanto si può supporre che grandezze omogenee subiscano uguali variazioni percentuali rispetto al processo e alla temperatura.



**Figura 3.5:** Schema elettrico completo del generatore di rampa. La capacità  $C_M$  è uguale a 3 pF. Si identifica l'amplificatore invertente, costituito dai MOS  $M_3, M_4, M_5, M_6$ , mentre  $M_1, M_2, M_{1bis}, M_{2bis}$  costituiscono una struttura simile al current starved inverter.  $M_{10}$  provvede al riferimento di tensione per il comparatore. A destra è invece riportata la sezione di generazione delle correnti  $I_{UP}$  e  $I_{DOWN}$ .

In figura 3.5 è riportato lo schema completo del generatore di rampa. L'amplificatore invertente è costituito da uno stadio a source comune, costituito da  $M_3$ , che provvede a fornire l'alta impedenza di ingresso e il guadagno, e da un inseguitore di source,  $M_5$ , che provvede a mantenere l'impedenza di uscita bassa, polarizzati rispettivamente da  $M_6$ , che eroga una corrente di  $1 \mu A$  e da  $M_4$ , che assorbe una corrente di  $2 \mu A$ , specchiando con un rapporto di 2:1 la corrente che attraversa lo stesso  $M_3$ .

I MOS che forniscono le correnti di polarizzazione e di carica della capacità hanno la  $V_g$  fissata a un potenziale noto  $V_B$ , ottenuta a partire da una rete di polarizzazione e costituiscono praticamente la sezione di uscita di uno spec-

chio. Le loro dimensioni sono fissate a  $W = 1\mu m$  e  $L = 50\mu m$ . Aggiustando le molteplicità<sup>1</sup> di questi transistor è possibile regolare la corrente che erogano. Essendo il transistor di riferimento della rete di polarizzazione (figura 3.19) di molteplicità 50, ed essendo la sua corrente di  $1\mu A$ , si riesce a regolare la corrente con un passo di 20 nA. Per quanto detto sopra sulle pendenze della rampa, risulta inoltre ovvio che la molteplicità di  $M_D$  dovrà essere maggiore di quella di  $M_U$ . La tensione del nodo D, che sommata all'isteresi del comparatore fissa il valore superiore della  $V_s$ , si regola dimensionando opportunamente  $M_{10}$ , e vale circa 1.1 V. A proposito dell'isteresi del comparatore, c'è da dire che non ci sono per essa particolari requisiti. Si noti comunque che tale tensione non può essere innalzata troppo, a causa della presenza del source follower, che ha una  $V_{gs}$  di circa 1 V, comprensiva di effetto Body, e tende quindi a spengere  $M_6$  se la sua tensione di source, che è proprio  $V_s$  sale troppo. Per quanto riguarda il funzionamento in transitorio, si può facilmente dimostrare che è riprodotto il comportamento visto per il circuito nella sua versione semplificata.

Il ramo costituito da  $M_8$  e  $M_7$  raccoglie la corrente prodotta dai generatori quando essi sono scollegati dall'integratore, perchè non carichi le capacità parassite creando poi iniezioni indesiderate.

Il generatore di rampa è stato implementato in questo modo perchè la presenza dell'amplificatore invertente, che guadagna A (circa 100), riporta in ingresso per effetto Miller la capacità  $C_M$  aumentata di  $(1+A)$  volte, garantendo così una più stabile tensione  $V_{Miller2}$ , cosa che aumenta la precisione degli specchi, e una riduzione dell'effetto delle capacità parassite, dipendenti inoltre dalla temperatura. Inoltre, per effetto della bassa resistenza di uscita, si fa sì che il sensore non carichi il generatore di rampa, influenzandone il funzionamento. In tabella 3.1 sono riportate le dimensioni dei MOS più significativi del generatore di rampa.

### L'amplificatore di corrente

L'amplificatore di corrente è il blocco fondamentale del sistema di misura. E' realizzato con un'architettura fully differential, con tutti i vantaggi del caso, con guadagno uguale a 1/2. In realtà è stato implementato un circuito che incorpo-

---

<sup>1</sup>Per molteplicità si intende il numero di transistori uguali posti in parallelo. Nel caso degli specchi di corrente, ricorrere alla molteplicità per regolare la corrente erogata è necessario per mantenere un'elevata precisione del rapporto di specchio.

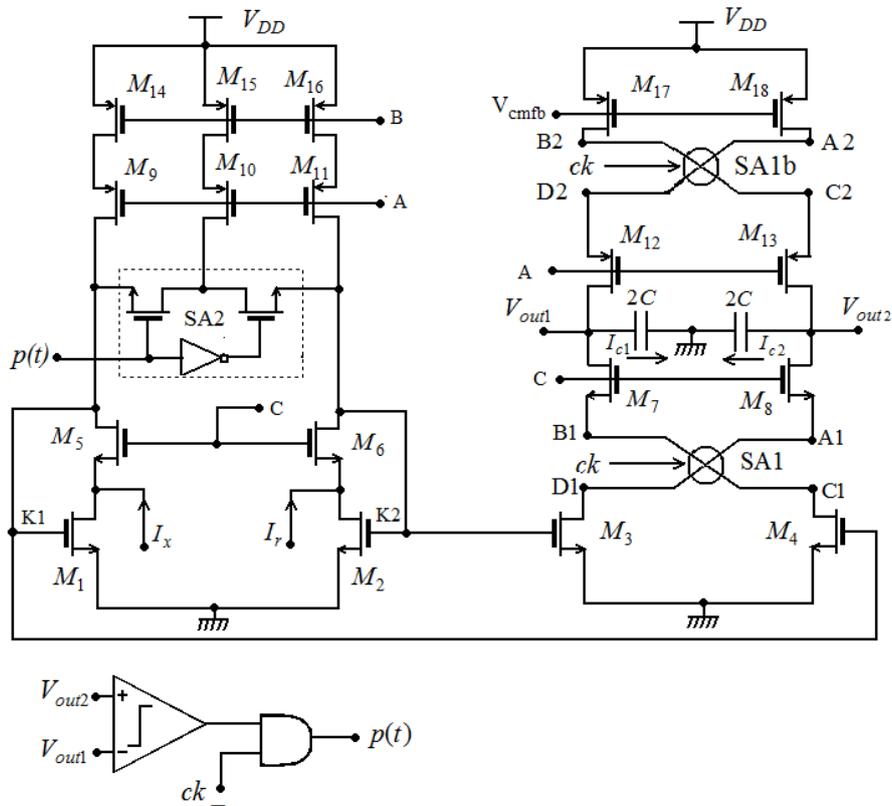
	W	L	M
	( $\mu\text{m}$ )	( $\mu\text{m}$ )	
$M_D$	1	50	12
$M_U$	1	50	15
$M_3$	2.5	8	1
$M_4$	2.5	8	2
$M_5$	4	2	1
$M_6$	1	50	50
$M_8$	1	50	50
$M_7$	2	4	1
$M_9$	1	50	50
$M_{10}$	2	32	1

**Tabella 3.1:** Dimensioni e molteplicità dei MOS più significativi del generatore di rampa. Le dimensioni dei transistor montati a gate comune non sono particolarmente rilevanti e non sono riportate.

ra anche ulteriori funzioni dello schema a blocchi di figura 3.1: esso riceve in ingresso le correnti  $I_x$  e  $I_r$  che arrivano dal sensore, ne svolge fa la differenza, la somma algebricamente a  $\Delta I_B$  e a  $I_D$ , e svolge le necessarie modulazioni, indicate in figura 3.1.

La figura 3.6 rappresenta un circuito in grado di svolgere le funzioni appena descritte. I transistor  $M_{14}$  ed  $M_{16}$ , oltre a fornire la corrente di polarizzazione della sezione sinistra del circuito  $I_{BIAS} = 1\mu\text{A}$ , producono  $\Delta I_B$ , essendo diversa la loro molteplicità. Le loro dimensioni sono anch'esse  $W=1\mu\text{m}$  e  $L=50\mu\text{m}$  e, come per il generatore di rampa, il passo di regolazione per le correnti è di 20 nA. La corrente  $I_{D_{15}}$  viene instradata da SA2 sul ramo sinistro o sul destro, a seconda dello stato dell'uscita e assume il ruolo della  $I_D$  dello schema a blocchi, come si dimostrerà più avanti. Queste correnti sono generate con specchi Cascode per aumentarne la precisione.

Le correnti  $I_x$  e  $I_r$  sono le correnti provenienti dal sensore. Grazie al loop di reazione presente, esse vedono un'impedenza di ingresso ridotta, nell'ordine di  $1/g_m^2 r_d$ , come risulterà chiaro più avanti. Questo rende trascurabili le variazioni di tensione agli ingressi dovute alla  $V_s$ . Le correnti che scorrono nei transistori  $M_1$  e  $M_2$  vengono rispettivamente specchiate nei transistori  $M_4$  ed



**Figura 3.6:** Schema elettrico dell'amplificatore di corrente CA. Esso include anche i generatori di corrente  $I_D$  e  $\Delta I_B$  e i modulatori SA1 e SA2. Quando il clock è alto, SA1 connette il nodo A1 al nodo D1, quando è basso B1 a C1. Il modulatore SA2 è pilotato dal segnale di uscita  $p(t)$ . Le tensioni dei nodi A, B e C sono tensioni costanti prodotte dalla rete di polarizzazione. La tensione del nodo B in particolare coincide colla tensione del nodo B del generatore di rampa.

$M_3$  e attraverso il modulatore SA1 giungono all'uscita.  $M_7$  ed  $M_8$  completano lo specchio Cascode formato colla coppia di ingresso.  $M_1$ ,  $M_2$ ,  $M_3$  ed  $M_4$  sono stati realizzati ovviamente uguali e di area non minima, con  $W=2 \mu\text{m}$  e  $L=12 \mu\text{m}$ , di molteplicità 2.

Si vuole dimostrare che il funzionamento del circuito presentato è proprio quello desiderato: si noti allo scopo che nello schema elettrico la capacità di uscita C è stata sostituito da altre due di valore  $2C$  con il nodo centrale a massa. Questa operazione non modifica il funzionamento del circuito: l'amplificatore di cor-

rente è un amplificatore fully differential e come tale necessita di un controllo in reazione del modo comune di uscita, che si occupi di mantenere fissata questa quantità. Il circuito che realizza questo controllo sarà presentato più avanti. E' per ora sufficiente affermare che poichè le variazioni del modo comune di  $V_{out1}$  e  $V_{out2}$  sono cancellate, non scorre corrente dal nodo centrale verso massa e i due condensatori formano una serie, di valore proprio uguale a C. Proprio per questo motivo si ha:

$$I_{C_2} = -I_{C_1} \quad (3.10)$$

D'altra parte, per valutare i vari contributi al bilancio di carica sulla capacità C, è necessario studiare la corrente  $I_{C_2}$  che vi scorre, da  $V_{out2}$  verso  $V_{out1}$ :

$$I_{C_2} - I_{C_1} = 2I_{C_2} \quad (3.11)$$

da cui:

$$I_{C_2} = \frac{I_{C_2} - I_{C_1}}{2} \quad (3.12)$$

Osservando il circuito, si può quindi scrivere:

$$I_{C_2} - I_{C_1} = (I_{M_{13}} - I_{M_8}) - (I_{M_{12}} - I_{M_7}) \quad (3.13)$$

Tuttavia, poichè  $M_{17}$  e  $M_{18}$  hanno la stessa  $V_{gs}$ , essi erogano la stessa corrente, che viene modulata da SA1b. Tale operazione serve a ridurre l'incidenza dell'offset e del rumore a bassa frequenza, come risulterà chiaro più avanti, ma la corrente che scorre in  $M_{12}$  e  $M_{13}$  è comunque uguale a quella erogata dai MOS superiori durante ciascuna fase di funzionamento. L'equazione 3.13 si riduce quindi a:

$$I_{C_2} - I_{C_1} = I_{M_7} - I_{M_8} \quad (3.14)$$

Le correnti che scorrono in  $M_7$  e in  $M_8$  provengono dalla modulazione delle correnti che scorrono in  $M_3$  e  $M_4$ . Definendo  $m_s(t)$  come un'onda quadra sincrona al clock che assume valore 1 quando esso è alto e -1 quando è basso<sup>2</sup>, si può

<sup>2</sup>Sarebbe possibile nel seguito riferirsi semplicemente al clock, ma per quanto sarà svolto più avanti è conveniente fare uso di  $m_s(t)$ .

scrivere l'andamento nel tempo nelle correnti:

$$I_{D_8} = I_{D_{14}} \left( \frac{1 - m_s}{2} \right) + I_{D_{16}} \left( \frac{1 + m_s}{2} \right) + I_r \left( \frac{1 + m_s}{2} \right) + I_x \left( \frac{1 - m_s}{2} \right) + \left( \frac{1 + m_s}{2} + p \right) I_{D_{15}} \quad (3.15)$$

$$I_{D_7} = I_{D_{14}} \left( \frac{1 + m_s}{2} \right) + I_{D_{16}} \left( \frac{1 - m_s}{2} \right) + I_r \left( \frac{1 - m_s}{2} \right) + I_x \left( \frac{1 + m_s}{2} \right) + \left( \frac{1 - m_s}{2} - p \right) I_{D_{15}} \quad (3.16)$$

Le espressioni possono essere facilmente dimostrate per ispezione diretta del circuito, ricordando che SA1 connette A1 a D1 e B1 a C1 quando il clock è alto. La corrente che carica la serie delle capacità risulta quindi:

$$I_{C_2} = \frac{I_{M_7} - I_{M_8}}{2} = m_s \frac{I_{D_{14}} - I_{D_{16}}}{2} + m_s \frac{I_x - I_r}{2} - (m_s + 2p) \frac{I_{D_{15}}}{2} \quad (3.17)$$

Identificando  $(I_{D_{14}} - I_{D_{16}}) / 2$  con  $\Delta I_B$  e  $(I_{D_{15}} / 2)$  con  $I_D$ , si dimostra che l'andamento delle correnti è proprio quello atteso, ovvero quello rappresentato in figura 3.3. Infatti la  $\Delta I_B$  è modulata da  $m_s(t)$  e avrà contributo nullo in uscita, mentre il termine relativo alle correnti di ingresso indica come il guadagno dell'amplificatore sia proprio 1/2. La loro differenza viene moltiplicata per  $m_s(t)$ , che esprime il raddrizzamento prima descritto. La  $I_D$  inoltre assume proprio l'andamento voluto.

In tabella 3.2 sono riportate le dimensioni e le tensioni di overdrive dei MOS più significativi. L'importanza dei modulatori SA1 e SA1bis nella riduzione di

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	M	$V_{gs} - V_t$ (V)
$M_1, M_2, M_3, M_4$	2	12	2	0.184
$M_{17}, M_{18}$	2	4	2	0.223
$M_{14}$	1	50	52(cfg)	0.254
$M_{16}$	1	50	45(cfg)	0.254
$M_{15}$	1	50	1(cfg)	0.254

**Tabella 3.2:** Dimensioni, molteplicità e tensione di overdrive per i MOS più significativi dell'amplificatore di corrente. Le dimensioni dei transistor montati a gate comune non sono particolarmente rilevanti e non sono riportate. cfg sta per configurabile.

rumore a bassa frequenza e offset risulterà chiara più avanti, quando sarà svolta

l'analisi di rumore della presente architettura. Per ora, basti pensare che i due modulatori svolgono un'operazione molto simile alla modulazione chopper.

Il comparatore è realizzato avendo cura di minimizzare l'isteresi, mentre i modulatori sono realizzati con array di switch costituiti da MOS.

Le correnti  $I_D$  e  $\Delta I_B$  sono in realtà prodotte da specchi configurabili, nell'ottica di poter sperimentare gli effetti di varie combinazioni di correnti sulle performance del test-chip. Tuttavia la descrizione rigorosa di tale aspetto dell'interfaccia esula dal presente lavoro di tesi. Per maggiori dettagli rimandiamo quindi a [15].

Resta da fare un'ultima osservazione: il circuito lavora per segnali che non possono essere considerati a rigore piccoli. Le forme d'onda hanno un'ampiezza nell'ordine del Volt, per cui il circuito lavorerà sempre in un regime transitorio, senza raggiungere un punto di riposo vero e proprio. Quindi non è rigorosamente corretto svolgere analisi di piccolo segnale per questo circuito, poichè i parametri dei MOS varieranno nel tempo. Tuttavia è utile sviluppare comunque il calcolo dell'impedenza di ingresso con un'analisi di piccolo segnale, per avere un'indicazione sul suo valore e sul suo andamento in temperatura. Inoltre i parametri di piccolo segnale possono comunque essere ritenuti validi per una variazione del segnale abbastanza ampia.

### Impedenza di ingresso dell'amplificatore di corrente

Si è già evidenziato come l'impedenza di ingresso del generatore di corrente debba essere quanto più bassa possibile, per massimizzare il guadagno del sistema. Per questo motivo è stato inserito un loop di reazione nella sezione di ingresso, che aumenta l'ammettenza.

Applicando un generatore di tensione di prova  $v_p$  all'ingresso, si può valutarne l'impedenza vista come:

$$Z_{in} = \frac{v_p}{i_p} \quad (3.18)$$

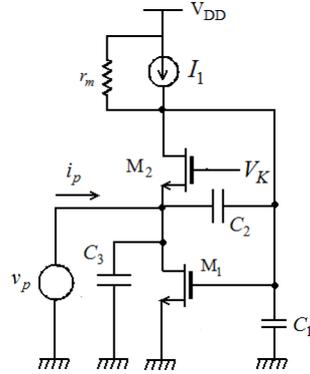
Con riferimento alla figura 3.7 si possono esprimere le capacità presenti nel circuito:

$$C_1 = C_{gs1} + C_{db2} + C_{db}^* \quad (3.19)$$

$$C_2 = C_{gd1} \quad (3.20)$$

$$C_3 = C_{gs2} + C_{db1} \quad (3.21)$$

dove  $C_{db}^*$  indica le capacità  $C_{db}$  dei MOS superiori afferenti al nodo in questione e  $C_X$  indica la capacità del sensore.

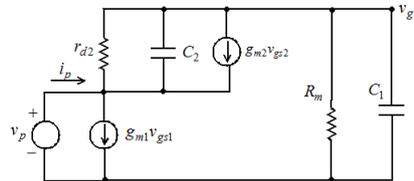


**Figura 3.7:** Sezione di ingresso dell'amplificatore di corrente.  $R_m$  è la resistenza di uscita della sezione Cascode superiore. Il generatore  $I_1$  è aperto alle variazioni, mentre  $V_K$  e  $V_{DD}$  sono cortocircuitati.

Poichè  $Z_{C_3}$  è in parallelo al resto del circuito, si può scrivere:

$$Z_{in} = Z_{C_3} // Z'_{in} \quad (3.22)$$

e si può calcolare  $Z'_{in}$  facendo uso dell'equivalente a piccoli segnali mostrato in figura 3.8.



**Figura 3.8:** Circuito equivalente ai piccoli segnali della sezione di ingresso di CA. Si noti che  $r_{d1}$  è omessa, in quanto si può anch'essa considerare in parallelo a  $Z'_{in}$

Con le seguenti definizioni:

$$Z_0 = \frac{R_m}{1 + R_m C_1 s} \quad (3.23)$$

$$Z_2 = \frac{r_{d2}}{1 + r_{d2} C_2 s} \quad (3.24)$$

considerando che  $v_{gs2} = -v_p$  e fornendo l'equivalente di Thevenin del bipolo formato da  $Z_2$  e dal generatore di corrente  $g_{m2}v_{gs2}$  si ottiene lo schema di figura 3.9.

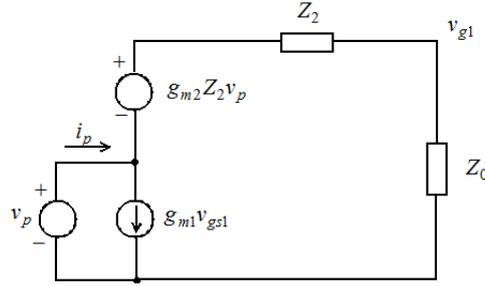


Figura 3.9: Circuito equivalente ai piccoli segnali dopo le trasformazioni elencate.

Il circuito così trasformato si presta ad una immediata analisi:

$$i_p = g_{m1} v_{gs1} + \frac{v_p (1 + g_{m2} Z_2)}{Z_0 + Z_2} \quad (3.25)$$

$$v_{gs1} = v_p (1 + g_{m2} Z_2) \frac{Z_2}{Z_2 + Z_0} \quad (3.26)$$

dalla quale si giunge, attraverso diversi passaggi algebrici, a:

$$Y'_{in} = \frac{1}{Z'_{in}} = \frac{i_p}{v_p} = \frac{(1 + g_{m2} Z_2) (1 + g_{m1} Z_0)}{Z_2 + Z_0} \quad (3.27)$$

Considerando la sostituzione  $s = j\omega$ , si può ipotizzare che fino a valori di frequenza abbastanza elevati:

$$|g_{m2} Z_2| \gg 1 \quad (3.28)$$

$$|g_{m1} Z_0| \gg 1 \quad (3.29)$$

Se tali ipotesi sono verificate si può scrivere:

$$Y'_{in} \approx g_{m2} g_{m1} Z_P \quad (3.30)$$

con  $Z_P$  parallelo di  $Z_2$  e  $Z_0$  ovvero:

$$Z_P = \frac{Z_2 Z_0}{Z_2 + Z_0} = \frac{R_P}{1 + R_P (C_1 + C_2) s} \quad (3.31)$$

dove  $R_P$  è il parallelo di  $r_{d2}$  ed  $R_m$  ed è circa uguale a  $r_{d2}$  essendo quest'ultima piuttosto minore di  $R_m$  che è la resistenza di uscita di uno specchio Cascode ed è dell'ordine di  $g_m r_d^2$ . Per  $\omega$  che tende a 0 si ha allora:

$$Y_{in0} = g_{m1} g_{m2} r_{d2} + r_{d1}^{-1} \approx g_{m1} g_{m2} r_{d2} \quad (3.32)$$

Le variazioni di tensione degli ingressi in risposta alle variazioni di corrente di

segnale risultano contenute finchè il valore dell'impedenza di ingresso è basso.  $Y_{in0}$  risulta essere di valore piuttosto grande, e questo comporta indubbiamente dei vantaggi in termini di dipendenza dalla temperatura. Essendo piccole le variazioni di tensione degli ingressi, l'effetto della temperatura sarà di conseguenza ridotto. Questo ragionamento è tuttavia dipendente dalla frequenza, nella misura in cui lo è anche  $Y_{in}$ . Per di più,  $V_s(t)$  è un'onda triangolare non ideale, e contiene armoniche di ogni ordine, delle quali è necessario tener conto nella scelta della frequenza di clock del sistema.

Per andare ad analizzare il comportamento in frequenza di  $Y_{in}$ , si definisce:

$$\omega_p = \frac{1}{R_p (C_1 + C_2)} \quad (3.33)$$

Per  $\omega \gg \omega_p$  vale:

$$Z_p \approx \frac{1}{j\omega(C_1 + C_2)} \quad (3.34)$$

da cui:

$$Y_{in} \approx \frac{g_{m2}g_{m1}}{j\omega(C_1 + C_2)} \quad (3.35)$$

ovvero l'ammettenza di ingresso diminuisce di 20 dB per decade.

Definendo inoltre:

$$\omega_0 = \frac{g_{m1}}{(C_1 + C_2)} \quad (3.36)$$

è possibile scrivere in definitiva:

$$Z_{in} = \frac{1}{g_{m2}} \frac{\omega}{\omega_0} \quad (3.37)$$

L'analisi svolta è valida se  $\omega_p$  e  $\omega_0$  sono sufficientemente separate in banda, perchè esista un intervallo di frequenze dove siano contemporaneamente verificate sia la 3.29 (valida per  $\omega \gg \omega_p$ ) che la 3.34 (valida per  $\omega \ll \omega_0$ ). Le due pulsazioni sono separate di un fattore pari a  $g_{m1}r_{d2}$ , che assume un valore superiore a 100. L'ipotesi sopra citata si può considerare verificata. E' necessaria un'ultima precisazione. L'analisi in frequenza è stata svolta come se  $Z_{in}$  coincidesse con  $Z'_{in}$ , trascurando l'impedenza presentata da  $C_3$ . Si deve quindi verificare la legittimità di questa assunzione. In continua l'impedenza  $Z_{C3}$  è chiaramente infinita. Fino ad  $\omega_p$  si dimostra facilmente che:

$$|Z_{C3}| = \frac{1}{\omega C_3} \gg \frac{1}{g_{m2}g_{m1}r_{d2}} \quad (3.38)$$

Di conseguenza  $Z_{C3}$  è trascurabile nel parallelo. Allo stesso modo si può dimostrare come essa sia ancora trascurabile anche per pulsazioni superiori a  $\omega_p$ .

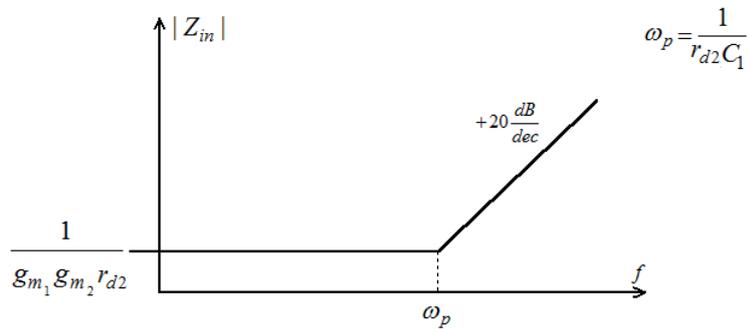


Figura 3.10: Andamento in frequenza di  $|Z_{in}|$ .

E' necessario inoltre assicurarsi della stabilit  del loop di ingresso. E' possibile farlo applicando il Teorema di Scomposizione [16] ed assicurandosi che il  $\beta A$ , ovvero il guadagno d'anello, sia negativo e non subisca rotazioni di fase di  $\pi$  prima che il suo valore sia sceso sotto gli 0 dB. Riferiamoci quindi alla figura 3.11. Il taglio   stato effettuato tra il gate<sup>3</sup> di  $M_1$  e massa. In questo modo  $Z_P$  risulta infinita. Le capacit  indicate in figura sono le stesse del calcolo dell'impe-

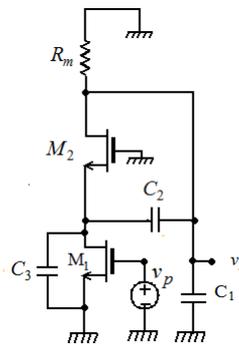
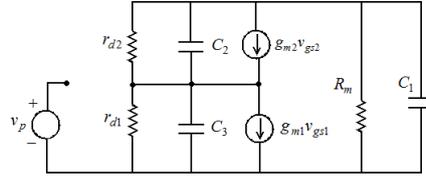


Figura 3.11: Sezione di ingresso dell'amplificatore di corrente. E' stato effettuato un taglio sul gate di  $M_1$  per studiare la stabilit  del loop.

denza di ingresso appartiene la  $C_3$ , che comprende adesso la capacit  del sensore  $C_X$ . Si effettua ancora una volta un'analisi di piccolo segnale con riferimento alla figura 3.12. Con una procedura simile a quanto descritto prima, si pu  ridurre il

<sup>3</sup>Il taglio   stato effettuato sul gate ideale del MOS, ovvero al di l  delle capacit  parassite, che compaiono in  $C_1$  e  $C_2$



**Figura 3.12:** Circuito di piccolo segnale del loop di ingresso, scomposto opportunamente.

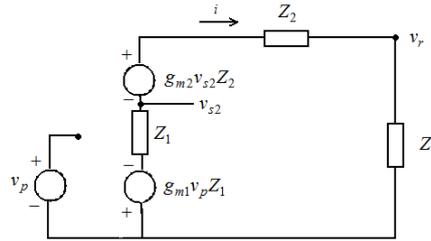
circuito a quello di figura 3.13, dove:

$$Z_0 = \frac{R_m}{R_m C_1 s + 1} \quad (3.39)$$

$$Z_1 = \frac{r_{d1}}{r_{d1} C_3 s + 1} \quad (3.40)$$

$$Z_2 = \frac{r_{d2}}{r_{d2} C_2 s + 1} \quad (3.41)$$

Usando l'equazione di Kirchoff per l'unica maglia presente, si ottiene:



**Figura 3.13:** Circuito di piccolo segnale trasformato opportunamente

$$i(Z_1 + Z_2 + Z_0) = -g_{m1} v_p Z_1 + (-g_{m1} v_p Z_1 - i Z_1) \quad (3.42)$$

da cui:

$$\frac{i}{v_p} = -\frac{g_{m1} Z_1 (1 + g_{m2} Z_2)}{Z_0 + Z_2 + Z_1 (1 + g_{m2} Z_2)} \quad (3.43)$$

Si ottiene allora per il guadagno d'anello:

$$\frac{v_r}{v_p} = \beta A = -\frac{Z_0 g_{m1} Z_1 (1 + g_{m2} Z_2)}{Z_0 + Z_2 + Z_1 (1 + g_{m2} Z_2)} \quad (3.44)$$

A pulsazioni per le quali prevalga la componente capacitiva delle impedenze, ipotesi tra l'altro facilmente verificata alle pulsazioni di interesse essendo piccoli i valori delle capacità, e tali da rendere  $|g_{m2} Z_2|$  molto maggiore di 1 si ha:

$$\beta A = -\frac{Z_0 g_{m1} Z_1 (1 + g_{m2} Z_2)}{\frac{1}{C_1 s} + \frac{1}{C_2 s} + \frac{1}{C_3 s} \frac{g_{m2}}{s C_2}} \quad (3.45)$$

Sviluppando i conti, si ottiene:

$$\beta A = -\frac{g_{m1}g_{m2}}{s} \frac{1}{(C_2C_3 + C_1C_3)s + g_{m2}C_1} \quad (3.46)$$

Portando in evidenza  $g_{m2}C_1$  al denominatore si può scrivere:

$$\beta A = -\frac{g_{m1}}{C_1s} \frac{1}{1 + \left(\frac{C_2C_3 + C_1C_3}{C_1} \frac{s}{g_{m2}}\right)} \quad (3.47)$$

Essendo  $C_2$  molto minore di  $C_1$  e ricordando quindi che:

$$\omega_0 = \frac{g_{m1}}{C_1} \quad (3.48)$$

si ottiene:

$$\beta A = -\frac{1}{j\frac{\omega}{\omega_0}} \frac{1}{1 + j\frac{\omega}{\omega_{in}}} \quad (3.49)$$

dove  $\omega_{in} = g_{m2}/C_x$ , poichè la capacità del sensore è proprio la componente preponderante della  $C_3$ . Si nota come il guadagno di anello subisca una rotazione di  $\pi$  per effetto dei due poli, dei quali uno è posizionato nell'origine e l'altro in  $\omega_{in}$ .  $\omega_0$  è il prodotto guadagno banda del sistema, e costituisce proprio la frequenza a 0 dB, nel caso  $\omega_{in}$  sia maggiore di essa. Si deve quindi fare attenzione a mantenere un sufficiente margine di fase alla frequenza di lavoro, per evitare rischi di instabilità.

E' necessario a questo punto fare alcune considerazioni sulle condizioni che sono state ottenute per la frequenza di lavoro. Perchè non si abbia un'eccessiva variazione del potenziale degli ingressi con  $V_s$  deve valere:

$$|Z_{in}| \ll \frac{1}{C_x\omega} \quad (3.50)$$

che, ricordando la 3.37, si traduce in:

$$\frac{1}{g_{m2}} \frac{\omega}{\omega_0} \ll \frac{1}{C_x\omega} \quad (3.51)$$

Si ottiene allora:

$$\omega^2 \ll \omega_0\omega_{in} \quad (3.52)$$

La specifica sul margine di fase viene solitamente fornita in termini di un coefficiente  $\sigma$ , che per sistemi a due poli viene definito come il rapporto tra la pulsazione del secondo polo e il prodotto guadagno-banda. In questo caso quindi  $\sigma = \omega_{in}/\omega_0$ . In definitiva, la pulsazione di lavoro dovrà soddisfare la seguente condizione:

$$\omega \ll \frac{1}{\sqrt{\sigma}}\omega_{in} \quad (3.53)$$

Risulta evidente come ridurre la frequenza di lavoro comporti notevoli vantaggi, sia in termini di stabilità che in termini di impedenza di ingresso. Tuttavia, lavorare a bassa frequenza rende minore la banda disponibile, e potrebbe quindi essere inaccettabile in certe applicazioni. E' sicuramente conveniente posizionarsi in  $\omega$  piuttosto minori di  $\omega_p$  per quanto possibile, ma anche in questo modo si verificano dei discostamenti dal comportamento ideale a causa delle armoniche della  $V_s$ , che anche per ordini abbastanza bassi vedono un'impedenza di ingresso crescente. Questo provoca inevitabili distorsioni.

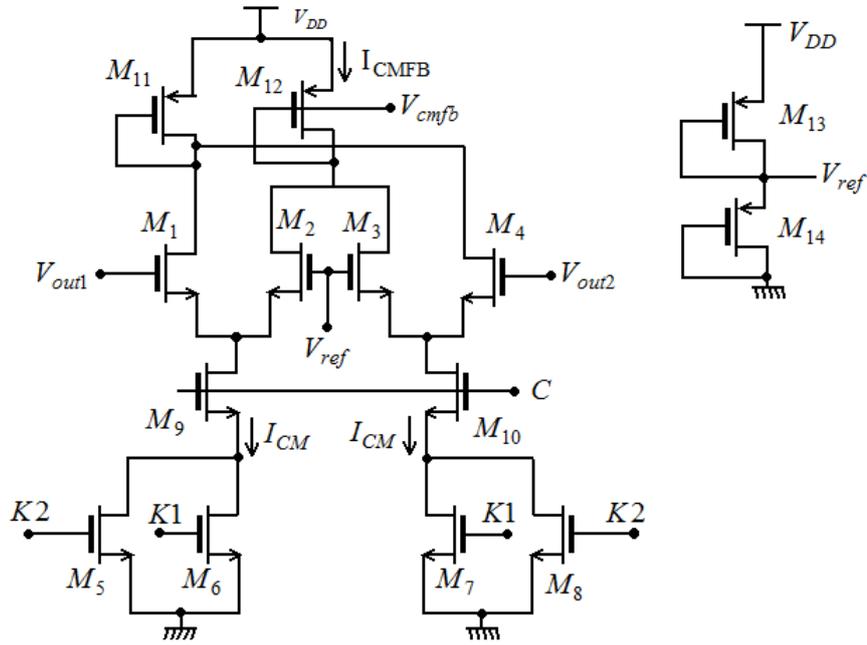
Da un punto di vista della stabilità, potrebbe invece essere necessario aumentare il valore di  $C_1$  ponendo in parallelo ad essa una capacità di compensazione, in maniera da abbattere il prodotto guadagno-banda e rispettare il margine di fase richiesto. Si nota come la capacità del sensore, se troppo elevata, possa creare problemi di stabilità.

Inoltre, dalle espressioni ricavate, si nota una dipendenza dell'impedenza di ingresso dai  $g_m$ . Come già accennato, questo comporta una dipendenza dalla temperatura, risultando evidente la presenza di un'ulteriore trade-off tra temperatura e consumo di potenza, in quanto aumentando la corrente di polarizzazione si incrementano anche le transconduttanze, diminuendo l'effetto dell'impedenza di ingresso, e di conseguenza abbattendo l'incidenza della temperatura sul risultato finale. Potrebbe infine essere necessario aumentare la corrente anche per mantenere un valore abbastanza alto di  $g_{m2}$ , se la capacità del sensore è grande, per non lasciar diminuire troppo  $\omega_{in}$  e facilitare la compensazione.

In definitiva, per il dimensionamento della sezione di ingresso è necessario considerare trade-offs tra banda, consumo, stabilità e dipendenza dalla temperatura.

### **Circuito di controllo del modo comune di uscita**

L'amplificatore di corrente è un circuito fully differential. Per il suo buon funzionamento è necessario un circuito di controllo del modo comune di uscita che ne mantenga costante il valore. La strategia di controllo adottata è canonica, e di tipo statico. Il circuito è riportato in figura 3.14. Il circuito legge il valore delle uscite e ne va a stabilizzare a  $V_{ref}$  il modo comune. I transistor  $M_5$  ed  $M_6$  e  $M_7$  ed  $M_8$  costituiscono le sezioni di uscita di due specchi di corrente con la sezione di ingresso dell'amplificatore di corrente, con un rapporto di specchio in



**Figura 3.14:** Circuito di controllo del modo comune di uscita. I nomi assegnati ai nodi sono da riferirsi all'amplificatore di corrente e alla rete di polarizzazione. La tensione  $V_{cmfb}$  è applicata ai transistor  $M_{17}$  e  $M_{18}$  dell'amplificatore (figura 3.6). Il circuito è del tutto simmetrico.

discesa di  $1/2$ . Quindi, ricordando quanto detto per l'amplificatore di corrente e osservando che la corrente  $I_{D_{14}}$  dell'amplificatore di corrente è esprimibile come  $I_{BIAS} + \frac{\Delta I_B}{2}$  e  $I_{D_{16}}$  come  $I_{BIAS} - \frac{\Delta I_B}{2}$ , si può scrivere:

$$I_{CM} = I_{BIAS} + \frac{I_x + I_r}{2} + \frac{I_D}{2} \quad (3.54)$$

dimostrando così come  $I_{CM}$  sia proprio il modo comune delle correnti che scorrono nella sezione di ingresso dell'amplificatore. Poiché il circuito è del tutto simmetrico e i transistor  $M_1$ ,  $M_2$ ,  $M_3$  ed  $M_4$  sono tutti uguali tra loro, valgono:

$$I_{D_2} = \frac{I_{CM}}{2} + \frac{g_{m_2}}{2} (V_{REF} - V_{out1}) \quad (3.55)$$

$$I_{D_3} = \frac{I_{CM}}{2} - \frac{g_{m_2}}{2} (V_{REF} - V_{out2}) \quad (3.56)$$

Allora:

$$\begin{aligned}
 I_{CMFB} &= I_{D_2} + I_{D_3} = I_{CM} + g_{m_2} \left( V_{ref} - \frac{V_{out1} + V_{out2}}{2} \right) \\
 &= I_{CM} - g_{m_2} (V_{CMO} - V_{ref})
 \end{aligned} \tag{3.57}$$

L'anello di reazione risponde quindi a variazioni del modo comune di uscita dell'amplificatore aumentando o diminuendo  $I_{CMFB}$  in maniera da caricare in un senso o nell'altro le capacità di uscita 2C per eliminare tali variazioni. Se  $V_{CMO}$  aumenta, la  $I_{CMFB}$  diminuisce, e le capacità tendono quindi a scaricarsi e  $V_{CMO}$  viene quindi abbassata. Viceversa nel caso di una diminuzione del modo comune la  $I_{CMFB}$  aumenta. Le dimensioni dei MOS che producono  $V_{ref}$  sono uguali, in modo da fissare  $V_{ref} = \frac{V_{DD}}{2}$ , indipendentemente dal valore della tensione di alimentazione.

Avendo una catena di reazione, potrebbe rendersi necessaria una compensazione ulteriore da effettuarsi aggiungendo delle capacità sui nodi di uscita dell'amplificatore. E' inoltre necessario assicurarsi che la dinamica delle coppie differenziali sia abbastanza elevata perchè esse lavorino comunque in zona lineare.

	W	L	M
	( $\mu\text{m}$ )	( $\mu\text{m}$ )	
$M_1, M_2, M_3, M_4$	1	10	1
$M_5, M_6, M_7, M_8$	2	12	1
$M_{11}, M_{12}$	2	4	2

**Tabella 3.3:** Dimensioni e molteplicità dei MOS del circuito di controllo del modo comune. Le dimensioni dei transistor montati a gate comune non sono riportate.

## Il comparatore CMP

Il comparatore di uscita è un blocco critico del sistema, ed è stato realizzato con particolare attenzione. Per un corretto funzionamento del sistema, è necessario che esso sia implementato da un comparatore a bassa isteresi. Si deve infatti confrontare le tensioni  $V_{out1}$  e  $V_{out2}$  con grande accuratezza, per poter misurare correttamente anche piccoli valori di  $\Delta C$ .

La presenza dell'isteresi, unitamente a un eventuale ritardo introdotto dagli

elementi parassiti, può determinare la mancata commutazione dell'uscita in un periodo. Tale situazione non è critica in questa versione del circuito, poichè la misura non viene falsata: se la tensione  $V_C$  non raggiunge la soglia superiore del comparatore, fissata dall'isteresi, l'uscita non va alta, e quindi la  $I_D$  non viene più modulata correttamente, e apporta di conseguenza un contributo di carica nullo all'interno del periodo. Risulta evidente come la condizione di equilibrio della carica immagazzinata nel condensatore di uscita C non sia più rispettata: si avrà un  $\Delta Q$  positivo dovuto al contributo di  $I_{CA}$ . Il sistema tende tuttavia a reagire in modo da correggere l'errore: infatti dopo uno o più periodi l'eccesso di carica trasla sufficientemente in alto la  $V_C$ , finchè essa non riesce ad oltrepassare la soglia. A questo punto si ha commutazione dell'uscita e formazione dell'impulso. Si presenta adesso il problema opposto: l'uscita del comparatore torna bassa quando  $V_C$  oltrepassa in discesa la soglia inferiore. A causa dell'isteresi l'impulso ha quindi una durata maggiore del dovuto, e la  $I_D$  di conseguenza apporta un contributo di carica negativo, e maggiore in modulo di quello richiesto per bilanciare quello apportato da  $I_{CA}$ . La  $V_C$  risulta così traslata verso il basso, e in alcuni periodi scende al di sotto della soglia superiore. Il risultato è una modulazione aggiuntiva della durata dell'impulso, che è tanto più evidente quanto più esso è breve. E' necessario quindi implementare un filtraggio numerico su più periodi dell'uscita, per ricostruire l'informazione, dato che il valor medio risulta corretto. Nel caso invece di filtraggio analogico, non si ha questo problema, ma si perdono tutti i vantaggi presentati da un'uscita di tipo digitale.

Un'isteresi troppo ampia renderebbe allora inaccettabilmente lenta la risposta complessiva del sistema, e comporterebbe un'elevato numero di periodi nel quale l'impulso non si forma, creando eventualmente dei problemi al sistema di lettura a valle. Risulterebbe più complicato distinguere tra una situazione nella quale  $\Delta C$  è nullo, da una nella quale è piccolo, ma diverso da 0.

In figura 3.15 è mostrata la caratteristica del comparatore e il suo schema a blocchi. La presenza dell'amplificatore, di tipo fully differential e guadagno A, contribuisce, insieme al corretto dimensionamento del comparatore vero e proprio, a minimizzare l'isteresi, che risulta così pari a  $(V_H + V_L)/A$ .

La soluzione circuitale adottata sfrutta la cella bistabile visualizzata in figura 3.16. Tale cella sfrutta un'instabilità dovuta a una reazione positiva per raggiungere molto rapidamente l'uno o l'altro stato stabile, partendo dallo stato opposto.

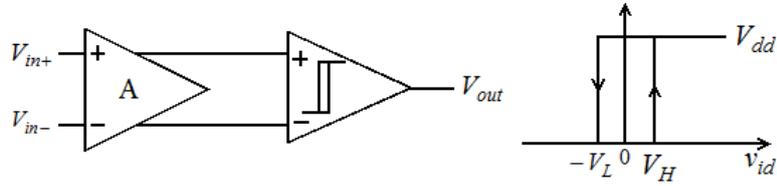


Figura 3.15: Schema a blocchi di CMP e caratteristica del blocco comparatore.

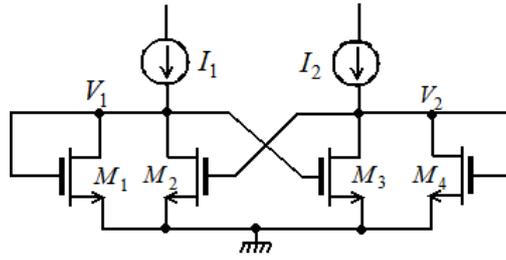


Figura 3.16: Cella bistabile alla base del funzionamento del comparatore.

Valgono i seguenti criteri di dimensionamento:

$$\beta_1 = \beta_4 = \beta_A \quad (3.58)$$

$$\beta_2 = \beta_3 = \beta_B \quad (3.59)$$

$$I_1 + I_2 = I_0 \quad (3.60)$$

con:

$$\frac{\beta_B}{\beta_A} > 1 \quad (3.61)$$

e deve essere inoltre imposto da progetto:

$$V_1 \leq 2V_t \quad (3.62)$$

che si traduce in:

$$\sqrt{\frac{2I_0}{\beta_A}} \leq V_t \quad (3.63)$$

Supponendo  $I_0$  fissata, la condizione è rispettata agendo su  $\beta_A$ .

Per analizzare il funzionamento del circuito, ci si può porre nella condizione iniziale di equilibrio  $I_1 = I_0$  e  $I_2 = 0$ . Ciò implica che  $V_2$  sia nulla. Perché  $I_2$  sia uguale a 0,  $V_2$  deve essere sicuramente minore della tensione di soglia, perché  $M_4$  sia spento. Tutta la corrente  $I_1$  scorre allora in  $M_1$ . La  $V_1$ , maggiore di  $V_t$ , mantiene acceso anche  $M_3$  dove però non scorre corrente. La  $V_{DS3}$  è allora nulla,

e di conseguenza  $V_2 = 0$  e:

$$V_1 = V_t + \sqrt{\frac{2I_0}{\beta_A}} \quad (3.64)$$

Si supponga ora che la  $I_2$  inizi ad aumentare. La tensione  $V_2$  inizia parimenti a crescere. Infatti inizia a esserci una caduta di tensione su  $M_3$ . Inoltre la diminuzione di  $I_1$  provoca la diminuzione di  $V_1$ , che essendo uguale alla  $V_{gs_3}$ , fa sì che ci si sposti su caratteristiche a  $V_{gs} - V_t$  inferiori per  $M_3$ , aumentando ulteriormente la  $V_{ds_3}$ . Il punto critico viene raggiunto quando si verifica  $V_2 = V_t$ :  $M_2$  si accende, sottraendo corrente ad  $M_4$ . La  $V_1$  diminuisce ancora, provocando un ulteriore aumento della  $V_2$ . Risulta così dimostrata la presenza di una reazione positiva, che permette la rapida evoluzione del sistema da uno stato all'altro. L'evoluzione si arresta quando la  $V_1$  diventa minore di  $V_t$  e spegne  $M_3$ .

Si può ricavare il rapporto delle correnti  $I_2/I_1$  all'istante di scatto, ovvero quando  $V_2 = V_t$ . Per la precisione, è necessario superare di poco la  $V_t$  per innescare il fenomeno rigenerativo. Alla soglia, sono quindi accesi sia  $M_1$  che  $M_3$  e costituiscono uno specchio di corrente. Essi sono entrambi saturi, infatti per la 3.61:

$$V_{gs_3} = V_1 \leq 2V_t \quad (3.65)$$

$$V_{ds_3} = V_t \geq V_{gs_3} - V_t \quad (3.66)$$

Allora, alla soglia, poichè  $I_2 = I_4 = 0$ :

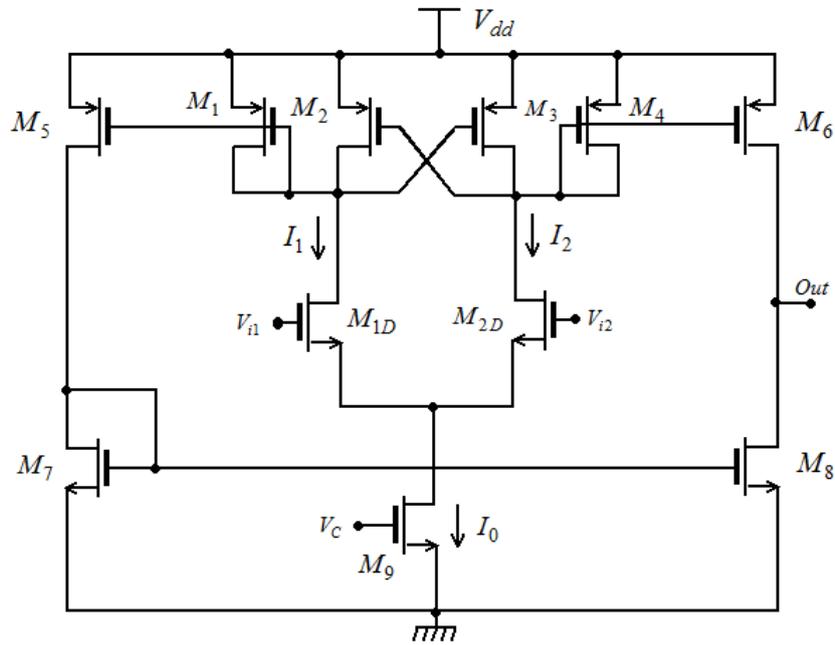
$$\frac{I_2}{I_1} = \frac{\beta_B}{\beta_A} > 1 \quad (3.67)$$

Dopo la commutazione  $V_1$  scende bruscamente a un valore inferiore alla tensione di soglia, mentre  $V_2$  aumenta fino alla  $V_{DD}$ . Si può dimostrare che la condizione 3.61 garantisce che il guadagno di anello sia maggiore di 1. L'analisi è tratta da [17].

Si può altresì dimostrare facendo ragionamenti simili la presenza della seconda soglia.

Lo schema completo prevede un'implementazione simile a quella di un OTA, dove i MOS in uscita operano come pull-up e pull-down, e sono accesi alternativamente, e le correnti  $I_1$  e  $I_2$  sono imposte da una coppia differenziale, come mostrato in figura 3.17. Si può ricavare la tensione  $V_H$  per la quale si ha commutazione. Alla soglia si ha:

$$\frac{\beta_B}{\beta_A} = x = \frac{I_2}{I_1} \quad (3.68)$$



**Figura 3.17:** Schema completo del comparatore a bassa isteresi. La tensione  $V_C$  è ricavata dalla rete di polarizzazione.

Supponendo che la coppia differenziale lavori in condizioni di linearità:

$$I_2 - I_1 = g_{m_{1D}}(V_2 - V_1) = g_{m_{1D}}V_H \quad (3.69)$$

Poichè  $I_2 = xI_1$ , si ha:

$$I_2 - I_1 = (x - 1)I_1 \quad (3.70)$$

$$I_2 + I_1 = I_0 = (x + 1)I_1 \quad (3.71)$$

da cui si ottiene con semplici passaggi algebrici che:

$$V_H = \frac{2I_{D1D}}{g_{m_{1D}}} \frac{x - 1}{x + 1} \quad (3.72)$$

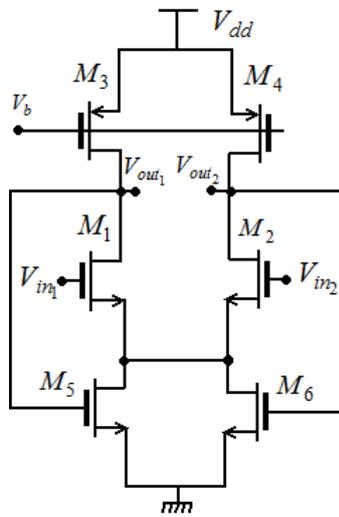
da cui ancora:

$$V_H = -V_L = (V_{GS} - V_{t1})_1 \frac{x - 1}{x + 1} \quad (3.73)$$

L'isteresi risulta quindi regolabile tramite la tensione di overdrive della coppia differenziale di ingresso. In tabella 3.4 sono riportate le dimensioni dei transistor più significativi. Con i valori impostati, si ottiene una  $V_H$  pari a  $(V_{gs1} - V_t)/11$ . Per aumentare ulteriormente l'isteresi, è stato anteposto un amplificatore fully differential, come già spiegato, riportato in figura 3.18. L'amplificatore necessita

	$W$	$L$	$M$
	( $\mu\text{m}$ )	( $\mu\text{m}$ )	
$M_1, M_4$	0.5	4	5
$M_2, M_3$	0.5	4	6
$M_{1D}, M_{2D}$	0.75	2	1

**Tabella 3.4:** Dimensioni e molteplicità dei MOS della cella bistabile e della coppia differenziale del comparatore.



**Figura 3.18:** Amplificatore fully differential anteposto al comparatore. Le uscite sono collegate agli ingressi del comparatore.

del controllo di modo comune delle uscite, implementato collegando i gate di  $M_5$  ed  $M_6$  con le uscite. Si ponga infatti  $V_{in1} = V_{in2} = V_{ic}$ ; poichè  $M_5$  e  $M_6$  sono uguali, si ha chiaramente che:

$$V_{out1} = V_{gs5} = V_{gs6} = V_{out2} \quad (3.74)$$

Il modo comune di uscita  $V_{oc}$  risulta quindi uguale a  $V_{gs5}$ . Si dimostra facilmente che è presente un anello di reazione negativa che stabilizza  $V_{oc}$ . Un aumento di tale tensione provoca un aumento della corrente che scorre in  $M_5$  ed  $M_6$ , che è la stessa che scorre in  $M_3$  ed  $M_4$ , poichè la coppia differenziale non introduce variazioni. Di conseguenza, salgono  $V_{ds3}$  e  $V_{ds4}$ , e il valore delle uscite diminuisce. Il modo comune di uscita viene così stabilizzato.

Per quanto riguarda il modo differenziale, la coppia  $M_5$  ed  $M_6$  può semplice-

mente essere vista come un generatore di corrente, e i source della coppia di ingresso possono essere considerati a massa per le variazioni. L'amplificatore risulta allora analogo ad un amplificatore fully differential con carico attivo che, essendo  $M_3$  ed  $M_4$  uguali, guadagna:

$$A_d = -g_{m_1} r_{d_3} \quad (3.75)$$

che assume un valore prossimo a 100, per quanto visto nelle simulazioni. In tabella 3.5 sono riportate le dimensioni dei transistori.

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	M
$M_1, M_2$	12	4	2
$M_5, M_6$	1	25	1
$M_3, M_4$	4	2	2

**Tabella 3.5:** Dimensioni e molteplicità dei MOS dell'amplificatore fully differential.

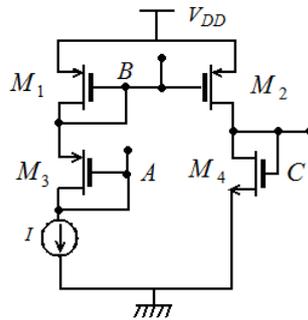
Lo stesso schema è utilizzato per il generatore di rampa, dove non è tuttavia necessario introdurre l'amplificatore fully differential, non essendo richiesta un'isteresi particolarmente stretta, e la molteplicità di  $M_2$  ed  $M_3$  è stata posta uguale a 10.

### Rete di polarizzazione

La rete di polarizzazione riportata in figura 3.19 ha il compito di generare le tensioni continue di riferimento  $V_A$ ,  $V_B$  e  $V_C$  necessarie al funzionamento degli altri blocchi del circuito. Essa costituisce inoltre la sezione di ingresso degli specchi che forniscono le correnti di bias. In tabella 3.6 sono riportate le dimensioni dei dispositivi.

### 3.3 Considerazioni riassuntive

Il circuito che realizza il sistema descritto è stato presentato nelle sue parti fondamentali. Esso è stato caratterizzato in alcuni lavori precedenti [13], [14] ed è stato anche realizzato su chip [13], completato dal generatore di corrente. Si riportano qui i risultati più significativi, utili per chiarire quali siano i punti di



**Figura 3.19:** Rete di polarizzazione. La corrente  $I$ , del valore di  $1 \mu\text{A}$ , è prodotta da un generatore di corrente a basso coefficiente di temperatura[15].

	$W$ ( $\mu\text{m}$ )	$L$ ( $\mu\text{m}$ )	$M$
$M_1, M_2$	1	50	50
$M_3$	2	4	1
$M_4$	1	20	1

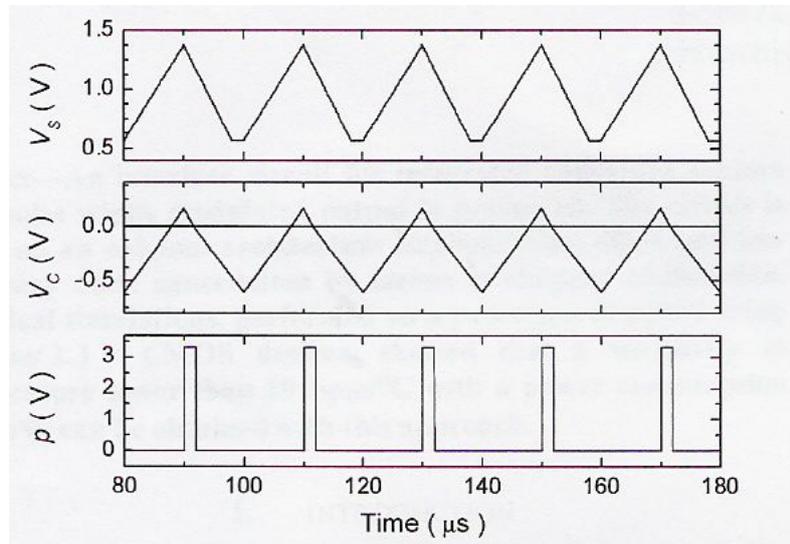
**Tabella 3.6:** Dimensioni e molteplicità dei MOS della rete di polarizzazione.

forza dell'architettura proposta, e per capire in quale direzione ci si sia mossi per migliorarla. Una descrizione completa del sistema e delle simulazioni relative ad esso è presente in [15].

Le simulazioni sono state svolte in ambiente CADENCE col software ELDO di Mentor Graphics. Il processo tecnologico a disposizione è il BCD6s da  $0.32 \mu\text{m}$  di STMicroelectronics. Le model dei dispositivi utilizzate sono state anch'esse fornite da STM, e sono basate sulle model LEVEL 9 di Philips.

Il sistema, alimentato con una  $V_{DD}$  di 3.3 Volt e pilotato con un clock di 50 KHz, ha presentato un consumo globale medio di  $66 \mu\text{W}$ . Il circuito è stato tarato per interfacciarsi a sensori con  $C_R$  di 1 pF, e  $C_X$  che varia tra 1 e 1.2 pF, per un  $\Delta C$  di fondo scala di 200 fF. A tale scopo, la  $I_D$  è stata fissata uguale a 20 nA, la  $\Delta I_B$  a 70 nA. La  $I_{BIAS}$ , come già detto, è stata fissata uguale a  $1 \mu\text{A}$ .

In figura 3.20 sono riportate le forme d'onda ottenute. La frequenza di clock è stata scelta pari a 50 KHz. Infine, la capacità di integrazione C è stata realizzata con due capacità con un'armatura a massa, di valore Esse evidenziano come il circuito evolva correttamente. Si può osservare l'intervallo temporale nel quale



**Figura 3.20:** Forme d'onda rilevanti ottenute dalle simulazioni. La  $V_s(t)$  ha un andamento opposto a quello presentato in figura 3.2, per effetto di variazioni nella logica di controllo del generatore di rampa, ma ciò è irrilevante per la durata dell'impulso di uscita. Si nota come si è perfettamente ottenuto il comportamento auspicato. La figura è tratta da [14].

la  $V_s$  rimane bloccata a  $V_{ref}$  e il cambio di pendenza di  $V_c(t)$  dovuto alla modulazione della corrente di scarica  $I_D$ . Il sistema è risultato lineare su tutto il fondo scala, come si è evidenziato da più simulazioni svolte variando  $\Delta C$ , e la durata dell'impulso si è rivelata rispondente a quanto indicato dall'analisi teorica.

Le stesse simulazioni sono state eseguite variando la temperatura di funzionamento tra gli 0 e i 100 °C, ottenendo una sensibilità della durata  $\tau$  dell'impulso alla temperatura inferiore ai 10 ppm/°C.

Sono state inoltre eseguite alcune NOISETRAN, e l'effetto del rumore è stato stimato in una deviazione standard di  $\tau$  dello 0.4%.

Si può quindi affermare come i punti di forza della presente architettura risiedano nella bassa dipendenza dalla temperatura, a fronte di consumi piuttosto ridotti. Questo rende l'interfaccia utilizzabile per la lettura di sensori di pressione o di accelerazione in ambito automotive. Tuttavia, come sarà mostrato nel prossimo capitolo, l'architettura precedente risultava inadatta ad essere ulteriormente migliorata in termini di rumore, costituendo il dato qui riportato il limite inferiore.

### CAPITOLO 3. Il convertitore Capacità-Durata

---

Per quanto detto finora, le direzioni nelle quali ci si è mossi per migliorare il sistema ed approdare alla versione che sarà presentata nel capitolo 5, sono state ulteriore riduzione dei consumi, mantenendo una bassa dipendenza da T, e, soprattutto, l'ideazione di nuove architetture che consentano un'efficace riduzione del rumore. Infine è stata messa a punto una soluzione che consentisse la rimozione della restrizione sul segno di  $\Delta C$ .

## Capitolo 4

# Analisi di rumore

In questo capitolo sarà presentata una nuova architettura, ideata e messa a punto durante il lavoro di tesi, in grado di garantire significativi miglioramenti delle prestazioni del sistema in termini di rumore. Tale architettura si basa sull'utilizzo di due segnali di clock in fase tra loro, uno più veloce ed uno più lento, regolabili separatamente, che consentono la divisione del sistema in due sezioni: la prima, sincrona al clock veloce, composta principalmente dal generatore di rampa e dall'amplificatore di corrente, e la seconda, sincrona al clock lento, comprendente l'intera sezione di uscita. La possibilità di fissare indipendentemente le frequenze di clock, oltre a garantire una diminuzione del livello di rumore come sarà dimostrato nel seguito, rende anche possibile soddisfare più efficacemente le specifiche del sistema.

Dopo aver presentato l'architettura a doppio clock, sarà riportata una dettagliata analisi del sistema, funzionale alla stima del livello di rumore atteso in uscita. Tramite lo studio dettagliato del sistema, è infatti possibile sia stimare il valore efficace del *jitter*  $\tau_{rms}$ , ovvero la fluttuazione della durata dell'impulso di uscita, sia valutarne il contenuto frequenziale. Facendo alcune semplificazioni è possibile fornire formule di facile lettura per caratterizzare i contributi di rumore dei vari blocchi e per poterli mettere a confronto, in modo da capire dove andare ad agire per migliorare le prestazioni del sistema. L'analisi sarà portata avanti in parallelo per entrambe le architetture, andando poi a porre l'accento sulle differenze che si hanno nei due casi.

## 4.1 Architettura a doppio clock

Lo schema a blocchi dell'architettura a doppio clock dell'interfaccia è rappresentato in figura 4.1.  $Ck_1$  è il segnale di clock per la sezione veloce, ed ha frequenza  $f_{ck1}$ , mentre  $Ck_2$  è il segnale di clock per la sezione d'uscita, con frequenza pari a  $f_{ck2}$ , ed è ottenibile per mezzo di un divisore di frequenza. Le operazioni dei modulatori sono le stesse descritte a pagina 49. E' evidente come il segnale di uscita, indicato ancora con  $p(t)$ , sia sincrono a  $Ck_2$ , essendo formato nella sezione lenta. La quantità da leggere è ancora  $\Delta C = C_x - C_R$  e deve essere

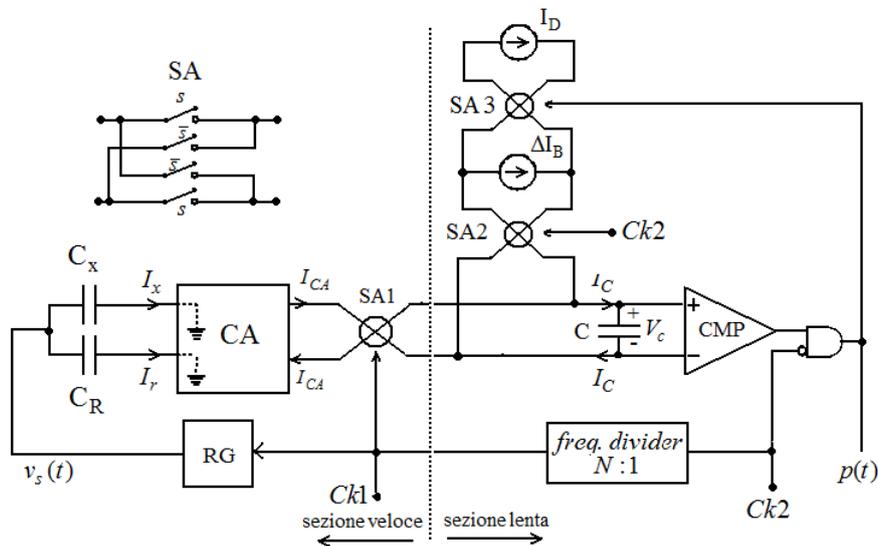


Figura 4.1: Schema a blocchi dell'architettura a doppio clock. Sono individuate le sezioni a velocità diversa.

ancora una volta positiva. La sezione veloce include l'amplificatore di corrente CA, con guadagno pari a  $1/2$ , e il generatore di rampa. Si noti invece che i generatori  $I_D$  e  $\Delta I_B$  si trovano nella sezione lenta, assieme a CMP e alla logica necessaria alla formazione dell'impulso. Questo comporterà delle modifiche topologiche che saranno presentate nel seguito. La corrente di segnale  $I_{CA}$  è prodotta nella sezione veloce, e viene inviata alla sezione lenta, dove scorre nella capacità C assieme alle altre due, prodotte da generatori costanti di corrente. Le forme d'onda sono rappresentate in figura 4.2. Si definisce come N il rapporto dei clock  $T_{ck2}/T_{ck1}$ .

Si nota facilmente come all'interno di un ciclo completo di misura, ampio  $T_{ck2}$ , si ripetano N periodi della  $V_s(t)$ , rappresentata in figura con il suo andamento

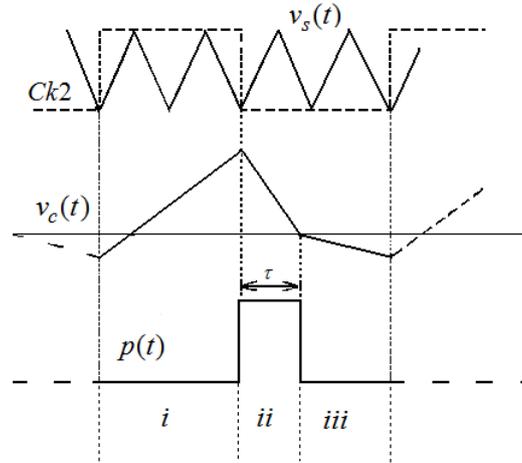


Figura 4.2: Forme d'onda per il convertitore a doppio clock, nel caso di  $N=4$ .

ideale. Il funzionamento del convertitore a doppio clock non differisce di molto dalla versione precedente a clock singolo, presentato in dettaglio nel paragrafo 3.1, al quale si può fare riferimento. Esso si basa sul bilancio di carica sul condensatore di uscita  $C$ , che deve essere nullo all'interno di un ciclo di misura. Il contributo di carica apportato da  $\Delta I_B$  è uguale a 0 all'interno di un periodo  $T_{ck2}$ , per effetto della modulazione effettuata da SA2. La corrente costante  $I_D$  è modulata da SA3, comandato da  $p(t)$ , ed appartiene per questo alla sezione lenta del circuito. Il contributo netto di carica che apporta è esattamente lo stesso che apportava nella versione a singolo clock. Per quanto riguarda invece il contributo di carica della corrente di segnale  $I_{CA}$ , esso è ancora positivo durante ciascuna fase di funzionamento, per effetto di SA1, pilotato stavolta da  $Ck_1$  che compie una modulazione tale da raddrizzare il segnale, essendo la  $V_s$  sincrona ad esso. Poichè un ciclo di misura include  $N$  periodi della  $V_s$ , la 3.5 diventa:

$$\tau = \frac{Q_{CA}}{2I_D} = \frac{N\Delta C\Delta V_s}{2I_D} \quad (4.1)$$

dove  $\Delta V_s$  è l'ampiezza picco-picco dell'onda triangolare.

La topologia circuitale del convertitore sarà presentata più avanti, all'interno del capitolo 5. E' stato necessario modificare l'architettura dell'amplificatore di corrente, perchè esso svolgesse le opportune modulazioni. La topologia del generatore di rampa, presentata in figura 3.4 è rimasta invece sostanzialmente invariata, mentre sono stati modificati alcuni suoi parametri circuitali, come riportato più avanti. La differenza tra la forma d'onda reale e ideale in termini

di contributo di carica è ancora una volta nulla. Si può allora scrivere:

$$\tau = \frac{Q_{CA}}{2I_D} = \frac{N\Delta C\Delta V_s}{2I_D} = NT_{ck1} \frac{I_{M2}}{4I_D} \frac{\Delta C}{C_M} \quad (4.2)$$

Si nota da quest'ultima equazione come l'espressione di  $\tau$  sia la stessa della 3.9, essendo  $NT_{ck1} = T_{ck2}$ . Ancora una volta quindi si osserva per la durata dell'impulso una dipendenza lineare da rapporti di quantità omogenee e dalla differenza di capacità, con riduzione al primo ordine della dipendenza da errori di processo e temperatura.

Come già detto, la frequenza dei due segnali di clock può essere regolata indipendentemente, per soddisfare le specifiche fornite. Come sarà ampiamente dimostrato nel seguito, il *dynamic range* risulta migliorato di un fattore  $1/\sqrt{N}$ . Fissando quindi la risoluzione desiderata, si ricava il rapporto che deve intercorrere tra i clock, a parità degli altri parametri circuitali. Tale rapporto può essere fissato in due modi, ovvero aumentando la  $f_{ck1}$  mentre si mantiene costante la  $f_{ck2}$ , o diminuendo la  $f_{ck2}$ , lasciando invece fissata la  $f_{ck1}$ . Nel primo caso risulta evidente come si riesca ad aumentare l'ampiezza del segnale, mantenendo costante il periodo di misura, non imponendo quindi limitazioni sulla banda. Di contro, la sezione di ingresso deve essere dimensionata in modo tale da avere una bassa  $Z_{in}$  fino a frequenze più alte. Questo comporta un inevitabile aumento dei consumi, come spiegato nel paragrafo 3.2, ma anche una diminuzione del livello di rumore. Scegliere la seconda soluzione, ovvero lavorare con una frequenza di clock  $f_{ck1}$  fissata a qualche decina di KHz, diminuendo invece la  $f_{ck2}$ , comporta ancora una riduzione del rumore, a spese della banda disponibile in uscita. Questa soluzione è comunque da preferirsi, poichè garantisce un consumo di potenza minore a parità di risoluzione e facilita il dimensionamento dello stadio di ingresso. La riduzione della banda non è critica, poichè le specifiche in tal senso delle applicazioni per sensori capacitivi non sono solitamente troppo stringenti.

Nel seguito è presentata in maniera dettagliata l'analisi del sistema da un punto di vista del rumore che permette di dimostrare quanto finora affermato. Tale schematizzazione è valida nei suoi tratti generali per entrambe le architetture, ma si farà comunque attenzione alle differenze incontrate.

## 4.2 Il processo di formazione dell'impulso di uscita.

L'uscita del sistema è un segnale PWM, e l'informazione è contenuta nel suo duty cycle, ovvero nella durata  $\tau$  dell'impulso. Essa è determinata a partire dalla tensione sul condensatore che è proporzionale alla carica in esso immagazzinata. Il rumore elettronico sovrapposto alle correnti che scorrono in C, provoca una fluttuazione di tale carica, e di conseguenza un'inevitabile *jitter* dell'impulso di uscita.

Poichè il segnale in uscita è periodico, e l'informazione è contenuta nella durata dell'impulso, esso può essere visto come una sequenza numerica, i cui campioni sono resi disponibili alla frequenza di clock, e sono formati andando a valutare, tramite il comparatore e la porta logica, il livello di tensione sul condensatore C, e quindi la carica  $Q_C$  in esso immagazzinata durante un ciclo di misura. Si può quindi pensare di riassumere il processo di formazione dell'impulso in un sistema tempo-discreto  $H(z)$ , che opera nel dominio Z e riceve in ingresso una sequenza di campioni di carica, della cui formazione ci si interesserà più avanti, e fornisce in uscita una sequenza di campioni di durata. Si può quindi ricavare la funzione di trasferimento tra le due sequenze cercando di scrivere un'equazione alle differenze per la cui analisi si farà uso della Trasformata Z.

### Il filtro $H(z)$

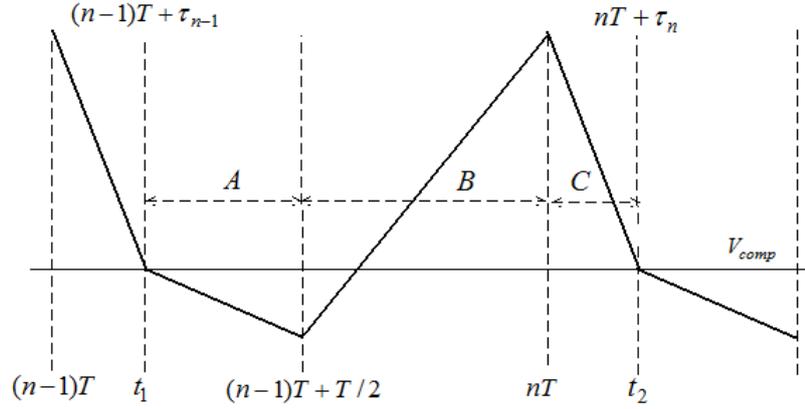
La figura 4.3 rappresenta l'n-esimo ciclo di misura del sistema. Si può pensare di mettere in relazione la carica che viene accumulata su C in tale ciclo con quanto accaduto nel periodo precedente, verificando così la presenza di un effetto memoria. E' necessario precisare che per l'architettura a singolo clock il ciclo di misura coincide con  $T_{ck}$ , mentre per la soluzione a doppio clock esso coincide con  $T_{ck2}$ . La trattazione è comunque la stessa in entrambi i casi.

Nel seguito,  $T$  coinciderà con  $T_{ck}$  nella versione a singolo clock o con  $T_{ck2}$  in quella a doppio clock.

Ipotizzando che una condizione di regime sia stata raggiunta e che la soglia del comparatore  $V_{comp}$  sia costante e non affetta da rumore, risulta evidente come debba valere:

$$V_C(t_1) = V_C(t_2) \quad (4.3)$$

Ciò implica che nell'intervallo temporale  $t_2 - t_1$  la carica netta accumulata sul condensatore C sia nulla. Indicando con  $i_n(t)$  il rumore che si sovrappone alla



**Figura 4.3:**  $N$ -esimo ciclo di misura. E' rappresentata la tensione sul condensatore di uscita  $V_C$ .

corrente di carica  $I_C(t)$  si può scrivere:

$$\int_{t_1}^{t_2} [I_C(t) + i_n(t)] dt = 0 \quad (4.4)$$

da cui risulta:

$$\int_{t_1}^{t_2} I_C(t) dt = - \int_{t_1}^{t_2} i_n(t) dt \quad (4.5)$$

Con riferimento alla descrizione del sistema operata a pagina 50, in tabella 4.1 sono riassunti i contributi dei vari blocchi alla corrente  $I_C$  a seconda della zona di funzionamento.

Zona	Durata	$I_C$
A	$T/2 - \tau_{n-1}$	$I_D - \Delta I_B + I_{CA}$
B	$T/2$	$-I_D + \Delta I_B + I_{CA}$
C	$\tau_n$	$-I_D - \Delta I_B + I_{CA}$

**Tabella 4.1:** Contributi delle singole correnti alla  $I_C$ .

Dalla figura risulta evidente come  $t_1$  coincida con  $(n-1)T + \tau_{n-1}$  e  $t_2$  con  $nT + \tau_n$ . Andando quindi a operare le corrette sostituzioni si ottiene dopo alcuni semplici passaggi algebrici:

$$\int_{t_1}^{t_2} I_C dt = \tau_{n-1} (\Delta I_B - I_D - I_{CA}) - \tau_n (\Delta I_B - I_{CA} + I_D) + T I_{CA} \quad (4.6)$$

Si può inoltre ipotizzare che  $t_2 - t_1 \cong T$ , supponendo trascurabile il jitter dell'impulso. E' facile infatti dimostrare che l'errore che si commette con questa

approssimazione è dell'ordine di  $i_n(\tau_n - \tau_{n-1})$ . Questo termine è trascurabile rispetto a quelli presi in considerazione in questa analisi. Si può quindi esprimere la carica apportata sulla capacità dal rumore di corrente in un periodo:

$$q_n \equiv \int_{t_1}^{t_2} i_{C_n} dt \cong \int_{t_1}^{t_1+T} i_{C_n} dt = - \int_{t_1}^{t_2} I_C dt \quad (4.7)$$

E' conveniente passare ad una rappresentazione tempo-discreta, introducendo le sequenze numeriche  $\tau[n]$  e  $q_n[n]$  che sono rispettivamente la sequenza delle durate degli impulsi, e quella del contributo di carica del rumore in un periodo. Si può andare a scrivere, usando la 4.6:

$$a\tau[n] - b\tau[n-1] = \frac{TI_{CA}}{2I_D} + \frac{q_n[n]}{2I_D} \quad (4.8)$$

dove:

$$a = \frac{\Delta I_B - I_{CA} + I_D}{2I_D} \quad (4.9)$$

$$b = \frac{-I_D + \Delta I_B - I_A}{2I_D} \quad (4.10)$$

$$b = a - 1 \quad (4.11)$$

Quello che si ottiene considerando solo il termine relativo al rumore è proprio un filtraggio tempo-discreto, di tipo IIR. Per analizzarne l'effetto sullo spettro della sequenza in ingresso e ricavare la funzione di trasferimento, conviene fare uso della trasformata Z. Si ottiene allora:

$$a\tau(z) - b\tau z^{-1} = \frac{q_n(z)z}{2I_D} \quad (4.12)$$

Risulta quindi:

$$H(z) = \frac{\tau(z)}{q_n(z)} = \frac{1}{2I_D} \frac{1}{a - bz^{-1}} \quad (4.13)$$

Per valutare gli effetti in frequenza del filtro, è conveniente operare la seguente sostituzione:

$$z = e^{j\omega T_{ck}} \quad (4.14)$$

con la quale si può riscrivere la 4.13:

$$H(j\omega) = \frac{1}{2I_D} \frac{1}{a - be^{j\omega T}} \quad (4.15)$$

A questo punto, è importante osservare che per lavorare in frequenza le sequenze numeriche devono piuttosto essere considerate come treni di  $\delta$  di Dirac, di area pari al valore del campione corrispondente.

Per quanto riguarda il rumore, si dovrà considerare l'effetto filtrante sulla densità spettrale di potenza. Pertanto, ricordando la 4.11, si ottiene:

$$|H(\omega)|^2 = \frac{1}{4I_D^2} \frac{1}{[a - (a-1)e^{j\omega T}]^2} \quad (4.16)$$

Svolgendo il quadrato e facendo uso delle formule di Eulero si ottiene infine:

$$|H(\omega)|^2 = \frac{1}{4I_D^2} \frac{1}{2a(a-1)[1 - \cos(2\pi fT)] + 1} \quad (4.17)$$

Risulta evidente come si abbia un massimo nell'origine dell'asse frequenziale e nei multipli di  $1/T$ , dove la funzione filtrante assume il valore  $1/4I_D^2$ . Per  $1/2T$  e suoi multipli, si ricava che la funzione assume il valore  $1/4I_B^2$ . Per la condizione di funzionamento 3.6 risulta come si abbia  $a > 1$ , e il filtro si comporti di conseguenza da passa-basso. In figura 4.4 è riportato l'andamento di  $|H(\omega)|^2$ . L'andamento periodico del filtro, con periodo  $1/T$ , è dovuto alla

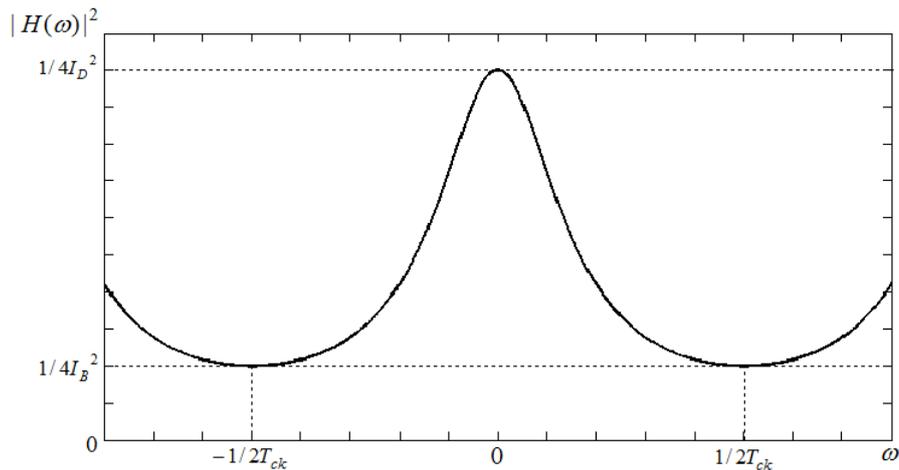
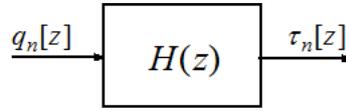


Figura 4.4: Grafico di  $|H(\omega)|^2$ .

sua natura tempo-discreta. L'intera sezione di uscita, che comprende tutto il sistema di decisione che permette la formazione dell'impulso, è per quanto detto, e limitatamente all'analisi di rumore, riassumibile nel semplice sistema presentato in figura 4.5. Si è così messa in relazione la formazione dell'impulso in un periodo con quanto è successo nel periodo precedente, dimostrando come il sistema mantenga memoria di disturbi e rumore e quale sia l'effetto sullo spettro del rumore delle operazioni di decisione. Il filtraggio risulta essere quello di un passa-basso, perlomeno nella banda di Nyquist. Non si dimentichi infatti che siamo in presenza di sequenze numeriche e di aliasing dovuto alla loro



**Figura 4.5:** Schema a blocchi della sezione di uscita nel dominio Z.

natura tempo-discreta. Ad ogni modo, si può affermare che il sistema attenua disturbi a frequenza alta, mentre risente molto di più di rumore e disturbi a bassa frequenza. Si osserva comunque che i valori caratteristici del filtro sono regolabili tramite le correnti  $I_D$  e  $\Delta I_B$ . In particolare, l'effetto filtrante risulta più marcato quanto più il rapporto  $\Delta I_B / I_D$  è elevato, e il valore in continua della funzione di trasferimento diminuisce all'aumentare di  $I_D$ . Si deduce quindi come un aumento di tali correnti risulti in un beneficio in termini di rumore, a scapito del consumo di potenza.

### La sequenza $q_n[n]$

E' a questo punto necessario porsi il problema di come siano formati i campioni della sequenza  $q_n[n]$ . Con riferimento allo schema a blocchi presentato in figura 3.1, si osserva come il contributo totale di corrente in ogni fase di funzionamento del sistema sia integrato dalla capacità di uscita C. La carica accumulata in essa è quindi il risultato di un'integrazione temporale delle correnti, che, da un punto di vista sistemistico, è possibile schematizzare mediante un blocco integratore a finestra mobile. La finestra di integrazione deve essere ampia un periodo di clock, per coerenza con quanto presentato nel precedente paragrafo (equazione 4.7). Infatti questo intervallo temporale coincide esattamente col ciclo di misura durante il quale viene formato l'impulso di uscita. Anche in questo caso la trattazione è valida per entrambe le architetture, ricordando che nel caso di quella a doppio clock il tempo di integrazione è pari a  $T_{ck2}$ . Risulta quindi evidente, per le correnti di rumore:

$$q_n = \int_{t-T}^t i_n(t) dt \quad (4.18)$$

dove  $q_n$  è la componente di rumore della  $Q_C$  e  $i_n$  quella delle correnti. Si noti che non è ancora strettamente necessario conoscere i dettagli della  $i_n$ .

E' possibile valutare l'effetto dell'integratore sulla densità spettrale di potenza della corrente di rumore. La risposta impulsiva corrispondente all'operazione

4.18 è:

$$h(t) = \text{rect}\left(\frac{t - \frac{T_{ck}}{2}}{T_{ck}}\right) \quad (4.19)$$

la cui trasformata di Fourier risulta essere:

$$H_{int}(f) = T_{ck} \text{sinc}(fT_{ck}) e^{-2\pi j f \frac{T_{ck}}{2}} \quad (4.20)$$

Poichè per il rumore si lavora con le densità spettrali di potenza, è più utile considerare:

$$|H_{int}(f)|^2 = T^2 \text{sinc}^2(fT) \quad (4.21)$$

In figura 4.6 è riportata la risposta dell'integratore. In uscita ad  $H_{int}(f)$  si ha

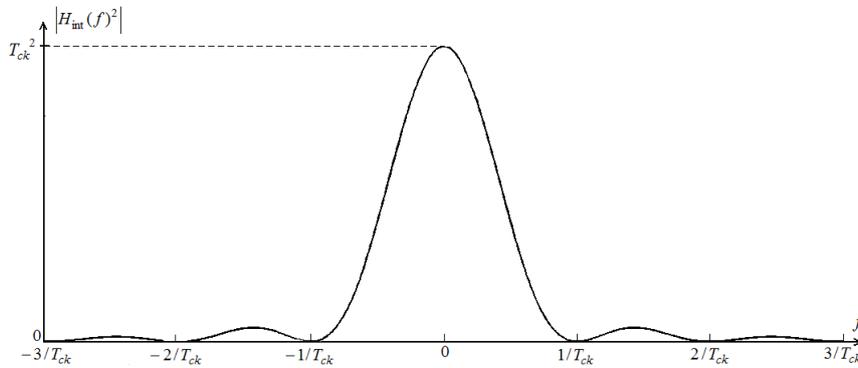


Figura 4.6: Risposta dell'integratore a finestra mobile  $|H_{int}(f)|^2$ .

ancora una grandezza tempo continua. Il filtro  $H(z)$  richiede però una sequenza in ingresso. E' quindi necessario introdurre un'operazione di campionamento ideale, per mezzo di una moltiplicazione per un treno di  $\delta$  spaziate di  $T$ . Tale operazione può essere associata all'osservazione della carica apportata dalle correnti in un singolo periodo. Per la densità spettrale di potenza di  $q_n[n]$  si ottiene allora:

$$S_{q_n[n]}(f) = T^2 \sum_{m=-\infty}^{+\infty} S_{q_n}\left(f - \frac{m}{T}\right) \quad (4.22)$$

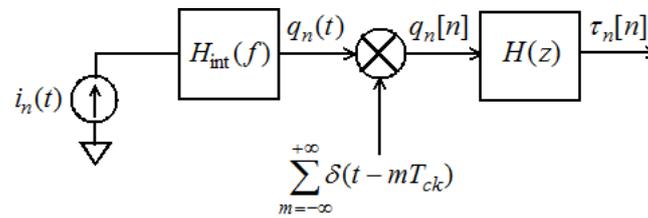
dove:

$$S_{q_n}(f) = S_{i_n}(f) \text{sinc}^2(fT) \quad (4.23)$$

con  $S_{i_n}(f)$  ovviamente densità spettrale di potenza del rumore di corrente.

Lo schema a blocchi risultante che riassume quanto detto è presentato in figura 4.7.

Sono a questo punto necessarie alcune precisazioni. Il sistema presenta un campionamento, con conseguente aliasing, e risulta quindi fortemente non



**Figura 4.7:** Schema a blocchi valido per il rumore della sezione di uscita. Il generatore di rumore  $i_n(t)$  tiene conto dei contributi di rumore di corrente. I due filtri sono stati descritti sopra.

lineare. Siamo inoltre in presenza di una sequenza tempo-discreta. L'uso della trasformata continua di Fourier, alla quale ci siamo ricondotti colla sostituzione 4.14, non è quindi a rigore corretto da un punto di vista della Teoria dei Segnali. Sarebbe necessario usare piuttosto la trasformata discreta di Fourier. Si può tuttavia giustificare in una certa misura l'impiego visualizzando le sequenze numeriche come treni di  $\delta$ , come già accennato più sopra. L'utilità di questo modo di procedere, che permette una valutazione del contributo spettrale in uscita del rumore, è comunque indubbia.

Inoltre si è finora trascurata la natura del generatore di corrente di rumore. Più avanti i contributi dei vari blocchi saranno presi in considerazione e sarà fornito uno schema equivalente dell'intero sistema.

### La banda equivalente dell'integratore

Si supponga di conoscere la densità spettrale del generatore di corrente di rumore. Sarebbe in questo caso in linea di principio possibile calcolare il valore efficace del jitter  $\tau_{rms}$ , passando dalla DSP del rumore di carica. Attraverso i vari passaggi descritti si riesce infatti a ricavare la densità spettrale di potenza della fluttuazione della durata. Da essa si ricava il suo valore efficace. In effetti, si può scrivere:

$$\langle \tau_n^2 \rangle = \int_{-B/2}^{B/2} S_{\tau_n[n]}(f) df \quad (4.24)$$

dove B coincide con  $f_{ck2}$ . In effetti, il teorema di Parseval nel dominio discreto, è ristretto all'integrazione sulla banda di una replica.

Le operazioni che si possono svolgere in uscita sono sostanzialmente di tre tipi. E' possibile prelevare la sequenza così com'è, mediante conteggio della durata di ciascun impulso con un microcontrollore. E' altrimenti possibile implementare

un filtraggio numerico su campioni successivi per ridurre l'impatto del rumore. In questo caso la banda di interesse si ridurrebbe alla banda del filtro numerico. Nel caso invece di filtraggio analogico passa-basso dell'uscita, mediante il quale si preleva il valor medio dell'onda PWM, la fluttuazione di  $\tau$  si traduce in una fluttuazione del valor medio. Anche in questo caso la banda di interesse nella quale integrare la DSP si riduce alla frequenza di taglio del filtro analogico. In ogni caso, uno sviluppo analitico completo della 4.24 non è assolutamente da prendere in considerazione, per le difficoltà che comporterebbe, e non porterebbe a risultati utili nell'ottica della progettazione. Si potrebbe pensare di sviluppare numericamente l'integrale, ma, ancora, questo non darebbe informazioni utili, se non una stima del presente livello di rumore. E' invece molto utile a questo punto introdurre il concetto di banda equivalente di rumore di un filtro  $H(f)$ . Essa si ricava dalla definizione di banda equivalente di un processo  $X$  stazionario in senso lato:

$$B_{eq} \equiv \frac{1}{S_x(f_0)} \int_0^{+\infty} S_x(f) df = \frac{R_x(0)}{2S_x(f_0)} \quad (4.25)$$

dove  $S_x(f)$  è la densità spettrale di potenza del processo,  $S_x(f_0)$  è il valore che assume in  $f_0$ , dove essa è massima, e  $R_x(0)$  è la funzione di autocorrelazione calcolata in 0. L'uguaglianza si dimostra facilmente ricordando che:

$$\int_{-\infty}^{+\infty} S_x(f) df = R_x(0) \quad (4.26)$$

e che la DSP è una funzione pari della frequenza. La banda equivalente, per come è definita, rappresenta la larghezza della densità spettrale di un processo stazionario, del quale la stessa è di ampiezza costante e pari a  $S_x(f_0)$ , che ha stessa potenza del processo  $X(t)$  considerato. La banda equivalente di un filtro si ricava a partire da questa definizione. Si applica in ingresso ad esso rumore bianco e si valutano autocorrelazione e valore massimo in uscita. E' allora possibile ricavare la banda equivalente dell'integratore a finestra mobile (4.21). Considerando il processo bianco  $X(t)$ , caratterizzato da  $R_X(\tau) = N_0/2\delta(\tau)$ <sup>1</sup> e  $S_x(f) = N_0/2$ , si ha in uscita:

$$S_y(f) = \frac{N_0}{2} T^2 \text{sinc}^2(fT) \quad (4.27)$$

$$R_y(\tau) = \frac{N_0}{2} T \left[ 1 - \frac{|\tau|}{T} \right] \quad (4.28)$$

---

<sup>1</sup>Non si confonda l'argomento  $\tau$  della funzione di autocorrelazione con la durata  $\tau$  dell'impulso. Le due cose non hanno alcun legame.

Risulta quindi evidente che:

$$B_{eq} = \frac{R_y(0)}{2S_y(f_0)} = \frac{\frac{N_0}{2} T_{ck}}{2 \frac{N_0}{2} T^2} = \frac{1}{2T} \quad (4.29)$$

Il filtro equivalente da un punto di vista energetico risulta quindi essere:

$$|H_{eq}|^2 = T^2 \text{rect}(fT) \quad (4.30)$$

Si può allora riscrivere la 4.23:

$$S_{q_n}(f) = T^2 S_{in}(f) \text{rect}(fT) \quad (4.31)$$

L'energia di  $q_n$  risulta essere invariata rispetto al caso precedente, e il suo valor quadratico medio è quindi lo stesso. Si perdono tuttavia informazioni sul suo reale contenuto spettrale.

E' possibile semplificare ulteriormente la situazione, prescindendo dall'effetto filtrante tempo discreto implementato da sampling e  $H(z)$ . Nell'ottica in cui ci si sta muovendo, essa è un'operazione ragionevole, in quanto la stima risultante sarà peggiorativa rispetto al caso reale. Si può infatti scrivere, essendo la banda del processo  $q_n$  limitata a  $1/T$ :

$$\langle q_n^2 \rangle = \int_{-\frac{1}{2T}}^{\frac{1}{2T}} S_{in}(f) df \quad (4.32)$$

Da essa, trascurando come detto l'effetto filtrante di  $H(z)$ , si ricava  $\tau_{rms}$ , ovvero il valore efficace del *jitter*, utilizzabile per stimare il dynamic range dell'interfaccia. Facendo uso della 3.5 si ottiene:

$$\tau_{rms} = \frac{\langle q_n^2 \rangle}{4I_D^2} \quad (4.33)$$

dove si può inoltre notare come  $1/4I_D^2$  coincida col valore assunto in continua dalla funzione filtrante  $|H(\omega)|^2$ . Il risultato raggiunto mostra come si possa stimare facilmente l'entità del *jitter*, una volta che sia nota la  $S_{in}(f)$ .

Si noti ancora una volta che quanto detto è valido in entrambe le architetture, e si può passare dall'una all'altra sostituendo a T il corretto valore.

A questo punto è necessario andare ad individuare i blocchi del sistema che producono il rumore di corrente, e il modo in cui quest'ultimo è processato prima che giunga all'integratore.

### 4.3 I contributi di rumore

Come si è visto nella sezione precedente, nota la densità spettrale del rumore di corrente che scorre nella capacità di uscita  $C$ , è possibile stimare abbastanza facilmente il *jitter* ad essa dovuto. Si deve quindi procedere alla schematizzazione del resto del sistema, per fornire la DSP richiesta.

Si prendano in considerazione gli schemi delle due architetture, riportati in figura 3.1 e in figura 4.1. Si possono individuare 4 contributi di rumore:

- Il rumore dell'amplificatore di corrente CA.
- Il rumore della corrente di scarica  $I_D$ .
- Il rumore del generatore di rampa RG.
- Il rumore dei comparatori.

Sono però necessarie alcune precisazioni. Nel rumore introdotto dall'amplificatore di corrente è considerato anche il rumore di corrente sovrapposto alla  $\Delta I_B$ . Risulta infatti chiaro dallo schema circuitale di figura 3.6 come tale corrente sia generata e processata localmente in tale blocco. Di contro, la corrente di scarica  $I_D$  è generata anch'essa all'interno di CA, ma subisce una modulazione dipendente dall'uscita, ed è per questo trattata a parte. Il rumore del generatore di rampa invece è sovrapposto alla corrente di segnale entrante nell'amplificatore, mentre il rumore dei comparatori si traduce in un'incertezza sulla loro soglia di decisione. Quest'ultimo in effetti richiederà una schematizzazione diversa, non essendo in questo caso presente un rumore di corrente.

I diversi contributi di rumore sono stati presi in considerazione separatamente, per capire come vengono processati dal sistema. Per giungere a delle stime numeriche sul *jitter* complessivo si è fatto uso del principio di sovrapposizione degli effetti. Esso è applicabile in sistemi la cui risposta possa essere considerata prodotta dalla combinazione lineare di un certo numero di sollecitazioni, tra loro linearmente indipendenti. Essa può ottenersi sovrapponendo le risposte che ciascuna sollecitazione produrrebbe se agisse da sola (quando cioè le altre sono nulle), nello stesso identico modo con cui sono combinati gli ingressi. Il convertitore capacità-durata non è un sistema lineare, ma ipotizzando sufficientemente piccola l'entità del rumore è possibile comunque considerare applicabile il principio di sovrapposizione e analizzare i contributi di rumore dei vari blocchi supponendone gli altri privi. Si calcolerà così il *jitter* dovuto a ciascun blocco,

per valutare quali di essi siano critici. Una volta calcolati i vari  $\tau_{rms}$  è possibile calcolare il valore complessivo attraverso ipotesi di indipendenza tra i diversi contributi.

La descrizione a blocchi del processing che ciascun contributo di rumore subisce è seguita da un'analisi transistor-level, per capire quali siano effettivamente i transistori più rumorosi e arrivare alle stime desiderate.

## Il rumore dell'amplificatore di corrente CA

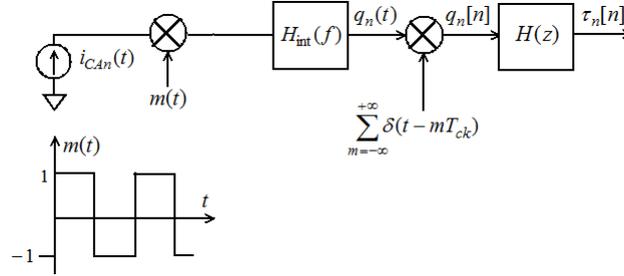
E' innanzitutto necessario fare alcune premesse. La banda dell'amplificatore di corrente sarà considerata infinita in questa analisi per semplicità. Si è inoltre interessati al rumore di corrente in uscita al CA e agli altri blocchi, piuttosto che a quello riportato in ingresso. Infine, si è visto come tale blocco implementi anche la funzione di generare e processare la  $I_D$  e la  $\Delta I_B$ . Mentre la seconda di esse sarà trattata contestualmente alla corrente  $I_{CA}$ , la prima sarà trattata a parte.

Osservando gli schemi a blocchi relativi a entrambe le architetture, si nota che la corrente in uscita a CA subisce una modulazione effettuata dall'array di switch SA1, che può essere vista come la moltiplicazione della corrente  $i_{CA}$  per un'onda quadra ideale  $m(t)$ , che varia tra 1 e -1, con periodo pari a  $T_{ck}$  nel sistema a singolo clock, e a  $T_{ck1}$  nell'altro. Essa è una funzione periodica e ammette scomposizione in serie di Fourier, con coefficienti  $c_0$  nullo essendo il valor medio uguale a 0,  $c_k = \frac{2}{\pi n}$  per k dispari, e  $c_k = 0$  per k pari, essendo il segnale alternativo. Alla corrente in uscita a CA è sovrapposto un rumore di corrente con densità spettrale di potenza  $S_{CA}$ . Similmente a quanto detto per la modulazione chopper descritta a pagina 22, tale DSP viene traslata sulle armoniche dispari dell'onda quadra, e le repliche vengono scalate per il coefficiente corrispondente. Risulta quindi:

$$S_{CA}(f)' = \sum_{k=-\infty}^{+\infty} |c_k|^2 S_{CA}(f - kf_{ck}) \quad (4.34)$$

Il risultato della modulazione è quindi simile a quello raffigurato in 2.4. La replica centrata nell'origine dell'asse frequenziale non è presente. Il rumore flicker viene traslato insieme all'offset sulle armoniche dispari dell'onda quadra. Se la frequenza di clock è sufficientemente maggiore della frequenza di corner, in banda base si trova solo il rumore termico, che per effetto del teorema di Parseval è comunque ricostruito totalmente. La densità spettrale risultante  $S'_{CA}$

viene trattata a valle come sopra descritto (figura 4.8).



**Figura 4.8:** Schema a blocchi del processing subito dalla corrente di rumore in uscita all'amplificatore  $i_{CA_n}$ .

E' adesso necessario scendere a livello topologico. Si riportano quindi le espressioni della densità spettrale di rumore di corrente per un transistor MOS:

$$S_{IT}(f) = \frac{8}{3}kTg_m \quad (4.35)$$

per il termico, mentre per il rumore flicker vale:

$$S_{IF}(f) = \frac{N_F}{WL} \frac{g_m^2}{f} \quad (4.36)$$

dove  $N_F$  è una costante, dipendente dalla tecnologia e ricavabile dai modelli del simulatore.  $W$  e  $L$  sono le dimensioni geometriche del dispositivo.

Le formule riportate sono necessarie alla caratterizzazione del CA. Prendendone in considerazione la topologia (figura 3.6), si può affermare che la densità spettrale di potenza di rumore presente in uscita, per quanto riguarda il rumore termico, è dato dalla seguente formula:

$$S_{CA_T} = \sum_{i=1}^N \frac{8}{3}kTg_{mi}k_{si}^2 \quad (4.37)$$

dove  $i$  è l'indice che identifica i MOS che apportano un contributo significativo di rumore, e  $k_{si}$  è il relativo rapporto di specchio. In effetti, si può vedere CA come uno specchio di corrente, dove la sezione di riferimento è costituita dalla sezione di ingresso dell'amplificatore. Per quei dispositivi il cui contributo insiste direttamente sull'uscita  $k_s$  è ovviamente pari ad 1.

Si riporta per comodità in figura 4.9 la topologia di CA. E' possibile dimostrare che transistor montati a gate comune, necessari alla realizzazione dello specchio Cascode, che garantisce un'elevata precisione del rapporto di specchio, non contribuiscono al rumore presente in uscita se non in minima parte. Di conseguenza,

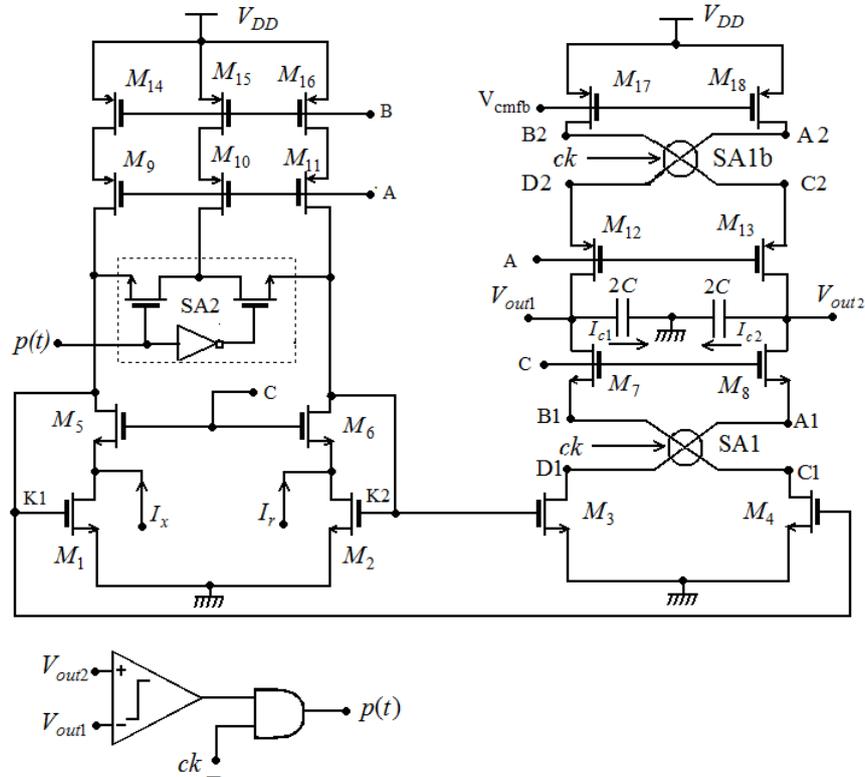


Figura 4.9: Schema elettrico dell'amplificatore di corrente.

si può individuare in  $M_1, M_2, M_3$  ed  $M_4$  i MOS rumorosi. Anche  $M_{14}$  ed  $M_{16}$ , che costituiscono il generatore di  $\Delta I_B$ , apportano un contributo non trascurabile, assieme alla coppia necessaria alla stabilizzazione del modo comune d'uscita,  $M_{17}$  ed  $M_{18}$ . Per tutti questi dispositivi,  $k_{si} = 1$ , poichè il rapporto di specchio è unitario.

La densità spettrale di potenza di rumore in uscita per il CA della versione a singolo clock è stata caratterizzata con una simulazione di tipo ACNOISE (figura 4.10), con corrente di polarizzazione  $I_B$  pari ad  $1 \mu A$ . Per valutarla, sono stati connessi alle uscite dei generatori di tensione con valore in DC pari a 1.65 V e in AC pari a 0. In questo modo essi hanno svolto la funzione di amperometri. Gli array di switch sono stati fissati nella configurazione diretta.

La frequenza di corner  $f_k$  di  $S_{CA}(f)$  è situata intorno ai 14.5 KHz. Il livello del rumore termico è pari a circa -237 dB. Si è inoltre ricavato dalla simulazione che il principale contributo di rumore flicker è apportato dalla coppia di PMOS che producono la corrente di controllo del modo comune,  $M_{17}$  ed  $M_{18}$ , risultato

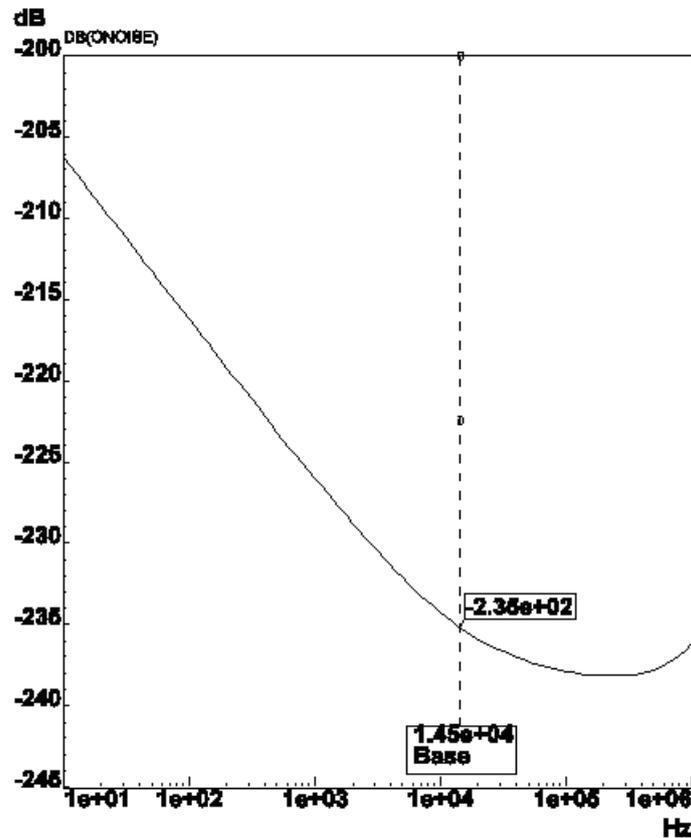


Figura 4.10: Densità spettrale di potenza del rumore di corrente in uscita a CA, ottenuta da una simulazione ACNOISE svolta con ELDO. E' inoltre annotata la frequenza di corner.

peraltro prevedibile date le loro piccole dimensioni, necessarie per una risposta veloce a variazioni di  $V_{cmfb}$ . Si è finora affermato come la modulazione effettuata da SA1 risulti in una rimozione del rumore a bassa frequenza e dell'offset dalla banda base. Tuttavia per  $M_{17}$  ed  $M_{18}$  questo non è vero, non essendo la loro corrente processata da tale modulatore, come si vede chiaramente dallo schema elettrico. Si è quindi reso necessario l'inserimento del modulatore SA1b che effettua per essi la funzione di chopper descritta sopra, svolta dal modulatore SA1 per le altre correnti.

Con riferimento alla figura 4.8 e a quanto detto finora, si può adesso andare a scrivere l'espressione del jitter dovuto al rumore dell'amplificatore di corrente. Poiché la frequenza di clock del circuito a singolo clock è pari a 25 KHz, si può

supporre una buona riduzione del rumore flicker e considerare per  $S_{CA}(f)$  solo il contributo del rumore termico. Facendo uso della banda equivalente dell'integratore, introdotta nel precedente paragrafo, poichè stiamo considerando un rumore bianco, e la 4.32, si può andare a scrivere:

$$\langle q_n^2 \rangle = \int_{-\frac{1}{2T}}^{\frac{1}{2T}} S_{CA}(f) df \quad (4.38)$$

Si ricordi che  $T$  assume il valore del periodo del clock generale nella versione a singolo clock, e quello del periodo del clock lento nella versione a doppio clock, poichè l'integrazione viene effettuata nella sezione lenta. Tenendo conto della 4.37 e di quanto detto per la modulazione chopper si ha allora:

$$\langle q_n^2 \rangle = T_{ck} \frac{8}{3} kT \sum_{i=1}^N g_{mi} = T_{ck} \frac{8}{3} qV_T \sum_{i=1}^N g_{mi} \quad (4.39)$$

dove  $V_T$  è la tensione termica e vale circa 0.026 V a 300 °K. Prescindendo dall'effetto filtrante tempo-discreto, ovvero da sampling e  $H(z)$ , si ottiene dalla 4.33:

$$\langle \tau_n^2 \rangle = \frac{T_{ck}}{4I_D^2} \frac{8}{3} qV_T \sum_{i=1}^N g_{mi} \quad (4.40)$$

da cui, considerando che:

$$g_m = \frac{2I_{DS}}{V_{GS} - V_{th}} \quad (4.41)$$

si ottiene:

$$\langle \tau_n^2 \rangle = \frac{2}{3} qV_T \frac{T_{ck}}{I_D^2} \sum_i \frac{2I_{DSi}}{V_{GSi} - V_{th}} \quad (4.42)$$

Si può trascurare la  $\Delta I_B$ , essendo comunque limitata rispetto alla corrente di polarizzazione  $I_B$ , e affermare quindi che la  $I_{DSi}$  è circa uguale per tutti i dispositivi a  $I_B$ . Allora si può scrivere:

$$\langle \tau_n^2 \rangle = \frac{4}{3} qV_T \frac{I_B T_{ck}}{I_D^2} \sum_i \frac{1}{V_{GSi} - V_{thi}} \quad (4.43)$$

I dispositivi rumorosi sono 8, di cui 4 NMOS e 4 PMOS. In tabella 3.2 sono riportate, oltre alle dimensioni geometriche, anche la tensione di overdrive a riposo di tali dispositivi. Siccome esse sono uguali per gli NMOS e pari a 184 mV, e circa uguali per i PMOS, per questi ultimi si può ricavare una  $\left| (V_{GS} - V_{thp})_p \right|$  media, del valore di 240.5 mV. Si può allora scrivere:

$$\langle \tau_n^2 \rangle = \frac{4}{3} qV_T \frac{T_{ck} I_B}{I_D^2} \left[ \frac{4}{(V_{GS} - V_{th})_N} + \frac{4}{(V_{GS} - V_{th})_P} \right] \quad (4.44)$$

che rappresenta il contributo di rumore dovuto all'amplificatore di corrente. Dalla 4.44 si possono ricavare alcune importanti informazioni. Per minimizzare il valore di  $\tau_n$ , è necessario andare a ridurre la corrente di polarizzazione, mantenendo comunque elevato il valore delle tensioni di overdrive. Ciò è sicuramente vantaggioso da un punto di vista dei consumi, la cui diminuzione si oppone solitamente alla riduzione del livello di rumore. Inoltre  $\tau_n$  è inversamente proporzionale a  $I_D^2$ . Essa va quindi aumentata, per quanto consentito dalle condizioni necessarie per il bilancio di carica.

Facendo uso della 4.44, è possibile fornire anche una stima numerica del rumore. Si tratta inoltre di una sovrastima, poichè si sta prescindendo dalla funzione filtrante  $H(z)$ . In tabella 4.2 sono riportati i valori dei parametri utilizzati per i calcoli, e in tabella 4.3 sono riportati i valori di  $\tau_n$  stimati, in funzione di diversi valori di  $I_D$ . Si noti come i risultati ottenuti siano validi per la versione a singolo

<i>Param.</i>	<i>Valore</i>
$T_{ck}$	20 $\mu s$
$I_B$	1 $\mu A$
$I_D$	20 – 64 $nA$
$(V_{GS} - V_{thn})_n$	184 $mV$
$(V_{GS} -  V_{thp} )_p$	240.5 $mV$

**Tabella 4.2:** Valore dei parametri usati per la stima del jitter.

$I_D$	$\tau_n$
20 $nA$	228 $ns$
36 $nA$	127 $ns$
64 $nA$	67 $ns$

**Tabella 4.3:** Valori del jitter dovuto al rumore introdotto da CA, stimati per diversi valori della  $I_D$ .

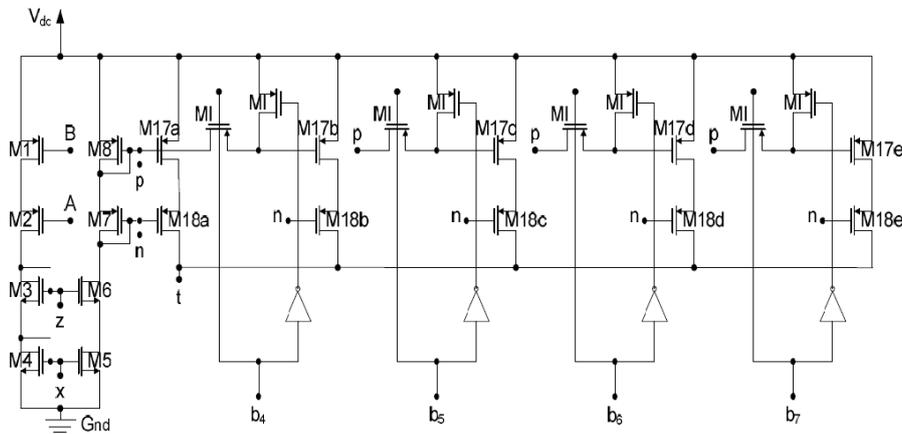
clock.

E' inoltre possibile andare a calcolare il jitter facendo uso della densità spettrale di potenza ottenuta dalla simulazione. Si è già detto come assumesse il valore di -237 dB per il rumore termico. Dalla 4.38 si ottiene per  $\tau_n$  un valore di 88 ns, per una  $I_D$  di 36 nA. Il risultato risulta piuttosto minore di quanto ottenuto

sopra, ma questo è giustificabile notando che si è usata per il calcolo dei  $g_m$  la legge parabolica, che è un'approssimazione del comportamento del dispositivo, mentre il simulatore fa uso di modelli ben più accurati.

### Il rumore della corrente di scarica $I_D$

E' ora necessario occuparsi del contributo di rumore dovuto alla  $I_D$ . Nello schema elettrico riportato in figura 4.9 essa è prodotta da un solo transistor. In realtà, essa è generata da uno specchio programmabile [15], e poi instradata comunque nell'amplificatore di corrente come mostrato. Si riporta per comodità lo schema completo di tale specchio in figura 4.11.



**Figura 4.11:** Schema elettrico dello specchio programmabile per la generazione della corrente  $I_D$ . La figura è tratta da [15].

Impostando i bit b4-b7, è possibile accendere o spegnere i rami dello specchio, in modo da configurare la  $I_D$ , con passo di 4 nA.

Anche per esso è stata effettuata una simulazione di tipo ACNOISE (figura 4.12) per caratterizzarne il rumore in uscita, collegando al nodo t un generatore di tensione con valore AC nullo, che funzionasse da amperometro. La frequenza di corner risulta in questo caso posizionata intorno al KHz, e il livello di rumore termico è di circa -265 dB per il valore più basso di  $I_D$ , e circa -255 dB per quello più alto.

La corrente  $I_D$  viene modulata da SA2, comandato dal segnale di uscita  $p(t)$ , e da SA1, comandato dal segnale di clock, prima di arrivare all'integratore costituito dalla capacità C. Nel caso del sistema a singolo clock essa risulta quindi

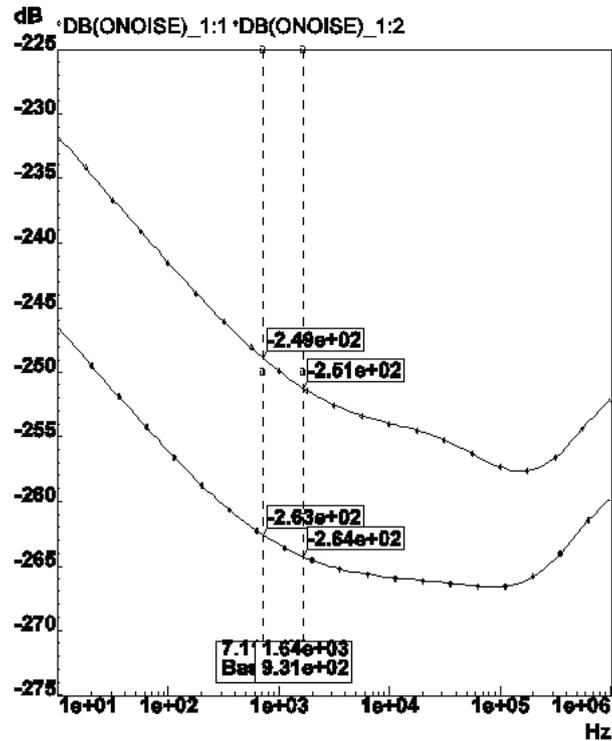
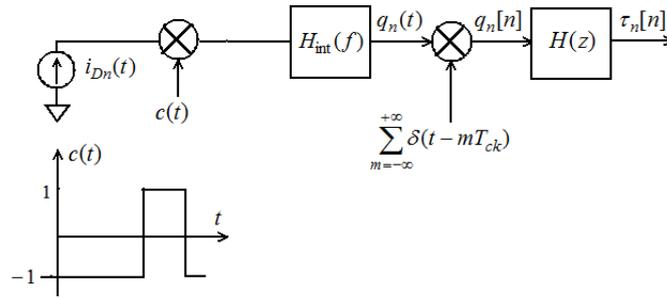


Figura 4.12: Densità spettrale di potenza del rumore di corrente in uscita allo specchio programmabile che produce la  $I_D$ , per due valori di essa (12 e 68 nA).

moltiplicata per un'onda quadra  $c(t)$ , di valore -1 fino a  $T_{ck}/2 + \tau$  e 1 per la restante parte del periodo. Nel caso peggiore, ovvero con  $\tau$  uguale a  $T_{ck}/2$ , la  $c(t)$  risulta continua, di valore pari a -1. Il valor medio è quindi chiaramente diverso da 0 in ogni caso, tranne in quello di segnale nullo, ovvero  $\tau = 0$ , dove la  $I_D$  risulta modulata da un'onda quadra ideale a valor medio nullo. Differentemente da quanto accade nella modulazione chopper, stavolta si ha ancora la DSP del rumore a bassa frequenza e l'offset presenti in banda base, moltiplicati per il quadrato del valor medio dell'onda. Nel caso peggiore, ovvero con  $c(t)$  uguale a -1, la modulazione non ha alcun effetto sul rumore. In figura 4.13 si riporta lo schema a blocchi che illustra il processing subito dal rumore associato alla  $I_D$ . Essendo stavolta rilevante anche il rumore flicker, non è più possibile fare uso della banda equivalente per calcolare l'energia del rumore in uscita al sistema. In effetti, poichè tale processo non ha la densità spettrale di potenza



**Figura 4.13:** Schema a blocchi del processing subito dalla corrente di rumore in uscita all'amplificatore  $i_{Dn}$ .

$S_{ID}$  costante, la definizione che si è data non è più valida. Sarebbe quindi a rigore necessario tenere conto della  $T_{ck}^2 \text{sinc}^2(fT_{ck})$  introdotta dall'integratore per valutare l'energia del processo  $q_n$ . Fare questo significherebbe complicare molto il calcolo.

Anche in questo caso è conveniente ricorrere a delle semplificazioni. Invece di considerare  $|H_{int}(\omega)|^2$ , si moltiplica la DSP risultante dalla modulazione per il suo valore di picco  $T_{ck}^2$ , dato che il seno cardinale è lentamente variabile intorno all'origine e la  $f_k$  di  $S_{ID}$  è ben minore di  $f_{ck}$ . Inoltre la densità spettrale del rumore flicker è inversamente proporzionale alla frequenza. Questo risulta in una divergenza nell'origine. Tuttavia si sceglie come limite minimo di integrazione una frequenza corrispondente all'inverso del tempo di osservazione del sistema, poichè disturbi a frequenza minore non risultano osservabili. In questo modo si riesce a quantificare l'energia del rumore flicker, che altrimenti risulterebbe infinita. Si può infatti scrivere per una generico rumore flicker di corrente  $i_{nf}(t)$ :

$$i_{nfrms} = 2 \int_{f_1}^{f_2} \frac{N_F}{WL} \frac{1}{f} df = \frac{N_F}{WL} 2 \ln \left( \frac{f_2}{f_1} \right) \quad (4.45)$$

dove  $f_1$  è scelta come inverso del tempo di osservazione, e  $f_2$  è scelta pari alla frequenza di corner o superiore ad essa.

Con riferimento alla figura 4.11, è possibile individuare i dispositivi il cui rumore dà un contributo significativo in uscita. Innanzitutto, si ricordi che la densità spettrale di potenza di rumore di corrente in uscita uno specchio di corrente semplice dove la lunghezza dei dispositivi è la stessa, è data da:

$$S_{IT} = \frac{8}{3} kT g_{m2} (1 + k_s) \quad (4.46)$$

per il rumore termico, e da:

$$S_{IF}(f) = \frac{N_F}{W_2 L_2} (1 + k_s) \frac{1}{f} \quad (4.47)$$

per il rumore flicker, dove  $M_2$  è il transistor di uscita ed  $M_1$  quello di riferimento e  $k_s$  è il rapporto di specchio.

Nel circuito in questione,  $M_4$  ed  $M_5$  hanno dimensioni pari a  $W = 1 \mu m$  e  $L = 20 \mu m$ . La  $S_{IF}$  in uscita allo specchio che compongono non è trascurabile, essendo l'area dei dispositivi non così piccola ma si può dimostrare, consultando la tabella delle dimensioni dei dispositivi disponibile in [15], come il rapporto di specchio molto minore dell'unità che c'è tra  $M_8$  e i MOS dei rami programmabili abbatta il loro contributo in uscita di un fattore pari a 3/550. Stesso discorso vale per  $M_8$ . Il rumore prodotto invece dai  $M_{17a-e}$  arriva direttamente in uscita. Essi hanno dimensioni uguali ( $W'=0.5 \mu m$  e  $L'=100 \mu m$ ), ma molteplicità diversa. Se ne considera inizialmente il rumore flicker. Si può scrivere:

$$S_{IDF}(f) = \left( \frac{N_F}{8W'L'} g_{m17e}^2 + \frac{N_F}{4W'L'} g_{m17d}^2 + \frac{N_F}{2W'L'} g_{m17c}^2 + \frac{N_F}{W'L'} g_{m17b}^2 + \frac{N_F}{2W'L'} g_{m17a}^2 \right) \frac{1}{f} \quad (4.48)$$

dove si è tenuto conto delle diverse molteplicità. Facendo uso della 4.41 si può sviluppare la precedente espressione:

$$S_{IDF}(f) = 17 \frac{N_F}{W'L'} \frac{4I_{D17b}^2}{V_{OD}^2} \frac{1}{f} \quad (4.49)$$

dove  $I_{D17b}$  equivale al passo di regolazione dello specchio ed è pari a 4 nA, e  $V_{OD}$  è la tensione di overdrive dei dispositivi ed è pari a  $|V_{GS} - V_{thp}|$ .

Preciando ancora una volta dal filtraggio tempo-discreto, sostituendo all'integratore il suo valore di picco, e facendo uso della 4.45, si ottiene:

$$\langle \tau_n^2 \rangle = 17 \frac{T_{ck}^2}{4I_D^2} \frac{N_F}{W'L'} \frac{4I_{D17b}^2}{V_{OD}^2} 2 \ln \left( \frac{f_2}{f_1} \right) \quad (4.50)$$

Per il contributo di rumore flicker dovuto invece a  $M_4$  ed  $M_5$  si ha:

$$\langle \tau_n^2 \rangle = \frac{T_{ck}^2}{4I_D^2} \frac{N_F}{W''L''} \frac{3}{550} \frac{4I_{D4}^2}{V_{OD4}^2} 2 \ln \left( \frac{f_2}{f_1} \right) \quad (4.51)$$

In realtà tale contributo risulta significativo, essendo  $I_{D4}$  pari a 100 nA.

Si consideri adesso il rumore termico. Esso potrebbe contribuire in maniera significativa, dato il basso valore della frequenza di corner. Seguendo lo stesso procedimento adottato per l'amplificatore di corrente, si può scrivere per

$M_{17a-e}$ :

$$\langle \tau_n^2 \rangle = \frac{4qV_T T_{ck}}{3 I_D^2} \sum_{i=1}^N \quad (4.52)$$

$M_4$  ed  $M_5$  non hanno effetti significativi, per via dell'attenuazione, e della mancanza del termine quadratico.

Si può adesso andare a sviluppare i calcoli, usando i parametri presentati in tabella 4.4.

<i>Param.</i>	<i>Valore</i>
$T_{ck}$	20 $\mu s$
$I_D$	20 – 68 nA
$N_F$	$2 \cdot 10^{-9} V^2 \mu m^2$
$W'$	0.5 $\mu m$
$L'$	100 $\mu m$
$I_{D4}$	4 nA
$V_{OD}$	0.263 V
$f_1$	0.01 Hz
$f_2$	50 KHz

**Tabella 4.4:** Valore dei parametri usati per la stima del jitter dovuto al rumore flicker sovrapposto ad  $I_D$ .

Si può notare che all'aumentare del valore di  $I_D$  aumenta il rumore ad essa sovrapposto, ma anche il denominatore della 4.52. Si noti inoltre che diminuire tale corrente comporta la diminuzione del coefficiente risultante dalla somma delle molteplicità dei transistor, che vale 17 per il caso di  $I_D$  massima ed uguale a 68 nA. I risultati ottenuti per il jitter sono riportati in tabella 4.5. Il  $\tau_n$  dovuto a

$I_D$	$\tau_n$
20 nA	1.3 ns
36 nA	1 ns
68 nA	0.7 ns

**Tabella 4.5:** Valori del jitter dovuto al rumore flicker introdotto dalla  $I_D$ .

$M_4$  ed  $M_5$  risulta invece pari a 2.8 ns, per una  $I_D$  di 36 nA.

E' possibile anche sviluppare il calcolo per la stima del jitter dovuto al rumore

termico. Usando i soliti parametri, si sono ottenuti i risultati riportati in tabella 4.6.

$I_D$	$\tau_n$
68 nA	2.5 ns
36 nA	3.4 ns

**Tabella 4.6:** Valori del jitter dovuto al rumore termico introdotto dalla  $I_D$ .

I valori di  $\tau_n$  andrebbero infine composti sommando le relative varianze. Si può comunque già da ora notare come il contributo di rumore della corrente di scarica sia molto inferiore a quello di CA.

L'analisi svolta fin qui è valida sia per il circuito a singolo clock, sia per la versione sviluppata durante il presente lavoro di tesi. La  $I_D$ , come sarà presentato più avanti, è infatti generata in modo molto più semplice, ma subisce una modulazione analogica.

### Il rumore del generatore di rampa RG.

Il rumore prodotto dal blocco circuitale RG, che si occupa della generazione del segnale  $V_s(t)$ , usato per stimolare le capacità del sensore, ha origine nei generatori che producono le correnti che caricano e scaricano la capacità di integrazione. Riportiamo per comodità lo schema elettrico del circuito (figura 4.14). In realtà le correnti  $I_{down}$  e  $I_{up}$  sono prodotte da specchi di corrente programmabili, simili a quello che produce  $I_D$ , non riportati per motivi di brevità. Il rumore sovrapposto a queste correnti, rispettivamente  $i_{dn}$  e  $i_{upn}$ , subisce una integrazione e una successiva derivazione da parte delle capacità del sensore. Supponendo ideali queste operazioni, è possibile descriverle nel dominio  $S$  come:

$$H_i = \frac{1}{sC_M} \quad (4.53)$$

per l'integrazione, e:

$$H_d = s\Delta C \quad (4.54)$$

per la derivazione. Risulta chiaro come per la DSP del rumore di corrente tali operazioni si traducano in una moltiplicazione per un fattore  $a$ , definito come  $(\Delta C/C_M)^2$ , che assume un valore tanto più piccolo quanto più piccolo è il segnale ( $\Delta C$ ). Poiché il CA è supposto privo di rumore per il principio di

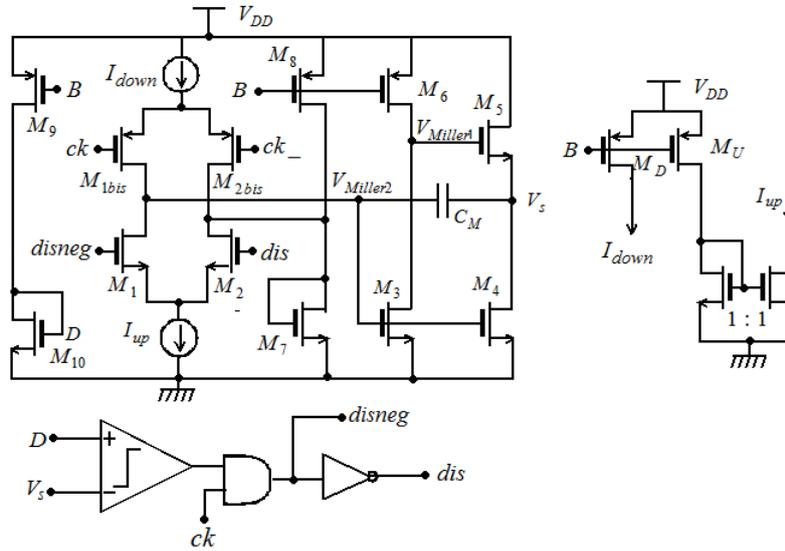


Figura 4.14: Schema elettrico del generatore di rampa RG.

sovrapposizione degli effetti, nonchè a banda infinita, la DSP giunge all'integratore e al filtro tempo-discreto che forma l'impulso.

La periodicità della forma d'onda, unita al blocco di decisione necessario a invertirne la pendenza e a mantenerne la stabilità, suggerisce la presenza di un ulteriore effetto filtrante tempo-discreto. Per analizzare questo effetto, è necessario procedere effettuando uno studio sulla carica apportata dal segnale sulla capacità di uscita  $C$ , durante una finestra di misura. Riferiamoci allora alla figura 4.15, notando come la finestra di misura sia la stessa utilizzata per caratterizzare il filtro  $H(z)$ , per motivi di coerenza.

La presente analisi è valida solamente per la versione a singolo clock, in quanto risulta evidente come la rampa abbia stesso periodo della  $V_C$ , mentre nella versione a doppio clock, la rampa è generata nella sezione veloce.

Si definisce  $q_{RMP}$  come il contributo di carica apportato da  $I_{down}$  e  $I_{up}$  in un tempo  $T_{ck}$ , compreso tra gli istanti  $t_1$  e  $t_2$ , e si scrive:

$$q_{RMP} = \left( \int_{t_1}^{t_u(n-1)} I_{up} dt - \int_{t_1'}^{nT_{ck}} I_{down} dt + \int_{nT_{ck}}^{t_2} I_{up} dt \right) a^2 \quad (4.55)$$

Definendo inoltre:

$$Q_i \equiv \int_{\Delta T_i} I dt \quad (4.56)$$

dove  $\Delta T_i$  è uno degli intervalli 1,2 o 3 della figura 4.15 e  $I$  è la corrente fornita all'integratore durante tali intervalli ( $I_{up}$  o  $I_{down}$ ). Si indicherà inoltre con  $Q_i'$

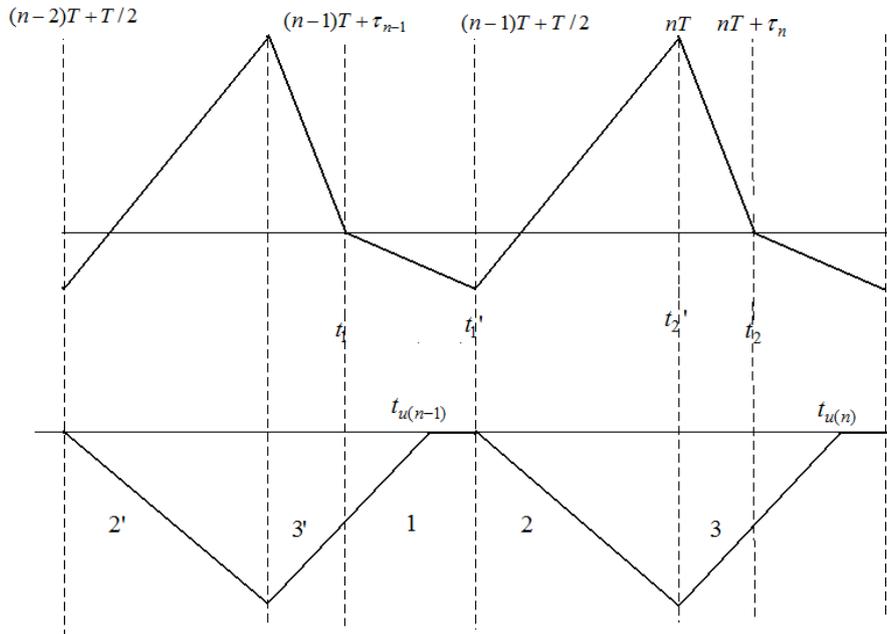


Figura 4.15: Cicli di misura consecutivi.

la carica integrata nell'intervallo di tempo  $\Delta T$  relativo al periodo precedente a quello considerato, si osserva che:

$$Q_1 + Q'_2 + Q'_3 = 0 \quad (4.57)$$

poichè la tensione  $V_s$  arriva e parte dallo stesso punto fissato dal comparatore.

Da essa:

$$Q_1 = -Q'_2 - Q'_3 \quad (4.58)$$

e infine sostituendo nella 4.55:

$$q_{RMP} = [-(Q_2 + Q'_2) + (Q_3 - Q'_3)] a^2 \quad (4.59)$$

Si possono allora fare alcune considerazioni.  $Q_2$  è prodotta dalla  $I_{down}$ , pertanto disturbi a bassa frequenza ed offset che interessano questa corrente si sommano, mentre si può presupporre l'annullamento di disturbi alla frequenza di  $2/T_{ck}$ , per via dell'inversione di segno di essi all'interno di un periodo. Per quanto riguarda la  $I_{up}$ , rumore a bassa frequenza ed offset sono fortemente ridotti, in quanto essa è responsabile di  $Q_3$ .

Si può formulare questi concetti in maniera rigorosa individuando le funzioni filtranti tempo-discreto. Si definisce allo scopo un campione di carica dovuta al

rumore:

$$q'_{dn}[n] = \int_{t'_1}^{nT_{ck}} i_{dn} dt \quad (4.60)$$

e in maniera analoga  $q'_{upn}$ . Prendendo in considerazione la componente di rumore di  $q_{RMP}$ , la si può vedere come composta da due sequenze  $q_{DNn}$  e  $q_{UPn}$ :

$$q_{DNn} = q'_{dn}[n] + q'_{dn}[n-1] \quad (4.61)$$

$$q_{UPn} = q'_{upn}[n] - q'_{upn}[n-1] \quad (4.62)$$

E' necessario precisare che si è considerato  $\tau$  costante nei due periodi. Operando nel dominio  $Z$  e passando poi in frequenza, in maniera molto simile a quanto fatto per la sezione di uscita, si ricava le seguenti funzioni filtranti agenti sui sample di carica di rumore:

$$H_{up}(f) = 2je^{-j\omega\frac{T_{ck}}{2}} \sin(\pi f T_{ck}) \quad (4.63)$$

$$H_{dn}(f) = 2e^{-j\omega\frac{T_{ck}}{2}} \cos(\pi f T_{ck}) \quad (4.64)$$

Per le densità spettrali di potenza, valgono ovviamente:

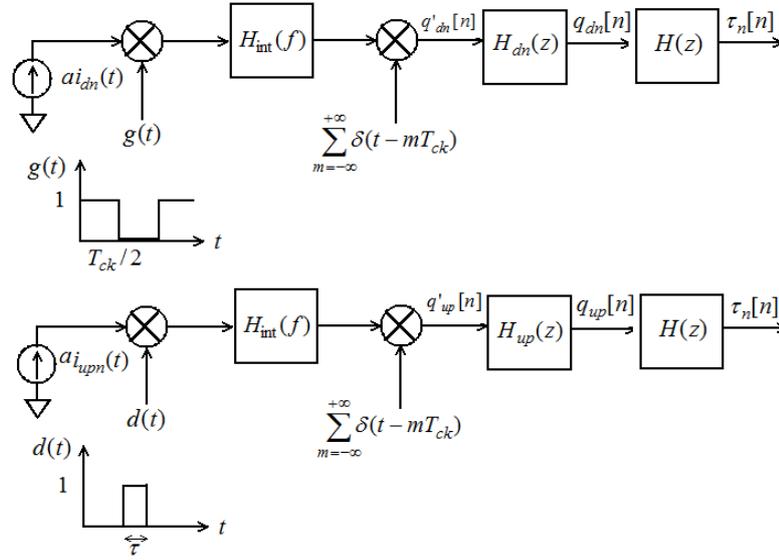
$$|H_{up}(\omega)|^2 = 4 \sin^2(\pi f T_{ck}) \quad (4.65)$$

$$|H_{dn}(\omega)|^2 = 4 \cos^2(\pi f T_{ck}) \quad (4.66)$$

La  $H_{up}(\omega)$  opera un filtraggio passa-alto, eliminando l'offset e riducendo il rumore a bassa frequenza in uscita. La  $H_{dn}(\omega)$  opera invece un filtraggio di tipo passa-basso poichè nell'origine non si annulla, ma anzi amplifica di un fattore 4 il rumore.

E' necessario adesso porsi il problema di come si possa schematizzare la formazione dei campioni di carica. Il modo migliore di farlo, per rimanere coerenti col resto della trattazione, è quello di considerare delle funzioni che selezionano l'intervallo temporale di interesse per le due correnti che arrivano poi all'integratore a finestra mobile, la cui uscita viene campionata e filtrata dalle funzioni ora ricavate e in seguito dal filtro  $H(z)$ . In figura 4.16 è rappresentato lo schema a blocchi. Le funzioni modulanti  $g(t)$  e  $d(t)$  sono periodiche con periodo  $T_{ck}$ . Il loro valor medio è diverso da 0, per cui il rumore flicker e l'offset non saranno rimossi dalla banda base e sarà necessario tenerne conto. Tuttavia per quanto riguarda  $i_{upn}$ , a causa dei filtraggi che essa subisce (4.63), si può affermare che non porti contributi significativi alla fluttuazione della durata dell'impulso.

Anche in questo caso, per fornire delle stime numeriche e delle formule che quantifichino il livello di rumore introdotto da  $i_{dn}$ , sono necessarie alcune approssimazioni. Ancora una volta, si prescinde dagli effetti filtranti tempo-discreto,



**Figura 4.16:** Schema a blocchi che illustra il processing subito dalle correnti del generatore di rampa. Il coefficiente  $a$  tiene conto della moltiplicazione per  $(\Delta C / C_M)^2$ .

e si identifica  $H(z)$  con  $1/4I_D^2$ . In questo modo, si ricava  $\langle q_n^2 \rangle$  come energia in uscita all'integratore. Per il coefficiente  $a$ , si considera il caso peggiore, ovvero  $\Delta C$  di fondo scala, pari a 250 fF, e considerando che  $C_M$  è uguale a 3 pF,  $a^2$  sarà pari a  $1/144$ .

Si riporta innanzitutto in figura 4.17 il risultato delle simulazioni ACNOISE svolte per caratterizzare la densità spettrale di rumore dello specchio di corrente che produce la  $I_{down}$ . La frequenza di corner è posizionata intorno al KHz e il livello di rumore termico è pari a -255 dB.

Si segue lo stesso procedimento visto per il rumore di CA e di  $I_D$ , e dividendo il rumore termico, per il quale si sfrutta al solito l'approssimazione di banda equivalente, dal flicker, per il quale si considera  $|H_{int}(f)|^2 = T_{ck}^2$ . Inoltre si deve tener conto del fatto che la replica della DSP centrata nell'origine è scalata di un fattore  $1/4$  per effetto della modulazione per  $g(t)$ , il cui valor medio è  $1/2$ . Si ottiene allora:

$$\langle \tau_n^2 \rangle = 14 \frac{a^2}{4} T_{ck}^2 \frac{I_{ds}^*}{I_D^2} \frac{1}{V_{od}^2} \frac{N_F}{WL} 2 \ln \left( \frac{f_2}{f_1} \right) \quad (4.67)$$

per il contributo del rumore flicker, dove il coefficiente 14 tiene conto della molteplicità complessiva dei transistor che formano lo specchio programmabile, similmente a quanto visto per la  $I_D$ , e  $I_{ds}^*$  è la corrente che eroga il MOS di

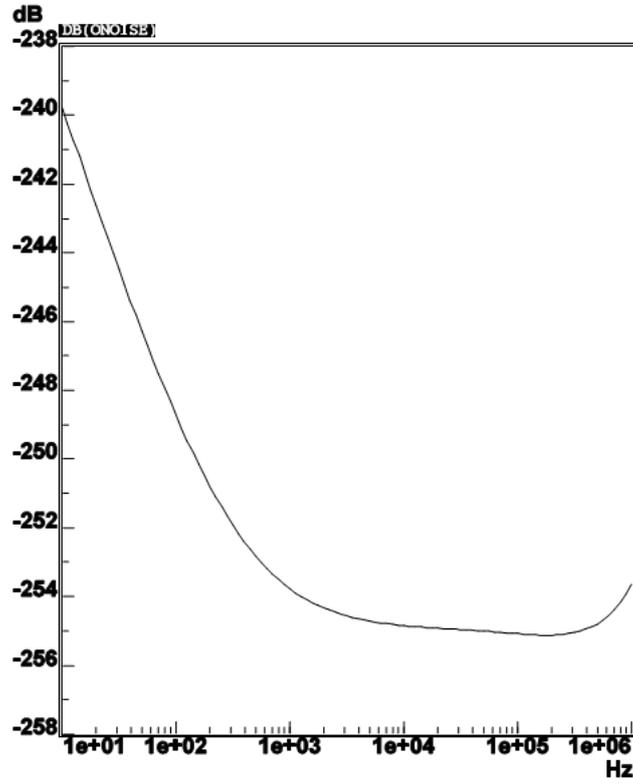


Figura 4.17: Densità spettrale di potenza del rumore sovrapposto alla  $I_{down}$ , ottenuto da una simulazione ACNOISE con ELDO.

molteplicità 1. Con i parametri in tabella 4.7, si sono ottenuti i risultati riportati in tabella 4.8. Risulta evidente come il *jitter* introdotto dal rumore flicker sovrapposto alla  $I_{down}$  sia del tutto influente rispetto al contributo del CA. Per quanto riguarda il termico si ottiene invece:

$$\langle \tau_n^2 \rangle = 14a^2 \frac{4qV_T}{3} \frac{T_{ck}}{I_D^2} \frac{I_{ds}^*}{V_{od}} \quad (4.68)$$

Con i soliti parametri usati per il flicker, si ottengono valori intorno al ns, ancora trascurabili, e confermati anche dai conti svolti usando direttamente la DSP ricavata dalle simulazioni.

L'analisi svolta finora è valida per il circuito a singolo clock. Nella versione a doppio clock, invece, si hanno più ripetizioni della rampa all'interno di un ciclo di misura, e ricavare le funzioni filtranti tempo-discreto risulta più complicato, poichè si ha a che fare con sequenze i cui sample sono dati da sommatorie di contributi di carica. Si può dimostrare che anche in questo caso è il contributo

<i>Param.</i>	<i>Valore</i>
$T_{ck}$	20 $\mu s$
$I_D$	20 – 68 $nA$
$N_F$	$1.8 \cdot 10^{-9} V^2 \mu m^2$
$W$	1 $\mu m$
$L$	50 $\mu m$
$I_{ds}^*$	20 $nA$
$V_{OD}$	0.254 $V$
$f_1$	0.01 $Hz$
$f_2$	50 $KHz$

**Tabella 4.7:** Valore dei parametri usati per la stima del jitter dovuto al rumore flicker sovrapposto ad  $I_{down}$ .

$I_D$	$\tau_n$
20 $nA$	0.4 $ns$
36 $nA$	0.2 $ns$
68 $nA$	0.1 $ns$

**Tabella 4.8:** Valori del jitter dovuto al rumore flicker introdotto dalla  $I_{down}$ .

apportato da  $i_{down}$  a prevalere. Tuttavia è presente ancora una volta il coefficiente  $a$ , che garantisce la forte riduzione di questi contributi.

## Il rumore dei comparatori

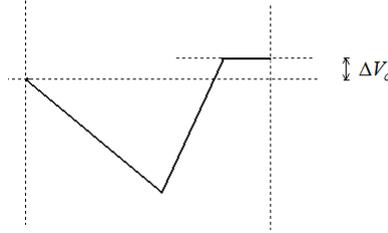
Per quantificare gli effetti dovuti al rumore dei comparatori, si può fare ancora uso del principio di sovrapposizione degli effetti supponendo prive di rumore le forme d'onda. Il rumore elettronico riportato in ingresso si traduce in una traslazione della soglia, che causa una variazione del bilancio della carica immagazzinata sul condensatore, che produce una variazione di  $\tau$ , se si sta considerando il comparatore in uscita, o della rampa, se si sta invece considerando quello che fa parte di RG.

Si considera inizialmente quello che fa parte del generatore di rampa, più facile da trattare. Si può ipotizzare un filtraggio tempo-discreto, dovuto ancora una volta alla periodicità del sistema. Si fa riferimento alla figura 4.18. La variazione

della soglia  $\Delta V_{ci}$  all'interno dell' $i$ -esimo periodo, provoca la presenza di un  $\Delta Q_i$  diverso da 0, pari a:

$$\Delta Q_i = \Delta V_{ci} \Delta C \quad (4.69)$$

E' inoltre abbastanza semplice in questo caso considerare il sistema a doppio



**Figura 4.18:** Effetto di una traslazione della soglia  $\Delta V_c$ , dovuta ad un disturbo, sulla rampa.

clock. Infatti durante un  $T_{ck2}$  si avranno  $N$  rampe, dove  $N$  è il rapporto tra  $f_{ck1}$  e  $f_{ck2}$ . Allora:

$$\sum_{k=1}^N \Delta Q_k = \Delta C \sum_{k=1}^N (v_c[k] - v_c[k-1]) \quad (4.70)$$

dove  $v_c[k]$  è la variazione della soglia all'interno del  $k$ -esimo periodo. Tale sequenza è composta da campioni spaziatati di  $T_{ck1}$ . Si può sviluppare ulteriormente i conti:

$$\sum_{k=1}^N \Delta Q_k = \Delta C \left[ \sum_{k=1}^N v_c[k] - \sum_{k=1}^{N-1} v_c[k] \right] = \Delta C [v_c[N] - v_c[0]] = q_{cmp} \quad (4.71)$$

Inoltre  $NT_{ck1} = T_{ck2}$ , per cui  $v_c[N] = v_c(nT_{ck2})$  e  $v_c[0] = v_c[(n-1)T_{ck2}]$ , supponendo di far coincidere lo 0 con la fine del periodo di misura precedente. Si ha allora:

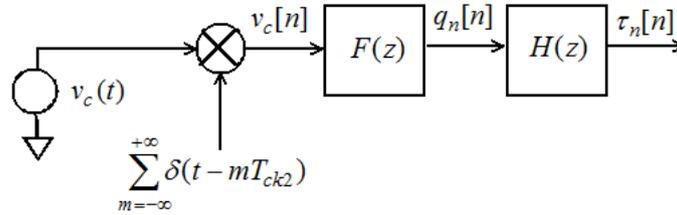
$$q_{cmp} = \Delta C (v_c[n] - v_c[n-1]) \quad (4.72)$$

dove stavolta  $v_c[n]$  è una sequenza di campioni spaziatati di  $T_{ck2}$ . Lavorando nel dominio  $Z$ , si riesce a ricavare la funzione filtrante che esprime la funzione di trasferimento tra la variazione della soglia dovuta al rumore e il contributo di carica derivante:

$$F(\omega) = \frac{q_{cmp}(\omega)}{v_c(\omega)} = 2j\Delta C e^{-j\omega \frac{T_{ck2}}{2}} \sin\left(\omega \frac{T_{ck2}}{2}\right) \quad (4.73)$$

Nonostante la presenza di due clock, il filtraggio numerico avviene a cavallo di due periodi  $T_{ck2}$  consecutivi, ed è di tipo passa-alto. Il campionamento che

produce i termini della sequenza  $v_c[n]$  è quindi a frequenza  $f_{ck2}$ , come esposto nello schema a blocchi (figura 4.19). Il filtraggio passa-alto che il sistema effettua



**Figura 4.19:** Schema a blocchi del processing subito dal rumore del comparatore.

sul rumore del comparatore consente di affermare che il suo contributo sia fortemente ridotto da esso.

Per quanto riguarda il comparatore di uscita, la situazione è molto più complicata. Sarebbe necessario tenere conto di come disturbi avvenuti in ciascun periodo di misura precedente a quello corrente, e occorsi durante esso, si ripercuotono sul bilancio di carica e sull'istante di scatto del comparatore, che influenza direttamente la durata dell'impulso. Si può comunque ipotizzare un filtraggio passa-alto anche in questo caso. Infatti fluttuazioni molto lente della soglia non hanno effetti sulla durata dell'impulso di uscita, poichè lo scatto del comparatore avviene comunque alla stessa tensione per periodi di misura consecutivi.

## 4.4 Miglioramento della risoluzione

Con quanto detto finora, è possibile andare a dimostrare e quantificare l'effettivo miglioramento in termini di risoluzione che si ottiene utilizzando l'architettura presentata. Confrontando i risultati ottenuti dalle stime presentate, risulta evidente come il blocco che più contribuisce al *jitter* è l'amplificatore di corrente, con il suo rumore termico, il cui contributo è espresso nella 4.44. Questo è vero sia per l'architettura a singolo che per quella a doppio clock. Si consideri quindi la 4.32. Essendo  $S_{in}(f)$  per quanto detto finora coincidente con  $S_{CA}(f)$  risulta per il sistema a doppio clock:

$$\langle q_n^2 \rangle = T_{ck2} S_{CA}(f) \quad (4.74)$$

poichè l'integrazione avviene in un periodo del secondo clock. Considerando ora la 4.33 si può esprimere il *jitter*  $\tau_{rms}$  e rapportarlo alla durata di fondo scala dell'impulso  $\tau_{FS}$ , per valutare quindi il *dynamic range* del sistema. Si ottiene:

$$\frac{\tau_{rms}}{\tau_{FS}} = \frac{\sqrt{\langle q_n^2 \rangle}}{2I_D} \frac{1}{\tau_{FS}} = \frac{T_{ck2} S_{CA}}{N \Delta V_s \Delta C_{FS}} = \frac{\sqrt{T_{ck1}} S_{CA}}{\sqrt{N} \Delta V_s \Delta C_{FS}} \quad (4.75)$$

L'equazione 4.75 fornisce diverse importanti indicazioni. Innanzitutto si nota una diminuzione del rapporto rumore/segnale di  $1/\sqrt{N}$ . La situazione migliora quindi all'aumentare del rapporto tra i periodi di clock. Inoltre il *dynamic range* migliora anche all'aumentare di  $\Delta V_s$  e di  $\Delta C$ , sui quali però il progettista non ha grossi margini di azione, poichè il valore picco-picco della rampa è fissato dalla  $V_{DD}$  e dalla dinamica di uscita di RG, e  $\Delta C$  è dipendente dal sensore. Si consideri invece  $N$ . Per  $N = 1$  ci si riconduce al caso dell'interfaccia a singolo clock. In questo caso sembrerebbe che un semplice aumento di  $f_{ck}$  porti dei miglioramenti in termini di rumore, ma questo non è vero. Infatti un aumento della frequenza di lavoro provoca la richiesta di un prodotto guadagno banda più alto, che necessità di consumi più alti di corrente, che si traducono in un aumento della  $S_{CA}$ . Invece l'architettura a doppio clock presentata e discussa consente un'effettiva riduzione del livello di rumore, regolando il rapporto dei clock. Come si è spiegato più sopra, la soluzione migliore in termini di consumo è quella di ridurre  $f_{ck2}$  a parità di  $f_{ck1}$ . Se si aumentasse  $f_{ck1}$ , infatti, sarebbe necessario incrementare i consumi per soddisfare le specifiche sull'impedenza di ingresso, descritte diffusamente in precedenza, poichè sarebbe necessario aumentare il prodotto guadagno-banda di CA.

Si può notare infine come diminuire il consumo di corrente di CA comporta anche una riduzione di  $S_{CA}$ , essendo quest'ultima proporzionale alla  $I_B$ . Tuttavia ricordando la 3.32, risulta evidente come diminuendo la corrente di polarizzazione diminuiscano i  $g_m$  e aumenti di conseguenza la dipendenza dalla temperatura.

Da quanto detto finora, appare chiaro come lo spazio di progetto sia costituito da impedenza di ingresso, dipendenza dalla temperatura, rumore, banda disponibile in uscita. Il progettista deve quindi operare un corretto dimensionamento del circuito, facendo uso di opportune simulazioni, per ricercare dei buoni trade-off tra tali specifiche.

## Capitolo 5

# Implementazione del convertitore capacità-durata a doppio clock.

L'analisi teorica svolta nel capitolo 4 ha confermato la bontà dell'architettura a doppio clock, sia da un punto di vista del *dynamic range* che da un punto di vista della flessibilità di progettazione. Si è così implementato un circuito che facesse uso di due clock, e realizzasse le modifiche descritte. Le simulazioni, necessarie al dimensionamento dei componenti e alla caratterizzazione del sistema, sono state svolte col software ELDO, in ambiente CADENCE. Il prototipo è stato progettato utilizzando dispositivi del subset CMOS del processo Bipolar-CMOS-DMOS BCD6s ( $0.32 \mu m$ ) di STMicroelectronics. I modelli utilizzati per i dispositivi sono i Philips LEVEL 9. La filosofia che si è seguita nel progetto è stata quella di unire la funzionalità del circuito alla riduzione dei consumi, raggiunta sia tramite la diminuzione della corrente, che attraverso un accurato dimensionamento dei componenti che ha consentito la diminuzione della tensione di alimentazione  $V_{DD}$  fino a 2.5 Volt.

### 5.1 Implementazione circuitale

In questa sezione saranno presentate le modifiche topologiche e il dimensionamento dei dispositivi necessarie ad implementare l'architettura rappresentata

in figura 4.1. Saranno inoltre presentati i risultati delle simulazioni svolte per caratterizzare il circuito.

### L'amplificatore di corrente con architettura a doppio clock

Come nella versione a singolo clock, l'amplificatore di corrente fully differential, oltre a svolgere la funzione di calcolare la differenza delle correnti  $I_x$  ed  $I_r$ , genera anche  $I_D$  e  $\Delta I_B$  e svolge le necessarie modulazioni delle correnti. L'architettura a doppio clock richiede alcune modifiche topologiche, riportate in figura 5.1. Si ricordi che  $Ck1$  è il clock veloce,  $Ck2$  quello lento.

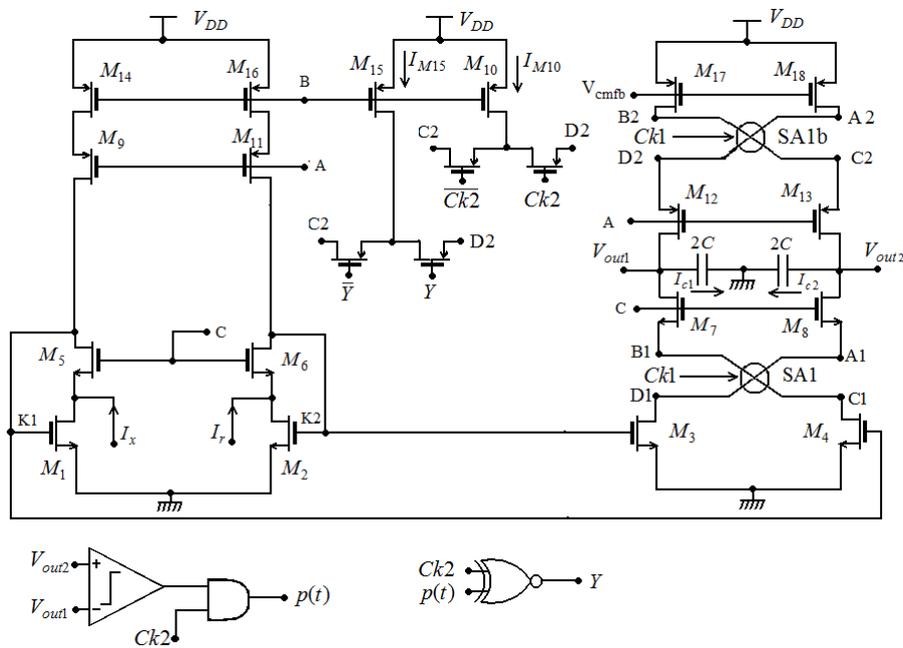


Figura 5.1: Topologia dell'amplificatore di corrente per l'architettura a due clock.

La topologia del CA risulta essere piuttosto simile a quella del caso a singolo clock. I transistori  $M_{14}$  ed  $M_{16}$  hanno stessa molteplicità e producono la  $I_{BIAS}$ . Inoltre, poichè la  $I_D$  e la  $\Delta I_B$  subiscono una modulazione alla frequenza di  $Ck2$ , è necessario effettuarla a parte e poi inserire tali correnti nei nodi C2 e D2. Il segnale Y pilota infatti correttamente gli switch che inseriscono la  $I_{M15}$ , che si dimostrerà coincidente con  $2I_D$ . Si è scelta un'inserzione a valle di SA1b. Tale modulatore è infatti pilotato da  $Ck1$  ed ha la funzione di eliminare dalla banda base l'offset e il rumore a bassa frequenza di  $M_{17}$  ed  $M_{18}$ . Se l'inserzione

avvenisse a monte di esso, sarebbe necessario pilotarlo con  $Ck2$ , cosa che ne comporterebbe una minor efficacia.

Si può dimostrare che lo schema presentato implementa le funzioni richieste. Si faccia infatti riferimento alla 3.12. Si ottiene in questo caso:

$$I_{C2} - I_{C1} = (I_{M7} - I_{M8}) + (I_{M13} - I_{M12}) \quad (5.1)$$

Si definisce  $m_F(t)$  come un'onda quadra ideale che varia tra 1 e -1 con frequenza  $f_{ck1}$ . Inoltre si ricordi la definizione di  $m_S(t)$ : onda quadra ideale che varia tra 1 e -1, con frequenza  $f_{ck2}$ . Si ottiene allora con un procedimento simile a quello portato avanti per la versione a singolo clock:

$$I_{M7} - I_{M8} = (I_x - I_r) m_F \quad (5.2)$$

e:

$$I_{D13} - I_{D12} = (-m_S - 2p) I_{M15} + m_S I_{M10} \quad (5.3)$$

dove si è semplificata la componente erogata dai MOS necessari alla stabilizzazione del modo comune. Da esse si ottiene:

$$I_{C2} = \frac{I_{C2} - I_{C1}}{2} = \frac{I_x - I_r}{2} m_F + (-m_S - 2p) \frac{I_{M15}}{2} + m_S \frac{I_{M10}}{2} \quad (5.4)$$

Identificando  $I_{M15}/2$  con  $I_D$  e  $\frac{I_{M10}}{2}$  con  $\Delta I_B$  si ottiene esattamente la modulazione desiderata. Si noti che stavolta la differenza delle correnti provenienti dal sensore è moltiplicata per  $m_F$ , poichè la frequenza della rampa è stavolta pari a  $f_{ck1}$ .

L'amplificatore differenziale così ottenuto necessita ancora del controllo di modo comune, realizzato con lo stesso circuito di figura 3.14. Poichè stavolta in  $M_3$  ed  $M_4$  non scorrono più le correnti  $I_D$  e  $\Delta I_B$ , si è resa necessaria l'inserzione della semisomma di tali correnti nel circuito di controllo, e precisamente nel nodo CMFB. Tale corrente è ottenibile tramite due specchi di corrente. Si precisa inoltre che anche i MOS che producono  $I_D$  e  $\Delta I_B$  sono seguiti da uno stadio Cascode, per maggiore precisione.

E' adesso necessario soffermarsi sul dimensionamento dei dispositivi del blocco CA. A questo proposito, si ricordi la 4.75: essa indica chiaramente come diminuendo la densità spettrale di potenza di rumore termico dell'amplificatore di corrente si riesca ad aumentare il *dynamic range* dell'interfaccia. D'altra parte, la 4.44 indica come tale densità spettrale  $S_{CA}$ , dalla quale si è stimato il *jitter*, sia proporzionale alla corrente  $I_{BIAS}$ , che polarizza i dispositivi del circuito.

Diminuendo questa corrente, si ottiene il doppio benefico effetto di ridurre sia il livello di rumore in uscita che il consumo di CA. Si è scelta quindi una corrente  $I_{BIAS}$  di 200 nA, imposta da  $M_{14}$  ed  $M_{16}$ . La riduzione della corrente di polarizzazione a parità di dimensioni geometriche del dispositivo, provoca tuttavia una diminuzione della  $V_{gs} - V_t$ . Ciò ha imposto la variazione delle dimensioni dei MOS, in modo da ottenere delle tensioni di overdrive medie prossime a quelle riportate in tabella 3.2. In particolare, i transistor sono stati resi più resistivi aumentando la L e diminuendo la W. Inoltre, le due capacità 2C che costituiscono la capacità di integrazione C sono state fissate uguali a 8 pF, per contenere le ampiezze di  $V_{out1}$  e  $V_{out2}$ , in modo da poter diminuire la tensione di alimentazione. I parametri dei dispositivi sono riportati in tabella 5.1. Per i PMOS la tensione di overdrive si intende come valore assoluto. Si considera inoltre una tensione di alimentazione di 2.5 V.

	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )	M	$V_{gs} - V_t$ (V)
$M_1, M_2, M_3, M_4$	1.1	36	2	0.190
$M_{17}, M_{18}$	1	12	2	0.225
$M_{14}$	1	100	20	0.289
$M_{15}$	1	100	2	0.289
$M_{10}$	1	100	8	0.289

**Tabella 5.1:** Dimensioni, molteplicità e tensione di overdrive per i MOS più significativi dell'amplificatore di corrente nella sua versione a doppio clock. Le dimensioni dei transistor montati a gate comune non sono particolarmente rilevanti e non sono riportate.

Si noti che le lunghezze dei MOS che impongono una corrente sono pari a 100  $\mu\text{m}$ . Essa infatti è uguale a quella dei dispositivi della rete di polarizzazione, che ha subito anch'essa alcune modifiche ed è presentata più avanti. D'altra parte essa produce ancora le tensioni  $V_A$ ,  $V_B$  e  $V_C$  necessarie al circuito e la corrente di riferimento è fissata a 500 nA.

Nell'ottica di una progettazione low-power, è opportuno stimare i consumi di corrente del CA. Si hanno in tutto 4 rami, polarizzati da  $I_{BIAS}$ , per un totale di 800 nA di corrente assorbita dall'alimentazione. Con le dimensioni scelte, la  $I_{M15}$  risulta pari a 20 nA e la  $I_{M10}$  a 80 nA. Tali correnti verificano le condizioni

3.2 e 3.6. Considerando inoltre il consumo dello specchio supplementare per la semisomma citata sopra si ottiene un consumo totale di  $1.1 \mu A$ . Il consumo del circuito di controllo del modo comune di uscita è pari invece a  $0.9 \mu A$ . Sono state effettuate alcune simulazioni ACNOISE per quantificare l'effettivo miglioramento ottenuto con la diminuzione della  $I_{BIAS}$ : si è passati dai  $-238$  dB, con frequenza di corner di  $14$  KHz, per una polarizzazione di  $1 \mu A$ , a  $-244$  dB, con  $f_k$  pari a  $2.2$  KHz, per una polarizzazione di  $200$  nA. Infine, gli interruttori sono stati in realtà realizzati con i relativi dummy switches per minimizzare l'effetto delle iniezioni di carica.

## Il generatore di rampa

Il generatore di rampa utilizzato nell'architettura a doppio clock è lo stesso utilizzato nella versione a singolo clock. La temporizzazione è stavolta data da  $Ck1$ . Sono state apportate alcune modifiche nel dimensionamento per massimizzare  $\Delta V_s$  e per ridurre i consumi quanto più possibile. Si riporta per comodità lo schema elettrico di RG (figura 5.2).

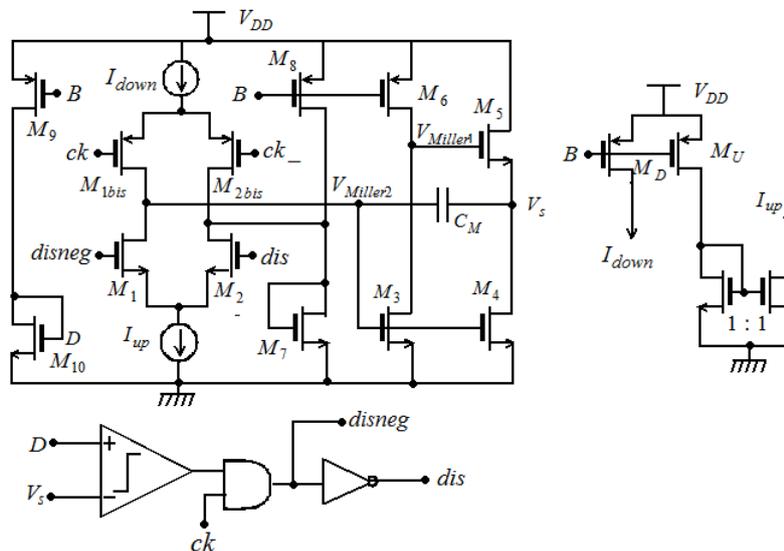


Figura 5.2: Schema elettrico completo del generatore di rampa.  $Ck$  coincide con  $Ck1$ .

La capacità  $C_M$  è stata diminuita a  $2.5$  pF, per aumentare l'ampiezza dell'onda, pur diminuendo il valore assoluto delle correnti. Inoltre, il ramo composto dai transistori  $M_8$  ed  $M_7$  deve fornire al massimo la  $I_{up}$ , fissata pari a  $260$  nA,

quando questa non è connessa all'integratore, per evitare la carica delle capacità parassite. E' inutile quindi che in esso scorra  $1 \mu A$  e  $M_8$  è stato dimensionato per fornire 280 nA, in modo da non far comunque spengere  $M_7$ , che è stato a sua volta modificato. La  $I_{down}$  è invece stata fissata pari a 200 nA. Anche nel ramo composto da  $M_9$  ed  $M_{10}$  scorreva  $1 \mu A$ , ed anche in questo caso è stato possibile ridurre la corrente. Tali dispositivi hanno lo scopo di fornire la tensione di riferimento  $V_D$ , per cui la corrente è stata portata a 100 nA, mentre sono state modificate le dimensioni di  $M_{10}$ , rendendolo molto più resistivo, fino ad ottenere una  $V_D$  pari a 1.106 V. Le dimensioni dei MOS che costituiscono l'amplificatore invertente non sono state modificate. Ridurre i consumi di tale blocco potrebbe portare a problemi di stabilità, poichè si andrebbe a modificarne i poli e il prodotto guadagno banda.

La limitazione principale di RG è costituita dalla dinamica di uscita. Essa è limitata da  $M_5$ , montato a source comune, per mantenere bassa l'impedenza di uscita, che soffre anche di effetto Body, e la sua tensione di soglia risulta piuttosto alta. Di conseguenza, è necessaria una  $V_{gs5}$  di circa 1 V, che limita la dinamica di uscita. Infatti, se la tensione  $V_s$  aumenta troppo, la tensione  $V_{Miller1}$  provoca l'entrata in zona triodo di  $M_6$ . Si è verificato tramite simulazioni transitorie che il massimo valore permesso per la  $V_s$  è di circa 1.3 V inferiore a quello dell'alimentazione. Considerando la  $V_d$  e l'isteresi del comparatore, di circa 100 mV, non è possibile scendere sotto i 2.5 V di  $V_{DD}$  per mantenere tale escursione della rampa. In tabella 5.2 sono riportati i parametri dei dispositivi modificati.

	W ( $\mu m$ )	L ( $\mu m$ )	M
$M_D$	1	100	20
$M_U$	1	100	26
$M_8$	1	50	14
$M_7$	1	12	1
$M_9$	1	50	5
$M_{10}$	1	128	1

**Tabella 5.2:** Dimensioni e molteplicità dei MOS del generatore di rampa modificati.

Il consumo del generatore di rampa risulta stimabile in  $3.84 \mu A$ , senza con-

siderare il consumo del comparatore, che è stato comunque ridotto. Infatti si è diminuita la corrente di tail prodotta da  $M_9$  (figura 3.17), portando la sua larghezza  $W$  da 2 ad  $1 \mu m$ . Per mantenere pressochè invariata la tensione di overdrive della coppia differenziale si è raddoppiata la loro  $L$  (da 2 a  $4 \mu m$ ). Il comportamento del generatore di rampa è stato caratterizzato tramite simulazioni TRAN (transitorio). In figura 5.3 sono riportate  $V_s$  e  $Ck1$ .

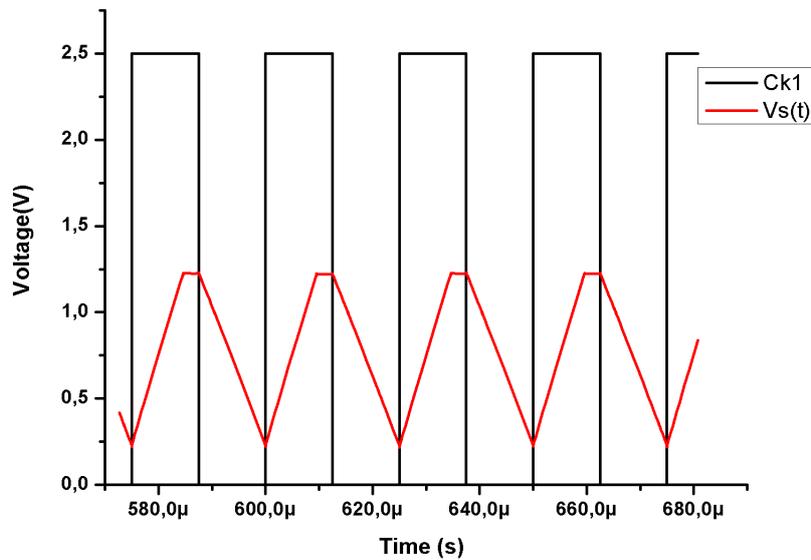


Figura 5.3: Andamento di  $V_s$  e  $Ck1$  simulato con ELDO.

L'alimentazione è fissata a 2.5 V e la frequenza di clock  $f_{ck1}$  a 40 KHz. Si è ottenuto per la rampa un valore massimo di 1.22 V e minimo di 0.236 V, per un'escursione totale di circa 0.98 V.

### Rete di polarizzazione

La rete di polarizzazione è stata modificata. Se ne è inoltre ridotto il consumo portando la corrente dei suoi rami da  $1 \mu A$  a 500 nA. Il nuovo schema è riportato in figura 5.4.

La corrente  $I$  è di 500 nA, e si ha  $V_A$  di 1.352 V,  $V_B$  pari a 1.603 V e  $V_C$  a 1.235 V.  $M_1$ ,  $M_3$  ed  $M_5$  hanno  $W = 1 \mu m$ , e  $L = 100 \mu m$  e molteplicità pari a 50.  $M_2$  ha dimensioni di  $1 \times 8 \mu m^2$ , con molteplicità 1,  $M_4$  di  $1 \times 10 \mu m^2$ , con molteplicità 1 e  $M_6$   $1 \times 40 \mu m^2$ , con molteplicità 1.

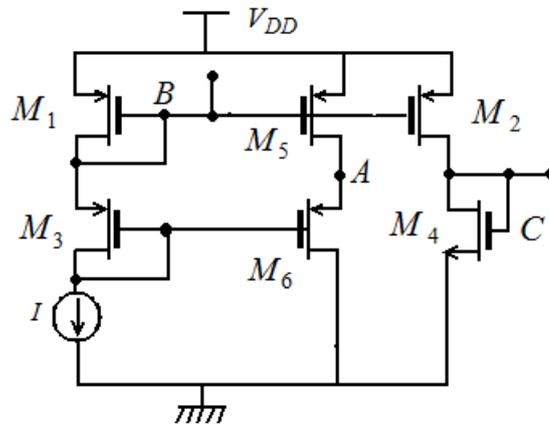


Figura 5.4: Rete di polarizzazione per il circuito a 2 clock.

### Simulazione del sistema completo

Il sistema completo è stato caratterizzato con simulazioni di tipo transitorio, svolte sempre col simulatore ELDO. In figura 5.5 si riportano le forme d'onda significative. Ovviamente è stato selezionato un ridotto intervallo temporale per motivi di leggibilità, mentre le simulazioni sono state effettuate su un arco di tempo più lungo per permettere al sistema di raggiungere una condizione di regime. Il rapporto tra i clock  $N$  è stato fissato uguale a 4, che corrisponde ad avere  $Ck2$  di 10 KHz e  $Ck1$  di 40 KHz. Si noti il cambiamento di pendenza della  $V_c$ , previsto dall'analisi teorica, e come le irregolarità delle  $V_{out}$  dovute alle iniezioni di carica siano ridotte dalla differenza. La presente simulazione è stata svolta con un  $\Delta C$  di 125 fF, e si è ottenuto per  $\tau$  il valore di  $24.17 \mu s$  in condizioni di regime. Il fondo scala risulta quindi di poco superiore ai 250 fF. Si è inoltre osservato che il sistema necessita di circa 1 ms dall'accensione per raggiungere una condizione di regime. La velocità con la quale il sistema raggiunge tale condizione è dipendente dal livello del segnale.

E' interessante riportare anche il grafico dell'evoluzione del duty cycle (figura 5.6). L'andamento molto simile a quello di un esponenziale suggerisce il comportamento passa-basso del sistema. Si ricordi infatti come la sezione di uscita operi un filtraggio di tipo passa-basso, che è a rigore valido per il rumore, ma può essere considerato anche efficace sul segnale, con una certa approssimazione. In effetti, se si fa riferimento alla 4.8, si nota come la funzione filtrante viene a dipendere dal livello del segnale, complicando di molto l'analisi.

Una volta che le simulazioni hanno confermato il corretto funzionamento del si-

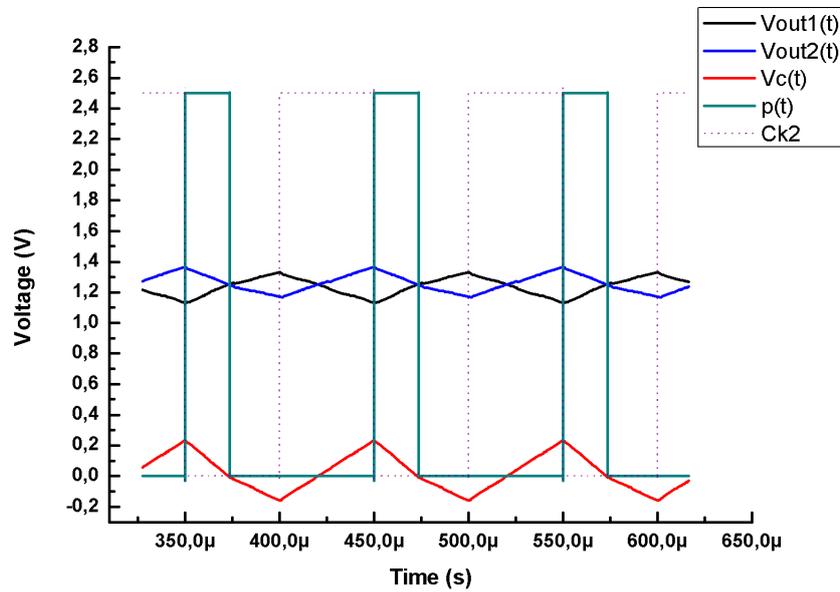


Figura 5.5: Forme d'onda significative ottenute con una simulazione di tipo TRAN.

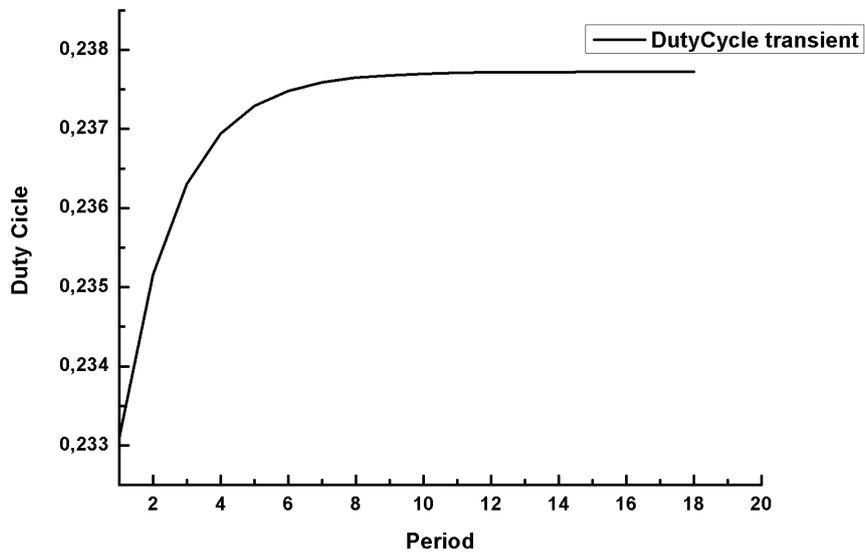


Figura 5.6: Evoluzione del duty cycle. Sull'asse delle ascisse sono riportati i periodi di misura.

stema, è possibile andare a tracciarne la caratteristica  $\tau - \Delta C$ , ottenuta variando il valore di  $C_x$ , con  $C_r$  fissato a 1 pF. La figura 5.7 riporta le caratteristiche del

sistema ottenute per una corrente di polarizzazione di  $1\mu A$  e di  $200\text{ nA}$ .

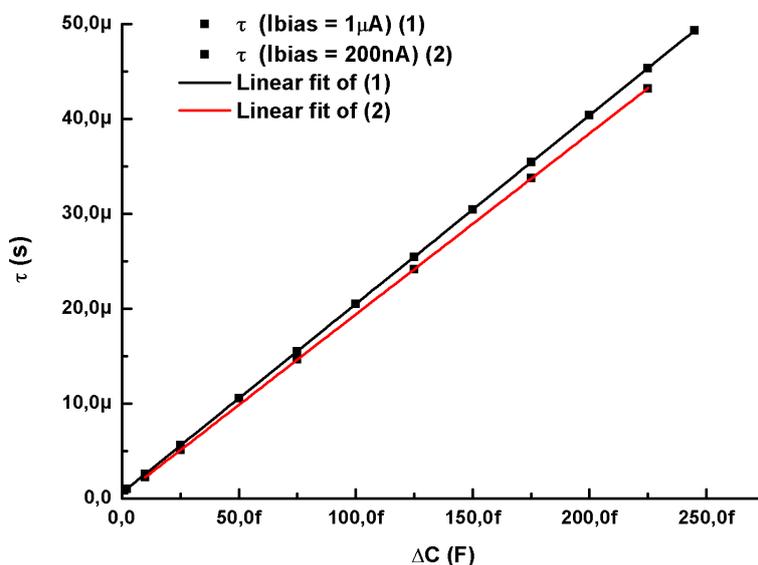


Figura 5.7: Caratteristiche  $\tau - \Delta C$  ottenute per  $I_{BIAS}$  pari ad  $1\mu A$  ed a  $200\text{ nA}$ .

Le caratteristiche dimostrano un'ottima linearità del sistema. Con un'interpolazione lineare si è potuto calcolare l'offset, che nel primo caso è risultato pari a  $0.63\mu s$  e nel secondo caso a  $0.35\mu s$  e il guadagno del sistema, pari rispettivamente a  $1.98 \cdot 10^8\text{ s/F}$  e a  $1.90 \cdot 10^8\text{ s/F}$ . La differenza di quest'ultimo parametro risiede chiaramente nell'impedenza di ingresso, che nel secondo caso è più alta, per via della minore entità dei  $g_m$ . Dall'interpolazione è anche possibile ricavare la non linearità che risulta trascurabile.

Il sistema è stato infine caratterizzato in temperatura: in tabella 5.3 sono riportati i risultati ottenuti variando la temperatura a  $\Delta C$  pari a  $125\text{ fF}$ .

$I_{BIAS}$	$\tau(\mu s)$		
	$0^\circ C$	$27^\circ C$	$80^\circ C$
$1\mu A$	24.545	24.386	24.065
$320\text{ nA}$	25.562	25.452	25.263
$200\text{ nA}$	24.362	24.171	23.776

Tabella 5.3: Variazione in temperatura di  $\tau$  per diverse correnti di polarizzazioni.

Si può calcolare la dipendenza dalla temperatura come:

$$k_T = \frac{\tau_{80} - \tau_{27}}{\tau_{27}} \frac{1}{\Delta T} \quad (5.5)$$

dove  $\Delta T$  indica la variazione massima della temperatura ( $80^\circ\text{C}$ ). Si ottiene una  $k_T$  di  $163 \text{ ppm}/^\circ\text{C}$  per  $I_{BIAS} = 1 \mu\text{A}$ , di  $246 \text{ ppm}/^\circ\text{C}$  per  $320 \text{ nA}$  e di  $303 \text{ ppm}/^\circ\text{C}$  per  $200 \text{ nA}$ . La variazione è da attribuirsi all'aumento della  $Z_{in}$  al diminuire della polarizzazione: stesse variazioni percentuali dovute alla temperatura peseranno di più per impedenze più elevate.

E' stato infine valutato il consumo di potenza del sistema. La tensione di alimentazione è stata fissata pari a  $2.5 \text{ V}$ . Si è potuto infatti accertare che essa è il limite inferiore per la  $V_{DD}$ , a causa delle dinamiche di uscita del generatore di rampa e del CA, anche se a quest'ultimo problema si è posto rimedio aumentando la capacità  $C$ . Un'ulteriore riduzione dei consumi si è inoltre ottenuta ottimizzando da questo punto di vista l'amplificatore del comparatore a bassa isteresi. Esso infatti assorbiva  $3.1 \mu\text{A}$  per ramo. Tale consumo è stato ridotto a circa  $1.5 \mu\text{A}$ . Con una simulazione di tipo TRAN si è valutata la potenza media dissipata dal sistema:  $28.76 \mu\text{W}$  per un tempo di simulazione di  $2 \text{ ms}$ , con una corrente media assorbita di poco superiore agli  $11 \mu\text{A}$ . Il risultato è senz'altro soddisfacente, avendo migliorato le prestazioni rispetto alla versione precedente [18] di quasi un fattore 3.

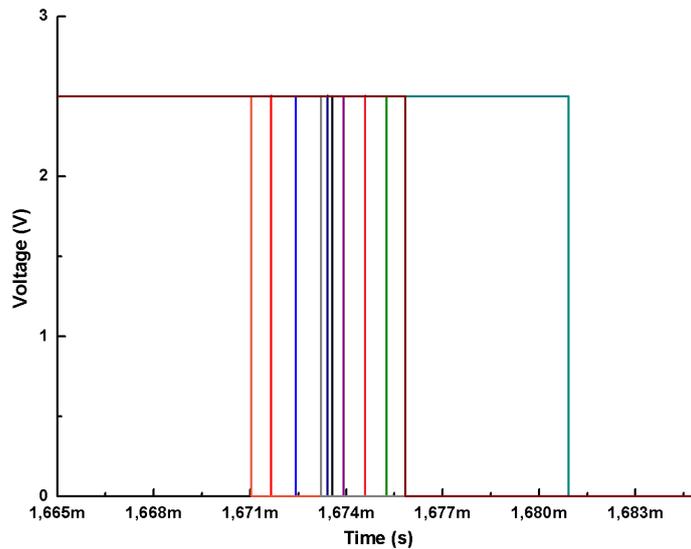
### Simulazione Monte Carlo

La simulazione Monte Carlo ha lo scopo di verificare l'effettiva realizzabilità su chip del progetto. Infatti, al momento del passaggio su silicio, sorgono una serie di problematiche legate alle incertezze sulle reali dimensioni e caratteristiche dei dispositivi dovute agli errori di processo. Gli errori di matching sono una di queste: transistori nominalmente identici non avranno in realtà le stesse dimensioni. Nel presente circuito, tali errori si traducono in mancanza di precisione sul valore della corrente  $I_D$ , che causa una variazione della durata dell'impulso, influenzando il bilancio della carica su  $C$ . Inoltre, un effetto molto rilevante è l'errore di matching delle correnti che per segnale nullo ( $\Delta C = 0$ ) scorrono in  $C_x$  e  $C_r$ . Essendo il loro valore di  $1 \text{ pF}$ , tali correnti risultano piuttosto maggiori della loro componente differenziale, e un errore su di esse, dovuto ad esempio a differenze delle  $Z_{in}$  o a mismatch dei guadagni di specchio, si ripercuote notevolmente sull'uscita. Infine, errori di matching comportano un'asimmetria

nell'entità delle iniezioni di carica dovute a commutazioni e switch, e rendono meno efficace l'uso dell'architettura fully differential.

La simulazione Monte Carlo tiene conto di questi fattori variando casualmente il valore dei parametri circuitali secondo una certa distribuzione, Gaussiana, generando sequenze numeriche pseudorandom, secondo certi parametri della tecnologia utilizzata per il processo, facenti parte del Design Kit.

E' stata effettuata una simulazione Monte Carlo in transitorio, volta a verificare la dispersione della durata  $\tau$  dell'impulso di uscita. Il  $\Delta C$  è stato fissato a 125 pF, corrispondente a circa metà della dinamica disponibile, la  $V_{DD}$  a 2.5 V, ad una temperatura di 27°C. Sono state effettuate 10 *run* ed il risultato è rappresentato in figura 5.8.



**Figura 5.8:** Fronte di discesa dell'impulso in una simulazione Monte-Carlo. E' evidenziata la dispersione. In nero è tracciato il caso ideale.

Si è ottenuta una durata minima  $\tau_{min}$  di 21.03  $\mu s$  e massima  $\tau_{max}$  di 30.92  $\mu s$ . La media risulta pari a 24.16  $\mu s$  e la mediana a 23.55  $\mu s$ , peraltro pari al valore ideale. La deviazione standard  $\sigma$  è pari a 2.66  $\mu s$ , corrispondente al 5.32% del fondo scala (25  $\mu s$ ). La massima deviazione è invece pari a 9.89  $\mu s$ , corrispondente al 19.78 % del fondo scala.

La simulazione indica quindi una dispersione non trascurabile, ma comunque accettabile, dato il basso consumo dell'oggetto. Rispetto alle versioni precedenti, caratterizzate da una minore dispersione, essendo più bassi i valori delle altre

correnti in gioco è relativamente più pesante l'errore sulla corrente di segnale di modo comune descritto sopra.

Si riscontra inoltre come dato positivo che tutte le realizzazioni (*run*) risultano funzionanti, consentendo di recuperare la dispersione mediante taratura, peraltro necessaria per recuperare lo spread del sensore.

## 5.2 Architettura e implementazione di una soluzione a doppia dinamica.

L'architettura presentata non consente di misurare  $\Delta C$  minori di 0. Infatti, secondo quanto spiegato nelle sezioni 3.1 e 4.1, è necessaria una corrente di segnale  $I_{CA}$  positiva durante tutte le fasi di funzionamento del sistema, sia esso a singolo o doppio clock, per poter realizzare un bilancio nullo di carica sulla capacità  $C$ , all'interno di un periodo di misura. Se il  $\Delta C$  fosse minore di 0, nel primo semiperiodo si otterrebbe una corrente  $I_x - I_r$  minore di 0 all'ingresso del CA, e la successiva modulazione di SA1 lascerebbe invariato il segno, comportando una scarica di  $C$ . Nel secondo semiperiodo invece SA1, connettendo i suoi terminali in maniera incrociata, renderebbe ancora negativo il contributo di  $I_{CA}$ , essendo stavolta la  $I_x - I_r$  positiva.

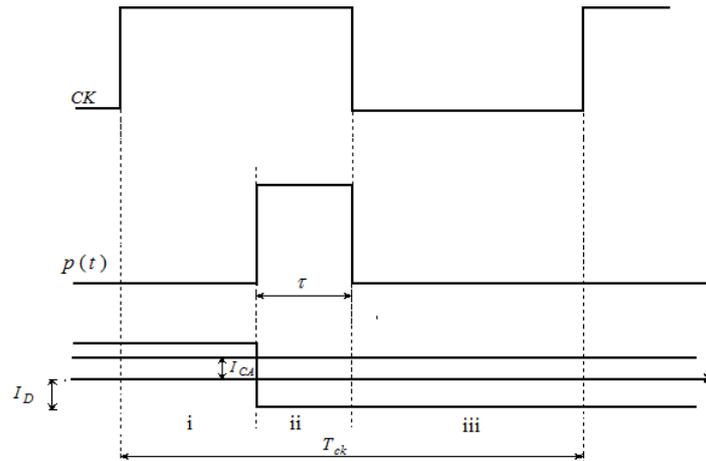
Inoltre il sistema sfrutta solo metà del periodo per fornire la propria uscita.

Risulta chiaro come un superamento di queste limitazioni potrebbe rendere decisamente migliore l'interfaccia. L'idea che sta alla base della soluzione sviluppata è quella di sfruttare il primo semiperiodo di  $p(t)$  per fornire l'impulso di uscita nel caso il  $\Delta C$  sia negativo. In questo modo entrambi i problemi vengono risolti, riuscendo di conseguenza a raddoppiare la dinamica disponibile. In questa sezione sarà presentata l'idea che sta alla base della soluzione messa a punto, l'implementazione del sistema di controllo, le modifiche circuitali effettuate, e i problemi che si sono incontrati.

### Strategia di controllo

La messa in pratica di questa idea rende necessario modificare l'andamento delle correnti nel caso il  $\Delta C$  sia negativo, perchè il bilancio di carica su  $C$  sia ancora nullo all'interno del periodo di misura. Per capire come si possa modificare le forme d'onda delle correnti, si faccia riferimento alla 3.3. La

$\Delta I_B$  può essere lasciata invariata, offrendo un contributo di carica nullo sul periodo. La  $I_{CA}$ , come già spiegato risulterebbe negativa. Si può pensare allora di invertire la pendenza della rampa per renderla positiva durante l'intero periodo. E' necessario modificare anche l'andamento della corrente di scarica  $I_D$  per realizzare il bilancio, nel modo indicato in figura 5.9. L'impulso di uscita



**Figura 5.9:** Andamento delle correnti nel caso di  $\Delta C$  minore di 0. Si nota la simmetria col caso di  $\Delta C$  maggiore di 0.  $p(t)$  rappresenta l'impulso di uscita, che si forma nel primo semiperiodo.

$p(t)$  si forma nel primo semiperiodo e si può notare la simmetria della  $\Delta I_D$  rispetto al caso di  $\Delta C$  maggiore di 0. La  $\Delta I_B$ , omessa in figura, continua a seguire l'andamento del clock.

Dall'andamento delle correnti si ricava la nuova  $V_c(t)$ . Durante la fase *i* infatti il contributo di tutte le correnti è positivo, e determina quindi l'aumento dell'onda, con la maggiore pendenza. Quando invece si entra nella fase *ii*, si avrà ancora una pendenza positiva, ma di minor valore. Il passaggio dalla fase *i* alla fase *ii* è determinato dal superamento della soglia di CMP da parte della  $V_c$ , che provoca la presenza di un 1 logico in uscita, similmente a quanto avviene per il passaggio dalla fase *ii* alla fase *iii* per il caso di  $\Delta C$  maggiore di 0, quando però l'uscita del comparatore va a 0. Alla fine del primo semiperiodo si entra nella fase *iii*, dove il contributo di  $\Delta I_B$  diventa negativo e forza la pendenza negativa della  $V_c(t)$ . Si noti che in ogni caso per le correnti cambia solo la modulazione, non il valore assoluto e le condizioni di funzionamento continuano ad essere rispettate. E' possibile ricavare  $\tau$  imponendo il bilancio della carica all'interno

CAPITOLO 5. Implementazione del convertitore capacità-durata a doppio clock.

del periodo:

$$(I_D + I_{CA}) \left( \frac{T_{ck}}{2} - \tau \right) - I_D \tau + I_{CA} \tau - (I_{CA} + I_D) \frac{T_{ck}}{2} = 0 \quad (5.6)$$

da cui:

$$\tau = \frac{T_{ck}}{2} \frac{|I_{CA}|}{I_D} \quad (5.7)$$

che è esattamente lo stesso risultato che si ottiene nel caso di  $\Delta C$  maggiore di 0 (3.4). In figura 5.10 è riportato l'andamento della  $V_c(t)$  che si ottiene con questa configurazione delle correnti. In questa figura la rampa è sincrona al clock lento,

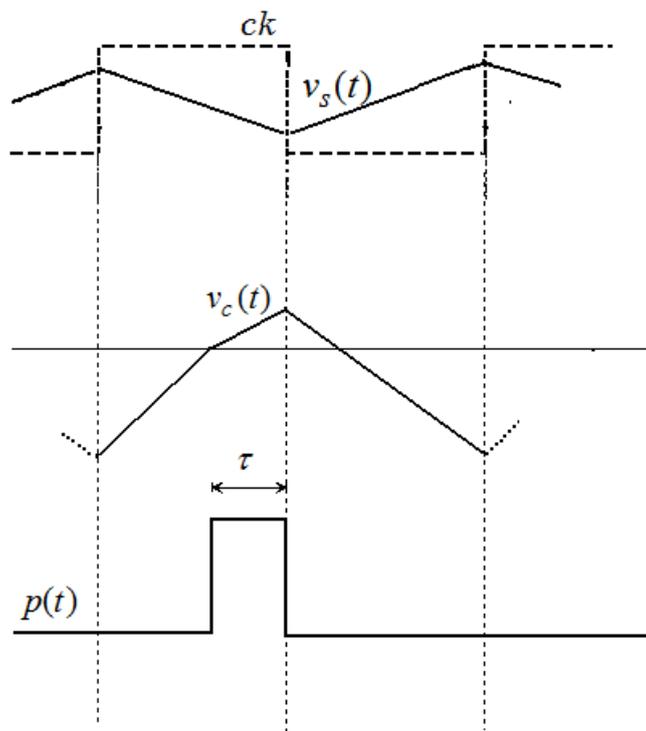


Figura 5.10: Forme d'onda attese per  $V_c(t)$  e impulso  $p(t)$ .

e questo è il caso del sistema a singolo clock. Nella nuova versione, la rampa è sincrona al clock veloce, ma questo non crea alcun problema, in quanto la  $I_{CA}$  continua ad essere sempre dello stesso segno. La soluzione proposta è quindi valida per entrambe le architetture.

E' ora necessario porsi il problema di come modificare la modulazione delle correnti e di come capire quando tale modifica va fatta. Si può pensare di orientarsi

verso una soluzione digitale, ovvero verso il controllo del sistema tramite una macchina a stati, che una volta rilevato lo stato del sistema, ne valuti la coerenza col segno di  $\Delta C$  e operi se necessario il cambiamento della configurazione. L'unica informazione digitale disponibile sullo stato del sistema è l'uscita del comparatore di uscita CMP. Se il sistema è in una condizione stabile e corretta di funzionamento, all'interno del periodo di misura esiste sicuramente un intervallo temporale nel quale tale uscita vale 1 logico, e in particolare sul fronte discendente del clock. Se invece il sistema è nella condizione di funzionamento non corretta, ovvero è configurato per la misura di un  $\Delta C$  di segno opposto a quello del sensore, dopo un certo numero di cicli il contributo negativo di  $I_{CA}$  traslerà interamente sotto la soglia la  $V_c$ , e non sarà più presente un 1 logico in uscita a CMP, ma costantemente uno 0, e questa informazione potrà essere utilizzata per pilotare la riconfigurazione del sistema. Si può evidenziare un problema che potrebbe presentarsi all'accensione del sistema o in casi di forte variazione della  $\Delta C$ : il sistema potrebbe trovarsi in una condizione corretta di funzionamento ed evolvere verso la stabilità, che raggiungerebbe in un certo numero di cicli, senza che la  $V_c$  riuscisse ancora ad oltrepassare la soglia. In questo caso l'informazione rilevata dalla rete digitale risulterebbe fuorviante e porterebbe ad una commutazione errata del sistema. Il problema è stato gestito e la soluzione sarà presentata poco più avanti.

### La rete digitale di controllo

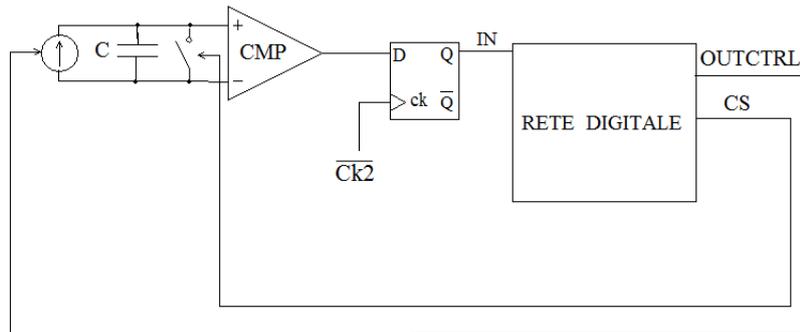
La natura sincrona del convertitore suggerisce l'uso di una macchina a stati sincrona. Inoltre l'informazione fornita dall'uscita di CMP è valida sul fronte discendente del clock, per cui il segnale che regolerà la temporizzazione del sistema sarà proprio il clock negato,  $\overline{Ck}$ . D'ora in poi si farà riferimento all'architettura a doppio clock, per il quale la rete digitale è stata implementata e simulata assieme al sistema analogico. Poichè CMP fa parte della sezione di uscita, la rete digitale dovrà essere sincrona a  $\overline{Ck2}$ .

La rete digitale ha un ingresso ad 1 solo bit, costituito dal valore di uscita di CMP, campionato da un Flip-Flop di tipo D sul fronte in salita di  $\overline{Ck2}$ , e chiamato IN. Le uscite della rete invece sono due, una chiamata OUTCTRL, adibita al controllo delle sorgenti di corrente<sup>1</sup>, e l'altra, CS, che pilota un interruttore, il

---

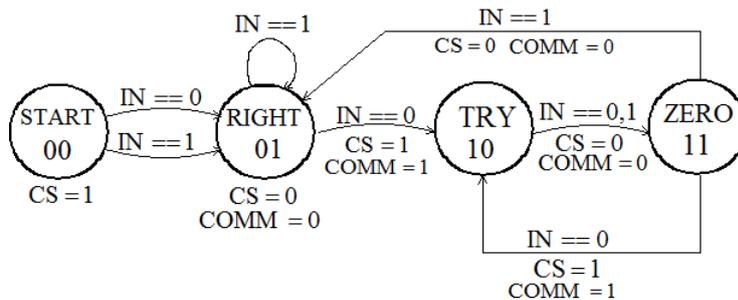
<sup>1</sup>Inizialmente si considereranno le correnti come prodotte da sorgenti generiche, che risponderanno ad OUTCTRL semplicemente fornendo in uscita una corrente modulata opportunamente a

quale cortocircuita la capacità  $C$  alla sua chiusura. Questa operazione è necessaria alla soluzione del problema descritto sopra, e sarà discussa nel seguito. In figura 5.11 è riportato quindi lo schema a blocchi del sistema completo, dove la parte analogica è del tutto semplificata.



**Figura 5.11:** Schema a blocchi del sistema completo. La parte analogica è riassunta in CMP, C e generatore di corrente controllato dalla rete digitale.

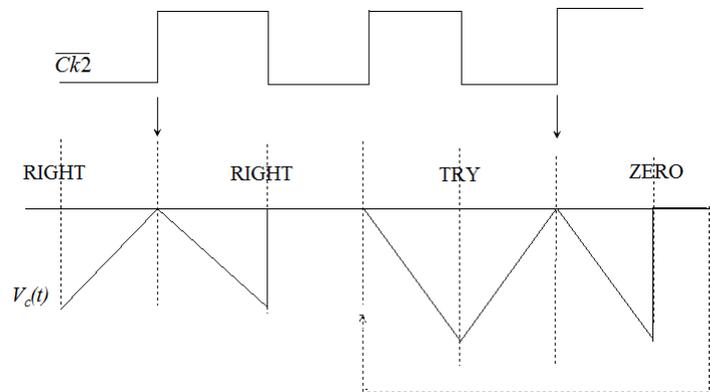
Si pone adesso il problema di definire gli stati e le transizioni tra essi. La soluzione messa a punto è presentata in figura 5.12. Il segnale COMM è interno alla rete digitale e pilota un flip-flop di tipo T, che commuta il suo stato sul clock, e la cui uscita è proprio OUTCTRL. Poichè le uscite sono fornite sia in funzione delle



**Figura 5.12:** Macchina a stati che implementa il controllo del sistema. Secondo le convenzioni delle FSM, = è un assegnamento, mentre == è una condizione di uguaglianza. Sono riportati nomi e codifica degli stati.

variabili di stato, che dell'ingresso, la presente è definibile macchina di Mealy. Si può dare una descrizione degli stati riferendosi anche alle forme d'onda seconda del segno di  $\Delta C$ .

di figura 5.13, che rappresenta la  $V_c(t)$  nel caso di  $\Delta C = 0$ . Lo stato START è



**Figura 5.13:** Forma d'onda di  $V_c$  imposta dalla rete digitale, nel caso di  $\Delta C$  pari a 0. Si suppone di essere arrivati in tale condizione da  $\Delta C$  maggiore di 0, col sistema in stato RIGHT. La freccia indica gli istanti di campionamento validi dell'uscita di CMP.

necessario sia per esaurire il numero di stati ottenibili con 2 variabili di stato, sia per avere un punto di partenza se si usano flip-flop con reset. La capacità viene cortocircuitata. In ogni caso, da esso ci si sposta nello stato RIGHT per qualsiasi valore di IN. Lo stato RIGHT esprime la correttezza dell'evoluzione del sistema. E' possibile infatti raggiungerlo solo in seguito a un campionamento di un 1 logico in uscita a CMP. Si resta in tale stato finchè IN vale 1. Se si campiona uno 0 in ingresso, si ha la preparazione della transizione verso TRY, durante la quale la capacità C viene cortocircuitata nel secondo semiperiodo e viene posto ad 1 COMM. Al successivo fronte di clock si entra quindi nello stato TRY, e si ha commutazione di OUTCTRL, che provoca la riconfigurazione del sistema analogico, variando la modulazione delle correnti come spiegato sopra. CS viene posto di nuovo a 0, e si prepara la transizione verso lo stato ZERO, indipendentemente da IN (che è bloccato a 0 alla fine dello stato TRY). La permanenza nello stato TRY è limitata ad un periodo di clock ed ha lo scopo di verificare se lasciando evolvere il sistema per un periodo, al successivo campionamento IN è uguale a 1, ovvero il sistema è nella condizione adeguata per il  $\Delta C$ . Nonostante la  $V_c$  inizi a scendere all'inizio dello stato TRY, essa salirà di più di quanto è scesa nel secondo semiperiodo, se il sistema si sta comportando bene, ovvero se la polarità delle correnti è corretta. Lo stato ZERO, ha invece lo scopo di valutare se il sistema è nella condizione giusta. All'ingresso dello stato ZERO, anche IN

CAPITOLO 5. Implementazione del convertitore capacità-durata a doppio clock.

viene campionato. Se è uguale a 0, si cortocircuita CS, si prepara nuovamente la commutazione del sistema ponendo a 1 COMM, e si prepara la transizione verso lo stato TRY. Se IN è uguale a 1, invece, ci si sposta in RIGHT, mantenendo CS e COMM a 0.

Si noti che il funzionamento del sistema si basa sul fatto che la macchina digitale impone uscite funzione dello stato presente e dell'ingresso campionato, mentre prepara comunque lo stato successivo (rete di Mealy). Nella figura 5.13 è inoltre riportato il caso di  $\Delta C = 0$ , dove non abbiamo contributo di  $I_{CA}$ . Se invece  $\Delta C$  è diverso da 0, si ha comunque la sicurezza che nel giro di due periodi, ovvero nell'alternarsi di uno stato TRY e di uno stato ZERO, il sistema si riporterà comunque nello stato RIGHT, per effetto proprio di  $I_{CA}$ , che garantisce al massimo in due periodi la formazione dell'impulso e la stabilizzazione del sistema.

E' necessario ora descrivere l'implementazione fisica di tale rete. Oltre al flip-flop D che fornisce IN, ne sono necessari altri 2 per la codifica degli stati e uno di tipo T per generare OUTCOMP. Si è fatto poi uso di tre reti combinatorie, delle quali la prima, RC1, si occupa di preparare lo stato successivo, la seconda, RC2, che pilota CS in funzione dello stato presente e dell'ingresso, e RC3, che controlla COMM in funzione di stato presente e ingresso. La sintesi è stata effettuata praticamente a mano, dato il basso numero di variabili digitali presenti. Si è scelta un'implementazione a due livelli di logica, come somma di prodotti. Scrivendo le tabelle di verità e di transizione degli stati e procedendo alla sintesi, si sono così ottenute le tre reti. In figura 5.14 è rappresentato la rete completa.

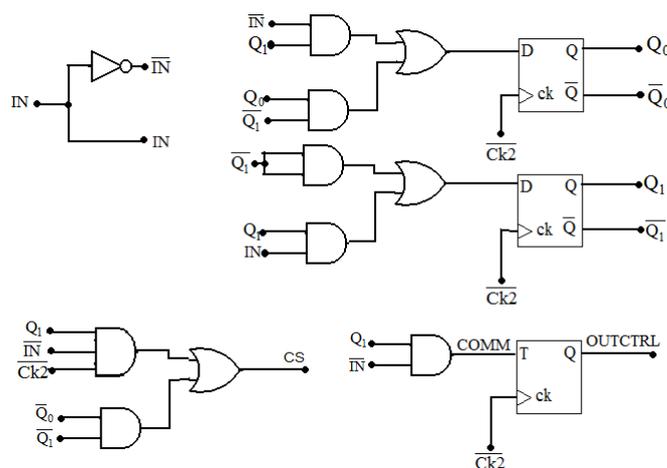
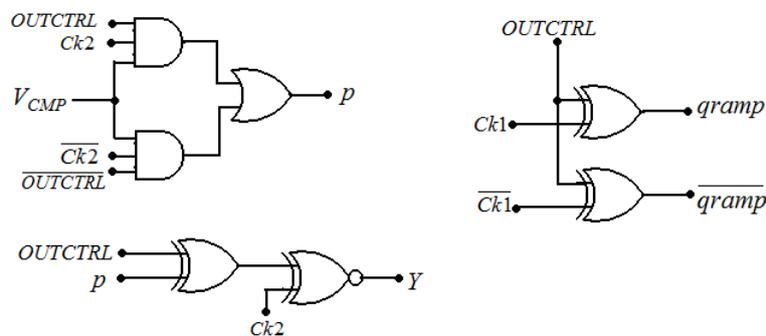


Figura 5.14: Rete digitale completa.

E' adesso necessario presentare le modifiche circuitali effettuate sul sistema analogico. Innanzitutto, è necessario scegliere il semiperiodo giusto. Si è infatti visto come l'impulso si formi nel secondo semiperiodo per  $\Delta C$  positivi e nel primo per  $\Delta C$  negativi. Per mantenere la  $I_{CA}$  positiva durante ciascun intervallo temporale si inverte le pendenze di  $V_s(t)$ . Per far ciò, è sufficiente invertire il segnale di clock veloce ( $Ck1$ ) inviato ad RG. Per farlo, si sfrutta il segnale digitale OUTCTRL, come mostrato in figura 5.15, dove è riportata la logica di controllo necessaria. Si è scelto l'1 logico per OUTCTRL se  $\Delta C$  è minore di 0. La



**Figura 5.15:** Logica di controllo necessaria all'interfacciamento tra rete digitale e sistema analogico.  $Y$  è il segnale che modula la  $I_D$  (figura 5.1), e  $q_{ramp}$  va a sostituirsi al clock per RG.  $V_{CMP}$  è chiaramente l'uscita del comparatore CMP.

capacità di uscita  $C$  viene cortocircuitata mediante una pass-gate, correlata di altre dummy pass-gate per la riduzione delle iniezioni, pilotata dal segnale CS.

### Simulazione e caratterizzazione.

Il sistema digitale è stato interfacciato al sistema analogico e sono state effettuate diverse simulazioni, allo scopo di caratterizzarne il funzionamento. Le porte logiche sono tratte dalle librerie fornite da STMicroelectronics all'interno del Design Kit del processo BCD6s. La scelta delle porte è stata effettuata in base a criteri di occupazione di area, in quanto non si hanno particolari problemi di fan-out. In figura 5.16 è rappresentato l'andamento della  $V_c$  e di  $p(t)$  in risposta ad un gradino di  $\Delta C$ , che varia da 125 a -125 fF. Le simulazioni sono state effettuate mantenendo fissa  $C_r$  e variando  $C_x$ .

Si noti come al variare del segno di  $\Delta C$  il sistema risponda entrando nello stato TRY, dove cortocircuita  $C$  e prepara la commutazione, che avviene all'ingresso

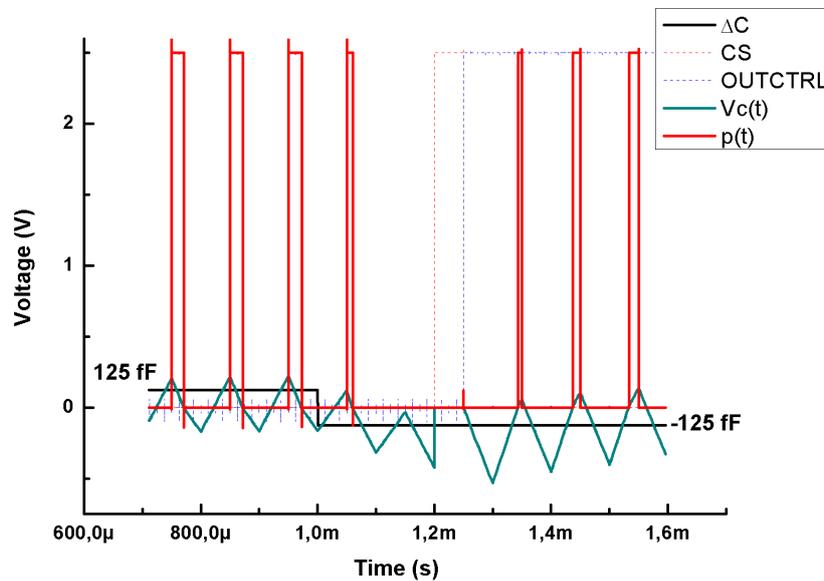


Figura 5.16: Principali forme d'onda in risposta ad un gradino di  $\Delta C$ . Sono riportati anche i segnali di controllo OUTCTRL e CS.

dello stato ZERO. OUTCTRL è stato così posto a 1 e al successivo fronte di clock negato si ritorna nello stato RIGHT. Il comportamento del sistema è in linea con quanto atteso e si può osservare come l'impulso si formi nel primo semiperiodo e come la  $V_c(t)$  assuma l'andamento desiderato. Oltre a questa, sono state verificate le altre possibili transizioni e il comportamento del sistema è risultato corretto. Si è quindi potuto ricavare la caratteristica  $\tau - \Delta C$  anche per  $\Delta C$  minori di 0 (figura 5.17).

La caratteristica risulta ancora una volta lineare. Il fitting lineare mostra una pendenza di  $0.188 \mu s / fF$  e un offset di  $0.05 \mu s$ . Si riporta inoltre l'andamento della  $V_s$  al momento della commutazione (5.18).

### Il problema dell'isteresi del comparatore

L'idea presentata è un punto di partenza per eventuali futuri sviluppi. In effetti, le simulazioni svolte hanno evidenziato un problema non trascurabile del presente sistema, costituito dall'isteresi del comparatore. Quello che succede è che per gradini di  $\Delta C$  di valore ridotto, ad esempio da +5 a -5 fF, il sistema rileva la condizione di errore e attraverso lo stato TRY commuta il proprio stato, cortocircuitando C; quando all'interno dello stato ZERO si valuta la formazione

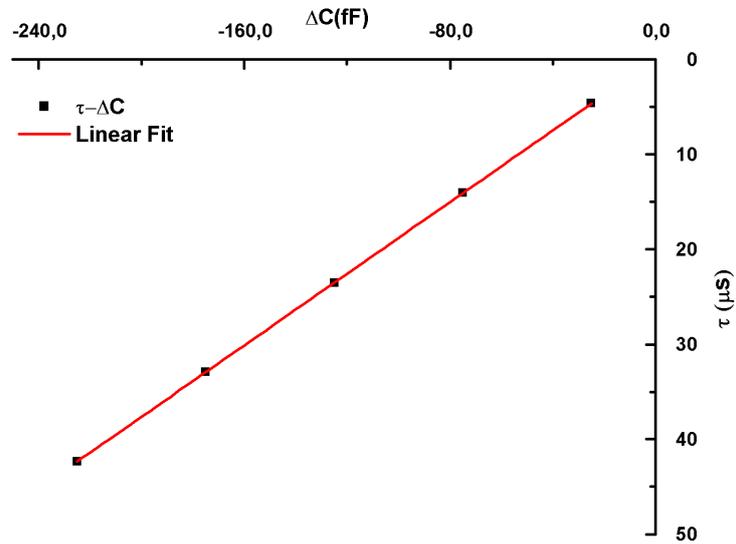


Figura 5.17: Caratteristica  $\tau - \Delta C$  per  $\Delta C$  minore di 0 e fitting lineare di essa.

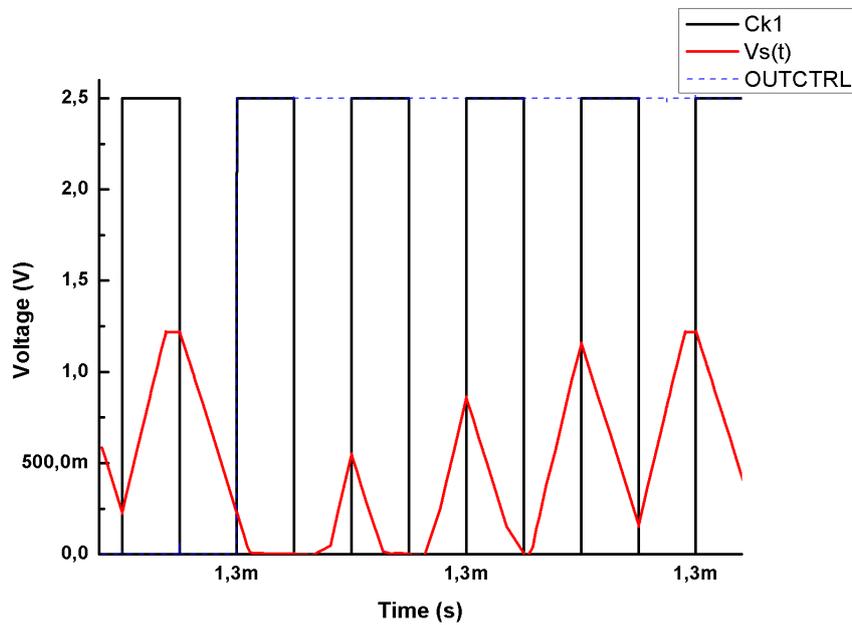


Figura 5.18: Modifica dell'andamento della rampa in risposta ad un gradino di  $\Delta C$ .

dell'impulso, per determinare se il sistema sta operando correttamente o no, a causa della fascia di isteresi e del basso valore del segnale, che non riesce a

traslare abbastanza in alto la  $V_c(t)$ , l'impulso non si forma e viene campionato un altro 0 logico che provoca un'ulteriore commutazione. Questo problema non si presenterebbe se si eliminasse il segnale CS, poichè infatti si avrebbe un ulteriore semiperiodo utile per il segnale. Tuttavia non azzerare mai la  $V_c(t)$  rischia di portare a continue commutazioni il sistema, specialmente all'accensione o per gradini molto ampi di  $\Delta C$ .

Il problema descritto non è affatto trascurabile, poichè la fascia di isteresi del comparatore risiede tra i 4 e i 5 mV, ed è composta sia dall'isteresi vera e propria dell'elemento instabile, sia dall'effetto del ritardo introdotto dall'amplificatore. Si è verificato che tale valore fissa transizioni minime che non rischiano di provocare instabilità per il sistema da 15 a -15 fF. Per risolvere questo problema, sarebbe necessario implementare il comparatore con isteresi ancora più bassa. Tuttavia la parte dinamica di essa, dovuta alla velocità di commutazione, può essere ridotta esclusivamente a spese di un consumo maggiore, degradando le caratteristiche low power del sistema. La strada da intraprendere è piuttosto quella di ricercare tecniche di commutazione di polarità meno sensibili a questo problema.

# Conclusioni

Nella prima parte del lavoro sono state presentate alcune classi di sensori capacitivi integrati, con lo scopo di mostrarne gli indubbi vantaggi, le particolarità costruttive e le problematiche da essi presentate. L'intrinseca assenza di consumo statico e la stabilità in temperatura dimostrano come tali sensori siano una valida alternativa al sensing resistivo, e anzi lo stiano sostituendo in diversi campi, a partire dal campo dei sensori di pressione. Tuttavia, i piccoli valori di capacità in gioco, il problema degli elementi parassiti e gli errori dovuti al rumore  $kT/C$  richiedono l'utilizzo di interfacce progettate molto accuratamente per garantire un alto *dynamic range*, a fronte di bassi consumi e bassa sensibilità a variazioni di processo e temperatura. Sono state quindi presentate alcune interfacce tra le più utilizzate in questo campo. In particolare, si è visto come l'interfaccia che garantisce una più alta risoluzione sia l'amplificatore di carica fully differential a capacità commutate, a spese però di consumi nell'ordine del mA, e di una notevole complessità circuitale.

E' stata quindi presentata un'interfaccia alternativa in grado di leggere sensori capacitivi differenziali, che esegue una conversione da capacità a durata, la cui uscita è un'onda quadra con duty-cycle è proporzionale al  $\Delta C$ . I vantaggi di un'operazione del genere risiedono nella robustezza del segnale di uscita, che essendo in forma digitale è immune ai disturbi di una certa entità e si presta ad essere inviato su canali di trasmissione rumorosi. E' stata inizialmente presa in considerazione una precedente versione dell'architettura e ne sono stati studiati i limiti e i trade-off in termini di consumo, banda disponibile in uscita e rumore (jitter). E' stata infatti svolta un'accurata analisi sui contributi di rumore apportati dai vari blocchi che ha chiarito anche come andare ad operare per diminuirne l'impatto. E' stato messo in evidenza il ruolo critico della corrente di polarizzazione dell'amplificatore di corrente, diminuendo la quale si riduce la densità spettrale di potenza di rumore in uscita, unitamente al consumo di

corrente. Sono stati inoltre individuati alcuni *trade-off* significativi tra quest'ultimo aspetto e l'impedenza di ingresso dell'amplificatore, la quale ha un impatto negativo sulla dipendenza dalla temperatura.

Una volta definito lo spazio di progetto e i blocchi del sistema che più contribuiscono al rumore in uscita, è stata ideata e messa a punto una nuova architettura, basata sull'utilizzo di due clock distinti, legati tra loro da un rapporto intero tra le frequenze (clock lento e clock veloce), in grado di garantire notevoli miglioramenti in termini di *dynamic range*. Una volta appurata la bontà di tale soluzione, è stato implementato un prototipo funzionante, facendo uso di un processo tecnologico commerciale (BCD6s), dimensionato nell'ottica di un basso consumo di potenza, raggiunto sia tramite la diminuzione della corrente erogata dall'alimentazione, sia attraverso la diminuzione della tensione di alimentazione stessa del circuito, resa possibile da un accurato dimensionamento dei componenti. Il circuito è stato caratterizzato attraverso diverse simulazioni, svolte con il software ELDO, che hanno dimostrato un funzionamento coerente con le aspettative. Confrontando i risultati ottenuti dalle stime sul *jitter* con quelle della versione precedente, si è notato un deciso miglioramento, in linea con le previsioni. Si è inoltre riusciti a diminuire il consumo di corrente di quasi un fattore 3.

E' stata inoltre verificata la fattibilità su chip del progetto, con simulazioni di tipo Monte Carlo, che hanno fornito dispersioni di caratteristiche contenute. Infine, è stata proposta una modifica architettureale che permettesse di sfruttare tutto il periodo di clock, per fornire indicazioni anche per  $\Delta C$  negativi. Per fare questo, è stata implementata una rete digitale sincrona al clock lento, che controllasse lo svolgimento corretto delle operazioni del circuito e ne modificasse la configurazione a fronte di cambiamenti di segno del  $\Delta C$ .

Il lavoro potrebbe essere portato avanti con una più approfondita analisi dei gradi di libertà del sistema, per definire ancora meglio lo spazio di progetto, e un più accurato studio di fattibilità, in previsione del trasferimento su silicio della presente architettura. Inoltre, anche il principio di controllo utilizzato per la soluzione a doppia dinamica può essere migliorato per ridurre la sensibilità all'isteresi dei comparatori presenti nel sistema.

# Bibliografia

- [1] T.B. Gabrielson. Mechanical-thermal noise in micromachined acoustic and vibration sensors. *IEEE Transactions on Electronic Devices*, 40(5):903–909, May 1993.
- [2] B. Boser and R. Howe. Surface micromachined accelerometers. *IEEE Custom Integrated Circuits Conference*, pages 337–344, 1995.
- [3] A. Nannini. *Lucidi del corso Progetto di Sensori e Microstemi*. Università di Pisa, 2005.
- [4] Mark Lemkin and Bernhard E. Boser. Mixed analog-digital highly sensitive sensor interface circuit for low cost microsensors. *IEEE Journal of solid state circuits*, 34:456–468, April 1999.
- [5] C.L. Dai; S.C Chang; C.Y. Lee; Y.C. Cheng; C.L. Chang; J.H. Chiou and P.Z. Chang. Capacitive micro pressure sensors with underneath readout circuit using a standard cmos process. *Journal of the Chinese Insitute of Engineering*, 26(2):237–241, 2003.
- [6] M. Esashi; S. Sugiyama; K.Ikeda; Y.Wang and H.Miyashita. Vacuum-sealed silicon micromachined pressure sensors. *Proceedings of the IEEE*, 86(8):1627–1639, August 1998.
- [7] Ching-Liang Dai. A capacitive humidity sensor integrated with micro heater and ring oscillator circuit fabricated by cmos-mems technique. *Sensors and Actuators B*, (122):375–380, 2007.
- [8] B. Boser. Electronics for micromachined inertial sensors. *International Conference on Solid-State Sensors and Actuators*, pages 1169–1173, 1997.

- [9] G.C. Temes C.C. Enz. Circuit techniques for reducing the effects of op-amp imperfections: Autozeroing, correlated double sampling, and chopper stabilization. *Proceedings of the IEEE*, 84(11):1584–1614, November 1996.
- [10] A. Burstein and W.J. Kaiser. Mixed analog-digital highly sensitive sensor interface circuit for low cost microsensors. *Transducers Proceeding*, 1:162–165, 1995.
- [11] A. Baschirotto; A. Gola; E. Chiesa; E. Lasalandra; F. Pasolini; M. Tronconi and T. Ungaretti. A +- 1-g dual-axis accelerometer in a standard 0.5-um cmos technology for high-sensitivity applications. *IEEE Journal of solid state circuits*, 38(7):1292–1297, July 2003.
- [12] G. Ferri and P. De Laurentiis. A novel low voltage low power oscillator as a capacitive sensor interface for portable applications. *Sensors and Actuators*, (76):437–441, 1999.
- [13] N. Nizza P. Bruschi and M. Dei. A low-power capacitance to pulse width converter for mems interfacing. *Solid-State Circuits Conference (ESSCIRC)*, pages 446–449, September 2008.
- [14] P. Bruschi; N. Nizza; M. Dei and G. Barillaro. A low-power capacitance to pulse width converter for integrated sensors. *Solid-State Circuits Conference (ESSCIRC)*, pages 108–111, August 2007.
- [15] Regi Dario. Progetto di un circuito integrato low power in tecnologia bcd6s per la lettura di sensori capacitivi. Master's thesis, Università di Pisa, 2007.
- [16] R. Millman; A. Grabel; P. Terreni. *Elettronica di Millman*. McGraw-Hill, 2002.
- [17] J. Baker; H.W. Li and D. Boyce. *CMOS Circuit Design, Layout and Simulation*. Wiley - IEEE Press, 1997.
- [18] E. Marchetti. Progetto di una interfaccia low power in tecnologia bcd6s per sensori integrati capacitivi. Master's thesis, Università di Pisa, 2007.

# Ringraziamenti

Un primo ringraziamento va sicuramente alla mia famiglia, che mi ha sempre sostenuto durante l'intero percorso di studi.

Un affettuoso ringraziamento va ad Annachiara, che mi è sempre stata vicina durante la specialistica e l'attività di tesi.

Naturalmente, ringrazio sinceramente il professor Paolo Bruschi che mi ha insegnato tante cose, tra cui lavorare con passione divertendosi, e Michele, che si è sempre dimostrato disponibile, paziente e simpatico, e mi ha supportato durante il lavoro in dipartimento.

Ringrazio poi i miei amici più vicini, Lorenzo, Maurizio, Stefan e Andrea, che hanno reso indimenticabili tante serate in questi anni. Infine, un grazie va anche alla mia nuova squadra di pallanuoto, il Certaldo, che ha riacceso una passione sportiva abbandonata da qualche anno.