

Tommaso Baldetti

PROGETTAZIONE DI UN DAC
A 10 BIT IN TECNOLOGIA BCD8 PER
DRIVER AD ALTA TENSIONE

Tesi di Laurea Specialistica

Università di Pisa

Settembre 2008

1343



UNIVERSITÀ DI PISA
Facoltà di Ingegneria

Corso di Laurea Specialistica in INGEGNERIA ELETTRONICA
Curriculum MICROSYSTEMI

Progettazione di un DAC
a 10 bit in tecnologia BCD8 per driver ad alta
tensione

Tesi di
Tommaso Baldetti

Anno Accademico 2007-2008

Relatori: Prof. Luca Fanucci
Ing. Francesco D'Ascoli
Ing. Emilio Volpi

Candidato: Tommaso Baldetti

Indice

Introduzione	ix
1 MEMS per applicazioni ottiche	1
1.1 Nascita dei MEMS	1
1.2 Bulk micromachining	3
1.3 Surface micromachining	4
1.4 MOEMS	5
1.5 Micromirror scanner	6
1.6 Digital micromirrors	8
1.7 Scanning micromirrors	11
1.7.1 Scanning micromirrors con attuazione elettrostatica	12
1.7.2 Scanning micromirrors con attuazione elettromagnetica	15
1.7.3 Scanning micromirrors con attuazione termica	16
2 Convertitori Digitale-Analogico	18
2.1 Breve storia dei convertitori	18
2.2 Possibili applicazioni	19
2.3 Parametri caratteristici	21
2.3.1 L'errore di quantizzazione	21
2.3.2 Parametri statici	24
2.3.3 Parametri dinamici	27
2.4 Tipi di architetture	31
2.4.1 Architetture basate su resistenze	31
2.4.2 Architetture basate su capacità	38
2.4.3 Architetture basate su generatori di corrente	39
2.5 Tecnologia BCD 8	46
3 Dimensionamento e implementazione circuitale	53

3.1	Caratteristiche del sistema	53
3.1.1	Architettura scelta	55
3.2	Dimensionamento stringa resistiva	56
3.2.1	Effetto di un gradiente lineare	56
3.2.2	Effetto di errori casuali	58
3.2.3	Implementazione dei modelli in MATLAB®	59
3.2.4	Valutazione di $\Delta R/R$ in funzione dei parametri geometrici e di processo	67
3.2.5	Valutazione dei parametri di una architettura segmentata . . .	70
3.3	Valutazione impatto del leakage	72
3.3.1	Problematiche inerenti la progettazione	74
3.4	Implementazione finale	83
3.4.1	Struttura dei decoder	87
3.5	Buffer: schema circuitale e dimensionamento	91
3.5.1	Specifiche di progetto	91
3.5.2	Topologia iniziale	93
3.5.3	Problemi dell'architettura	95
3.5.4	Dimensionamento	97
4	Simulazioni e risultati	105
4.1	Simulazioni del buffer	105
4.1.1	Analisi di stabilità	106
4.1.2	Risposta in frequenza	113
4.1.3	Resistenza di uscita	114
4.1.4	Slewrate	116
4.1.5	Power supply rejection ratio (PSRR)	119
4.1.6	Simulazioni al variare dei parametri	120
4.1.7	Simulazioni sul sistema completo	122
5	Layout	124
5.1	Channel stop	124
5.2	Diodi Antenna	125
5.3	Layout della stringa resistiva	125
5.4	Layout dei decoder	128
Conclusioni		131

Elenco degli acronimi	134
A Script Matlab	137
Bibliografia	146

Elenco delle figure

1.1	Chip DLP della Texas Instruments.	8
1.2	Struttura del micromirror di un DLP	9
1.3	Schema di un'applicazione dei DLP per proiettori <i>consumer</i> [1].	10
1.4	Esempio di switch ottico $n \times n$	11
1.5	Array di microspecchi a scansione	12
1.6	Immagine al SEM di un attuatore comb drive.	13
1.7	Particolare di un Vertical Comb Drive.	14
1.8	Micromirror con attuazione elettromagnetica	15
1.9	Microspecchio a scansione con attuazione elettrotermica.	17
1.10	Microspecchio a scansione con attuazione elettrotermica (2)	17
2.1	Sistema per la regolazione della portata dell'acquedotto pubblico.	19
2.2	Schema a blocchi del processo di quantizzazione	21
2.3	Caratteristica ingresso-uscita di un quantizzatore	21
2.4	Rappresentazione dell'errore di quantizzazione.	22
2.5	Funzione densità di probabilità (ddp) dell'errore di quantizzazione.	22
2.6	Caratteristica DAC ideale e non monotonic	25
2.7	Caratteristica ingresso-uscita di un DAC affetto da <i>gain error</i> e <i>offset</i>	26
2.8	Rappresentazione grafica della misura dell'INL	27
2.9	Spurious free dynamic range	29
2.10	Risposta al gradino.	30
2.11	Stringa resistiva per un DAC a 3 bit.	32
2.12	Switch connessi ad albero	33
2.13	Convertitore a stringa resistiva ripiegata	34
2.14	INL stringa ripiegata	34
2.15	Stringa resistiva segmentata	36
2.16	R-2R <i>ladder</i> in voltage mode.	37
2.17	R-2R <i>ladder</i> in current mode.	37
2.18	Partitori capacitivi.	39

2.19 DAC a partitore capacitivo a scala a <i>n</i> bit.	39
2.20 modello di una cella di un DAC <i>current steering</i>	40
2.21 Semplice strategia di accensione dei generatori di corrente.	41
2.22 Disposizione baricentrica delle celle	42
2.23 Bias multipli e random walk	43
2.24 Schema di convertitore in corrente segmentato	45
2.25 Microfotografia di un driver per trasformatore piezoelettrico	49
2.26 Confronto fra Recessed LOCOS e STI	50
2.27 Layout di un driver per schermi LCD.	51
3.1 Schema a blocchi del sistema di proiezione	53
3.2 Schema del comb drive utilizzato per l'attuazione del micro-specchio.	54
3.3 Schema a blocchi del DAC	56
3.4 Stringa resistiva con gradiente lineare di drogaggio	57
3.5 Tipico layout di un resistore integrato.	58
3.6 Schema di funzionamento degli script.	61
3.7 DNL ($W = 5\mu\text{m}$ e $W = 1\mu\text{m}$)	63
3.8 DNL ($W = 5\mu\text{m}$ e $W = 2\mu\text{m}$)	63
3.9 DNL ($W = 5\mu\text{m}$ e $W = 3\mu\text{m}$)	64
3.10 DNL ($W = 5\mu\text{m}$ e $W = 4\mu\text{m}$)	64
3.11 INL ($L = 5\mu\text{m}$ e $W = 1\mu\text{m}$)	65
3.12 INL ($L = 5\mu\text{m}$ e $W = 3\mu\text{m}$)	65
3.13 INL ($L = 5\mu\text{m}$ e $W = 3\mu\text{m}$)	65
3.14 INL ($W = 5\mu\text{m}$ e $W = 4\mu\text{m}$)	66
3.15 Grafico di $\Delta R/R$ in funzione di W con parametro L	67
3.16 Grafico di $\Delta R/R$ in funzione di L con parametro W	68
3.17 Grafico di L in funzione di W con parametro $\Delta R/R$	68
3.18 Grafico di W in funzione di L con parametro $\Delta R/R$	69
3.19 Grafico di $\Delta R/R$ in funzione dell'area del resistore	69
3.20 Simulazione della DNL con segmentazione 4/8	71
3.21 Simulazione della DNL con segmentazione 4/8	71
3.22 Schema semplificato di un MOS con evidenziate le correnti di leakage	74
3.23 Misure su un DAC con da problemi di leakage ad alte temperature	76
3.24 Parte della stringa, con i collegamenti di bulk degli nMOS	76
3.25 Simulazioni su stringa ridotta con nMOS e pMOS	77
3.26 Simulazione con pass-gate e configurazione standard dei collegamenti.	78

3.27	Effetto dell'aumento dell'area sulle correnti di perdita	79
3.28	Simulazione con pass-transistor nMOS	79
3.29	Non-linearità integrale (INL) calcolata dalla precedente simulazione, nella configurazione di Figura (3.28).	80
3.30	Simulazione con pass-transistor nMOS raggruppati	81
3.31	Confronto tra caratteristica ideale e simulata con pass-gate	81
3.32	Non-linearità integrale (INL) calcolata dalla precedente simulazione, nella configurazione di Figura (3.31).	82
3.33	Layout della cella base di un resistore.	83
3.34	Schema di un blocco base di resistori	84
3.35	DNL ($W = 4\mu\text{m}$ e $W = 3\mu\text{m}$)	86
3.36	INL ($W = 4\mu\text{m}$ e $W = 3\mu\text{m}$)	86
3.37	Schematizzazione della stringa e dei due decoder necessari per l'indi- rizzamento (in grigio).	87
3.38	Decoder updown	88
3.39	Decoder dec18 per l'indirizzamento dei decoder dec321	89
3.40	Decoder dec321 per l'indirizzamento delle colonne.	89
3.41	Struttura definitiva della stringa resistiva e dei decoder necessari per l'indirizzamento.	89
3.42	Decoder decout per l'indirizzamento delle righe.	90
3.43	Stadio d'ingresso della prima topologia	94
3.44	Rami ripiegati e specchio cascode.	96
3.45	Prima topologia dell'amplificatore.	96
3.46	Blocchi che forniscono le grandezze di riferimento al buffer.	98
3.47	Stadio di uscita	98
3.48	Specchio cascode di polarizzazione.	100
3.49	Circuito equivalente di piccolo segnale dell'amplificatore	102
3.50	Schematico completo dell'amplificatore operazionale progettato.	104
4.1	schema elettrico utilizzato per la valutazione del βA	106
4.2	Andamento del PGB in funzione di V_s	108
4.3	Andamento del guadagno in continua in funzione di V_s	109
4.4	Andamento del margine di guadagno in funzione di V_s	109
4.5	Andamento del margine di fase in funzione di V_s	110
4.6	Andamento della frequenza di polo in funzione di V_s	110
4.7	Grafico di modulo e fase del βA con $V_s = 100\text{mV}$	111

4.8	Grafico di modulo e fase del βA con $V_s = 600\text{mV}$	112
4.9	Schema elettrico utilizzato per la valutazione della risposta in frequenza.	113
4.10	Funzione di trasferimento del buffer.	113
4.11	Andamento in frequenza della resistenza d'uscita in anello aperto. . .	115
4.12	Andamento in frequenza della resistenza d'uscita con montaggio a buffer.	115
4.13	Risposta transitoria ad un gradino di ampiezza 1.8V.	117
4.14	Risposta transitoria ad un gradino di ampiezza 1.024V.	117
4.15	Transitorio con un'onda rettangolare in ingresso.	118
4.16	Schema elettrico utilizzato per la valutazione del PSRR.	119
4.17	Andamento del PSRR con $V_s = 100\text{mV}$	119
4.18	Caratteristica ingresso-uscita del sistema completo.	123
4.19	INL calcolata sulla caratteristica di Figura (4.18).	123
5.1	Resistori di polisilicio in serie, con contatti sui punti di incontro . . .	125
5.2	Schema del layout di alcuni resistori	126
5.3	Disposizione dei resistori dummy rispetto alla stringa	127
5.4	Schema della disposizione della stringa resistiva	128
5.5	Layout della struttura finale del DAC	129
5.6	Particolare della stringa resistiva, con alcune pass-gate e resistori dummy	130
5.7	Layout di uno degli otto blocchi <code>dec_321</code>	130

Elenco delle tabelle

1.1	Principali proprietà del silicio a confronto con altri materiali.	2
1.2	Risoluzioni attualmente disponibili.	9
2.1	Principali parametri nelle tecnologie BCD.	52
3.1	Specifiche di progetto per il buffer.	93
3.2	Dimensionamento dei dispositivi.	103
3.3	Dimensionamento dei componenti per la compensazione.	103
4.1	Parametri riguardanti la stabilità dell'amplificatore.	108
4.2	Resistenza di uscita per varie frequenze di interesse.	114
4.3	Valori del PSRR in continua per varie tensioni V_s	120
4.4	Parametri al variare dei quali è stato caratterizzato il buffer.	120
4.5	Valori minimi e massimi delle correnti e tensioni del ramo ripiegato. .	121
4.6	Valori delle grandezze associate al βA registrati nei corner minimi e massimi.	122
4.7	Valori minimi e massimi del PSRR.	122
4.8	Valori minimi e massimi della R_{out}	122