



Università degli Studi di Pisa

Facoltà di Ingegneria

Corso di Laurea Specialistica

in Ingegneria Elettronica

Tesi di Laurea Specialistica

**Progetto di una interfaccia low power in tecnologia
BCD6S per sensori integrati capacitivi**

Candidata:

Eleonora Marchetti

Relatori:

Prof. Paolo Bruschi

Ing. Giuseppe Barillaro

Ing. Nicolò Nizza

Anno Accademico 2005-2006

Ai miei genitori.....

Indice

Introduzione.....	I
Capitolo 1	
Sensori capacitivi.....	1
1.1 Importanza dei sensori capacitivi.....	2
1.2 Tecniche di microlavorazione del silicio.....	4
- Bulk micromachining.....	4
- Surface micromachining.....	7
1.3 Sensori di pressione integrati.....	9
- Sensori integrati piezoresistivi.....	10
- Sensori integrati capacitivi.....	12
1.4 Accelerometri.....	18
- Accelerometro capacitivo “single side capacitive sensing”.....	19
- Accelerometro ADXL 150 “differential capacitive sensing”.....	21
1.5 Sensore capacitivo di umidità.....	24

Capitolo 2

Interfacce per sensori capacitivi.....	27
2.1 Convertitori capacità-tensione.....	28
- Impedenzometro.....	28
- Convertitori a condensatori commutati (switched-capacitors).....	32
- Convertitore capacità-tensione “CAV424”	37
2.2 Convertitori capacità-frequenza.....	40
- Tecnica del “ring oscillator”	40
- Convertitore capacità-frequenza a condensatori commutati.....	42
2.3 Introduzione ai convertitori capacità-PWM.....	46
2.4 Esempio di convertitore capacità-duty cycle.....	47
2.5 Convertitore capacità-PWM progettato presso il “Laboratorio di tecnologie e microsistemi” dell’Università di Pisa.....	51

Capitolo 3

Progetto del circuito di interfaccia.....	58
3.1 Specifiche del convertitore capacità-PWM.....	59
3.2 Prima soluzione circuitale.....	60
- Architettura A dell’ Amplificatore.....	64
- Architettura B dell’ amplificatore.....	71
3.3 Seconda soluzione circuitale.....	75
- Fase 1 di funzionamento.....	76
- Fase 2 di funzionamento.....	81
- Analisi del problema evidenziato dalle simulazioni Montecarlo...	88
3.4 Versione finale del convertitore capacità-PWM.....	91
- Descrizione del circuito.....	92
- Funzionamento del circuito.....	95

3.5 Circuiti ausiliari.....	106
- Generatore di rampa.....	106
- Comparatore con isteresi.....	110
- Circuito di controllo del modo comune delle uscite.....	115
- Rete di polarizzazione.....	117
- Multiplexer.....	118

Capitolo 4

Risultati ottenuti e sviluppi futuri.....	121
4.1 Analisi in transitorio.....	122
4.2 Simulazioni in temperatura.....	125
4.3 Simulazioni Montecarlo	127
4.4 Simulazione di rumore.....	131
4.5 Sviluppi futuri.....	132

Conclusioni.....	138
-------------------------	------------

Bibliografia.....	140
--------------------------	------------

Introduzione

Negli ultimi anni si è assistito ad un notevole sviluppo del settore dei sensori integrati grazie alle continue evoluzioni delle tecniche di microlavorazione del silicio e all'avvento dei MEMS , Micro Electro Mechanical System. L'importanza dei MEMS risiede nel fatto che essi sono, come dice la parola stessa, dei microsistemi nei quali vengono realizzate integrate sia le parti meccaniche che quelle elettroniche. Quindi con l'uso della tecnologia MEMS diventa possibile integrare sullo stesso chip sia il sensore che l'elettronica di condizionamento del segnale, in modo tale da ottenere dei sistemi autonomi su scala micrometrica.

E' in questo contesto che aumenta l'interesse nei confronti dei sensori integrati. In particolare tra questi un ruolo di notevole importanza è rivestito dai sensori di pressione, in quanto la misura della pressione è essenziale in una grande varietà di applicazioni sia in campo scientifico che in quello industriale ed automobilistico.

I sensori di pressione integrati possono essere classificati in due principali categorie che sfruttano principi fisici differenti: i *sensori piezoresistivi* e i *sensori capacitivi*. Entrambi sfruttano la deformazione di una membrana ad opera della pressione; però, nei sensori *piezoresistivi*, la deformazione è rivelata dalle variazioni di resistenza di estensimetri depositi sulla membrana stessa, mentre in quelli *capacitivi* la deformazione è rilevata misurando la variazione di capacità tra la membrana ed un elettrodo fisso.

I sensori capacitivi presentano numerosi vantaggi rispetto a quelli piezoresistivi: sono caratterizzati da una sensibilità relativa alla grandezza misurata maggiore, risentono meno degli effetti dovuti alla variazione di temperatura ed hanno un consumo statico di potenza nullo. Per contro, però, i sensori capacitivi forniscono una risposta che non varia linearmente con la grandezza fisica sotto misura e,

essendo caratterizzati da valori di capacità molto piccoli (dell'ordine del centinaio di fF), sono particolarmente sensibili agli elementi parassiti presenti nella loro struttura.

Quindi per i sensori capacitivi si ha la necessità di un sofisticato circuito elettronico di interfaccia per il condizionamento e l'amplificazione del segnale di uscita, possibilmente posizionato sullo stesso chip in cui è integrato il sensore.

Le interfacce di lettura per sensori capacitivi possono essere di svariati tipi e possono presentare uscita analogica o uscita digitale. L'una o l'altra sono da preferirsi a seconda del sistema in cui il sensore deve essere utilizzato. Infatti una uscita analogica è particolarmente adatta se il sensore deve essere utilizzato in un sistema analogico, mentre una uscita digitale è preferibile quando il sensore è lontano e si lavora in presenza di rumore elettromagnetico. Una soluzione intermedia tra uscita analogica e digitale è rappresentata da un segnale di tipo **PWM** (Pulse Width Modulation), che consiste in una ripetizione di impulsi rettangolari a frequenza fissata e con una durata proporzionale alla grandezza fisica rilevata. Un segnale di tipo PWM presenta i vantaggi di un segnale digitale, in quanto è abbastanza robusto al rumore e può essere letto utilizzando un microcontrollore generico, ma può anche essere convertito in segnale analogico semplicemente con una operazione di filtraggio.

Il lavoro di tesi qui proposto è volto alla realizzazione di un convertitore capacità-PWM che soddisfi alle seguenti specifiche:

- basso consumo (per poterlo utilizzare in applicazioni low-power);
- basso rumore;
- bassa sensibilità alle variazioni di temperatura (inferiore allo 0,4% del fondoscala, corrispondente ad 8 bit di risoluzione).

Nel **Capitolo 1** saranno introdotti i sensori capacitivi e saranno descritte brevemente le tecniche di realizzazione di tali sensori. In particolare saranno riportati alcuni esempi di sensori di pressione, di accelerazione e di umidità.

Nel **Capitolo 2** sarà descritto il principio di funzionamento di alcune delle più comuni interfacce per sensori capacitivi presenti in letteratura. Saranno riportati alcuni esempi di convertitore capacità-tensione e, in tale ambito, si sottolineeranno le differenze presenti tra impedenzimetri e circuiti switched-capacitors. Poi si passerà ad altre soluzioni circuitali quali i convertitori capacità-frequenza e capacità-PWM, fino ad arrivare al convertitore capacità-PWM progettato presso il "Laboratorio di tecnologie e microsistemi dell'Università di Pisa" e poi realizzato presso STMicroelectronics.

Quest'ultimo circuito di interfaccia ci interessa in particolar modo perché è la soluzione precedente a quella proposta in questo lavoro di tesi di cui si parlerà nel capitolo successivo.

Nel **Capitolo 3** quindi sarà descritto in dettaglio il convertitore capacità-PWM che è argomento di questo lavoro di tesi e i vari passi progettuali che hanno portato alla sua definizione. Per ogni soluzione circuitale sperimentata sarà descritto il principio di funzionamento e saranno sottolineate le motivazioni che hanno portato a cercare una soluzione alternativa, fino ad arrivare alla configurazione circuitale scelta come definitiva.

Infine nel **Capitolo 4** saranno riportati i risultati delle simulazioni relative alla soluzione circuitale definitiva del convertitore capacità-PWM, e saranno presentati i possibili sviluppi futuri di tale circuito.

Capitolo1

Sensori capacitivi

Nel presente capitolo si parlerà dell'importanza dei sensori capacitivi soffermandoci in particolare sul settore dei sensori integrati che negli ultimi anni ha avuto un notevole sviluppo grazie alle continue evoluzioni delle tecniche di microlavorazione del silicio e all'avvento dei MEMS , Micro Electro Mechanical System.

Saranno descritte in breve le tecniche di realizzazione di tali sensori con particolare attenzione ai sensori di pressione, di accelerazione e di umidità.

In particolare nell'ambito dei sensori di pressione, sarà effettuato un confronto tra sensori capacitivi e sensori piezoresistivi, mettendo in evidenza pregi e difetti degli uni e degli altri.

1.1 Importanza dei sensori capacitivi

La capacità di una struttura dielettrica si definisce come la sua capacità di accumulare cariche [1,cap4]. Poiché la carica immagazzinata è proporzionale alla tensione applicata ai capi della struttura stessa, la capacità è definita come il rapporto tra la carica accumulata e tale differenza di potenziale:

$$C = \frac{Q}{V} \quad (1.1)$$

L'unità di misura della capacità è il Farad (F), definito come Coulomb su Volt, come è evidente dalla formula (1.1).

In generale la capacità di un condensatore dipende dalla sua forma geometrica, dalla distanza tra le armature e dalla natura del materiale tra gli elettrodi. Se gli effetti di bordo sono trascurabili, la capacità di un condensatore coassiale cilindrico vale:

$$C = \frac{2\pi\epsilon L}{\ln(b/a)} \quad (1.2)$$

dove $\epsilon = \epsilon_0\epsilon_r$ (cioè è il prodotto della costante dielettrica del vuoto, ϵ_0 , per la costante dielettrica relativa del materiale, ϵ_r), L è la lunghezza della struttura, a e b sono raggio interno ed esterno della stessa.

La capacità di un condensatore a facce piane e parallele invece è:

$$C = \frac{\epsilon A}{t} \quad (1.3)$$

dove ϵ è definita come sopra, A è la superficie dei piatti che costituiscono le armature del condensatore, e t è lo spessore del materiale dielettrico tra le due facce del dispositivo.

Quelle appena descritte sono le strutture più utilizzate per sensori capacitivi tradizionali. In linea di principio ogni stimolo fisico, chimico o biologico che provoca una variazione di costante dielettrica o di una delle dimensioni

geometriche della struttura, può essere rivelato misurando la variazione di capacità corrispondente, ΔC , utilizzando cioè un sensore capacitivo.

Le grandezze base che sono misurabili con un sensore capacitivo sono quindi la permittività dielettrica (ϵ) e le dimensioni fisiche (L, A, t) o lo spostamento in una direzione dello spazio $x, y, o z$. In particolare, la permittività dielettrica dipende dal materiale, dalla temperatura, dal tasso di umidità presente nell'ambiente; mentre lo spostamento, che può essere di tipo lineare o rotazionale, è dovuto a cause chimiche o fisiche che possono essere determinate direttamente misurando la variazione di capacità del sensore. Se il materiale che costituisce la struttura capacitiva è elastico, allora lo spostamento è proporzionale alla forza applicata secondo la legge di Hooke:

$$F = Kx \quad (1.4)$$

dove K è la costante elastica del materiale. Quindi dalla misura dello spostamento si può ricavare la forza applicata e di conseguenza anche la pressione, che è la forza per unità di area. Quindi un sensore capacitivo può essere utilizzato per effettuare misure di forze, assiali o di taglio, e di pressione, statiche o dinamiche. D'altra parte l'accelerazione può essere calcolata dalla misura di una forza inerziale agente su una massa soggetta all'accelerazione stessa, e il flusso di un fluido può essere stimato dalla misura della pressione esercitata su un oggetto che si oppone al flusso medesimo.

Dunque i sensori capacitivi possono essere usati per effettuare misure di spostamento, velocità, pressione, flusso e molto altro, e la loro importanza risiede nella possibilità di utilizzo in molteplici settori.

I sensori capacitivi possono avere svariate dimensioni e possono essere costruiti con vari tipi di materiali conduttori e dielettrici utilizzando tecniche di fabbricazione diverse a seconda dell'applicazione nella quale devono essere utilizzati. In questo capitolo porremo la nostra attenzione sui sensori capacitivi integrati fabbricati con tecniche di microlavorazione del silicio.

Le tecniche di microlavorazione del silicio per costruire sensori integrati sono un campo in continua fase di sviluppo ed espansione. Il grande vantaggio del realizzare sensori integrati consiste non solo nel fatto che dallo stesso wafer (di qualche decina di centimetri di diametro) si possono ricavare migliaia di microsensori con un unico processo di fabbricazione, con conseguente abbassamento dei costi, ma soprattutto nel fatto che, se il sensore è realizzato in silicio, è possibile incorporare l'elettronica di condizionamento e di amplificazione del segnale di uscita direttamente sullo stesso chip. Da qui la nascita dei sistemi MEMS, Micro Electro Mechanical Systems, che come dice la parola stessa, sono dei microsistemi nei quali sono realizzate integrate sia le parti meccaniche che quelle elettroniche, in modo tale da ottenere un sistema autonomo su scala micrometrica.

1.2 Tecniche di microlavorazione del silicio

Le tecniche di realizzazione dei microsistemi su silicio vengono comunemente chiamate tecniche di micromachining e sono principalmente due:

- Bulk micromachining: consiste nella rimozione selettiva di grandi quantità di silicio dal substrato per la creazione di membrane, cavità, scavi ed altri tipi di strutture elementari;
- Surface micromachining: consiste nella realizzazione di parti meccaniche impiegando degli strati strutturali e sacrificali appositamente cresciuti o depositi sul substrato di silicio cristallino.

Bulk micromachining

Nel Bulk micromachining le microstrutture meccaniche sono realizzate direttamente nel substrato mediante opportuni attacchi che, agendo in profondità, rimuovono grandi quantità di silicio per realizzare trincee, scavi e membrane. La giusta scelta dei passi di processo da usare per ottenere l'incisione del silicio permette di ottenere scavi della forma desiderata. In particolare gli attacchi del

silicio possono essere distinti in *isotropi* ed *anisotropi*: i primi sono caratterizzati dalla stessa velocità di attacco in tutte le direzioni, gli altri sono caratterizzati invece da una velocità di attacco dipendente dall'orientazione dei piani di silicio cristallino. Attraverso attacchi chimici di tipo *isotropo* si possono ottenere scavi di forma arrotondata, infatti, poiché non vi è un piano preferenziale in cui si svolge la reazione, essa avviene nella stessa misura in ogni direzione dando luogo a profili tondeggianti. Le reazioni di etching *anisotropo* invece, poiché avvengono secondo una direzione specifica, seguendo un piano cristallino del silicio o un profilo di drogaggio, ci permettono di ottenere forme squadrate e angoli ben precisi.

Per comprendere meglio come sia possibile ottenere una struttura semplice utilizzando la tecnica del *Bulk micromachining* descriviamo i passi di processo che permettono di realizzare una membrana di silicio, necessaria per la costruzione, ad esempio, di un sensore di pressione[2].

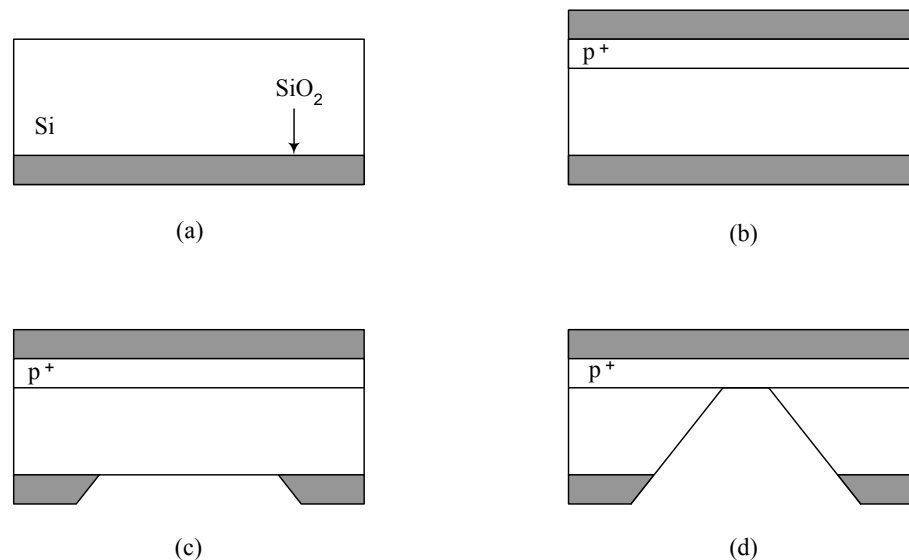


Figura 1.1 Passi di processo per la realizzazione di una membrana con la tecnica di Bulk micromachining: (a) substrato ossidato sulla superficie inferiore; (b) diffusione dello strato p⁺ ed ossidazione della superficie superiore; (c) fotolitografia e attacco dell'ossido; (d) attacco anisotropo del substrato.

Si parte da un substrato di silicio cristallino orientato <100> ossidato sulla superficie inferiore (figura 1.1-a). A questo punto si esegue una diffusione di Boro per creare una regione drogata p^+ (con una concentrazione di Boro superiore a 10^{20}cm^{-3}) utilizzata per fermare l'attacco anisotropo, e si ossida anche la superficie superiore del wafer, per proteggerla durante la fase di etching (figura 1.1-b). La regione p^+ ferma il meccanismo di etching anisotropo perché la velocità di tale tipo di attacco dipende da molti fattori, tra cui anche la concentrazione del drogante nel silicio. In particolare la velocità di attacco è funzione decrescente della concentrazione di Boro, per cui all'aumentare della concentrazione del drogante, essa diminuisce sempre di più fino a diventare trascurabile.

Il terzo passo consiste nel definire il pattern per realizzare la geometria desiderata, si utilizza una opportuna maschera posizionata sull'ossido che si trova sulla superficie inferiore del wafer e si esegue un primo passo di fotolitografia seguito dall'attacco dell'ossido, il risultato è quello riportato in figura 1.1-c.

Infine si esegue l'attacco anisotropo del silicio, che si fermerà in corrispondenza della zona drogata p^+ . Si è così creata una membrana il cui spessore dipende dalla profondità della diffusione di Boro (figura 1.1-d). Per realizzare un sensore di pressione un ulteriore passo di processo, non rappresentato in figura 1.1, potrebbe essere la saldatura della struttura ottenuta con un substrato di vetro pirex utilizzando la tecnica di bonding anodico, in modo tale da formare una cavità chiusa che avrà una pressione interna pari a quella della camera in cui è stato eseguito il bonding e che costituirà la pressione di riferimento del sensore. Una eventuale differenza di pressione fra ambiente e cavità provocherà una conseguente deformazione del diaframma.

Con questo tipo di struttura possono essere realizzati sensori piezoresistivi, ovvero sensori che sfruttano le deformazioni della membrana per variare la resistenza di resistori diffusi sopra quest'ultima. Oppure sensori capacitivi, ovvero sfruttano la variazione di capacità tra membrana e substrato conseguente alla deformazione.

Surface micromachining

La principale differenza tra Bulk micromachining e Surface micromachining è che, nel primo caso le microstrutture sono realizzate nel substrato di silicio, mentre nel secondo si sfrutta la deposizione e la rimozione selettiva di strati sottili sulla superficie di silicio.

In figura 1.2 sono riportati i passi base di un semplice processo di Surface micromachining.

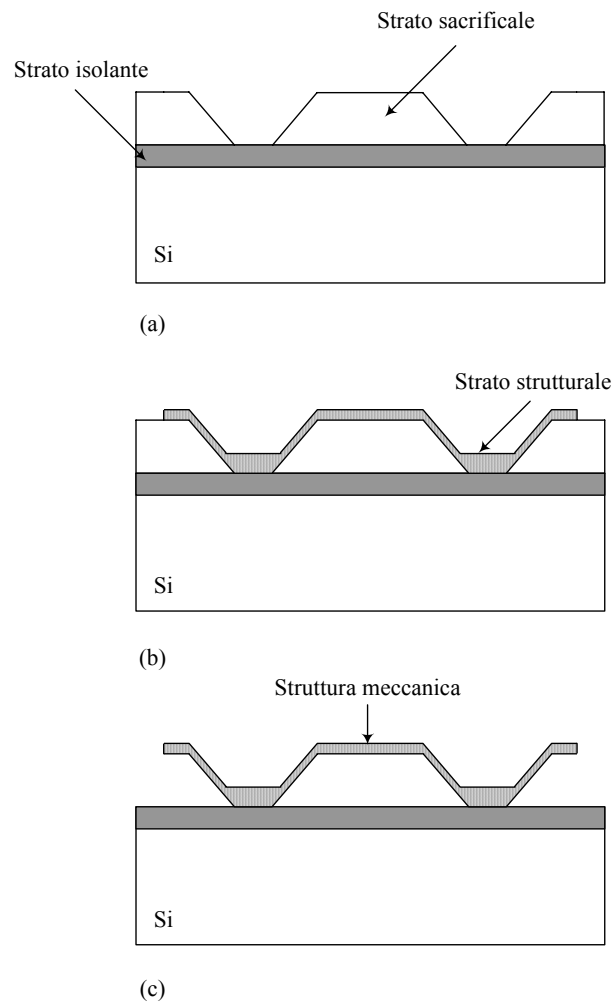


Figura 1.2 Passi per la realizzazione di una struttura meccanica sospesa con la tecnica del Surface Micromachining.

Inizialmente il substrato di silicio viene coperto con uno strato di materiale isolante, tipicamente nitruro di silicio, che può servire come isolante elettrico oppure per proteggere il substrato sottostante. Quindi si deposita uno strato sacrificale, che può essere ad esempio polisilicio, e lo si rimuove con una opportuna fase di litografia ed attacco chimico nelle zone dove si vuole che la struttura rimanga ancorata al substrato (figura 1.2-a). A questo punto si deposita lo strato strutturale e si definisce la geometria desiderata con un ulteriore passo di litografia seguito da un attacco chimico (figura 1.2-b). Infine si elimina completamente lo strato sacrificale con un attacco chimico selettivo e si ottiene una struttura a ponte sospesa sul substrato di silicio mostrata in figura 1.2-c.

La tecnica del Surface micromachining permette di ottenere dispositivi di dimensione minore di quelli realizzati con il Bulk micromachining, perché permette di controllare con maggior precisione lo spessore delle strutture.

Inoltre con la tecnica del Surface micromachining la struttura realizzata può essere di materiale differente dal silicio, in quanto lo strato strutturale depositato può essere polisilicio, nitruro di silicio, poliammide, nitruro di Titanio oppure può essere un film composto come ad esempio polisilicio e ossido di Zinco o ancora polisilicio-nitruro di silicio-polisilicio. Naturalmente con la limitazione che se lo strato sacrificale è già di polisilicio lo strato strutturale non può essere dello stesso materiale.

Per contro, uno dei principali svantaggi nella tecnica del micromachining è che la presenza di più strati di materiali diversi sovrapposti può portare alla nascita di stress intrinseci, di tipo compressivo o tensionale, che dipendono dai parametri della deposizione quali la temperatura, la pressione o la velocità. Tali stress devono essere ridotti al minimo per evitare l'eventuale rottura delle parti meccaniche, ma anche perché potrebbero portare ad una alterazione della risposta della struttura meccanica realizzata.

Nella seguente tabella sono riportate le differenze fondamentali tra Bulk e Surface micromachining:

Caratteristiche	Bulk micromachining	Surface micromachining
Dimensioni minime strutture	~ 1 μm	~ 1 μm
Spessori	~ 100 μm	~ 1-3 μm
Processi usati	-Processi su un solo lato del wafer o su ambo i lati; - attacchi anisotropi; -processi litografici.	-Processi su un solo lato del wafer (superiore); -attacchi isotropi; -processi litografici.
Strutture caratteristiche	Fori passanti e scavi nel substrato (tipicamente di 100 μm di profondità)	Strutture ancorate al substrato con spessori sottili dell'ordine del μm

Tabella 1.1: riassunto delle principali differenze tra Bulk micromachining e Surface micromachining.

1.3 Sensori di pressione integrati

La pressione è una quantità meccanica definita come una forza per unità di area, la sua unità di misura secondo lo standard internazionale è il Pascal (Pa), definito come Newton su metro quadro, tuttavia la si trova molto spesso espressa anche in atmosfere (1 atm = 10^5 Pa), oppure in bar (1 bar = 1atm, 1mbar = 100 Pa).

La misura della pressione è essenziale in una notevole varietà di applicazioni in campo scientifico ma anche nel campo dell'industria, dove vi sono svariati processi che la usano come grandezza di controllo. Nel campo automobilistico è importante monitorare la pressione dell'olio, ma anche quella dei pneumatici e del liquido dei freni. Nell'ambito biomedicale la misura della pressione sanguigna costituisce un settore di notevole interesse, e sulla misura di pressione si basano anche altimetri, profondimetri e barometri nonché misuratori del livello di liquidi in contenitori. Per tutte queste ragioni il mercato dei sensori di pressione è uno dei più interessanti ed ampi tra tutti quelli dei sensori e la richiesta di sensori di pressione accurati ma a basso costo è in continuo aumento.

I sensori di pressione integrati rispondono a queste esigenze perché da un unico wafer si possono ricavare migliaia di chip. In più, grazie al rapido sviluppo che hanno avuto le tecnologie microelettroniche negli ultimi decenni, vi è oggi la possibilità di realizzare sullo stesso chip sia la parte meccanica del sensore che l'elettronica di controllo del segnale, in modo da ottenere un intero sistema su scala micrometrica.

In questo paragrafo saranno descritti due tipi di sensori di pressione integrati che sfruttano principi fisici differenti: il sensore di pressione *piezoresistivo*, che sfrutta la variazione di resistenza indotta dalla deformazione di una membrana ad opera della pressione esercitata sulla stessa, e il sensore *capacitivo* che sfrutta la variazione della capacità dovuta all'avvicinamento e all'allontanamento di parti mobili sempre per effetto della pressione. In entrambi i casi viene utilizzata una membrana realizzata con una delle tecnologie MEMS descritte in precedenza.

Sensori integrati piezoresistivi

Questo tipo di sensori sfrutta l'effetto piezoresistivo del silicio, ossia il fenomeno per cui quando il silicio è sottoposto a stress la sua resistività cambia secondo una relazione descritta da :

$$\delta\rho = \Pi T \quad (1.5)$$

dove $\delta\rho$ è un vettore di sei componenti che rappresenta la variazione di resistività, Π è la matrice dei coefficienti di piezoresistenza per il silicio, e T è il tensore di stress a cui è sottoposto il materiale.

In un sensore piezoresistivo l'elemento sensibile è una membrana di silicio, realizzata con tecniche di micromachining, sulla quale sono integrati dei resistori mediante diffusione di un drogante di tipo p o di tipo n. E' bene che i resistori siano disposti sulla membrana in modo da formare un ponte di Wheatstone, come

mostrato in figura 1.3, così da compensare gli effetti dovuti ad una eventuale variazione della temperatura.

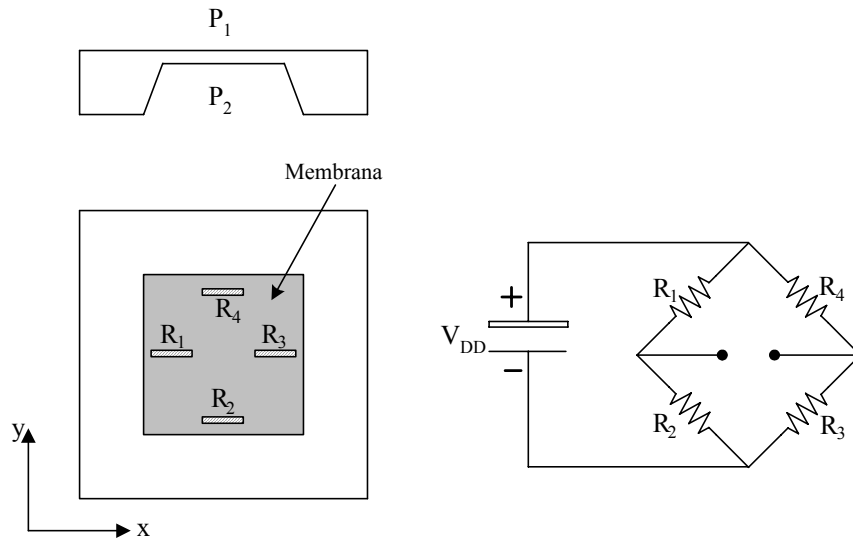


Figura 1.3 Sensore piezoresistivo di pressione con resistori integrati a ponte di Wheatstone e schema elettrico equivalente.

Per il silicio monocristallino le proprietà del materiale dipendono fortemente dall'orientazione degli assi cristallografici, per cui i coefficienti di piezoresistenza variano a seconda dell'orientazione dei resistori integrati rispetto a tali assi.

Se ci poniamo nel caso in cui applichiamo ad un piezoresistore uno stress $\sigma_{//}$ diretto solo nella direzione longitudinale, si può definire un coefficiente di piezoresistenza longitudinale come [1,cap14]:

$$\frac{\Delta R}{R} = \pi_{//} \sigma_{//} \quad (1.6)$$

Applicando invece uno stress σ_t solo in direzione trasversale, si può definire un coefficiente di piezoresistenza trasversale come:

$$\frac{\Delta R}{R} = \pi_t \sigma_t \quad (1.7)$$

Quindi in generale se la membrana è sottoposta ad uno stress che ha sia componente longitudinale che trasversale, si può esprimere la variazione di resistenza di uno dei piezoresistori come:

$$\frac{\Delta R}{R} = \pi_{//} \sigma_{//} + \pi_t \sigma_t \quad (1.8)$$

Vista l'orientazione dei resistori vale la relazione ($\pi_{//} = -\pi_t$) e quindi possiamo esprimere la variazione percentuale delle resistenze R_1 ed R_2 di figura 1.3 come:

$$\frac{\Delta R_1}{R_1} = -\frac{\Delta R_2}{R_2} = \pi(\sigma_{//} - \sigma_t) \quad (1.9)$$

Poiché i due stress $\sigma_{//}$ e σ_t dipendono dalla pressione esercitata sulla membrana anche la variazione percentuale di resistenza varia al variare di tale pressione.

Possiamo esprimere la tensione in uscita dal ponte di Wheatstone di figura 1.3, con la seguente formula:

$$V_u = V_{dd} \pi(\sigma_{//} - \sigma_t) \quad (1.10)$$

Quindi otteniamo una tensione che, data la proporzionalità dello stress con la pressione applicata, sarà una funzione lineare della pressione stessa.

I sensori piezoresistivi presentano come vantaggio il fatto che sono semplici da realizzare e forniscono una risposta in tensione caratterizzata da una buona linearità con la pressione, però hanno come svantaggio la dipendenza dalla temperatura del coefficiente di piezoresistenza ed una notevole dissipazione statica di potenza.

Sensori integrati capacitivi

Questo tipo di sensore sfrutta l'accoppiamento capacitivo fra una membrana, realizzata con tecniche di micromachining, e un elettrodo sottostante. La membrana, infatti, se sottoposta ad una pressione esterna si deforma e origina una variazione della capacità di sensing che essa stessa forma con l'elettrodo.

Tale capacità di sensing può essere realizzata in vari modi:

a) con la tecnica del Bulk micromachining: si realizza una cavità in un wafer di silicio; questo è un wafer di supporto e diventerà una delle armature della capacità del sensore. Quindi con una tecnica di bonding, quale ad esempio la “fusion bonding”, si chiude la cavità fondendo sul wafer di supporto un altro wafer di silicio il cui spessore verrà poi ridotto fino ad arrivare alle dimensioni desiderate per la membrana del sensore. Il risultato è mostrato in figura 1.4-a.

b) Con la tecnica di Surface micromachining: si depone uno strato sacrificale (ad esempio SiO_2 oppure vetro fosfosilicato) sul wafer di silicio e lo si definisce con una opportuna fase di litografia seguita da attacco chimico, quindi si depone lo strato strutturale, che può essere silicio policristallino a basso stress oppure un materiale composto quale $\text{Si}_3\text{N}_4/\text{SiO}_2$ e lo si definisce in modo da realizzare la geometria voluta. Infine lo strato sacrificale viene rimosso con un opportuno attacco selettivo (ad esempio in acido fluoridrico) e rimane lo strato strutturale che costituisce la membrana del sensore, come mostrato in figura 1.4-b [1,cap4].

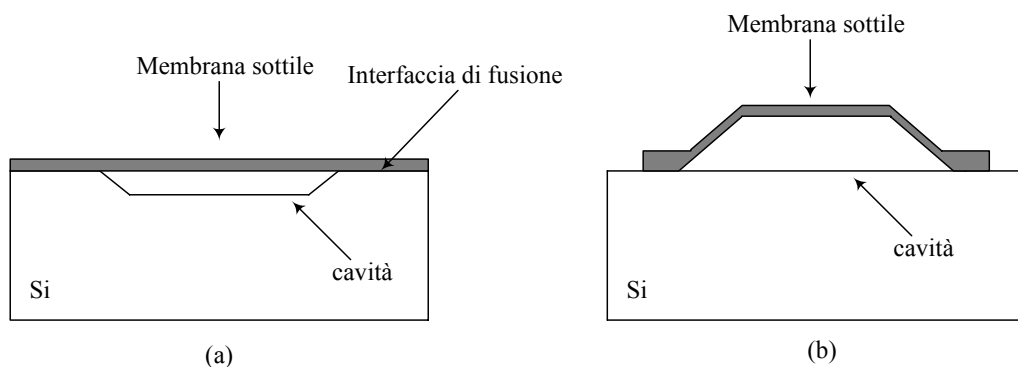


Figura 1.4 Capacità di sensing realizzata mediante la tecnica di Bulk Micromachining (a) e di Surface micromachining (b).

c) Combinando le due tecniche di Bulk e Surface micromachining: a tale proposito riportiamo come esempio il sensore differenziale di pressione progettato

e realizzato dal gruppo di ricerca dell' "Università "Politecnica" di Bucarest [3] rappresentato in figura 1.5-d

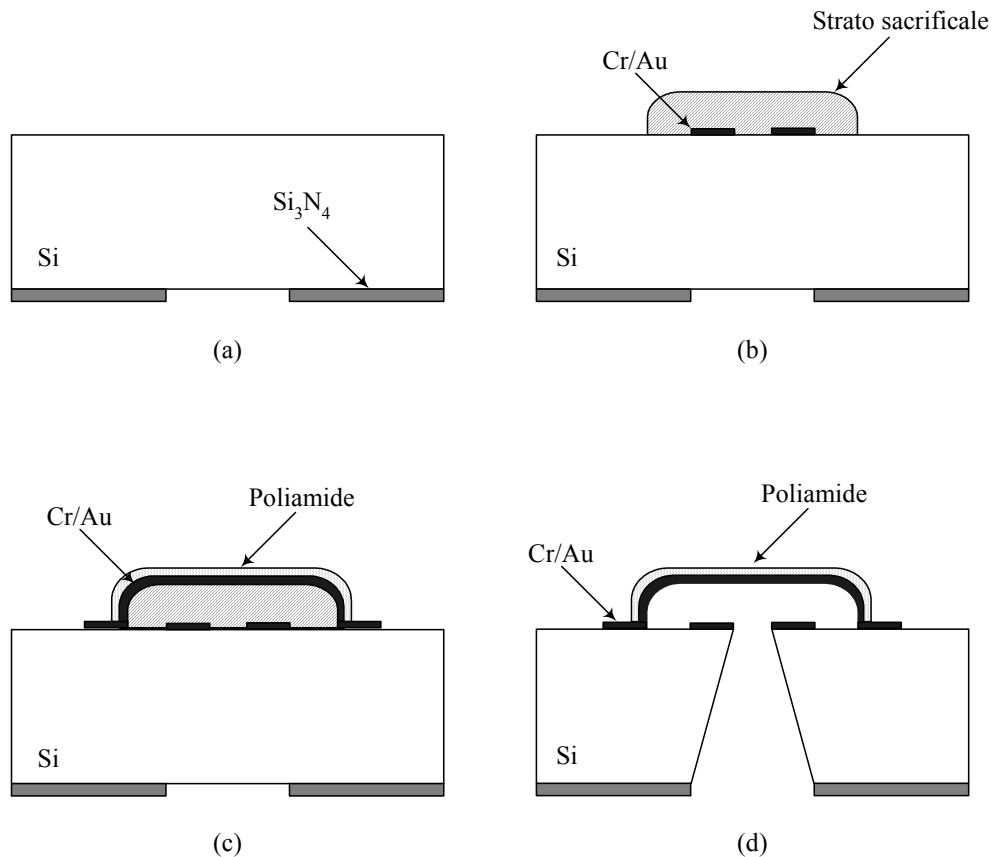


Figura 1.5 Sensore di pressione realizzato presso l' Università "Politecnica" di Bucarest.

L'elettrodo superiore della capacità è una membrana costituita da due strati sovrapposti, uno di Cromo e Oro e l'altro di un materiale polimerico. L'elettrodo inferiore è posizionato sul substrato ed è formato da una deposizione di Cromo ed Oro, tra i due vi è un gap di aria di $5\mu\text{m}$ che funziona come dielettrico. Il sensore converte la deflessione della membrana polimerica in una variazione di capacità.

La struttura è ottenuta a partire da un substrato di silicio monocristallino di tipo p orientato $\langle 100 \rangle$; come prima cosa si depone sul retro del wafer uno strato di Nitrato di Silicio, Si_3N_4 e lo si definisce con gli opportuni passi di litografia ed

attacco (figura 1.5-a), esso sarà usato come maschera per l'attacco del silicio al momento della creazione della membrana.

Quindi si depongono sulla superficie superiore del wafer i due elettrodi di C_T/A_u , essi saranno connessi ad un unico potenziale, quindi è come se fossero un elettrodo unico di spessore $0,8 \mu\text{m}$. A questo punto si depone uno strato sacrificale e lo si definisce come in figura 1.5-b. Quindi si depone su tutta la superficie un altro strato di C_T/A_u che costituisce l'elettrodo superiore della capacità ed ha anch'esso spessore di $0,8 \mu\text{m}$. Poi si depone ovunque il poliammide PI2555 e lo si definisce in modo che rimanga solo sul secondo elettrodo così da realizzare la struttura di figura 1.5-c. Come passo finale si esegue dal retro del wafer l'attacco che elimina lo strato sacrificale e porta alla formazione della membrana (figura 1.5-d). Per concludere la struttura così ottenuta è unita ad un substrato di vetro mediante bonding diretto.

Il sensore così realizzato è stato simulato per pressioni comprese tra 0 e 2 atm, ottenendo una variazione di capacità compresa tra 0,19 pF e 0,48 pF. Da i risultati delle simulazione si deduce che per la struttura realizzata il massimo valore di pressione applicabile è 1,6 atm perché esso corrisponde ad una deflessione della membrana di $4,9 \mu\text{m}$, quindi oltre tale valore si avrebbe il collasso dei due elettrodi l'uno sull'altro. In conclusione il range di pressioni misurabili è tra 0 e 1,6 atm, la pressione assoluta può essere misurata conoscendo la pressione all'interno della cavità.

Principio di funzionamento dei sensori capacitivi

Come già detto in precedenza alla base del funzionamento dei sensori di pressione capacitivi c'è la realizzazione di un elemento elastico, che può essere una membrana di forma circolare o quadrata. Tale membrana si flette in risposta ad una differenza di pressione, p , applicata ai suoi lati e ciò provoca una variazione della capacità C tra i due elettrodi formati dalla membrana stessa e dal substrato di silicio. La variazione di capacità deve poi essere convertita in una tensione o in altro segnale elettrico da un opportuno circuito elettronico.

Per una membrana circolare, facendo riferimento allo schema di figura 1.6, lo stress massimo, σ_{\max} , conseguente all'applicazione di una pressione p si ha in corrispondenza del bordo della membrana e vale:

$$\sigma_{\max} = \frac{3}{4} p \frac{R^2}{h^2} \quad (1.11)$$

dove R ed h sono rispettivamente il raggio e lo spessore della membrana.

Lo stress che rappresenta il punto di rottura per una membrana realizzata in silicio è $\sigma_r = 6.24 \times 10^7 \text{ N/m}^2$.

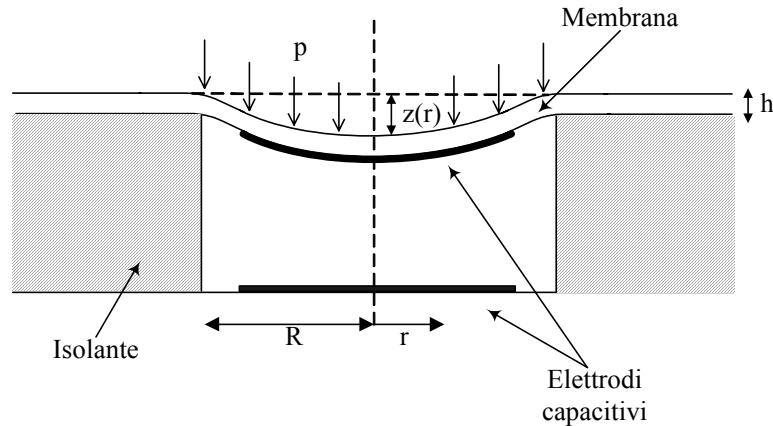


Figura 1.6 Membrana di silicio sottoposta ad una pressione p .

Quando la pressione applicata è all'interno del range di curvatura della membrana, la deflessione della stessa in funzione della posizione r vale [4]:

$$z(r) = \frac{3}{16} p \frac{(1-\nu^2)}{Eh^3} R^4 \left\{ 1 - \left(\frac{r}{R} \right)^2 \right\}^2 \quad (1.12)$$

in cui si è indicato con E e ν rispettivamente modulo di Young e rapporto di Poisson della membrana.

Lo spostamento sarà massimo in corrispondenza del centro della membrana, ossia per $r = 0$, per cui dalla formula precedente otteniamo che lo spostamento massimo z_{\max} vale:

$$z_{\max} = \frac{3}{16} p \frac{(1-\nu^2)}{Eh^3} R^4 \quad (1.13)$$

Indicando con d_0 la distanza tra le armature a riposo, ossia quando non vi è alcuna pressione applicata alla membrana, l'espressione della capacità del sensore sarà:

$$C(p) = \varepsilon_r \varepsilon_0 \int_0^{2\pi R} \int_0^R \frac{1}{d_0 - z(r)} d\vartheta dr \quad (1.14)$$

Risolvendo l'integrale in funzione della variabile adimensionale $x = \frac{P}{P_{MAX}}$, dove

P_{MAX} è la massima pressione sopportabile dalla membrana e vale

$$P_{MAX} = \frac{16}{3} \frac{E}{(1-\nu^2)} \frac{h^3 d_0}{R^4}, \text{ si avrà:}$$

$$C(x) = C_0 \frac{1}{\sqrt{x}} a \tanh(\sqrt{x}) \quad (1.15)$$

In cui C_0 è la capacità della membrana a riposo che si può esprimere utilizzando l'espressione valida per un condensatore a facce piane e parallele :

$$C_0 = \varepsilon_o \varepsilon_r \frac{A}{d_0} \quad (1.16)$$

La (1.15) mostra una dipendenza non lineare della capacità dalla pressione. Questa caratteristica di non linearità è tipica dei sensori capacitivi di pressione, per i quali vale in generale una relazione del tipo:

$$C_{sens} = f_1(p) \quad (1.17)$$

in cui per f_1 si può solo garantire la monotonicità.

I sensori capacitivi di pressione sono caratterizzati da una sensibilità relativa alla grandezza misurata maggiore rispetto a quelli piezoresistivi, risentono meno degli effetti dovuti alla variazione di temperatura ed hanno un consumo statico di potenza nullo. Per contro però i sensori capacitivi oltre alla citata non linearità sono sensibili agli effetti delle capacità parassite presenti. Inoltre la capacità del sensore è solitamente molto piccola, quindi si rende necessario un sofisticato circuito elettronico di interfaccia per il condizionamento e l'amplificazione del segnale di uscita, possibilmente posizionato sullo stesso chip o, per lo meno, sullo stesso package del sensore. Progettando in modo opportuno tale interfaccia elettronica si può ottenere anche una riduzione degli effetti parassiti, facendo in modo, inoltre, che il circuito rilevi la variazione della capacità rispetto al suo valore a riposo e non il valore assoluto della capacità stessa. Ciò si può ottenere realizzando sullo stesso chip due capacità, una variabile con la pressione ed una costante. Quest'ultima deve essere di valore pari a quello a riposo della capacità del sensore così che rilevando la differenza tra le due si abbia effettivamente la variazione della capacità di sensing rispetto al valore di riposo e si eliminino gli effetti parassiti.

1.4 Accelerometri

Il primo microaccelerometro realizzato con tecniche di micromachining del silicio risale al 1979 ad opera degli studiosi Roylance e Angell. L'accelerometro in questione è costituito da una singola trave ancorata al substrato ad uno degli estremi e dotata all'altro estremo di una massa di prova. Entrambi gli oggetti, sia la trave che la massa, sono realizzati con tecniche di micromachining da un unico substrato di silicio monocristallino. L'elemento sensibile è un piezoresistore diffuso, realizzato con un drogaggio di Boro, che si trova all'estremo della trave opposto a quello collegato alla massa di prova. In presenza di una accelerazione

diretta perpendicolarmente alla superficie della trave, quest'ultima si flette provocando una variazione di resistenza del piezoresistore integrato. Per questo motivo, il microaccelerometro di Roylance e Angell presenta i problemi già discussi in precedenza riguardo ai sensori piezoresistivi. Il grande limite di questo tipo di accelerometro è la dipendenza dalla temperatura dell'effetto piezoresistivo, e quindi la necessità di un sistema di compensazione degli effetti dovuti alle variazioni di temperatura.

Per questo motivo sono stati sviluppati gli accelerometri capacitivi che sono intrinsecamente meno sensibili alle variazioni di temperatura di quelli piezoresistivi.

Ci sono svariate strutture di accelerometri capacitivi, ma tutti hanno in comune dei componenti base che sono una massa di prova e travi di supporto, come mensole o barre di torsione, realizzati con tecniche di micromachining.

In modo analogo a quanto già detto per i sensori di pressione capacitivi anche gli accelerometri capacitivi sono caratterizzati da capacità piccole, per cui la presenza delle capacità parassite non può essere trascurata e vi è la necessità di circuiti elettronici di condizionamento ed amplificazione del segnale.

Un altro grosso vantaggio degli accelerometri capacitivi rispetto a quelli piezoresistivi è la possibilità di implementare con pochi passi di processo aggiuntivi un sistema di auto-test, che è richiesto soprattutto negli accelerometri utilizzati nei sistemi di sicurezza delle automobili, quali ad esempio il controllo dell'attivazione dell'airbag o dell'ABS (anti-wheel lock brake system).

Accelerometro capacitivo "single side capacitive sensing"

Una dei modi per realizzare un accelerometro capacitivo consiste nell'utilizzare una struttura simile a quella dell'accelerometro piezoresistivo descritto poco sopra. Cioè si realizza una trave che ha un estremo collegato al substrato, mentre l'altro è sospeso e quindi libero di muoversi. Sopra quest'ultimo è posizionata una

massa di prova solidale con la trave stessa, come rappresentato nella figura seguente (figura 1.7).

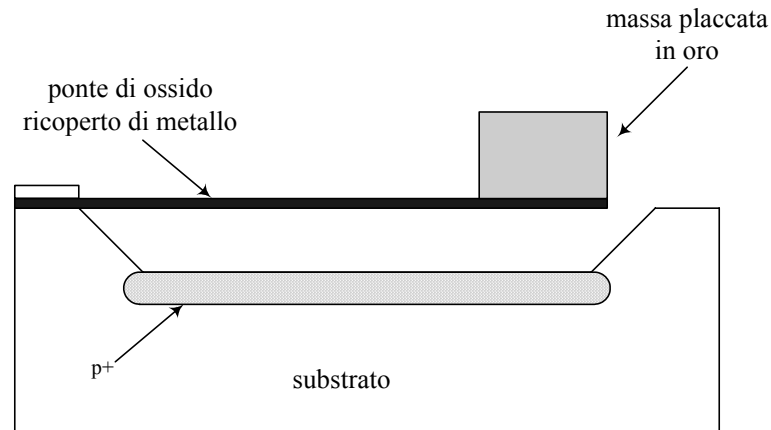


Figura 1.7 Accelerometro capacitivo realizzato con Surface micromachining. La trave sospesa, realizzata in Ossido di Silicio ricoperto da uno strato metallico, è lunga 108 μm , mentre la massa di prova ha peso pari a 0,35 μg .

La trave flessibile è realizzata con ossido di silicio (SiO_2) ricoperto da uno strato metallico di cromo (C_r) ed oro (A_u), mentre la massa è placcata in oro. Nel substrato di silicio sotto la trave è realizzata una zona drogata p^+ , quest'ultima e la trave stessa formano i due elettrodi della capacità del sensore.

Quando è presente una accelerazione nella direzione perpendicolare alla superficie del cantilever, la trave si flette facendo sì che i due elettrodi si avvicinino e provocando così una variazione di capacità.

Per piccole deflessioni ($\delta < 0,1d$ dove δ è la deflessione massima della trave e d è la distanza tra gli elettrodi della capacità a riposo) la variazione relativa della capacità vale [1,cap4]:

$$\frac{\Delta C_B}{C_B} = \frac{5Ma_z L^3}{4Edbt^3} \quad (1.18)$$

dove E , t , b ed L sono rispettivamente modulo di Young, spessore, larghezza e lunghezza della membrana, M è la massa di prova, a_z è l'intensità dell'accelerazione nella direzione perpendicolare alla superficie della trave e C_B è la capacità del sensore a riposo.

Dalla formula (1.18) si vede chiaramente che la risposta del sensore è lineare con l'accelerazione e dipende fortemente dalla lunghezza e dallo spessore della trave.

Accelerometro ADXL 150 "differential capacitive sensing"

La "Analog device" è una delle industrie che si occupano della fabbricazione di accelerometri capacitivi, in particolare il modello ADXL 150 [5], che tra poco descriveremo, è realizzato con la tecnica del Surface micromachining, ed è integrato su di un unico chip con il circuito elettronico che implementa le funzioni necessarie per avere un'uscita analogica proporzionale all'accelerazione.

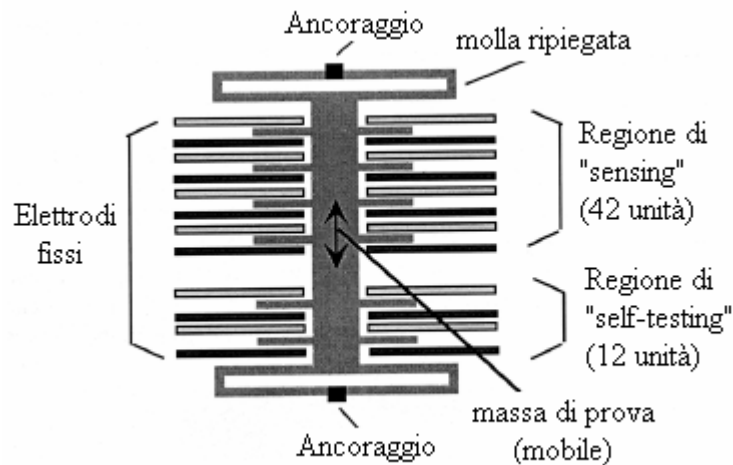


Figura 1.8 Rappresentazione schematica dell'accelerometro capacitivo ADXL 150 (Analog device).

La figura 1.8 è una rappresentazione schematica del sensore utilizzato nell'accelerometro. Il blocco rettangolare centrale è la massa di prova, essa è

sospesa ed è sostenuta mediante due molle ripiegate ancorate al substrato. La massa di prova presenta lateralmente dei “dentini”, “fingers”, ognuno dei quali è posto tra due elettrodi fissi. Quindi ogni elettrodo solidale con la massa di prova è un elettrodo mobile, che segue il movimento della massa quando il sistema è sottoposto ad una accelerazione, ed è posto da due elettrodi fissi in modo da formare una struttura capacitiva interdigitata. Nella parte del sensore indicata in figura 1.8 come “regione di sensing” ci sono 42 di queste strutture, mentre in quella indicata come “regione di self-testing” ce ne sono 12. La regione di self-testing è formata da elettrodi connessi ad un circuito elettronico di pilotaggio che può applicare una forza elettrostatica alla massa provocando uno spostamento della stessa a scopo di test della struttura.

Mentre la “regione di sensing” è quella che traduce l’accelerazione in una variazione di capacità. Infatti consideriamo un solo “finger” della massa di prova posto tra due elettrodi fissi, esso forma con ognuno dei due elettrodi una capacità, per cui abbiamo una coppia di capacità differenziali come rappresentato in figura 1.9

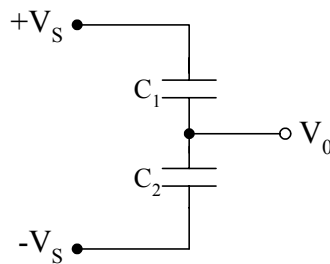


Figura 1.9 Schema elettrico equivalente del singolo “finger” posto tra due elettrodi fissi.

Quando siamo in presenza di una accelerazione, la massa di prova si muove e l’elettrodo mobile con essa solidale si avvicina ad uno degli elettrodi fissi e di conseguenza si allontana dall’altro.

Supponiamo che ai due elettrodi fissi sia applicata una tensione differenziale pari a $2V_s$, $+V_s$ da un lato e $-V_s$ dall'altro. La tensione V_0 di figura 1.9 rappresenta il segnale di uscita e vale :

$$V_0 = -V_s + 2V_s \frac{C_1}{C_1 + C_2} = V_s \frac{(C_1 - C_2)}{(C_1 + C_2)} \quad (1.19)$$

Dove le due capacità C_1 e C_2 partono dallo stesso valore di riposo C_0 e poi variano in maniera opposta come conseguenza della accelerazione applicata, per cui si avrà:

$$\begin{aligned} C_1 &= C_0 \frac{x_0}{(x_0 + \delta x)} \\ C_2 &= C_0 \frac{x_0}{(x_0 - \delta x)} \end{aligned} \quad (1.20)$$

dove x_0 è la distanza a riposo tra ciascuno degli elettrodi fissi e quello mobile, mentre δx è lo spostamento dell'elettrodo mobile rispetto a quello fisso.

Combinando le due espressioni delle capacità appena citate, si ha:

$$C_1 - C_2 = C_0 \left(\frac{x_0}{x_0 + \delta x} - \frac{x_0}{x_0 - \delta x} \right) = C_0 \left[\frac{-2x_0 \delta x}{(x_0^2 - \delta x^2)} \right] \cong -\frac{2C_0 \delta x}{x_0} \quad (1.21)$$

Tale espressione è stata ricavata facendo l'approssimazione ragionevole che $\delta x^2 \ll x_0^2$.

Quindi combinando il risultato appena ottenuto della (1.21) con la formula (1.19) e facendo l'approssimazione $(C_1 + C_2) \cong 2C_0$ si ricava una tensione di uscita pari a:

$$V_0 \cong -V_s \left(2C_0 \frac{\delta x}{x_0} \right) \left(\frac{1}{2C_0} \right) = -V_s \frac{\delta x}{x_0} \quad (1.22)$$

Abbiamo una tensione di uscita che dipende linearmente dallo spostamento dell'elettrodo mobile, da esso si può risalire all' accelerazione a cui sottoposta la massa.

1.5 Sensore capacitivo di umidità

Un'altra interessante categoria di sensori capacitivi sono i sensori di umidità.

Tale tipo di sensore è essenzialmente un capacità formata da un film di dielettrico igroscopico racchiuso tra due elettrodi. Uno degli elettrodi è fatto di materiale poroso per permettere al vapore acqueo di interagire facilmente con il dielettrico, come conseguenza di tale interazione, quando l'umidità dell'ambiente varia anche la costante dielettrica del film igroscopico cambia provocando una variazione della capacità del sensore.

Il materiale sensibile all'umidità utilizzato è solitamente un polimero dielettrico compatibile con i processi di fabbricazione dei circuiti elettronici. Tali polimeri sono caratterizzati da alta sensibilità al vapore acqueo, bassa isteresi e buona stabilità chimica, tuttavia si deteriorano in fretta e non sono utilizzabili ad elevate temperature. Per questo spesso nei sensori di umidità si preferisce utilizzare non un film di un solo polimero, ma film ottenuti come combinazione di polimeri diversi.

In letteratura troviamo esempi di sensori di umidità integrati in un unico chip con l'elettronica di calibrazione del sensore stesso, in modo tale da formare un sistema per la misura di umidità accurato, affidabile e a basso costo come quello che andremo a descrivere di seguito [6].

Il sensore utilizzato è una capacità interdigitata come quella rappresentata in figura 1.10.

I due elettrodi sono realizzati con le metal 1 e 2 del processo CMOS utilizzato, mentre il film polimerico sensibile all'umidità è identificato dalla sigla "PI2555" (Dupont) ed ha uno spessore di $3,8\mu\text{m}$. Il principio di funzionamento del sensore è quello descritto all'inizio del paragrafo: quando il tasso di umidità dell'ambiente cambia il polimero assorbe o desorbe vapore acqueo e questo fenomeno provoca la variazione della sua costante dielettrica e quindi una variazione della capacità del sensore.

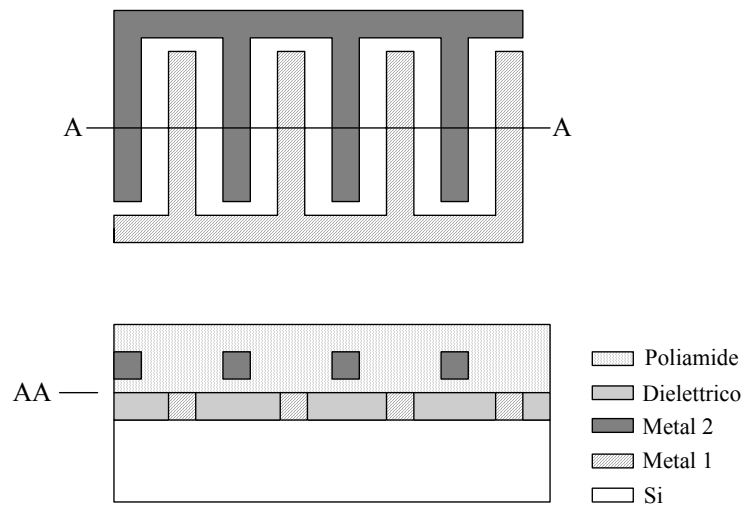


Figura 1.10 Struttura schematica del sensore capacitivo di umidità

Assumendo che la costante dielettrica del film vari linearmente con il tasso di umidità relativo (RH) si avrà:

$$\varepsilon = \varepsilon_0 + \alpha RH \quad (1.23)$$

Dove α è una costante dipendente dal particolare polimero utilizzato, mentre ε_0 è la costante dielettrica quando $RH=0$.

Di conseguenza la capacità del sensore potrà essere espressa come:

$$C_{\text{sensore}} = \varepsilon K = \varepsilon_0 K + K \alpha RH \quad (1.24)$$

dove K dipende solo dalle caratteristiche geometriche della del sensore.

Il sensore citato è stato realizzato dalla AMS con un processo CMOS a 0,6 μm .

Prima sono stati realizzati il circuito elettronico di interfaccia del sensore e la capacità di sensing, poi con un unico passo di post processing è stato steso sopra il chip il polimero sensibile all'umidità.

L'intero chip è stato testato per un intervallo di umidità variabile dal 10% al 98% e in un range di temperatura da -40°C a $+200^\circ\text{C}$.

Dalle caratteristiche misurate è stato riscontrato che il sensore ha una funzione di trasferimento lineare, un'isteresi trascurabile ed è stabile. Infatti non è stato osservato alcun drift rilevante della risposta dopo aver lasciato il sensore per 7 giorni in un ambiente con tasso di umidità del 60% e a temperatura di 26°C. Inoltre il tempo di risposta è all'incirca 20s, la dipendenza dalla temperatura è piccola e la risoluzione del sensore è dello 0,06%. Quest'ultima è stata ottenuta misurando l'uscita del sensore in un ambiente con tasso di umidità definito e costante pari ad RH_x , e traslando l'uscita del sensore con il sistema elettronico di calibrazione fino ad arrivare ad ottenere proprio RH_x . Graficando quindi l'uscita in funzione del tempo si è osservato che, in un intervallo di tempo pari ad un'ora, il valore di RH in uscita dal sensore varia dal 74,94% al 75%, in un ambiente dove il tasso di umidità è mantenuto pari al 75%, per cui la risoluzione del sensore è 0,06% RH.

Capitolo 2

Interfacce per sensori capacitivi

Come già sottolineato nel capitolo precedente, i sensori capacitivi integrati presentano una minore dipendenza dalla temperatura rispetto a quelli piezoresistivi e un consumo di potenza pressoché nullo. Per contro: forniscono una risposta che non varia linearmente con la grandezza fisica sotto misura, hanno elevata impedenza di uscita e, essendo caratterizzati da valori di capacità molto piccoli, sono particolarmente sensibili agli elementi parassiti presenti nella loro struttura.

Quindi i sensori integrati capacitivi necessitano di appositi circuiti di interfaccia per il condizionamento e l'amplificazione del segnale progettati tenendo conto delle problematiche appena citate.

In questo capitolo sarà descritto il principio di funzionamento di alcune delle più comuni interfacce per sensori capacitivi presenti in letteratura. Si inizierà dalla descrizione dei convertitori capacità-tensione e tra questi si effettuerà un confronto tra impedenzimetri e circuiti switched-capacitors. Poi si passerà ad altre soluzioni circuitali quali i convertitori capacità-frequenza e capacità-PWM, fino ad arrivare al convertitore capacità-PWM progettato presso il "Laboratorio di tecnologie e microsistemi dell'Università di Pisa" e realizzato presso la STMicroelectronics.

Quest'ultimo circuito di interfaccia ci interessa in particolar modo perché è la soluzione precedente a quella proposta in questo lavoro di tesi di cui si parlerà nel prossimo capitolo.

2.1 Convertitori capacità-tensione

In generale un sensore capacitivo traduce una variazione della grandezza fisica di interesse in una variazione di capacità. Per poter utilizzare tale informazione la si deve convertire in segnale elettrico e una possibilità è quella di utilizzare un convertitore capacità-tensione.

Questo tipo di conversione può essere effettuata utilizzando principalmente due tipologie circuitali differenti:

- 1) impedenzometro: se si vuole realizzare una interfaccia tempo continua;
- 2) circuito switched capacitors: per realizzare una interfaccia tempo discreta, che può essere utile qualora il sistema di elaborazione che segue sia di tipo digitale.

Impedenzometro

Una soluzione spesso utilizzata per ottenere un segnale elettrico a partire da una capacità variabile consiste nella semplice applicazione della legge di Ohm. Infatti una variazione di capacità può essere rilevata misurando la variazione di corrente attraverso la capacità stessa in presenza di una tensione alternata costante, oppure misurando la variazione della tensione ai suoi capi quando è applicata una corrente alternata costante.

A tale proposito consideriamo il sistema di figura 2.1:

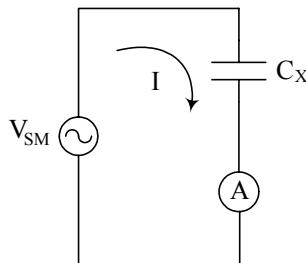


Figura 2.1 Schema di principio per la misura di una capacità C_x attraverso l'applicazione della legge di Ohm.

In figura 2.1 si è indicato con V_{SM} un generatore sinusoidale di tensione generico, con C_X la capacità variabile che rappresenta il sensore e con A un amperometro utilizzato per la misura della corrente che scorre nel circuito.

I sensori capacitivi sono caratterizzati di solito da valori di capacità piccoli, dell'ordine di 100 fF, quindi per poter avere un valore di impedenza ragionevole si devono utilizzare frequenze comprese tra 10 KHz e 100 MHz [7].

Assumendo che l'amperometro di figura 2.1 sia ideale, la caduta ai suoi capi sarà nulla, di conseguenza la tensione V_{SM} cadrà interamente ai capi della capacità C_X e studiando il circuito nel dominio della frequenza si potrà scrivere:

$$|I| = |V_{SM}| \omega C_X \quad (2.1)$$

ottenendo così una corrente proporzionale alla capacità del sensore. Tale corrente può essere poi convertita in tensione e rilevata mediante un rivelatore di involuppo, oppure mediante un sistema di rilevazione sincrona. In particolare questa seconda soluzione ci permette di ottenere un rapporto segnale-rumore migliore rispetto alla prima ed è quindi preferibile quando i valori di capacità da misurare sono molto piccoli.

Di seguito (figura 2.2) è rappresentato un esempio di sistema per la misura della capacità variabile C_X .

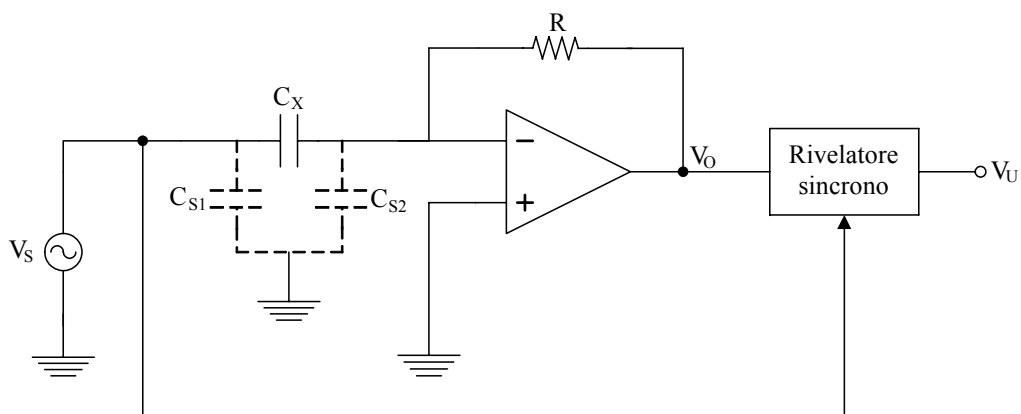


Figura 2.2 Sistema di misura della capacità C_X con rivelatore sincrono.

Le capacità C_{S1} e C_{S2} di figura 2.2 sono tratteggiate perché rappresentano le capacità parassite del sensore.

Il generatore di tensione sinusoidale V_S è applicato alla capacità del sensore C_X e produce al suo interno una corrente i_X . Quest'ultima viene poi convertita in tensione dall'amplificatore transresistivo costituito da un operazionale reazionato attraverso la resistenza R .

Quindi la tensione di uscita dell'operazionale (indicata in figura con V_0) risulta essere:

$$V_0 = -j\omega V_S C_X R \quad (2.2)$$

e la tensione di uscita dell'intero sistema sarà:

$$V_U = |V_S| \omega C_X R \quad (2.3)$$

Si osservi che con questa configurazione le capacità parassite del sensore, C_{S1} e C_{S2} , non danno alcun contributo al segnale di uscita perché: C_{S1} è in parallelo ad una sorgente di tensione, mentre C_{S2} ha entrambi i terminali a massa per il corto circuito virtuale applicato all'ingresso dell'operazionale.

Il rivelatore sincrono che segue l'amplificatore transresistivo in figura 2.2 può essere realizzato con un moltiplicatore seguito da un filtro passa basso.

Un passaggio critico nel progetto di un sistema del tipo appena descritto è il dimensionamento della resistenza R . Infatti da un lato, avere R grande ci può essere utile per avere un segnale di uscita più robusto al rumore, però dall'altro aumentare troppo la resistenza R può portare problemi di instabilità. Per chiarire meglio quanto appena detto studiamo brevemente il rumore in uscita dall'amplificatore transresistivo.

Per studiare l'effetto del rumore sull'uscita come prima cosa si deve disattivare il generatore V_S , poi si applicano i generatori di rumore V_n , i_{n1} ed i_{n2} , come mostrato in figura 2.3, e infine si calcola l'effetto che i singoli generatori hanno sull'uscita.

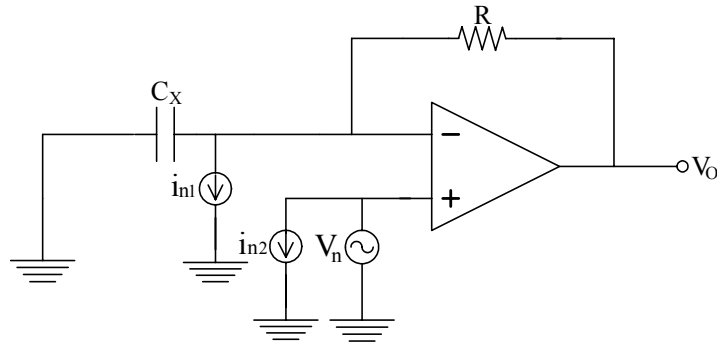


Figura 2.3 Schema circuitale per il calcolo dell'effetto del rumore sull'uscita del sistema

La tensione di uscita dovuta al generatore di tensione di rumore V_n sarà:

$$V_0(V_n) = V_n \left(1 + \frac{R}{1/j\omega C} \right) = V_n (1 + j\omega RC) \quad (2.4)$$

Nell'ipotesi in cui la frequenza di lavoro sia tale che $\omega RC \gg 1$ si può dire che:

$$V_0(V_n) \cong V_n \quad (2.5)$$

Per quanto riguarda invece i generatori di corrente di rumore: i_{n2} non ha effetti sull'uscita (sotto l'ipotesi di validità del cortocircuito virtuale), mentre i_{n1} origina una tensione di uscita pari a :

$$V_0(I_n) = R \cdot i_n \quad (2.6)$$

Se le variazioni utili di capacità corrispondenti ad una variazione di tensione di uscita ΔV_0 , hanno valore ΔC_X , affinché il rumore sia trascurabile occorre che:

$$\begin{aligned} \Delta V_0 &= |V_S| \cdot \omega RC \cdot \Delta C_X \gg V_n \\ \Delta V_0 &= |V_S| \cdot \omega RC \cdot \Delta C_X \gg R \cdot i_n \end{aligned} \quad (2.7)$$

Poiché la variazione di capacità ΔC_X è piccola e il modulo della tensione di ingresso V_S non può essere aumentato troppo perché è vincolato dalla tensione di alimentazione, risulta evidente che affinché la prima relazione di formula (2.7) sia

rispettata è conveniente scegliere R grande. Mentre, affinché la seconda relazione sia rispettata, occorre usare mosfet caratterizzati da una corrente di rumore i_n piccola.

Tuttavia un aumento eccessivo di R, oltre ad aumentare il rumore termico dovuto alla resistenza stessa, provoca problemi per ciò che riguarda la stabilità del sistema. Infatti il guadagno di anello ha un polo dovuto all'operazionale ed un altro polo dovuto alla resistenza R e alla capacità C_X :

$$f_p = \frac{1}{2\pi RC_X} \quad (2.8)$$

Affinché il sistema sia stabile tale polo deve trovarsi a frequenza molto più grande del prodotto guadagno banda f_0 :

$$f_p = \frac{1}{2\pi RC_X} \gg f_0 \quad (2.9)$$

E' evidente che all'aumentare della resistenza R tale condizione diventa sempre più critica e il sistema tende all'instabilità. Questo problema costituisce una limitazione importante all'uso dell'impedenziometro per sensori di piccole capacità.

Convertitori a condensatori commutati (switched-capacitors)

In questo tipo di interfacce viene sfruttato il principio del trasferimento di carica per convertire un segnale di capacità in uno di tensione.

Sia C_X la capacità che vogliamo misurare e che supponiamo di collegare ad un nodo a tensione nota, ad esempio V_1 . In tali condizioni la carica Q_1 che si accumula sulle armature del condensatore sarà pari a:

$$Q_1 = C_X V_1 \quad (2.10)$$

Dopo un certo intervallo di tempo si disconnetta tale capacità dal nodo a tensione V_1 e la si colleghi ad un altro nodo sempre a tensione nota, ma pari a V_2 , come raffigurato in figura 2.4. E' evidente che ora la carica accumulata sulle armature della capacità sarà:

$$Q_2 = C_x V_2 \quad (2.10)$$

Come conseguenza delle due operazioni appena descritte si è avuto un trasferimento di carica dal nodo a tensione V_1 a quello a tensione V_2 pari a:

$$\Delta Q = C_x (V_1 - V_2) \quad (2.11)$$

Quindi, commutando il condensatore C_x tra due nodi di tensione nota, la carica che si trasferisce da un nodo all'altro è direttamente proporzionale alla capacità incognita ed è questo il principio sfruttato dai circuiti switched capacitors.

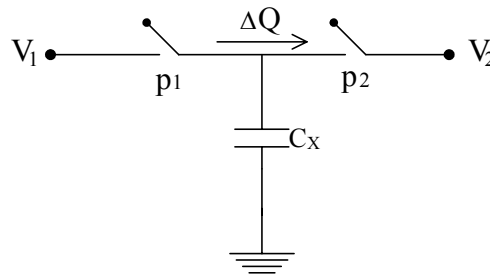


Figura 2.4 Principio di funzionamento di un circuito a condensatori commutati

In figura 2.4 si è adottata la convenzione, che verrà utilizzata anche in seguito in questo capitolo, di indicare vicino ad ogni interruttore la sigla corrispondente alla fase di funzionamento in cui l'interruttore è chiuso. Così ad esempio l'interruttore di destra è chiuso durante la prima fase di funzionamento, indicata con p_1 , ed aperto durante la seconda.

Se le due fasi p_1 e p_2 non sono sovrapposte ed hanno periodo T , allora il comportamento del sistema è quello di un resistore di valore dipendente dalla frequenza di commutazione degli interruttori. Si può valutare la resistenza

equivalente del sistema dividendo la differenza di tensione tra i due nodi per il valor medio della corrente che scorre attraverso gli stessi e si ottiene:

$$R_{eq} = \frac{(V_1 - V_2)}{\frac{\Delta Q}{T}} \quad (2.12)$$

Combinando tale espressione con quella della capacità C_X ricavata dalla formula (2.11) abbiamo:

$$R_{eq} = \frac{(V_1 - V_2)T}{\Delta Q} = \frac{1}{C_X} T = \frac{1}{C_X f} \quad (2.13)$$

Quindi un circuito a condensatori commutati, realizzato solo con condensatori ed interruttori, può essere utilizzato in luogo di una resistenza. Ciò è vantaggioso perché realizzare dei resistori integrati non è facile per due motivi fondamentali:

- resistori di valore elevato occupano troppo spazio sul chip e quindi sono difficilmente integrabili;
- le inevitabili variazioni di processo provocano fluttuazioni del valore dei resistori integrati rendendoli così poco affidabili.

Lo schema di principio di un sistema a condensatori commutati che effettua una lettura differenziale della capacità C_X è mostrato in figura 2.5.

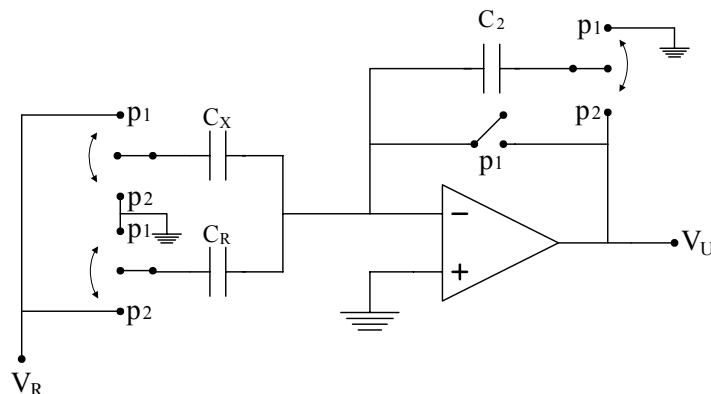


Figura 2.5 Schema di principio di un sistema a condensatori commutati per la lettura della capacità C_X .

Durante la fase p_1 di funzionamento la capacità C_X è collegata tra la massa virtuale e la tensione di riferimento V_R , mentre C_R è collegata tra massa virtuale e massa, ed infine C_2 è collegata tra massa e massa virtuale, come mostrato in figura 2.6-a.

Scrivendo le espressioni delle tensioni ai capi di tali capacità ed assumendo come polarità quelle indicate in figura 2.6-a, si ottiene:

$$\begin{aligned}
 V_U^{(1)} &= -V_{io} \\
 V_{C_X}^{(1)} &= -V_{io} - V_R \\
 V_{C_R}^{(1)} &= -V_{io} \\
 V_{C_2}^{(1)} &= +V_{io}
 \end{aligned}
 \tag{2.14}$$

Dove con V_{io} si è indicata la tensione di offset presente tra gli ingressi dell'operazionale.

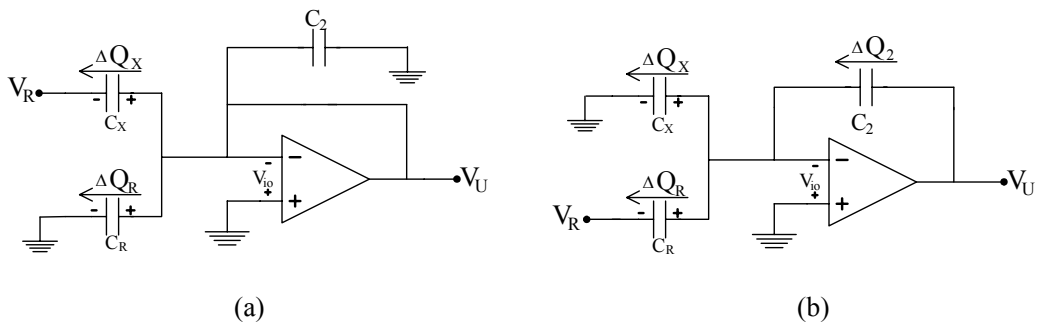


Figura 2.6 Sistema per la lettura della capacità C_X durante la fase di funzionamento p_1 (a) e durante la fase di funzionamento p_2 (b).

Nella successiva fase di funzionamento, indicata con p_2 , le tensioni applicate a C_X e C_R si scambiano reciprocamente. Così C_X si viene a trovare tra massa virtuale e massa, mentre C_R tra massa virtuale e V_R . Anche la tensione ai capi di C_2 commuta perché tale capacità è ora collegata tra l'uscita e massa virtuale. Quindi le nuove espressioni per la tensione di uscita e per quella ai capi di C_2 sono:

$$\begin{aligned}
 V_U^{(2)} &= V_U^{(1)} + V_{C_2}^{(2)} \\
 V_{C_2}^{(2)} &= V_{C_2}^{(1)} + \frac{\Delta Q_2}{C_2}
 \end{aligned}
 \tag{2.15}$$

Dove ΔQ_2 è la variazione di carica sperimentata dalla capacità C_2 passando dalla prima alla seconda fase. Tale variazione ΔQ_2 si può esprimere scrivendo il bilancio delle cariche in corrispondenza del terminale invertente dell'operazionale:

$$\Delta Q_2 = \Delta Q_X + \Delta Q_R \tag{2.16}$$

Dove ΔQ_X e ΔQ_R sono le variazioni di carica sperimentate dalla capacità C_X e dalla capacità C_R passando dalla prima e la seconda fase. Tali variazioni di carica possono essere espresse in funzione delle tensioni ai capi delle capacità come:

$$\begin{aligned}
 \Delta Q_X &= C_X \cdot \Delta V_{C_X} = C_X (V_{C_X}^{(2)} - V_{C_X}^{(1)}) = C_X (-V_{io} + V_{io} + V_R) = C_X V_R \\
 \Delta Q_R &= C_R \cdot \Delta V_{C_R} = C_R (V_{C_R}^{(2)} - V_{C_R}^{(1)}) = C_R (-V_{io} - V_R + V_{io}) = -C_R V_R
 \end{aligned}
 \tag{2.17}$$

Di conseguenza ΔQ_2 diventa:

$$\Delta Q_2 = (C_X - C_R) V_R \tag{2.18}$$

Combinando poi l'espressione appena trovata con le formule (2.15) si ottiene:

$$\begin{aligned}
 V_{C_2}^{(2)} &= V_{io} + \frac{(C_X - C_R) V_R}{C_2} \\
 V_U^{(2)} &= -V_{io} + V_{C_2}^{(2)} = -V_{io} + V_{io} + \frac{(C_X - C_R) V_R}{C_2} = \frac{(C_X - C_R) V_R}{C_2}
 \end{aligned}
 \tag{2.19}$$

Come si può vedere dalla formula (2.19), il circuito a condensatori commutati appena descritto ci permette di ottenere una tensione di uscita proporzionale alla differenza di capacità $(C_X - C_R)$.

L'utilizzo di una interfaccia di tipo switched-capacitors è vantaggioso perchè permette di effettuare una lettura differenziale di capacità in maniera semplice, con basso consumo di potenza e con eliminazione dell'offset. In realtà vengono

eliminate anche le componenti a bassa frequenza del rumore flicker ($f \ll f_{CK}$), mentre quelle ad alta frequenza subiscono il fenomeno dell'aliasing e fanno sentire il loro effetto sul segnale di uscita.

Per contro i principali problemi dei circuiti a condensatori commutati sono: il clock feedthrough, l'iniezione di carica dovuta alla commutazione degli interruttori e il rumore $\frac{KT}{C}$, che è il rumore termico campionato.

Una tecnica alternativa quella attuata dal circuito "CAV424" che descriveremo qui di seguito.

Convertitore capacità-tensione "CAV424"

Il convertitore "CAV424" è un prodotto della "Analog Microelectronics" presente attualmente in commercio[8]. Esso è un convertitore capacità-tensione integrato in cui l'intero circuito di condizionamento del segnale capacitivo è realizzato in un unico chip.

Il "CAV424" rileva la variazione relativa della capacità del sensore rispetto ad una capacità di riferimento di valore fissato, ed è ottimizzato per capacità tra 10pF e 2nF con variazioni relative comprese tra il 5% e il 100%.

Lo schema a blocchi del convertitore è riportato nella seguente figura (figura 2.7).

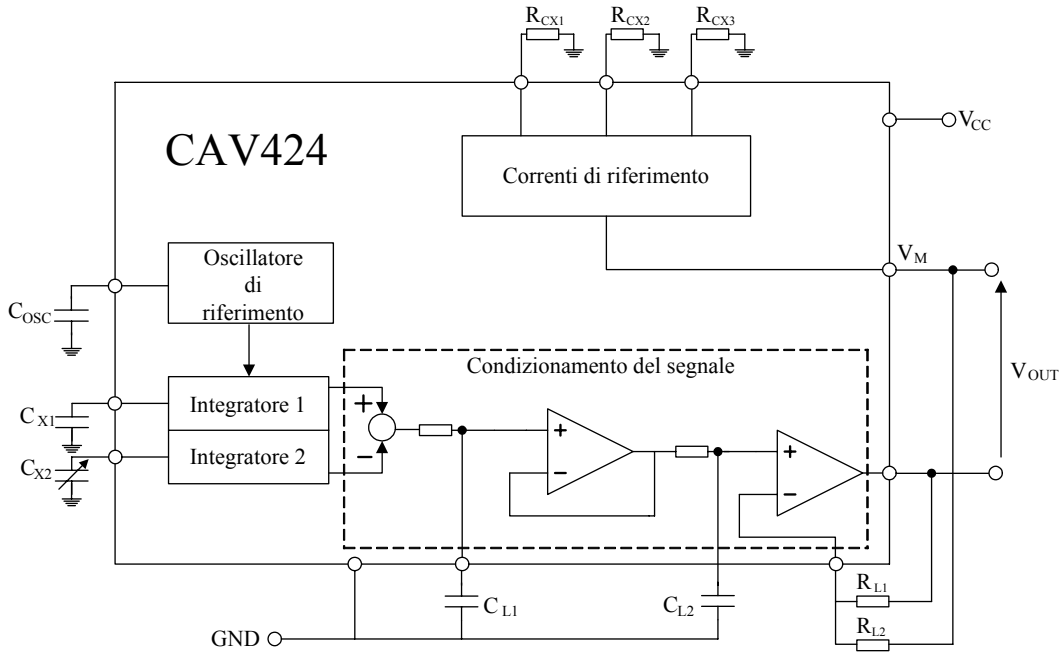


Figura 2.7 Schema a blocchi del convertitore CAV424 della “Analog Microelectronics”

Principio di funzionamento

L'oscillatore di riferimento di figura 2.7 è un oscillatore a frequenza variabile fissata dalla capacità esterna C_{OSC} . La sua frequenza di oscillazione risulta essere:

$$f_{OSC} = \frac{I_{OSC}}{2\Delta V_{OSC} \cdot C_{OSCTOT}} \quad (2.20)$$

Dove I_{OSC} è la corrente di riferimento dell'oscillatore ed è determinata dalla tensione V_M e dalla resistenza esterna R_{OSC} , secondo la relazione:

$$I_{OSC} = \frac{V_M}{R_{OSC}} \quad (2.21)$$

Mentre C_{OSCTOT} è la capacità complessiva caricata dalla corrente I_{OSC} , e comprende quindi C_{OSC} ma anche le capacità parassite del circuito integrato C_{PAR} , per cui:

$$C_{OSCTOT} = C_{OSC} + C_{PAR} \quad (2.22)$$

Infine ΔV_{OSC} è l'escursione in tensione della forma d'onda prodotta in uscita dall'oscillatore stesso.

Tale oscillatore pilota due integratori (integratore 1 ed integratore 2 di figura 2.7) simmetrici e sincroni con il clock dell'intero sistema. Essi danno luogo, in uscita, a due segnali di ampiezza determinata rispettivamente dalle capacità C_{X1} e C_{X2} ; dove C_{X1} è la capacità di riferimento, mentre C_{X2} è la capacità di misura e quindi è variabile.

Ogni integratore carica la propria capacità fino ad arrivare ad un valore massimo di tensione pari a:

$$V_{CX} = \frac{I_{CX}}{2f_{OSC}(C_X)} + V_{C0} \quad (2.23)$$

Dove V_{C0} è la tensione iniziale ai capi della capacità, mentre I_{CX} è la corrente di riferimento dell'integratore ed è determinata da una resistenza esterna R_X e dalla tensione di riferimento V_M secondo la relazione:

$$I_X = \frac{V_M}{R_X} \quad (2.24)$$

Le tensioni di uscita degli integratori vanno in ingresso ad un opportuno sommatore che ne realizza la differenza (V_{DIFF}):

$$V_{DIFF} = (V_{CX1} - V_{CX2}) \quad (2.25)$$

In tal modo si ottiene un segnale proporzionale alla differenza $\left(\frac{1}{C_{X1}} - \frac{1}{C_{X2}} \right)$. Il

circuito di condizionamento del segnale successivo al sommatore rileva il valor medio del segnale differenza mediante l'utilizzo di un filtro passa basso del secondo ordine. E' importante dimensionare il filtro in modo che la sua frequenza

di taglio (f_c) sia più piccola della frequenza di lavoro dell'oscillatore (f_{osc}), ma più grande della frequenza di rilevazione richiesta per l'intero sistema (f_s):

$$f_s < f_c \ll f_{osc} \quad (2.26)$$

Il segnale in uscita dal filtro passa basso risulta attenuato e pari a:

$$V_{OUT,0} = \frac{3}{8}(V_{CX1} - V_{CX2}) \quad (2.27)$$

Dal momento che $V_{OUT,0}$ potrebbe essere piccolo, esso è amplificato mediante l'utilizzo di un amplificatore non invertente con guadagno determinato dalle resistenze R_{L1} ed R_{L2} di figura 2.7.

$$A_v = 1 + \frac{R_{L1}}{R_{L2}} \quad (2.28)$$

Quindi, concludendo, la tensione di uscita risulta essere:

$$V_{OUT} = A_v \cdot \frac{3}{8}(V_{CX1} - V_{CX2}) \quad (2.29)$$

Si osservi che il valore del guadagno può essere variato semplicemente agendo sulle resistenze esterne R_{L1} ed R_{L2} .

2.2 Convertitori capacità-frequenza

La conversione di una variazione di capacità in una variazione di frequenza è un metodo che può essere utile per misurare piccoli valori di capacità in maniera precisa. Per cui in questo paragrafo illustreremo alcuni dei principali metodi di conversione da capacità a frequenza presenti in letteratura.

Tecnica del “ring oscillator”

Uno dei metodi più semplici per progettare un circuito di lettura per sensori capacitivi è quello basato sull'utilizzo di un oscillatore ad anello o “ring

oscillator” [9]. La figura 2.8 mostra un “ring oscillator” a sei stadi dove ogni stadio è costituito da un inverter. La capacità C disegnata in linea tratteggiata all’uscita di ogni inverter rappresenta il carico pilotato da ogni stadio.

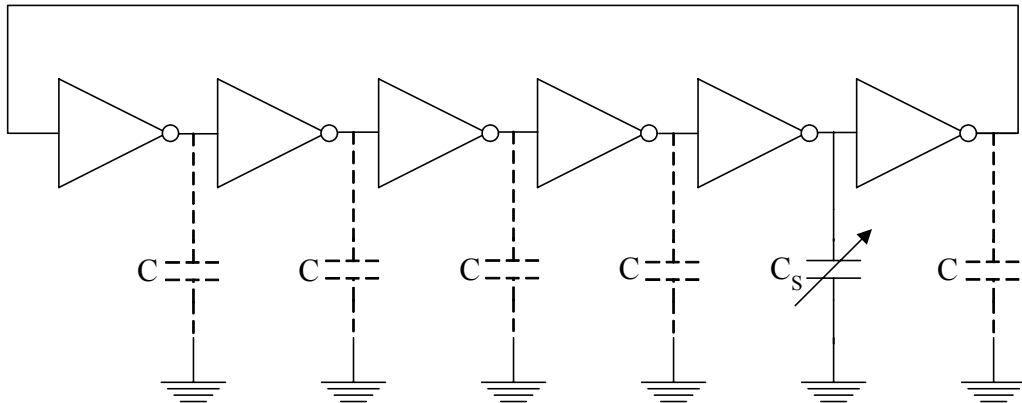


Figura 2.8 Schema di un circuito di tipo “ring oscillator” a sei stadi

La frequenza di oscillazione f è data da:

$$f = \frac{1}{2N \cdot t_p} \quad (2.30)$$

dove N è il numero di stadi e t_p è il ritardo di propagazione di ogni porta.

Per un inverter CMOS classico il ritardo di propagazione può essere espresso come:

$$t_p = \frac{2C}{(V_{DD} - V_t)\beta_n} \quad (2.31)$$

dove $\beta_n = \beta_p$ è il parametro di transconduttanza dei mosfet che costituiscono l’inverter stesso.

Sostituendo l’espressione del tempo di propagazione in quella della frequenza di formula (2.30) si ottiene:

$$f = \frac{(V_{DD} - V_t)\beta_n}{4N \cdot C} \quad (2.32)$$

Come si può vedere la frequenza di oscillazione dipende dalla capacità di carico di ciascuno stadio, se questa è fatta variare aggiungendo ad uno dei nodi una capacità esterna C_S variabile (vedi figura 2.8), la frequenza si riduce. Il risultato è che attraverso la variazione della frequenza f si misura la variazione della capacità C_S .

Convertitore capacità-frequenza a condensatori commutati

Di seguito sarà descritto un convertitore capacità-frequenza integrato realizzato con un oscillatore sinusoidale a condensatori commutati [10].

Il circuito è basato su due integratori switched-capacitors chiusi in un anello di reazione, ed è dotato di un sistema per la stabilizzazione dell'ampiezza dell'oscillazione indicato in figura 2.9 con AGC, "Automatic gain control".

Tale sistema di controllo dell'ampiezza impiega la tecnica del "sample and hold", per cui l'uscita dell'oscillatore V_1 è campionata attorno al suo massimo ed è comparata con la tensione di riferimento indicata in figura 2.9 con V_{ref} .

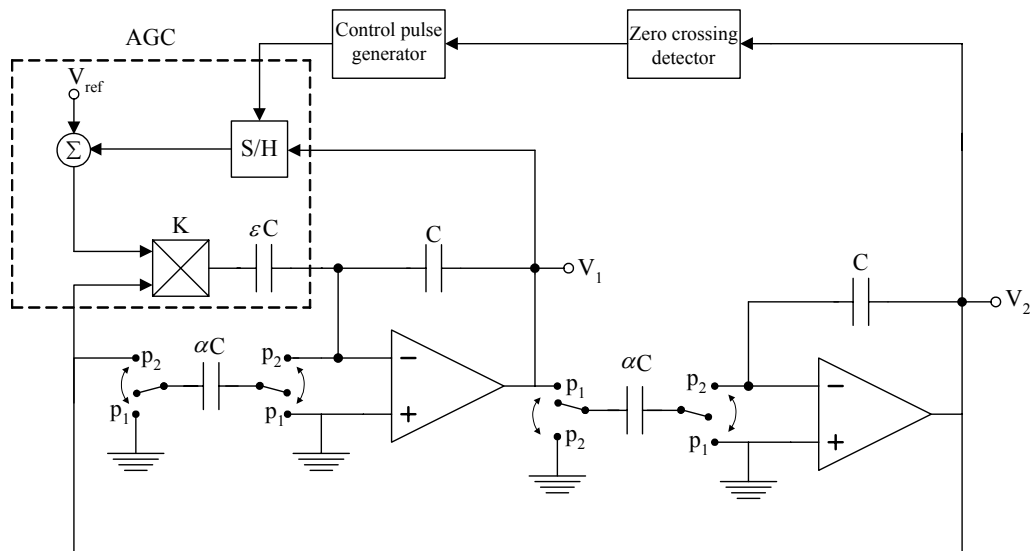


Figura 2.9 Schema a blocchi del convertitore capacità-frequenza a condensatori commutati con sistema di controllo dell'ampiezza dell'oscillazione "AGC".

Il segnale errore ottenuto dalla differenza tra V_1 campionata (\hat{V}_1) e V_{ref} controlla il guadagno "k" di un moltiplicatore, che, assieme alla capacità ϵC , chiude l'anello di retroazione impiegato per il controllo dell'ampiezza. La capacità ϵC simula la presenza di "perdite" nel risonatore. Tali "perdite" saranno positive o negative a seconda del segno della differenza ($V_1 - V_{ref}$). Più precisamente, se $\hat{V}_1 < V_{ref}$ le perdite sono negative e l'ampiezza dell'oscillazione è incrementata, se invece $\hat{V}_1 > V_{ref}$ le perdite sono positive e l'ampiezza è decrementata.

Il primo integratore a condensatori commutati di figura 2.9 è invertente, mentre il secondo è non invertente. Di conseguenza le loro uscite V_1 e V_2 sono sfasate di 90° e l'istante in cui V_1 ha il suo valore massimo coincide con quello in cui V_2 è nulla. Per questo, l'istante di campionamento di V_1 è determinato rivelando l'attraversamento dello zero di V_2 , come mostrato in figura 2.9.

Scrivendo le equazioni che regolano il trasferimento di carica in un intero ciclo di clock, ed applicando poi la trasformata Z si ottiene:

$$\begin{aligned} zV_1 &= V_1 - z\alpha V_2 - (z-1)\delta V_2 \\ zV_2 &= V_2 + \alpha V_1 \end{aligned} \quad (2.33)$$

Dove il termine $\delta = K \cdot \epsilon \cdot (\hat{V}_1 - V_{ref})$ rappresenta le perdite, mentre α è un rapporto di capacità. Combinando le due equazioni di formula (2.33) si ottiene l'equazione caratteristica del circuito che sarà:

$$V_1 \{z^2 - [2 - \alpha(\alpha + \delta)]z + (1 - \alpha\delta)\} = 0 \quad (2.34)$$

Le radici di tale equazione caratteristica sono:

$$z_{1,2} = R \cdot e^{\pm j\theta} \quad (2.35)$$

dove si è assunto:

$$\begin{aligned} R^2 &= 1 - \alpha\delta \\ 2R \cos \theta &= 2 - \alpha(\alpha + \delta) \end{aligned} \quad (2.36)$$

Il corrispondente segnale tempo discreto sarà:

$$V_1(n) = \hat{V}_0 \cdot R^n \cdot \cos(\theta \cdot n + \phi_0) \quad (2.37)$$

In cui la variabile indipendente n è un intero, mentre \hat{V}_0 e ϕ_0 dipendono dalle condizioni iniziali. La sequenza sinusoidale di formula (2.37) è quindi incrementata o decrementata a seconda del valore di δ . Se δ è negativo, allora $R > 1$ (come è evidente dalla (2.36)) e l'ampiezza del campione aumenta, se al contrario δ è positivo, allora $R < 1$ e l'ampiezza del campione diminuisce.

Assumendo che il periodo di campionamento sia $T = 1/f_c$, quando l'ampiezza della sinusoide di uscita è costante (ossia siamo nelle condizioni: $\hat{V}_1 = V_{\text{ref}} \rightarrow \delta = 0 \rightarrow R = 1$) la frequenza di oscillazione è data da:

$$f_0 = \frac{\theta_0}{2\pi} \cdot f_c = \frac{f_c}{2\pi} \cdot \arccos\left(1 - \frac{\alpha^2}{2}\right) = \frac{f_c}{\pi} \cdot \arcsin\left(\frac{\alpha}{2}\right) \quad (2.38)$$

Per piccoli valori di valori di α si può effettuare l'approssimazione $\arcsin\left(\frac{\alpha}{2}\right) \cong \frac{\alpha}{2}$ e quindi la frequenza di oscillazioni risulta essere:

$$f_0 \cong \alpha \cdot \frac{f_c}{2\pi} \quad (2.39)$$

L'errore relativo causato dall'approssimazione vale all'incirca $\frac{\alpha^2}{24}$.

Per misurare una capacità C_X sfruttando il metodo appena descritto, si pone tale capacità al posto di αC in ognuno dei due integratori. In tal caso si ottiene:

$$f_0 = \frac{C_X}{C} \frac{f_c}{2\pi} \quad (2.40)$$

Per valutare con una precisione di N bit il rapporto C_X/C , ovvero il rapporto f_0/f_c , è necessario contare il numero di periodi di oscillazione M inclusi in $(2^N + K)$ cicli di clock. Dove K è il più piccolo numero di cicli che deve essere aggiunto a 2^N per

far si che M sia un intero (in generale $K \ll 2^N$). Il valore di C_X è dato dalla seguente relazione:

$$\frac{C_X}{C} = \frac{2\pi f_0}{f_c} = \frac{2\pi M}{(2^N + k)} \quad (2.41)$$

Quindi il tempo necessario per effettuare una conversione da capacità a frequenza sarà approssimativamente:

$$T_{CONV} = \frac{(2^N + K)}{f_c} \cong \frac{2^N}{f_c} \quad (2.42)$$

E' facile vedere che all'aumentare della risoluzione aumenta il tempo di conversione, e quindi si limita la banda del convertitore. Assumendo una frequenza di clock massima di qualche MHz, un convertitore a 16 bit difficilmente supera i 10 Hz di banda, mentre un convertitore a 10 bit opera in una banda di all'incirca 1 KHz.

E' bene sottolineare che effetti di non idealità, quali il fenomeno del "clock feedthrough" e la tensione di offset dell'amplificatore operazionale, influenzano l'ampiezza dell'oscillazione, ma non la sua frequenza. Il guadagno finito A dell'operazionale introduce invece un errore sulla frequenza di oscillazione dell'ordine di $1/A$, ma questo, almeno in prima approssimazione, non influenza la linearità della conversione.

Quindi utilizzando questo oscillatore a condensatori commutati con sistema di stabilizzazione dell'ampiezza AGC, si realizza un convertitore capacità-frequenza le cui principali caratteristiche sono:

- bassa sensibilità alle capacità parassite;
- bassa sensibilità al fenomeno del "clock feedthrough" e alla tensione di offset degli amplificatori e del comparatore;
- frequenza dell'oscillazione di uscita che varia linearmente con la capacità misurata;

- basso consumo di potenza;
- risoluzione inversamente proporzionale alla banda del sistema.

2.3 Introduzione ai convertitori capacità-PWM

Come già detto nei paragrafi precedenti, si possono utilizzare diverse soluzioni circuitali per misurare la capacità di un sensore, ed è preferibile scegliere una o l'altra a seconda delle differenti esigenze di precisione, banda, consumo di potenza nonché del tipo di segnale che si desidera avere in uscita.

La maggior parte dei sensori presenti sul mercato sono caratterizzati da uscita analogica. Essa è particolarmente adatta quando il sensore deve essere utilizzato in un sistema analogico oppure quando la funzione che deve essere implementata è semplice, come ad esempio la produzione di un segnale di allarme non appena la grandezza misurata superi una certa soglia. La conversione da capacità a tensione analogica può essere effettuata utilizzando un impedenziometro oppure circuiti a condensatori commutati (switched-cap), come già visto all'inizio di questo capitolo.

Una uscita digitale può servire quando il sensore è usato in un sistema con soli ingressi digitali, oppure quando il sensore è lontano e si è in presenza di rumore elettromagnetico. Essa può essere ottenuta, ad esempio, producendo una uscita analogica e poi convertendola in digitale. Tuttavia questo modo di procedere complica il progetto dell'interfaccia e comporta una maggiore area occupata ed un maggior consumo di potenza. Per di più, se il sensore è caratterizzato da uscita digitale, chi riceve il segnale deve supportare il medesimo protocollo di trasferimento dati del sensore stesso.

Una soluzione intermedia tra uscita analogica e digitale è rappresentata da un segnale di tipo **PWM** (Pulse Width Modulation), che consiste in una ripetizione di

impulsi rettangolari a frequenza fissata e con una durata proporzionale alla grandezza fisica rilevata.

I vantaggi nell'utilizzo di un segnale PWM sono dovuti al fatto che:

- è abbastanza robusto dal punto di vista del rumore, quindi può essere trasmesso su canali moderatamente rumorosi (come cavi lunghi o connessioni RF);
- può essere letto facilmente usando un microcontrollore che abbia una frequenza di clock sufficientemente alta da poter misurare la durata dell'impulso con la precisione desiderata;
- può essere convertito in un segnale analogico semplicemente con una operazione di filtraggio.

Nei paragrafi seguenti presenteremo due esempi di convertitori capacità-PWM presenti in letteratura.

2.4 Esempio di convertitore capacità-duty cycle

In questo paragrafo sarà descritta una interfaccia di lettura per sensori capacitivi in grado di fornire direttamente una uscita digitale. Di fatti, il circuito che andremo a presentare modula il duty cycle di un'onda quadra di riferimento in funzione del valore della capacità del sensore [11]. L'informazione contenuta nel duty cycle potrà poi essere convertita in un segnale digitale mediante l'utilizzo di un opportuno convertitore.

Il circuito di interfaccia consiste in due parti, una analogica ed una digitale. La prima è utilizzata per la conversione capacità-duty cycle ed è quella rappresentata in figura 2.10, la seconda invece è costituita dal convertitore utilizzato per la misura del duty cycle. Di tale interfaccia è stato realizzato un prototipo a componenti discreti che permette di raggiungere una risoluzione di 13 bit con una banda di 1KHz.

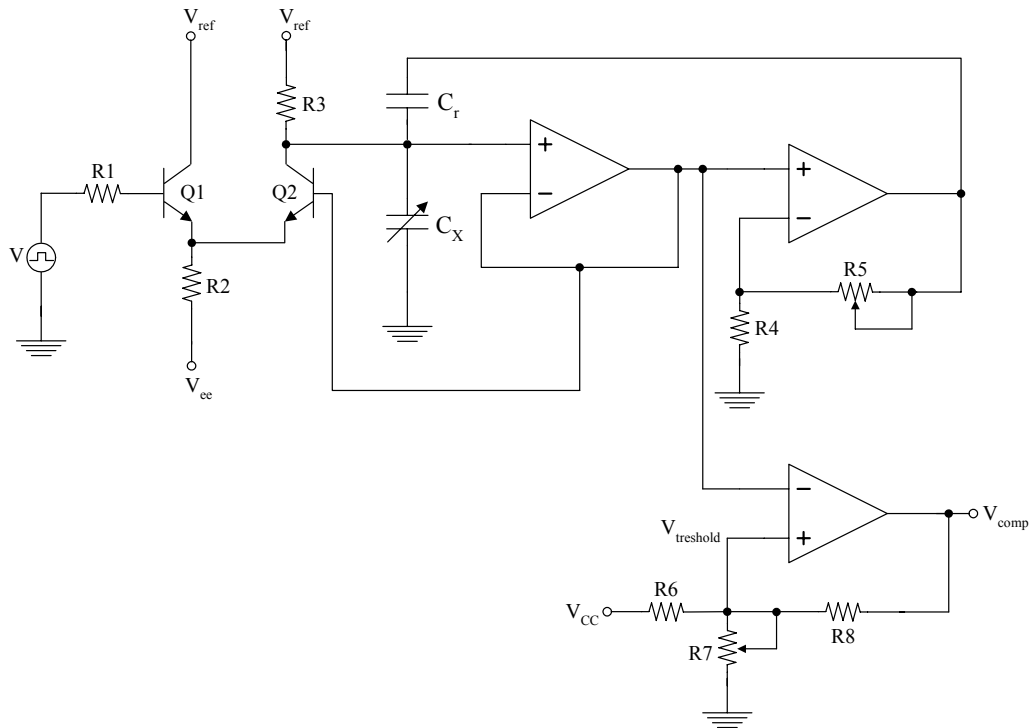


Figura 2.10 Schema a blocchi del convertitore capacità-duty cycle a componenti discreti

I transistori Q1 e Q2 di figura 2.10 hanno la funzione di due interruttori. In particolare Q1 è pilotato da un segnale di tipo onda quadra e determina l'accensione o meno di Q2.

La capacità indicata con C_x è la capacità del sensore ed ha un estremo collegato a massa e l'altro collegato sul terminale non invertente di un operazionale montato a buffer. Quest'ultimo forma, insieme all'amplificatore non invertente seguente e alla capacità C_r di riferimento, un anello di reazione il cui scopo sarà spiegato in seguito. Infine l'ultimo stadio del circuito è un comparatore utilizzato per produrre l'impulso di uscita.

Quando il segnale sulla base di Q1 è alto, il transistor è acceso e funziona come un interruttore chiuso. Di conseguenza il segnale sull'emettitore di Q1 e di Q2 è all'incirca uguale a V_{ref} e quindi Q2 è forzato ad essere spento ed inizia la fase di

carica della capacità C_X . Durante tutto il periodo di carica il circuito si può ricondurre a quello di figura 2.11, dove i due operazionali che formano l'anello di reazione sono stati sostituiti da un unico blocco di guadagno A .

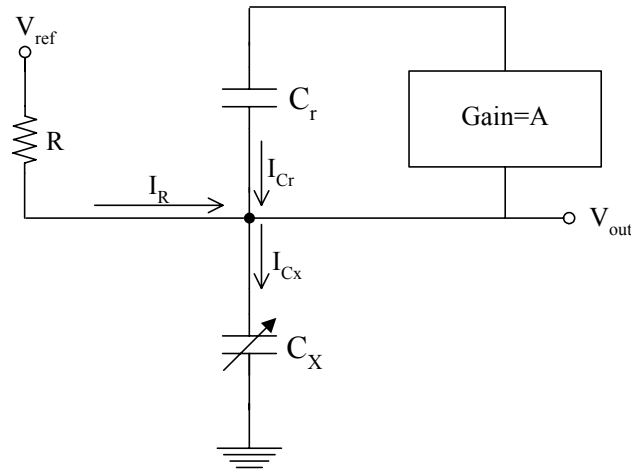


Figura 2.11 Rappresentazione schematica del circuito di figura 2.10 durante la fase di carica della capacità C_X .

Applicando la legge di Kirchoff al nodo indicato in figura 2.11 con V_{OUT} , otteniamo:

$$I_R + I_{C_r} = I_{C_x} \quad (2.43)$$

Dove I_R è la corrente che scorre nella resistenza R , I_{C_r} è la corrente che attraversa la capacità di riferimento C_r ed infine I_{C_x} è la corrente di carica della capacità C_X . Sostituendo alla formula (2.43) le espressioni delle correnti in funzione delle tensioni si avrà:

$$\frac{V_{ref} - V_{out}}{R} + C_r \frac{d}{dt} (AV_{out} - V_{out}) = C_X \frac{dV_{out}}{dt} \quad (2.44)$$

All'aumentare della tensione ai capi di C_X aumenta anche la tensione V_{out} di figura 2.11. Fin tanto che è verificata la condizione $V_{out} < V_{threshold}$ l'uscita del comparatore di figura 2.10 rimane alta, quando poi V_{out} arriva ad eguagliare

$V_{\text{threshold}}$ l'uscita del comparatore commuta verso il basso. Quindi la durata dell'impulso di uscita equivale al tempo T impiegato dalla tensione ai capi di C_X a raggiungere $V_{\text{threshold}}$.

Risolvendo l'equazione (2.44) si ricava la seguente espressione di T :

$$T = R \cdot [C_X - (A-1)C_r] \cdot \ln \left(\frac{V_{ref}}{V_{ref} - V_{threshold}} \right) \quad (2.45)$$

Senza la presenza dell'anello di reazione il circuito di carica della capacità C_X sarebbe un semplice circuito RC, quindi T risulterebbe pari a:

$$T = RC_X \cdot \ln \frac{V_{CC}}{V_{CC} - V_{threshold}} \quad (2.46)$$

Dalla formula (2.46) si può vedere che senza l'anello di reazione il tempo di carica della capacità dipende solo da C_X stessa. Di conseguenza esso assume il suo valore minimo T_{min} quando $C_X=C_{X\text{min}}$, e, in modo analogo, assume il suo valore massimo T_{max} quando $C_X=C_{X\text{max}}$. Quindi il range di valori che T può assumere ha una dinamica pari a $(\Delta T = T_{\text{max}} - T_{\text{min}})$. Quest'ultima può essere notevolmente più piccola del valore nominale di T , che si ha quando il sensore è a riposo, e ciò rende difficoltosa la rivelazione della variazione del duty cycle rispetto al valore di riposo. Inoltre la durata di una conversione da capacità a duty cycle deve essere per lo meno T_{min} e questo limita la banda dell'interfaccia.

Invece, utilizzando l'anello di reazione di figura 2.11, il tempo impiegato dalla tensione ai capi di C_X per raggiungere $V_{\text{threshold}}$ dipende linearmente dalla differenza tra C_X stessa e $(A-1)C_r$ come evidente dalla formula (2.45). Questo permette di ridurre il valore nominale di T scegliendo un valore di guadagno A tale che $(A-1)C_r$ sia il più vicino possibile al valore di C_X a riposo. Inoltre il valore di T_{min} non essendo più vincolato a C_{min} può essere ridotto e ciò aumenta la velocità di conversione e quindi la banda del sistema.

Tuttavia da una attenta analisi del circuito di interfaccia appena descritto si possono rilevare alcuni problemi. In primo luogo il fatto che l'anello di reazione introduce una reazione positiva e questa potrebbe portare l'intero sistema all'instabilità. In secondo luogo il fatto che il tempo di carica, che determina il duty cycle dell'onda di uscita, dipende da un prodotto del tipo ($R \cdot C$). Ciò rappresenta un problema perché il valore delle resistenze è fortemente dipendente dalla temperatura e quindi l'interfaccia non fornirà una risposta stabile al variare della temperatura stessa.

2.5 Convertitore capacità-PWM progettato presso il “Laboratorio di tecnologie e microsistemi” dell'Università di Pisa

Di seguito verrà descritto un convertitore capacità-PWM per sensori capacitivi [12] progettato presso l'Università di Pisa e poi realizzato presso la STMicroelectronics con un processo BCD6 (0,35 μm).

Principio di funzionamento e schema elettrico

Il sistema genera un segnale PWM caratterizzato da una relazione lineare tra la durata dell'impulso e la capacità misurata. Il punto di forza del tipo di approccio usato consiste nel fatto che, come vedremo in seguito, la durata dell'impulso di uscita teoricamente dipende solo dal periodo di clock, dalle correnti e da un rapporto di capacità,. Il primo può essere fissato con precisione mediante un oscillatore quarzato, mentre le correnti e il rapporto capacitivo possono essere resi indipendenti dalla temperatura su un ampio range. Quindi il circuito risulta essere intrinsecamente poco sensibile alle variazioni di temperatura. E' proprio questa caratteristica che lo differenzia da altre soluzioni quali ad esempio il metodo del ring-oscillator, o quello visto nel paragrafo precedente che presentano alta sensibilità alla temperatura.

Passiamo ora a descrivere più in dettaglio il circuito vero e proprio.

In generale un sensore capacitivo può essere rappresentato con un circuito equivalente come quello di figura 2.12, dove C_X è l'elemento capacitivo attivo, che misura la variazione della grandezza di interesse, mentre C_{P1} e C_{P2} sono due capacità parassite.

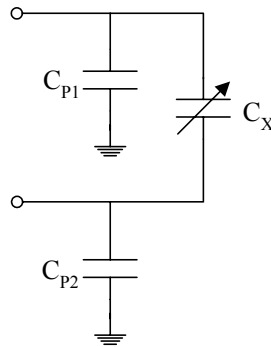


Figura 2.12 Circuito equivalente di un sensore capacitivo

Lo schema circuitale del convertitore capacità-PWM è rappresentato in figura 2.13. In esso per semplicità il sensore è rappresentato con solo C_X , senza gli elementi parassiti. Il condensatore C_X forma un integratore di Miller con l'OTA indicato con INT2 in figura 2.13. Questo permette di ridurre gli effetti dovuti alle capacità parassite del sensore. Infatti C_{P2} si trova sull'uscita dell'integratore ed è quindi a tensione imposta, mentre C_{P1} si trova tra gli ingressi di un OTA e quindi la tensione ai suoi capi tende ad essere nulla.

Il circuito comprende tre integratori di Miller basati su OTA (INT1, INT2 ed INT3 di figura 2.13) ed un transconduttore con due porte di uscita uguali ed in fase, indicato in figura con OTA2. Il blocco "CMP" è un comparatore rigenerativo, mentre C_R e C_I sono due capacità costanti. Gli switch S1-6 sono contrassegnati da etichette che indicano il loro segnale di pilotaggio e V_{ref} è una tensione di riferimento costante. Il segnale PWM di uscita è indicato in figura con V_{PWM} ed è sincrono con il clock dell'intero sistema. Quest'ultimo è un'onda

quadra con duty cycle del 50%. Infine le tre correnti I_{RMP} , I_{DIS} e I_{SH} sono ottenute dalla stessa corrente di riferimento mediante un sistema di specchi.

Vediamo ora di capire come funziona il circuito.

Durante la fase bassa del clock l'interruttore S1 è aperto e l'integratore INT1 integra la corrente I_{RMP} producendo in uscita una rampa crescente di tensione. Durante la fase alta del clock invece S1 è chiuso, il condensatore C_R si scarica rapidamente e la tensione ai suoi capi scende fino a V_{ref} . Quindi la tensione in uscita da INT1 (V_{RMP}) risulta essere un segnale a dente di sega, così come mostrato in figura 2.14.

Supponiamo di partire dalla condizione in cui il clock è basso. In tale situazione S1 è aperto e quindi INT1 integra producendo V_{RMP} mentre INT2 è chiuso in reazione negativa con OTA2.

L'uscita di INT2 (V_X) è collegata all'ingresso invertente di OTA2 ed è quindi forzata a seguire V_{RMP} , collegata all'ingresso non invertente dello stesso OTA2. Per questa ragione l'incremento di V_X e di V_{RMP} durante la fase bassa del clock è il medesimo e possiamo scrivere:

$$\frac{1}{C_X} \int_0^{T_{CK}/2} I_1 dt = \frac{1}{C_R} \int_0^{T_{CK}/2} I_{RMP} dt = \frac{T_{CK} I_{RMP}}{2C_R} \quad (2.47)$$

Durante il funzionamento normale del circuito il segnale res è alto e l'interruttore S6, pilotato da $res\ negato$ è aperto. Quindi durante la fase bassa del clock INT3 integra la differenza tra I_2 , che è una replica di I_1 , e la corrente costante I_{SH} , producendo una tensione di uscita V_1 . Quest'ultima parte dal valore V_{ref} ed aumenta (essendo I_{SH} minore di I_2), come mostrato in figura 2.14.

Di conseguenza la carica accumulata sulla capacità C_1 durante il semiperiodo basso del clock sarà:

$$Q_I = \int_0^{T_{CK}/2} (I_1 - I_{SH}) dt = (I_1 - I_{SH}) \frac{T_{CK}}{2} \quad (2.48)$$

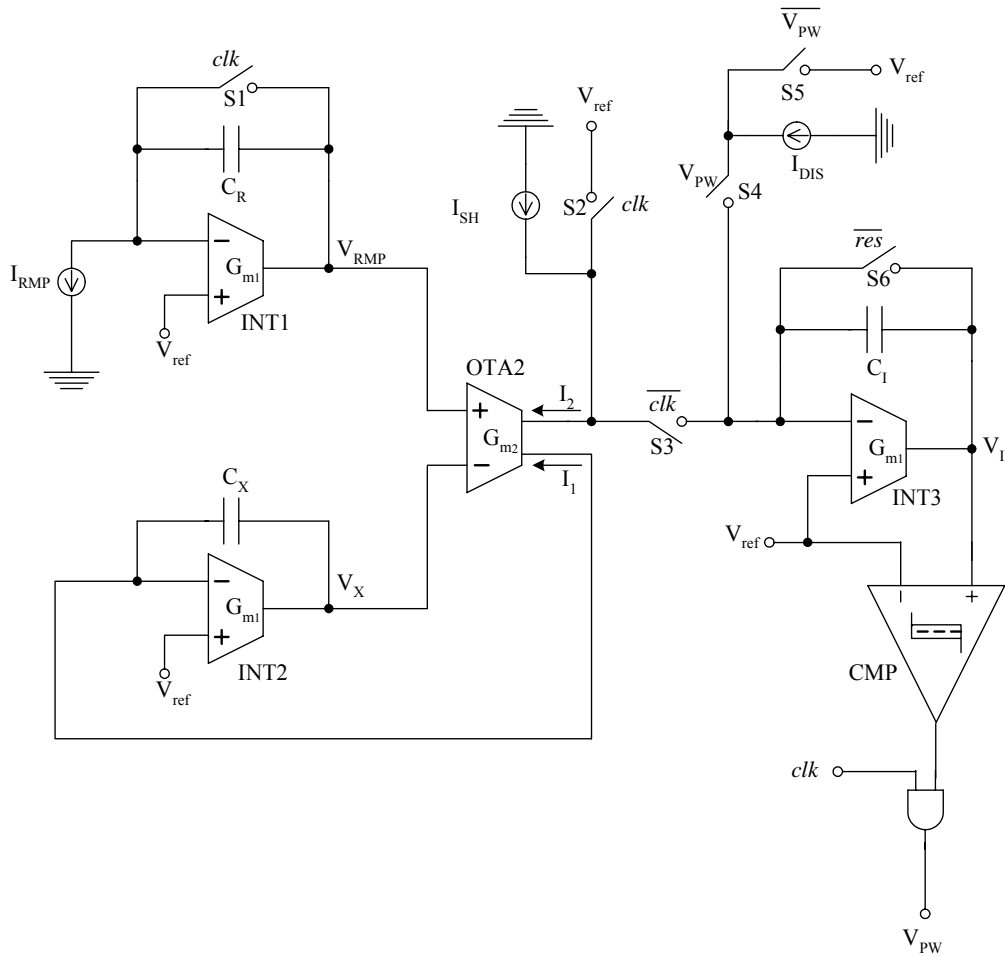


Figura 2.13 Schema a blocchi del convertitore capacità-PWM progettato presso il “Laboratorio di tecnologie e microsistemi” dell’Università di Pisa

La corrente I_{SH} e I_{RMP} sono ottenute dalla stessa corrente di riferimento, così come la corrente I_{DIS} , di cui si parlerà più avanti, per cui si ha:

$$\begin{aligned} I_{SH} &= k_1 I_{RMP} \\ I_{DIS} &= k_2 I_{RMP} \end{aligned} \quad (2.49)$$

Mentre dalla formula (2.47) si può ricavare la seguente espressione per I_1 :

$$I_1 = \frac{C_X}{C_R} I_{RMP} \quad (2.50)$$

Quindi sostituendo la (2.50) e (2.49) nella (2.48) si avrà:

$$Q_I = \frac{T_{CK}}{2} I_{RMP} \left(\frac{C_X}{C_R} - k_1 \right) \quad (2.51)$$

Quando poi il clock passa al livello alto l'interruttore S3 si apre disconnettendo l'uscita dell'OTA2 dall'integratore INT3. Da questo momento in poi la carica accumulata sulla capacità C_1 inizia a scaricarsi attraverso la corrente costante I_{DIS} , connessa all'integratore attraverso l'interruttore S4 pilotato dal segnale V_{PW} . Quest'ultimo è il risultato di una operazione di and logico tra il clock e l'uscita del comparatore. Inizialmente durante la fase di integrazione (clock basso) V_I è maggiore di V_{ref} , per cui l'uscita del comparatore è alta, ma il segnale di clock è basso, di conseguenza V_{PW} è basso. Successivamente, durante la fase di deintegrazione, il clock è alto e l'uscita del comparatore è alta, quindi anche V_{PW} passa al livello alto. Dunque, chi determina il fronte in salita dell'impulso di uscita è il segnale di clock. L'uscita V_{PW} rimane alta fino a quando V_I non diventa minore di V_{REF} ; a questo punto l'uscita del comparatore passa al livello basso forzando a zero anche l'uscita della porta AND. Quindi chi determina la fine dell'impulso è l'uscita del comparatore.

Quindi la durata dell'impulso di uscita (T_{PWM}) è coincidente con il tempo di scarica della capacità C_1 e sarà pari a:

$$T_{PWM} = \frac{Q_I}{I_{DIS}} \quad (2.52)$$

Infine, sostituendo nella definizione del tempo di scarica l'espressione della carica Q_I di formula (2.51) e ricordando che $I_{DIS} = k_2 I_{RMP}$, si ha:

$$T_{PWM} = \frac{T_{CK}}{2k_2} \left(\frac{C_X}{C_R} - k_1 \right) \quad (2.53)$$

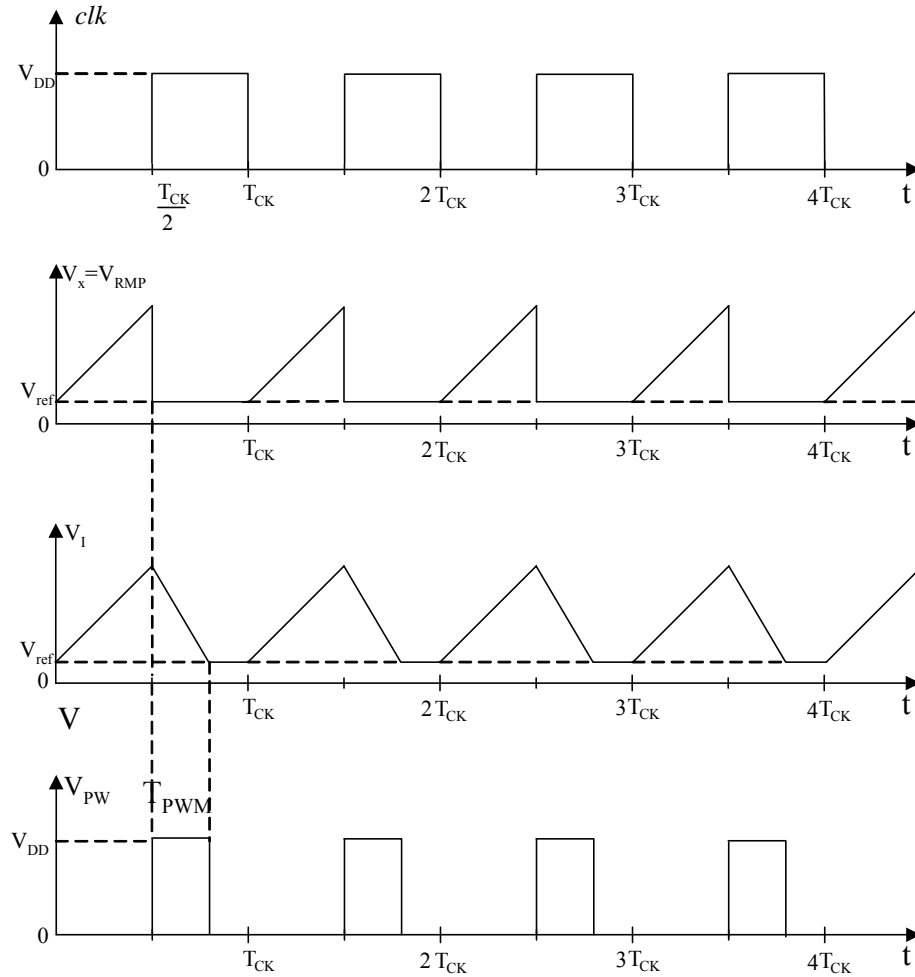


Figura 2.14 Andamento ideale delle forme d'onda caratteristiche del circuito di figura 2.13

Quindi la durata dell'impulso PWM di uscita dipende solo da rapporti di correnti (k_1 e k_2) e da rapporti di capacità. I primi possono essere resi indipendenti dalla temperatura e precisi ricavando tutte le correnti da una sola di riferimento, con un opportuno sistema di specchi.

Il circuito di interfaccia che abbiamo appena descritto è stato realizzato presso la STMicroelectronics, come già detto all'inizio del paragrafo, e le misure effettuate sul chip hanno confermato il comportamento lineare dell'impulso di uscita e la sua bassa sensibilità alle variazioni di temperatura.

La sensibilità residua alla temperatura è da attribuirsi al prodotto guadagno banda (f_{PL}) finito dell'anello di reazione principale del circuito. Per aumentare f_{PL} si dovrebbe agire sulla transconduttanza dell'amplificatore OTA2 aumentandola. Ma questo, in assenza di uno spostamento verso le alte frequenze delle singolarità delle porte di uscita di OTA2 (non dominanti), porterebbe ad una condizione di instabilità. L'unico modo per spostare in alto anche le singolarità non dominanti è ridurre le dimensioni dei transistori di uscita, con conseguente aumento del rumore flicker e quindi, come si può dimostrare [12], un aumento del jitter.

Un altro problema della soluzione descritta è l'elevato consumo di corrente (circa 4mA) dovuto alla complessità dell'anello di reazione comprendente un numero elevato di componenti le cui singolarità devono essere posizionate ad alta frequenza a spese di una elevata corrente di riposo.

Da qui nasce l'esigenza di realizzare una nuova soluzione circuitale che permetta di ottenere un impulso di uscita intrinsecamente insensibile alle variazioni di temperatura, ma con basso consumo e basso rumore. Tale nuova soluzione circuitale è l'argomento di questo lavoro di tesi e sarà descritta nel prossimo capitolo.

Capitolo 3

Progetto del circuito di interfaccia

Nel presente capitolo sarà descritto in dettaglio il convertitore capacità-PWM che è argomento di questo lavoro di tesi e i vari passi progettuali che hanno portato alla sua definizione.

Partendo dalle esigenze che hanno spinto a cercare una nuova soluzione rispetto al convertitore capacità-PWM realizzato in precedenti lavori di tesi, verranno descritte le varie configurazioni circuitali sperimentate durante tutto il periodo di lavoro. Di ognuna di queste sarà descritto il principio di funzionamento e saranno sottolineate le motivazioni che hanno portato a cercare una soluzione alternativa fino ad arrivare alla configurazione circuitale scelta come definitiva.

3.1 Specifiche del convertitore capacità-PWM

Si vuole realizzare un circuito di interfaccia per sensori capacitivi che generi in uscita un segnale di tipo PWM (Pulse Width Modulation), cioè una ripetizione di impulsi rettangolari a frequenza fissata e con una durata proporzionale alla grandezza fisica rilevata.

La differenza rispetto a soluzioni già proposte è che il progetto del circuito sarà mirato a raggiungere le caratteristiche di:

- a) basso consumo (per utilizzarlo in applicazioni low power);
- b) basso rumore (fluttuazione sulla durata dell'impulso $< 0,4\%$ FS) ;
- c) bassa sensibilità alle variazioni di temperatura ($< 0,4\%$, corrispondente ad 8 bit di precisione).

Nel convertitore capacità-PWM analizzato nel capitolo precedente la capacità del sensore C_X e la capacità di riferimento C_R non hanno punti a comune, ma sono poste in due integratori di Miller differenti, rispettivamente INT2 ed INT1 del circuito di figura 2.13. Questo può essere un problema perché una tecnica comune per realizzare due capacità, una variabile con la pressione ed una di riferimento, consiste nel praticare due scavi nello stesso bulk chiusi da una membrana sottile. In uno dei due la membrana è continua, e ciò permette di ottenere una capacità variabile con la differenza di pressione tra le due facce della membrana stessa. Nell'altro, che costituirà la capacità di riferimento, la membrana presenta uno o più fori che fanno sì che la capacità sia insensibile alla pressione (ottenendo così una capacità costante), come mostrato nella figura seguente.

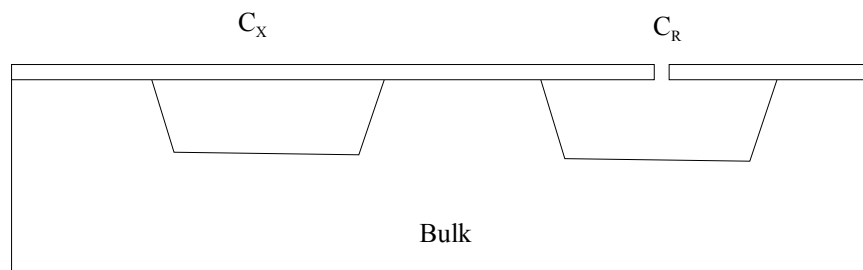


Figura 3.1 Tipica realizzazione tecnologica di un sensore capacitivo con capacità di riferimento costante.

Con riferimento alla figura 3.1 le due capacità C_X e C_R sono la capacità del sensore e quella di riferimento. Per come sono state realizzate esse hanno un elettrodo a comune che è il bulk e quindi può essere conveniente che anche nel circuito di interfaccia C_X e C_R abbiano un terminale in comune e di ciò si terrà conto in fase di progetto.

3.2 Prima soluzione circuitale

L'idea è quella di realizzare un amplificatore transconduttivo a quattro uscite in corrente, in cui la seconda coppia di uscite sia una replica fedele della prima, e di collegarlo alle due capacità C_X e C_R come mostrato in figura 3.2.

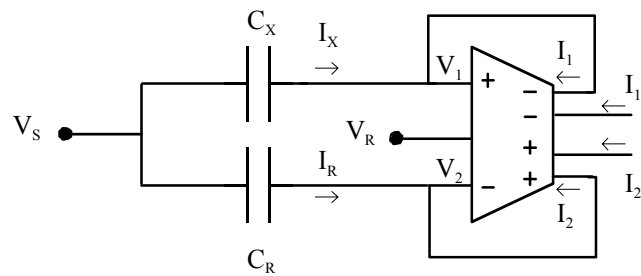


Figura 3.2 Amplificatore transconduttivo a quattro uscite di corrente

L'amplificatore è chiuso in reazione negativa sia per il modo differenziale che per il modo comune e le uscite I_1' ed I_2' sono una replica fedele di I_1 ed I_2 , rispettivamente $I_1' = I_1$ e $I_2' = I_2$. La tensione V_R è una tensione costante di riferimento, V_S è un segnale esterno a dente di sega (vedremo in seguito perché sia opportuno scegliere proprio tale forma d'onda) mentre le due capacità C_X e C_R di figura sono rispettivamente la capacità del sensore e quella di riferimento. Si osservi che nello schema di figura 3.2 C_X e C_R hanno un terminale a comune e ciò è vantaggioso per i motivi di cui abbiamo già parlato nel paragrafo precedente.

Indicando con G_{md} la transconduttanza differenziale (cioè la transconduttanza dell'amplificatore valutata in presenza di un ingresso differenziale) e con G_{mc} la transconduttanza di modo comune, possiamo dire che:

$$I_d = (I_2 - I_1) = -V_d G_{md} \quad (3.1)$$

$$I_c = \frac{(I_2 + I_1)}{2} = V_c G_{mc} \quad (3.2)$$

dove abbiamo assunto $V_d = (V_1 - V_2)$ e $V_c = \frac{(V_1 + V_2)}{2} - V_R$.

Per ciò che riguarda le relazioni che legano le uscite, possiamo scrivere che:

$$V_{ud} = I_d R_{out} = -V_d G_{md} R_{out} = -V_d A_{dd} \quad (3.3)$$

$$V_{uc} = I_c R_{out} = V_c G_{mc} R_{out} = V_c A_{cc} \quad (3.4)$$

Da cui risulta evidente che le amplificazioni differenziale e di modo comune sono rispettivamente $A_{dd} = G_{md} R_{out}$ e $A_{cc} = G_{mc} R_{out}$.

Se $A_{dd} \gg 1$ e $A_{cc} \gg 1$, dato il collegamento in reazione di figura 3.2, si dimostra che $V_d \cong 0$ e $V_c \cong 0$ e dalle precedenti definizioni di V_d e di V_c si ricava che :

$$V_d = 0 \Rightarrow (V_1 = V_2) \quad (3.5)$$

$$V_c = 0 \Rightarrow \left(\frac{V_1 + V_2}{2} = V_R \right) \quad (3.6)$$

Dalla combinazione delle due precedenti si ottiene $V_1 = V_2 = V_R$.

Le tensioni ai capi delle capacità C_X e C_R risultano quindi essere:

$$V_{C_X} = V_S - V_1 = V_S - V_R \quad (3.7)$$

$$V_{C_R} = V_S - V_2 = V_S - V_R \quad (3.8)$$

Da cui le correnti che scorrono all'interno delle stesse sono:

$$I_X = C_X \frac{dV_{C_X}}{dt} = C_X \frac{d}{dt}(V_S - V_R) = C_X \frac{dV_S}{dt} \quad (3.9)$$

$$I_R = C_R \frac{dV_{C_R}}{dt} = C_R \frac{d}{dt}(V_S - V_R) = C_R \frac{dV_S}{dt} \quad (3.10)$$

Quindi la differenza delle due correnti sarà:

$$I_X - I_R = (C_X - C_R) \frac{dV_S}{dt} \quad (3.11)$$

Sotto l'ipotesi di validità del cortocircuito virtuale applicato agli ingressi dell'amplificatore, si avrà che le correnti che scorrono nelle capacità sono uguali a quelle di uscita, più precisamente: $I_X = I_1$ e $I_R = I_2$. Le uscite dell'amplificatore I_1 ed I_2 sono chiuse sugli ingressi a creare un anello di reazione negativa, ma I_1' e I_2' , che sono una replica esatta delle prime due, sono disponibili in uscita. E' quindi possibile prelevare in uscita la differenza delle due correnti $(I_X - I_R) = (I_1' - I_2')$ per mandarla in ingresso ad un circuito integratore realizzato, ad esempio, con un integratore di Miller come mostrato nella figura seguente:

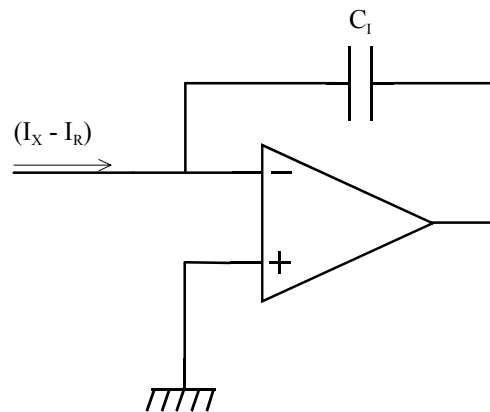


Figura 3.3 Integratore di Miller

Supponiamo ora che l'intero sistema sia regolato da un segnale di clock di periodo T_{CK} e che l'integratore sia abilitato nella prima metà del periodo di clock.

In tale intervallo di tempo la carica accumulata sulle armature del condensatore sarà:

$$Q = \int_0^{T_{CK}/2} (I_X - I_R) dt = \int_0^{T_{CK}/2} (C_X - C_R) \frac{dV_S}{dt} dt = (C_X - C_R) \Delta V_S \quad (3.12)$$

Se poi nella seconda metà del periodo di clock la capacità C_I di figura 3.3 viene scaricata con una corrente costante I_D , la durata della scarica sarà:

$$\tau = \frac{Q}{I_D} = \frac{(C_X - C_R) \Delta V_S}{I_D} \quad (3.13)$$

V_S è un segnale esterno applicato da noi per cui possiamo decidere che sia un segnale a dente di sega sincrono con il clock di sistema. Esso può essere prodotto ad esempio integrando nella prima metà del periodo di clock una corrente costante I_0 con un integratore che utilizzi una capacità C_I e poi scaricando rapidamente tale capacità nella seconda metà del periodo di clock. In tal caso:

$$\Delta V_S = \frac{1}{C_I} \int_0^{T_{CK}/2} I_0 dt = \frac{1}{C_I} I_0 \frac{T_{CK}}{2} \quad (3.14)$$

Combinando la (3.13) con la (3.14) otteniamo:

$$\tau = \frac{(C_X - C_R) I_0 T_{CK}}{2 I_D C_I} \quad (3.15)$$

Dal risultato ottenuto vediamo che il tempo di scarica dipende da:

- il fattore $(C_X - C_R)$, che varia in modo lineare con la variazione di capacità del sensore e quindi con la grandezza di interesse;
- il rapporto tra correnti I_0/I_D , che può essere reso molto preciso derivando le correnti in questione da una sola mediante un sistema di specchi;
- il fattore $T_{CK}/2$ che è estremamente preciso se realizziamo il clock utilizzando un oscillatore quarzato.

Quindi, realizzando un segnale di uscita PWM in cui gli impulsi siano di durata pari a tale tempo di scarica, si ottiene un segnale che dipende linearmente dalla grandezza di interesse e in modo preciso.

In questo paragrafo si è voluto presentare quale dovrà essere il principio di funzionamento dell'interfaccia, passiamo ora ad analizzare più in dettaglio le scelte circuitali adottate per i vari blocchi di cui abbiamo appena parlato.

Architettura A dell'Amplificatore

La prima soluzione circuitali adottata per l'amplificatore è quella rappresentata in figura 3.4.

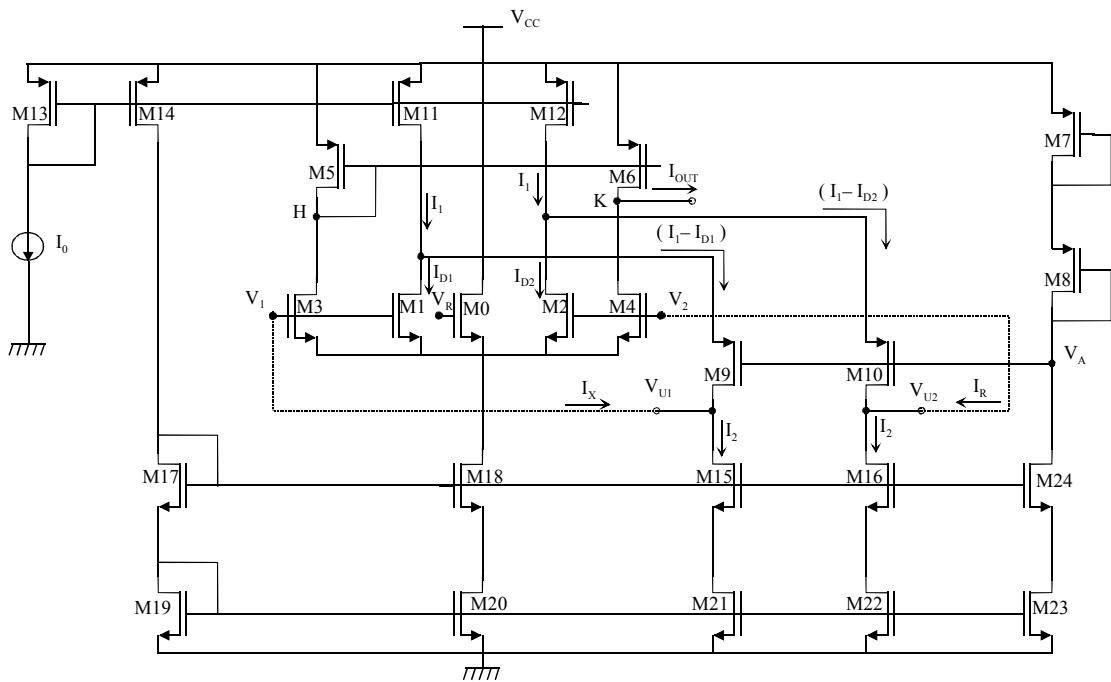


Figura 3.4 Architettura A dell'amplificatore

Abbiamo scelto un amplificatore fully differential con uscita folded cascode.

Lo stadio di ingresso è formato dai transistori di tipo n-mos M1, M2, M3, M4. In particolare M1 ed M2 costituiscono la coppia differenziale di ingresso e sono

polarizzati in corrente dallo stadio a p-mos sovrastante costituito da M11 ed M12, mentre M3 ed M4 hanno il gate a comune con M1 ed M2 e in essi scorre una corrente che è il duplicato di quella dei transistori di ingresso.

M0 è utilizzato per introdurre una sensibilità alla tensione di riferimento V_R ed ha molteplicità 8, mentre i transistori della coppia differenziale di ingresso e i loro duplicati hanno molteplicità 2.

Lo specchio costituito da M13 ed M14 serve per la corretta polarizzazione di tutto il circuito.

I transistori M5, M6, M7 ed M8 sono stati dimensionati in modo tale da garantire che tutti i mosfet dello stadio di ingresso abbiano la stessa V_{DS} .

Punto di riposo e dimensionamento del circuito

La corrente di polarizzazione dell'intero circuito è stata scelta piccola, pari a $2\mu A$ perché, come già detto in precedenza, si vuole far sì che l'intero sistema sia a basso consumo (l'obiettivo è di avere un consumo totale che sia dell'ordine delle decine di μA).

I transistori M11 ed M12, che agiscono come generatori di corrente per la corretta polarizzazione del circuito, sono stati dimensionati in modo da avere corrente di drain (indicata in figura con I_1) pari a $2\mu A$ e $(V_{GS} - V_t)$ pari a $100mV$. Il dimensionamento è stato effettuato a partire dall'espressione della corrente di drain per un transistore p-mos in saturazione:

$$|I_{DP}| = \frac{\mu_p C_{OX}}{2} \frac{W}{L} (V_{GS} - V_t)^2 \quad (3.16)$$

dove indichiamo con μ_p la mobilità delle lacune all'interno del canale di un p-mos, con C_{OX} la capacità dell'ossido di gate, con W ed L rispettivamente la larghezza e la lunghezza del canale e con V_t chiaramente la tensione di soglia.

Dalla (3.16) si ricava:

$$\frac{W}{L} = \frac{2I_{DP}}{\mu_p C_{OX} (V_{GS} - V_t)^2} \quad (3.17)$$

Sostituendo i valori di $I_{Dp} = 2\mu\text{A}$, $(V_{GS} - V_t) = 100\text{mV}$ e conoscendo il valore di $\mu_p C_{Ox}$, si ottiene $\frac{W}{L} = 8$, da cui ponendo $L = 10\ \mu\text{m}$ otteniamo $W = 80\ \mu\text{m}$.

A riposo la corrente di drain di M1, M2, M3 ed M4 è posta pari ad $1\ \mu\text{A}$ e quindi la corrente nei due rami di uscita (in M9 ed M10) è ancora uguale ad $1\ \mu\text{A}$, essendo la differenza tra $I_1 = 2\ \mu\text{A}$ e la corrente di drain dei mosfet di ingresso.

Conoscendo le correnti di drain dei vari transistori, con considerazioni analoghe a quelle già fatte per M11 si dimensiona l'intero circuito.

Il transistore M0 è caratterizzato da una corrente di drain di $4\ \mu\text{A}$, cioè doppia rispetto a quella di M1 ed M2. Per ottenerla si è scelto di dimensionare tale transistore con lo stesso valore di W ed L di M1 ed M2 ma con un valore di molteplicità pari ad 8 anziché 2. E' bene precisare che cosa si intende per molteplicità di un transistore: porre il valore di molteplicità di un mosfet pari ad N significa che esso sarà realizzato con N mosfet elementari in parallelo di W ed L pari a quelle indicate nello schematico. E' conveniente realizzare un mosfet connettendo in parallelo N transistori elementari anziché con un'unica struttura per minimizzare gli errori di matching.

Un ragionamento a parte deve essere fatto per i transistori M5, M6, M7 ed M8 che, come già detto, servono per far sì che i transistori di ingresso abbiano tutti la stessa V_{DS} . Il nodo indicato in figura con V_A si trova ad un valore di tensione pari a:

$$V_A = V_{DD} - |V_{GS7}| - |V_{GS8}| \quad (3.18)$$

Seguendo il percorso che a partire da tale nodo porta al drain di M1 passando attraverso M9 possiamo scrivere che la tensione di drain di M1 è:

$$V_{D1} = V_A + |V_{GS9}| \quad (3.19)$$

Combinando la (3.18) e la (3.19) e ponendo $V_{GS8} = V_{GS9}$ otteniamo:

$$V_{D1} = V_{DD} - |V_{GS7}| - |V_{GS8}| + |V_{GS9}| = V_{DD} - |V_{GS7}| \quad (3.20)$$

Possiamo poi scrivere la tensione sul drain di M2 sempre partendo dal nodo V_A e passando attraverso M10, ed otteniamo:

$$V_{D2} = V_A + |V_{GS10}| \quad (3.21)$$

Combinando la (3.21) e la (3.18) e ponendo $V_{GS10}=V_{GS8}$ si ottiene:

$$V_{D2} = V_{DD} - |V_{GS7}| - |V_{GS8}| + |V_{GS10}| = V_{DD} - |V_{GS7}| \quad (3.22)$$

Dalle espressioni ottenute per V_{D1} e V_{D2} vediamo bene che le tensioni di drain dei due mosfet che formano la coppia differenziale di ingresso sono nominalmente uguali purché siano rispettate le condizioni ($V_{GS8}=V_{GS9}$) e ($V_{GS10}=V_{GS8}$). Ciò si può ottenere mediante un opportuno dimensionamento dei transistori M8 ed M9.

Abbiamo già detto che la corrente di drain di M9 è pari a $1\mu\text{A}$, se vogliamo che la sua V_{GS} sia pari a quella di M8 sarà sufficiente imporre che anche in quest'ultimo scorra una corrente di $1\mu\text{A}$ e dimensionare i due transistori con lo stesso rapporto $\frac{W}{L}$. In tal caso di fatti risulterà:

$$\frac{I_{D9}}{I_{D8}} = \frac{(V_{GS9} - V_{tp})^2}{(V_{GS8} - V_{tp})^2} = 1 \Rightarrow (V_{GS9} - V_{tp}) = (V_{GS8} - V_{tp}) \quad (3.23)$$

Assumendo che i due transistori abbiano la stessa tensione di soglia, abbiamo:

$$V_{GS9} = V_{GS8} \quad (3.24)$$

che è proprio quello che volevamo ottenere.

In modo analogo per ottenere la condizione $V_{GS10}=V_{GS8}$ sarà sufficiente porre M10 uguale ad M8.

A questo punto abbiamo ottenuto che i transistori della coppia differenziale di ingresso M1 ed M2 abbiano la stessa tensione di drain e quindi anche la stessa

V_{DS} . Per ciò che riguarda M3 possiamo dire che la sua tensione di drain, ossia la tensione del nodo indicato in figura con H, è pari a:

$$V_H = V_{DD} - |V_{GS5}| \quad (3.25)$$

Dimensionando M5 in modo che V_{GS5} sia uguale a V_{GS7} e confrontando la (3.25) con la (3.20) abbiamo che :

$$V_H = V_{D3} = V_{D1} \quad (3.26)$$

quindi M3 ed M1 hanno la stessa V_{DS} e ciò è importante per far si che la corrente che in M3 sia una replica esatta di quella che scorre in M1.

A riposo e, solamente quando l'amplificatore non è collegato all'integratore di Miller, V_H è uguale alla tensione del nodo indicato in figura 3.4 con K, per cui

$$V_K = V_H = V_{D1} = V_{D2} \quad (3.27)$$

da cui si evince che anche i transistori M2 ed M4 hanno la stessa V_{DS} .

Quando colleghiamo il nodo k dell'amplificatore all'integratore di Miller, per integrare la corrente di uscita, non è più vero che V_H è uguale a V_K . Per far si che tale condizioni continui ad essere rispettata si deve collegare sul terminale positivo dell'integratore una tensione di riferimento pari a V_H . In tal caso è il cortocircuito virtuale applicato agli ingressi dell'integratore che garantisce la condizione citata nella formula (3.27).

Le dimensioni dei vari mosfet sono riportate nella seguente tabella:

Dispositivo	Tipo	W(μm)	L(μm)	Molteplicità
M0	NMOS	25	37,5	8
M1,M2,M3,M4	NMOS	25	37,5	2
M5,M6,M7,M8,M9,M10	PMOS	40	10	1
M11,M12,M13,M14	PMOS	80	10	1
M15,M16	NMOS	10	15	2
M17,M19	NMOS	10	15	4

M18,M20	NMOS	10	15	16
M21,M22,M23,M24	NMOS	10	15	2

Tabella 3.1 dimensionamento dei mosfet dell'amplificatore relativo alla soluzione A

Funzionamento del circuito

Come già detto, M13 ed M14 formano lo specchio che fornisce la corrente necessaria per una corretta polarizzazione del circuito.

La corrente di drain di M13 è specchiata in M11 ed M12 con un rapporto 1:1 originando I_1 . Per cui, scrivendo i bilanci delle correnti in corrispondenza dei nodi che rappresentano il drain di M1 e il drain di M2, otteniamo che la corrente che scorre nel primo ramo di uscita sarà $(I_1 - I_{D1})$, mentre quella che scorre nel secondo sarà $(I_1 - I_{D2})$, come indicato in figura 3.4.

La corrente nei transistori M15 ed M16 è indicata in figura con I_2 , di conseguenza le correnti di cortocircuito di uscita saranno pari a :

$$I_{UCC1} = I_{D9} - I_{D15} = (I_1 - I_{D1}) - I_2 \quad (3.28)$$

$$I_{UCC2} = I_{D10} - I_{D16} = (I_1 - I_{D2}) - I_2 \quad (3.29)$$

Per un corretto funzionamento dell'amplificatore esso deve essere chiuso in reazione negativa collegando l'ingresso V_1 all'uscita V_{U1} e l'ingresso V_2 all'uscita V_{U2} .

Connettendo poi le capacità C_X e C_R all'ingresso dell'amplificatore secondo il montaggio mostrato in figura 3.2, abbiamo che le correnti I_X ed I_R sono quelle nei due rami reazionati (sotto l'ipotesi di validità del cortocircuito virtuale), per cui si otterrà:

$$I_X = I_2 - (I_1 - I_{D1}) \quad (3.30)$$

$$I_R = I_2 - (I_1 - I_{D2}) \quad (3.31)$$

Quindi :

$$(I_X - I_R) = (I_{D1} - I_{D2}) \quad (3.32)$$

Prelevando la corrente di uscita dal nodo che rappresenta il drain di M4 si avrà che:

$$I_{OUT} = I_{D6} - I_{D4} \quad (3.33)$$

Ora si osservi che la corrente in M6 è specchiata da M5 con rapporto 1:1, per cui $I_{D6}=I_{D5}$. La corrente di drain di M5 è quella di drain di M3 che a sua volta la è un duplicato di quella in M1 (i due transistori sono identici ed hanno la stessa V_{GS} e la stessa V_{DS}), per cui risulta

$$I_{D6} = I_{D1} \quad (3.34)$$

D'altra parte la corrente in M4 è un duplicato di quella di M2 (anche in questo caso i due transistori sono uguali ed hanno la stessa V_{GS} e la stessa V_{DS}), quindi:

$$I_{D4} = I_{D2} \quad (3.35)$$

Concludendo, se combiniamo la (3.33), la (3.34) e la (3.35) otteniamo che:

$$I_{OUT} = I_{D1} - I_{D2} \quad (3.36)$$

Quindi ricordando che $(I_X - I_R) = (I_{D1} - I_{D2})$ abbiamo che la corrente prelevata sul drain di M4 è:

$$I_{OUT} = I_X - I_R \quad (3.37)$$

Questa è proprio la corrente che ci interessa perché è quella che dovrà essere poi integrata, come già discusso nel paragrafo 3.1.

Problemi riscontrati nell'architettura A dell'amplificatore

I problemi che tale configurazione presenta sono essenzialmente due:

- 1) la corrente che voglio avere in uscita è $(I_X - I_R)$ che è uguale ad $(I_{D1} - I_{D2})$, come dimostrato poco sopra (vedi formula (3.32)), mentre quella che prelevo dal nodo di uscita è $I_{OUT} = (I_{D6} - I_{D5})$. Abbiamo assunto che $I_{D6}=I_{D1}$ in realtà è più corretto scrivere $I_{D6}=I_{D1}$ perchè la corrente I_{D1} che compare nell'espressione di $(I_X - I_R)$ e quella che compare nella

espressione di I_{OUT} non sono uguali poiché compiono due percorsi differenti. Di fatti la prima è la corrente di drain di M1 che viene riportata direttamente sul ramo di uscita, mentre la seconda è la corrente di drain di M3 che è specchiata nel nodo di uscita (indicato in figura 3.4 con K) dallo specchio formato da M5 ed M6. Di conseguenza I_{D1} ed I_{D1}' compiono percorsi differenti, sperimentano ritardi diversi e quindi sono effettivamente diverse. In modo analogo è più corretto indicare la corrente I_{D2} che compare nell'espressione di I_{OUT} con I_{D2}' . Per cui abbiamo che $(I_X - I_R) = (I_{D1} - I_{D2})$ mentre $I_{OUT} = (I_{D1}' - I_{D2}')$ dove $I_{D1} \neq I_{D1}'$ e $I_{D2} \neq I_{D2}'$; in conclusione risulta che: $I_{OUT} \neq (I_X - I_R)$.

- 2) Il secondo problema è che, come già detto, dal nodo di uscita preleviamo la differenza di correnti $(I_{D1}' - I_{D2}')$, dove I_{D2}' è direttamente la replica di I_{D2} in M4, mentre I_{D1}' è la replica di I_{D1} in M3 riportata in uscita dallo specchio M5-M6. Quindi I_{D1}' subisce un ritardo più grande rispetto ad I_{D2}' e in uscita ho la differenza tra I_{D2}' ed I_{D1}' ritardata. Tale ritardo non è trascurabile perché stiamo lavorando con correnti piccole ($I_0 = 2\mu A$) per ottenere un oggetto a basso consumo e quindi lo specchio in questione è lento. Dalle simulazioni effettuate si osserva che a causa del ritardo di I_{D1}' la corrente di uscita I_{OUT} arriva al valore di regime dopo un transitorio non trascurabile rispetto al periodo di clock.

Per cercare di risolvere tali problemi sono state apportate delle modifiche circuitali allo schema appena studiato, passando ad una nuova architettura per amplificatore.

Architettura B dell'amplificatore

E' stato eliminato lo specchio costituito da M5 ed M6 e si è scelto di passare da una uscita single-ended ad una uscita differenziale. Cioè nel circuito modificato non si considera più un unico nodo di uscita dal quale si preleva direttamente la differenza $(I_{D1}' - I_{D2}')$ ma si prendono come nodi di uscita i drain di M3 ed M4

Problemi relativi all'architettura B dell'amplificatore

Un problema che già era stato evidenziato per l'architettura precedente e che questo nuovo circuito non risolve è quello di cui parleremo qui di seguito. Se pensiamo a tale amplificatore inserito nel sistema complessivo come mostrato in figura 3.2 risulta:

$$(I_1 - I_2) = V_d G_{md} \quad (3.38)$$

$$I_c = \frac{(I_2 + I_1)}{2} = V_c G_{mc} \quad (3.39)$$

Dove G_{md} e G_{mc} sono con buona approssimazione coincidenti con il g_m dei transistori di ingresso M1 ed M2:

$$G_{md} = G_{mc} \cong g_m \quad (3.40)$$

Ricordando poi che $I_1=I_X$ ed $I_2=I_R$ possiamo scrivere la tensione differenziale di ingresso come:

$$V_d = \frac{1}{g_m} (I_X - I_R) = \frac{(V_{GS} - V_t)}{2I_Q} (I_X - I_R) \quad (3.41)$$

Dove I_Q è la corrente di riposo dei transistori di ingresso mentre $(I_X - I_R)$ è il segnale di out in corrente. Con capacità dell'ordine del pF si hanno delle correnti I_X e I_R dell'ordine del nA, mentre I_Q , pur essendo piccola per avere basso consumo, è comunque dell'ordine del μA , quindi abbiamo:

$$(I_X - I_R) \ll I_Q \quad (3.42)$$

Comunque sia la tensione differenziale di ingresso non è nulla e si va a sommare al ΔV_S del segnale di ingresso, producendo un ΔV effettivo applicato agli ingressi dell'amplificatore pari a:

$$\Delta V = \Delta V_S - \frac{1}{g_m} (I_X - I_R) \quad (3.43)$$

Ciò si può comprendere meglio considerando che le capacità C_X e C_R hanno un terminale a comune sul quale è applicato il segnale di ingresso e l'altro collegato agli ingressi dell'amplificatore che presentano una resistenza di ingresso pari a $\frac{1}{g_m}$. Per cui l'amplificatore collegato alle due capacità di ingresso può essere rappresentato con un circuito equivalente come quello riportato nella figura seguente, nella quale usiamo il circuito di destra per studiare sia I_X che I_R :

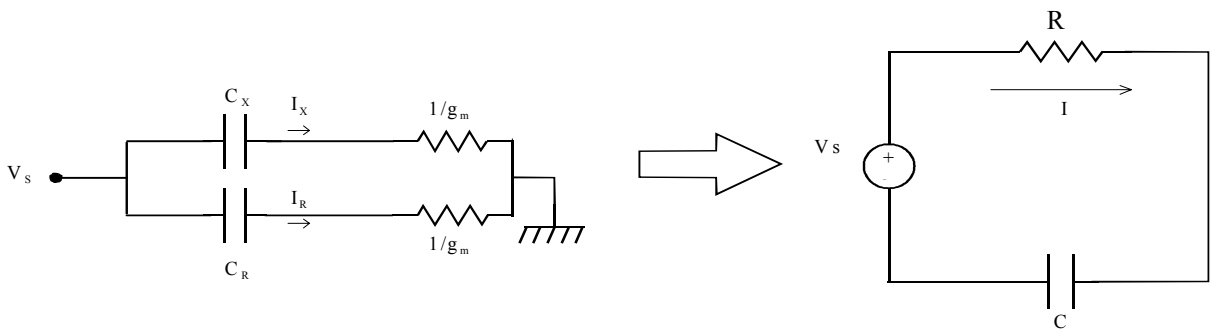


Figura 3.6 Circuito equivalente dell'amplificatore collegato al sensore

Lavorando nel dominio di Laplace possiamo esprimere la corrente che scorre nel circuito come:

$$I(s) = \frac{V_s(s)}{\left(R + \frac{1}{Cs}\right)} = V_s(s) \frac{Cs}{(RCs + 1)} \quad (3.44)$$

$$\frac{I(s)}{V_s(s)} = Cs \frac{1}{(RCs + 1)} \quad (3.45)$$

Tale espressione può essere vista come il prodotto tra la funzione di trasferimento di un derivatore (rappresentata dal termine Cs) e quella di un filtro passa basso (rappresentata dal termine $1/(RCs+1)$). Quindi il segnale di ingresso V_s è prima derivato e poi filtrato. Se in ingresso ho ad esempio un'onda triangolare essa è prima derivata, come effettivamente richiesto, producendo un'onda quadra, e poi filtrata con un filtro passa basso che eliminando le componenti ad alta frequenza

origina un rallentamento dei fronti dell'onda quadra ed introduce un errore non voluto.

Il polo del filtro passa basso si trova ad una frequenza pari a:

$$f_p = \frac{1}{2\pi RC} \quad \text{dove } R \approx \frac{1}{g_m} \quad (3.46)$$

Essendo g_m piccolo la resistenza di ingresso è alta, la frequenza di polo è bassa e il rallentamento introdotto è elevato.

L'unico modo per migliorare le prestazioni del sistema cercando di minimizzare i due effetti appena descritti è quello di cambiare la configurazione circuitale.

3.3 Seconda soluzione circuitale

L'idea è quella di realizzare un sistema che lavori in due fasi alterne: in una prima fase esso carica la capacità C_1 con una corrente pari a $(I_X - I_R)/2$, in una seconda fase scarica la capacità producendo in uscita un impulso di durata pari al tempo di scarica.

Quindi il principio di funzionamento è analogo a quello della soluzione circuitale precedente però le differenze fondamentali sono che:

- il medesimo blocco circuitale effettua sia la carica che la scarica del condensatore; per fare ciò esso viene modificato da una fase all'altra collegando un circuito ausiliario nella fase di scarica mediante l'uso di opportuni interruttori;
- con questa struttura non si hanno più due blocchi distinti, uno che amplifica e l'altro che integra, ma il tutto è svolto da un unico blocco circuitale con una capacità C_1 collegata a ponte tra le uscite dello stesso;
- viene introdotto un anello di reazione più efficiente per ridurre la resistenza di ingresso.

come generatori di corrente costante, e al nodo indicato con A in modo da fornire un corretto valore di tensione di gate per M5 ed M6.

Per lo stesso motivo si è scelto di omettere anche la sezione che costituisce il controllo del modo comune delle uscite, essa è collegata ai gate di M9 ed M10 ossia al nodo indicato in figura come CMFB.

Il circuito è composto da due sezioni perfettamente simmetriche. I transistori M7 ed M8 funzionano da generatori di corrente e forniscono una corrente costante I_A ai mosfet sottostanti, per cui sia i transistori M5 ed M3 del ramo di sinistra che i transistori M4 ed M6 del ramo di destra, lavorano a corrente imposta pari ad I_A .

Le capacità C_X e C_R hanno un terminale a comune collegato al segnale V_S , e l'altro collegato al drain di M1 ed M2 rispettivamente.

Si osservi che in figura 3.7 il collegamento tra il gate di M15 (indicato con H2) e il gate di M1(indicato con K2) è tratteggiato, questo perché H2 è collegato a K2 solo durante la prima fase di funzionamento, in quella successiva invece tale nodo sarà collegato ad un circuito ausiliario utilizzato per scaricare C_1 come vedremo in seguito. Le stesse considerazioni valgono per il collegamento tra il gate di M16 (indicato con H1) e quello di M2 (indicato con K1).

Un'ultima osservazione da fare prima di passare a descrivere il funzionamento del circuito è che nello stadio di ingresso di tale schema si è scelto di utilizzare due specchi a larga dinamica, quello formato da M1, M3, M13 ed M15 nella sezione di sinistra e quello formato da M2, M4, M14 ed M16 nella sezione di destra. La scelta dello specchio a larga dinamica in luogo di una configurazione a specchio semplice è dettata, non tanto dalla necessità di avere una dinamica di uscita più ampia, quanto dal fatto che tale soluzione ci permette di avere una resistenza di ingresso minore. Infatti, si può dimostrare che, la resistenza di ingresso vista dalle capacità C_X e C_R risulta essere:

$$R_{IN} \cong \frac{1}{g_m} \frac{1}{g_m r_d} \quad (3.47)$$

anziché $1/g_m$ come risultava dalla soluzione circuitale adottata in precedenza. Avere una resistenza di ingresso più bassa è vantaggioso come già approfondito nella sezione finale del paragrafo 3.2.

Le dimensioni dei transistori sono:

Dispositivo	Tipo	W(μm)	L(μm)	Molteplicità
M1,M2	NMOS	4	10	1
M3,M4	NMOS	5	2	1
M5,M6,M7,M8	PMOS	2	25	50
M9,M10,M11,M12	PMOS	8	2	1
M13,M14	NMOS	5	2	1
M15,M16	NMOS	4	10	1

Tabella 3.2 Dimensionamento dei mosfet del circuito di figura 3.7

Funzionamento del circuito

Nella seguente descrizione si indicheranno con I_X ed I_R rispettivamente la corrente nella capacità C_X e quella nella capacità C_R , con I_A la corrente di polarizzazione, ossia la corrente fornita dai transistori M7 ed M8, e con I_{CMFB} la corrente iniettata nei rami esterni dal circuito di controllo del modo comune di uscita.

Iniziando ad analizzare il circuito dalla sezione di sinistra si osserva che il transistore M3 lavora alla corrente costante I_A , imposta dalla sezione superiore. Di conseguenza, scrivendo il bilancio delle correnti in corrispondenza del drain di M1, si ha che la corrente attraverso M1 risulta essere pari a $(I_A + I_X)$. Essa verrà poi specchiata attraverso lo specchio a larga dinamica della sezione di sinistra in M15 ed M13. Scrivendo il bilancio delle correnti sul nodo che rappresenta il drain di M13, indicato in figura 3.7 con V_{OUT2} otteniamo:

$$I_{CMFB} = I_{C_L} + (I_A + I_X) \quad (3.48)$$

dove I_{C_L} è la corrente entrante nella capacità C_L da sinistra.

$$I_{C_L} = I_{CMFB} - (I_A + I_X) \quad (3.49)$$

Le stesse osservazioni valgono per ciò che riguarda la sezione di destra del circuito: M4 lavora a corrente costante imposta I_A , di conseguenza la corrente in M2 sarà pari a $(I_A + I_R)$ e sarà specchiata in M14 ed M16. Anche in questo caso scrivendo il bilancio delle correnti in corrispondenza del nodo indicato in figura 3.7 con V_{OUT1} si ha:

$$I_{CMFB} + I_{C_R} = (I_A + I_R) \quad (3.50)$$

dove I_{C_R} è la corrente che esce dalla capacità C_1 da destra.

$$I_{C_R} = (I_A + I_R) - I_{CMFB} \quad (3.51)$$

I_{C_L} ed I_{C_R} devono essere uguali, essendo la corrente che entra nella capacità da sinistra e quella che ne esce da destra rispettivamente, per cui imponendone l'uguaglianza si ha che

$$\begin{aligned} I_{C_L} &= I_{C_R} \\ I_{CMFB} - I_A - I_X &= I_A + I_R - I_{CMFB} \\ 2I_{CMFB} &= 2I_A + I_X + I_R \\ I_{CMFB} &= I_A + \frac{(I_X + I_R)}{2} \end{aligned} \quad (3.52)$$

Quindi indicando con I_C la corrente che scorre nel condensatore e sostituendo l'espressione di I_{CMFB} appena trovata nella formula (3.49), si ottiene:

$$\begin{aligned} I_{C_L} = I_C &= I_A + \frac{(I_X + I_R)}{2} - I_A - I_X \\ I_C &= -\frac{(I_X - I_R)}{2} \end{aligned} \quad (3.53)$$

Questo risultato è stato verificato anche dalle simulazioni effettuate utilizzando i valori di 1pF e 1,1pF per le capacità C_X e C_R rispettivamente, e come segnale di ingresso un'onda triangolare di valore minimo 0V e valore massimo 1V.

Quindi, durante la prima metà del periodo di clock, il blocco circuitale rappresentato in figura 3.7 carica la capacità C_1 con una corrente pari

$$I_C = -\frac{(I_X - I_R)}{2}, \text{ e la tensione } (V_{OUT1} - V_{OUT2}) \text{ ai capi della stessa aumenta.}$$

Le uscite V_{OUT1} e V_{OUT2} del circuito di figura 3.7 sono collegate agli ingressi di un comparatore con isteresi, che sarà descritto in seguito, la cui uscita è invertita ed applicata in ingresso ad una porta AND insieme al segnale di clock negato. L'uscita di tale porta logica AND rappresenta l'uscita dell'intero sistema, come mostrato in figura 3.8.

In particolare V_{OUT2} è collegata all'ingresso positivo del comparatore, mentre V_{OUT1} è collegata all'ingresso negativo. Supponiamo che la fase uno sia abilitata dalla condizione di clock alto e che V_S sia un'onda triangolare sincrona con il clock di sistema e che cresce quando tale clock è alto. Durante la fase di carica ($V_{OUT2} - V_{OUT1}$) è minore di zero e diventa sempre più negativa, di conseguenza l'uscita del comparatore è zero. Come detto poco sopra l'uscita dell'intero sistema è il risultato dell'AND logico tra l'uscita del comparatore negata e il segnale di clock negato (figura 3.8); in questa prima fase l'uscita del comparatore negata è alta, ma il clock negato è basso, per cui l'uscita dell'intero sistema è forzata al livello basso, come si può vedere dalle forme d'onda riportate in figura 3.11.

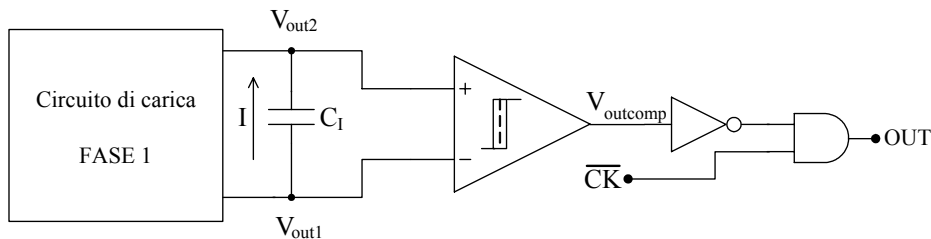


Figura 3.8 Schema a blocchi che rappresenta il funzionamento dell'intero circuito durante la fase1

Passiamo ora alla descrizione della seconda fase di funzionamento.

Fase 2 di funzionamento

Descrizione del circuito

La seconda fase di funzionamento del circuito ha inizio nella seconda metà del periodo di clock, ossia, secondo le considerazioni fatte in precedenza, quando il clock commuta passando dal livello alto al livello basso. In corrispondenza di tale commutazione di clock si attivano degli opportuni interruttori che fanno sì che i nodi H1 ed H2 di figura 3.7 siano scollegati da K2 e K1 per essere collegati ai nodi J1 e J2 del circuito ausiliario di figura 3.9. Così facendo il circuito ausiliario acquista il controllo della corrente che scorre all'interno della capacità C_1 ed inizia la scarica della capacità stessa a corrente costante.

In figura 3.9 si è adottata la convenzione che i nodi con lo stesso nome siano collegati tra di loro per renderla più leggibile, naturalmente i nodi contrassegnati con A, B e C sono connessi alla sezione di polarizzazione come accadeva in precedenza.

Si osservi che nel circuito ausiliario non compaiono le capacità C_X e C_R , né compare il segnale di ingresso, per il resto esso è coincidente con la sezione centrale di figura 3.7. Di fatto i p-mos M23 ed M24 funzionano come generatori di corrente, mentre M17, M19 formano uno specchio a larga dinamica con M13 ed M15 di figura 3.7 quando J2 è collegato con H2, e in modo analogo M18 ed M20 formano uno specchio a larga dinamica con M14 ed M16 di figura 3.7 quando J1 è collegato con H1.

I mosfet di tipo p M27 ed M28 agiscono come due interruttori pilotati da due segnali in opposizione di fase e collegano il ramo costituito da M25 ed M26 o in parallelo al ramo 1, quando M28 è attivo ed M27 spento, oppure in parallelo al ramo 2, quando M27 è attivo ed M28 spento.

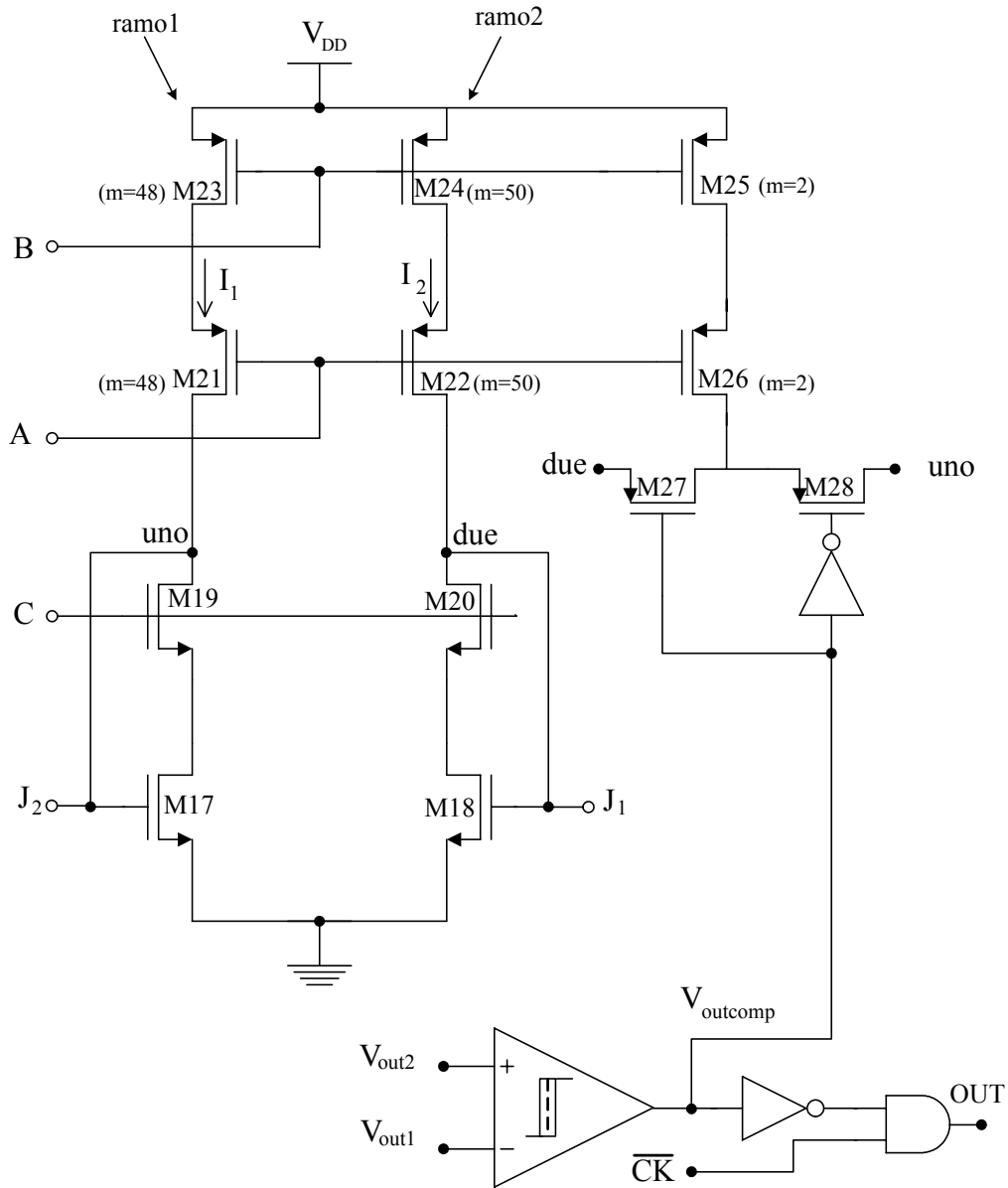


Figura 3.9 Circuito ausiliario utilizzato per la scarica del condensatore C_1

Dai valori di molteplicità riportati in tabella 3.3 vede che i due rami 1 e 2 del circuito ausiliario non sono perfettamente identici e il motivo di ciò è evidente una volta analizzato il funzionamento del circuito.

Le dimensioni dei mosfet che formano il circuito ausiliario sono riportate nella seguente tabella:

Dispositivo	Tipo	W(μm)	L(μm)	Molteplicità
M17,M18	NMOS	4	10	1
M19,M20	NMOS	5	2	1
M21,M23	PMOS	2	25	48
M22,M24	PMOS	2	25	50
M25,M26	PMOS	2	25	2
M27,M28	PMOS	1	0,7	1

Tabella 3.3 dimensionamento dei mosfet del circuito ausiliario

Funzionamento del circuito

Quando la fase 2 ha inizio è appena terminata la fase di carica del condensatore, di conseguenza ($V_{OUT2} - V_{OUT1}$) che rappresenta la tensione differenziale di ingresso del comparatore è negativa e si trova in corrispondenza del suo valore minimo, quindi l'uscita del comparatore è al suo livello basso. Il segnale di uscita dell'intero sistema, indicato in figura 3.9 con OUT, è il risultato di una operazione di AND logico tra l'uscita del comparatore negata e il segnale di clock anch'esso negato; l'uscita del comparatore è bassa già dalla fase precedente, per cui il suo negato è alto, non appena il segnale di clock commuta e passa al livello basso (il suo negato passa al livello alto) l'uscita del sistema passa al livello alto. Se ne deduce quindi che il primo fronte del segnale di uscita è determinato dal clock, come si osserva anche dalle forme d'onda di figura 3.11.

Come si vede chiaramente dalla figura 3.9 il segnale di uscita del comparatore è connesso al gate di M27 e il suo negato al gate di M28, dal momento che M27 ed M28 sono dei transistori di tipo p, M27 è attivo perché la sua tensione di gate è nulla, mentre M28 è spento. In tali condizioni il ramo formato da M25 e M26 è in parallelo al ramo 2 di figura 3.9 e quindi le correnti nei due rami 1 e 2 risultano

sbilanciate, esse staranno in un rapporto $\frac{I_2}{I_1} = \frac{52}{48}$. Di fatti i transistori M23 ed

M24 che formano il ramo 1 sono caratterizzati da un fattore di molteplicità pari a 48, mentre M24 ed M22 che costituiscono il ramo 2 hanno lo stesso valore di W e di L dei precedenti ma un valore di molteplicità pari a 50. Quando in parallelo al ramo 2 viene collegato anche quello formato da M25 ed M26, che sono caratterizzati da molteplicità 2, avrò una molteplicità equivalente dei due rami in parallelo pari a 52. Quindi è come se nel ramo di destra avessi 52 transistori identici in parallelo e in quello di sinistra 48 transistori identici in parallelo, ecco perché il rapporto tra le correnti risulta essere $\frac{52}{48}$.

In questa fase di funzionamento nella capacità C_1 scorre una corrente pari a $\frac{(I_2 - I_1)}{2}$, come mostrato in figura 3.10, per cui essendo I_1 ed I_2 costanti la capacità viene scaricata a corrente costante e la tensione ($V_{OUT1} - V_{OUT2}$) ai suoi capi diminuisce.

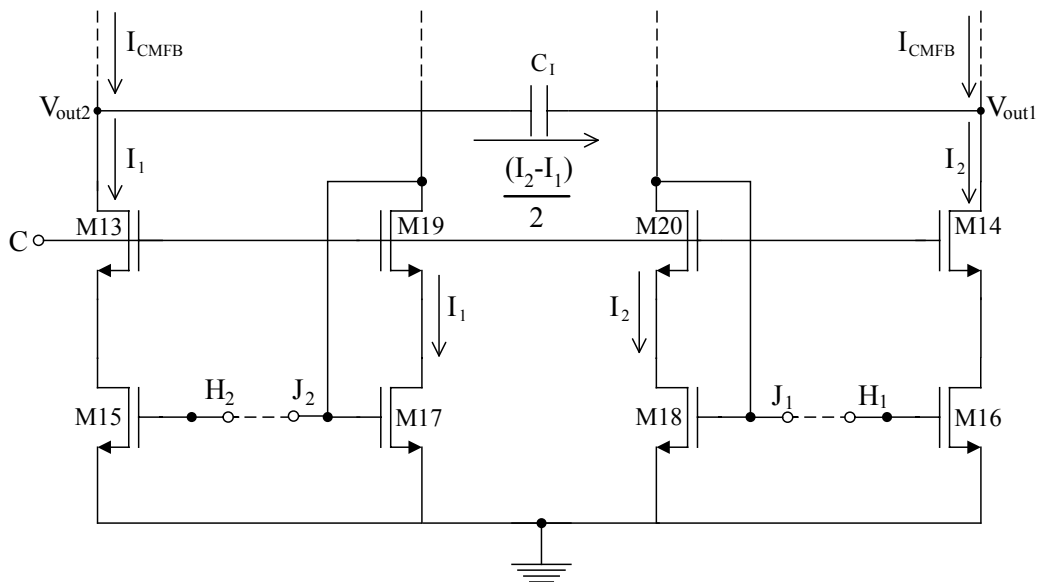


Figura 3.10 Collegamento del circuito ausiliario ai rami di uscita

Di conseguenza la tensione differenziale ($V_{OUT2} - V_{OUT1}$) in ingresso al comparatore di figura 3.9 aumenta fino a diventare positiva e a raggiungere la soglia del comparatore. A questo punto l'uscita del comparatore commuta e passa dal livello basso al livello alto. Questo comporta due effetti: il primo è quello di porre fine all'impulso di uscita dell'intero sistema, in quanto nel momento in cui l'uscita del comparatore commuta dal livello basso a quello alto, il suo negato subisce la commutazione opposta e forza il segnale di uscita OUT di figura 3.9 a passare al livello basso; il secondo è quello di avviare una fase di mantenimento della tensione ai capi della capacità C_1 . Questo perché quando l'uscita del comparatore passa al livello alto il segnale sul gate di M27 passa anch'esso al livello alto, mentre quello sul gate di M28 passa al livello basso, di conseguenza M27 si disattiva mentre M28 si attiva. In tale situazione M25 e M26 sono collegati in parallelo ad M23 ed M21 attraverso M28, e i due rami indicati in figura 3.9 con ramo1 e ramo2 diventano perfettamente identici. Questo perché M22 ed M24 sono caratterizzati da un valore di molteplicità pari a 50, mentre M23 ed M21 hanno le stesse dimensioni dei precedenti ma sono caratterizzati da un valore di molteplicità pari a 48. Poiché M25 ed M26 hanno una molteplicità pari a 2 quando il ramo formato da questi ultimi due si trova in parallelo ad M23 ed M21 risulta un valore di molteplicità equivalente di 50, quindi il ramo 2 e il ramo 1 sono percorsi dalla stessa corrente:

$$I_1 = I_2 \quad (3.54)$$

Nella capacità C_1 scorre una corrente pari ad $(I_2 - I_1)/2$ e quindi una corrente nulla; questa fase finale è una fase di mantenimento in cui la tensione ai capi della capacità non cambia, come evidenziato in figura 3.11.

Quindi in uscita si otterrà un impulso che ha inizio quando il clock passa al livello basso, ossia quando inizia la fase di scarica e che termina quando l'uscita del comparatore commuta, ossia quando finisce la fase di scarica, in tal modo abbiamo un impulso di durata :

$$\tau = \frac{Q}{I_{DIS}} \quad (3.55)$$

Dove I_{DIS} è la corrente di scarica ed è quindi pari a:

$$I_{DIS} = \frac{(I_2 - I_1)}{2} \quad (3.56)$$

Q è la carica accumulata sulle armature della capacità C_1 durante la prima fase, che è quella in cui all'interno della capacità scorre una corrente $(I_X - I_R)/2$:

$$Q = \int_0^{T_{CK}/2} \frac{(I_X - I_R)}{2} dt = \frac{(I_X - I_R) T_{CK}}{2} \quad (3.57)$$

Per definizione I_X ed I_R possono essere espresse come:

$$I_X = C_X \frac{d}{dt} (V_S - V_{D1}) \quad (3.58)$$

$$I_R = C_R \frac{d}{dt} (V_S - V_{D2}) \quad (3.59)$$

Assumendo che le tensioni di drain di M1 ed M2 siano costanti si avrà che:

$$I_X = C_X \frac{dV_S}{dt} \quad (3.60)$$

$$I_R = C_R \frac{dV_S}{dt} \quad (3.61)$$

Quindi, sostituendo le espressioni appena ottenute per I_X ed I_R nella formula (3.57), si trova:

$$Q = \frac{1}{2} (C_X - C_R) \frac{dV_S}{dt} \frac{T_{CK}}{2} \quad (3.62)$$

Supponendo che V_S sia un'onda triangolare che compie una escursione di ΔV in un intervallo di tempo pari a $T_{CK}/2$:

$$Q = \frac{1}{2}(C_X - C_R) \frac{\Delta V_S}{\frac{T_{CK}}{2}} \frac{T_{CK}}{2} = \frac{(C_X - C_R)\Delta V_S}{2} \quad (3.63)$$

Da cui l'espressione della durata dell'impulso diventa:

$$\tau = \frac{(C_X - C_R)\Delta V_S}{2} \frac{2}{(I_2 - I_1)} = \frac{(C_X - C_R)\Delta V_S}{(I_2 - I_1)} \quad (3.64)$$

Quindi l'ampiezza dell'impulso dipende linearmente dalla differenza di capacità, come riscontrato anche dalle simulazioni effettuate, delle quali si parlerà più in dettaglio nel prossimo capitolo.

Si osservi che fino ad ora abbiamo parlato della tensione di segnale V_S e del segnale di clock come se fossero segnali ideali, in realtà il clock e il suo negato sono ottenuti con un generatore di clock a due fasi non sovrapposte (progettato in un precedente lavoro di tesi) mentre il segnale di ingresso V_S è stato realizzato con un apposito circuito che verrà descritto in dettaglio nell'ultimo paragrafo del presente capitolo.

Simulando il circuito di interfaccia a varie temperature comprese tra 0°C e 100°C con passo di 25°C si ottiene una variazione della durata dell'impulso di all'incirca 7ns , che rapportati alla metà del periodo di clock ($10\mu\text{s}$) danno un errore percentuale pari allo $0,07\%$ del fondo scala, decisamente inferiore al limite di 0.4% che ci siamo prefissati.

Quindi la soluzione circuitale per il convertitore capacità-PWM descritta nel presente paragrafo ci permette di ottenere un impulso di uscita la cui durata è legata da una relazione lineare alla variazione di capacità del sensore ed è stabile al variare della temperatura .

Tuttavia effettuando delle simulazioni di tipo Montecarlo si evidenziano dei problemi che non possono essere trascurati e che verranno discussi nei prossimi paragrafi.

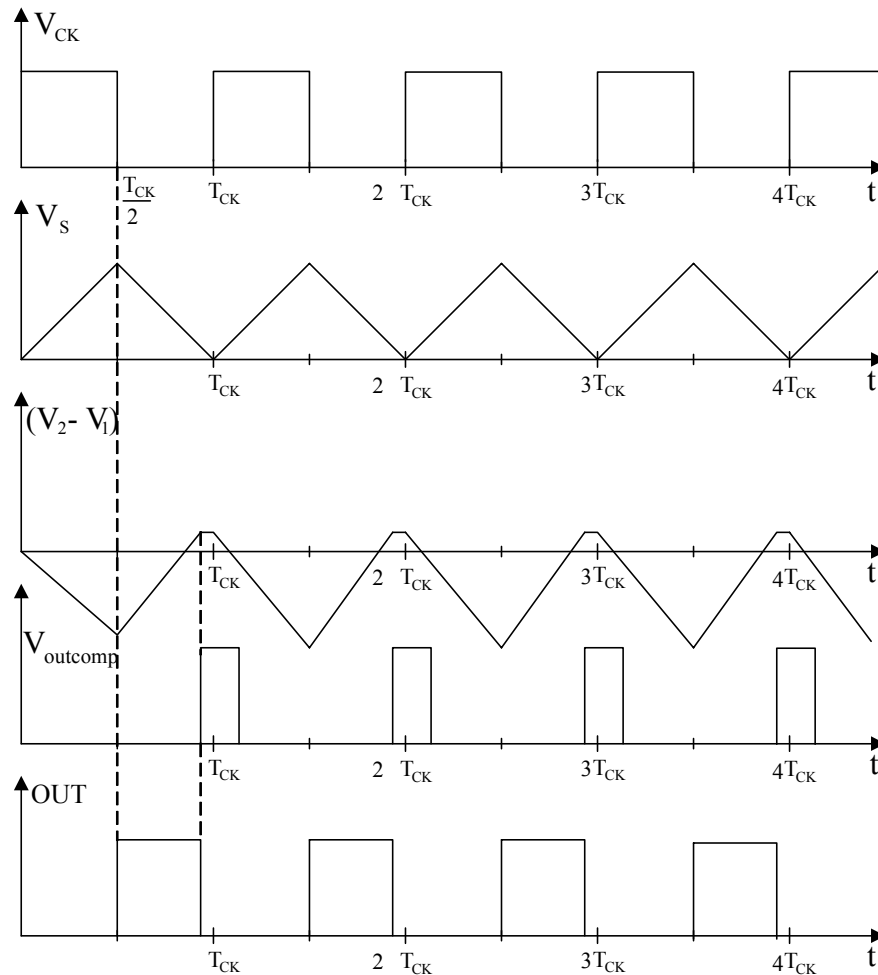


Figura 3.11 Forme d'onda di ingresso e di uscita ideali della soluzione circuitale 2. Partendo dalla prima in alto esse rappresentano: il segnale di clock (V_{CK}), il segnale di ingresso (V_S), la differenza delle due tensioni di uscita ($V_2 - V_1$), l'uscita del comparatore ($V_{outcomp}$) ed infine l'uscita dell'intero sistema (OUT).

Analisi del problema evidenziato dalle simulazioni Montecarlo

La simulazione Montecarlo è costituita da una serie di analisi dove i principali parametri che compaiono nelle model dei componenti circuitali vengono fatti variare secondo una distribuzione casuale. Nel nostro caso tale distribuzione casuale è di tipo Gaussiano ed uniforme.

Questo tipo di simulazione rappresenta le variazioni di processo che possono verificarsi durante la realizzazione del chip, sia in termini di variazioni delle dimensioni dei singoli dispositivi, sia in termini di mismatching. Essa dunque è importante perchè permette di verificare l'effettiva fabbricabilità del circuito progettato.

Come risultato della simulazione si sono ottenute delle forme d'onda con andamento molto diverso da quello di figura 3.11, la dispersione dei parametri effettuata dalla simulazione fa sì che il comportamento del circuito non sia più quello previsto. Dalle forme d'onda ottenute si capisce che la capacità C_1 si carica ma non si scarica completamente e ciò è dovuto alla presenza di una corrente di offset che si sovrappone al segnale utile.

Durante la fase di carica di fatto all'interno della capacità C_1 scorre la corrente che costituisce il segnale utile $\frac{(I_X - I_R)}{2}$, ma scorre anche una corrente di offset costante che integrata provoca un aumento della tensione ai capi della capacità e un aumento della carica accumulata sulle armature della stessa. Di conseguenza la corrente di scarica, che è stata dimensionata non tenendo conto dell'effetto della corrente di offset, non riesce in metà periodo di clock a scaricare del tutto C_1 , e la tensione ($V_{OUT2} - V_{OUT1}$) non diventa mai positiva e non raggiunge mai la soglia di commutazione del comparatore. Ne segue che l'uscita del comparatore non commuta mai al livello alto e naturalmente il circuito non funziona in modo corretto.

Ragionando in termini di carica e tenendo conto della presenza della corrente di offset I_{off} , la carica accumulate sulle armature di C_1 al termine dell'intero periodo di clock risulta essere:

$$Q = \frac{(I_X - I_R) T_{CK}}{2} + I_{off} T_{CK} - \frac{I_{DIS} T_{CK}}{2} \quad (3.65)$$

Dove $\frac{(I_X - I_R)T_{CK}}{2}$ è la carica accumulata ai capi di C_1 durante il periodo di funzionamento del circuito che abbiamo indicato come fase1, $\frac{I_{DIS}T_{CK}}{2}$ è la carica eliminata dalla corrente di scarica durante la fase2, ed infine $I_{off}T_{CK}$ è il contributo di carica dovuto alla corrente che offset su tutto il periodo di clock. Per ottenere la scarica totale del condensatore in un intervallo di tempo minore o al massimo uguale alla metà del periodo di clock è chiaro che deve valere:

$$\begin{aligned}
 \frac{I_{DIS}T_{CK}}{2} &\geq \frac{(I_X - I_R)T_{CK}}{2} + I_{off}T_{CK} \\
 I_{DIS} &\geq \frac{(I_X - I_R)}{2} + 2I_{off} \\
 I_{off} &\leq \frac{1}{2} \left[I_{DIS} - \frac{(I_X - I_R)}{2} \right] \\
 I_{off} &\leq \frac{1}{2} \left[I_{DIS} - \frac{1}{2}(C_X - C_R) \frac{dV_S}{dt} \right]
 \end{aligned} \tag{3.66}$$

Per rispettare tale condizione di funzionamento si potrebbe pensare di aumentare la corrente I_{DIS} , in realtà un aumento della corrente di scarica non è conveniente perché comporterebbe una riduzione della sensibilità dell'intero sistema.

Infatti si ricordi che la corrente di scarica vale $(I_2 - I_1)/2$, quindi aumentarla significherebbe aumentare $(I_2 - I_1)$ e ciò comporterebbe una diminuzione della durata dell'impulso la cui espressione è $\tau = \frac{(C_X - C_R)\Delta V_S}{(I_2 - I_1)}$ come ricavato nella

formula (3.64). Quindi aumentando la corrente di scarica, a parità di variazione di capacità $(C_X - C_R)$, si avrebbe un impulso di durata minore.

I problemi riguardanti tale configurazione circuitale sono stati risolti passando ad una nuova soluzione che rappresenta la versione finale del convertitore capacità-PWM, essa sarà descritta nel prossimo paragrafo.

3.4 Versione finale del convertitore capacità-PWM

Il principio di funzionamento è analogo a quello della soluzione precedente: in una prima fase si carica una capacità C_I con una corrente proporzionale alla variazione di capacità ($C_X - C_R$) che è ciò che vogliamo misurare; mentre in una seconda fase la si scarica con una corrente costante e si genera un impulso proporzionale al tempo di scarica. Tale impulso risulterà proporzionale alla carica accumulata e quindi alla grandezza di interesse ($C_X - C_R$).

Le differenze fondamentali tra la soluzione attuale e quella precedente sono:

- nella soluzione circuitale precedente era presente un circuito ausiliario utilizzato per la scarica della capacità C_I , mentre in quella attuale esso non esiste più ma carica e scarica sono effettuate dallo stesso circuito, come vedremo in seguito;
- nella soluzione attuale è prevista la presenza di una corrente di offset costante che si sovrappone al segnale utile. Essa, in una fase di funzionamento, si somma al segnale, mentre in quella successiva si sottrae allo stesso dando alla fine un contributo nullo. Ciò è ottenuto mediante l'uso di due multiplexer che in una fase di funzionamento collegano le due sezioni superiori di destra e sinistra alle corrispondenti sezioni inferiori di destra e sinistra, mentre nella successiva incrociano i collegamenti, in che modo ciò è effettuato sarà chiarito meglio nel prossimo paragrafo. Per ora ci limitiamo a dire che questo meccanismo è la caratteristica peculiare della nuova soluzione circuitale e che permetterà di risolvere i problemi riscontrati nella precedente.

Descrizione del circuito.

La nuova soluzione circuitale è quella rappresentata in figura 3.12. Ancora una volta si è scelto di omettere il circuito di polarizzazione e quello di controllo del modo comune per rendere la figura più leggibile. La sezione di polarizzazione è collegata al nodo B in modo tale da creare un collegamento a specchio con i pmos M7 ed M8, che agiranno quindi come generatori di corrente costante, e al nodo indicato con A in modo da fornire un corretto valore di tensione di gate per M5 ed M6. Il circuito di controllo del modo comune è invece collegato al nodo indicato in figura 3.12 con CMFB ed agisce in modo tale da mantenere costante il valore di modo comune delle uscite.

Le capacità C_X e C_R hanno un terminale a comune collegato al segnale di ingresso V_S , mentre l'altro collegato al drain di M1 ed M2 rispettivamente, come accadeva anche nella configurazione precedente.

I due transistori M1 ed M2 sono identici come pure M3 ed M4, però si deve sottolineare il fatto che i due rami centrali del circuito, quello formato dai mosfet M1, M3, M5 ed M7 e quello formato dai transistori M2, M4, M6 ed M8 non sono tra loro uguali. Infatti M7 ed M5 del ramo di sinistra sono caratterizzati da un valore di molteplicità pari a 50, mentre M8 ed M6 del ramo di destra hanno la stessa W ed L dei precedenti ma un fattore di molteplicità pari a 43. Di conseguenza le correnti I_1 ed I_2 di figura 3.12 sono diverse tra loro e la loro differenza origina una corrente di offset che scorre nella capacità C_1 .

Anche nella figura 3.12, come in quelle precedenti, si è adottata la convenzione che i nodi indicati con lo stesso nome siano collegati tra loro.

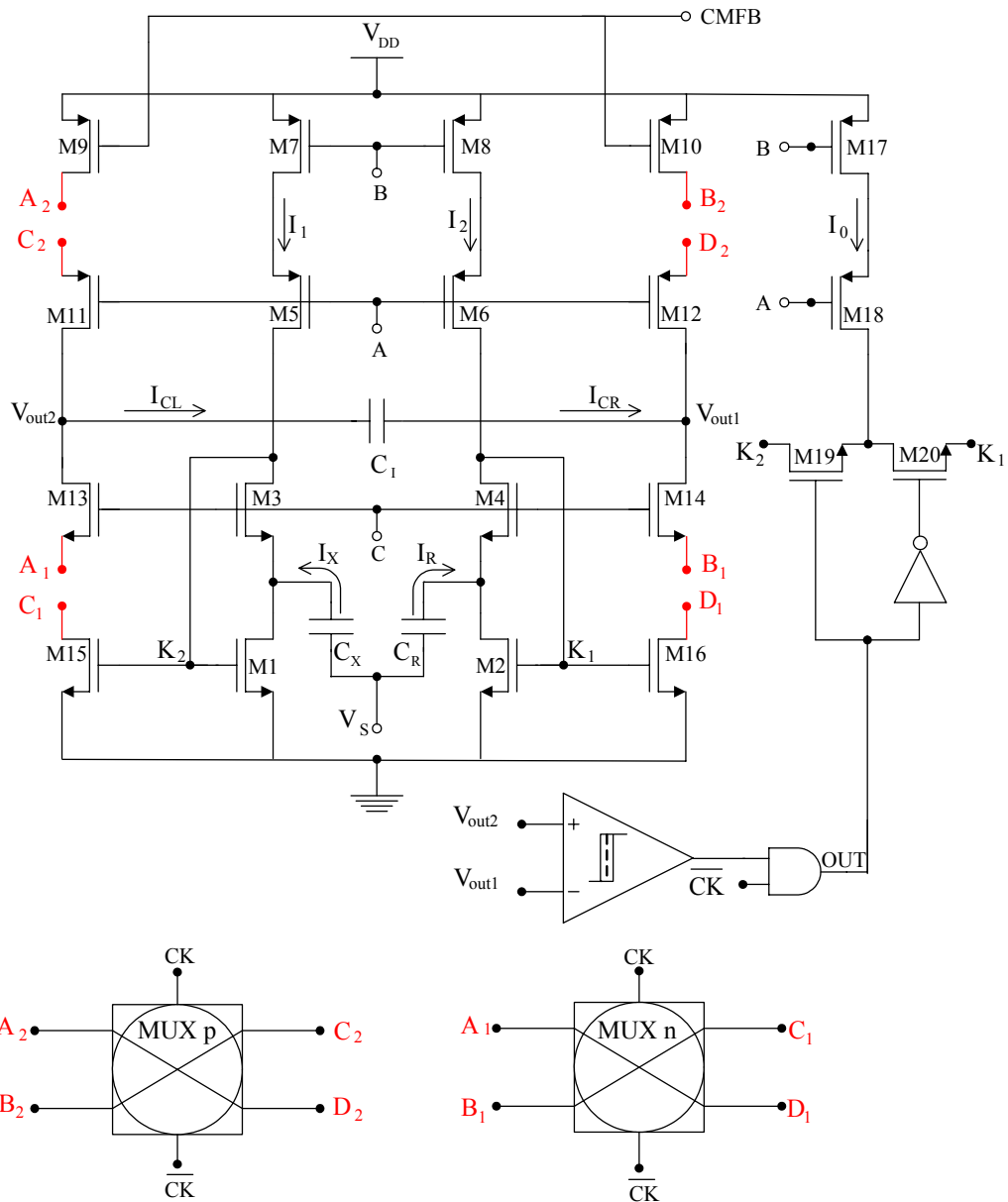


Figura 3.12 Circuito elettronico di interfaccia scelto come soluzione definitiva, in rosso sono evidenziati i nodi collegati ai due multiplexer MUXp e MUXn.

Il ramo costituito da M17 ed M18 è attraversato da una corrente indicata in figura 3.12 con I_0 , essa si andrà a sommare alla I_1 o alla I_2 , in dipendenza dal valore dell'uscita. Di fatti il segnale di uscita dell'intero sistema e il suo negato pilotano rispettivamente i gate dei mosfet M19 ed M20 che funzionano come due

interruttori. Quando M19 è attivo M20 è spento e il ramo formato da M17 ed M18 è connesso in parallelo ad M7 ed M5, mentre al contrario quando M19 è spento ed M20 è attivo, M17 ed M18 sono connessi in parallelo ad M8 ed M6.

Le due uscite dell'amplificatore transconduttivo, indicate in figura 3.12 con V_{OUT1} e V_{OUT2} , sono collegate rispettivamente all'ingresso invertente e non invertente di un comparatore con isteresi. L'uscita di quest'ultimo in AND con il segnale di clock negato da origine all'uscita dell'intero sistema indicata in figura 3.12 con OUT.

Infine i due blocchi indicati in figura 3.12 con MUXn ed MUXp sono due multiplexer. Essi saranno descritti più in dettaglio nel prossimo paragrafo. Per ora ci limitiamo a dire che MUXn è utilizzato per collegare in una prima fase di funzionamento A1 con D1 e B1 con C1 e in quella successiva A1 con C1 e B1 con D1, in modo analogo MUXp collega in una prima fase di funzionamento A2 con D2 e B2 con C2 ed in una seconda fase A2 con C2 e B2 con D2. I due multiplexer sono opportunamente pilotati dal segnale di clock e dal suo negato che, come nelle soluzioni precedentemente descritte, sono ottenuti con un generatore di clock a due fasi non sovrapposte. Il segnale di clock è un'onda quadra con periodo di $20\mu\text{s}$, il segnale V_S è un'onda triangolare sincrona con il clock ottenuta con un apposito circuito che sarà descritto in dettaglio nell'ultimo paragrafo di questo capitolo.

Le dimensioni dei mosfet sono:

Dispositivo	Tipo	W(μm)	L(μm)	Molteplicità
M1,M2	NMOS	4	10	1
M3,M4	NMOS	5	2	1
M5,M7	PMOS	2	25	50
M6,M8	PMOS	2	25	43
M9,M10,M11,M12	PMOS	8	2	1
M13,M14	NMOS	5	2	1

M15,M16	NMOS	4	10	1
M17,M18	PMOS	2	25	3
M19,M20	NMOS	1	0,7	1

Tabella 3.4 dimensionamento dei mosfet

Funzionamento del circuito

Partiamo dalla condizione in cui il segnale di clock è alto ed assumiamo che questa sia la fase 1 di funzionamento del circuito.

Il segnale di clock e il suo negato pilotano i due multiplexer MUXn e MUXp così che, quando il clock è alto, il multiplexer n collega l'ingresso A1 all'uscita D1 e l'ingresso B1 all'uscita C1, in modo analogo il multiplexer p collega A2 a D2 e B2 a C2, quindi il circuito si presenta come quello di figura 3.13.

Si osservi che in figura 3.13 il ramo formato da M17 ed M18 è in parallelo a quello formato da M8 ed M6. Di fatto, come già detto in precedenza, i due interruttori M19 ed M20 di figura 3.12 sono pilotati rispettivamente dall'uscita dell'intero sistema e dall'uscita negata; l'uscita a sua volta è ottenuta con una operazione di AND logico tra l'uscita del comparatore e il segnale di clock negato. Nella fase 1 di funzionamento il segnale di clock negato è basso e quindi forza l'uscita del sistema a zero, indipendentemente dall'uscita del comparatore. Allora essendo il segnale di uscita nullo il mosfet M19 è spento mentre M20 è attivo e collega il drain di M18 al drain di M6. In questo modo M17 ed M18 sono connessi in parallelo ad M6 ed M8 e la corrente I_0 si va a sommare alla corrente I_2 di figura 3.13.

le correnti che scorrono nelle due capacità C_X e C_R hanno il verso di percorrenza indicato in figura 3.13.

Se I_1 è la corrente imposta da M7 ad M5 ed M3, scrivendo il bilancio delle correnti in corrispondenza del nodo di drain di M1, si avrà:

$$I_{D1} = I_1 + I_X \quad (3.67)$$

Tale corrente verrà poi specchiata in M14 grazie alla presenza del collegamento incrociato tra C1 e B1 attivato dal multiplexer n. Scrivendo quindi il bilancio delle correnti in corrispondenza del nodo di uscita, indicato in figura con V_{OUT1} avremo:

$$I_{C_R} = (I_1 + I_X) - I_{CMFB} \quad (3.68)$$

Dove I_{C_R} è la corrente uscente dalla capacità C_1 da destra e I_{CMFB} è la corrente pilotata dal circuito di controllo del modo comune.

Passando al ramo di destra, se I_2 di figura 3.13 è la corrente imposta da M8 ad M6, ed I_0 è quella che scorre nel ramo formato da M17 ed M18, nel transistore M4 scorrerà una corrente pari a:

$$I_{D4} = (I_2 + I_0) \quad (3.69)$$

Quindi scrivendo il bilancio delle correnti al nodo che rappresenta il drain di M2 si avrà:

$$I_{D2} = (I_2 + I_0) + I_R \quad (3.70)$$

Tale corrente è specchiata in M13 grazie al collegamento incrociato tra A1 e D1 attivato dal multiplexer n, di conseguenza effettuando il bilancio delle correnti al nodo di uscita, indicato in figura con V_{OUT2} , otteniamo:

$$I_{C_L} = I_{CMFB} - (I_2 + I_R + I_0) \quad (3.71)$$

dove I_{C_L} è la corrente che entra nella capacità C_1 da sinistra.

I_{CL} ed I_{CR} devono essere uguali per come sono state definite, di conseguenza imponendone l'uguaglianza si avrà:

$$\begin{aligned} I_{C_L} = I_{C_R} \Rightarrow \quad & I_{CMFB} - (I_2 + I_R + I_0) = (I_1 + I_X) - I_{CMFB} \\ & 2I_{CMFB} = (I_1 + I_X + I_2 + I_R + I_0) \end{aligned} \quad (3.72)$$

Possiamo definire la differenza tra la corrente I_1 e la corrente I_2 come una corrente di offset I_{off} , così facendo:

$$(I_1 - I_2) = I_{off} \Rightarrow I_1 = I_2 + I_{off} \quad (3.73)$$

Sostituendo la definizione di formula 3.73 nell'equazione 3.72, si ottiene:

$$\begin{aligned} 2I_{CMFB} &= (I_2 + I_{off} + I_X + I_2 + I_R + I_0) \\ 2I_{CMFB} &= (2I_2 + I_{off} + I_X + I_R + I_0) \\ I_{CMFB} &= \left(I_2 + \frac{I_{off}}{2} + \frac{(I_X + I_R)}{2} + \frac{I_0}{2} \right) \end{aligned} \quad (3.74)$$

Utilizzando l'espressione di I_{CMFB} appena ricavata e sostituendola in quella di I_{C_L} di formula (3.71) si avrà:

$$I_{C_L} = I_{C_R} = I_C = \left(I_2 + \frac{I_{off}}{2} + \frac{(I_X + I_R)}{2} + \frac{I_0}{2} \right) - (I_2 + I_R + I_0) \quad (3.75)$$

Dalla quale l'espressione della corrente nella capacità risulta:

$$I_C = \frac{(I_X - I_R)}{2} + \frac{I_{off}}{2} - \frac{I_0}{2} \quad (3.76)$$

Questa è la corrente che attraversa la capacità C_1 durante tutta la fase 1, che ha la durata di metà periodo di clock, si osservi che in essa compaiono tre contributi, il primo è $\frac{(I_X - I_R)}{2}$ e dipende dal segnale V_S applicato, il secondo è $\frac{I_{off}}{2}$ ed è

legato alla corrente di offset, infine il terzo è $\frac{I_0}{2}$ e dipende dalla corrente I_0 del ramo formato da M17 ed M18.

Durante tale intervallo di tempo V_{OUT2} aumenta, mentre V_{OUT1} diminuisce. La differenza tra le due ($V_{OUT2} - V_{OUT1}$), che rappresenta l'ingresso differenziale del comparatore, come mostrato in figura 3.15, parte da un valore negativo e poi aumenta durante tutto il semiperiodo di clock. Ad un certo istante ($V_{OUT2} - V_{OUT1}$) attraversa lo zero e supera la soglia alta di commutazione del comparatore, di conseguenza l'uscita del comparatore passa al livello alto, ma ciò non influenza l'uscita dell'intero sistema perché il segnale di clock negato è ancora al livello basso, come mostrato in figura 3.15.

Tutto ciò è vero fino a quando non avviene la commutazione del segnale di clock, quando quest'ultimo passa dal livello alto al livello basso ha inizio la fase2 di funzionamento del sistema, quella in cui avviene la scarica della capacità C_1 . Innanzitutto osserviamo che alla fine della fase 1 l'uscita del comparatore è alta, quindi la commutazione verso il livello basso del segnale di clock, che determina l'inizio la fase 2, fa sì che anche l'uscita dell'intero sistema commuti al livello alto, in quanto essa è il risultato di una operazione di AND logico tra l'uscita del comparatore e il segnale di clock negato.

Dunque quando il clock commuta dal livello alto a quello basso ha inizio l'impulso di uscita.

Il segnale di clock pilota i due multiplexer MUXn e MUXp, e quando il segnale di clock diventa basso i due multiplexer commutano realizzando dei collegamenti opposti ai precedenti. Così MUXn collega A1 a C1 e B1 a D1, mentre MUXp collega A2 a C2 e B2 a C2 e il circuito si presenta come in figura 3.14.

In corrispondenza della commutazione del clock anche la forma d'onda di ingresso cambia pendenza, come si vede in figura 3.15 e di conseguenza la correnti I_X ed I_R risultano essere invertite rispetto alla fase precedente.

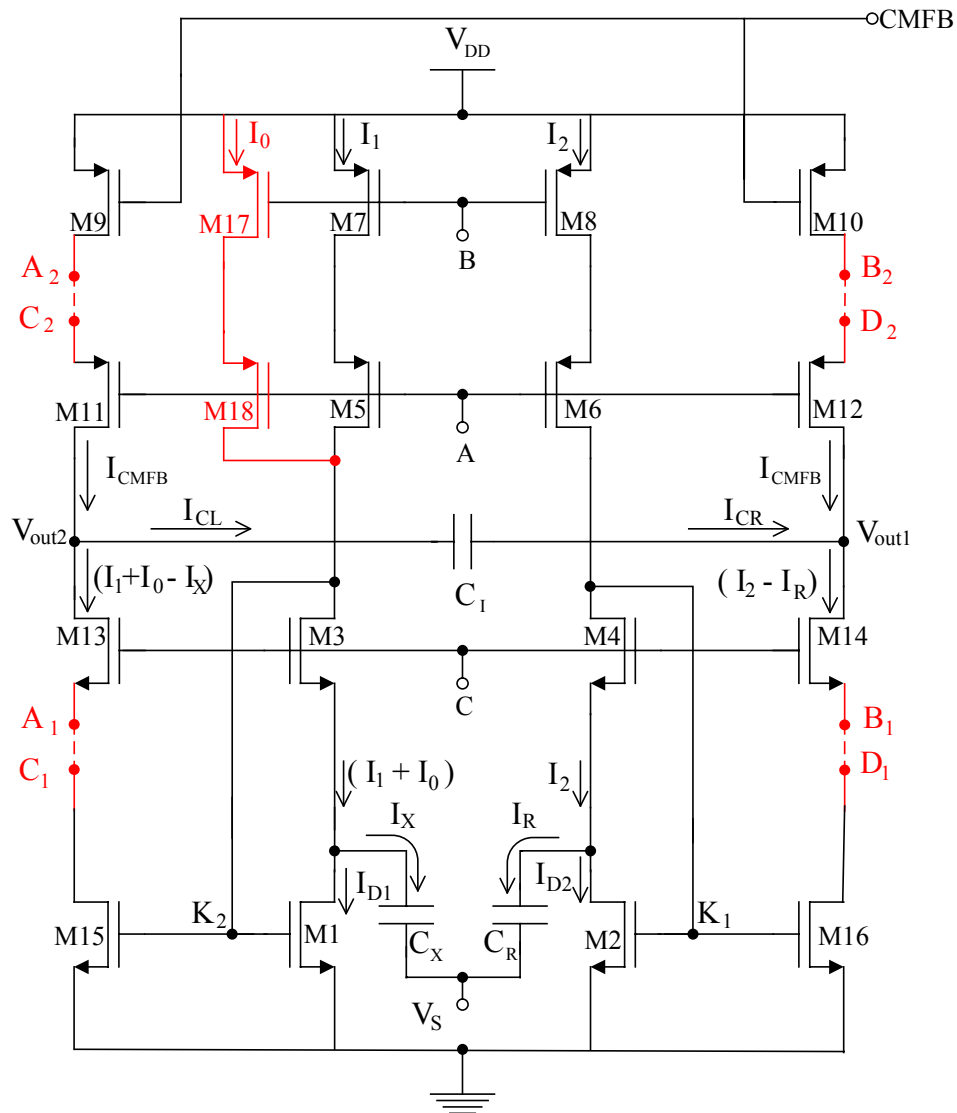


Figura 3.14 Configurazione del circuito durante la seconda fase di funzionamento. In rosso sono evidenziati i due mosfet M17 ed M18 nei quali scorre la corrente I_0 e i collegamenti diretti realizzati dal multiplexer di tipo n ($A_1 \rightarrow C_1$ e $B_1 \rightarrow D_1$) e dal multiplexer di tipo p ($A_2 \rightarrow C_2$ e $B_2 \rightarrow D_2$).

L'espressione della corrente I_C che scorre all'interno della capacità C_1 in questa seconda fase può essere ricavata a partire dall'espressione della I_C di formula 3.76, che deriva dallo studio del funzionamento del sistema nella fase 1. I

contributi che formano la corrente I_C saranno sempre gli stessi ma si dovrà vedere se avranno lo stesso segno oppure segno opposto.

La componente $\frac{(I_X - I_R)}{2}$ che scorre all'interno della capacità C_1 subisce una doppia inversione, una dovuta alla commutazione del multiplexer MUXn e l'altra dovuta all'inversione di pendenza del segnale di ingresso. Il risultato è che tale componente continua a scorrere con lo stesso verso all'interno della C_1 e quindi comparirà nell'espressione della I_C con lo stesso segno che aveva in precedenza.

La componente $\frac{I_{off}}{2} = \frac{(I_1 - I_2)}{2}$ invece, chiaramente non dipende dal segnale di ingresso V_S , di conseguenza subisce solo l'inversione di segno dovuta alla commutazione del multiplexer di tipo n e si ritroverà all'interno della espressione di I_C con segno opposto a quello che aveva nella fase 1.

Per ciò che riguarda la componente $\frac{I_0}{2}$ si deve tenere conto del fatto che in questa fase il ramo formato da M17 ed M18 non è più in parallelo ad M8 ed M6 ma è connesso in parallelo ad M7 ed M5, come mostrato in figura 3.14. Infatti abbiamo già spiegato che non appena il clock commuta anche l'uscita dell'intero sistema commuta e passa al livello alto, di conseguenza il segnale sul gate di M20 di figura 3.12 passa al livello basso e il transistor si disattiva, mentre quello sul gate di M19 passa al livello alto attivando il mosfet. Con M19 attivo il drain di M18 è connesso a quello di M5 e in tali condizioni la corrente I_0 si va a sommare alla corrente I_1 e non più alla I_2 come accadeva nella fase 1. Quindi la corrente I_0 subisce una doppia inversione, una provocata dalla commutazione dell'uscita ed una provocata dalla commutazione del multiplexer di tipo n, di conseguenza il suo contributo alla I_C nella fase 2 ha lo stesso segno di quello nella fase 1.

In conclusione, l'espressione della corrente all'interno della capacità C_1 in questa seconda fase risulta essere:

$$I_C = \frac{(I_X - I_R)}{2} - \frac{I_{off}}{2} - \frac{I_0}{2} \quad (3.77)$$

Quindi il segnale utile $\frac{(I_X - I_R)}{2}$ compare con segno opposto alla componente di

offset e alla componente I_0 che ha il compito di scaricare la capacità C_I .

In questa seconda fase la tensione ($V_{OUT2} - V_{OUT1}$) diminuisce fino a diventare minore di zero, e a superare la soglia di commutazione verso basso del comparatore, come si può vedere in figura 3.15. Ciò forza l'uscita dell'intero sistema a zero. A questo punto se l'uscita del sistema è nulla, il transistor M19 si disattiva ed M20 si attiva, dunque I_0 si andrà a sommare nuovamente ad I_2 . Di conseguenza prima che il periodo di clock termini la corrente I_0 subisce una nuova inversione a causa della commutazione verso il basso dell'uscita, cioè della fine dell'impulso di uscita. Quindi nell'intervallo di tempo che inizia in $(\frac{T_{CK}}{2} + \tau)$ e

termina in T_{CK} la corrente che attraversa C_I sarà:

$$I_C = \frac{(I_X - I_R)}{2} - \frac{I_{off}}{2} + \frac{I_0}{2} \quad (3.78)$$

Come contributo negativo che scarica la capacità rimane solo I_{off} , quindi la scarica sarà più lenta come evidenziato dalla minore pendenza della curva ($V_{OUT2} - V_{OUT1}$) in figura 3.15.

Tutto lo studio del circuito è stato fatto supponendo che V_S sia una forma d'onda triangolare, come riportato anche in figura 3.15. In realtà, per motivi che saranno spiegati nel prossimo paragrafo, V_S non è perfettamente triangolare ma il tratto in discesa della forma d'onda è più ripido di quella in salita, per cui essa raggiunge il valore di partenza prima della fine del periodo di clock e termina con un tratto costante.

Tuttavia ciò non implica nulla ai fini del corretto funzionamento del circuito e quindi per rendere la trattazione più semplice continuiamo a considerare V_S come onda triangolare.

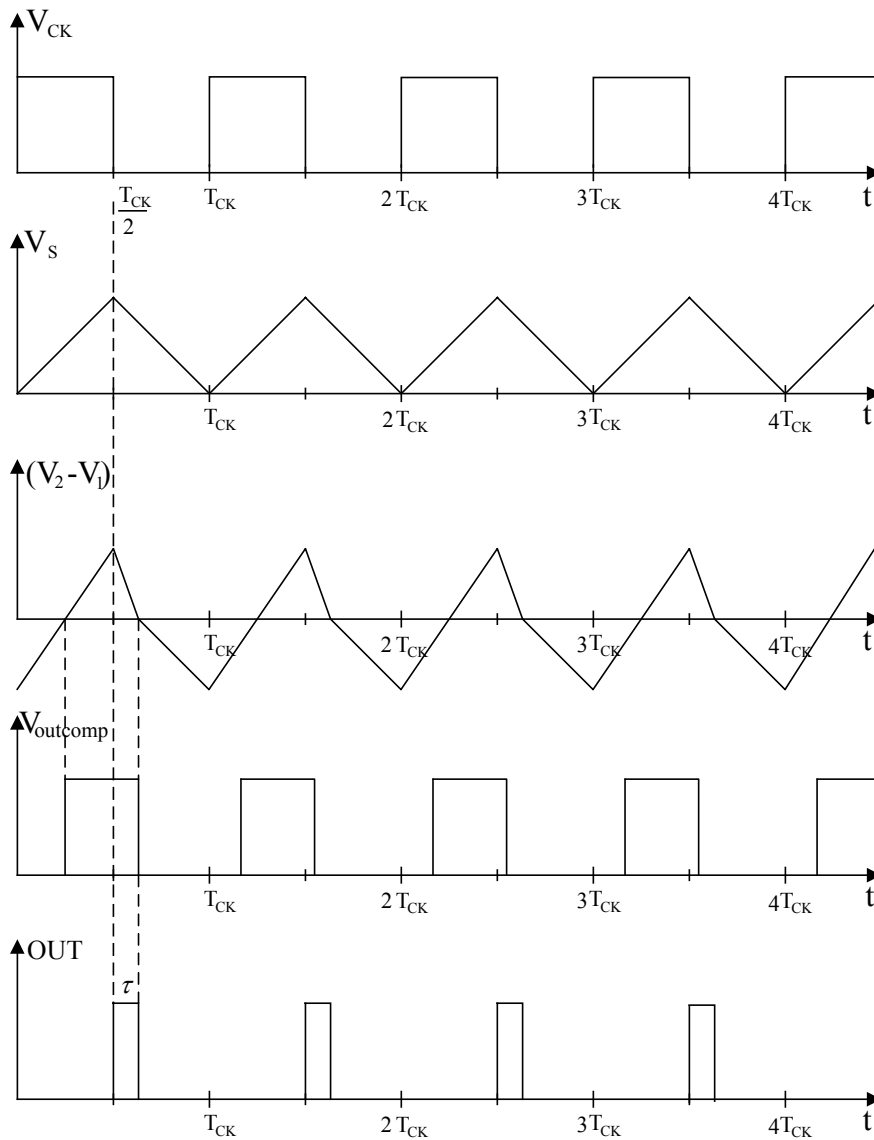


Figura 3.15 Forme di ingresso e di uscita del circuito di interfaccia scelto come definitivo. Partendo dall'alto abbiamo: il segnale di clock (V_{CK}), il segnale di ingresso V_S , la differenza tra le due uscite ($V_2 - V_1$), l'uscita del comparatore $V_{outcomp}$, l'uscita dell'intero sistema (OUT).

Studiando il problema dal punto di vista della carica :

- il segnale utile $\frac{(I_X - I_R)}{2}$ è positivo sia nella fase 1 che nella fase 2 di funzionamento, dunque dà un contributo di carica Q_X positivo durante tutto il periodo di clock;
- la componente di offset $\frac{I_{off}}{2}$ dà un contributo di carica Q_{off} positivo nel semiperiodo in cui il clock è al livello alto (fase 1) e negativo nel semiperiodo in cui il clock è al livello basso (fase 2);
- la componente $\frac{I_0}{2}$ dà un contributo di carica negativo (Q_A) per tutta la durata della fase 1, ancora un contributo negativo (Q_B) per un intervallo di durata τ della fase 2, ed infine un contributo in carica positivo (Q_C) per un intervallo della durata pari a $\left(\frac{T_{CK}}{2} - \tau\right)$.

Per avere un corretto funzionamento del circuito, la carica totale accumulata nella fase 1 della essere completamente scaricata nella fase2 e quindi deve valere:

$$\underbrace{(Q_X + Q_{off} - Q_A)}_{fase1} + \underbrace{(-Q_B + Q_C - Q_{off})}_{fase2} = 0 \quad (3.79)$$

$$Q_X = Q_A + Q_B - Q_C \quad (3.80)$$

Sostituendo alle cariche la loro espressione in corrente abbiamo:

$$\frac{(I_X - I_R)}{2} T_{CK} = \frac{I_0}{2} \frac{T_{CK}}{2} + \frac{I_0}{2} \tau - \frac{I_0}{2} \left(\frac{T_{CK}}{2} - \tau\right) \quad (3.81)$$

$$\frac{(I_X - I_R)}{2} T_{CK} = I_0 \tau \quad (3.82)$$

Da cui si ricava che la durata dell'impulso di uscita sarà:

$$\tau = \frac{(I_X - I_R)}{2I_0} T_{CK} \quad (3.83)$$

Ricordando che $(I_X - I_R) = (C_X - C_R) \frac{dV_S}{dt}$ si avrà in conclusione:

$$\tau = \frac{(C_X - C_R)}{2I_0} \frac{dV_S}{dt} T_{CK} \quad (3.84)$$

Il segnale di ingresso V_S sarà prodotto mediante un apposito circuito ausiliario di cui si parlerà in seguito, per ora ci limitiamo a dire che verrà generato caricando e scaricando una capacità C_0 con una opportuna corrente che indichiamo con I_G .

Di conseguenza si può dire che:

$$\frac{dV_S}{dt} = \frac{1}{C_0} I_G \quad (3.85)$$

Combinando la formula (3.85) e la (3.84) otteniamo la seguente espressione per τ :

$$\tau = \frac{(C_X - C_R)}{C_0} \frac{I_G}{I_0} \frac{T_{CK}}{2} \quad (3.86)$$

Quindi osserviamo che la durata dell'impulso τ dipende da:

- la quantità $(C_X - C_R)$, che varia linearmente con la grandezza sotto misura. Per esempio se C_X è la capacità del sensore e C_R è quella di riferimento si ha che $(C_X - C_R) = C_{RIP} + KX - C_{RIP} = KX$;
- un rapporto tra correnti, che può essere ottenuto preciso derivando le correnti in questione da una unica mediante un sistema di specchi;
- il periodo del segnale di clock, che può essere ottenuto estremamente preciso se realizziamo il clock utilizzando un oscillatore quarzato.

Infine è importante sottolineare anche l'importanza del multiplexer di tipo p. Infatti, il multiplexer di tipo n elimina gli effetti di una eventuale corrente di offset che si sovrappone al segnale utile come spiegato poco sopra, mentre quello di tipo p elimina gli effetti di un eventuale offset che si sovrappone alla corrente di controllo del modo comune I_{CMFB} .

Quindi l'aspetto innovativo della soluzione circuitale attuale è proprio l'utilizzo dei multiplexer che permette di cancellare il contributo dell'offset, che rappresentava un problema fondamentale della soluzione precedente. Questo porterà ad ottenere dei risultati delle simulazioni Montecarlo notevolmente migliori come sarà evidenziato nel prossimo capitolo.

3.5 Circuiti ausiliari

Passiamo ora alla descrizione dettagliata dei circuiti ausiliari utilizzati che sono:

- il generatore del segnale di ingresso a rampa V_S ;
- il comparatore con isteresi;
- i multiplexer;
- il circuito di polarizzazione;
- il circuito di controllo del modo comune.

Generatore di rampa

Il circuito che è stato progettato per la generazione della rampa V_S è quello rappresentato in figura 3.16.

I transistori M5, M6 ed M7 formano un integratore di Miller utilizzato per la carica e la scarica della capacità C_0 . Tale circuito è costituito dalla cascata di uno stadio a source comune, invertente e ad elevato guadagno, e di uno stadio "source follower" non invertente e caratterizzato da guadagno all'incirca unitario.

Le correnti di carica e di scarica sono fornite all'integratore rispettivamente, dallo specchio ad n mos formato da M9 ed M10 e da quello a p mos che M11 ed M12 formano con la rete di polarizzazione.

I transistori M1, M2, M3 ed M4 funzionano come interruttori e collegano alternativamente l'integratore di Miller ad uno dei due specchi appena citati.

I transistori di tipo n M1 ed M2 sono tra loro uguali e sono pilotati rispettivamente dal segnale di clock del sistema e dal suo negato, questo per ottenere una rampa

Quindi, durante il semiperiodo in cui il segnale di clock è alto, M2 ed M3 sono entrambi spenti mentre M1 ed M4 sono attivi. In particolare M4 è collegato ad un riferimento di tensione ottenuto con il mosfet M8 chiuso a diodo, mentre M1 collega la capacità C_0 al drain di M10. In tale situazione la capacità C_0 si carica attraverso la corrente fornita dallo specchio formato da M9 ed M10 e la tensione sul terminale non invertente del comparatore aumenta. Quando la tensione differenziale in ingresso al comparatore, $(V^+ - V^-)$, diventa positiva e supera la soglia di commutazione dello stesso, la tensione di uscita del comparatore passa al livello alto, ma fin tanto che il segnale di clock è al suo livello alto il segnale "DIS" rimane basso, la capacità continua a caricarsi e la tensione di uscita dell'intero sistema (indicata in figura 3.16 con " V_{OUT} ") ad aumentare. Quindi per tutto l'intervallo di tempo in cui il segnale di clock si trova al livello alto sul terminale di uscita " V_{OUT} " abbiamo una rampa di tensione crescente.

Quando il clock commuta e passa al livello basso di tensione, l'uscita del comparatore è già alta e di conseguenza l'uscita della porta AND di figura 3.16 passa al livello alto. A questo punto il segnale "DIS" è al livello alto mentre il clock è basso, quindi ripetendo ragionamenti analoghi a quelli fatti poco sopra si ha che: M1 ed M4 sono spenti, mentre M2 ed M3 sono attivi. M2 ha il drain collegato ad un valore di tensione costante, ottenuto mediante M8 chiuso a diodo, mentre M3 collega la capacità C_0 al drain di M12 permettendo così che essa si scarichi ad una corrente costante fornita dal M11 ed M12 .

Si vuole generare una forma d'onda che parta dal valore minimo di 0V ed arrivi al valore massimo di 1V in un intervallo di tempo pari a metà periodo di clock, ossia 10 μ s. La capacità C_0 è stata scelta di valore pari a 3 pF, per cui M9 ed M10 sono stati dimensionati in modo tale da produrre una corrente di 300 nA, per avere una escursione in tensione ai capi di C_0 di un Volt.

M11 ed M12 invece sono stati dimensionati per avere una corrente di drain più elevata, in modo tale che la scarica avvenga più velocemente della carica. Quindi la scarica termina prima della fine del periodo di clock, quando il condensatore è

completamente scarico l'uscita del comparatore commuta verso il livello basso forzando il segnale "DIS" a zero. A questo punto sia il clock che il segnale "DIS" si trovano al livello basso, quindi sia M3 che M1 sono spenti e la tensione ai capi della capacità si mantiene costante. Quindi il segnale generato non è un'onda triangolare ma è un'onda caratterizzata da un tempo di discesa minore del tempo di salita, così che si ha un piccolo intervallo di tempo finale in cui l'uscita è costante. La forma d'onda generata non è dunque un'onda triangolare, ma è del tipo riportato in figura 3.17.

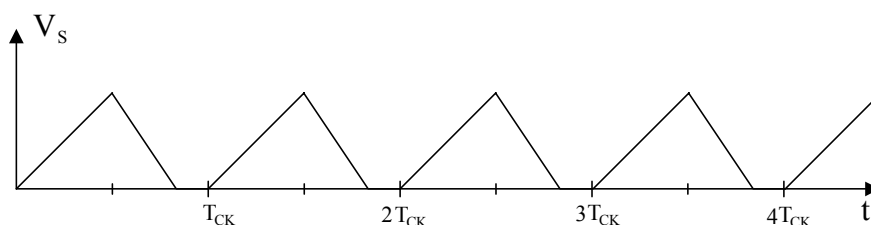


Figura 3.17 Segnale V_s generato dal circuito di figura 3.16, si osservi che durante la fase di discesa la pendenza del segnale è maggiore rispetto alla fase di salita, l'onda raggiunge prima della fine del periodo di clock il valore iniziale e si stabilizza rimanendo costante fino al termine del periodo stesso.

Si è scelto di realizzare una forma d'onda di questo tipo e non perfettamente triangolare perché per avere un'onda triangolare, si deve dimensionare il circuito in modo che la corrente di carica e quella di scarica siano identiche. In tal caso anche un piccolo errore di matching porta ad una scarica non completa del condensatore, di conseguenza ad ogni periodo di clock si ha un accumulo di carica sul condensatore stesso che porta ad un aumento del valor medio della forma d'onda.

Nella seguente tabella sono riportate le dimensioni dei transistori utilizzati:

Dispositivo	tipo	W(μm)	L(μm)	molteplicità
M1,M2	NMOS	1	0,7	1
M3,M4	PMOS	1	0,7	1
M5,M6,M7,M8	NMOS	5	4	1
M9,M10	NMOS	5	4	1
M11,M13,M14	PMOS	2	25	50
M12	PMOS	2	25	15

Tabella 3.5 Dimensionamento dei mosfet del generatore del segnale di ingresso

Comparatore con isteresi

E' stato utilizzato un comparatore con isteresi realizzato in un precedente lavoro di tesi, opportunamente modificato per essere adattato alle nuove esigenze.

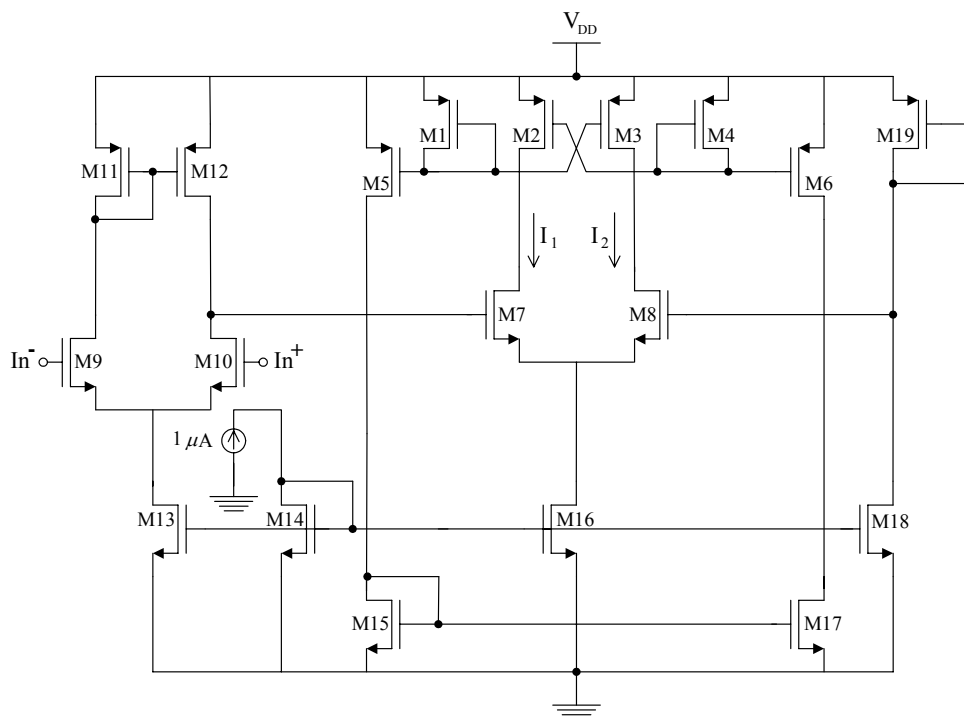


Figura 3.18 Comparatore con isteresi modificato con l'aggiunta di uno stadio di amplificazione di ingresso costituito da M9 ed M10.

Il nuovo schema del comparatore è quello mostrato in figura 3.18.

La cella base del comparatore è formata dai transistori M1, M2, M3 ed M4 di figura 3.18.

Per spiegare il funzionamento del comparatore consideriamo solo tale cella base connessa a due generatori di corrente come mostrato in figura 3.19 [13].

I mosfet M1 ed M4 sono identici, così come anche M2 ed M3. Adottiamo la convenzione di indicare $\beta_1 = \beta_4 = \beta_A$ e $\beta_2 = \beta_3 = \beta_B$, per avere l'isteresi è necessario rispettare la condizione fondamentale:

$$\beta_B > \beta_A \quad (3.87)$$

Si assuma che inizialmente $I_1 = I_0$ ed $I_2 = 0$, in tali condizioni iniziali M1 è attivo e lavora in zona di saturazione, quindi anche M3 è acceso perché come si vede in figura 3.19 i due transistori hanno la stessa V_{GS} : ($V_{GS1} = V_{GS3}$).

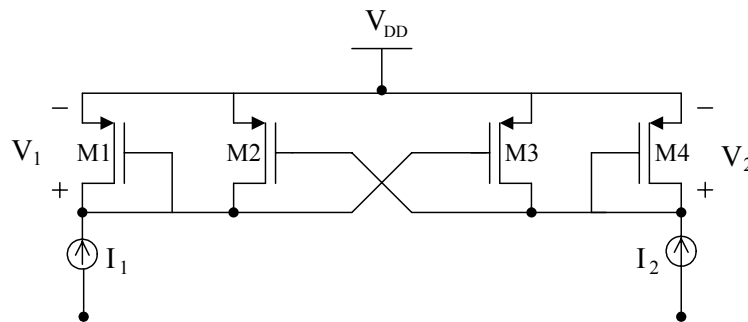


Figura 3.19 Cella base del comparatore con isteresi di figura 3.18

Essendo $I_2 = 0$, si può dimostrare che M4 è spento; di conseguenza se M4 è spento anche M2 lo è perché i due hanno la stessa V_{GS} : ($V_{GS2} = V_{GS4}$)

Riassumendo: nelle condizioni iniziali M1 ed M3 sono accesi mentre M2 ed M4 sono spenti.

Il drain di M3 è connesso al gate di M4 e i due hanno il terminale di source a comune per cui ($V_{DS3} = V_{GS4}$), essendo M4 spento $V_{DS3} = 0$ quindi M3 lavora in zona triodo.

Come detto poco sopra M1 lavora in zona di saturazione per cui dalla formula che esprime la corrente di drain di un mosfet in tale zona di lavoro si ricava:

$$|V_{GS1}| = |V_1| = V_{tp} + \sqrt{\frac{2I_0}{\beta_A}} \quad (3.88)$$

Quindi il β di M1 ed M4 deve essere dimensionato in modo che V_1 ed I_0 siano quelle indicate nelle specifiche del transistor.

Una condizione necessaria per il corretto funzionamento del comparatore è che :

$$|V_{GS1}| < |2V_{tp}| \quad (3.89)$$

Ricordando che i mosfet di cui si parla sono di tipo p, quindi la V_{GS} è negativa così come anche la tensione di soglia V_{tp} . Da qui in avanti per il resto della trattazione indicheremo i valori delle tensioni in modulo senza riportare l'operatore $|\cdot|$.

Supponiamo ora che I_2 aumenti progressivamente, M4 è spento e quindi ogni incremento di I_2 va ad aumentare la corrente di drain di M3. Di conseguenza V_{DS3} aumenta, in modulo, ed anche la tensione V_2 aumenta, con la polarità segnata in figura 3.19. La V_{GS} del mosfet M4 aumenta anch'essa ma M4 rimane spento fino a quando la sua V_{GS} arriva ad eguagliare la tensione di soglia V_{tp} . A questo punto M4 è acceso ma la sua corrente è nulla, tutta la I_2 è la corrente di drain di M3, e ci troviamo nella condizione:

$$V_{GS4} = V_{DS3} = V_{tp} \quad (3.90)$$

La tensione V_{GS} di M3 è coincide con V_{GS1} per la quale vale la condizione scritta nella formula (3.89), da tale condizione e dalla (3.90) possiamo dire che:

$$V_{DS3} > V_{GS3} - V_{tp} \quad (3.91)$$

Quindi M3 è in zona di saturazione, M1 lavora in zona di saturazione dall'inizio per cui si può dire che:

$$\frac{I_{D3}}{I_{D1}} = \frac{I_2}{I_1} = \frac{\beta_B}{\beta_A} > 1 \quad (3.92)$$

E a questo punto si innesca la reazione positiva e si ha commutazione rapida del livello logico sull'uscita.

Per calcolare l'ampiezza dell'isteresi facciamo riferimento al circuito di figura 3.18, indichiamo la corrente in M7 con I_1 e quella in M8 con I_2 e assumiamo:

$$(I_1 + I_2) = I_0 \quad (3.93)$$

Indicando con x il rapporto $\frac{\beta_B}{\beta_A}$, dalla formula (3.92) possiamo ricavare:

$$I_2 = xI_1 \quad (3.94)$$

Combinando la formula (3.93) e la (3.94) si ottiene:

$$I_2 + I_1 = I_0 = I_1(1+x) \quad \Rightarrow \quad \begin{aligned} I_1 &= \frac{I_0}{(1+x)} \\ I_2 &= \frac{xI_0}{(1+x)} \end{aligned} \quad (3.95)$$

Facendo l'ipotesi che la coppia differenziale formata da M7 ed M8 lavori in zona lineare:

$$(I_2 - I_1) = g_m V_d = I_0 \frac{(x-1)}{(x+1)} \quad (3.96)$$

In condizioni di riposo o piccolo sbilanciamento $I_0 = 2I_{D1} = 2I_{D2}$, ricordando che

$g_m = \frac{2I_{D1}}{(V_{GS} - V_t)_1}$ la precedente diventa:

$$V_d = \frac{(V_{GS} - V_t)_1}{2I_{D1}} I_0 \frac{(x-1)}{(x+1)} = (V_{GS} - V_t)_1 \frac{(x-1)}{(x+1)} \quad (3.97)$$

Concludendo l'ampiezza dell'isteresi risulta essere:

$$V_{is} = 2(V_{GS} - V_t)_1 \frac{(x-1)}{(x+1)} \quad (3.98)$$

Dove ricordiamo che abbiamo definito x come il rapporto tra i β . Quindi l'isteresi dipende dal rapporto $\frac{\beta_B}{\beta_A}$, e dalla $(V_{GS} - V_t)$ dei transistori della coppia differenziale M7 ed M8 di figura 3.18.

Nel progetto del comparatore i mosfet M7 ed M8 sono stati dimensionati in modo da ottenere l'isteresi più piccola possibile, allo scopo di ottenere un comportamento il più vicino possibile a quello di un comparatore ideale. Per diminuire ulteriormente l'isteresi è stato aggiunto uno stadio di amplificazione di ingresso utilizzando amplificatore differenziale con uscita single endend, formato dai mosfet M9, M10, M11 ed M12 di figura 3.18. Così facendo l'isteresi della cella base del comparatore risulta divisa per un fattore pari all'amplificazione dello stadio di ingresso che è $\left(\frac{g_m}{2}\right)r_d$.

Inoltre inizialmente si è detto che uno degli obiettivi è quello di ottenere una interfaccia low power quindi è evidente che anche il comparatore utilizzato deve essere a basso consumo. Di conseguenza i mosfet dello stadio di amplificazione di ingresso sono stati dimensionati in modo tale da ottenere un valore a riposo della corrente di drain di M9 ed M10 pari ad $1\mu A$, e quelli del comparatore sono stati ridimensionati in modo da avere un corrente di drain di M16 pari ad $1\mu A$, e così anche la corrente di drain di M15, M17 ed M18.

Dispositivo	tipo	W(μm)	L(μm)	molteplicità
M1, M4	PMOS	0,5	4	5
M2,M3	PMOS	0,5	4	6
M5,M6	PMOS	1	1	1
M7,M8	NMOS	0,75	1	1

M9,M10	NMOS	1	1	1
M11,M12	PMOS	4	1	1
M13,M14,M16,M18	NMOS	2	2	2
M15,M17	NMOS	1	1	1
M19	PMOS	20	5	1

Tabella 3.6: dimensionamento dei transistori del comparatore

Circuito di controllo del modo comune delle uscite

In tutte le soluzioni circuitali studiate per l'interfaccia si è scelto di utilizzare un sistema di controllo del modo comune statico, in particolare quello adottato nella versione finale del convertitore capacità-PWM è riportato in figura 3.20

In tale schema circuitale sono presenti due coppie differenziali utilizzate per calcolare il modo comune delle uscite.

Si vuole stabilizzare il modo comune delle uscite al valore V_{REF} in modo da avere:

$$\frac{(V_{OUT1} + V_{OUT2})}{2} = V_{REF} \quad (3.99)$$

La corrente di drain di M5 è indicata in figura 3.20 con I_A , mentre la corrente di drain di M6 è indicata in figura con I_B . Quest'ultima è la somma della corrente di drain di M3 ed M2 e sarà:

$$\begin{aligned} I_B &= \frac{I_C}{2} + \frac{g_m}{2} (V_{REF} - V_{OUT1}) + \frac{I_C}{2} + \frac{g_m}{2} (V_{REF} - V_{OUT2}) = \\ &= I_C + g_m \left(V_{REF} - \frac{V_{OUT1} + V_{OUT2}}{2} \right) \end{aligned} \quad (3.100)$$

Dove I_C è la corrente di polarizzazione delle due coppie differenziali.

corrente I_B a aumenta e quindi si innesca una reazione negativa che tende a fare aumentare $\frac{(V_{OUT1} + V_{OUT2})}{2}$.

Il dimensionamento dei mosfet è il seguente:

Dispositivo	Tipo	W(μm)	L(μm)	Molteplicità
M1,M2,M3,M4	NMOS	1	20	1
M7,M8,M9,M10	NMOS	2,5	2	1
M11,M12,M13,M14	NMOS	2	10	1
M5,M6	PMOS	8	2	1

Tabella 3.7: dimensionamento dei transistori del circuito di controllo del modo comune

Rete di polarizzazione

La rete di polarizzazione usata per produrre i riferimenti di tensione è quella rappresentata in figura 3.21.

I mosfet M1 ed M2 sono collegati attraverso il nodo di gate (indicato in figura 3.21 con B) al circuito in modo tale da creare un collegamento a specchio che fornisca la corretta corrente di polarizzazione.

Il mosfet M3 è chiuso a diodo e fornisce invece un riferimento di tensione, così come M4.

La corrente di polarizzazione è di $1\mu\text{A}$ e i mosfet sono stati dimensionati a partire da tale valore ed utilizzando l'espressione della corrente di drain in zona di saturazione.

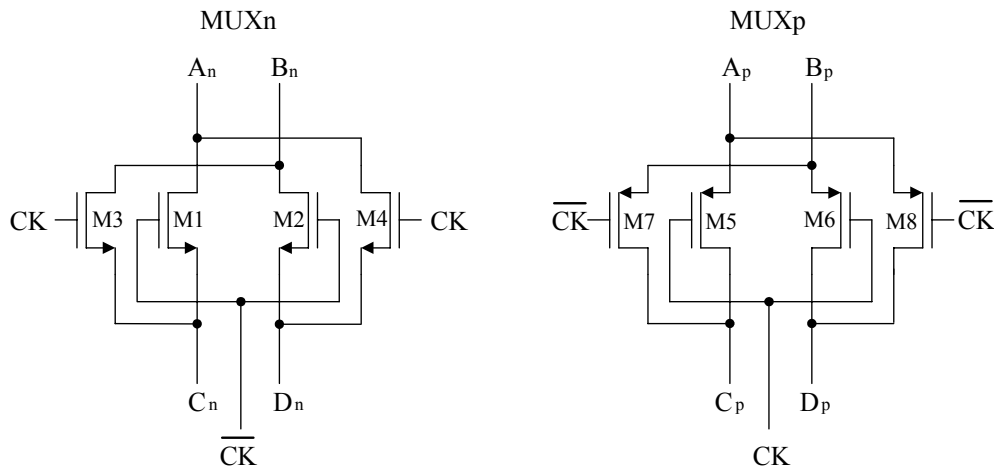


Figura 3.22 Schema circuitale dei due multiplexer rappresentati in figura 3.12. A sinistra si trova il multiplexer di tipo n (MUXn) e a destra il multiplexer di tipo p (MUXp)

Il multiplexer n è realizzato con quattro transistori n-mos identici, M1, M2, M3 ed M4 di dimensioni $W=10\mu\text{m}$, $L=0,7\mu\text{m}$ e molteplicità pari ad uno. Di questi M1 ed M2 hanno il gate a comune pilotato dal segnale di clock negativo. Essi funzionano come interruttori che attivano, quando il clock è basso, il collegamento diretto tra ingressi ed uscite, cioè collegano rispettivamente l'ingresso A_n all'uscita C_n e l'ingresso B_n all'uscita D_n . Mentre M3 ed M4 hanno il gate a comune pilotato dal segnale di clock e funzionano come interruttori che attivano, quando il segnale di clock è alto, il collegamento incrociato tra ingressi ed uscite cioè tra l'ingresso B_n e l'uscita C_n e tra l'ingresso A_n e l'uscita D_n rispettivamente.

Il multiplexer di tipo p è realizzato in modo del tutto analogo, abbiamo ancora quattro mosfet identici di dimensione $W=10\mu\text{m}$ ed $L=0,7\mu\text{m}$, però i transistori utilizzati sono di tipo p. I mosfet M5 ed M6 hanno il gate a comune pilotato dal segnale di clock, per cui quando quest'ultimo è basso attivano il collegamento diretto tra A_p e C_p e tra B_p e D_p rispettivamente. Anche i mosfet M7 ed M8 hanno il gate a comune ma pilotato dal negato del segnale di clock, per cui quando il

clock è alto essi attivano il collegamento incrociato tra A_p e D_p e tra B_p e C_p rispettivamente.

Capitolo 4

Risultati ottenuti e sviluppi futuri

In questo capitolo saranno riportati i risultati delle simulazioni effettuate sulla soluzione circuitale scelta come definitiva, utilizzando il simulatore ELDO della Mentor Graphics.

In particolare, inizialmente saranno presentati i risultati delle simulazioni di tipo transitorio, utilizzate per verificare il corretto funzionamento del circuito. Poi si passerà ad analizzare i risultati delle simulazioni in temperatura, che dimostrano la stabilità del circuito al variare della temperatura stessa, e delle simulazioni di tipo Montecarlo, che dimostrano l'effettiva realizzabilità dell'interfaccia. Riguardo a quest'ultimo tipo di simulazione sarà effettuato un confronto tra i risultati ottenuti per l'interfaccia definitiva e quelli ottenuti per la soluzione precedente.

Quindi verranno riportati i risultati delle simulazioni effettuate in presenza di fonti di rumore.

Infine, in conclusione di capitolo, saranno discussi i futuri sviluppi dell'interfaccia progettata in questo lavoro di tesi .

4.1 Analisi in transitorio

Per verificare il corretto funzionamento del sistema sono state eseguite delle analisi in transitorio. In questo tipo di analisi il simulatore non usa un modello linearizzato del circuito sotto esame, come avviene ad esempio quando è eseguita una analisi di tipo AC, ma mantiene le non linearità dei componenti.

Per funzionare correttamente il circuito progettato ha bisogno di due soli segnali di ingresso oltre alla tensione di alimentazione, essi sono:

- la corrente di alimentazione del circuito di polarizzazione (I_0 di figura 4.1);
- il segnale di clock da applicare in ingresso al generatore di clock a quattro fasi non sovrapposte (segnale “clk” di figura 4.1).

La corrente I_0 è stata scelta pari ad $1\mu\text{A}$ e il segnale di clock è un’onda quadra di periodo $20\ \mu\text{s}$.

In figura 4.1 è riportato uno schema a blocchi che rappresenta il funzionamento del circuito. Il funzionamento completo e dettagliato è già stato descritto nel capitolo precedente, per cui lo schema di figura 4.1 è uno schema di riferimento utilizzato unicamente per ricordare il significato dei segnali che riporteremo in seguito.

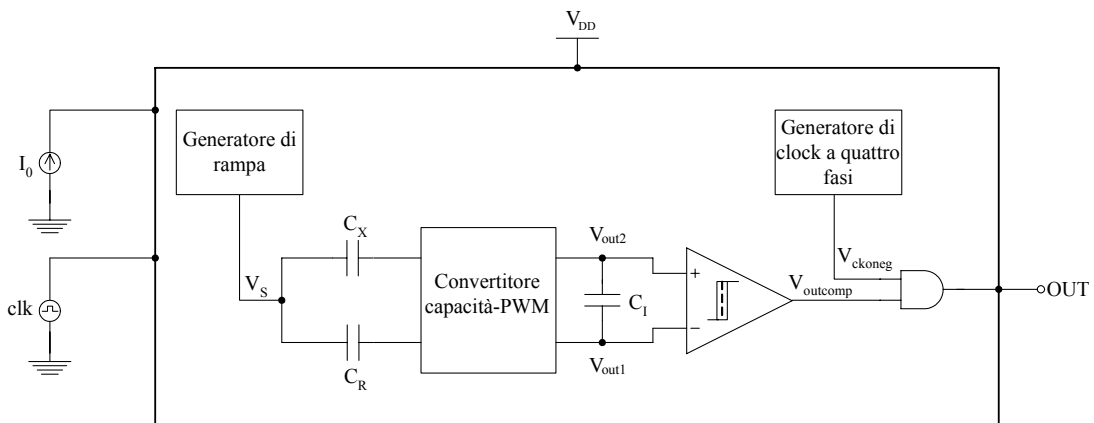


Figura 4.1 Schema a blocchi del circuito di interfaccia definitivo.

Sul circuito di interfaccia definitivo è stata eseguita una simulazione in transitorio della durata di 500 μs , con un passo di simulazione di 10ns. I valori utilizzati per le capacità sono: $C_X=1,2 \text{ pF}$ e $C_R=1,0 \text{ pF}$ quindi il segnale di capacità utile ΔC è di 200fF.

I risultati di tale simulazione sono riportati nella figura seguente (figura 4.2).

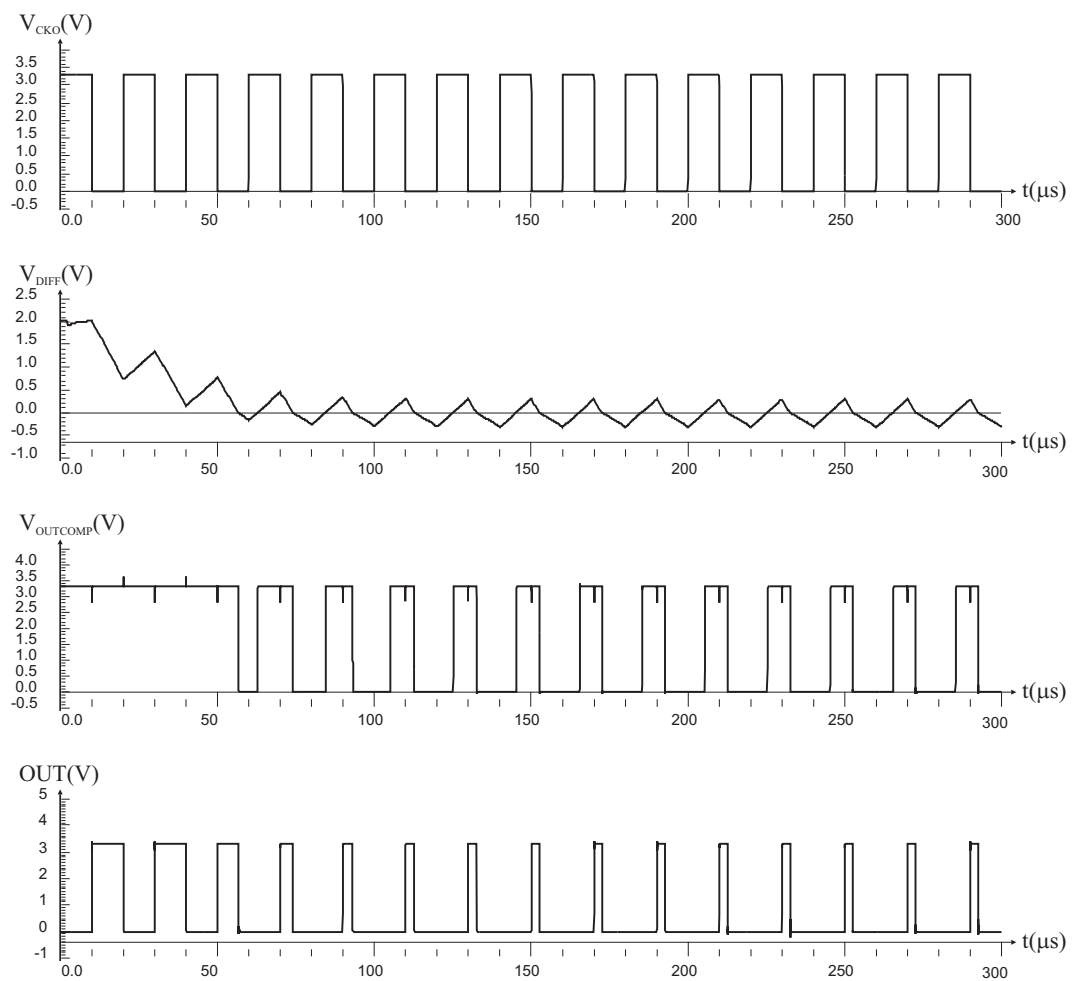


Figura 4.2 Forme d'onda risultanti dalla simulazione in transitorio eseguita sulla soluzione circuitale definitiva. Dall'alto al basso sono riportati: il segnale di clock (V_{CKO}), la tensione ai capi della capacità C_I (V_{DIFF}), l'uscita del comparatore ($V_{OUTCOMP}$) ed infine l'uscita dell'intero sistema (OUT).

Il segnale V_{CKO} di figura 4.2 è il clock del sistema originato dal generatore di clock a quattro fasi non sovrapposte, V_{DIFF} è la tensione ai capi della capacità di integrazione C_I , $V_{OUTCOMP}$ è l'uscita del comparatore ed infine il segnale indicato con OUT è l'uscita dell'intero sistema.

Osserviamo inoltre che, sebbene sia stata eseguita una simulazione della durata di 500 μs , in figura 4.2 sono state rappresentate le forme d'onda solo fino a 300 μs per renderle più leggibili.

Dai risultati della simulazione si osserva che il sistema impiega all'incirca 100 μs per andare a regime, dopodichè inizia a funzionare correttamente. Infatti a partire da 100 μs si hanno degli impulsi di uscita che iniziano quando inizia la scarica della capacità C_I (cioè quando il clock passa al livello basso e V_{DIFF} inizia a diminuire) e terminano quando tale scarica finisce (cioè quando scatta il comparatore).

E' stato effettuato anche uno studio della linearità del sistema facendo variare C_X da 1,05 pF ad 1,45 pF con passo di 0,05pF ed eseguendo una simulazione in transitorio per ogni valore intermedio. Riportando in un grafico i valori della durata dell'impulso in funzione della capacità C_X si ottiene l'andamento mostrato nella figura seguente (figura4.3).

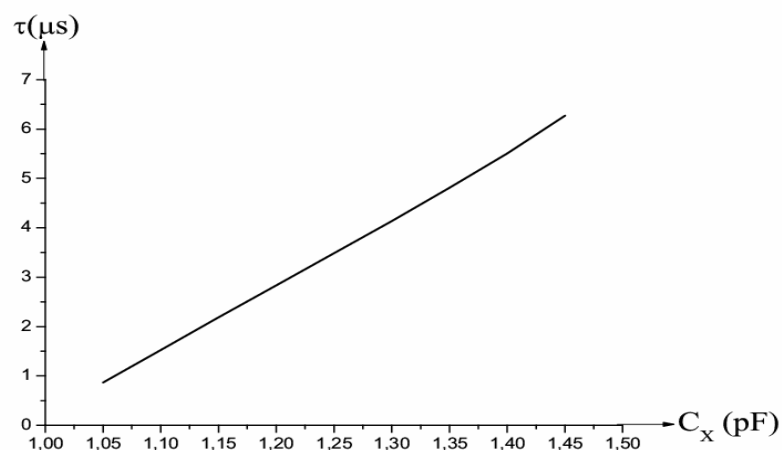


Figura 4.3 Andamento della durata dell'impulso τ in funzione del valore della capacità C_X

Come si può vedere i risultati ottenuti dimostrano che il comportamento del sistema è lineare per valori di C_X compresi tra 1,05 pF ed 1,45 pF. Quindi le simulazioni confermano la linearità del sistema risultante dallo studio teorico effettuato nel capitolo precedente.

Infine, dai risultati della simulazione in transitorio, è stato possibile calcolare il consumo effettivo dell'intero circuito visualizzando la corrente che scorre nel ramo di alimentazione e calcolandone la media. Il consumo risulta essere di 18,90 μA , quindi è stato raggiunto l'obiettivo prefissato di avere un consumo totale dell'ordine delle decine di μA .

4.2 Simulazioni in temperatura

Per verificare la stabilità del sistema al variare della temperatura sono state effettuate diverse simulazioni in transitorio per temperature comprese tra 0°C e 100°C con passo di 25°C .

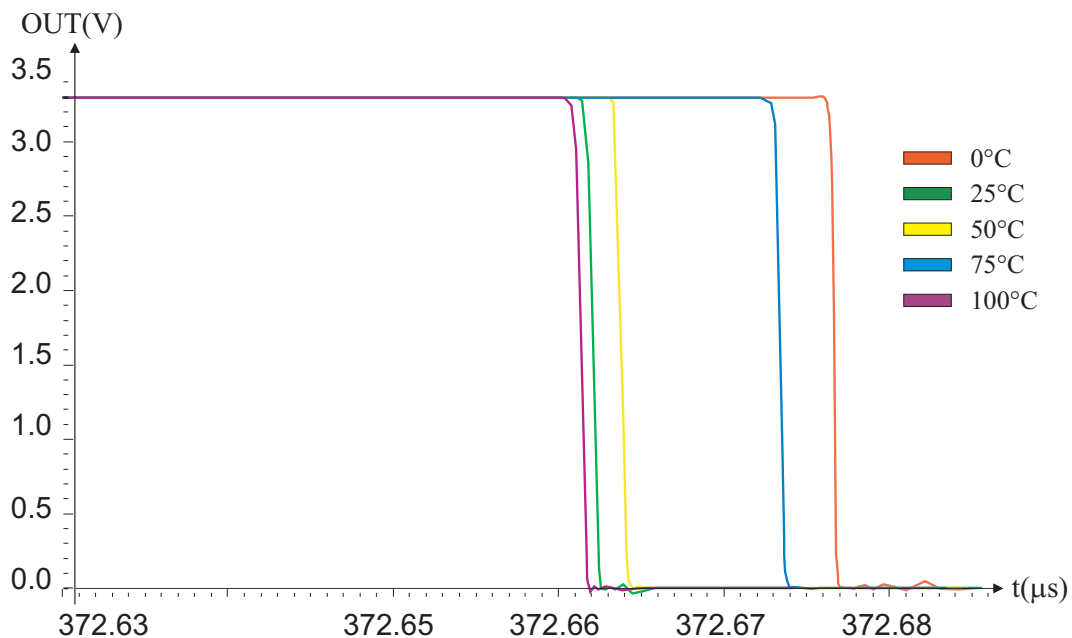


Figura 4.4 Risultati delle simulazioni in transitorio eseguite a cinque temperature differenti. Nella didascalia a destra sono state riportate le temperature corrispondenti alle curve di colori differenti di figura.

In figura 4.4 è riportato il fronte in discesa dell'impulso di uscita (OUT) al variare della temperatura. Il fronte in salita dell'impulso di uscita non è di nostro interesse perché è determinato dal segnale di clock che è stabile con la temperatura, mentre il fronte in discesa è determinato dal comparatore e quindi risente delle variazioni di temperatura.

L'interfaccia progettata produce un impulso intrinsecamente poco sensibile alle variazioni di temperatura. Infatti l'espressione della durata dell'impulso risultante dallo studio teorico del sistema è:

$$\tau = \frac{(C_X - C_R) I_G T_{CK}}{C_0 I_0 2} \quad (4.1)$$

Gli unici fattori dipendenti dalla temperatura in tale espressione sono le correnti I_G ed I_0 , che sono rispettivamente la corrente del circuito generatore di rampa e la corrente di scarica della capacità C_1 (vedi figura 4.1). Esse però compaiono in rapporto tra loro, per cui derivandole da una unica corrente di riferimento gli effetti della temperatura sono notevolmente attenuati.

Ciò è confermato anche dai risultati delle simulazione effettuate. Infatti, al variare della temperatura tra 0°C e 100°C , la durata dell'impulso varia di 15 ns, producendo un errore relativo rapportato al semiperiodo di clock pari a:

$$\varepsilon = \frac{\Delta t}{\frac{T_{CK}}{2}} = \frac{15 \times 10^{-9}}{10 \times 10^{-6}} = 0,15\% \text{ FS (del fondoscala)} \quad (4.2)$$

Tale errore soddisfa pienamente le nostre specifiche di progetto. Per quanto riguarda l'errore residuo, esso può essere ricondotto a non idealità del circuito.

4.3 Simulazioni Montecarlo

La simulazione Montecarlo è costituita da una serie di analisi dove i parametri principali che caratterizzano i componenti circuitali vengono fatti variare secondo una distribuzione Gaussiana uniforme.

Questo tipo di simulazione rappresenta gli errori di processo che possono verificarsi durante la realizzazione del chip ed è importante perchè permette di verificare l'effettiva fabbricabilità del circuito progettato.

Eseguendo tale simulazione sulla soluzione circuitale descritta nel paragrafo 3.3, ossia quella precedente alla soluzione definitiva, ci si è resi conto di un problema importante che ci ha spinto a cercare una nuova soluzione. Infatti le forme d'onda risultanti dalla simulazione Montecarlo effettuata su tale circuito non hanno l'andamento previsto. In particolare nella figura seguente riportiamo gli andamenti della tensione V_{DIFF} ai capi della capacità C_1 .

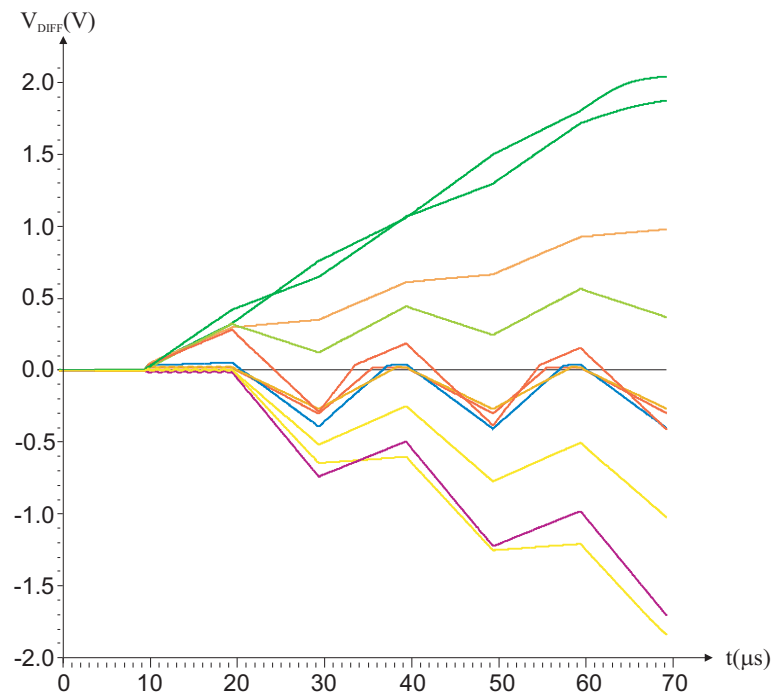


FIGURA 4.5 Andamenti della tensione ai capi della capacità C_1 risultanti dalla simulazione Montecarlo eseguita sulla soluzione circuitale precedente a quella definitiva.

Nel corretto funzionamento del circuito la tensione V_{DIFF} dovrebbe aumentare durante il primo semiperiodo di clock e poi diminuire durante il successivo, fino ad arrivare alla scarica completa della C_1 . I risultati della simulazione, riportati in figura 4.5, mostrano invece degli andamenti differenti. In alcuni casi la tensione V_{DIFF} rimane sempre maggiore di zero, e ciò sta a significare che la capacità C_1 non si scarica mai del tutto, mentre in altri la V_{DIFF} rimane sempre minore di zero, per cui la capacità non si carica nel modo corretto. Questo ci permette di capire che il problema deriva dalla presenza di una corrente di offset che si va a sommare alla corrente di carica della capacità C_1 . Quando le due correnti si sommano in fase, si ha un accumulo eccessivo di carica sulle armature del condensatore C_1 . Di conseguenza la corrente di scarica, che è stata dimensionata non tenendo conto della presenza dell'offset, non riesce a scaricare completamente la capacità in un semiperiodo di clock e la tensione V_{DIFF} rimane sempre positiva. Quando invece la corrente di offset si somma alla corrente di carica in controfase, provoca una inversione della tensione ai capi di C_1 e quindi la V_{DIFF} anziché aumentare diminuisce e rimane sempre negativa. In entrambi i casi il risultato è che l'uscita del comparatore non commuta e il circuito smette di funzionare correttamente. Con la soluzione circuitale successiva, che è quella definitiva, questo problema è stato risolto, in quanto l'effetto dell'offset è annullato dall'azione dei multiplexer. Infatti, se in tale soluzione circuitale si sovrappone al segnale utile una corrente di offset, essa, in una fase di funzionamento, si va a sommare al segnale utile, ma nell'altra si sottrae allo stesso grazie all'azione dei multiplexer. Il risultato è che l'effetto di tale corrente di offset sull'intero periodo è nullo.

Sulla soluzione circuitale definitiva è stata eseguita una simulazione Montecarlo caratterizzata da 10 "run", ossia formata da 10 analisi di tipo transitorio. Nella figura seguente sono riportati gli andamenti del segnale di uscita dell'intero circuito ("OUT") e della tensione ai capi di C_1 risultanti da tale simulazione (V_{DIFF}).

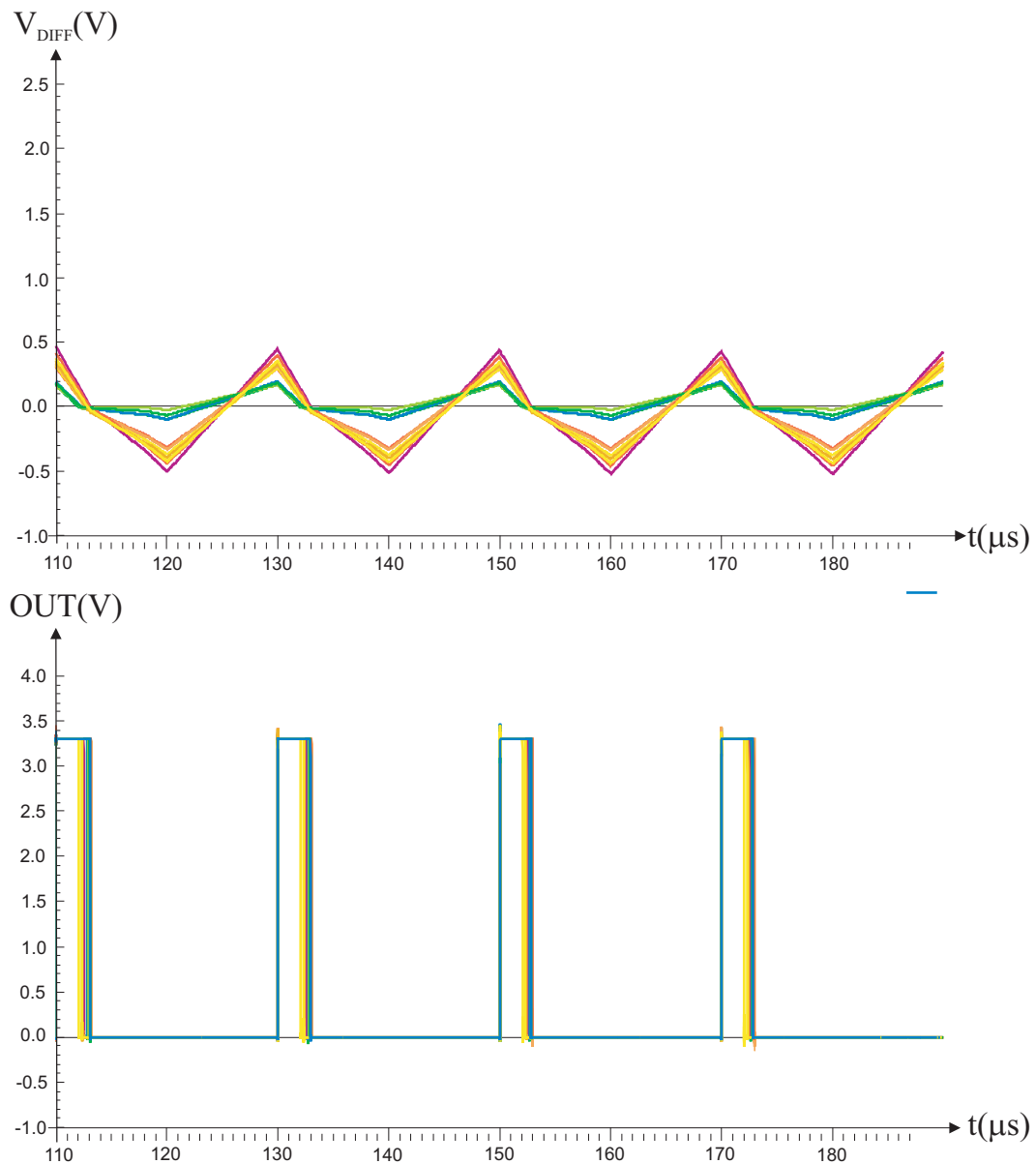


FIGURA 4.6 Tensione ai capi di C_1 (V_{DIFF}) e tensione di uscita del sistema (OUT) risultanti dalla simulazione Montecarlo.

Dalla figura 4.6 si vede chiaramente che il circuito continua a funzionare correttamente anche tenendo conto delle variazioni di processo. Infatti tutte le forme d'onda hanno un andamento corretto, l'unica anomalia è la presenza di

una dispersione sui valori di durata dell'impulso di uscita che al massimo vale $0,85\mu\text{s}$ e produce quindi un errore relativo massimo pari a:

$$\varepsilon = \frac{\Delta t}{\frac{T_{CK}}{2}} = \frac{0,85 \times 10^{-6}}{10 \times 10^{-6}} = 8,5\% \text{ FS} \quad (4.3)$$

Tale errore è più che accettabile e dimostra l'effettiva realizzabilità del circuito progettato.

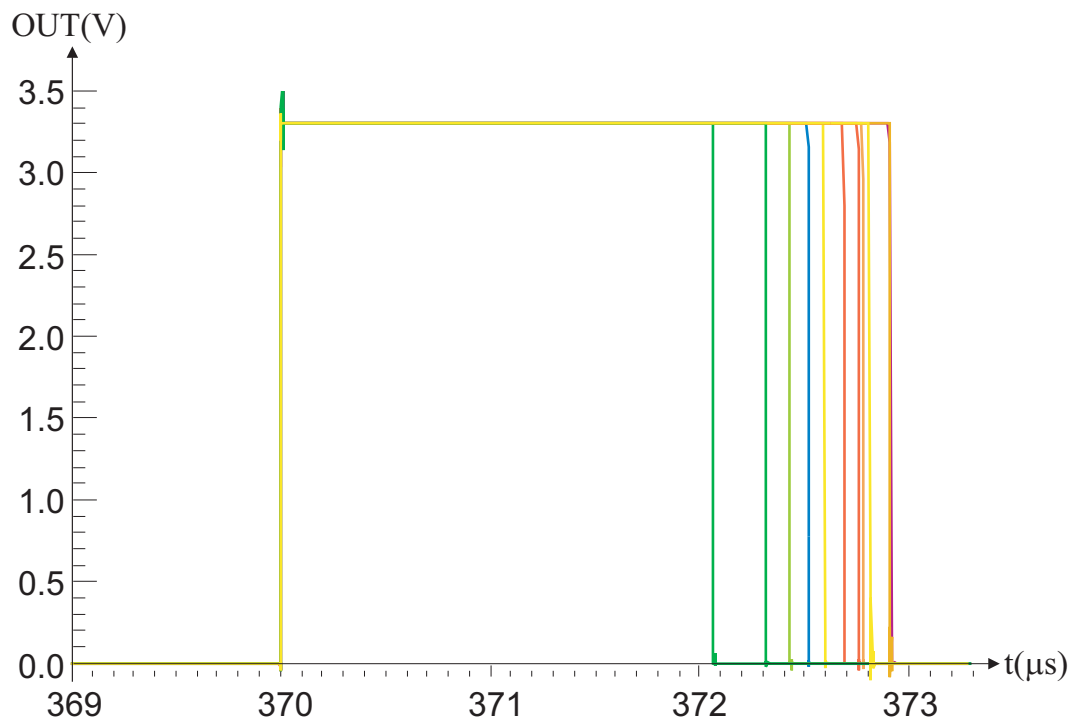


FIGURA 4.7 Andamenti dell'impulso di uscita dell'intero sistema risultanti dalla simulazione di tipo Montecarlo. E' rappresentato un solo impulso per evidenziare la presenza della dispersione sul fronte in discesa.

4.4 Simulazione di rumore

Per studiare il comportamento del circuito in presenza di fonti di rumore è stata eseguita una simulazione di tipo “noisetrans”. Essa consiste in una analisi transitoria effettuata aggiungendo ai dispositivi opportuni generatori che ne rappresentano le sorgenti di rumore. Per comodità è possibile eseguire più simulazioni noisetrans con diversi semi del generatore casuale di rumore per poter facilitare il confronto e valutare l’impatto del rumore. Nel nostro caso la simulazione è stata eseguita in un intervallo di frequenze comprese tra 0 Hz e 100MHz.

Dallo studio dei risultati della simulazione si rileva che il circuito continua a funzionare correttamente anche in presenza di fonti di rumore, però l’ampiezza dell’impulso di uscita non è costante ma presenta un jitter che in media vale 62ns (come mostrato in figura 4.8).

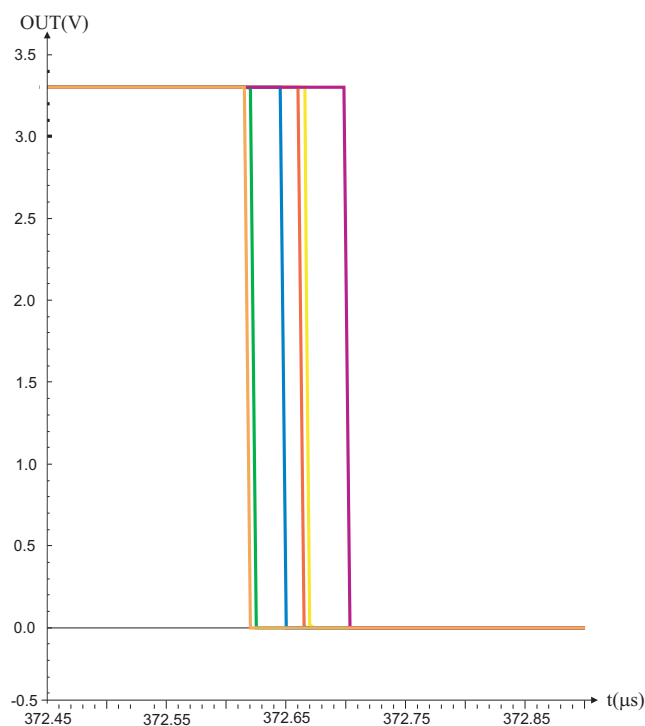


Figura 4.8 Fronte in discesa di uno degli impulsi di uscita ottenuti come risultato della simulazione di rumore. Si osservi la presenza del jitter.

Quindi in media si ha un errore relativo sull'impulso di uscita pari a:

$$\varepsilon = \frac{\Delta t}{\frac{T_{CK}}{2}} = \frac{62 \times 10^{-9}}{10 \times 10^{-6}} = 0,62\% \text{ FS} \quad (4.4)$$

4.5 Sviluppi futuri

L'interfaccia progettata in questo lavoro di tesi produce una uscita di tipo PWM. Tale segnale di uscita presenta i vantaggi di un segnale digitale, quali la robustezza al rumore e la possibilità di essere letto facilmente con l'utilizzo di un microcontrollore, ma può anche essere trasformato in segnale analogico con una semplice operazione di filtraggio.

Tuttavia la soluzione circuitale progettata in questo lavoro di tesi si presta ad ottenere direttamente una uscita di tipo analogico senza ricorrere al passaggio intermedio ad un segnale PWM, ma attuando poche semplici modifiche al sistema descritto nel capitolo precedente.

Si consideri infatti la soluzione circuitale scelta come definitiva. Eliminando il multiplexer e sostituendo la capacità C_1 con una resistenza si otterrà il sistema rappresentato in figura 4.9.

Con considerazioni analoghe a quelle già fatte nel capitolo precedente, si ricava la seguente espressione per la corrente che scorre nella resistenza R_1 di figura 4.9:

$$I_{R_1} = \frac{(I_X - I_R)}{2} \quad (4.5)$$

Applicando come segnale di ingresso V_S un'onda triangolare sincrona con il segnale di clock del sistema, la corrente che scorre all'interno di R_1 produrrà una tensione ai capi della resistenza di tipo onda quadra. L'ampiezza di tale onda quadra sarà pari a :

$$V_{R_1} = R_1 \cdot I_{R_1} = R_1 \cdot \frac{(I_X - I_R)}{2} \quad (4.6)$$

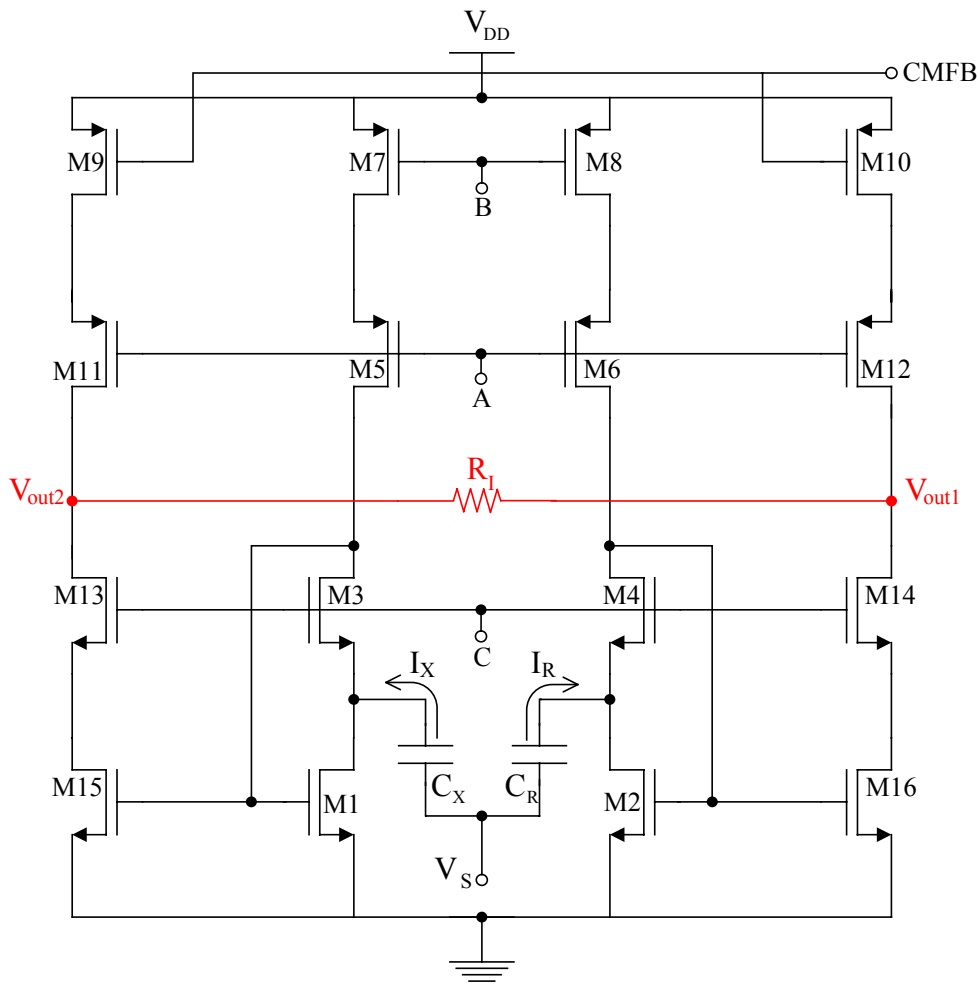


Figura 4.9 Convertitore capacità-tensione ottenuto modificando il convertitore capacità-PWM. In rosso è evidenziata la resistenza R_I sostituita alla capacità C_I del convertitore capacità-PWM.

A questo punto si prelevi il segnale di tensione ai capi di R_I con un amplificatore del tipo di quello mostrato nello schema a blocchi di figura 4.10.

Dalla figura si vede che il segnale è prima amplificato da un amplificatore fully differential e poi è moltiplicato per un'onda quadra, in modo da ottenere in uscita una tensione continua.

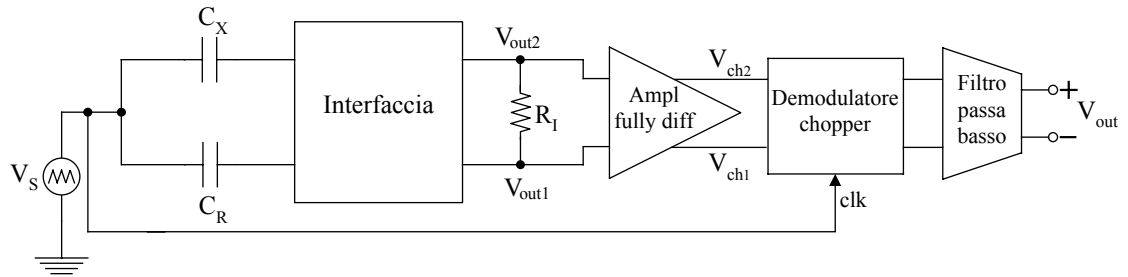


Figura 4.10 Schema a blocchi del sistema costituito dal convertitore capacità-tensione di figura 4.9 seguito dall'amplificatore chopper e dal filtro passa basso.

Indicando l'amplificazione dell'amplificatore fully differential seguito dal demodulatore chopper con A_{ch} in uscita si avrà:

$$V_{ch} = A_{ch} \frac{(I_X - I_R)}{2} = A_{ch} \frac{(C_X - C_R)}{2} \frac{dV_S}{dt} \quad (4.7)$$

Si ottiene quindi una tensione di uscita proporzionale al segnale utile $(C_X - C_R)$. Tale segnale potrà poi essere filtrato con un filtro passa basso in modo da eliminare i disturbi in alta frequenza.

E' stato progettato un circuito preliminare come quello appena descritto e dai risultati delle simulazioni effettuate si è riscontrato che il funzionamento è effettivamente quello previsto.

Per studiare la linearità del sistema su tale circuito sono state eseguite più analisi in transitorio per differenti valori della capacità C_X . Facendo variare C_X da 1,05 pF ad 1,5pF, con passo di 0,05 pF il comportamento del sistema è lineare.

Di seguito riportiamo le forme d'onda rappresentanti la tensione ai capi di R_1 e quella in uscita dal filtro passa basso per i vari valori di capacità.

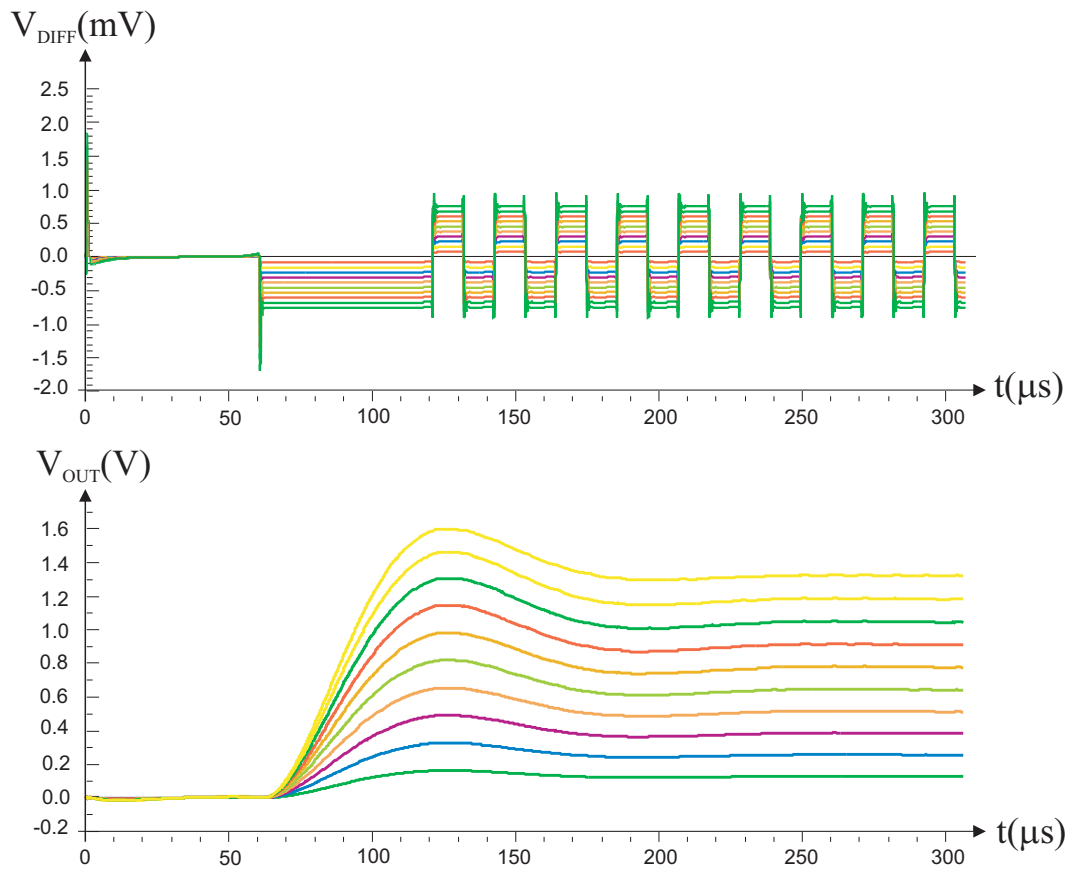


Figura 4.11 Dall'alto al basso V_{DIFF} è la tensione ai capi di R_1 per vari valori di capacità mentre V_{OUT} è la tensione di uscita dal filtro passa basso.

Osservando più in dettaglio la forme d'onda che rappresentano l'andamento della tensione V_{DIFF} per differenti valori di C_X , si osserva che incrementando costantemente la capacità C_X anche la tensione V_{DIFF} subisce incrementi costanti come mostrato nella figura seguente.

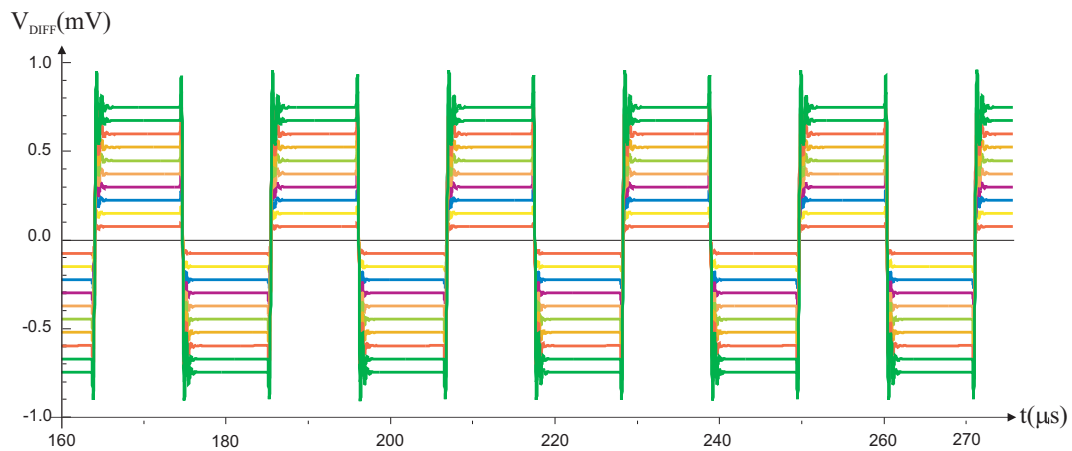


Figura 4.12 Dettaglio dei vari andamenti della tensione V_{DIFF} al variare di C_X .

Riportando in un grafico i differenti valori della tensione V_{DIFF} in funzione dei valori di C_X corrispondenti si ottiene l'andamento mostrato in figura 4.13.

Dal grafico risulta evidente che il sistema ha un comportamento lineare per valori di C_X compresi tra 1,05pF ed 1,5pF.

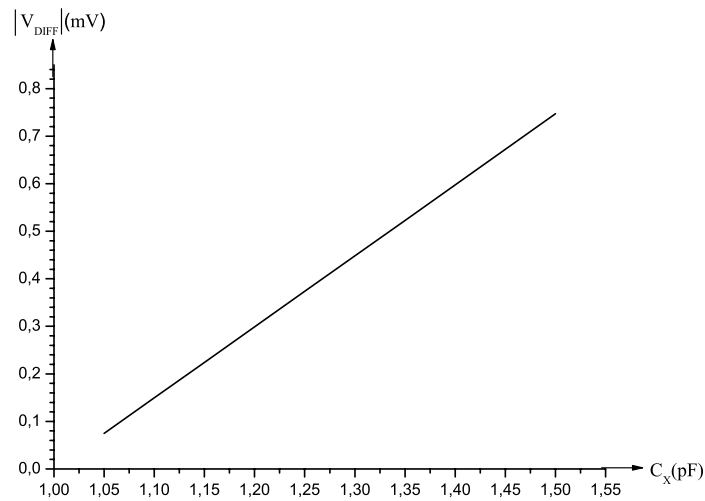


Figura 4.13 Grafico del modulo della tensione ai capi di R_I in funzione della capacità C_X .

In conclusione quindi, un possibile sviluppo del convertitore capacità-PWM progettato in questo lavoro di tesi può essere il suo adattamento come convertitore

capacità-tensione ed esso si può effettuare apportando poche semplici modifiche come quelle appena descritte.

Conclusioni

In questo lavoro di tesi è stato sviluppato il progetto, in tecnologia BCD6S, di una interfaccia per sensori capacitivi integrati, cercando di soddisfare specifiche stringenti di: basso consumo, basso rumore e bassa sensibilità alle variazioni di temperatura.

L'interfaccia progettata è basata su un convertitore capacità-PWM, quindi fornisce in uscita un segnale formato da una ripetizione di impulsi rettangolari a frequenza fissata e con una durata proporzionale alla variazione di capacità rilevata. Dai risultati delle simulazioni eseguite sul circuito progettato si riscontra che la durata degli impulsi di uscita varia linearmente con il segnale capacitivo per valori della capacità del sensore compresi tra 1,05pF ed 1,45pF ed è intrinsecamente poco sensibile alle variazioni di temperatura. Infatti per temperature variabili in un range molto ampio (0 ÷ 100°C), la durata dell'impulso di uscita varia di soli 15ns, originando così un errore relativo pari allo 0,15%.

E' stata verificata inoltre l'effettiva realizzabilità del circuito di interfaccia progettato effettuando delle simulazioni di tipo Montecarlo. Dai risultati ottenuti si è verificato che il circuito continua a funzionare correttamente anche tenendo conto delle variazioni di processo e del mismatch tra i dispositivi. Questo perchè la configurazione circuitale scelta come definitiva permette di eliminare gli effetti dell'offset presenti in quelle precedenti. L'unico effetto non desiderato rilevato dai risultati delle simulazioni è la presenza di una dispersione sull'impulso di uscita la quale, però, ha un valore massimo di 0,85µs e quindi dà luogo ad un errore relativo dell'8,5%, che è più che accettabile.

Per ciò che riguarda lo studio del rumore è stato analizzato il comportamento del circuito in presenza di fonti di rumore per frequenze comprese tra 0 Hz e 100 MHz.

Dai risultati ottenuti si è verificato che il circuito continua a funzionare correttamente anche in presenza di rumore, però l'ampiezza dell'impulso di uscita non rimane costante, ma sperimenta un jitter che in valore assoluto vale mediamente 62 ns.

Un possibile sviluppo futuro del circuito di interfaccia progettato è il suo adattamento come convertitore capacità-tensione. Infatti, apportando alcune semplici modifiche al convertitore capacità-PWM si ottiene un circuito che fornisce in uscita una tensione proporzionale al segnale utile capacitivo. Tale tensione è un' onda quadra di ampiezza proporzionale alla variazione di capacità che si desidera rilevare. Amplificando tale onda quadra con un amplificatore fully differential seguito da un demodulatore chopper e filtrando il segnale così ottenuto mediante un filtro passa basso, si ottiene in uscita una tensione continua proporzionale al segnale capacitivo e priva di disturbi in alta frequenza..

E' stato progettato un circuito preliminare che realizza il sistema appena descritto e dalle simulazioni effettuate si è riscontrato che la tensione è effettivamente proporzionale al segnale utile capacitivo e varia linearmente con la capacità del sensore per valori compresi tra 1,05 pF ed 1,5 pF.

Bibliografia

- [1] W.Göpel, J. Hesse, J.N. Zemel, “*Sensors: a comprehensive survey*” (Volume3),VCH, 1989-1996
- [2] Ljubisa Ristic ,“*Sensor technology and devices*”, Artech House, Boston, London , 1994
- [3] Bogdan Fîrtat, Oana Nedelcu, Carmen Moldovan, Dan Dascălu, “*Design and manufacturing of a pressure sensor with capacitive readout CMOS compatible*” Proceedings of the International Semiconductor Conference (CAS 2001), vol 2, pp 553-556
- [4] Nicolò Nizza, “*Progetto di un circuito CMOS a condensatori commutati per la linearizzazione di sensori*” Tesi di Laurea **Cap.1**, (A.A. 2003/2004) Università degli Studi di Pisa, Facoltà di Ingegneria, Corso di Laurea in Ingegneria Elettronica
- [5] Stephen D. Senturia “*Microsystem design*”, Kluwer Academic Publisher, London, 2001
- [6] Y.Y Qiu, C. Azeredo-Leme, L.R. Alcácer, J.E. Franca “*A CMOS humidity sensor with on-chip calibration*” Sensor and Actuators A 92 (2001), pp 80-87

-
- [7] Ramon Pallàs-Areny, John G. Webster, “*Sensors and signal conditioning*”, (Second edition), Wiley-Interscience Publication, 2001
- [8] Data sheet Analog Microelectronics, “*Converter IC for capacitive signals CAV 424*”, Gennaio 2002, pp 1-7
- [9] A. Srivastava, M. R. Gumma and J. Cherukuri, “*Readout Interface Circuits for MOS C-V Sensors*”, Proceedings of the 37th Midwest Symposium del Midwest “Circuits and System”, 1994, vol1, pp 187-190
- [10] Francois Krummenacher, “*A High-Resolution Capacitance-to-Frequency Converter*”, IEEE Journal of Solid-State Circuits, June 1985, vol. sc-20, no.3, , pp 666-670
- [11] Zeljko Ignjatovic, Mark F. Bocko, “*An Interface Circuit for Measuring Capacitance Changes Based Upon Capacitance-to-Duty Cycle (CDC) Converter*”, IEEE Sensors Journal, June 2005, vol 5, no3, pp 403-410
- [12] P. Bruschi, D. Navarrini, G. Barillaro and A. Gola, “*A precise Capacitance-to-Pulse Width Converter for Integrated sensors*”, Analog Integrated Circuits and Signal Processing,, February 2004, vol 41 pp 93-97
- [13] P. Bruschi *Appunti di “Componenti di microelettronica analogica”*
<http://docenti.ing.unipi.it/~d8309>

Ringraziamenti

Il primo grazie va ai miei genitori perché è solo “grazie“ a loro che sono la ragazza di oggi ed ho raggiunto questo traguardo.

Grazie alla mia sorellina perché il legame che ci unisce è unico e speciale; e un grazie va anche al mio cognatino che sa sempre come farmi ridere!

Grazie a Fra, perchè a volte sono davvero insopportabile (ma simpatica!!) e lui è l'unico che sa come prendermi!

Grazie ad Anna per la sua simpatia, la sua allegria e il suo affetto, non potevo trovare compagna migliore con cui condividere questa esperienza pisana.

Grazie a Manuela perchè la nostra è un'amicizia speciale, ad Elisa per le nostre chiacchierate infinite, a Gaia per i suoi consigli e a Claudia perché ogni volta che ci incontriamo è come se non ci fossimo mai allontanate..

Grazie a tutti gli amici di Pisa con cui ho condiviso tante giornate di studio ma anche di divertimento, e agli amici di Carrara che conosco da una vita.

Grazie a tutti i ragazzi del laboratorio che hanno reso questa tesi anche una occasione di creare nuove amicizie.

E grazie anche a Emanuela, che da poco è entrata nella “casa” ma ha portato tanta allegria.