

工學碩士 學位論文

광대역 선형 스위프 특성을 갖는 X-밴드
주파수 합성기 개발

Development of X-band Frequency Synthesizer
with Broadband Linear sweep

指導教授 朴 東 國

2006 年 7月

韓 國 海 洋 大 學 校 大 學 院

電 子 通 信 工 學 科

李 炫 樹

本 論 文 을 李 炫 樹 의 工 學 碩 士 學 位 論 文 으 로 認 准 함 .

위원장 梁 圭 植 (인)

위 원 孫 慶 洛 (인)

위 원 朴 東 國 (인)

2006 년 6 월 21 일

한국해양대학교 대학원

목 차

Abstract

제 1 장 서론	1
제 2 장 PLL 주파수 합성기의 기본원리	3
2.1 PLL을 이용한 주파수 합성기의 구성 및 동작원리	3
2.2 PLL의 구성	7
제 3 장 PLL를 이용한 주파수 합성기의 설계 및 제작	17
3.1 주파수 합성기의 설계	19
3.2 주파수 합성기의 제작	29
3.3 주파수 합성기의 실험 결과 및 고찰	30
제 4 장 결론	37
참고문헌	38

표 차 례

<표 3.1> LMX2326의 주요 특성	19
<표 3.2> VTO-8951의 특성 파라미터	25
<표 3.3> 주파수합성기 설계 목표 사양	30

그 림 차 례

<그림 2.1> 주파수합성기의 기본 구조	4
<그림 2.2> 위상비교기의 타임 차트	5
<그림 2.3> 루우프필터의 타임차트	6
<그림 2.4> 전압제어발진기의 특성곡선	7
<그림 2.5> 주파수 분주기를 갖는 PLL	7
<그림 2.6> 위상 차에 따른 위상검출기 출력특성	8
<그림 2.7> 위상검출기의 모델	9
<그림 2.8> 기본적인 루르필터의 형태	12
<그림 2.9> 전압제어발진기 모델	13
<그림 2.10> 프리스케일러를 이용한 PLL	14
<그림 2.11> 스왈로우카운터를 갖는 PLL	15
<그림 2.12> 스왈로우카운터의 카운트 동작특성	16
<그림 2.13> PLL IC를 사용한 PLL	16
<그림 3.1> Clock, Data Enable(LE)의 타이밍도	20
<그림 3.2> LMX2326의 데이터(data) 구성	21

<그림 3.3> PLL IC 구성도	21
<그림 3.4> VTO-8951의 Functional블록 다이어그램	25
<그림 3.5> 제작된 전압 제어 발진기	26
<그림 3.6> 튜닝 전압에 따른 주파수와 modulation sensitivity	26
<그림 3.7> 제작된 전력 분배기	27
<그림 3.8> 4-Port 분배기의 S 파라미터	27
<그림 3.9> 루우프 필터 및 증폭부 회로도	29
<그림 3.10> 주파수합성기 회로도	31
<그림 3.11> 주파수합성기 설계도면과 실물사진(150mm×60mm)	32
<그림 3.12> 실험 장비 구성	33
<그림 3.13> 제작된 주파수 합성기의 VCO출력결과	34
<그림 3.14> 제작된 주파수합성기의 위상잡음 특성	35
<그림 3.15> 분주비와 전압변화에 따른 출력주파수	36

Abstract

Frequency Modulated Continuous Wave (FMCW) radar with a single antenna configuration is used to several application field such as a level sensor, a short distance sensor, a radio wave altimeter and an equipment for collision preventing of vehicles etc. In general, the resolution of the FMCW radar may be mainly depend on linearity of frequency sweep. For a linear frequency sweep, in this paper, we proposed a frequency synthesizer using phase-locked loop (PLL) applicable to X-band FMCW radar.

To design the frequency synthesizer which has a broadband linear sweep from 10 GHz to 11 GHz, we use a PLL IC which operates up to 2.8 GHz, and a prescaler which turns down the frequency from X-band to UHF-band. The measured results show that the linear frequency sweep range is from 10GHz to 11GHz and the output power of the synthesizer over the operating frequency band is minimum 7dBm, and the phase noise is about -80dBc/Hz at 100kHz offset from 11GHz.

제 1 장 서 론

단일안테나를 사용하는 주파수 변조 연속파(Frequency Modulated Continuous Wave : FMCW) 레이더는 근거리 감지센서 및 전파 고도계, 차량용 충돌방지 장치 등 여러 응용분야에서 많이 사용되고 있다. 본 논문에서는 화물선박 등의 탱크에 들어 있는 내용물의 레벨을 측정하는데 사용이 가능한 FMCW 레이더의 신호원을 개발하고자 한다. FMCW를 사용하는 레이더 빔 방식의 레벨센서는 초고주파 신호를 임의의 표적에 보내고, 되돌아오는 반사파를 측정하여 레벨을 측정하는 것으로서, 선박의 측정기술이 점점 고 정밀성, 안정성 및 무인화를 요구하고 있는 시점에, 이러한 요구조건을 만족시키는 센서 중의 하나로서 주목을 받고 있다.

일반적으로 레이더는 수신된 신호를 주파수와 위상정보를 이용하여 움직이고 있는 목표의 정보를 검출하게 된다. 움직이고 있는 목표를 추적하거나, 대기와 주변 환경에 의해서 발생하는 클러터(Clutter)를 구분하기 위해서 MTI(Moving Target Indicator)성능과 고해상도의 기능을 수행할 수 있어야 하며, 이를 위해서 정확한 송·수신 펄스를 발생시키기 위해서 펄스의 변화를 검출할 수 있는 회로를 필요로 한다[1],[2].

특히 FMCW 레이더를 레벨 측정 센서로 사용할 때는 분해능을 높이기 위해서 선형적인 주파수 스위프가 되는 신호원이 필요한데, 본 논문에서 전압제어발진기(Voltage Controlled Oscillator : VCO)의 출력 신호를 PLL 주파수 합성 방식을 사용하여 안정되고, 선형적인 주파수 스위프가 되는 주파수 합성기(Frequency Synthesizer)를 설계하고자 한다.

발전기로 이용되는 주파수 합성기는 정확한 주파수 차를 검출하기 위해서 매우 높은 주파수 해상도가 요구되고, 또한 송신주파수의 위상변화를 검출하기 위해서는 매우 낮은 위상잡음 레벨을 요구하게 된다. 이러한 주파수 합성기는 주파수를 합성하는 방식에 따라 직접 주파수 합성방식(Direct Frequency Synthesizer), PLL(Phase Locked Loop), DDS(Direct Digital Synthesizer), 하이브리드 방식 등이 있다. 직접 합성 방식은 여러 개의 주파수 체배기(frequency multiplier)를 사용하여 주파수를 합성하는 방식으로, 빠른 주파수 스위칭 시간과 낮은 위상잡음을 나타내는 장점을 갖고 있지만, 구조의 복잡성과 많은 수의 스퓨리어스 신호를 발생시킨다는 단점을 갖고 있다. 이에 반해 본 논문에서 채택하고 있는 PLL에 의한 간접 주파수 합성방식은 스위칭 시간이 길지만 스퓨리어스 신호에 의한 영향이 적고, 구조가 간단하며, 루프를 사용해서 위상잡음을 줄일 수 있는 장점을 갖고 있다[3]-[5].

본 연구에서 설계하는 PLL에 의한 주파수 합성기의 구성은 위상비교기, 전압제어발전기, 분주회로, 루우프 필터로 되어 있다. 위상비교기로는 디지털 PLL칩을 사용하였으며, 10 GHz ~ 11 GHz 대역에서 1.6 MHz 간격으로 변화하는 주파수를 얻을 수 있는 합성기를 설계하였다.

제 2장에서는 PLL 주파수 합성기에 대한 기본이론과 주파수합성기의 구성 및 동작원리, 그리고 PLL의 특성을 좌우하는 위상비교기, 루프 필터, 전압제어발전기, 주파수 분주기의 구성과 특성에 대해 설명하였다. 제 3장에서는 PLL 주파수 합성기의 설계 및 제작을 하고, 실험결과를 제시하였다. 그리고 마지막 4장에서 결론을 기술하였다.

제 2 장 PLL 주파수 합성기의 기본 원리

일반적으로 주파수합성기란 수정발진기 등의 기준주파수를 이용하여 다른 주파수 성분을 합성하거나, 몇 가지 기준주파수를 조합함으로써 목적으로 하는 주파수를 합성하는 것을 말하며, PLL이란 전압제어발진기의 출력신호의 위상을 분주하여 기준 입력신호의 위상과 동일하도록 만들어주는 폐환회로를 말한다.

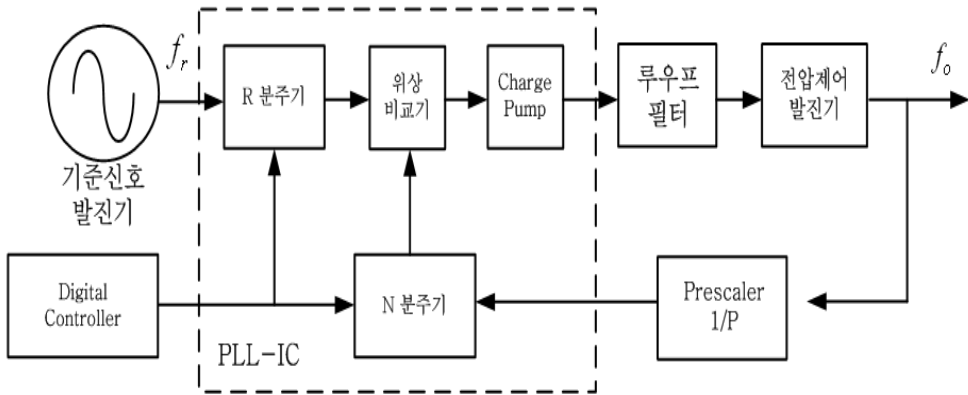
전파를 수신하거나 송신하는 경우, 목적하는 주파수 이외의 전파를 수신하거나 수신하지 않도록 주파수의 안정도를 높이는 것이 중요한데, 이 안정도를 향상시키기 위해 주파수 합성기의 기준주파수로 외부 환경 변화에 대해 안정도가 높은 TCXO(온도 보상형 수정 발진기)를 이용한다.

현재 PLL 모듈(Module)은 디지털 신호들로부터 클럭 복구, 신호의 캐리어복구, 주파수와 위상의 변조 및 복조 수행, 수신기의 동조를 위한 주파수를 합성하는 등 주로 통신 응용에 사용되고 있다. 특히 통신용 송신 및 수신 시스템에서의 PLL 모듈의 역할은 RF(Radio Frequency)를 IF(Intermediate Frequency)로 변환하거나 IF를 RF로 변환할 때 LO(Local Oscillator)로써 사용된다. 또한 송신 및 수신되는 RF신호는 여러 개의 채널을 갖는데 PLL모듈은 여러 개의 채널 중에서 원하는 채널을 선택하는 기능을 한다[6].

2.1 PLL을 이용한 주파수 합성기의 구성 및 동작원리

PLL을 이용한 주파수합성기 회로는 기준발진기, 위상 비교기, 루프 필

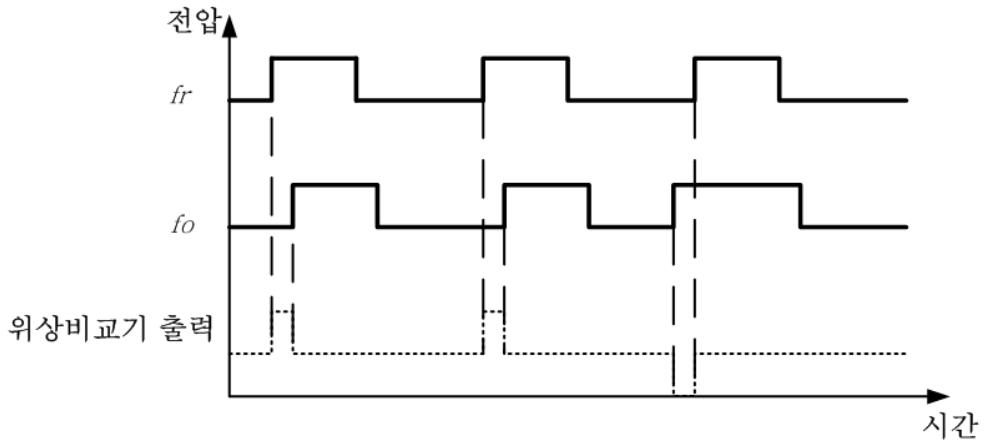
터, 전압제어발진기, 그리고 R,N 분주기로 구성된다. <그림 2.1>은 주파수합성기의 구조를 나타낸 블록 다이어그램이다.



<그림 2.1> 주파수합성기의 기본 구조

위상 비교기는 기준발진기 신호의 위상과 전압제어발진기의 출력신호의 위상을 비교해서 그 차이에 비례하는 전류를 출력한다. 또한 위상 비교기에서는 위상과 전압제어발진기 주파수를 함께 비교함으로써, 기존의 위상 비교기에 비해서 잠김속도(Lock speed)를 빨리 할 수 있으며 획득 범위(Acquisition range)도 증가시킬 수 있다. 전하펌프(Charge pump)는 비교기의 논리신호를 전압제어발진기를 조절하기에 적당한 아날로그 신호로 바꿔주는 기능을 지니며, 위상 비교기의 위상차에 비례해서 루프필터에 전압을 흘려주는 역할을 한다. 이때 전압의 크기는 위상차에 비례하고 기준발진기 신호의 위상이 앞서면 양의 전압, 전압제어발진기의 출력신호의 위상이 앞서면 음의 전압을 출력한다. 위상 비교기는 직류신호와 교류신호가 합해진 신호를 출력한다. <그림 2.2>와 같이 기준신호(f_r)

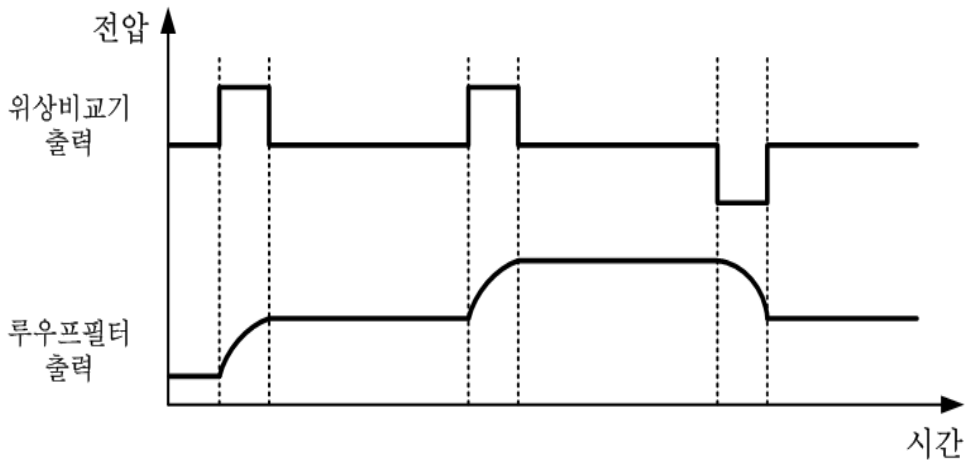
의 위상과 발전기의 출력신호(f_o)의 위상을 비교해서 그 차이에 비례하는 전압을 출력한다.



<그림 2.2> 위상비교기의 타임 차트

위상 비교기의 출력 신호 중에서 교류신호는 전압제어발전기의 입력신호로써 적합하지 않으므로 루프필터에서는 위상 비교기의 출력신호를 전압제어발전기의 입력신호로 적합한 직류성분으로 변환시켜주고 잡음을 제거하는 역할을 수행한다. 루우프필터의 동작 특성을 <그림 2.3>에 나타내었다.

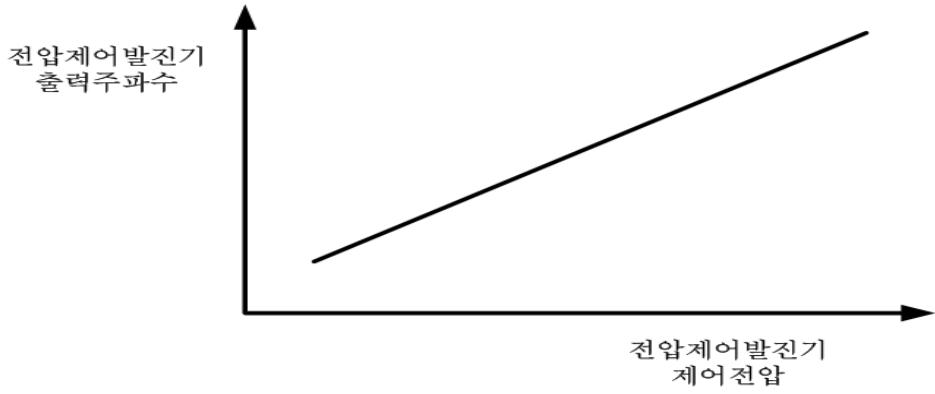
루우프필터의 대역폭과 차수에 의해 전체 시스템의 위상잡음, 잠김시간, 안정도가 결정된다. 따라서 루우프필터는 주파수합성기의 설계시 주 고려 대상이 된다. 또한 루프필터는 수동 루프필터와 능동 루우프 필터가 있는데, 보통 구현이 간단하고 정확한 수동 루우프필터가 많이 쓰인다.



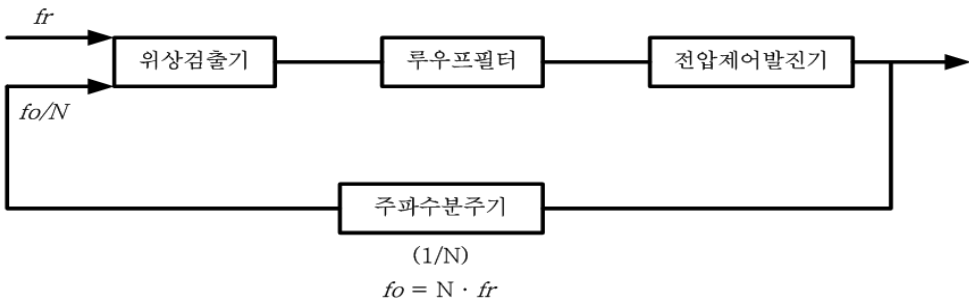
<그림 2.3> 로우패필터의 타임차트

전압제어발전기는 <그림 2.4>와 같이 입력신호에 비례하는 주파수를 출력하게 되며 이 출력신호가 주파수합성기의 출력이 되는 동시에 귀환되어 기준발전기의 출력신호와 위상비교기를 통해 오차신호를 만들게 된다. 주파수 분주기에서는 전압제어발전기에서 출력된 신호를 기준발전기의 출력신호와 비교할 수 있는 주파수로 분주를 하게 되며 분주비에 의해 출력주파수가 결정된다[7],[8]

이렇게 두 신호의 주파수와 위상이 같아졌을 때를 동기되었다고 한다. <그림 2.5>와 같이 PLL 회로에 주파수 분주기를 추가하면 기준신호의 안정도를 갖고 N배 높은 주파수를 만들어 낼 수 있다.



<그림 2.4> 전압제어발진기의 특성곡선



<그림 2.5> 주파수 분주기를 갖는 PLL

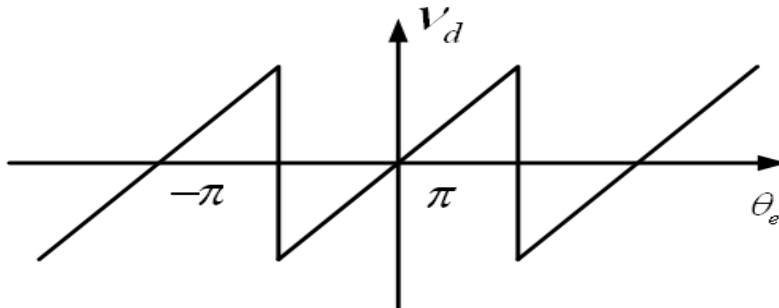
2.2 PLL의 구성

가. 위상검출기

위상검출기는 기준신호의 위상 θ_r 과 발진기 출력신호의 위상 θ_o 의 위상을 비교하여 두신호의 위상차 θ_d 에 비례하는 전압(ν_d) 또는 전류를 출력한다. 위상검출기에 입력되는 기준신호가 없을 때 위상검출기는 free-running 전압 V_{do} 를 출력한다. V_{do} 에 대응하는 위상은 θ_{do} 이다. 기준신호의 위상과 전압제어발진기 출력신호 위상의 차이를 위상오차라고 하는데 일반적으로 위상오차가 없을 때 $\nu_d = V_{do}$ 가 되도록 한다. 따라서 위상오차 θ_e 를 다음과 같이 정의한다.

$$\theta_e \equiv \theta_d - \theta_{do} \quad (2.1)$$

위상검출기의 위상오차에 대한 출력 특성은 주기성을 갖는데 한 주기 동안에는 <그림 2.6>과 같이 선형적인 동작을 볼수 있다. 위상오차가 크면 위상검출기의 동작영역을 벗어나기 때문에 주파수를 lock시키지 못할 수도 있다. 따라서 가능한 한 위상오차는 작아야 한다.



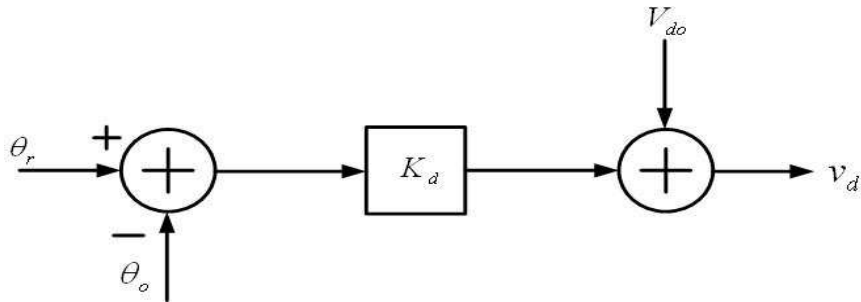
<그림 2.6> 위상 차에 따른 위상검출기 출력특성

<그림 2.6>과 같은 선형 동작 영역은 위상검출기의 구조에 따라 결정된다. 선형동작 영역에서 위상 오차에 따른 위상비교기의 출력 특성은 일정한 경사도를 갖는데 이를 위상비교기 이득 K_d 라고 정의한다.

$$K_d \equiv \frac{dv_d}{d\theta_e} [V/rad] \quad (2.2)$$

선형 영역에서 위상검출기는 식(2.3)으로 모델할 수 있고 그림으로 나타내면 <그림 2.7>과 같다.

$$v_d = K_d\theta_e + V_{do} \quad (2.3)$$



<그림 2.7> 위상검출기의 모델

일반적으로 사용되는 위상검출기는 위상비교기와 전하펌프로 구성된다. 위상비교기는 기준신호와 발진기 출력신호의 위상을 비교하여 위상차에 비례하는 펄스 폭을 갖는 신호를 출력한다. 전하펌프는 비교기의 논리신호를 전압제어발진기를 조절하기에 적당한 아날로그 전류로 변환한다. 이 때 전류의 크기는 위상차에 비례하고 기준신호의 위상이 앞서면 양의 전류, 발진기 출력신호의 위상이 앞서면 음의 전류를 출력한다.

나. 루우프 필터

위상검출기는 개념적으로 주파수 체배기로 간주된다. 기준신호를 v_r ,

발전기 출력신호를 v_o 라고 하고 주파수 분주비 $N = 1$ 일 때, 위상검출기의 출력신호 v_d 라고 하며 식(2.4),식(2.5),식(2.6)으로 나타낼수 있다.

$$v_r = V_r \sin(\omega_r t + \theta_r) \quad (2.4)$$

$$v_o = V_o \cos(\omega_o t + \theta_o) \quad (2.5)$$

$$\begin{aligned} v_d &= K_m \times v_r \times v_o \\ &= K_m V_r V_o [\sin(\theta_r - \theta_o)/2 + \sin(2\omega_r t + \theta_r + \theta_o)] \end{aligned} \quad (2.6)$$

여기서 K_m 은 상수이다. 식 (2.6)으로부터 알 수 있듯이 위상검출기는 직류신호와 교류신호가 합해진 신호를 출력한다. 이 중에서 교류신호는 전압제어발전기의 입력신호로써 적절하지 않으므로 루프필터를 이용해 교류신호를 제거해준다. 따라서 루프필터는 저역통과 필터의 형태를 갖는다. 루프필터는 크게 수동필터와 능동필터로 나눌 수 있다. 수동필터는 구현이 용이하고 전력소모가 적다는 장점이 있다. 그러나 위상검출기의 출력 전압 레벨이 전압제어발전기의 제어 전압 레벨 보다 낮을 때에는 위상비교기의 출력을 증폭시켜서 전압제어발전기의 입력으로 넣어주어야 하는 단점이 있다. 이런 문제점을 보완하기 위하여 능동필터를 사용한다. 그러나 능동필터는 능동소자이기 때문에 자체의 잡음을 갖는다. 루우프필터는 스푸리어스 제거뿐만 아니라 전체 시스템의 응답속도, 안정도, 잡음특성 등을 결정하는 요인으로 작용하기 때문에 PLL의 설계시 주 고려대상이 된다. <그림 2.8>에 기본적인 형태의 루우프필터와 전달 특성을 나타내었다.

<그림 2.8>과 같은 기본적인 루프필터만으로는 원하는 필터 특성을 얻지 못할 경우에 필터를 다단으로 연결하여 보다 나은 특성을 얻을 수 있

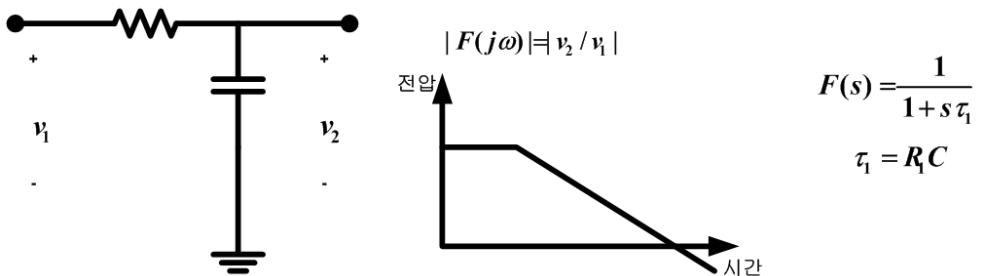
다. 다단으로 연결할 때 필터의 조합은 원하는 특성에 따라 달라진다.

다. 전압제어 발진기

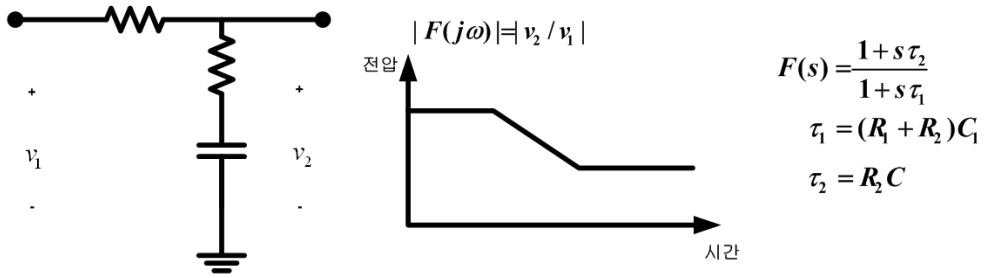
전압제어발진기는 입력신호의 전압에 비례하는 주파수를 출력하는 장치이다. 주파수 분주비를 N 이라고 할 때, 전압제어 발진기의 출력주파수 변이 $\Delta\omega_o$ 는

$$\Delta\omega_o \equiv \omega_o - N\omega_r \quad (2.7)$$

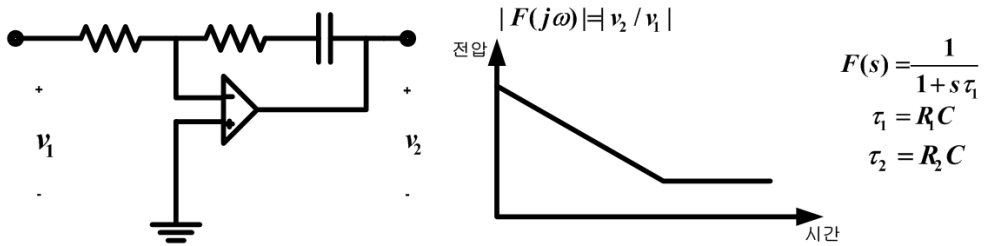
여기서 ω_r 는 기준신호의 주파수, ω_o 는 전압제어발진기 출력신호의 주파수로 정의할 수 있다. 이때 전압제어발진기의 조정 전압에 대한 출력주파수의 변이를 전압제어발진기의



(a) 수동 RC 필터



(b) 수동 lead-lag 필터



(c) 능동 필터

<그림 2.8> 기본적인 루프필터의 형태

이득 K_o 라고 하고 식(2.8)로 정의한다.

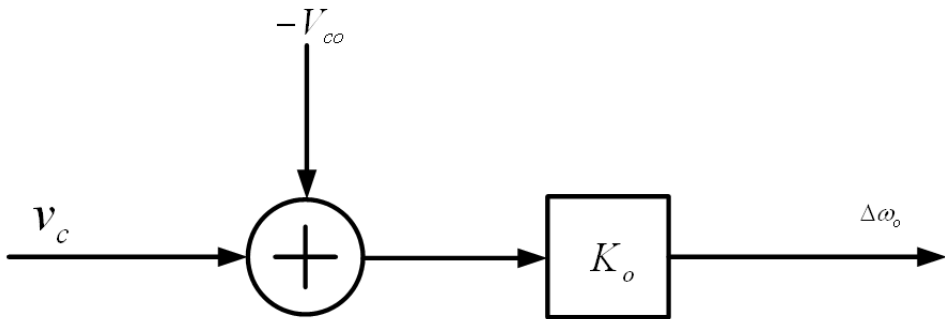
$$K_o \equiv \frac{d\omega_o}{dv_c} = \frac{d\Delta\omega_o}{dv_c} [\text{rad}/(s \cdot V)] \quad (2.8)$$

여기서 v_c 는 전압제어발전기의 제어전압 이다. $\omega_o = N\omega_r$ 일 때 전압제어발전기의 제어전압 v_c 는 일정한 전압 V_{co} 를 갖는데, 이를 정상 제어전압이라 한다. 따라서 전압제어발전기의 출력주파수 변이는 식(2.9)로 표현

할 수 있다.

$$\Delta\omega_o = K_o(v_c - V_{co}) \quad (2.9)$$

위상검출기의 V_{do} 는 위상검출기만의 특성에 따라서 결정되지만, 전압제어발진기의 V_{co} 는 PLL 전체 시스템의 특성에 따라 결정된다. 전압제어발진기의 모델을 <그림 2.9>에 나타내었다.

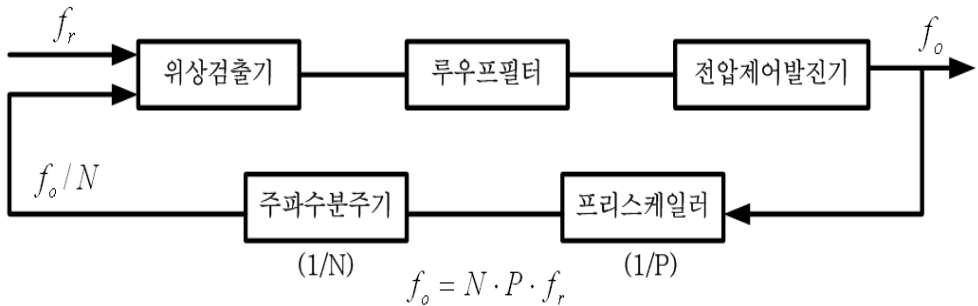


<그림 2.9> 전압제어발진기 모델

라. 분주기

분주기는 높은 주파수의 신호를 낮은 주파수의 신호로 변환하는 소자로써 일반적으로 디지털 소자인 카운터를 이용하여 구성한다. 주파수 분주기가 없을 때 lock된 상태에서의 출력 주파수는 기준 신호의 주파수와 같다. 즉, $f_o = f_r$ 이다. 그러나 프로그램 카운터를 사용하면 전압제어발진기의 출력범위 내에서 기준 주파수의 N배되는 주파수를 출력해낼 수 있

다. 즉 $f_o = N \cdot f_r$ 이다. 일반적으로 전압제어발진기의 출력주파수는 기준신호의 주파수보다 매우 높다. 이는 카운터의 값이 매우 커야함을 의미한다. 카운터 값이 크면 그만큼 동작 속도가 느려진다. 해결책으로는 <그림 2.10>과 같이 고주파에서 고속으로 동작하는 프리스케일러 P를 함께 사용한다. 프리스케일러를 함께 사용했을 때, 주파수가 lock된 상태에서의 출력주파수는 $f_o = N \cdot P \cdot f_r$ 가 된다. 이 때의 채널간격은 $P \cdot f_r$ 이다.

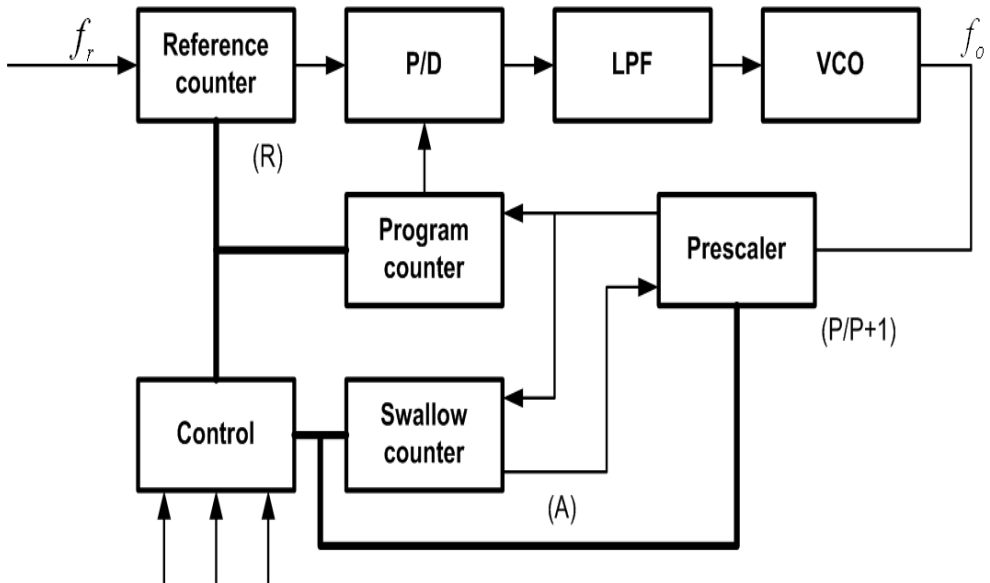


<그림 2.10> 프리스케일러를 이용한 PLL

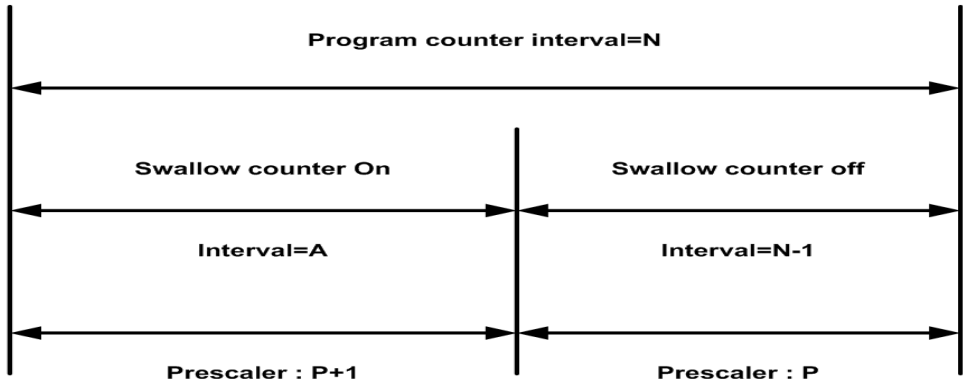
프리스케일러를 사용하면 고주파에서 빠르게 동작하는 특성을 얻을 수 있지만 전압제어발진기의 출력주파수는 $P \cdot f_r$ 의 정수 배의 주파수를 갖기 때문에 기준주파수보다 낮은 채널 간격을 갖는 시스템을 구현할 수는 없다. 이때에는 기준주파수 분주기 R을 사용한다. 기준주파수분주기를 사용했을 때 전압제어 발진기의 출력주파수 $f_o = N \cdot P \cdot (f_r/R)$ 이다. 그러나 기준주파수분주기와 프리스케일러만을 사용하면 $P \cdot (f_r/R)$ 의 정수배인 주파수만을 만들어낼 수 밖에 없다. 따라서 보다 높은 주파수 해상도를 구현하기 위해서는 <그림 2.11>과 같은 스왈로 카운터를 사용

한다.

스왈로 카운터를 갖는 PLL에서 프리스케일러는 dual modulus 프리스케일러이다. 즉 카운트 값이 P 또는 $(P+1)$ 이 된다. 스왈로 카운터는 프로그램카운터의 일부분을 카운트하면서 프리스케일러의 분주비를 조정한다. 따라서 스왈로카운터의 분주비는 프로그램카운터의 분주비보다 항상 작거나 같다. 즉, $A \leq N$ 이다. 스왈로카운터가 카운트를 하는 동안 프리스케일러의 분주비는 $(P+1)$ 로 되고 스왈로카운터가 프로그램된 값 (A)에 도달하면 프리스케일러의 분주비는 P 가 된다. 스왈로우카운터를 사용했을 때 전압제어발진기의 출력주파수는 식(2.10)과 같으며, 동작특성은 <그림 2.12>에 나타내었다.



<그림 2.11> 스왈로카운터를 갖는 PLL

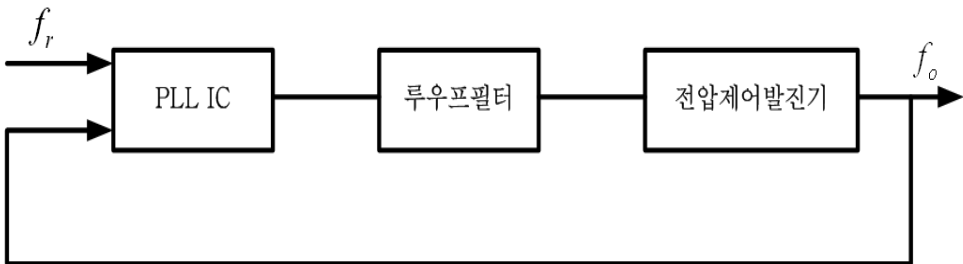


<그림 2.12> 스왈로카운터의 카운트 동작특성

$$f_o = (N \cdot P + A) \cdot (f_r / R) \quad (2-10)$$

스왈로카운터의 카운트 동작 특성을 <그림 2.12>에 나타내었다.

실제 PLL시스템에서는 주파수분주기와 위상비교기가 포함된 PLL IC를 사용한다. 따라서 상용화되어있는 PLL IC를 사용할 경우 PLL의 설계는 <그림 2.13>과 같이 루우프필터와 전압제어발진기의 설계를 의미한다.



<그림 2.13> PLL IC를 사용한 PLL

제 3 장 PLL를 이용한 주파수합성기의 설계 및 제작

주파수 합성기는 PLL에서 주파수 분주기로 프로그램이 가능한 분주기를 사용하여 구현된다. 주파수 합성기의 구성도는 <그림 2.1> 과 같다. 회로의 주파수 해상도를 좋게 하기 위해서 기준 발진기와 위상비교기 사이에 여분의 주파수 분주기 R을 사용하였다.

주파수 합성기는 CMOS나 TTL칩으로 된 프로그램이 가능한 카운터를 사용한다. 이것은 최대 2.8 GHz이상의 주파수에서는 동작하지 않는다. 따라서 10 GHz ~ 11 GHz에서 동작하는 고주파 주파수 분주기로 분주수가 고정된 프리스케일러를 사용해야 한다. 2.8 GHz이하에서 동작하는 프로그램이 가능한 분주기와 10 GHz ~ 11 GHz에서 동작하는 프리스케일러의 병합에 의해서 625 MHz에서 동작하는 프로그램이 가능한 분주기를 만들 수 있다. 프리스케일러의 주파수 분주 값이 P이고 프로그램이 가능한 분주기의 분주 값은 R일 때 전체 분주 값 N은

$$N = R \times P \quad (3.1)$$

같다. 전체 분주 값 N은 R이 1씩 변화될 때 P씩 변화되어 진다. 이것은 주파수 해상도를 나쁘게 한다. dual-module 프리스케일러($\div P/(P+1)$)와 두 개의 프로그래머블카운터 R과 A를 사용하여 주파수 해상도를 높일 수 있다. dual-module 프리스케일러는 제어 신호 값에 의해 두개의 나누기 값 $\div P$ 와 $\div (P+1)$ 의 값을 가진다. 제어 신호 값은 프로그램이 가능한 분주기에서 두개의 다른 카운터, R과 A에 의해서 조정되어진다. 'R'이 'A'보다 큰 길이의 카운터를 사용할 때 처음에 프리스케일러는

$\div (P+1)$ 의 값으로 R 과 A 카운터를 동시에 계수 한다. A 카운터가 계수를 마치고 overflow를 내면 프리스케일러는 $\div P$ 로 동작하며 이때 R 과 A 카운터는 리셋(reset)되고 다시 위의 순서를 반복한다. 이때 전체나누기 값 N 은

$$\begin{aligned}
 N &= A \times (P+1) + (R-A) \times P \\
 &= A \times P + A + R \times P - A \times P \\
 &= R \times P + A
 \end{aligned} \tag{3.2}$$

이다. A 와 R 카운터가 1씩 변화되어지고 A 카운터의 총 변화량이 P 보다 클때 N 은 1씩 변화되어 질 수 있다.

주파수 해상도는 기준신호 분주기 R 과 기준신호주파수에 의해서 결정된다. 출력주파수 f_o 는 다음과 같이 주어진다.

$$f_o = \frac{f_{ref}}{R} \times N \tag{3.3}$$

주파수 해상도는 N 이 1씩 변화 되어지므로 f_{ref}/R 이다. 적절한 R 값을 택하므로써 원하는 주파수 스텝을 정할 수 있다. 전체 루프의 대역폭은 주파수 스텝보다 작아야 하므로 작은 주파수 스텝은 작은 대역폭을 요구한다. 이것은 주파수 획득시간을 증가 시키게 된다. 주파수 해상도는 채널 간격 100kHz와 같거나 자연수로 나누어지는 값이어야 한다.

분주기의 분주값은 시리얼 입력에 의해서 프로그램이 가능하다. 실험에서는 PC의 페러럴포트를 이용한 21-bit의 시리얼데이터를 입력하여 측정하였다.

3.1 주파수 합성기의 설계

가. Synthesizer chip

많은 Synthesizer chip들이 이동 통신용으로 사용되고 있다. 본 논문에서는 PLL IC로는 National Semiconductor사의 LMX2326을 사용하였다. <표 3.1>은 LMX2326의 주요 특성이다.

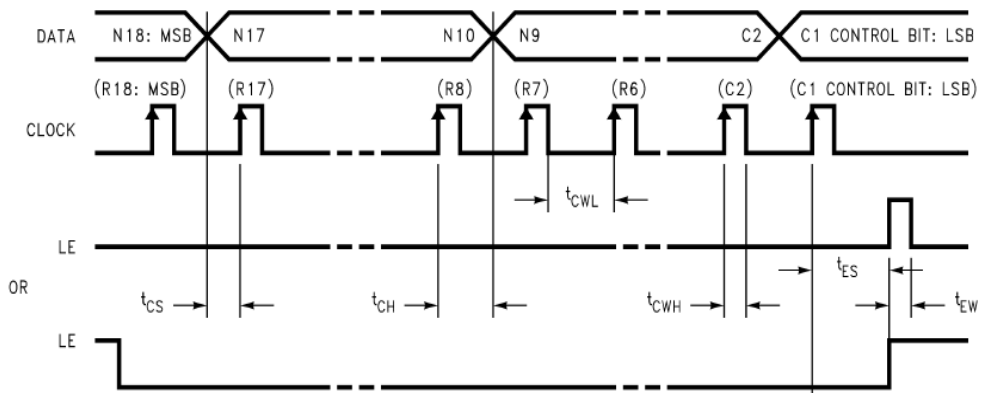
<표 3.1> LMX2326의 주요 특성

입력주파수	100MHz ~ 2.8GHz
전원 전압	2.3V ~ 5.5V
프리스케일러분주비	32/33
소모전류	4.7mA

PLL IC는 위상 검출기와 주파수 분주기를 포함한다. 주파수 분주기의 분주비를 조정하기 위해 PLL IC에 제어 데이터를 전송해야 한다. 데이터의 전송은 Clock, Data, Enable(LE)로 구성되며 하나의 Clock마다 한 bit의 Data가 전송되는 직렬데이터 전송의 형태를 갖는다. 전송된 데이터는 레지스터에 임시 저장되었다가 Load Enable(LE)신호가 LOW가 되면 전송대상 시스템에 전달된다. 다시 LE신호가 HIGH가 되면 데이터 전송이 끝난다. Clock, Data, Load Enable의 타이밍도는 <그림 3.1>과 같다. PLL IC로 사용한 LMX2326은 RF부분은 21-비트 데이터 레지스터, 14-비트 기준 R 카운터, 18-비트 N 카운터로 구성된다. 21-비트 데이터

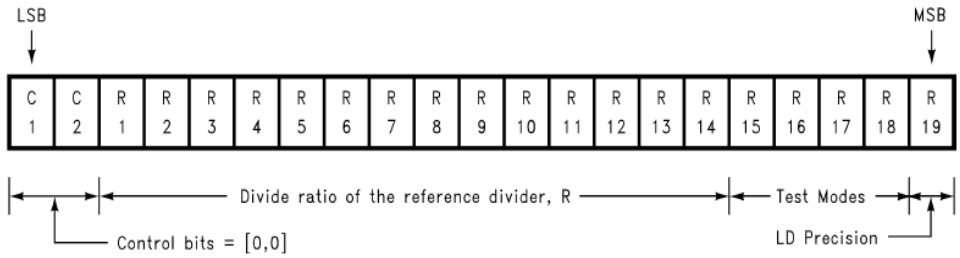
레지스터는 제어 비트, 카운터 비트, 프로그램 모드 비트로 구성되고 18-비트 N 카운터는 5비트의 스왈로카운터(A)와 13비트의 프로그램카운터(B)로 구성된다. <그림 3.2>는 LMX2326의 데이터 구성을 나타낸 그림이고 <그림 3.3>은 PLL IC 구성도를 나타낸 그림이다.

데이터 스트림은 rising edge에서 MSB(Most Significant Bit)의 Power를 up/down하는 R19과 N19이 0이면 Power up이 되어 먼저 데이터 입력으로 클럭된다. 제어 비트(Last bit input)가 $C_1 = 0$, $C_2 = 1$ 이면 R19와 RF R 카운터에 데이터가 전송된다. R 카운터란 채널 간격을 설정하는 기준 카운터는 주파수분주비를 설정하는 카운터이다. LMX2326에선 3미만의 R 카운터 분주비는 사용하지 않는다. 따라서 R 카운터의 분주비 R은 3~16383까지 이다. 5비트의 스왈로 카운터의 분주비 A는 0~31까지 이고, 13비트의 프로그래머블 카운터의 분주비 B는 3~8191까지 이다. 스왈로 카운터의 분주비 A는 프로그래머블 카운터의 분주비 B보다 작거나 같아야 한다.

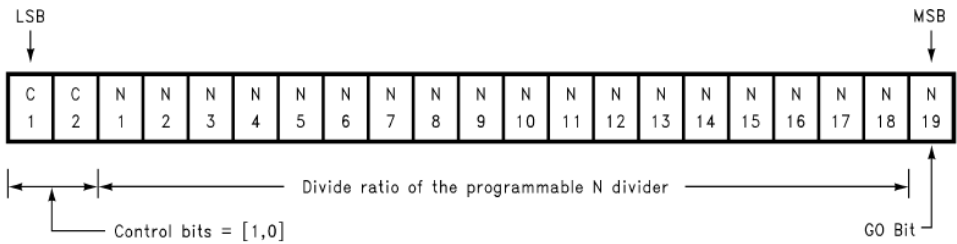


<그림 3.1> Clock, Data Enable(LE)의 타이밍도

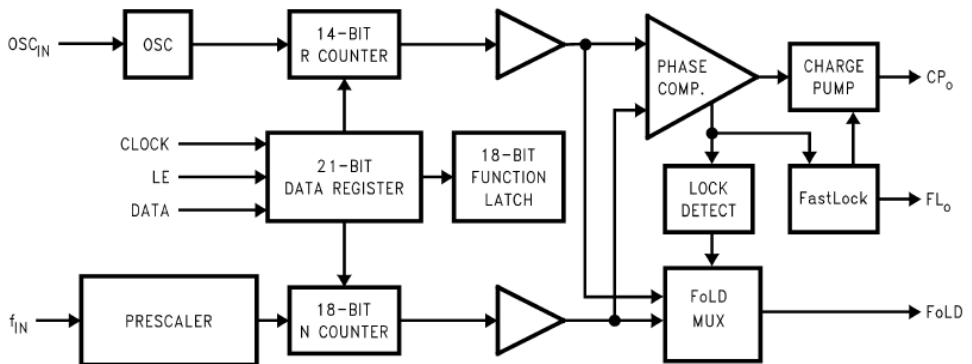
* R 카운터용 데이터



* N 카운터용 데이터



<그림 3.2> LMX2326의 데이터(data) 구성



<그림 3.3> PLL IC 구성도

$$f_o = [(P \times B) + A] \times (f_{ref}/R) \quad (3.4)$$

여기서, f_o : 전압제어 발진기의 출력 주파수

f_{ref} : 기준 발진기의 출력 주파수

R : 14-비트 기준주파수 분주기의 분주비

P : 프리스케일러의 분주비

B : 13-비트 프로그래머블 카운터의 분주비

A : 5-비트 스왈로 카운터의 분주비

R 카운터분주비 R은 기준 클럭을 채널간격으로 나누어 결정하게 된다. 본 논문에서는 12.8MHz의 기준 클럭(f_{ref})과 100kHz의 채널 간격을 선택 하였으므로 R값을 구해보면 $12.8\text{MHz}/100\text{kHz} = 128$ 이 된다. 따라서 이 진수로 표현하면 R은 10000000된다. N counter의 분주비 N은 프리스케일러의 분주비 P, 프로그래머블 카운터의 분주비 B, 스왈로 카운터의 분주비 A값이 식(3.2)으로 구성된다. N값은 주파수 합성기가 발생시키고자 하는 RF신호 값을 채널 간격으로 나누어 구할 수 있다. 식 $N=(3.2)$ 에서 P는 프리스케일러의 분주비로서 LMX2326에선 32나33의 두 가지가 있어 선택할 수 있는데 $B \geq A$ 의 관계를 만족시켜야 한다. 본 논문에서는 10GHz~11GHz의 RF신호를 발생시켜야 하므로, 외부 프리스케일러에서 16분주한 값 625MHz~687.5MHz의 신호가 PLL IC로 입력되어진다.

우선 625MHz~687.5MHz를 채널 간격이 100kHz로 나누면 되므로 N-카운터값이 6250~6875가 된다. 다음으로 P 값을 32나 33 중 $B \geq A$ 조건을 만족하도록 선택하여야 한다. P값을 32로 선택할 경우 $6250/32$ 는

195.3이므로 B값을 195로 하면 A 값도 10이 되어 $B \geq A$ 조건을 만족시킨다. P값을 33로 선택할 경우 $6250/33$ 는 189.4이므로 B값을 189로 하면, A값도 13가 되어 $B \geq A$ 조건을 만족시킨다. 본 논문에서는 P를 32로 선택하였다. 따라서 B값은 195로, A값을 10으로 결정되었다. PLL IC 제어 프로그램에서는 f_{ref} , f_o , 프리스케일러 분주비, 채널 간격을 설정하면 이와 같은 계산을 통해 분주비를 Clock, Load Enable(LE)과 함께 출력한다. PLL IC 제어 프로그램은 PC를 이용하여 Codeloader를 이용하여 측정하였다.

나. 프리스케일러의 선택

Synthesizer chip의 동작 주파수는 최대 2.8GHz이다. 그러므로 전압제어발진기의 주파수 10GHz~11GHz를 2.8GHz이하로 낮추어야 한다. 이를 위하여 프리스케일러를 사용한다. 본 논문에서는 프리스케일러의 분주율을 각각 4분주한 총 16분주한 Hittite사의 프리스케일러 IC를 사용하였다. 이때 16분주한 출력결과값은 625MHz~687.5MHz 이므로 PLL IC의 입력 허용 주파수 값이 되는 것을 알 수 있다.

다. 기준신호발진기

기준신호발진기는 주파수 합성기의 안정성을 결정하기 때문에 안정된 수정발진기를 사용한다. 사용 주파수가 낮을 수록 좋은 주파수 해상도를 주지만 출력주파수에서 측대역의 감쇄가 작다. 따라서 본 논문에서는 12.8MHz의 TCXO의 기준신호발진기를 사용하였다.

라. 전압 제어 발진기(VCO)

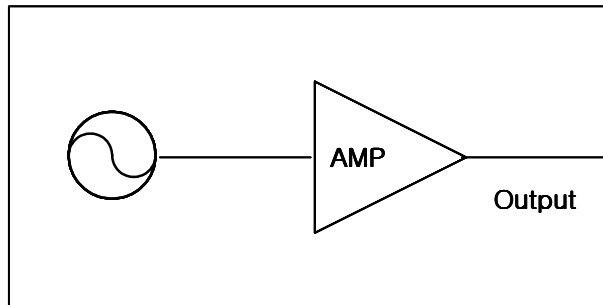
송신단 설계에 있어서 가장 중요한 변수는 송신 전력이다. 송신 전력이 클수록 탐지 거리가 늘어나지만, 레이더의 경우 송신 전력이 크면 안테나에서의 반사에 의하여 수신단이 파괴될 수 있기 때문에 적절한 송신 전력에 대한 고려가 필요하다.

본 논문에서는 Agilent Technology사의 VTO-8951를 사용하였다. 이것은 <표3.2>에서 보듯이 동작주파수 범위가 7.5GHz~11GHz이며, 출력 전력이 10dBm이다. 다음으로 동작주파수로서 본 논문에서는 분해능 및 측정거리를 고려하여 10GHz~11GHz범위에서 동작하도록 설계하였다. <그림 3.5>에 제작한 전압 제어 발진기의 모양을 나타내었다. 제작시 바이어스단에는 전원으로부터의 잡음을 줄이기 위해 바이패스(bypass) 커패시터를 달아 주었다. 출력신호의 일부는 안테나를 통해 송신되고 나머지 신호는 혼합기와 프리스케일러로 각각 분배되어진다. 본 논문에서는 이러한 출력신호의 분배는 3dB 전력분배기를 사용하였다.

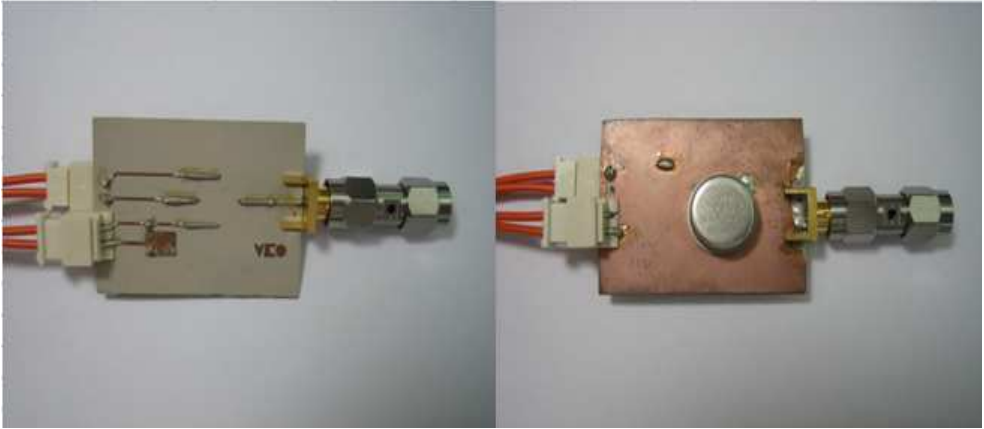
<그림 3.6>은 전압 조정 발진기에 +5V의 바이어스를 인가한 다음 튜닝 전압을 3.7V에서 7.9V까지 변화하였을 때 그에 따른 주파수의 변화를 나타낸 것이다. 측정치는 선형적이지 않으며 그림에서 보는 것처럼 약간의 왜곡을 볼수 있다. <그림 3.7>에 각각 10GHz와 11GHz의 주파수에서 전압 제어 발진기의 출력을 스펙트럼 분석기로 측정하여 나타내었다.

<표 3.2> VTO-8951의 특성 파라미터

특성	단위	범위
동작 주파수	GHz	9.5 to 11
출력 파워 (50Ω Load)	dBm	10(± 2)
변조 감도	MHz/V	150 to 250
튜닝 전압	V	0 to 10
인가 전압	V	5.2
동작 온도	°C	-10 to +100



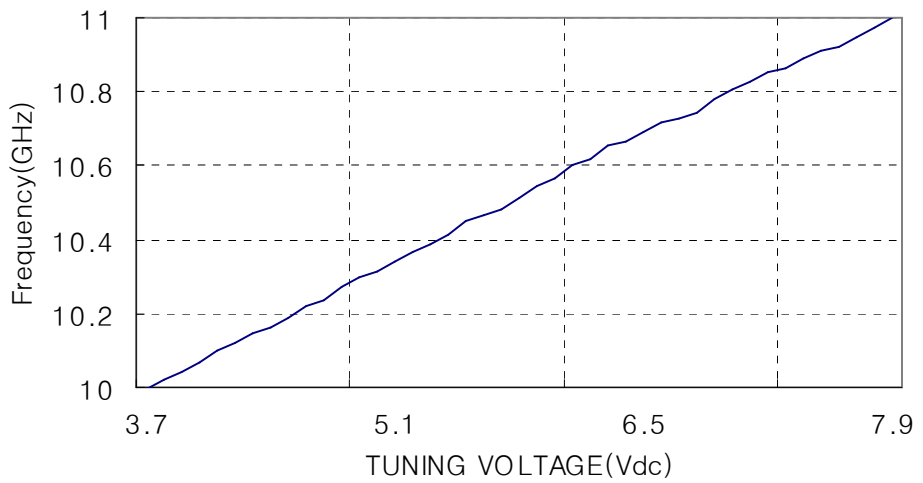
<그림 3.4> VTO-8951의 블록 다이어그램



(a) 전면부

(b) 후면부

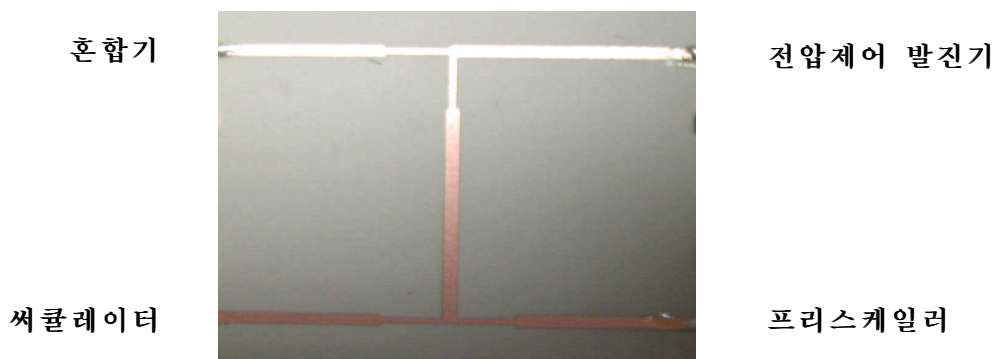
<그림 3.5> 제작된 전압 제어 발진기



<그림 3.6> 튜닝 전압에 따른 주파수와 변조 감도

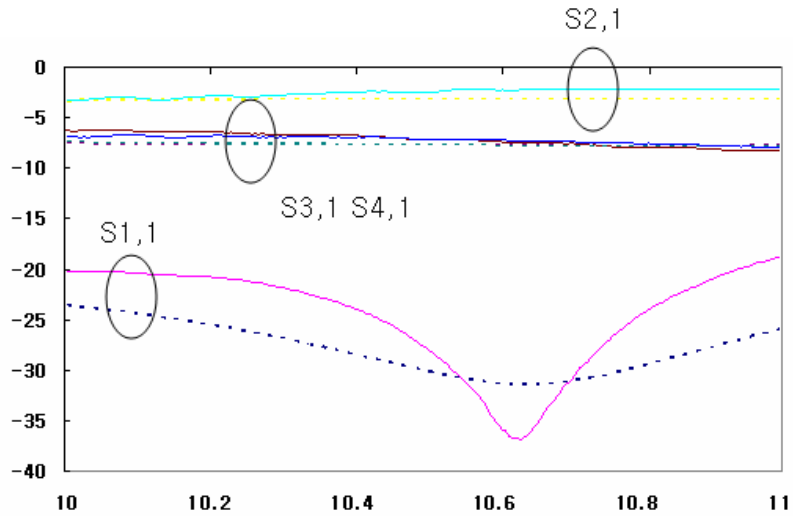
마. 4-단자 분배기(Divider)

전압 제어 발진기에서 출력된 송신 신호의 일부를 혼합기의 Local부분인 안테나, 그리고 프리스케일러로 나누어 보내기 위하여 3dB 전력 분배를 이용하였다. <그림 3.7>은 제작한 분배기의 모양을 나타내었다.



<그림 3.7> 제작된 전력 분배기

실제 제작된 분배기의 S-파라미터는 <그림 3.8>에서 보는 것처럼 10GHz~11GHz 주파수 대역에서 시뮬레이션 값과 제작된 분배기의 결과값들이 유사함을 확인할수 있다.

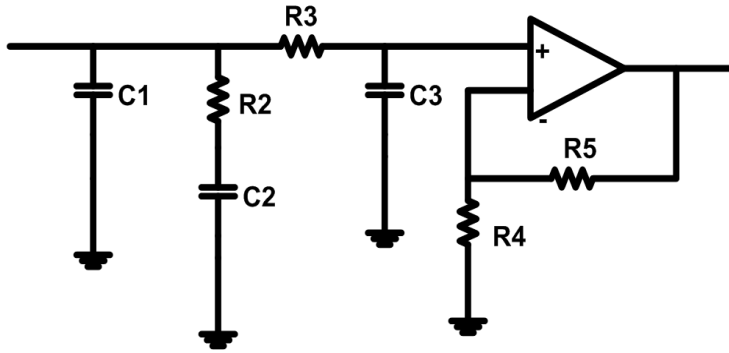


<그림 3.8> 4-Port 분배기의 S 파라미터

바. 루프 필터

<그림 3.9>은 위상비교기의 신호를 전압조정발진기의 제어전압인 DC전압으로 만들기 위해 3차 저역통과 필터와 증폭기로 구성된다. 위상 비교기의 출력에 나타나는 신호는 위상차에 해당하는 전압과 함께 입력 신호의 주파수 성분이 같이 나타나는데 루프 필터에서 입력신호의 고주파 성분을 제거한다. PLL 칩의 charge pump 전압은 0.4V~4.7V까지의 범위에서 나타난다. 원하는 주파수 대역에서 VCO 제어전압 범위로 선형적으로 변환시키기 위해 증폭율이 1.8인 증폭기를 루프 필터와 함께 사용하였다. 루프 필터 설계시 주파수 안정화 시간, 위상잡음, 안정성 등의 특성에서 상호 타협이 이루어져야하며, 루우프의 대역폭을 크게 할수록 안정화 시간은 빠르지만, 넓은 대역폭에 따른 높은 기준주파수 스퓨리어

스를 발생시킨다.



<그림 3.9> 루프 필터 및 증폭부 회로도

기준주파수 스퓨리어스를 감소시키기 위해서는 루프 대역폭을 감소시키거나 많은 저역통과 여파기를 사용하면 되지만, 안정화 시간은 증가된다.

3.2 주파수 합성기의 제작

본 논문에서는 PLL을 이용하여 X-band PLL 주파수 합성기를 설계 및 제작하였다. 설계 사양은 <표 3.3>의 주파수합성기 설계 목표를 기준으로 하였다. 이 설계 목표는 단말기 제작에 일반적으로 사용되는 설계 사양이다. 제작된 주파수합성기의 설계사양은 다음과 같다. 주파수 합성기의 발진주파수 10GHz~11GHz를 16분주한 프리스케일러 출력주파수 625MHz~687.5MHz대역에서 채널 간격 100KHz로 설정하여 설계하였다.

<표 3.3> 주파수합성기 설계 목표 사양

항목	설계 목표
주파수대역	10GHz~11GHz
채널간격	1.6MHz
출력전력	10dBm
위상잡음	< -80dBc/Hz @100kHz offset

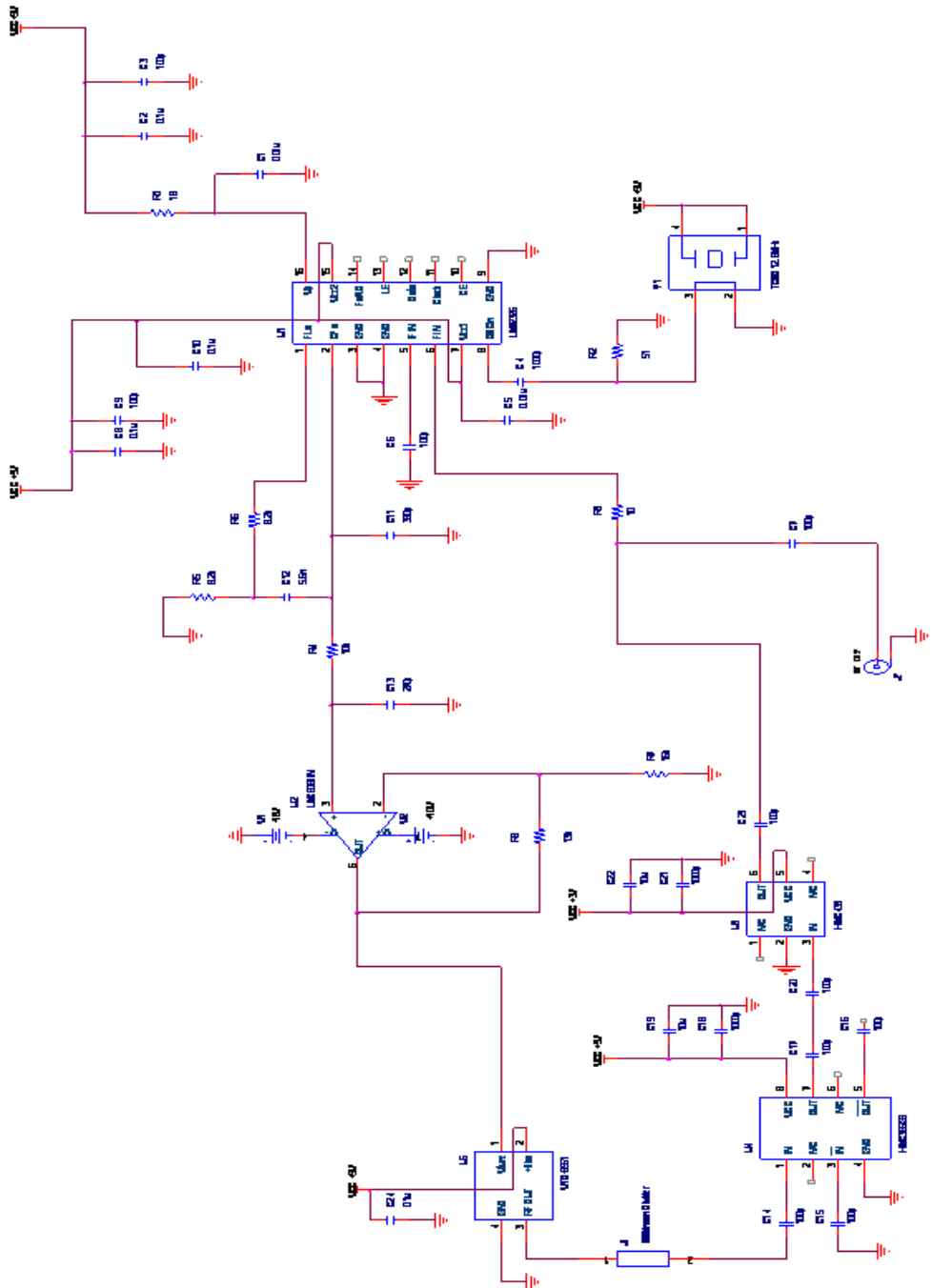
설계된 주파수 합성기의 회로도를 <그림 3.10>에 나타내었다. 루프필터는 수동의 3차 필터로 설계 하였고, 전압제어발진기는 앞에서 제작한 것을 사용하였다. <그림 3.11>은 실제 제작한 주파수합성기의 설계도면과 실물사진이다. 제작한 PCB의 크기는 150mmX60mm 이고 기판의 유전율은 9.5(±0.5)인 Taconic기판을 사용하였으며, 신호선의 폭은 0.54mm로 하였다. 기준발진기로는 12.8MHz의 TCXO를 사용했고, PLL IC는 National Semiconductor사의 LMX2326을 사용하였다.

그리고 <그림 3.12>실험 측정을 위한 셋업을 나타낸 것이다.

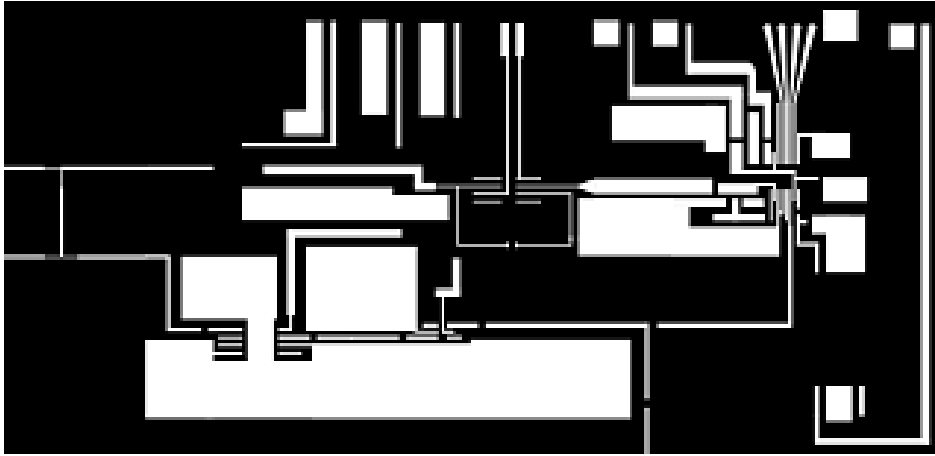
3.3 주파수 합성기의 실험 결과 및 고찰

본 측정에 사용된 장비는 Agilent사의 E4404B 스펙트럼 분석기(Spectrum analyzer)이다. <그림3.13>는 제작한 주파수합성기에서 주파수 스텝을 100kHz, N분주기의 분주율을 6250, 6875으로 각각 입력하여 VCO출력주파수 10GHz~11GHz의 출력값을 측정하여 나타내었다.

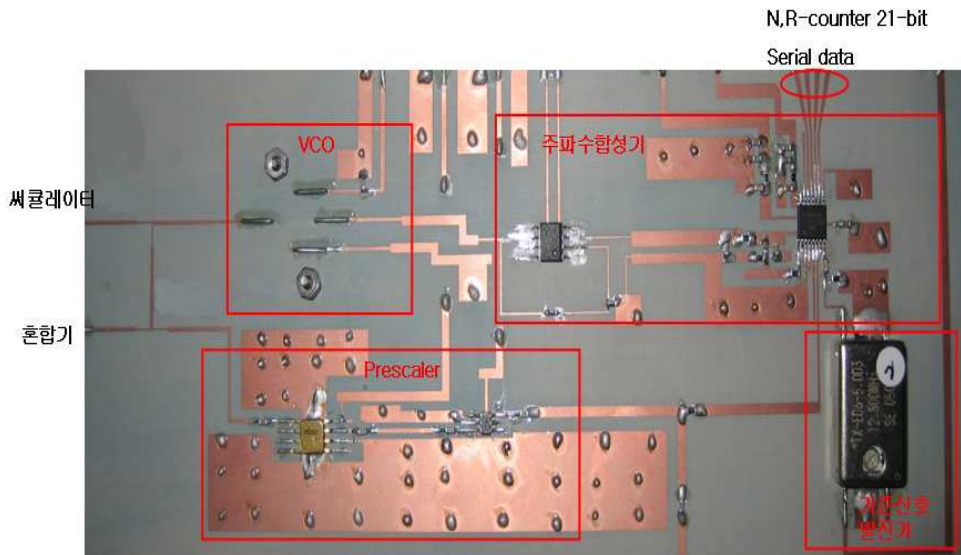
<그림 3.13>-(a)에서 출력전력이 10.1dBm인 것을 알수 있으며, <그림 3.13>-(b)의 6250 ~ 6875 N-카운터값을 인가했을때 출력값을 볼수있다.



<그림 3.10> 주파수합성기 회로도

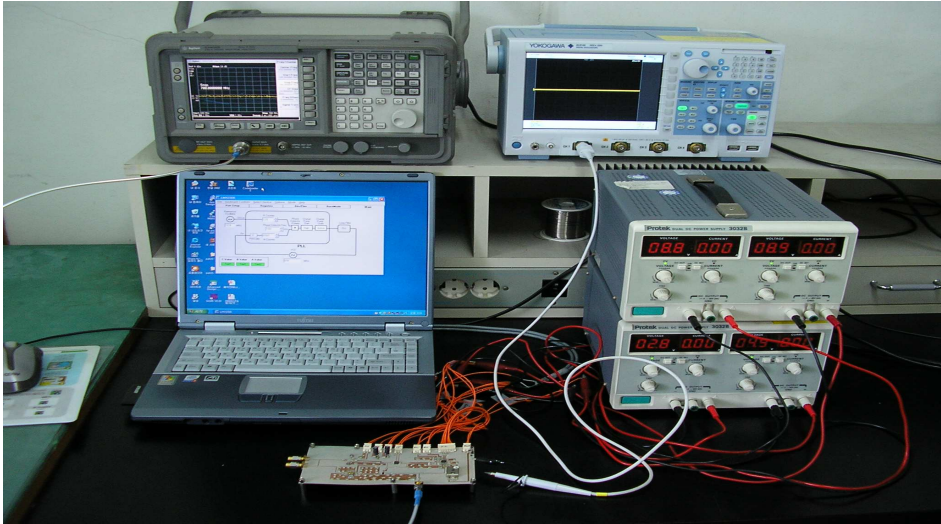


(a) 주파수 합성기 설계도면



(b) 제작한 주파수 합성기

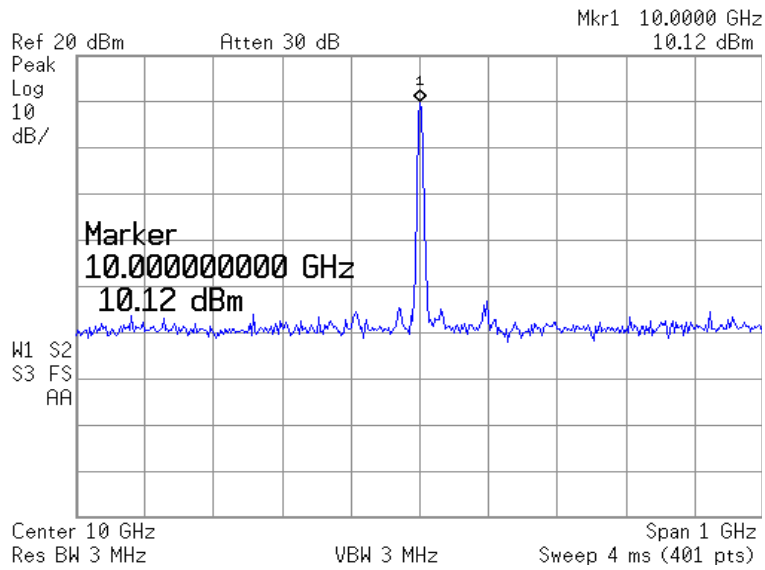
<그림 3.11> 주파수합성기 설계도면과 실물사진(150mmX60mm)



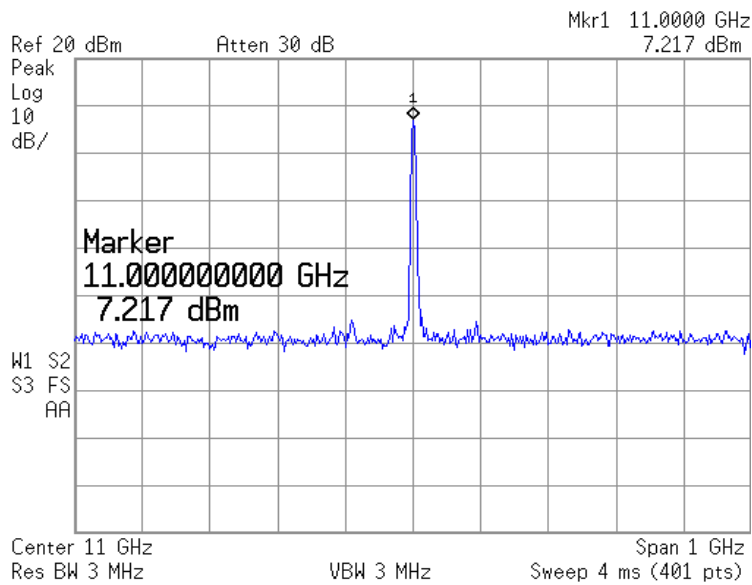
<그림 3.12> 실험 장비 구성

<그림 3.14>은 주파수합성기의 위상잡음을 측정된 결과이다. 출력주파수 10GHz~11GHz의 100kHz 오프셋(offset)에서 -80dBc/Hz 정도의 위상잡음특성을 얻었다.

<그림 3.15>-(a)는 N 분주비의 값이 6250~6850으로 연속적으로 변할 때 VCO의 출력 주파수를 측정된 결과이다. 또한 <그림 3.14>-(b)는 PLL 회로를 사용하여 주파수 안정화를 하지 않은 VTO-8951의 제어전압변화에 따른 출력 주파수 변화를 나타내었다. PLL회로를 사용하여 주파수 안정화를 한 경우인 <그림 3.15>-(a)가 선형적으로 변하는 것을 볼 수 있다.

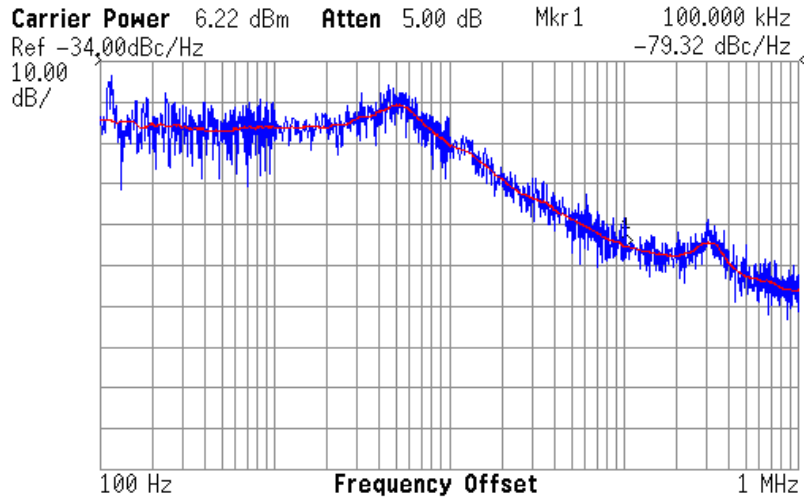


(a) 출력주파수 10GHz(N=6250)

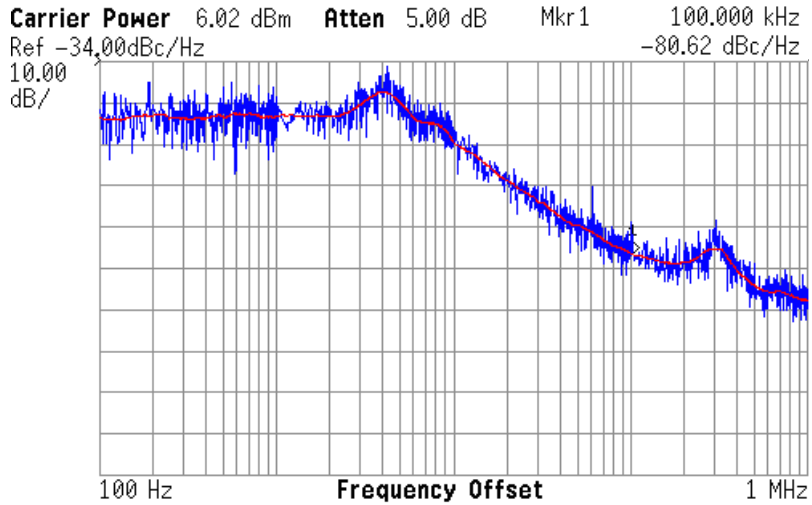


(b) 출력주파수 11GHz(N=6875)

<그림 3.13> 제작된 주파수 합성기의 VCO출력결과

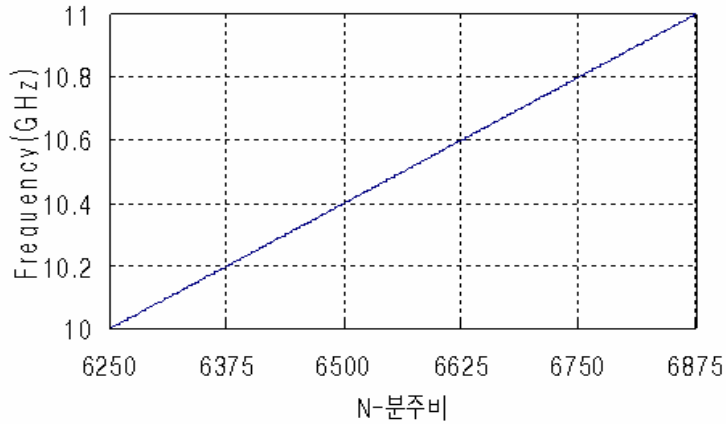


(a) 출력주파수 10GHz

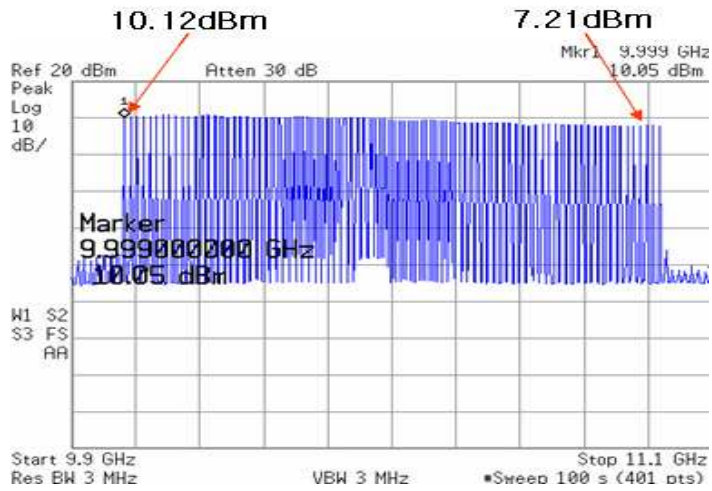


(b) 출력주파수 11GHz

<그림 3.14> 제작된 주파수합성기의 위상잡음 특성



(a) 주파수 합성기의 출력값



(b) 10GHz~11GHz 동작 출력값

<그림 3.15> 분주비와 전압변화에 따른 출력주파수

제 4 장 결 론

본 논문에서는 FMCW 레이더에서 사용되는 발진기를 구현하기 위해서 선형 스위프 특성을 갖는 X-밴드 주파수합성기를 설계하고 구현하였다. 레이더에 응용할 수 있는 여러 가지 형태의 주파수 합성기에 대하여 각각의 특성과 장·단점 등을 비교, 설명하였으며, 그 중에서 디지털 PLL 주파수 합성기를 선택하여 구현하였다. 실제 레이더에 응용하기 위해서는 매우 낮은 위상잡음을 요구하기 때문에 주파수 합성기를 구현함에 있어서 삼단 루프 주파수 방식과 주파수 체배 방식을 조합하여 주파수합성기를 설계하였다.

10GHz~11GHz 대역의 주파수를 프리스케일러를 사용하여 주파수를 625MHz~687.5MHz 대역에서 낮추고, 이것을 고속의 디지털 PLL IC에 인가하고, 기준발진기와 위상 비교를 통해 100KHz 해상도를 갖는 합성기를 설계 하였다. 제작된 주파수 합성기의 특성 측정 결과 10GHz~11GHz의 광대역 주파수에서 주파수 스위프가 선형적으로 이루어지는 것을 확인하였다. 또한 출력신호레벨은 출력 주파수 전 대역에 걸쳐 7.2dBm 이상이었고 11GHz에서 100KHz offset 주파수에서의 위상잡음은 -80dBc/Hz 로 관측되었다.

본 논문에서 제작된 광대역의 선형성이 우수한 주파수 합성기는 FMCW 레이더를 이용한 레벨 계측 센서의 신호원으로 응용이 가능하며, 기타 레이더의 여러 응용 시스템에 신호원으로 사용이 가능할 것으로 기대된다.

참 고 문 헌

- [1] B. Edde, *Radar Principles Technology Application*. Englewood Cliffs: Prentice Hall, 1993.
- [2] J. W. Taylor Jr, Ch. 3 in M. I. Skolnik, Ed., *Radar Handbook*, 2nd ed. New York: John Wiley & Sons, 1990
- [3] Z. Galani, "An overview of frequency Synthesizers for radar", IEEE Trans. Microwave Theory and Tech., vol. MTT-39, pp.782-792, May 1991.
- [4] V. Manassewitsch, *Frequency Synthesizer Theory and Design*, Englewood Cliffs: prentice Hall, 1980.
- [5] U. L. Rohde, *Digital PLL Frequency Synthesizers Theory and Design*, Englewood Cliffs prentice Hall, 1983.
- [6] 고윤수, "WLL용 PLL모듈 설계 및 제작", 충남대학교 석사 학위논문, 1999.2
- [7] J.A. Crawford, *Frequency Synthesizer Design Handbook*, Boston Artech House, 1994.

- [8] G. A. Breed, Ed., *Frequency Synthesizer Handbook*, RF Design, 1992.
- [9] Dan H. Wolaver, *Phase-Locked Loop Circuit Design*, Prentice-Hall, 1991.
- [10] Floyd M. Gardner, *Phaselock Techniques*, John Wiley & Sons, 1979.
- [11] Roland E. Best, *Phase-Locked Loops Theory Design and Applications*, McGraw-Hill, 1993.
- [12] W. P. Robins, *Phase noise in signal sources*, Peter Peregrinus Ltd., 1984.
- [13] Behzad Razavi, *RF Microelectronics*, Prentice Hall PTR, 1998.
- [14] D. M. Pozar, *Microwave Engineering*. Addison-Wesley Publishing Company, 1990.
- [15] R. W. Rhea, *Hf Filter Design and Computer Simulation*. Noble Publishing, 1994.
- [16] J. K. Hardy, and P. Hardy, *High Frequency Circuit Design*. Reston Virginia Prentice-Hall, 1979.

[17] 구 영희, “UHF(435-440MHz) 대역에서 동작하는 PLL을 이용하는 주파수 합성기의 설계 및 제작”, 한국과학기술원 석사논문, 1992.

[18] 박 동국, “마이크로스트립 전송선으로 급전되는 사각형 마이크로스트립 패치 안테나 및 배열 안테나에 관한 해석 및 실험”, 한국과학기술원 석사논문, 1989

[19] <http://www.rfdh.com/>

감사의 글

항상 부족한 저를 아껴주시고 사랑으로 지도해 주신 박동국 교수님께 진심으로 감사드리며, 바쁘신 일정에도 성심껏 논문을 지도해 주시고 심사해 주신 양규식 교수님, 손경락 교수님께도 감사의 말씀을 올립니다. 저의 인생에서 배움과 가르침을 받으며 20여년이 흘렀지만, 한편의 책으로 모든 지식을 쓰기에는 너무나 힘들고 어려운 일이었습니다. 그러나 나름의 노력과 인내로 최선을 다 하였고, 저를 지켜보시는 주위의 성원과 격려가 있었기에 가능한 일이었을 꺼라 생각합니다.

이 한편의 책이 사회에 나가는 저에게 무한한 도전과 세상을 큰 눈으로 바라보게 해주었으며, 꿈과 희망을 안겨준 기회였기에 저는 더욱 감사하게 생각합니다.

소중한 시간을 함께했던, 연구실이라는 울타리 속에서 짧지만 긴 2년여 시간동안 많은 도움을준 선·후배 용근, 홍은, 정현, 익현후배들에게 고마움을 전하고, 저의 오랜 친구들인 영식, 동렬, 홍석, 병규, 재훈이에게도 고마움을 전합니다.

그리고 누구보다 오랜시간동안 걱정만 끼친 아들에게 한마디 불평도 없이 뒷바라지 하신 부모님께 깊은 마음으로 고개 숙여 감사드립니다. 또한 멀리서 지켜만 보는 제 연인에게도 고마움을 전하며, 이 책을 바칩니다.

2006. 7. 1. 석사 이 현수 저