

Desain Pembangkit Pulsa Clock Non-Overlapping untuk Aplikasi ADC Pipeline 1-bit/stage Menggunakan CMOS Teknologi AMS 0,35 μm

Hamzah Afandi¹⁾ Atit Pertiwi²⁾

¹⁾ Teknik Elektro Universitas Gunadarma
Jl. Margonda Raya No. 100, Depok, 16424, Indonesia
email : hamzah@staff.gunadarma.ac.id

²⁾ Sistem Komputer Universitas Gunadarma
Jl. Margonda Raya No. 100, Depok, 16424, Indonesia
email : atit@staff.gunadarma.ac.id

ABSTRACT

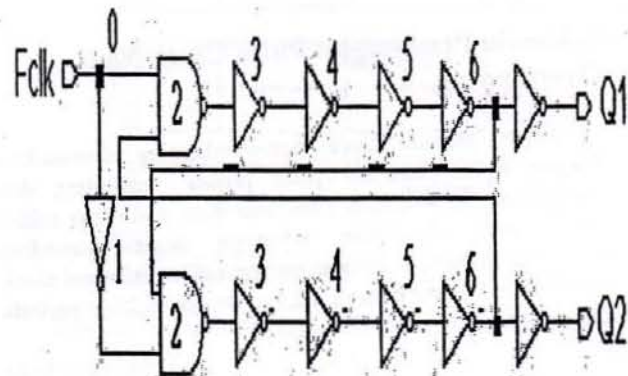
In this paper discussed about the pulse generator is very important to the process of converting analog to digital. In the sampling phase and multiplying the ADC requires a clock pulse to a mode that does not intersect (lapping). Clock frequency with a period (T) is divided into two ($T/2$) with 50% duty-cycle, t_{s1} is the op-amp settling time in the pipeline for the sampling phase ($\Phi 1$) where the width of the period ($T/2-t_1-t_2$) and t_{s2} is the op-amp settling time for the process of multiplying ($\Phi 2$), where the width of the period ($T/2-t_3$). Width period of non-overlapping clock adjusted to the time of Constance in the process of sampling and multiplying by the resistance value R_{on} at each MOS switches that are used can be determined time difference. By using a clock frequency of 80MHz or equal to 12.5 ns, 6.25 ns period of high and 6.25 ns period of low, requiring four different kinds of clock period ($Q1$, $Q2$, $Q1a$, $Q2a$), with each phase of the signal and the width of different periods which is based on the function of the clock pulse. $Q1$ and $Q1a$ for sampling phase, $Q2$ and $Q2a$ for multiplying phase, total number of periods of each pulse equal to 12.5 ns or equal to the frequency of 80MHz. To delay can be used from the gate and NAND logic gates using gate can be arranged so that the D-FF can be designated as a unit delay in the process of homogenization ADC. Delay digital output generated is similar to 6.25×8 ns or 50ns for a single conversion process input signal from the stage ($N-1$) to stage ($N-8$).

Key words: sampling, multiplying, pulse generators, non-overlapping

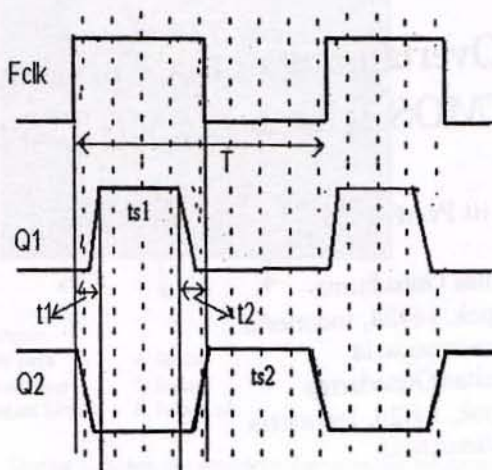
1. Pendahuluan

Proses phase sampling dan multiplying pada ADC

memerlukan pulsa clock dengan mode yang tidak bersinggungan (lapping), dengan memanfaatkan tunda (delay) suatu gerbang NOT dan NAND didapatkan penundaan perioda frekuensi masukan (Fclk), dengan membalik Fclk dan mengalikan umpan-balik terhadap masukan didapatkan perbedaan perioda $Q1$ dan $Q2$ tampak pada gambar 1.



Gambar 1. Rangkaian pembangkit Pulsa Clock Non-Overlapping



Gambar 2. Bentuk Pulsa Keluaran Non-Overlapping

Bentuk gelombang keluaran tampak pada gambar 2. Frekuensi clock dengan perioda (T) dibagi menjadi dua ($T/2$) dengan duty-cycle 50%, $ts1$ adalah waktu settling op-amp untuk proses sampling di mana lebar perioda ($T/2-t1-t2$) dan $ts2$ adalah waktu settling op-amp untuk proses multiplying di mana lebar perioda ($T/2-t3$).

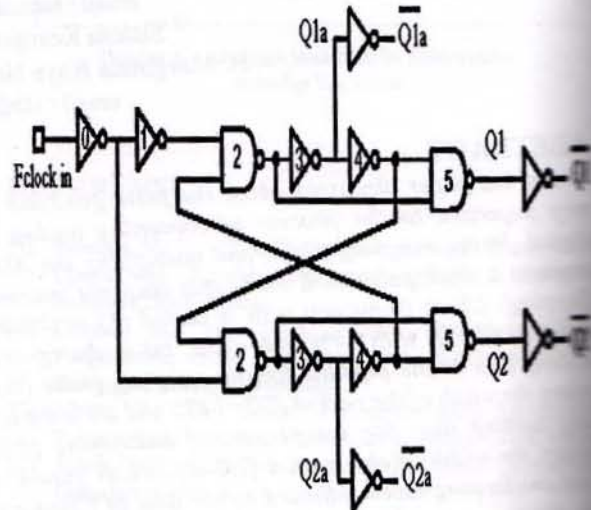
2. Desain Pembangkit Pulsa Clock Non-Overlapping.

Lebar perioda clock non-overlapping disesuaikan dengan waktu konstans pada proses sampling dan multiplying dengan nilai resistansi R_{on} pada tiap saklar MOS yang digunakan sehingga dapat ditentukan perbedaan waktunya, dengan menggunakan frekuensi clock 80MHz atau sama dengan 12,5ns dengan 6,25ns perioda tinggi dan 6,25ns perioda rendah.

Sehingga diperlukan 4 macam clock yang berbeda periodanya ($Q1, Q2, Q1a, Q2a$), seperti pada tabel 1 dan gambar 3. $ts1$ adalah waktu settling op-amp pada ADC pipeline untuk phase sampling ($\Phi1$) dan $ts2$ adalah waktu settling op-amp untuk phase multiplying ($\Phi2$), t_{lag} adalah waktu antara $Q1a$ dengan $Q1$ dimana delay dipergunakan untuk membuka lebih dulu proses sampling untuk mereduksi sinyal yang bergantung dengan pengisian muatan (charge injection), t_{nov} adalah waktu non-overlap interval selama phase mana yang aktif.

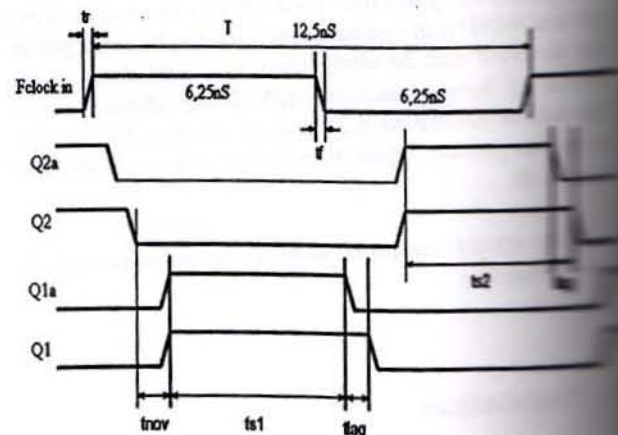
Tabel 1 Delay Pada Clock Non-Overlapping.

$ts1$	$\frac{T}{2} - t_r - t_2 - t_3 - t_4 + t_1 + t_f$
$ts2$	$\frac{T}{2} - t_f - t_1 - t_2 - t_3 - t_4 + t_r$
t_{lag}	$t_4 + t_5$
t_{nov}	$\min(t_2, t_2 + t_3 - t_5)$



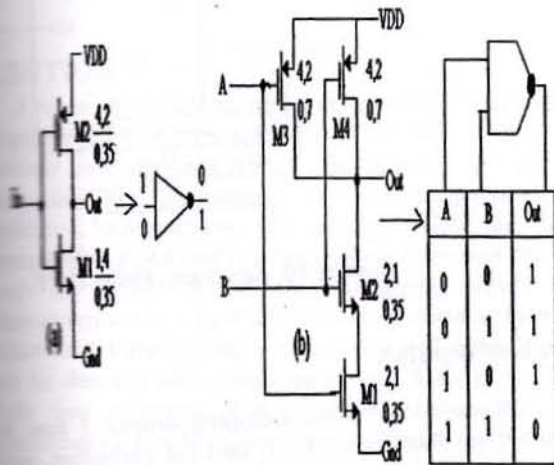
Gambar 3. Rangkaian Unit Clock Non-Overlapping.

Bentuk gelombang keluaran pembangkit clock non-overlapping pada gambar 4 dengan fase tiap sinyal dan lebar perioda berbeda yang di dasarkan pada fungsi pada clock. $Q1$ dan $Q1a$ untuk fase sampling dan $Q2$ dan $Q2a$ untuk fase multiplying, jumlah total perioda tiap pulse sama dengan 12,5ns atau sama dengan frekuensi 80MHz.

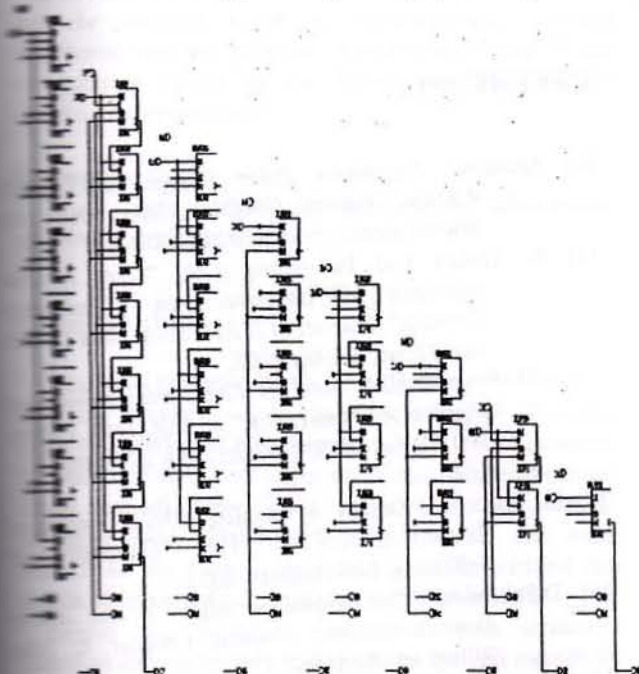


Gambar 4. Bentuk Gelombang Clock Non-Overlapping.

Delay dapat dipergunakan dari gerbang NOT dan NAND seperti pada gambar 5 dengan memanfaatkan logika gerbang tersebut dapat disusun gerbang D-FF sehingga dapat diperuntukkan sebagai unit delay pada proses penyeragaman keluaran digital ADC pada gambar 6. Delay yang dihasilkan sama dengan $6,25ns \times 8$ atau sebesar $50ns$ merupakan proses konversi satu sinyal masukan dari stage (N-1) sampai stage (N-8).



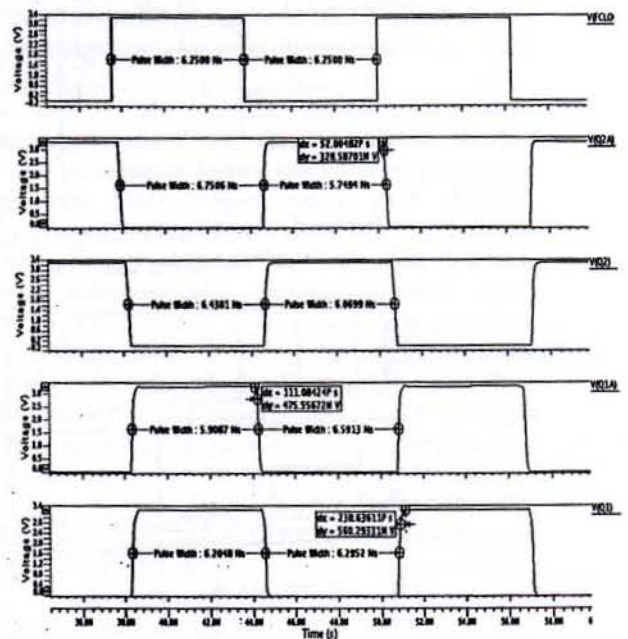
Gambar 5. (a) Gerbang NOT (b) Gerbang Nand.



Gambar 6. Unit Delay Dout Dengan D-FF.

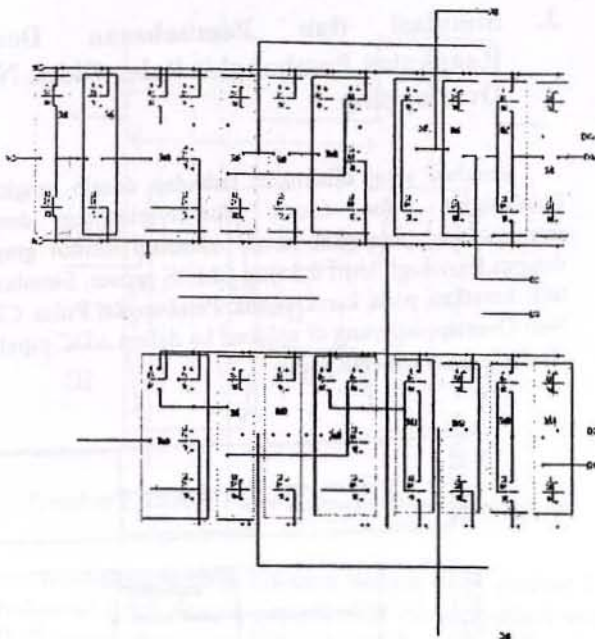
3. Simulasi dan Pembahasan Desain Rangkaian Pembangkit Pulsa Clock Non-Overlapping.

Simulasi yang dilakukan terhadap desain rangkaian Pembangkit Pulsa Clock Non-Overlapping dengan menggunakan perangkat lunak simulasi mentor graphic dengan teknologi AMS $0,35\mu m$ CMOS proses. Simulasi di titik beratkan pada karakteristik Pembangkit Pulsa Clock Non-Overlapping yang di aplikasi ke dalam ADC pipeline. Hasil simulasi tersebut yaitu:

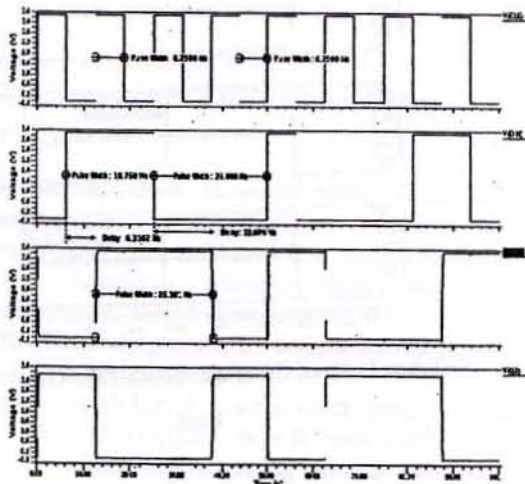


Gambar 7. Hasil Simulasi Clock Non-Overlapping 2 Fase.

Hasil simulasi pada gambar 7 menunjukkan perioda Q1 dan Q1a digunakan sebagai clock phase sampling. Q1a lebih dulu menutup sebesar $111,08 \text{ pS}$ (t_{lag}), hal ini untuk menjadikan muatan di C1 dan C2 tidak mengalami penurunan dan menghilangkan efek crossing saklar. Q2 dan Q2a digunakan sebagai clock phase multiplying dan terdapat perbedaan waktu yang diharapkan sama dengan t_{lag} agar sama waktunya pada saat stage selanjutnya. Selisih waktu antara Q1 dan Q2 adalah t_{nov} sebesar 52 pS difungsikan untuk menjaga muatan di C1 dan C2 supaya tidak berubah saat pergantian saklar dari phase sampling ke multiplying. Rangkaian pembangkit clock non-overlapping seperti pada gambar 8.

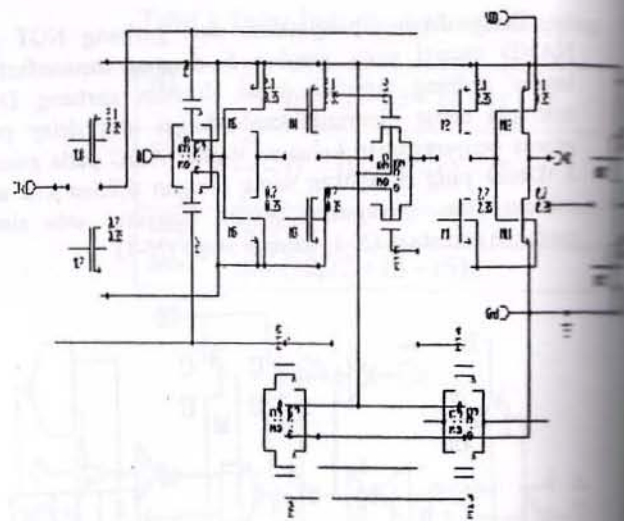


Gambar 8. Rangkaian Pembangkit Clock Non-Overlapping Dua Fase.



Gambar 9. Hasil Simulasi Unit Delay (DFF).

Bentuk gelombang pada Gambar 9 merupakan hasil simulasi unit delay (D flip-flop) dari rangkaian pada gambar 10. Tundaan waktu yang dihasilkan tergantung kondisi clock yang masuk, DFF diaktifkan dengan penyulutan tepian positif, dan tundaan waktu pada gambar diatas sebesar 6,3nS yang sama dengan waktu setengah clock, karena stage 7 (MSB) lebih dulu bekerja dari pada stage 0 maka digunakan fungsi tundaan waktu DFF, sehingga keluaran MSB sama dengan LSB.



Gambar 10. Rangkaian Delay D-FF.

4. Kesimpulan

Desain Clock non-overlapping dengan 3 fase pada (sampling, amplifying, hold) terdapat perbedaan perioda di mana lebar perioda tiap fase mendekati 4ns. Desain unit delay (D-FF) menghasilkan delay setengah perioda frekuensi masukan.

REFERENSI

- [1] Anonim, "Parameter Ruler Design CMOS 0,35um," Mentor Graphics Corporation. <http://www.mentor.com/ams.html>, 2008.
- [2] A. Shabra and Hae-Seung Lee, "Over sampled pipelined A/D converter with mismatch shaping," *Journal of IEEE Solid State Circuits*, vol. 37, no. 5, May 2002.
- [3] A. Shabra and H.-S. Lee, "A 12-bit mismatch-shape pipeline A/D converter," in *Dig. Tech. Papers 2001 Symp. VLSI Circuits*, July 2001, pp. 209-214.
- [4] B. Razavi, "Design of Analog CMOS Integrated Circuits". McGraw Hill, University of California, Los Angeles, 2001.
- [5] D. Schroder, "Semiconductor material and device characterization," volume Chapter 1. John Wiley and Sons Inc, 1990.
- [6] Jacob Baker and D. E. Boyce, "CMOS Circuit Design, Layout and Simulation." IEEE Press of Microelectronic Systems, 1998.