

PERANCANGAN UPGRADEABLE DIGITAL ANSWERING MACHINE BERBASIS TEKNOLOGI FPGA

Indar Sugiarto S.T¹, Ir. Siti Halimah Baki²

¹Jurusan Teknik Elektro, Universitas Kristen Petra

E-mail : indi@petra.ac.id

²Jurusan Teknik Elektro, Institut Teknologi Sepuluh Nopember

Abstrak

Mesin penjawab telepon digital menggunakan chip-chip memori sebagai media penyimpan informasi (pesan). Seperti umumnya sistem digital yang lain, keuntungan dari mesin tersebut adalah fidelitas, kapabilitas dan portabilitas yang tinggi. Seringkali diinginkan supaya mesin penjawab tersebut dapat merekam pesan dengan jumlah sebanyak mungkin apalagi dengan semakin meningkatnya frekuensi penggunaan mesin tersebut. Untuk meningkatkan kapasitas penyimpanan data ke dalam chip memori, dapat digunakan beberapa algoritma untuk memampatkan data sebelum disimpan ke dalam chip memori. Karena data yang disimpan berupa data digital dari sinyal suara, maka metode pemampatan data dapat dipilih sedemikian hingga sinyal restorasi yang dihasilkan tidak harus sama persis dengan sinyal aslinya. Dengan demikian rasio pemampatan akan semakin besar. Teknologi FPGA memungkinkan untuk mengimplementasikan algoritma pemampatan data tersebut secara real time. Dalam tulisan ini dibahas salah satu metode penyimpanan sinyal suara digital ke dalam chip Dynamic Random Access Memory (DRAM) yang berupa Single In Line Memory Module (SIMM) dan biasa digunakan oleh komputer serta ditunjang dengan implementasi teknik pemampatan data (data compression techniques). Dengan metode ini, dihasilkan sebuah mesin penjawab digital yang dapat di-upgrade sesuai kebutuhan.

Kata kunci : Companding, Run Length Encoding, VHDL, Field Programmable Gate Array, DRAM memory modul (SIMM), Telephone Interfacing

1. Pendahuluan

Seringkali sistem digital membutuhkan memori dalam jumlah yang cukup besar sehingga harganya menjadi tidak murah. Dengan menggunakan teknik pereduksian data, jumlah chip memori yang dibutuhkan dapat diperkecil sehingga harganya menjadi lebih murah. Ada beberapa teknik pereduksian data yang sekarang ini banyak dipakai baik yang tergolong *lossless* ataupun *lossy*, diantaranya: Run Length Encoding, Huffman Coding, PCM-Companding, dan sebagainya. Sementara itu, perkembangan dunia elektronika mengharuskan seorang desainer sistem elektronik untuk mendisain sistem yang kompleks dalam bentuk yang kompak tetapi mempunyai kinerja yang memuaskan. Terlebih dengan dikembangkannya teknologi *Programmable Logic Device (PLD)* seperti *Field Programmable Gate Array (FPGA)* menjadikan disain sistem elektronik digital semakin fleksibel dan kompak. Dalam proyek ini telah dicoba pengimplementasian teknik reduksi data secara real time menggunakan teknologi HDL-FPGA dan menerapkannya pada alat perekam suara digital untuk mesin penjawab telepon.

2. Teknik Reduksi Data Sinyal Suara

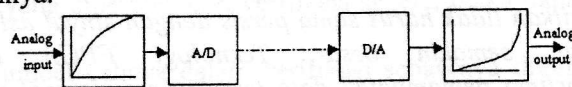
Pada aplikasi pemrosesan sinyal suara, teknik kompresi *lossy* paling banyak dipakai karena pengkodean sinyal suara tidak mungkin sempurna (biasa disebut *irreversible coding*). Teknik pendigitalan suara percakapan dapat digolongkan dalam dua kelompok besar, yaitu: pengkodean yang mendekati sinyal aslinya (*waveform coding*) dan pengkodean yang memanfaatkan aspek-aspek sinyal suara percakapan (*analysis-synthesis method*). Teknik yang paling umum digunakan dari kelompok pertama adalah *Pulse Code Modulation (PCM)* dan *Delta Modulation (DM)*.

Sedangkan kelompok kedua lebih dikenal dengan nama vocoder (*voice coder*) yang lebih menekankan pada proses pengkodean-pendekodean dengan bit-rate sangat rendah.

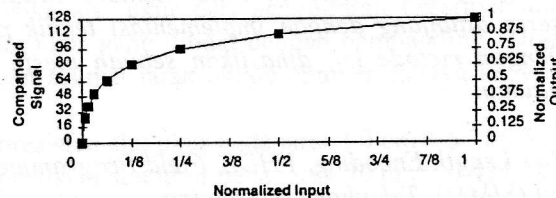
2.1. PCM-Companding

PCM adalah pengembangan dari PAM (*Pulse Amplitude Modulation*) dimana tiap-tiap sampel analog dikuantisasi dan disajikan dalam bentuk kode-kode digital. Sinyal suara manusia mempunyai bandwidth antara 300 Hz hingga 3400 Hz. Menurut teorema Nyquist, frekuensi sampling minimum adalah dua kali bandwidth dari sinyal yang di sampling untuk mencegah terjadinya aliasing. CCITT merekomendasikan bit rate untuk PCM adalah sebesar 100 bps (bit per second), atau dengan kata lain, sinyal suara disampling pada frekuensi 8 kHz dengan bit kuantisasi sebesar 13 bit. Karena itu dalam proyek ini digunakan ADC dan DAC 12 bit.

Untuk mengurangi besarnya bit rate, bisa digunakan *logarithmic PCM* yaitu sinyal suara di kompres dengan suatu transformator logaritmik sebelum proses kuantisasi dan pengkodean. Proses ini sering juga dikenal dengan nama companding (*compressing-expanding*), seperti ditunjukkan pada gambar 1. Efek dari proses kompresi tersebut ditunjukkan pada gambar 2. Pada gambar tersebut terlihat bahwa interval sinyal input yang besar dan berurutan di kompres menjadi interval kuantisasi dengan lebar yang konstan. Sinyal analog dikembalikan (*di-expand*) ke bentuk semula melalui proses kebalikannya.

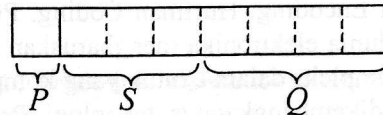


Gambar 1. Companded PCM



Gambar 2. Kurva companding

Companding dapat dibuat secara software (algoritma) baik menggunakan perhitungan langsung atau menggunakan pendekatan look-up table. Pada saat ini dikenal dua macam karakteristik standard companding: μ -law and A-law. Kedua standard tersebut mengkompres data menjadi 8 bit dengan tetap mempertahankan presisi data hingga lima bit. Pada proyek ini digunakan pendekatan look-up table untuk metode μ -law dengan format sebagai berikut.

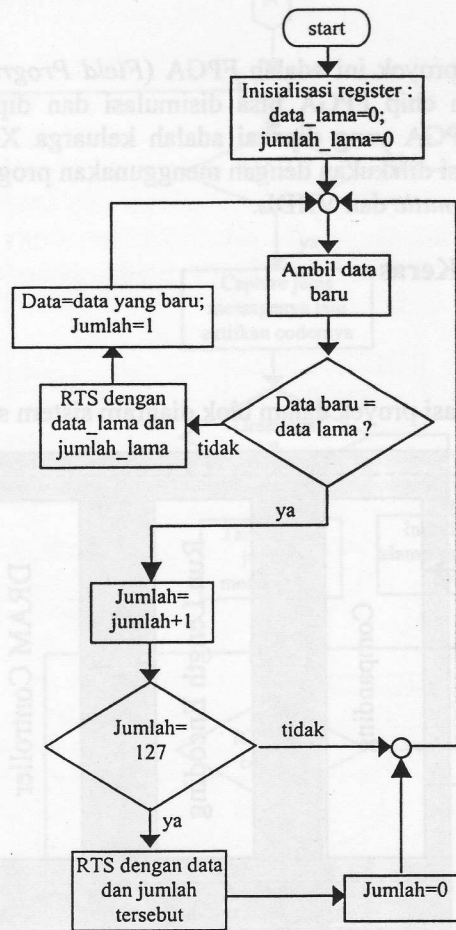


Bit polaritas $P = 0$ untuk sampel sinyal positif, dan
 $= 1$ untuk sampel sinyal negatif

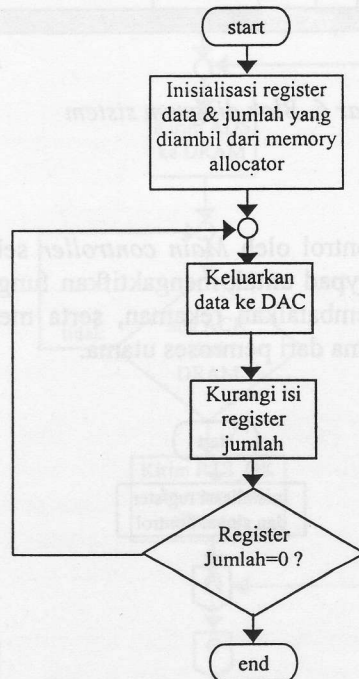
Gambar 3. Format 8-bit PCM μ -law

2.2. Run Length Encoding(RLE)

Teknik RLE memanfaatkan tingkat korelasi yang tinggi yang terjadi pada bit-bit yang berurutan pada perulangan karakter. Format data RLE adalah $\{v_1, l_1, v_2, l_2, \dots\}$ dimana v_i adalah nilai datanya, sedangkan l_i adalah panjang datanya.



Gambar 4. Flowchart untuk pengkodean RLE



Gambar 5. Flowchart untuk pendekodean RLE

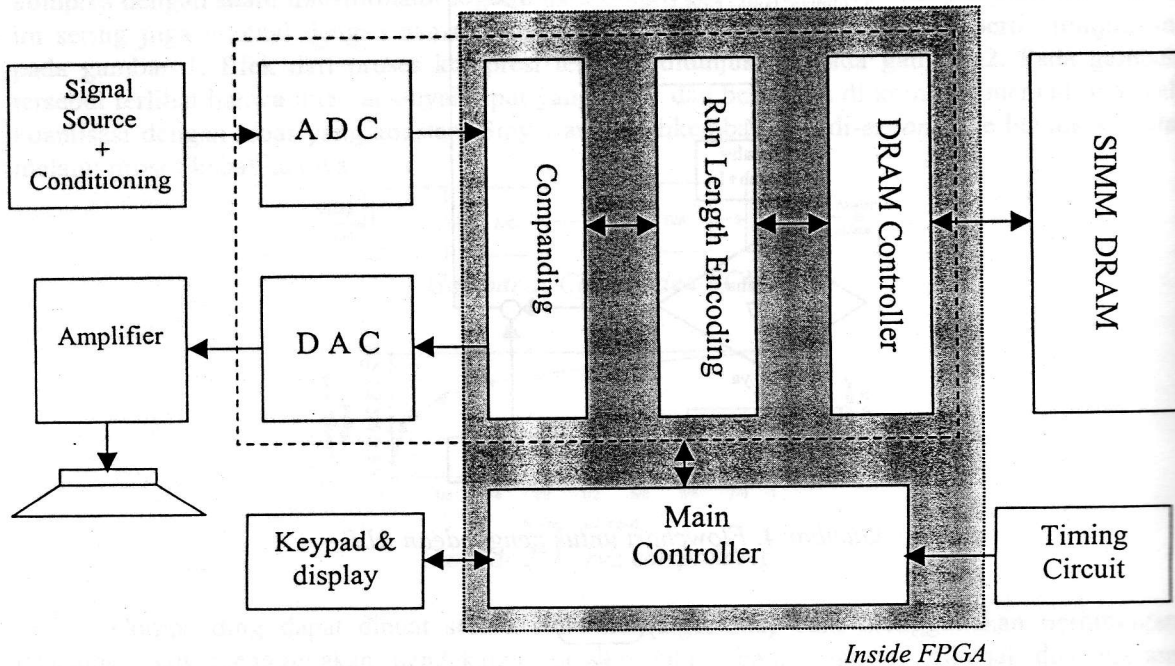
3. Teknologi HDL-FPGA

Divais yang dipakai dalam proyek ini adalah FPGA (*Field Programmable Gate Array*). Dengan teknologi HDL ini, sebuah chip FPGA bisa disimulasi dan diprogram sehingga bisa melakukan fungsi-fungsi khusus. FPGA yang dipakai adalah keluarga XC4000XL dari Xilinx. Seluruh proses sintesa hingga simulasi dilakukan dengan menggunakan program Xilinx Foundation 2.1i dengan *design entry* berupa *schematic* dan VHDL.

4. Perancangan Perangkat Keras

4.1. Blok diagram sistem

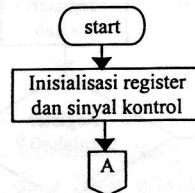
Berikut ini adalah implementasi proyek dalam blok diagram sistem secara keseluruhan.

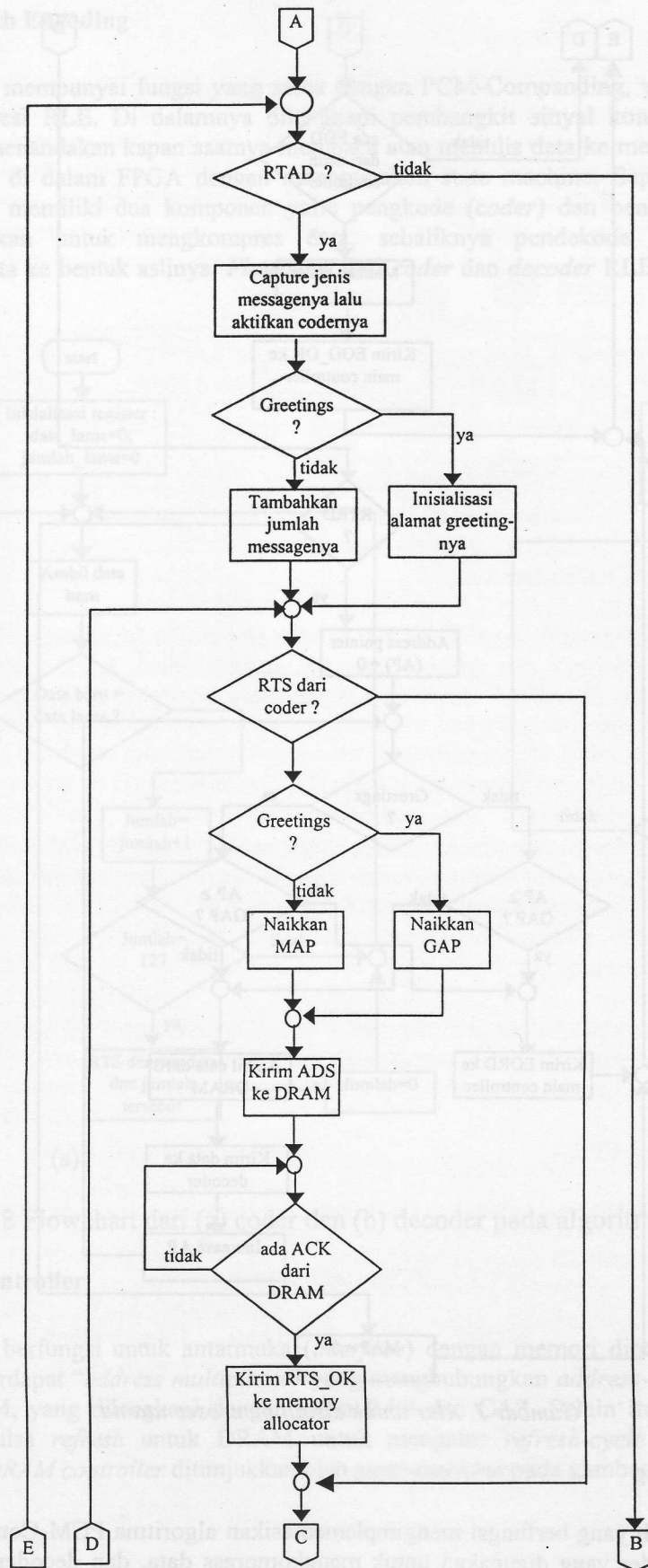


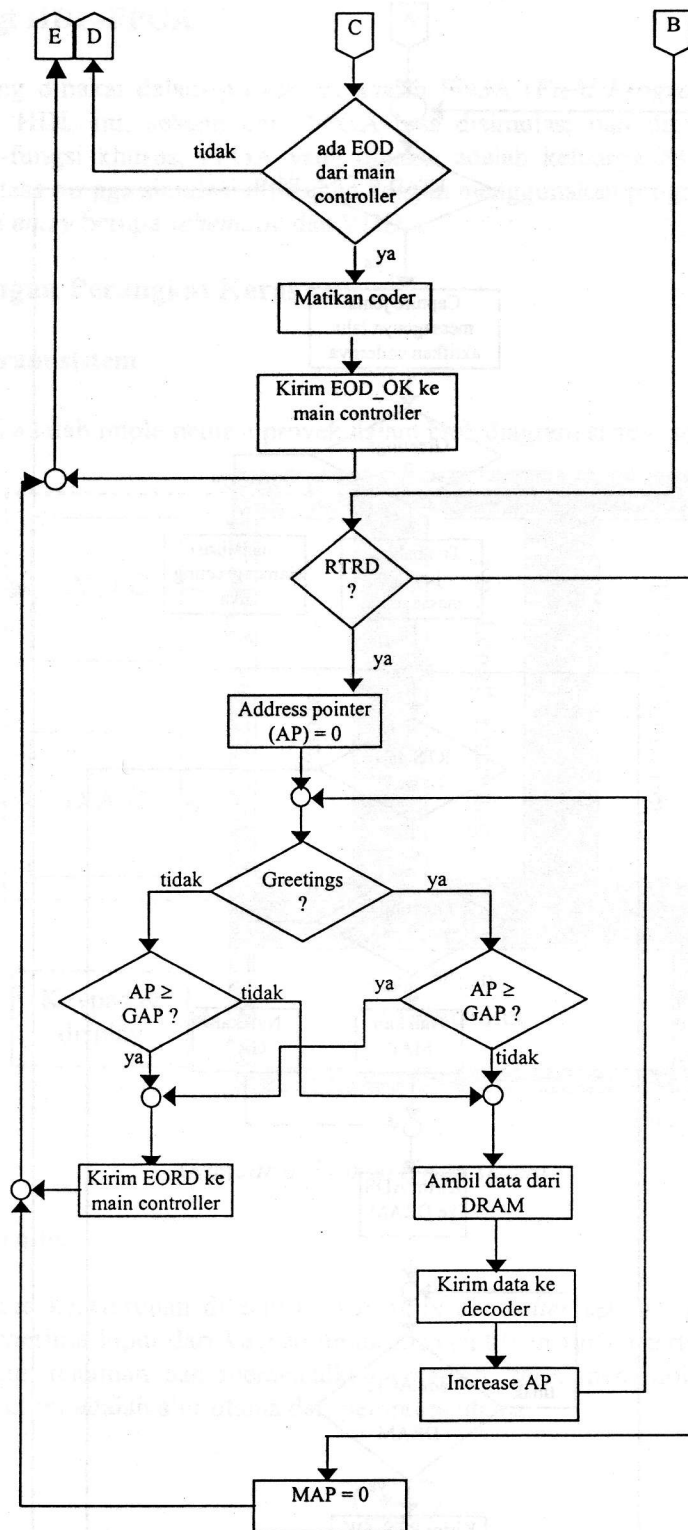
Gambar 6. Blok diagram sistem

4.2. Main controller

Proses secara keseluruhan dikontrol oleh *Main controller* sebagai unit pemroses utama. Kontroller juga menerima input dari keypad untuk mengaktifkan fungsi tertentu, seperti memutar rekaman, menghapus rekaman dan membatalkan rekaman, serta menampilkan nomor rekaman pada display. Berikut ini adalah alur utama dari pemroses utama.







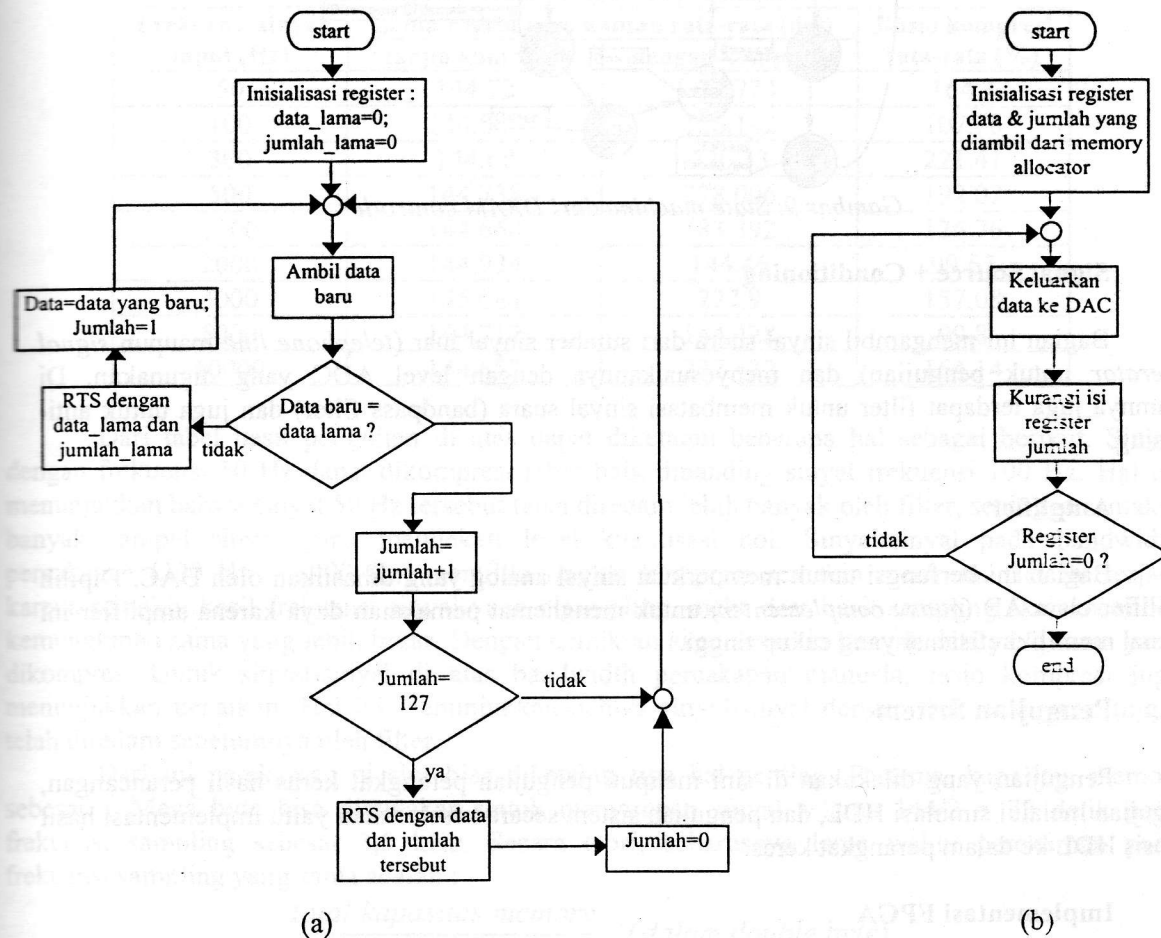
Gambar 7. Alur untuk disain pemroses utama

4.3. Companding

Bagian inilah yang berfungsi mengimplementasikan algoritma PCM-Companding. Terdiri dari dua bagian: coder yang digunakan untuk mengkompres data, dan decoder yang digunakan untuk mengembalikan data terkompres ke bentuk aslinya. Data keluaran dari ADC akan dikompres oleh coder menjadi data 8 bit, sedangkan decoder akan mengembalikan format data 8 bit ini menjadi 12 bit.

4.4. Run Length Encoding

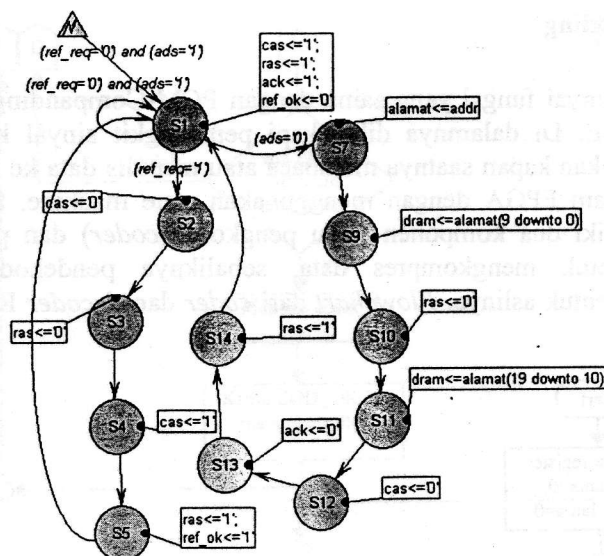
Bagian ini mempunyai fungsi yang sama dengan PCM-Companding, yaitu implementasi dari teknik kompresi RLE. Di dalamnya dilengkapi pembangkit sinyal kontrol untuk *DRAM Controller* untuk menandakan kapan saatnya membaca atau menulis data ke memori. Teknik RLE diimplementasikan di dalam FPGA dengan menggunakan state machine. Seperti halnya PCM-companding, RLE memiliki dua komponen yaitu pengkode (*coder*) dan pendekode (*decoder*). Pengkode digunakan untuk mengkompres data, sebaliknya pendekode digunakan untuk mengembalikan data ke bentuk aslinya. *Flowchart* dari *coder* dan *decoder* RLE ditunjukkan pada gambar berikut ini.



Gambar 8 Flowchart dari (a) coder dan (b) decoder pada algoritma RLE.

4.5. DRAM Controller

Bagian ini berfungsi untuk antarmuka (*interface*) dengan memori dinamis (DRAM). Di dalam bagian ini terdapat "*address multiplexer*" yang menghubungkan *address-bus* sistem dengan *address-bus* DRAM, yang dilengkapi dengan pulsa RAS dan CAS. Selain itu, bagian ini yang membangkitkan pulsa *refresh* untuk DRAM untuk mengatur *refresh-cycle* DRAM tersebut. Perancangan dari *DRAM controller* ditunjukkan oleh *state-machine* pada gambar 9.



Gambar 9. State machine dari DRAM controller

4.6. Signal Source + Conditioning

Bagian ini mengambil sinyal suara dari sumber sinyal luar (*telephone line* maupun *signal generator* untuk pengujian) dan menyesuaikannya dengan level ADC yang digunakan. Di dalamnya juga terdapat filter untuk membatasi sinyal suara (*bandpass filter*) dan juga untuk anti-aliasing.

4.7. Amplifier

Bagian ini berfungsi untuk memperkuat sinyal analog yang dihasilkan oleh DAC. Dipilih amplifier class AB (*quasy complemter*) untuk menghemat pemakaian daya karena amplifier ini dikenal memiliki efisiensi yang cukup tinggi.

5. Pengujian Sistem

Pengujian yang dilakukan di sini meliputi pengujian perangkat keras hasil perancangan, pengujian melalui simulasi HDL, dan pengujian sistem secara keseluruhan yaitu implementasi hasil sintesis HDL ke dalam perangkat keras.

5.1. Implementasi FPGA

Berikut ini adalah total kebutuhan CLB untuk implementasi makro-makro yang digunakan.

Tabel 1. Tabulasi penggunaan CLB

Makro	Penggunaan CLB	
	Total	Equivalent gate count
PCM-compressing	18 (9,2%)	208
PCM-expanding	16 (8,2%)	211
RLE-coder	30 (15,3%)	627
RLE-decoder	20 (10,2%)	360
DRAM Controller	28 (14,3%)	545
Clock Synchronizer	2 (1%)	42
Anti bouncing	8 (4,1%)	168
Main controller	74 (37,8%)	1554

5.2. Pengujian Perekaman

Proses pengujian perekaman dilakukan dengan dua tahap. Tahap pertama dengan memberikan sinyal input sinusoidal dengan frekuensi diubah-ubah tanpa melalui proses kompresi. Sinyal ini direkam hingga semua alamat DRAM terisi semua, kemudian diukur waktu yang dibutuhkan untuk mengisi seluruh DRAM. Pada saat pengujian dilakukan, DRAM yang dipakai mempunyai kapasitas sebesar 1 Mega byte. Tahap kedua adalah pengujian dengan mengimplementasikan modul kompresi pada FPGA. Tabel berikut menunjukkan perbandingan kedua macam pengujian tersebut.

Tabel 2. Hasil pengujian perekaman

Frekuensi sinyal input (Hz)	Lama waktu perekaman rata-rata (det)		Rasio kompresi rata-rata (%)
	tanpa kompresi	dengan kompresi	
50	144.72	237.774	164.3
100	144.868	156.142	107.78
300	144.68	320.33	221.41
500	144.738	278.006	192.07
1000	144.668	183.392	126.76
2000	144.934	144.46	99.67
3000	145.084	227.9	157.08
5000	144.712	144.428	99.8
10000	144.652	237.432	164.14

Dari tabel hasil pengujian di atas dapat diketahui beberapa hal sebagai berikut. Sinyal dengan frekuensi 50 Hz dapat dikompresi lebih baik dibanding sinyal frekuensi 100 Hz. Hal ini menunjukkan bahwa sinyal 50 Hz tersebut telah diredam lebih banyak oleh filter, sehingga semakin banyak sampel sinyal yang mendekati level kuantisasi nol. Sinyal-sinyal pada bandwidth percakapan (300 Hz – 3400 Hz) memiliki tingkat kompresi semakin menurun. Hal ini terjadi karena semakin kecil frekuensi sinyal yang disampling, maka data hasil sampling akan memiliki kemungkinan sama yang lebih besar. Dengan demikian akan semakin banyak data yang sama yang dikompres. Untuk sinyal-sinyal di atas bandwidth percakapan manusia, rasio kompresi juga menunjukkan kenaikan. Hal ini menunjukkan bahwa sinyal-sinyal dengan frekuensi yang tinggi telah diredam sebelumnya oleh filter.

Dari uji perekaman di sini bisa diketahui tiga hal penting. Pertama, kapasitas memori sebesar 1 Mega byte bisa digunakan untuk menyimpan sinyal selama $144/2 = 72$ detik pada frekuensi sampling sebesar 3,5 kHz. Secara teori, seharusnya lama waktu perekaman pada frekuensi sampling yang sama adalah :

$$\frac{\text{total kapasitas memory}}{\text{frekuensi sampling}} \quad (\text{dalam double byte})$$

yaitu $512/7 = 73,14$ detik. Kedua, rasio kompresi untuk sinyal sinusoidal dengan frekuensi antara 300 Hz hingga 3400 Hz berkisar antara 442,8% hingga 199,4%. Rasio ini bisa semakin besar jika sinyal yang disimpan adalah sinyal suara yang memiliki banyak *pause* (diam atau tak bersuara). Ketiga, adanya filter yang membatasi lebar pita suara cukup membantu memperbesar rasio kompresi.

6. Kesimpulan

Dari hasil perancangan dan pengujian terhadap sistem, didapat kesimpulan sebagai berikut:

- Teknik reduksi data dengan metode RLE dapat diimplementasikan pada FPGA XC4005XL dengan baik bersama-sama dengan metode kompresi PCM-comparing. Dengan kedua metode kompresi ini, kapasitas memori satu mega byte bisa menampung sinyal sinusoidal yang berada pada lebar pita frekuensi suara manusia selama 288 detik hingga 640 detik. Lama penyimpanan

ini bisa semakin lama jika digunakan untuk merekam suara manusia yang memiliki banyak *pause*.

- Dengan tambahan filter yang baik, rasio kompresi juga semakin bertambah.
- Selain untuk implementasi teknik RLE, sisa CLB yang lain sebagian besar habis untuk implementasi DRAM *controller*. Hal ini dikarenakan DRAM *controller* menggunakan lebih banyak counter untuk register-register alamat 20 bit, mengatur refresh cycle dan pembangkitan sinyal kontrol RAS dan CAS.

7. Daftar Pustaka

- [1] Anonim, *The Programmable Logic Data Book*, Xilinx Inc., USA: 1999.
- [2] Bellamy, J., *Digital Telephony*, John Wiley & Sons, USA: 1982.
- [3] Castellano M. A. et al, "TMS320C6000: μ -Law and A-Law Companding with Software of the McBSP " in *Application Report*, Texas Instruments, USA: 2000.
- [4] Furui, S., *Digital Speech Processing, Synthesis, and Recognition*, Marcel Dekker, Inc., USA: 1985.
- [5] Heimlich R. et al, *Sound Blaster: The Official Book*, McGraw-Hill Inc., USA: 1993.
- [6] Pelton G.D., *Voice Processing*, McGraw-Hill Inc., Singapore: 1993.
- [7] Pratt, W. K., *Digital Signal Processing, 2nd Ed.*, Wiley-Interscience Publication. USA: 1991.
- [8] Prince, B., *High Performance Memories: New Architecture DRAMs and SRAMs Evolution and Function*, John Wiley & Sons. USA: 1996.
- [9] Skahill, K., *VHDL for Programmable Logic*, Addison-Wesley Publishing, Inc. USA: 1996.
- [10] Sumpeno, S, ST., "Perancangan dan Pembuatan Aplikasi Kompresi untuk Dokumen Berbahasa Indonesia", *Tugas Akhir JTE-FTI-ITS*. Surabaya: 1996.
- [11] Tompkins, W. J., *Biomedical Digital Signal Processing*, Prentice-Hall Int., USA: 1993.