

Manuel Carlos Malheiro de Carvalho Felgueiras

**Apoio à depuração e teste de circuitos mistos
compatíveis com a norma IEEE1149.4**

Dissertação submetida para a obtenção do grau de Doutor
em Engenharia Electrotécnica e de Computadores

Faculdade de Engenharia da Universidade do Porto

Departamento de Engenharia Electrotécnica e de Computadores

Julho de 2008

Tese realizada sob a supervisão do

Prof. Doutor José Manuel Martins Ferreira

Professor Associado com Agregação do

Departamento de Engenharia Electrotécnica e de Computadores da

Faculdade de Engenharia da Universidade do Porto

e do

Prof. Gustavo Ribeiro da Costa Alves

Professor Adjunto do

Instituto Superior de Engenharia do Porto do

Instituto Politécnico do Porto

À Rosa Maria e ao Rodrigo.

O mundo avança na medida em que alguém pergunta.

(Agostinho da Silva, filósofo, poeta e ensaísta,
1906 - 1994)

RESUMO

Palavras-chave: Circuitos mistos, depuração, teste, IEEE1149.1, IEEE1149.4.

Os circuitos mistos tiveram uma expansão considerável nos últimos anos devido ao constante aumento do número de componentes presentes em cada circuito integrado e à disponibilidade de ferramentas computadorizadas de apoio ao projecto. Os circuitos passam a integrar todos os blocos necessários para realizar uma determinada função e que frequentemente incluem microprocessadores, memória, conversores A/D e D/A, etc., constituindo circuitos mistos de grande complexidade. Estes elevados níveis de integração colocam dificuldades acrescidas às operações de depuração, que têm lugar durante a prototipagem e que se realizam através de equipamentos baseados no acesso físico aos nós do circuito.

As dificuldades são menores nos circuitos digitais, para os quais foi desenvolvida e rapidamente adoptada a infra-estrutura normalizada de teste definida na norma IEEE1149.1, que veio a ser posteriormente reutilizada para apoiar a depuração e para aceder a instrumentos embutidos.

Nos circuitos analógicos e mistos, para além de ser desejável uma solução semelhante, seria ainda vantajoso manter a compatibilidade com os recursos de teste e depuração entretanto desenvolvidos para a parte digital, nomeadamente com o porto de acesso ao teste definido na norma IEEE1149.1. Neste contexto, a infra-estrutura IEEE1149.4 ocupa uma posição privilegiada, uma vez que define a extensão daquela norma para a área dos circuitos analógicos e mistos.

O presente trabalho estuda a reutilização da infra-estrutura IEEE1149.4 para apoiar a depuração em circuitos mistos, através (i) de uma extensão proposta para permitir operações de controlabilidade, observabilidade e verificação, tanto em pinos como nos nós analógicos internos, e (ii) da inclusão de um detector de condição mista, necessário para realizar operações mais complexas.

ABSTRACT

Keywords: Mixed-signal circuits, debugging, test, IEEE1149.1, IEEE1149.4.

In the last few years, mixed-signal circuits experienced a considerable expansion, mainly due to a higher integration and to the availability of powerful design supporting Electronic Design Automation (EDA) tools. The newer circuits include all the necessary blocks to implement several different functions, like microprocessors, memory, analogue-to-digital and digital-to-analogue converters, etc., resulting in highly complex mixed-signal circuits. Such high integration levels pose, during the prototyping phase, new challenges to debugging operations based on test equipments that require physical access to circuit nodes.

Those challenges are less of a threat to digital circuits than to mixed-signal circuits due to the widely adoption of a standardized test infrastructure, the IEEE1149.1, later reused to support debugging and to access embedded blocks.

Apart from being a desirable solution to develop something similar for analogue and mixed-signal circuits, it would be of a great advantage to keep the compatibility with those debug and test resources developed for the digital part, namely the same access port defined in the IEEE1149.1. These were accomplished by the IEEE1149.4 standard, which extends the previous one to include the analogue and mixed-signal circuits.

The present work studies the reuse for debugging of mixed-signal circuits of the 1149.4 infrastructure by (i) proposing its extension to enable the controllability, observability, and verification of both internal nodes and pins, and (ii) the inclusion of a mixed condition detector, required to perform more complex operations.

RESUME

Mots-clés: Circuits mixtes, dépuration, test, IEEE1149.1, IEEE1149.4.

Les circuits mixtes ont connu une expansion remarquable dans les dernières années à cause de l'accroissement continu du niveau d'intégration et de la disponibilité des outils computationnels qui appuient le projet. Les circuits commencent à intégrer tous les blocs nécessaires à l'accomplissement d'une fonction donnée, notamment des microprocesseurs, de la mémoire et des convertisseurs analogues-numériques et numériques-analogues, en constituant des circuits mixtes d'une complexité élevée. Ces niveaux élevés d'intégration posent des difficultés accrues aux opérations de dépuration, qui prennent place pendant le prototypage et qui sont effectuées par des équipements basés sur l'accès physique aux nœuds du circuit.

Les difficultés diminuent si on considère les circuits numériques pour lesquels a été développée et rapidement adoptée l'infrastructure de test normalisée par la norme IEEE1149.1, qui a été réutilisée plus tard pour appuyer la dépuration et pour accéder à des circuits embarqués.

Il serait, donc, souhaitable d'appliquer une solution pareille pour les circuits analogiques et mixtes, aussi bien que de maintenir la compatibilité avec les ressources de test et de dépuration développées pour la partie numérique, notamment en ce qui concerne le port d'accès au test tel qu'il est défini par la norme IEEE1149.1. Dans ce contexte, l'infrastructure IEEE1149.4 occupe une position privilégiée vu qu'elle définit l'extension de cette norme-là vis-à-vis le domaine des circuits analogiques et mixtes.

Ce travail s'occupe de la réutilisation de l'infrastructure IEEE1149.4 dans l'appui à la dépuration de circuits mixtes, en proposant (i) son extension, de façon à permettre des opérations de contrôlabilité, observabilité et vérification, soit dans les broches, soit dans les

nœuds analogiques internes, et (ii) l'inclusion d'un détecteur à condition mixte, nécessaire à l'accomplissement d'opérations plus complexes.

AGRADECIMENTOS

Várias pessoas e instituições contribuíram directa ou indirectamente para a efectivação deste trabalho e gostaria de aqui lhes exprimir os meus agradecimentos.

Em relação às instituições, gostaria de agradecer ao Instituto Superior de Engenharia do Porto, nas pessoas do Eng. Mesquita Guimarães (em memória) e do Eng. Vítor Santos, que me impulsionaram para a realização deste trabalho; ao Ministério da Ciência, Tecnologia e Ensino Superior, pela bolsa concedida ao abrigo do programa PRODEP III; à Fundação para a Ciência e a Tecnologia, pelo apoio financeiro a algumas missões; à Faculdade de Engenharia da Universidade de Porto, pelas facilidades concedidas como instituição de acolhimento.

Em relação aos agradecimentos pessoais, não poderia deixar de começar pelos meus orientador e co-orientador, Professor Doutor José Manuel Martins Ferreira e Professor Doutor Gustavo Ribeiro da Costa Alves, pelo empenho e amizade que ultrapassaram em muito o competente apoio que me proporcionaram; aos meus colegas de trabalho, pelos constantes incentivos; aos meus amigos, pela constante confiança e encorajamento demonstrados.

Por último e principalmente, gostaria de agradecer à minha família, à Rosa Maria e ao Rodrigo, a quem devo muito tempo que ingratamente lhes furtei para realizar este trabalho.

NOTA AO LEITOR

A maior parte da literatura referente à área onde se insere este trabalho está publicada em inglês, língua que acolhe a generalidade dos termos que nela se tornaram consagrados e assim entraram na linguagem oral corrente. A escrita em português dum documento desta natureza vê-se deste modo frequentemente confrontada com a necessidade de escolher entre os termos comumente usados ou a respectiva tradução, de forma a não afectar a compreensão e a clareza da exposição. Decidimos por isso adoptar o emprego de termos em português, sempre que não suscitarem dúvidas, e dos termos consagrados em inglês nos restantes casos.

O estilo itálico utiliza-se para distinguir os termos que não pertencem ao vocabulário português e para destacar uma determinada palavra ou expressão.

Os acrónimos são geralmente apresentados em maiúsculas e em estilo normal, independentemente de se referirem a expressões escritas em português ou em inglês, incluindo-se no início deste documento uma lista para facilitar a sua identificação.

ÍNDICE

1.	INTRODUÇÃO	1
1.1.	Motivação e enquadramento.....	3
1.2.	Contributo inovador	5
1.3.	Organização da dissertação.....	5
2.	TESTE E DEPURAÇÃO DE CIRCUITOS MISTOS	7
2.1.	Conceitos fundamentais	9
2.1.1	Tipos de circuitos.....	9
2.1.2	Ciclo de vida de um circuito	11
2.1.3	Teste e depuração de circuitos.....	13
2.1.4	Descrição e simulação de circuitos	14
2.2.	Teste de circuitos.....	18
2.2.1	Tipos de teste.....	19
2.2.2	Modelos de faltas	20
2.2.3	Projecto analógico versus digital.....	23
2.3.	Estratégias de DFT/DFD	23
2.3.1	Aumento da Controlabilidade e Observabilidade	24
2.3.2	Auto-teste (BIST)	30
2.4.	Sumário	39
3.	ESTADO DA TECNOLOGIA PARA A DEPURAÇÃO	41
3.1.	Equipamentos genéricos de depuração.....	43
3.1.1	Multímetros	43
3.1.2	Osciloscópio	44

3.1.3	Analizador lógico	45
3.1.4	Osciloscópio para sinais mistos	46
3.2.	Equipamentos e mecanismos de depuração de microprocessadores	47
3.2.1	Programa monitor	48
3.2.2	Emulador de ROM.....	49
3.2.3	Emuladores de microprocessador	49
3.2.4	Emuladores embutidos.....	51
3.2.5	Comparação dos equipamentos e mecanismos de depuração de microprocessadores	52
3.3.	Mecanismos embutidos	53
3.3.1	Infra-estruturas DFT/DFD embutidas	53
3.3.1.1	IEEE1149.1 (JTAG).....	53
3.3.1.2	IEEE1149.4.....	55
3.3.1.3	IEEE P1149.7 (CJTAG).....	56
3.3.1.4	IEEE P1149.6 (ACJTAG)	58
3.3.1.5	IEEE P1687 (IJTAG).....	59
3.3.1.6	IEEE-ISTO NEXUS 5001	59
3.3.2	Outros Instrumentos.....	60
3.4.	Modelo de depuração	62
3.5.	Sumário.....	64
4.	DEPURAÇÃO VIA IEEE1149.4.....	65
4.1.	Conteúdo e linhas de desenvolvimento	67
4.1.1	Arquitectura básica da infra-estrutura IEEE1149.4	67
4.1.1.1	Estrutura de registos.....	70
4.1.1.2	DBM.....	70
4.1.1.3	TBIC	72
4.1.1.4	ABM.....	74
4.1.1.5	Instruções	76
4.1.2	Linhas de desenvolvimento	79
4.2.	Requisitos para implementação.....	84
4.2.1	Acesso directo físico	85

4.2.2 Acesso directo electrónico: IEEE1149.1	85
4.2.3 Acesso directo electrónico: IEEE1149.4	87
4.2.4 Acesso indirecto.....	90
4.2.5 Alternativas para a infra-estrutura IEEE1149.4.....	90
4.3.Procedimento de verificação	95
4.3.1 Modelo de faltas.	96
4.3.2 Procedimento de verificação.....	97
4.3.2.1 Procedimento de verificação para ATAP + TBIC.....	97
4.3.2.2 Procedimento de verificação para AB1/2 + ABMs.....	101
4.3.3 Tempo de verificação.....	104
4.4.Análise do impacto e propostas de correcção	105
4.4.1 Medição de uma resistência entre um pino com ABM e a massa (GND).....	106
4.4.2 Medição de uma resistência colocada entre dois pinos com ABM	109
4.4.3 Aplicação dos algoritmos de correcção.....	111
4.5.Limitações e alternativas	113
4.5.1 Princípio de funcionamento do BIMBO	114
4.5.2 Integração do BIMBO na infra-estrutura IEEE1149.4.....	116
4.5.3 Procedimento de utilização.....	117
4.5.4 Limitações da solução.....	118
4.6.Sumário	119
5. PROPOSTA DE UM MODELO DE DEPURAÇÃO BASEADO NA INFRA- ESTRUTURA IEEE1149.4.....	121
5.1.Modelo de depuração.....	123
5.1.1 Tipos de operações de detecção.....	123
5.1.2 Princípio de funcionamento do Detector de Condição Mista.....	124
5.2.Implementação do detector de condição mista	127
5.2.1 Descrição do Detector de Condição Mista.....	128
5.2.2 Estrutura de registos	137
5.2.3 Instruções opcionais	138
5.2.4 Operações com detector de condição mista e procedimentos de utilização	139
5.3.Limitações do DCM.....	144

5.4.	Sumário.....	147
6.	VALIDAÇÃO DO MODELO PROPOSTO.....	149
6.1.	O circuito de validação	151
6.1.1	Características do circuito de missão e sua realização	152
6.1.2	Registos.....	154
6.1.3	Instruções	155
6.2.	A aplicação BSORCAD.....	155
6.3.	Detecção de condição analógica	158
6.4.	Detecção de condição mista	162
6.5.	Verificação de resistências	167
6.6.	Sumário.....	171
7.	CONCLUSÃO.....	173
7.1.	Resumo do trabalho desenvolvido	175
7.2.	Limitações da solução proposta	176
7.3.	Perspectivas de desenvolvimento	176
8.	REFERÊNCIAS BIBLIOGRÁFICAS.....	179
9.	ANEXOS.....	201
9.1.	Anexo 1.....	203
9.2.	Anexo 2.....	204
9.3.	Anexo 3.....	205

ÍNDICE DE FIGURAS

Figura 2-1: Topologias de circuitos combinatórios.	10
Figura 2-2: Topologias de circuitos com memória.	11
Figura 2-3: Etapas do ciclo de vida de um circuito.	12
Figura 2-4: Relação entre defeito, falta e erro.	13
Figura 2-5: Fases relacionadas com a simulação de um circuito.	15
Figura 2-6: Diagrama para o teste ideal / real de componentes.	19
Figura 2-7: Exemplo de modelo de faltas estrutural para um transistor MOS.	22
Figura 2-8: Técnicas para aumento da controlabilidade e da observabilidade.	24
Figura 2-9: Proposta de DFT para circuitos analógicos [Wagner et al. 88].	25
Figura 2-10: Proposta de DFT para circuitos mistos [Fasang et al. 88].	25
Figura 2-11: Observação e deslocamento de sinais analógicos por blocos de <i>sample-and-hold</i> [Wey et al. 92].	26
Figura 2-12: Proposta de DFT para circuitos mistos [Matos et al. 93].	27
Figura 2-13: Módulo analógico periférico - constituição, representação e ligação no circuito [Lee et al. 95].	28
Figura 2-14: Mecanismo de acesso associado à infra-estrutura IEEE1149.4.	28
Figura 2-15: Funcionamento do SW-Opamp [Bratt et al. 93].	29
Figura 2-16: Utilização do SW-Opamp para realizar a depuração do sub-circuito 2.	30
Figura 2-17: Arquitectura genérica do auto-teste.	30
Figura 2-18: Geração do histograma linear de um conversor A/D.	31
Figura 2-19: Aplicação da técnica OBIST num conversor.	32
Figura 2-20: Diagrama de blocos do HABIST TM [Frish et al. 97].	32

Figura 2-21: Diagrama de blocos de BIST incluindo TSG e ORA [Huang et al. 00].....	33
Figura 2-22: Teste de conversor A/D através de OBIST [Arabi et al. 97a], [Arabi et al. 97b].	34
Figura 2-23: Técnica de teste OBIST em modulador sigma-delta de primeira ordem.	34
Figura 2-24: Diagrama de blocos do MADBIST [Toner 93], [Toner 96].....	35
Figura 2-25: Diagrama de blocos do ADCBIST TM [Sunter 97].....	36
Figura 2-26: Arquitectura de teste HBIST [Ohletz 91].	36
Figura 2-27: Arquitectura de teste TBIST [Slamani et al. 93].....	37
Figura 2-28: Topologia do AUBIST para circuitos diferenciais [Mir et al. 96].....	38
Figura 3-1: Multímetro de bancada Fluke 8846A.....	44
Figura 3-2: Analisador lógico e ligação ao circuito sob depuração.	45
Figura 3-3: MSO ligado a um circuito sob depuração.	47
Figura 3-4: Diagrama de blocos de um ICE.....	49
Figura 3-5: Diagrama genérico de um OCD.....	51
Figura 3-6: Arquitectura básica da infra-estrutura IEEE1149.1.....	54
Figura 3-7: Digrama de funcionamento do STA476.	54
Figura 3-8: Arquitectura básica da infra-estrutura IEEE1149.4.....	55
Figura 3-9: Arquitectura da infra-estrutura IEEE1149.7.	57
Figura 3-10: Arquitectura da infra-estrutura 1149.6.....	58
Figura 3-11: Modelo de depuração – operações básicas e compostas.	63
Figura 4-1: Arquitectura básica da infra-estrutura IEEE1149.4.....	68
Figura 4-2: Diagrama de transição de estados do controlador do TAP.....	69
Figura 4-3: Estrutura de registos da infra-estrutura IEEE1149.4.....	70
Figura 4-4: Constituição típica do DBM.	71
Figura 4-5: Modos de funcionamento do DBM.	71
Figura 4-6: Estrutura de comutação do TBIC.....	72
Figura 4-7: Estrutura de controlo do TBIC	73
Figura 4-8: Exemplo de TBIC para dois pares de linhas internas de teste analógico.....	74
Figura 4-9: Estrutura de comutação do ABM.....	74
Figura 4-10: Estrutura de controlo do ABM.....	75
Figura 4-11: Modos de funcionamento do ABM.....	75
Figura 4-12: A BSC e a sua representação simplificada.....	85

Figura 4-13: Tipos de BSC de acordo com a sua localização no circuito.....	86
Figura 4-14: DBM e ABM e as respectivas representações simplificadas.....	87
Figura 4-15: Tipos de ABMs e DBMs de acordo com as respectivas localizações no circuito.....	88
Figura 4-16: Controlo digital via ABM-EPD.....	88
Figura 4-17: Controlo analógico via ABM-EPA.....	89
Figura 4-18: Topologia do ABM genérico.....	92
Figura 4-19: Topologia do ABM-1 que permite o controlo da entrada analógica do circuito de missão.	92
Figura 4-20: Topologia do ABM-2 que permite o controlo da entrada digital do circuito de missão.	92
Figura 4-21: Estrutura de comutação para o ABM-3.	93
Figura 4-22: Estrutura de controlo para ABM-3.	93
Figura 4-23: Estrutura de comutação para o ABM-4.	94
Figura 4-24: Estrutura de controlo do ABM-4.....	94
Figura 4-25: Medição de uma resistência colocada entre um pino com ABM e a massa (GND).	106
Figura 4-26: Algoritmo para determinação de resistência colocada entre um pino com ABM e GND.....	108
Figura 4-27: Medição de uma resistência colocada entre dois pinos.	109
Figura 4-28: Caracterização de R_{SG} e do respectivo erro.....	110
Figura 4-29: Algoritmo para determinação de resistência colocada entre dois pinos com ABM.....	111
Figura 4-30: Princípio de funcionamento do BIMBO.....	115
Figura 4-31: Topologia do conversor A/D do tipo sigma-delta.	116
Figura 4-32: Utilização do BIMBO para observação analógica de 4 sinais dentro de um CI.....	117
Figura 5-1: Esquema de princípio do DCM.....	126
Figura 5-2: Utilização do DCM durante uma operação de paragem.	127
Figura 5-3: Constituição do DBM-F e a sua representação simplificada.	128
Figura 5-4: Constituição do RDC e sua representação simplificada.	133

Figura 5-5: Constituição do DCM.....	135
Figura 5-6: Constituição do RSTC.	137
Figura 5-7: Estrutura de registos que suporta o DCM.....	138
Figura 6-1: Componente compatível com IEEE1149.4.....	151
Figura 6-2: Diagrama de blocos do circuito misto considerado.....	152
Figura 6-3: Circuito utilizado para validar o modelo de depuração.	153
Figura 6-4: Interface gráfica do BSORCAD.	156
Figura 6-5: Detecção de uma condição analógica durante uma operação de teste interno.	159
Figura 6-6: Programa BSORCAD para a detecção duma condição analógica durante o teste interno.....	161
Figura 6-7: Detecção de uma condição analógica durante o teste interno.	162
Figura 6-8: Detecção de uma condição mista durante o funcionamento normal do circuito.....	163
Figura 6-9: Programa BSORCAD para a detecção duma condição mista durante o funcionamento normal.....	165
Figura 6-10: Detecção de uma condição mista <i>ou</i> durante o funcionamento normal do circuito.....	166
Figura 6-11: Detecção de uma condição mista <i>e</i> durante o funcionamento normal.....	167
Figura 6-12: Verificação do valor de uma resistência durante o teste externo do circuito.....	168
Figura 6-13: Programa BSORCAD que verifica o valor de uma resistência durante o teste externo.....	169
Figura 6-14: Verificação de uma resistência durante o teste externo.....	170

ÍNDICE DE TABELAS

Tabela 2-1: Circuitos analógicos e mistos e alguns parâmetros associados.....	10
Tabela 3-1: Comparação entre os mecanismos/equipamentos de depuração de microprocessadores.....	52
Tabela 4-1: Volume de vendas dos tipos de CIs analógicos e mistos.....	80
Tabela 4-2: Modo de funcionamento para o ABM-3.....	93
Tabela 4-3: Modo de funcionamento do ABM-4.....	94
Tabela 4-4: Modelo de faltas para verificação da infra-estrutura IEEE1149.4.....	96
Tabela 4-5: Configurações para verificação do ATAP + TBIC.....	97
Tabela 4-6: Resumo da cobertura de faltas para o ATAP e TBIC (lista de CVIs que detectam cada falta).	100
Tabela 4-7: Configurações para verificação do AB1/2 + ABMs.....	101
Tabela 4-8: Resumo da cobertura de faltas para o AB1/2 e ABMs (lista de CVIs que detectam cada falta).	103
Tabela 5-1: Tipos de operações realizáveis pelo DCM.....	124
Tabela 5-2: Codificação dos estados possíveis nas entradas I1,I2,I0 e nas saídas Q2,Q1,Q0 do bloco F.....	129
Tabela 5-3: Codificação das operações de detecção de condição do bloco F.....	130
Tabela 5-4: Tabelas de verdade das operações de detecção de condição do bloco F.....	131
Tabela 5-5: Codificação das operações de detecção de condição do RDC.....	134
Tabela 5-6: Sinal de saída SCD em função dos sinais de controlo (SC0, SC1), do código presente no registo de instrução e do estado do controlador do TAP.....	136

Tabela 5-7: Características das instruções opcionais propostas.	139
Tabela 5-8: Complexidade de blocos IEEE1149.4, em número de portas lógicas de duas entradas (P2).....	144
Tabela 5-9: Complexidade equivalente das infra-estruturas 1149.1 / 1149.4 / 1149.4 com DCM.....	146
Tabela 6-1: Descrição do BSR (à esquerda o bit mais próximo de TDI).	154
Tabela 6-2: Descrição do RDCA (à esquerda o bit mais próximo de TDI).	154
Tabela 6-3: Instruções, códigos e registos seleccionados.....	155
Tabela 6-4: Distribuição dos diagramas esquemáticos pelos níveis hierárquicos do CI.....	156
Tabela 6-5: Lista dos comandos do BSORCAD.....	157
Tabela 6-6: Operando do comando state(A).....	157

ACRÓNIMOS

<i>ABM-Genérico</i>	ABM-G
<i>Alternating Current</i>	AC
<i>Analog Boundary Module</i>	ABM
<i>Analog Boundary-Scan Description Language</i>	ABSDL
<i>Analog Built-In Block Observer</i>	ABILBO
<i>Analog Bus 1</i>	AB1
<i>Analog Bus 2</i>	AB2
<i>Analog Control and Observation Block</i>	ACOB
<i>Analog Input Test Bus</i>	AITB
<i>Analog Output Test Bus</i>	AOTB
<i>Analog Test 1</i>	AT1
<i>Analog Test 2</i>	AT2
<i>Analog Test Access Port</i>	ATAP
<i>Analog Test Bus Input</i>	ATBI
<i>Analog Test Bus Output</i>	ATBO
<i>Analog Unified BIST</i>	AUBIST
<i>Analógico/Digital (conversor)</i>	A/D

<i>Application-Specific Integrated Circuit</i>	ASIC
<i>Automatic Test Equipment</i>	ATE
<i>Boundary Scan</i>	BS
<i>Boundary Scan Cell</i>	BSC
<i>Boundary Scan Register</i>	BSR
<i>Built-In Logic Block Observer</i>	BILBO
<i>Built-In Mixed-Signal Block Observer</i>	BIMBO
<i>Built-In Self Test</i>	BIST
<i>Capture/Shift stage (da célula de varrimento)</i>	C/S
<i>Carta de Circuito Impresso</i>	CCI
<i>Circuito Integrado</i>	CI
<i>Circuito Aberto</i>	CA
<i>Common-Mode Rejection Ratio</i>	CMRR
<i>Configuração de Verificação da Integridade</i>	CVI
<i>Control Logic</i>	CL
<i>Controlabilidade, Observabilidade e Verificação</i>	COV
<i>Curto-Circuito</i>	CC
<i>Design for Debug</i>	DFD
<i>Design for Test</i>	DFT
<i>Detection & Translation</i>	D&T
<i>Detector de Condição Mista</i>	DCM
<i>Digital Boundary Module</i>	DBM
<i>Digital Signal Processor</i>	DSP
<i>Digital Storage Oscilloscope</i>	DSO
<i>Digital/Analogico (conversor)</i>	D/A

<i>Direct Current</i>	DC
<i>Entrada/Saída</i>	E/S
<i>Erasable Programmable Read-Only Memory</i>	EPROM
<i>Fast Fourier Transform</i>	FFT
<i>Field-Programmable Analog Array</i>	FPAA
<i>Field-Programmable Gate Array</i>	FPGA
<i>Ground</i>	GND
<i>Hardware Description Language</i>	HDL
<i>Histogram-Based Analog BIST</i>	HABIST
<i>Hybrid BIST</i>	HBIST
<i>In-Circuit Emulator</i>	ICE
<i>In-Circuit Test</i>	ICT
<i>Intellectual Property</i>	IP
<i>Ligação do Pino</i>	LP
<i>Ligação do Circuito de Missão</i>	LCM
<i>Low-Pass Filter</i>	LPF
<i>Mixed Analog Digital BIST</i>	MADBIST
<i>Mixed-Signal Oscilloscope</i>	MSO
<i>Multiplexador</i>	MUX
<i>On-Chip Debug</i>	OCD
<i>Oscillation based BIST</i>	OBIST
<i>Output Response Analyzer</i>	ORA
<i>Parallel Input</i>	PI
<i>Parallel Output</i>	PO

<i>Personal Computer</i>	PC
<i>Phase-Locked Loop</i>	PLL
<i>Portable on Demand</i>	POD
<i>Read-Only Memory</i>	ROM
<i>Registo de Detecção de Condição</i>	RDC
<i>Registo de Detecção de Condição Analógica</i>	RDCA
<i>Registo de Detecção de Condição Digital</i>	RDCD
<i>Registo de Selecção do Tipo de Condição</i>	RSTC
<i>Saída de Condição Detectada</i>	SCD
<i>Serial Input</i>	SI
<i>Serial Output</i>	SO
<i>Serial Vector Format</i>	SVF
<i>Simulation Program with Integrated Circuit Emphasis</i>	SPICE
<i>Single Stuck-at</i>	ss@
<i>Stuck-at 0</i>	s@0
<i>Stuck-at 1</i>	s@1
<i>Stuck-at CA</i>	s@CA
<i>Stuck-at CC</i>	s@CC
<i>Switched Capacitor</i>	SC
<i>SWitched Operational AMPlifier</i>	SW-Opamp
<i>System on Chip</i>	SOC
<i>Test Access Port</i>	TAP
<i>Test Bus Interface Circuit</i>	TBIC
<i>Test Clock</i>	TCK
<i>Test Data Input</i>	TDI

<i>Test Data Output</i>	TDO
<i>Test Mode Select</i>	TMS
<i>Test Reset</i>	/TRST
<i>Test Signal Generator</i>	TSG
<i>Translation BIST</i>	TBIST
<i>Update stage</i> (da célula de varrimento)	U
<i>Valor Lógico da Condição</i>	VLC
<i>Valor Lógico da Condição Analógica</i>	VLCA
<i>Valor Lógico da Condição Digital</i>	VLCD
<i>VERifying LOGical Hardware Description Language</i>	VERILOG
<i>Very high speed integrated circuit Hardware Description Language</i>	VHDL
<i>Voltage-Controlled Oscillator</i>	VCO

GLOSSÁRIO

Auto-teste: operação de teste inteiramente realizada no interior do circuito, utilizando para o efeito blocos responsáveis pela geração/aplicação de estímulos e captura/avaliação das respostas.

Circuito analógico: circuito que processa unicamente sinais analógicos. Exemplos: amplificador, filtro.

Circuito com memória: circuito cujas saídas dependem do valor das entradas em instantes anteriores e eventualmente também dos seus valores no estado actual (exemplo das máquinas de Mealy, no domínio digital). De acordo com as entradas e saídas, existem três tipos: Circuito Digital com Memória (ex. contador digital), Circuito Analógico com Memória (ex. integrador analógico), Circuito Misto com Memória (ex. conversor A/D por aproximações sucessivas).

Circuito combinatório: circuito cujas saídas dependem apenas do valor actual das entradas. De acordo com o tipo de entradas e saídas, existem três tipos: Circuito Digital Combinatório (ex. AND), Circuito Analógico Combinatório (ex. amplificador), Circuito Misto Combinatório (ex. conversor A/D *flash*).

Circuito digital: circuito que processa unicamente sinais digitais. Exemplos: conversor D/A, microprocessador.

Circuito misto: circuito que processa sinais analógicos e digitais que interagem entre si. Exemplos: conversor A/D, comparador analógico, interruptor analógico.

Circuito sequencial: o mesmo que Circuito Digital com Memória.

Cobertura de faltas: parâmetro que quantifica a percentagem de faltas detectada por um conjunto de vectores de teste, sobre o universo definido pelo modelo de faltas adoptado.

Componente discreto: elemento eléctrico ligado a um circuito impresso ou outro substrato, não integrado ou apresentando um nível mínimo de integração. Exemplos: condensador, conjunto integrado de resistências.

Controlabilidade: parâmetro que quantifica a maior ou menor facilidade com que é possível aplicar um sinal num nó de um circuito, assumindo que o acesso se efectua apenas através das entradas primárias.

Correcção: operação que pretende remover os erros de projecto e eventualmente as faltas/defeitos presentes num circuito.

Defeito: condição física susceptível de impedir o funcionamento correcto de um circuito.

Degradação do desempenho: medida do impacto resultante da existência ou da utilização dos tipos de acesso directo electrónico (ver *Tipos de acesso*). Exemplos: atrasos provocados por células de varrimento; degradação num sinal analógico observado através de acesso directo electrónico.

Depuração: actividade que tem por finalidade eliminar os erros de projecto e eventualmente as faltas/defeitos presentes num protótipo; tem início numa operação de detecção com resultado positivo e é seguida pelas operações de diagnóstico e correcção.

Detecção: operação que pretende revelar a presença/ausência de erros de projecto e eventualmente faltas/defeitos num circuito; produz um resultado binário: sim/não.

Diagnóstico: operação que pretende identificar, caracterizar e localizar convenientemente os erros de projecto e eventualmente as faltas/defeitos presentes num circuito.

Eficiência de faltas: parâmetro que quantifica, de acordo com um modelo de faltas e um conjunto de vectores de teste, a percentagem de faltas que é detectada, em relação ao total de faltas detectáveis [Bushnell et al. 02, p. 204].

Entrada primária: entrada exterior de um circuito (circuito integrado, carta de circuito impresso, sistema).

Erro: representação de um desvio face ao comportamento esperado do circuito.

Estado de um circuito: situação em que se encontra um circuito e que é caracterizada pelos sinais presentes nalguns dos seus nós.

Falta detectável: uma falta diz-se detectável se existir um meio de levar o modelo do circuito a produzir uma resposta diferente da que tem lugar quando a falta não está presente.

Falta não detectável: uma falta diz-se não detectável quando a sua presença não altera o valor correcto das saídas do modelo do circuito, qualquer que seja o vector de teste aplicado às suas entradas.

Falta: Representação de uma condição abstracta que pode levar o modelo dum circuito a apresentar uma resposta incorrecta.

Intrusividade: característica de alguns tipos de acesso ao interior ou à periferia de um circuito, para efeitos de controlabilidade e/ou observabilidade, que impede o seu funcionamento normal.

Ligação estendida: ligação constituída por dois ou mais nós e envolvendo um ou mais componentes discretos. O teste destas ligações visa a verificação da sua integridade e a verificação dos valores dos componentes discretos que lhes estão associados.

Ligação simples: ligação constituída por um único nó e sem envolver componentes discretos; o teste destas ligações visa a verificação da sua integridade.

Modelo de faltas ss@: modelo de faltas em que se considera a existência de apenas uma falta de cada vez, podendo o nó no qual a falta está presente encontrar-se sempre a 1 (s@1) ou sempre a 0 (s@0).

Modelo de faltas: representação abstracta usada para descrever um conjunto de condições susceptíveis de levar um circuito a produzir respostas diferentes das esperadas. Tem por objectivo libertar os projectistas da necessidade de lidar directamente com os defeitos físicos que podem ocorrer e cuja consideração seria muito mais complexa. Um bom modelo de faltas tem dois atributos principais: simplicidade e elevada cobertura de defeitos.

Modelo: representação abstracta usada para descrever as características de uma entidade física; quando aplicado a um circuito, corresponde a uma descrição textual ou gráfica que nos permite determinar o seu comportamento para qualquer conjunto de sinais aplicados nas entradas.

Modo análise em tempo real: funcionamento caracterizado por memorizar os estados de um circuito que funciona à sua velocidade nominal. As operações realizadas durante este modo de funcionamento são não intrusivas.

Modo paragem/monitorização por condição: funcionamento caracterizado por detectar uma determinada condição, que pode ser unicamente usada para parar o circuito ou para sinalizar essa ocorrência.

Modo passo-a-passo: funcionamento caracterizado por fazer evoluir o circuito entre os vários estados possíveis de forma controlada pelo utilizador.

Observabilidade: parâmetro que quantifica a maior ou menor facilidade com que é possível observar o sinal presente num nó do circuito, assumindo que o acesso se efectua apenas através das entradas e das saídas primárias.

Operações básicas de depuração: actividades efectuadas sobre os estados de um circuito, para efeitos de diagnóstico; inclui três tipos principais: controlo, observação e verificação.

Operações compostas de depuração: resultam da conjugação de operações básicas de depuração. Exemplos: funcionamento em modo passo-a-passo, em modo de paragem / monitorização por condição e em modo de análise em tempo real.

Overhead: Ver Sobrecarga.

Pinos: interface física de um circuito que pode pertencer a uma das três categorias seguintes: funcional (E, S, E/S), configuração/programação /alimentação, teste/depuração. Os pinos podem pertencer a mais do que uma destas categorias (por exemplo, teste e programação).

Saída primária: saídas exteriores de um circuito (circuito integrado, carta de circuito impresso, sistema).

Simulação de faltas: actividade que tem por finalidade determinar a resposta esperada de um circuito na presença de faltas; é sobretudo usada para avaliar a cobertura de faltas proporcionada por um conjunto de vectores de teste.

Simulação funcional: Actividade que tem por finalidade determinar a resposta esperada de um circuito na ausência de faltas.

Sinal analógico: representação de uma grandeza eléctrica que pode assumir qualquer valor dentro do intervalo definido pelos seus limites.

Sinal digital: representação de uma grandeza eléctrica que assume apenas um conjunto finito de valores dentro do intervalo definido pelos seus limites. O sinal binário é um caso particular de um sinal digital com apenas dois valores associados. Exemplos: entrada e saídas de um conversor D/A.

Sobrecarga (*Overhead*): parâmetro que quantifica os recursos adicionais que é necessário incluir num circuito, nomeadamente no sentido de melhorar as suas características de testabilidade e depuração.

Testabilidade: parâmetro que quantifica a maior ou menor facilidade com que é possível detectar a presença de uma falta num determinado nó. Quando referente a um circuito, representa o valor médio da testabilidade dos seus nós. O aumento da testabilidade visa a diminuição global dos custos associados ao circuito.

Teste: actividade que tem por finalidade determinar se um circuito apresenta desvios face às suas características esperadas (funcionais, temporais, paramétricas, etc.).

Tipos de acesso: formas de controlar / observar os nós de um circuito, nomeadamente para efeitos de teste e depuração. Podem dividir-se em dois tipos principais: directo e indirecto (propagação). O modo directo pode ainda ser subdividido em físico (entradas e saídas primárias, pontos de teste) e electrónico (varrimento, acesso a percursos dedicados, etc.).

Validação de protótipo: actividade que usa o protótipo de um circuito para avaliar a sua compatibilidade com os requisitos do utilizador/cliente.

Vector de teste: conjunto de estímulos a aplicar às entradas de um circuito.

Verificação de projecto: actividade que usa o modelo de um circuito para avaliar a sua compatibilidade com a especificação que lhe deu origem.

1. INTRODUÇÃO

A *depuração* tem vindo a ser apoiada em equipamentos baseados no acesso físico aos nós dos circuitos mistos, mas a miniaturização e o constante aumento dos níveis de integração têm levantado dificuldades crescentes à utilização daqueles meios, levando a que sejam progressivamente integrados sob a forma de blocos embutidos. No domínio digital, as restrições ao acesso físico necessário à utilização da técnica de matriz de agulhas (*In-Circuit Test* - ICT) nas cartas de circuito impresso (CCIs), levou ao desenvolvimento da infra-estrutura de teste IEEE1149.1. Tratou-se de um passo decisivo na indústria da microelectrónica, que reforçou a necessidade de o circuito integrado (CI) incluir blocos com objectivo diferente do estritamente funcional. Por ser parte integrante do CI, rapidamente aquela infra-estrutura passou a ser reutilizada ao longo do seu ciclo de vida e, em particular, durante a depuração.

A infra-estrutura IEEE1149.4, que foi desenvolvida alguns anos depois, constituiu uma extensão natural para abranger a área dos circuitos mistos, mas a sua lenta aceitação tem sido justificada em parte pela sobrecarga (*overhead*) imposta nos circuitos mistos discretos, que são tipicamente de complexidade reduzida. No entanto, as dificuldades, os custos e sobretudo o aumento dos tempos de depuração nos circuitos analógicos e mistos, do tipo *System-on-Chip* (SOC), tendem a justificar não só a inclusão da infra-estrutura IEEE1149.4, mas também a respectiva extensão para apoiar operações de depuração.

Este capítulo introdutório identifica a importância da depuração durante o desenvolvimento de circuitos mistos, apresentando a motivação e o enquadramento do tema tratado, bem

como o contributo e a originalidade do trabalho desenvolvido. A sua parte final apresenta a organização da dissertação.

1.1. MOTIVAÇÃO E ENQUADRAMENTO

No mundo real as grandezas apresentam uma variação analógica, i.e. contínua, embora a experiência tenha revelado que, em grande parte dos casos, o processamento de informação apresenta vantagens se for realizado digitalmente. A necessidade de circuitos para realizar a interface entre o domínio digital e o analógico leva à coexistência de circuitos analógicos, digitais e mistos. O desenvolvimento de qualquer destes circuitos inclui a fase de prototipagem, onde a *depuração* pretende detectar problemas decorrentes de defeitos físicos ou erros humanos. Esta actividade é realizada tradicionalmente através de equipamentos de bancada, que possuem boas características e elevadas potencialidades, mas o necessário acesso físico aos nós do circuito encontra-se cada vez mais comprometido, devido aos crescentes níveis de integração. Com efeito, nas últimas quatro décadas, a indústria de semicondutores distinguiu-se pela capacidade de melhorar rapidamente os seus produtos, principalmente através dos avanços conseguidos pela miniaturização. A lei de Moore [Moore 65], abundantemente citada, estima que o número de componentes por CI duplica em cada 24 meses. As restrições de acesso físico daí resultantes levaram ao estudo de alternativas, mas o estado actual das soluções nos circuitos digitais está claramente mais avançado do que nos circuitos analógicos ou mistos.

Os circuitos digitais seguiram um percurso autónomo e mais rápido em relação aos restantes, no que diz respeito ao teste e à depuração. O teste funcional e estrutural de circuitos realizado através do ICT foi progressivamente dificultado pela montagem de componentes em ambos os lados da CCI, pela utilização de encapsulamentos cada vez mais reduzidos e pela dificuldade de propagação de valores dentro dos circuitos, devido ao aumento da sua complexidade. Estes factores deram origem ao desenvolvimento da infra-estrutura normalizada IEEE1149.1 [IEEE 90] para facilitar o teste estrutural de CCI's digitais. Estes delimitados objectivos (estrutural, CCI's, digitais) potenciaram a sua aceitação, que foi reforçada pelo possível reaproveitamento em áreas complementares, e.g. para apoio à depuração [Sunter 97a]. Por se tratar de um mecanismo de acesso privilegiado ao circuito, esta infra-estrutura tem sido reutilizada para finalidades muito para além daquela para a qual foi inicialmente desenvolvida, estendendo-se a todas as fases do ciclo de vida de um produto. As instruções previstas na norma IEEE1149.1 proporcionam desde logo um apoio limitado à

depuração, directamente ou como forma de aceder a recursos dedicados a este fim. O desenvolvimento subsequente levou ao aparecimento de mecanismos/instrumentos embutidos para apoiar especificamente a depuração de circuitos digitais.

Estes avanços não se reflectiram na área dos circuitos analógicos e mistos, que permaneceu praticamente inalterada durante vários anos, mas os níveis de miniaturização exigidos pelo mercado colidem com a sua manutenção como componentes discretos (o que facilitaria o acesso físico). A lenta aceitação da infra-estrutura IEEE1149.4 relaciona-se com a sua elevada sobrecarga (*overhead*), já referida, mas também pelo possível impacto sobre o desempenho do circuito [Schuttert et al. 04]. As técnicas de *Built-In Self Test* (BIST) entretanto desenvolvidas não correspondem a uma metodologia genérica e estruturada, uma vez que são orientadas para macroblocos específicos, para além de apresentam também um elevado *overhead* e de habitualmente não permitirem a reutilização dentro do mesmo CI [Song 02].

A arquitectura dos novos SOCs é semelhante à das CCI, onde o projectista basicamente utiliza circuitos tipificados (*Intellectual Property* - IP), cuja reutilização torna mais expedito o desenvolvimento do projecto e menos provável a ocorrência de erros, mas diminui o acesso físico requerido pelos equipamentos de depuração. A falta de uma plataforma comum para apoiar as operações de teste e depuração de circuitos mistos torna-se mais evidente no caso particular dos SOCs, em que a parte analógica corresponde a cerca de 2% do número total de transístores, 20 % da área e 40% do esforço de projecto [Cadence 02]. A parte analógica / mista é muito menor do que a parte digital, mas o seu contributo para os custos de depuração é maioritário e continuará a subir, a menos que se encontre um novo paradigma. Uma das consequências mais importantes é a do aumento do tempo de validação do protótipo, que se repercute no *time-to-market*, primordial para o sucesso do produto. A actual necessidade de mecanismos estruturados de apoio ao teste e depuração de circuitos mistos é tão elevada que, a manter-se, poderá constituir a curto prazo um sério entrave ao desenvolvimento de diversos sectores da electrónica de consumo [ITRS 07]. Outra área promissora refere-se à dos circuitos reconfiguráveis analógicos e mistos, *Field-Programmable Analog Array* (FPAA) [Anadigm 07][Lattice 07][Cypress 07], cuja utilização requer mecanismos eficazes de verificação funcional.

Conforme anteriormente referido, a infra-estrutura IEEE1149.1 revelou-se particularmente proveitosa para apoiar operações de depuração em circuitos digitais, tendo dado origem a

infra-estruturas desenvolvidas especificamente para essa finalidade. Dado que a infra-estrutura IEEE1149.4 se apresenta formalmente como uma sua extensão para a área dos circuitos mistos, torna-se necessário estudar o seu reaproveitamento para a depuração de circuitos mistos, que será efectuado ao longo deste trabalho.

1.2. CONTRIBUTO INOVADOR

Os contributos originais aqui apresentados incluem a utilização das instruções normalizadas da infra-estrutura IEEE1149.4 para implementar as operações básicas de depuração em circuitos mistos. A caracterização das principais lacunas levou à proposta de implementações alternativas e de um procedimento de verificação de integridade. Para realizar as operações de depuração mais complexas em circuitos mistos, reutiliza-se e estende-se o âmbito da infra-estrutura IEEE1149.4, dotando-a de um detector de condição mista necessário às operações de *paragem/monitorização por condição e análise em tempo real*.

1.3. ORGANIZAÇÃO DA DISSERTAÇÃO

O capítulo um faz a introdução e enquadramento do trabalho desenvolvido.

O capítulo dois apresenta noções importantes relacionadas com o teste e depuração de circuitos mistos e analisa os mecanismos de acesso para realizar operações básicas de depuração, i.e. controlabilidade, observabilidade e verificação. São primeiramente expostos os conceitos fundamentais, tais como os vários tipos de circuitos, as formas de os descrever, tipos de teste e modelos de faltas. Seguidamente apresentam-se as estratégias principais de projecto para a testabilidade (*Design for Testability* – DFT) e para a depuração (*Design for Debug* – DFD), i.e. um conjunto de mecanismos embutidos que permitem ultrapassar as limitações de acesso físico aos nós do circuito.

O capítulo três apresenta o estado da tecnologia para a depuração e faz uma análise das características e potencialidades dos recursos disponíveis para este fim. São abordados os equipamentos genéricos e os específicos para circuitos baseados em microprocessadores, com vista à elaboração de um conjunto tipificado de operações. São também apresentadas as

infra-estruturas reutilizadas, ou especificamente desenvolvidas, para apoiar a depuração de circuitos, bem como as soluções/propostas de equipamentos parcial ou integralmente embutidos. As várias operações de depuração são agrupadas em dois conjuntos restritos, que compreendem *operações básicas e compostas*.

O capítulo quatro estuda a infra-estrutura IEEE1149.4 na perspectiva da sua utilização como mecanismo de apoio às operações básicas de depuração. Esta análise identificou algumas lacunas e levou ao desenvolvimento de soluções para as colmatar. Para esta infra-estrutura são ainda propostas (i) um modelo de ABM genérico, (ii) um procedimento de verificação da integridade, (iii) uma metodologia para a análise e correcção de erros durante a medida de resistências e (iv) o BIMBO, um bloco embutido que permite a observação simultânea de vários canais.

O capítulo cinco estende a utilização da infra-estrutura IEEE1149.4 para a realização de operações compostas de depuração, através da inclusão de um detector de condição mista (DCM), necessário às operações de *paragem/monitorização por condição e análise em tempo real*. Para além da descrição, implementação, instruções opcionais e modos de utilização do DCM, é também feita a análise do respectivo *overhead*.

O capítulo seis valida o modelo proposto em ambiente de simulação ORCAD. O componente misto desenvolvido inclui as propostas de alteração da infra-estrutura IEEE1149.4 e o DCM. A geração automática dos sinais de entrada do TAP é feita pelo BSORCAD, uma aplicação especificamente desenvolvida para esta fase do trabalho. São apresentados exemplos da utilização do DCM para (i) detectar uma condição analógica durante o teste interno, (ii) uma condição mista durante o funcionamento normal do componente e (iii) a medida de uma resistência durante o teste externo.

O capítulo sete conclui este trabalho e apresenta direcções de desenvolvimento futuro.

2. TESTE E DEPURAÇÃO DE CIRCUITOS MISTOS

A depuração tem por objectivo principal detectar os problemas que decorrem de defeitos físicos ou erros humanos verificados durante a construção do protótipo. Para este efeito usam-se todos os meios disponíveis e em particular os mecanismos de acesso que resultam das metodologias de *Design for Test* (DFT) seguidas durante o projecto. Esta actividade assume uma importância crescente devido ao aumento de complexidade dos circuitos, sendo necessário prever mecanismos que simplifiquem a validação do protótipo, conceito frequentemente designado por *Design for Debug* (DFD). O presente capítulo analisa os mecanismos de DFT de circuitos mistos com vista à sua reutilização e expansão para realizar operações de DFD. A primeira secção apresenta alguns conceitos fundamentais para a caracterização dos vários tipos de circuitos e das formas disponíveis para os descrever. A segunda secção analisa o teste de circuitos analógicos e mistos e os modelos de faltas utilizados. A terceira secção analisa os mecanismos de DFT para circuitos mistos, que podem ser reutilizados e/ou estendidos para apoiar a depuração.

2.1. CONCEITOS FUNDAMENTAIS

Nesta secção apresentam-se alguns conceitos que são importantes para a compreensão dos aspectos relacionados com o teste e depuração de circuitos.

2.1.1 TIPOS DE CIRCUITOS

Os circuitos são frequentemente agrupados de acordo com as suas características, nomeadamente:

- Domínio de funcionamento.
- Regime de funcionamento.
- Relação entre a saída e a entrada.
- Nível de integração.

No que respeita ao domínio de funcionamento, os circuitos podem ser divididos em analógicos, digitais e mistos. Os circuitos analógicos apresentam E/S analógicas e processam unicamente sinais analógicos, como é o caso de um amplificador ou de um filtro. Os circuitos digitais têm E/S digitais e processam unicamente sinais digitais, como é o caso de um microprocessador ou de um conversor D/A. Os circuitos mistos apresentam E/S analógicas e digitais e processam sinais analógicos e digitais que interagem entre si, como é o caso de um conversor A/D, um comparador analógico ou um interruptor analógico. Os circuitos digitais são frequentemente subdivididos de acordo com a forma de funcionamento, podendo citar-se os circuitos baseados em microprocessador, em lógica dedicada, em *Field-Programmable Gate Array* (FPGA), etc. Nos circuitos analógicos e mistos é frequente a subdivisão de acordo com a função desempenhada, como sejam os conversores A/D, amplificadores, etc., formando um conjunto heterogéneo em que cada circuito é caracterizado por parâmetros específicos, cuja verificação é feita através de testes dedicados. A Tabela 2-1 apresenta alguns circuitos analógicos e mistos, e parte dos parâmetros associados.

Tabela 2-1: Circuitos analógicos e mistos e alguns parâmetros associados.

Macroblocos analógicos e mistos	Parâmetros
Interruptor analógico	Resistência de condução, resistência de não-condução.
Amplificador	Ganho, banda passante, <i>slew-rate</i> , distorção máxima, impedância de entrada.
Filtro	Ganho, banda passante, banda de rejeição.
Conversor A/D	Não-linearidade integral e diferencial, gama de conversão, monotonicidade, tempo de conversão, número efectivo de bits.

Os regimes de funcionamento possíveis são o linear e o de comutação. Nos primeiros os transístores funcionam na zona linear, como é o caso da fonte de alimentação linear ou a configuração seguidora de um amplificador operacional. Nos segundos os semicondutores encontram-se alternadamente em saturação e no corte e podem citar-se como exemplos os circuitos digitais, os componentes de potência de uma fonte de alimentação comutada ou ainda os circuitos baseados em condensadores comutados (*Switched Capacitor* - SC).

Do ponto de vista da relação entre as saídas e as entradas, os circuitos podem ser combinatórios ou dispor de memória. Nos primeiros, as saídas dependem exclusivamente dos valores actuais das entradas e, de acordo com o tipo de E/S, subdividem-se em circuitos combinatórios digitais (ex. *and*), circuitos combinatórios analógicos (ex. amplificador) e ainda circuitos combinatórios mistos (ex. conversor A/D do tipo *flash*). A Figura 2-1 apresenta a topologia genérica de um circuito combinatório.

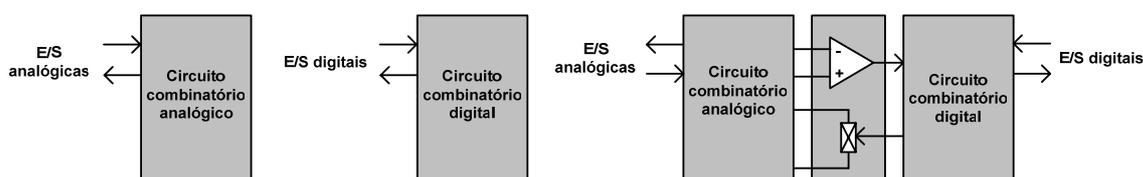


Figura 2-1: Topologias de circuitos combinatórios.

Ao nível elementar os circuitos mistos combinatórios surgem apenas sob a forma de comparadores e interruptores analógicos. Repare-se que o comparador pode não existir realmente, sendo a tensão analógica considerada “0” ou “1” pelo circuito digital, de acordo com os níveis lógicos associados. Nos circuitos com memória as saídas dependem do valor

das entradas em instantes anteriores e eventualmente também dos seus valores no estado actual (exemplo das máquinas de Mealy, no domínio digital). A memória pode ser digital (ex. flip-flop) ou analógica, i.e. baseada num condensador. Considerando o tipo de entradas e saídas, existem circuitos digitais com memória (ex. contador digital), circuitos analógicos com memória (ex. integrador analógico) e circuitos mistos com memória (ex. conversor A/D por aproximações sucessivas). Repare-se que existem seis combinações possíveis para os circuitos resultantes dos tipos de E/S (analógicos, digitais e mistos) e do tipo de memória (analógica ou digital). A Figura 2-2 apresenta algumas topologias de circuitos com memória.

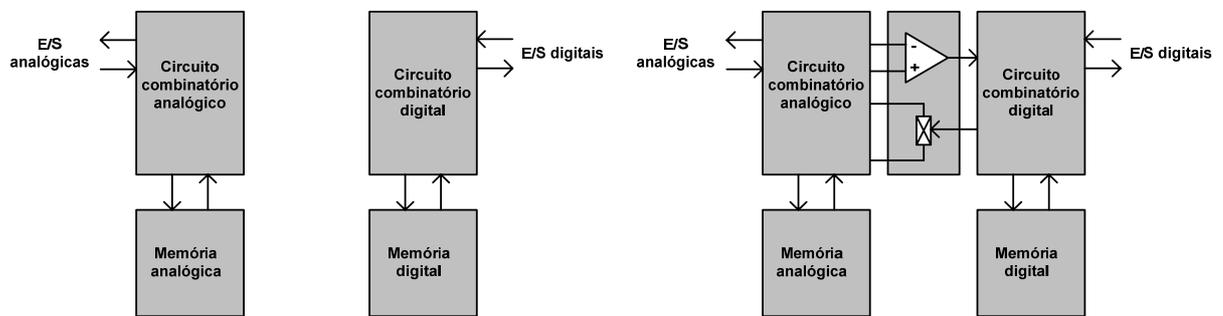


Figura 2-2: Topologias de circuitos com memória.

O tipo de implementação corresponde à forma de realizar o circuito e vai desde o nível mais baixo do componente discreto, até níveis sucessivamente mais elevados como o CI, a CCI, sistema, etc. A tendência para a miniaturização tem levado a que se coloque dentro do mesmo CI um ou mais microprocessadores, memória, conversores A/D e D/A, interfaces de comunicação, etc. [De Venuto et al. 00], convertendo-o num SOC. Este tipo oferece como vantagens a redução do tamanho e a possibilidade de reutilizar blocos anteriormente projectados, mas a verificação do projecto é nestes casos consideravelmente mais complexa.

2.1.2 CICLO DE VIDA DE UM CIRCUITO

O ciclo de vida de um circuito estende-se por várias etapas, conforme se mostra na Figura 2-3.

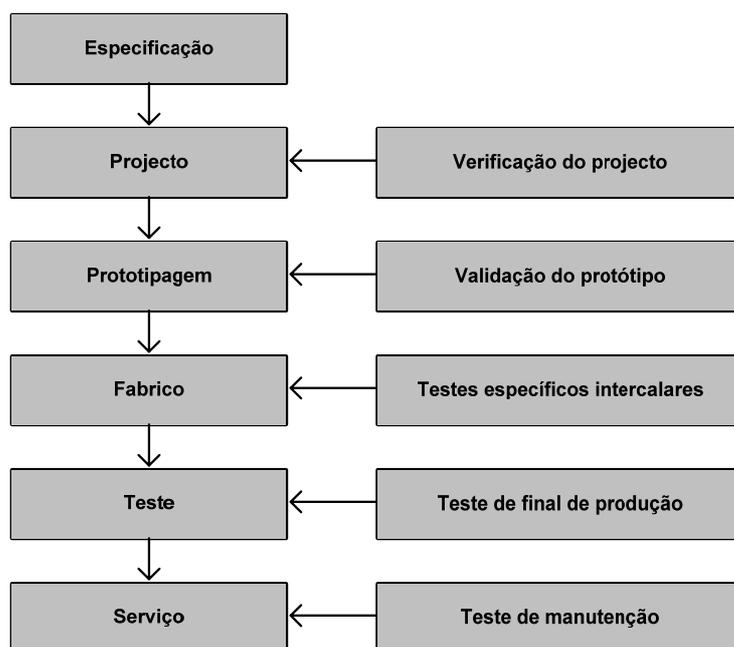


Figura 2-3: Etapas do ciclo de vida de um circuito.

Na *especificação* do circuito são definidas as suas características funcionais, estruturais, tecnológicas, etc. Durante o *projecto* tem lugar o trabalho de implementação, através de um conjunto de ferramentas computacionais específicas. Nesta etapa, onde são introduzidos os mecanismos necessários para facilitar o teste e a depuração do circuito, visa-se também a verificação do projecto, onde se usa um modelo de simulação para avaliar a compatibilidade com a especificação. A *prototipagem* corresponde à primeira realização física do circuito e tem por objectivo a validação do protótipo, onde se avalia a sua compatibilidade com a especificação. Durante o *fabrico* têm lugar vários testes intercalares para detectar defeitos relacionados com esta etapa, e.g. identificação do componente. O *teste* tem lugar no final do ciclo de produção e determina se o circuito está de acordo com a documentação técnica que o acompanhará até ao cliente (características funcionais, temporais, paramétricas, etc.). Esta actividade procura que o número de componentes avariados que são entregues ao cliente apresente uma taxa aceitavelmente baixa e que habitualmente é da ordem de algumas unidades por milhão. Durante o *serviço* procura-se verificar se o circuito ainda cumpre os requisitos, usando para esse efeito testes de manutenção. As operações realizadas em cada etapa envolvem frequentemente ciclos internos com o objectivo de aperfeiçoar e otimizar o processo.

2.1.3 TESTE E DEPURAÇÃO DE CIRCUITOS

O teste de circuitos tem lugar no final do ciclo de produção e apresenta um resultado binário, i.e. o produto passa ou é rejeitado. Os conceitos de *defeito*, *falta* e *erro* são subjacentes ao teste e relacionam-se como se apresenta na Figura 2-4.



Figura 2-4: Relação entre defeito, falta e erro.

O *defeito* é um fenómeno físico susceptível de impedir o correcto funcionamento de um circuito. A *falta* representa uma condição abstracta que pode levar o modelo dum circuito a apresentar uma resposta incorrecta. Finalmente, o *erro* representa um desvio face ao comportamento esperado do circuito. Para realizar o teste de um circuito é necessário aplicar estímulos na suas entradas, capturar as respostas nas suas saídas e compará-las com o resultado esperado.

A *controlabilidade* quantifica a maior ou menor facilidade com que é possível aplicar um sinal num nó de um circuito, assumindo que o acesso se limita às entradas primárias¹. De forma idêntica, a *observabilidade* quantifica a maior ou menor facilidade com que é possível observar o sinal presente num nó do circuito, assumindo que o acesso se limita às entradas e saídas primárias². A *testabilidade* é uma medida combinada da observabilidade e da controlabilidade, e quantifica a maior ou menor facilidade com que é possível realizar a geração de estímulos de teste.

A depuração está essencialmente associada à etapa de prototipagem e inclui três tipos de operações associadas à presença de erros / defeitos:

¹ Entradas primárias - entradas exteriores de um circuito (circuito integrado, carta de circuito impresso, sistema).

² Saídas primárias - saídas exteriores de um circuito (circuito integrado, carta de circuito impresso, sistema).

- A *detecção* pretende revelar a sua presença e produz um resultado binário (sim/não).
- O *diagnóstico* pretende efectuar a sua caracterização (identificar, localizar, etc.).
- A *correção* pretende removê-los.

A depuração é realizada sobre um protótipo do circuito e apoia-se em equipamentos e mecanismos específicos para este efeito. Os primeiros são instrumentos exteriores ao circuito, tais como osciloscópios ou analisadores lógicos. Os segundos são meios embutidos no próprio circuito para facilitar a depuração, tais como pontos auxiliares de acesso a nós internos ou, mais frequentemente, a reutilização de mecanismos introduzidos para facilitar o teste. Com efeito, os crescentes níveis de integração e a consequente diminuição dos níveis de testabilidade dos circuitos, levaram ao aparecimento de mecanismos embutidos de apoio ao teste sob a forma de blocos de auto-teste (BIST) e de infra-estruturas que aumentam os níveis de controlabilidade e observabilidade no circuito. As operações de teste e as de depuração têm objectivos diferentes, mas baseiam-se em metodologias semelhantes. No entanto, em ambos os casos, estas metodologias têm por base operações de controlo, observação e verificação (COV), motivo pelo qual os mecanismos de apoio ao teste de produção são frequentemente explorados para apoiar a depuração de protótipos. É o caso da norma IEEE1149.1 que foi inicialmente desenvolvida para facilitar o teste de CCI's digitais e que é também utilizada para apoiar operações de depuração. Torna-se assim importante analisar os mecanismos propostos para facilitar o teste dos circuitos analógicos e mistos, i.e. BIST e infra-estruturas de teste, temas que serão tratados nas secções seguintes.

2.1.4 DESCRIÇÃO E SIMULAÇÃO DE CIRCUITOS

A simulação de um circuito tem lugar durante a verificação do projecto, é realizada em ambiente computacional que proporciona elevados níveis de controlabilidade e observabilidade, e desenrola-se de acordo com o diagrama apresentado na Figura 2-5. A *simulação* é sempre efectuada com base num *modelo* que é usado para descrever as características do circuito e que permite determinar o seu *comportamento* para qualquer conjunto de estímulos aplicados nas entradas.

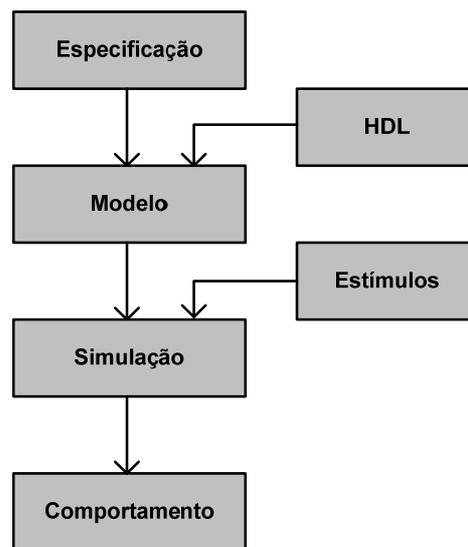


Figura 2-5: Fases relacionadas com a simulação de um circuito.

O *modelo funcional* consiste numa representação que especifica unicamente a função do circuito, ignorando qualquer tipo de atraso. O *modelo comportamental* consiste na junção, ao modelo funcional, da informação relacionada com os tempos de propagação através do circuito. O *modelo estrutural* apresenta um circuito como uma interligação de componentes eventualmente descritos num nível hierárquico inferior, sendo o nível mais baixo composto por *componentes primitivos*, dos quais se conhecem os modelos funcionais ou comportamentais. O *modelo de interface* contém apenas a informação acerca dos detalhes da interface ou E/S de um circuito, sem discriminar o tipo de implementação ou conteúdo interno [Abramovici et al. 90].

A *simulação funcional* tem por finalidade determinar a resposta esperada de um circuito na ausência de faltas, enquanto que a *simulação de faltas* procura determinar essa resposta na sua presença. O primeiro simulador de circuitos, o *Simulation Program with Integrated Circuit Emphasis* (SPICE), foi desenvolvido na década de 70 para apoiar o fabrico de semicondutores, prevendo o seu funcionamento antes da execução das máscaras litográficas para o fabrico do CI. O funcionamento do SPICE baseia-se na análise nodal e realiza a simulação analógica ao nível do transístor, tornando-se por isso muito lento para circuitos complexos. A aceitação desta ferramenta por parte da comunidade científica e industrial foi muito rápida, existindo hoje várias versões comerciais e um grande conjunto de modelos de

circuito. Para o domínio digital foram desenvolvidos simuladores para portas lógicas em que se considera que os transístores apresentam apenas os estados saturação/corte, o que permitiu diminuir drasticamente o tempo de simulação.

O aumento da complexidade dos circuitos digitais levou à necessidade de elevar o nível de abstracção das respectivas linguagens de descrição (*Hardware Description Language* - HDL). As HDLs têm origem na década de 80, quando o departamento de defesa norte-americano pretendia uma descrição dos *Application-Specific Integrated Circuit* (ASICs) num formato alternativo aos extensos manuais, cuja interpretação nem sempre era unívoca. Esta linguagem procurava facilitar a gestão de projectos digitais que envolviam frequentemente dezenas de fornecedores, em que cada um desenvolvia apenas uma parte do circuito, que viria depois a ser integrado no sistema completo. Surge assim o VHDL (*Very high speed integrated circuit Hardware Description Language*) e posteriormente o VERILOG (*VERifying LOGical Hardware Description Language*), que têm vindo a ser utilizadas também para a síntese e simulação de circuitos. Posteriormente foram desenvolvidas extensões para estas HDLs de modo a permitir a descrição de circuitos analógicos e mistos. Outra forma de descrever os circuitos corresponde à utilização de linguagens de programação, como por exemplo o C ou o C++, que apresentam a vantagem de elevar ainda mais o nível de abstracção. Descrevem-se agora sumariamente algumas linguagens usadas para a descrição e simulação de circuitos.

VHDL

O VHDL é uma linguagem que foi inicialmente desenvolvida para descrever o comportamento de componentes digitais incluídos em equipamentos [Vachoux et al, 97]. Esta linguagem permite acompanhar as várias etapas do desenvolvimento do circuito, i.e. descrição, simulação e síntese, tendo dado origem à norma IEEE1076 - 1987 [IEEE 87], à qual se sucederam diversas revisões, extensões e complementos:

- IEEE1076.1 - *VHDL Analog and Mixed-Signal Extensions*.
- IEEE1076.1.1 - *VHDL Analog and Mixed-Signal Extensions-Packages for Multiple Energy Domains*.
- IEEE1076.2 - *VHDL Mathematical Packages*.

- IEEE1076.3 - *VHDL Synthesis Package*.
- IEEE1076.4 - *Timing (VHDL Initiative Towards ASIC Libraries: VITAL)*.
- IEEE1076.6 - *VHDL Synthesis Interoperability*.
- IEEE1164 - *VHDL Multivalued Logic (std_logic_1164) Packages*.

Esta linguagem é usada, entre outras empresas, pela *Xilinx*, *Actel*, *Altera*, *Mentor Graphics* e *Lattice*. A publicação da extensão para os circuitos analógicos permite a utilização de uma linguagem comum durante as várias etapas do desenvolvimento de um circuito [Christen et al. 99].

VERILOG

O VERILOG é uma linguagem que é usada durante o projecto, verificação e implementação de circuitos analógicos, digitais e mistos, a vários níveis de abstracção. A sua sintaxe derivou do C, uma linguagem de programação muito utilizada, factor que terá contribuído para promover a sua aceitação. A normalização do VERILOG teve lugar através da publicação da norma IEEE1364 - 1995, datando a edição mais actual de 2005. Os circuitos analógicos e mistos podem ser descritos através do Verilog-AMS. Esta linguagem é usada, entre outras empresas, pela *Xilinx*, *Mentor Graphics*, *Cadence Design Systems* e *Synopsys*.

SystemC

O SystemC baseou-se no C++ e foi desenvolvida como uma linguagem de descrição de sistemas. Esta linguagem foi originalmente concebida pela *Synopsys, Inc.* como linguagem proprietária de simulação e síntese de circuitos, mas um conjunto de utilizadores sugeriu a sua utilização mais generalizada, tendo sido então criado em 2000 um grupo de trabalho designado *Open SystemC Initiative*, com o objectivo de estabelecer uma linguagem normalizada, o que veio a acontecer em 2005 com a aprovação pelo IEEE da norma IEEE 1666-2005 [IEEE 05]. Actualmente encontra-se em fase de estudo o SystemC-AMS, que corresponde à extensão desta linguagem para o domínio analógico.

SPICE

A aceitação do SPICE foi muito rápida, sendo hoje comumente usado na simulação de circuitos electrónicos. O primeiro simulador SPICE foi desenvolvido em Fortran em 1975 na Universidade da Califórnia, *campus* de *Berkeley*, tendo o SPICE2 aparecido em 1983. A sua versão G6 serviu de base a grande parte dos pacotes comercializados. O SPICE3 surgiu em 1989, tendo sido desenvolvido em C. Os produtos comerciais mais importantes são o HSPICE e o PSPICE, propriedade da *Synopsys* e da *Cadence Design Systems*, respectivamente. Foram desenvolvidos também produtos académicos, como é o caso do XSPICE proveniente da *Georgia Tech*. A indústria de fabrico de CIs depressa adoptou o SPICE, desenvolvendo soluções proprietárias tal como o ADICE (*Analog Devices*), LTspice (*Linear Technology*), Mica (*Freescale Semiconductor*), TISPACE (*Texas Instruments*) e PowerSpice (IBM). Alguns fornecedores de simuladores SPICE incluíram nas suas bibliotecas modelos que não eram correctamente interpretados noutros simuladores. Para evitar estas situações foi criado o grupo de trabalho *Compact Model Council*, cuja missão consistiu em escolher, manter e promover a normalização de modelos SPICE. Actualmente existem cerca de duas dezenas e meia de versões comerciais de simuladores SPICE, para além das usadas livremente. Um dos argumentos fortes para a continuidade de utilização desta ferramenta resulta do elevado número de modelos de componentes disponíveis no domínio público. A clara aposta comercial neste tipo de descrição por parte de grandes empresas torna difícil a sua substituição nos próximos anos.

2.2. TESTE DE CIRCUITOS

O teste determina se um circuito apresenta desvios face às suas características esperadas e tem por objectivo separar os componentes operacionais dos defeituosos. Conforme se representa na Figura 2-6, um teste ideal identificaria todos componentes operacionais e os defeituosos, mas num teste real alguns componentes defeituosos acabam por passar sem serem detectados, embora com uma taxa aceitavelmente baixa e que é habitualmente da ordem de algumas unidades por milhão. Cada teste aplica um conjunto de estímulos que maximiza o número de faltas / defeitos a detectar.

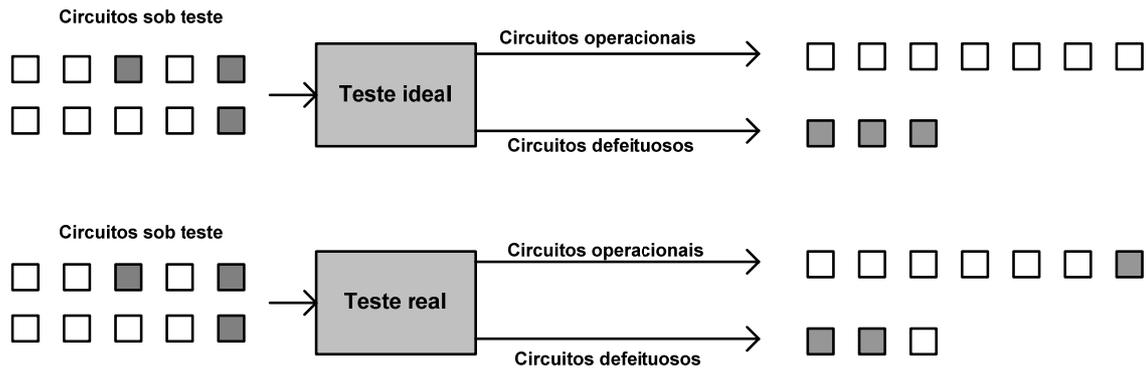


Figura 2-6: Diagrama para o teste ideal / real de componentes.

Os testes podem ser realizados a diversos níveis hierárquicos, i.e. componente, macrobloco, CI, CCI, sistema, etc. É vulgar designar-se por *vector de teste* uma combinação de estímulos lógicos a aplicar às entradas de um circuito digital, mas alguns autores estendem também essa designação aos estímulos analógicos. As secções seguintes apresentam os vários tipos de testes e os modelos de faltas mais frequentemente utilizados.

2.2.1 TIPOS DE TESTE

De um modo geral um teste pode pertencer a uma das seguintes categorias:

- Estrutural.
- Funcional.
- Paramétrico.

O teste estrutural é uma operação que visa a detecção de defeitos na *estrutura* de um circuito. O teste funcional preocupa-se em verificar se a *função* do circuito é correctamente realizada, independentemente da sua estrutura. Normalmente, o teste estrutural realiza-se com acesso aos nós internos, enquanto o teste funcional vê o seu acesso limitado aos nós de E/S. O teste paramétrico acede também apenas às E/S do circuito e pretende confirmar os parâmetros eléctricos e temporais apresentados na folha de características dos componentes.

Quando efectuado com o objectivo de detectar defeitos nas interligações de uma CCI, o teste estrutural recorre a equipamentos que realizam o ICT, usando para o efeito uma matriz

de agulhas (*bed-of-nails*). Este teste é realizado habitualmente com a fonte de alimentação do circuito desligada e utiliza sinais de baixa tensão para verificar as ligações. A realização do teste estrutural baseado no acesso físico enfrenta cada vez mais limitações, devido à utilização de componentes de montagem em superfície e de encapsulamentos que não permitem o acesso aos pinos. Este obstáculo tem maior importância nos circuitos digitais, que tipicamente envolvem um número de ligações muito mais elevado do que nos circuitos analógicos. Para fazer face a esta limitação surgiu a norma IEEE1149.1, que especifica um mecanismo embutido para facilitar o teste estrutural em CCI's digitais. Esta infra-estrutura também permite o teste interno do CI, embora com limitações em velocidade.

Os testes estruturais são frequentemente usados no domínio digital, seja de forma determinística (estímulos gerados a partir de um modelo de faltas) ou não-determinística (estímulos gerados por uma lei matemática, e.g. um polinómio que realiza a geração pseudo-aleatória de vectores). Neste domínio empregam-se também testes funcionais para a detecção de defeitos que escapam, ou encontram uma representação deficiente, através de modelos estruturais. Já no domínio analógico, são preponderantes os testes funcionais, dada a inexistência de modelos estruturais universalmente aceites. Os testes paramétricos, por sua vez, são usados tanto nos circuitos analógicos como nos digitais.

2.2.2 MODELOS DE FALTAS

Um modelo de faltas sistematiza uma representação abstracta de condições que impedem o correcto funcionamento dum circuito e pretende libertar-nos da necessidade de lidar directamente com os defeitos físicos, cuja consideração seria muito mais complicada. Por exemplo, num circuito com N nós, o número de curto-circuitos é de $2^N - (N+1)$, ou seja, a complexidade cresce exponencialmente com a dimensão do caso em análise. Um bom modelo de faltas apresenta assim dois atributos principais: a *simplicidade* e a *abrangência*. O primeiro para facilitar a geração dos estímulos de teste e o segundo para garantir que a percentagem de componentes defeituosos que passam sem serem detectados é aceitavelmente pequena. A *simulação de faltas* permite avaliar um conjunto de testes, cuja classificação (*grading*) se pode traduzir na *cobertura de faltas* (*fault coverage*), correspondente à relação entre as faltas detectadas por esse conjunto e o número total de faltas consideradas

pelo modelo. Repare-se que, conforme referido anteriormente, continuam a passar produtos defeituosos mesmo quando a cobertura de faltas é de 100%, uma vez que qualquer modelo constitui sempre uma representação incompleta dos defeitos possíveis.

Nos circuitos digitais são frequentemente consideradas faltas *single stuck-at* (*ss@*), *bridging* e *open*, para a geração de testes estruturais. O modelo *ss@* considera a presença de uma única falta de cada vez (*single*), que impõe no nó onde se encontra um nível lógico fixo (*stuck-at-0* ou *stuck-at-1*, *s@0* / *s@1*). Repare-se que o número de possibilidades a analisar cresce agora linearmente com o número de nós do circuito (2^N). Este modelo de faltas foi um dos primeiros e é ainda um dos mais utilizados, devido às suas boas características no que respeita aos atributos anteriormente definidos (simplicidade e abrangência, sendo esta confirmada pela prática).

Para o domínio analógico não existem modelos de faltas amplamente aceites e esta situação deve-se à diversidade funcional dos circuitos e à dificuldade em encontrar representações abstractas que modelem adequadamente os defeitos mais frequentes (i.e. que facilitem a geração de vectores eficazes na sua detecção). A escassez de modelos de faltas neste domínio leva a que nos circuitos analógicos e mistos sejam usados sobretudo testes funcionais. Nestes circuitos as faltas habitualmente dividem-se em catastróficas (*hard fault*) e paramétricas (*soft fault*) [Bushnell et al. 02]. As primeiras são habitualmente devidas a defeitos estruturais tais como circuitos abertos, curto-circuitos, ou grandes variações nalguns parâmetros, enquanto que as segundas são provocadas por pequenas variações, mas suficientes para colocarem o parâmetro em causa fora da sua janela de tolerância.

Para o teste estrutural foram propostos modelos de faltas em que se simula duas situações: (i) a de curto-circuito através de uma resistência R_{cc} de valor reduzido ($0,01\Omega$, 1Ω , 10Ω) e (ii) a de circuito aberto, com uma resistência R_{ca} de valor muito elevado ($1M\Omega$, $10M\Omega$, $10G\Omega$) eventualmente em paralelo com um condensador ($0,16\mu F$, $0,1\mu F$, $1fF$) [Saab et al. 01], [Papakostas et al. 94], [Milor et al. 89], [Olbrich et al. 96]. A Figura 2-7 apresenta um modelo de faltas deste tipo para um transistor MOS. A simulação de faltas nos circuitos analógicos divide-se em dois grandes grupos quanto à comparação dos resultados dos testes com os valores nominais esperados: pré-simulação (*simulation-before-test*) e pós-simulação (*simulation-after-test*) [Silva 98]. Nas abordagens *simulation-before-test* parte-se do conhecimento dos modelos dos circuitos e dos seus parâmetros nominais e obtêm-se por simulação os valores

das grandezas a observar na situação normal (considerando a respectiva tolerância) e na presença de cada uma das faltas previstas.

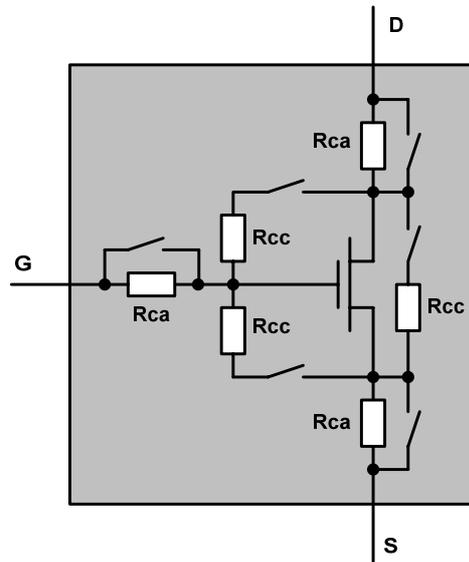


Figura 2-7: Exemplo de modelo de falhas estruturais para um transistor MOS.

É assim construído um dicionário de faltas, em que cada uma é associada a um dado conjunto daqueles valores. A comparação com os resultados esperados na ausência da falta permite assim o seu diagnóstico. Nas abordagens *simulation-after-test* os valores medidos são usados para estimar os parâmetros do circuito. Partindo dos valores medidos, recorre-se à função de transferência do circuito para obter os valores característicos dos componentes. Da comparação entre os valores calculados e os valores nominais, podem identificar-se os componentes com defeito.

Dentro da metodologia *simulation-before-test* encontram-se diferentes técnicas, que podem classificar-se como (i) de *faltas simples*, (ii) *estatísticas* e (iii) *análise de sensibilidades*. A primeira consiste na simulação individual de uma lista de faltas consideradas para cada componente ou parâmetro do modelo. Os resultados são reunidos num dicionário de faltas, permitindo o diagnóstico a partir da análise do comportamento do circuito. A segunda associa a cada falta uma função que caracteriza a probabilidade de ocorrência e a gama de valores que podem tomar os parâmetros do respectivo modelo. As probabilidades podem ser obtidas por análise do modelo do circuito ou por recolha de dados do controlo estatístico do processo de fabrico. Em qualquer dos casos é necessário o tratamento de um grande volume de informação, resultante do número elevado de simulações a efectuar ou das observações sobre

o processo de fabrico. A terceira técnica (*sensitivity-based*) relaciona a observabilidade de uma grandeza com as variações de valores ou parâmetros do circuito [Hamida et al. 93a], [Hamida et al. 93b], [Nagi et al. 93]. Em geral, esta técnica apenas pode ser utilizada para pequenas variações em torno dos valores nominais dos parâmetros. As suas maiores limitações são o processamento matemático (de um elevado número de derivadas) e a dificuldade de aplicação em circuitos não lineares.

2.2.3 PROJECTO ANALÓGICO VERSUS DIGITAL

A concepção de circuitos digitais difere da dos analógicos e mistos em muitos aspectos. Nos circuitos digitais o nível mais baixo de abstracção é frequentemente o da porta lógica, enquanto nos analógicos e mistos é habitual descer-se ao nível do dimensionamento elementar, i.e. transistor, resistências e condensadores [ITRS 07]. Para os circuitos digitais estão disponíveis HDLs, ferramentas de síntese automática e bibliotecas de macrocélulas funcionais. Os circuitos programáveis e configuráveis há muito que fazem parte do leque de opções do projectista. Para os circuitos analógicos grande parte daqueles recursos não estão disponíveis, fazendo com que cada projecto se inicie frequentemente por um nível relativamente baixo. As extensões analógicas às HDLs só recentemente ficaram disponíveis, bem assim como os circuitos analógicos configuráveis [Anadigm 07], [Lattice 07] [Cypress 07]. Este enquadramento leva à necessidade de se desenvolverem estratégias que facilitem as tarefas dos projectistas, sendo este o tema da próxima secção.

2.3. ESTRATÉGIAS DE DFT/DFD

As estratégias de DFT que têm sido propostas para os circuitos mistos e que podem ser reutilizadas para DFD (DFT/DFD) assentam principalmente (i) no aumento da controlabilidade e observabilidade dos nós e (ii) no desenvolvimento de mecanismos embutidos para realizar o auto-teste. Cada um destes grupos é analisado nas subsecções seguintes.

2.3.1 AUMENTO DA CONTROLABILIDADE E OBSERVABILIDADE

O aumento da controlabilidade/observabilidade de um circuito pode ser feita de dois modos, conforme se apresenta na Figura 2-8: (i) através da inclusão de linhas (*Buses*) e interruptores analógicos exteriores ao sub-circuito ou (ii) através da reconfiguração do sub-circuito.

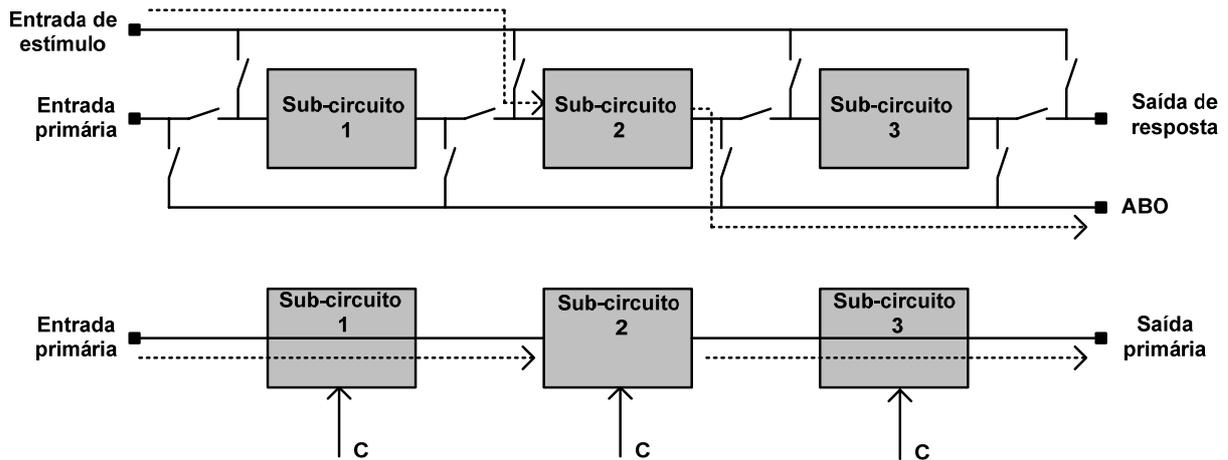


Figura 2-8: Técnicas para aumento da controlabilidade e da observabilidade.

No primeiro caso cada sub-circuito mantém a sua função sendo o controlo e observação feitos através das linhas e interruptores analógicos exteriores, em que o estímulo e a resposta são ligados às E/S primárias através de infra-estruturas dedicadas. No segundo caso as infra-estruturas adicionais estão embutidas em cada sub-circuito, permitindo que este passe a funcionar temporariamente como seguidor analógico, veiculando assim o estímulo proveniente da entrada primária e a resposta para a saída primária. Para cada uma destas estratégias de teste foram propostas várias topologias.

Para o primeiro caso propõe-se em [Wagner et al. 88] uma solução baseada na utilização de multiplexadores em circuitos analógicos, conforme se apresenta na Figura 2-9. Quando o circuito se encontra a funcionar no seu modo normal, cada um dos multiplexadores analógicos M1 selecciona para a entrada do sub-circuito seguinte a saída do anterior. Em modo de teste pode-se verificar o funcionamento de cada sub-circuito, aplicando na sua

entrada um estímulo conhecido através da entrada analógica de teste, sendo a resposta enviada para o exterior através da saída analógica de teste, para posterior verificação.

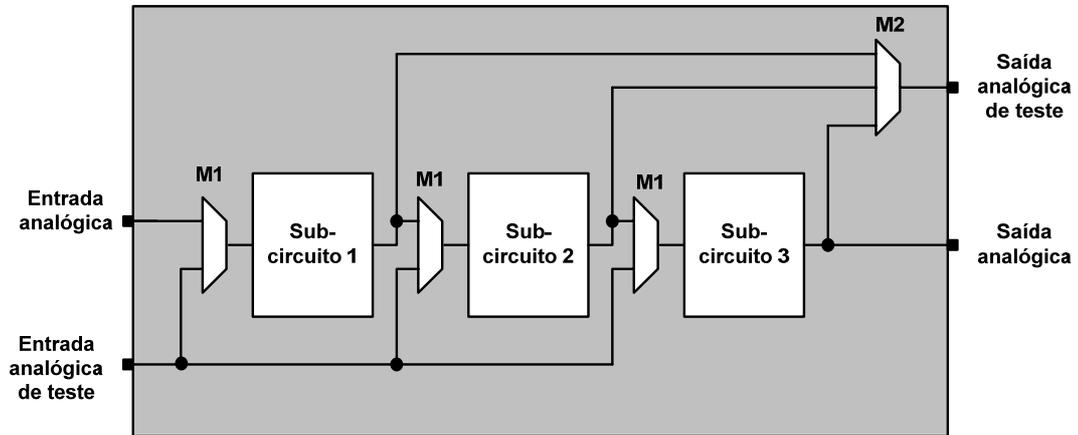


Figura 2-9: Proposta de DFT para circuitos analógicos [Wagner et al. 88].

Em [Fasang et al. 88] propõe-se uma solução de DFT genérica para circuitos mistos, conforme se pode observar na Figura 2-10.

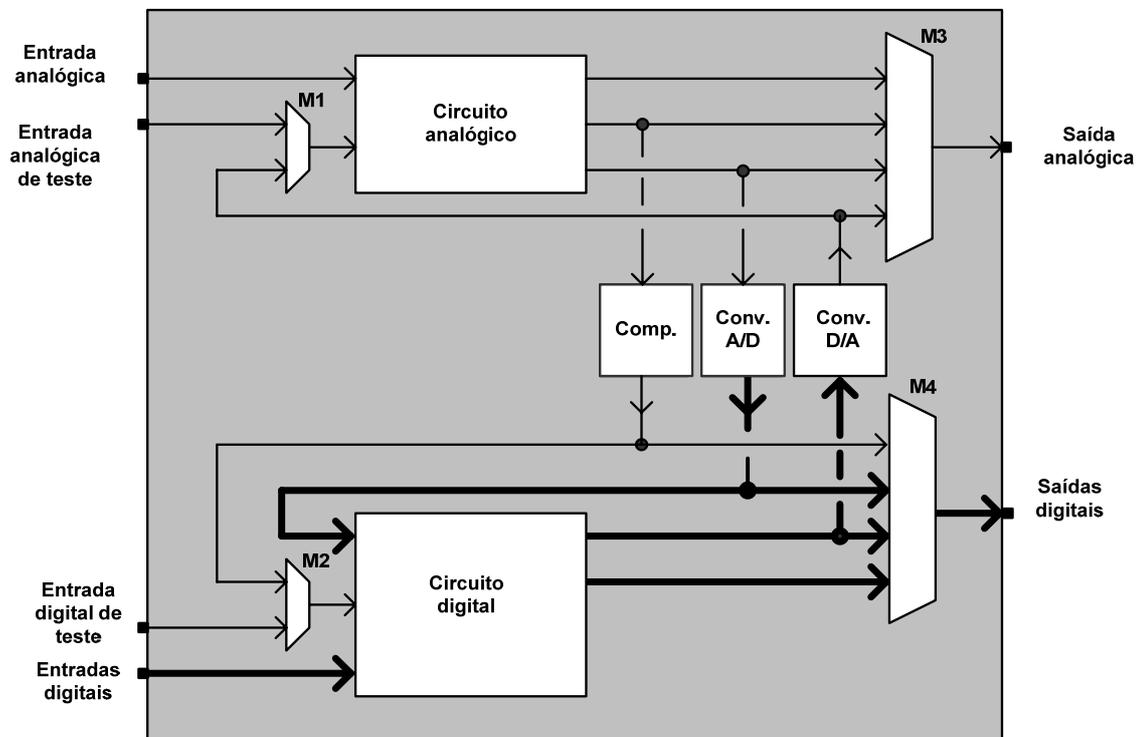


Figura 2-10: Proposta de DFT para circuitos mistos [Fasang et al. 88].

Uma das dificuldades no teste de circuitos mistos está ligada à existência de percursos fechados de sinal entre a parte digital e a analógica. A solução da Figura 2-10 permite desligar temporariamente esses percursos e facilitar o teste dos vários circuitos. Os blocos M1 e M3 são multiplexadores analógicos de 2:1 e 4:1 respectivamente, enquanto M2 e M4 são multiplexadores digitais de 2:1 e 4:1, podendo este último aceitar como entradas linhas individuais ou barramentos. Nesta solução os multiplexadores estão associados aos nós de entrada, de saída e na interface entre a parte analógica e digital, de modo a permitir a execução faseada do teste. Primeiro é testado o bloco analógico, sendo o sinal proveniente do conversor D/A substituído por um sinal externo. O teste do comparador é realizado de forma semelhante. Posteriormente tem lugar o teste da parte digital, em que o sinal proveniente do comparador é substituído por um sinal externo. Finalmente tem lugar o teste do conversor D/A.

Em [Wey et al. 92] propõe-se uma forma para realizar a observação das tensões em alguns nós de um circuito através um conjunto de interruptores analógicos e de uma cadeia formada por blocos de *sample-and-hold*, conforme se pode observar na Figura 2-11.

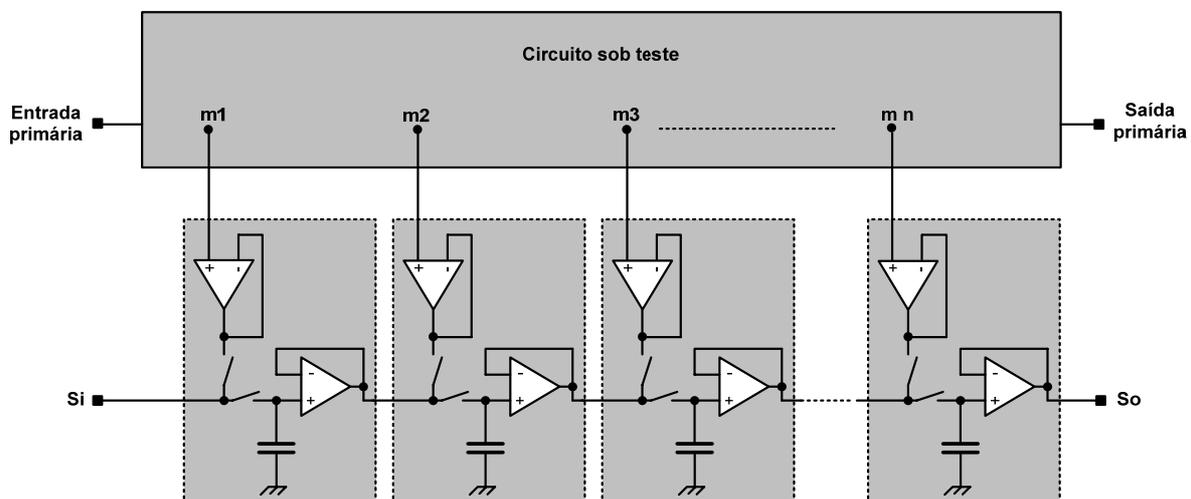


Figura 2-11: Observação e deslocamento de sinais analógicos por blocos de *sample-and-hold* [Wey et al. 92].

Os valores de tensão nos nós seleccionados são capturados, memorizados e posteriormente deslocados para o exterior. Em [Shieh et al. 98] e [Wurtz 93] propõem-se variantes desta topologia.

A utilização da infra-estrutura IEEE1149.1 como mecanismo de acesso para os circuitos digitais foi amplamente usada, pelo que alguns autores optaram pela sua extensão para o domínio analógico através de módulos analógicos periféricos, i.e. versões analógicas da célula de varrimento periférico. A Figura 2-12 apresenta um destes módulos, o *Analog Control and Observation Block* (ACOB), e a respectiva representação simplificada proposto por [Matos et al. 93] para pinos analógicos entradas ou de saída.

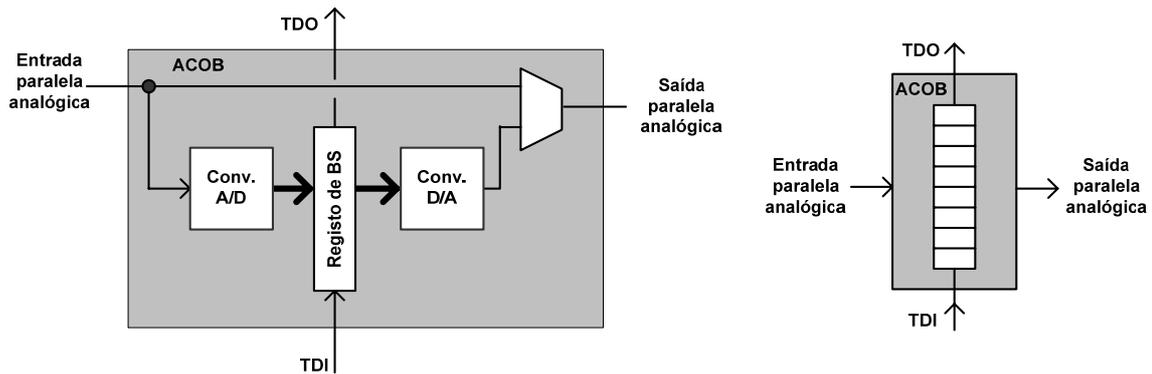


Figura 2-12: Proposta de DFT para circuitos mistos [Matos et al. 93].

A topologia do ACOB é semelhante à da célula de varrimento periférico, mas adaptada para utilização em pinos analógicos. Durante uma operação de observação, a tensão analógica presente na entrada paralela analógica é convertida, através de um conversor A/D, numa palavra digital que fica disponível na entrada paralela de um registo *Boundary Scan* (BS) auxiliar. Este valor é posteriormente capturado e deslocado para o exterior por varrimento. Durante uma operação de controlo, uma palavra digital é deslocada do exterior por varrimento para o andar de retenção do registo BS auxiliar, ficando assim disponível na sua saída paralela. O conversor D/A converte essa palavra num valor discreto multi-nível, que é aplicado à saída paralela analógica. Repare-se que o ACOB apresenta uma orientação fixa em relação ao fluxo do sinal, como acontece com as *Boundary Scan Cells* (BSC) para a parte digital. Esta solução apresenta a vantagem de não requerer pinos extra ao porto de acesso ao teste IEEE1149.1 (TAP).

A Figura 2-13 apresenta outra extensão da infra-estrutura IEEE1149.1 para acesso aos nós analógicos do circuito através da inclusão de módulos analógicos periféricos e de um barramento analógico constituído por duas linhas, *Analog Input Test Bus* (AITB) e *Analog Output Test Bus* (AOTB), ligadas respectivamente aos pinos *Analog Test Bus Input* (ATBI) e *Analog Test Bus Output* (ATBO).

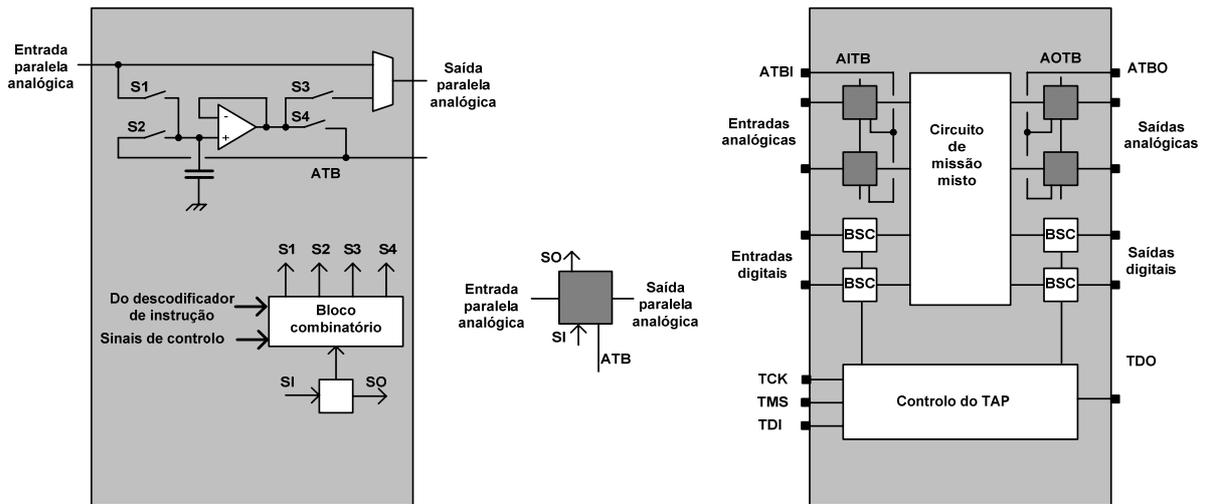


Figura 2-13: Módulo analógico periférico – constituição, representação e ligação no circuito [Lee et al. 95].

Esta solução foi apresentada em [Lee et al. 95] e apresenta a vantagem de controlar e observar simultaneamente vários nós analógicos através da multiplexagem temporal, mas apenas permite a verificação de ligações simples.

A Figura 2-14 apresenta o princípio de funcionamento associado à norma IEEE1149.4 [IEEE 99], uma extensão da infra-estrutura IEEE1149.1 para os circuitos mistos que permite realizar o teste estrutural, paramétrico e interno do circuito.

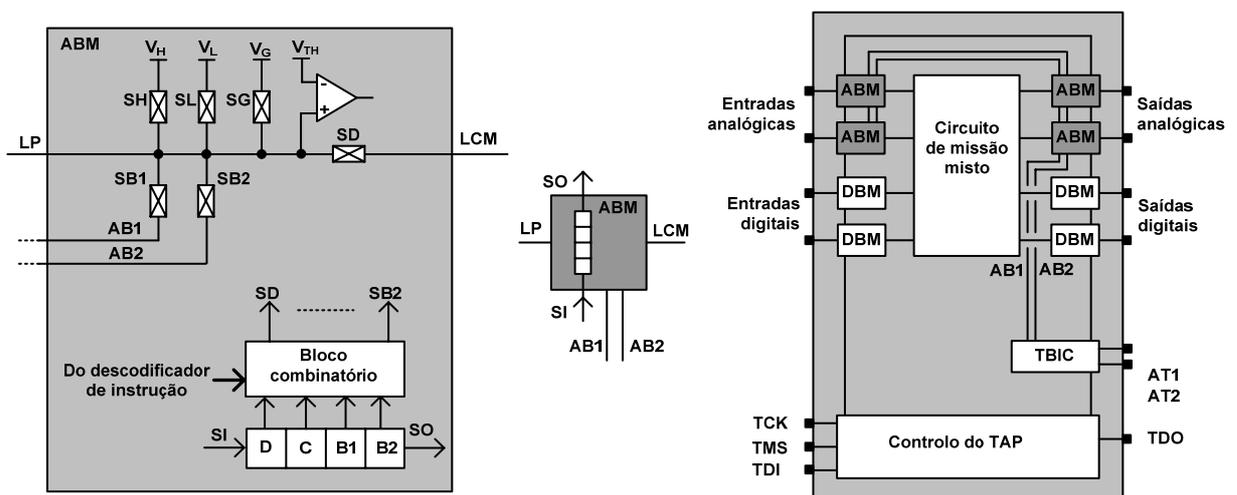


Figura 2-14: Mecanismo de acesso associado à infra-estrutura IEEE1149.4 [IEEE 99].

O *Analog Boundary Module* (ABM) apresenta duas ligações principais, a Ligação do Pino (LP) e a Ligação do Circuito de Missão (LCM), e inclui 6 interruptores analógicos (SD, SH, SL,

SG, SB1 e SB2), cujo estado aberto/fechado depende do padrão carregado no registo controlo de 4bits (D, C, B1 e B2) que pertence ao *Boundary Scan Register* (BSR). As células de varrimento periférico digitais designam-se agora por *Digital Boundary Modules* (DBM) e mantêm a topologia 1149.1. A norma define ainda um barramento interno de teste analógico, constituído pelas linhas *Analog Bus 1/2* (AB1, AB2), que o *Test Bus Interface Circuit* (TBIC) liga aos pinos *Analog Test 1/2* (AT1, AT2). O funcionamento desta infraestrutura será tratado com maior detalhe num capítulo seguinte.

Em [Soma 90] propõe-se a utilização de interruptores analógicos para alterar as ligações dos ramos de um circuito durante o teste, de forma a aumentar os níveis de contrababilidade e observabilidade nos nós analógicos. A utilização desta técnica é especialmente vantajosa nos circuitos do tipo SC, onde os interruptores estão já associados às capacidades comutadas, não sendo por isso necessário introduzir interruptores auxiliares, pelo que não há degradação do desempenho [Soma et al. 94]. Outras variantes de mecanismos para DFT/DFD foram também propostos em [Lee 93], [Jarwala 91], [Verfaille et al. 96], [Wilkins et al. 93].

A segunda estratégia de DFT/DFD apresentada na Figura 2-8 para aumentar a controlabilidade e observabilidade consiste em incluir nos sub-circuitos analógicos os mecanismos necessários para a propagação dos sinais. Na Figura 2-15 apresenta-se uma proposta de [Bratt et al. 93] para um amplificador operacional (SW-Opamp) que funciona como amplificador operacional regular ou como um seguidor de tensão.

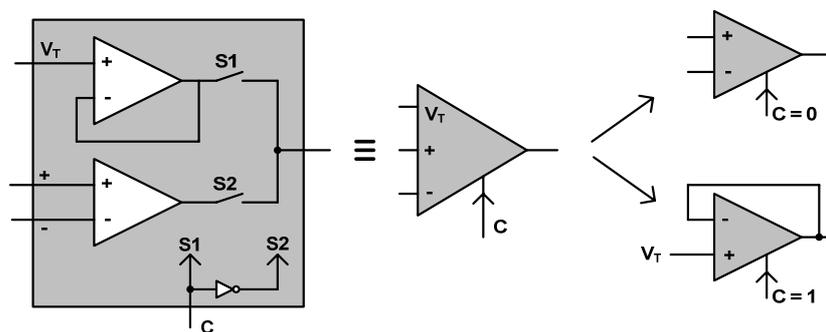


Figura 2-15: Funcionamento do SW-Opamp [Bratt et al. 93].

A Figura 2-16 apresenta um exemplo baseado no SW-Opamp e o controlo necessário para se realizar o teste/depuração ao sub-circuito 2.

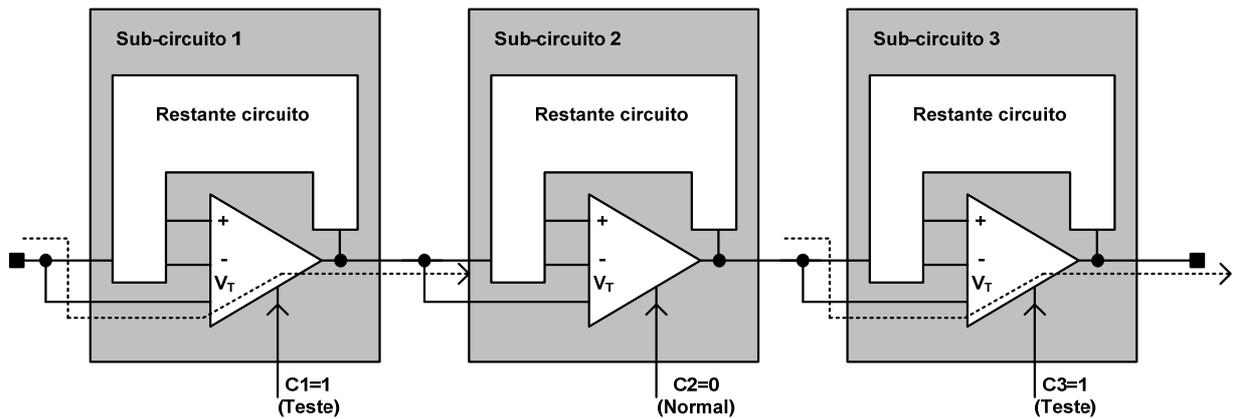


Figura 2-16: Utilização do SW-Opamp para realizar a depuração do sub-circuito 2.

O desenho dos SW-Opamps facilita o auto-teste [Arabi et al. 96], tendo sido também proposto como mecanismo para a depuração de filtros activos [Vázquez et al. 95]. Em [Lubaszewsky et al. 96] propõe-se um circuito baseado em SW-Opamps, o *Analog Built-In Block Observer (ABILBO)*, que permite gerar estímulos analógicos e uma assinatura digital. Em [Vázquez et al. 96a] é feita a análise do impacto da utilização do SW-Opamp no desempenho dos circuitos onde é inserido e em [Vázquez et al. 96b] apresenta-se uma versão diferencial.

2.3.2 AUTO-TESTE (BIST)

Nas soluções BIST a geração dos sinais de teste e a captura/verificação das repostas é feita dentro do próprio circuito, conforme se ilustra na Figura 2-17.

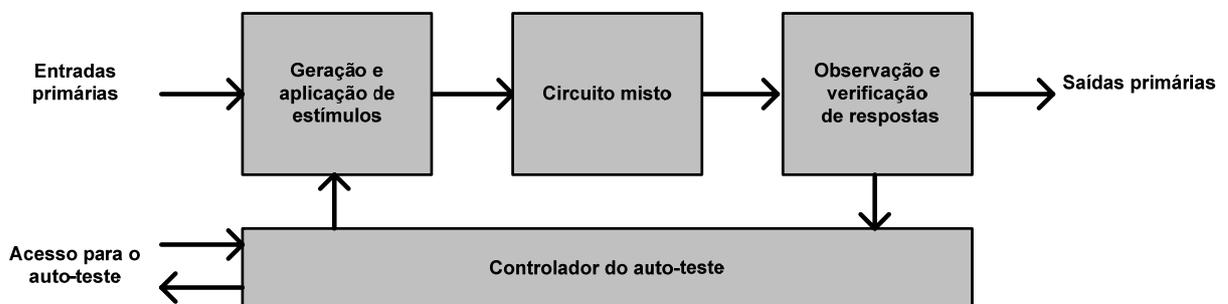


Figura 2-17: Arquitectura genérica do auto-teste.

As funções de auto-teste constituem actualmente uma condição para permitir o fabrico de circuitos complexos, devido à dificuldade de acesso aos nós internos e ao custo do teste, que seria proibitivo no caso de todas as operações terem de ser realizadas externamente [Arabi 02]. O conversor A/D é o circuito misto para o qual têm sido propostos mais métodos de auto-teste, sendo as técnicas mais utilizadas as seguintes:

- Histograma
- *Oscillation based BIST (OBIST)*
- *Fast Fourier Transform (FFT)*

A técnica do histograma [Doernberg et al. 84], [Peetz 83], é a mais usada no teste de conversores A/D e baseia-se na aplicação de um estímulo para o qual se conhece a frequência de ocorrência para cada intervalo de amplitude. As formas de onda mais usadas são a sinusóide e a triangular, sendo a utilização desta última apresentada no exemplo da Figura 2-18 para a realização do histograma linear de um conversor A/D.

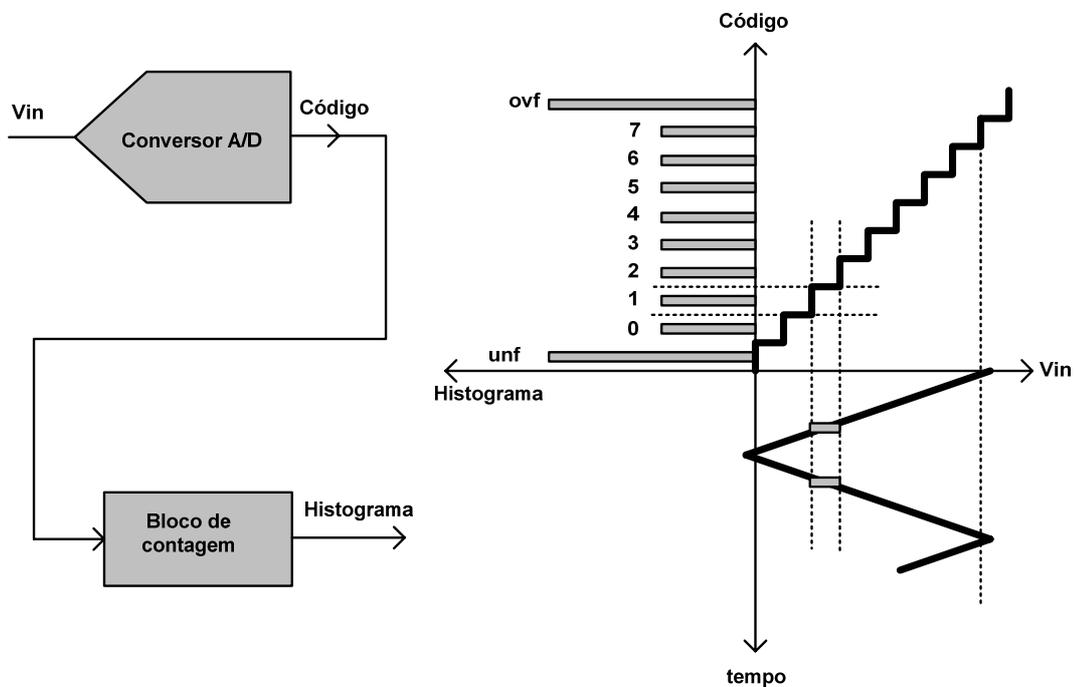


Figura 2-18: Geração do histograma linear de um conversor A/D.

A técnica OBIST, conforme se representa na Figura 2-19, consiste em colocar o circuito misto a funcionar temporariamente como parte de um oscilador. O sinal resultante produz uma assinatura cuja análise permite obter alguns parâmetros do circuito sob teste.

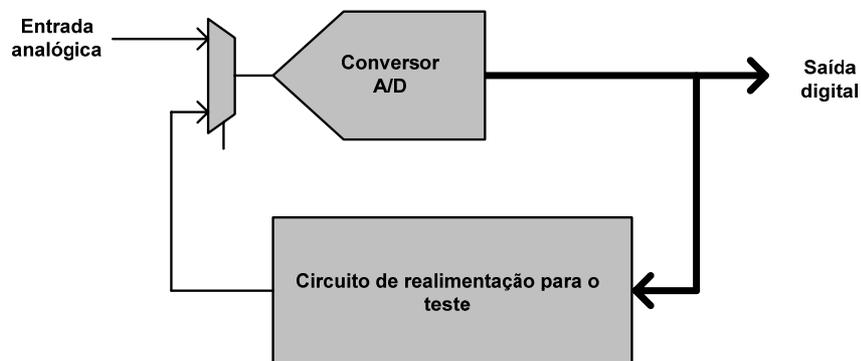


Figura 2-19: Aplicação da técnica OBIST num conversor.

A terceira técnica (FFT) calcula a transformada de *Fourier* de um sinal e é frequentemente empregue com circuitos que realizam o processamento digital de sinais *Digital Signal Processor* (DSP). O algoritmo multiplica ponto a ponto o sinal analisado por uma sinusóide de amplitude unitária, sendo depois realizada uma operação de média pelo número de ciclos usados da sinusóide. A aplicação desta técnica num método concreto será apresentada adiante (MADBIST).

A técnica do histograma foi proposta em [Frish et al. 97] através de um método denominado *Histogram-Based Analog BIST* (HABIST™), uma solução comercializada pela *Fluence Technology, Inc.* e cujo diagrama de blocos se apresenta na Figura 2-20.

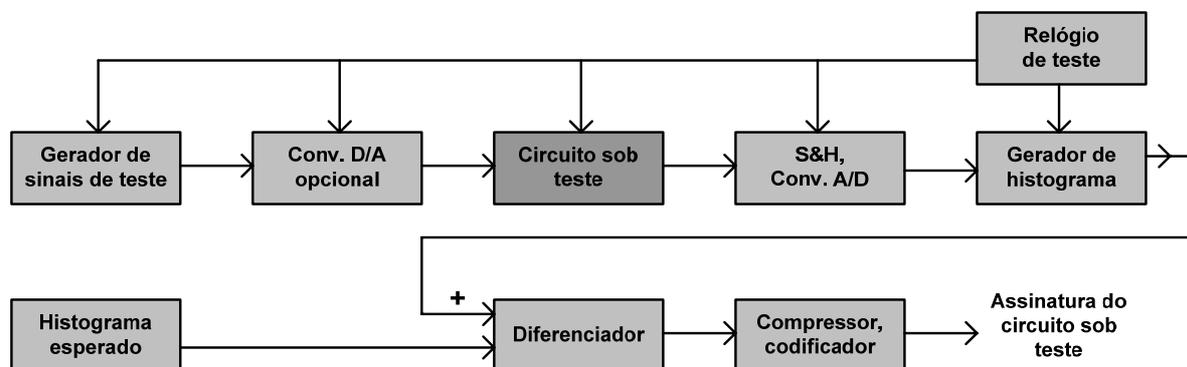


Figura 2-20: Diagrama de blocos do HABIST™ [Frish et al. 97].

O gerador de sinais de teste produz os estímulos que são aplicados ao circuito sob teste directamente ou através do bloco que integra o conversor D/A. As respostas analógicas são convertidas em digitais pelo bloco que contém o conversor A/D, gerando-se o histograma correspondente. Este é depois comparado com o histograma esperado e do resultado é extraída uma assinatura que é enviada para o exterior. Em [Azais et al. 01] [Renovell et al. 00] propõem-se alternativas para diminuir o *overhead* introduzido.

Em [Huang et al. 00] propõe-se uma solução que utiliza a capacidade de processamento digital para realizar um gerador de estímulos analógicos para teste (*Test Signal Generator - TSG*) e um analisador de respostas (*Output Response Analyzer - ORA*), conforme se apresenta na Figura 2-21.

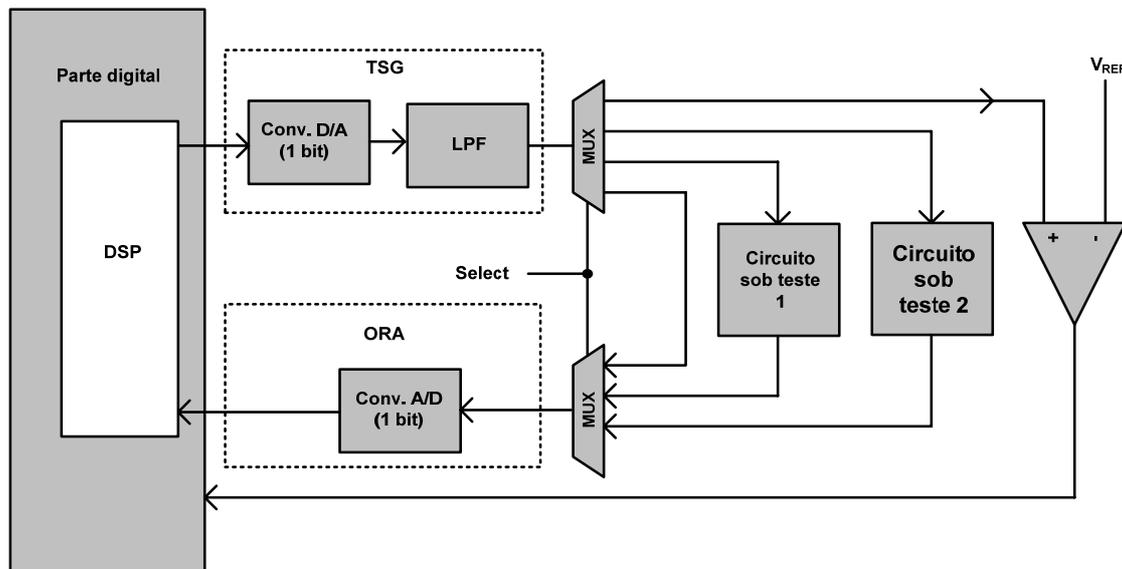


Figura 2-21: Diagrama de blocos de BIST incluindo TSG e ORA [Huang et al. 00].

O TSG é implementado a partir do conversor D/A e de um conjunto de dados armazenados em memória. Para a verificação do seu funcionamento é gerada uma forma de onda em rampa que é aplicada ao comparador e a resposta é capturada pelo circuito digital. Depois da verificação do funcionamento do TSG tem lugar a do ORA, fazendo com que os estímulos analógicos gerados sejam directamente aplicados ao conversor A/D de um bit, sendo a respectiva saída capturada pelo circuito digital. Depois destas verificações tem lugar o teste dos circuitos analógicos (1 e 2). Outras variantes da utilização da técnica do histograma foram propostas em [Ehsanian et al. 98], [Wen et al. 00]. A técnica OBIST foi proposta em

[Arabi et al. 97a], [Arabi et al. 97b] através de um método denominado BISTmaxx™ (comercializado pela OPMAXX), que se aplica a vários tipos de circuitos - filtros, amplificadores operacionais, *Phase-Locked Loop* (PLL), conversores A/D, conversores D/A e *Voltage-Controlled Oscillator* (VCOs). A Figura 2-22 apresenta uma aplicação para o teste de um conversor A/D.

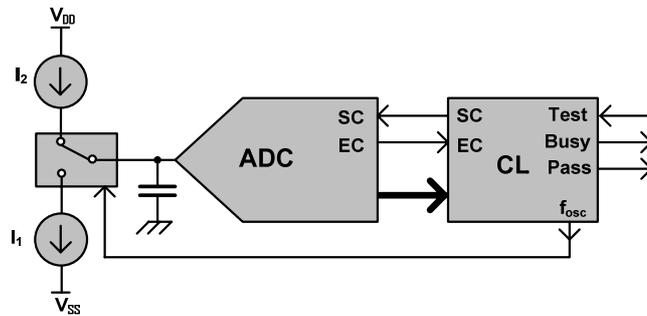


Figura 2-22: Teste de Conversor A/D através de OBIST [Arabi et al. 97a], [Arabi et al. 97b].

A lógica de controlo (CL) produz um sinal digital periódico f_{osc} que controla o comutador analógico, fazendo com que o condensador seja carregado/descarregado pelas fontes de corrente I_1/I_2 , gerando assim uma tensão triangular na entrada do conversor A/D. A gestão dos valores da conversão e dos sinais de controlo (SC e EC), permite determinar se um conjunto de parâmetros do conversor se encontra dentro dos valores esperados. A Figura 2-23 apresenta outra utilização do OBIST para o teste de um modulador sigma-delta de primeira ordem.

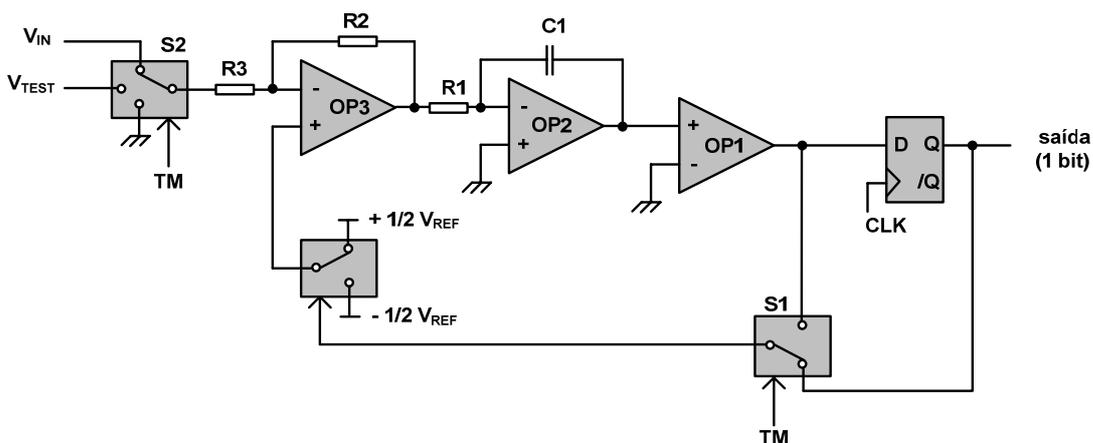


Figura 2-23: Técnica de teste OBIST em modulador sigma-delta de primeira ordem.

Em modo normal o comutador S2 selecciona V_{IN} e S1 a saída do modulador. Em modo de teste S1 selecciona a saída de OP1 e S2 a massa (GND). O circuito passa a funcionar como oscilador, sendo essa frequência verificada externamente. Numa fase seguinte, S2 passa a seleccionar V_{TEST} , sendo a nova frequência de oscilação analisada. Em [Huertas 99] propõe-se que o uso desta técnica seja acompanhado pela utilização de realimentação constituída por circuitos não lineares. Soluções alternativas baseadas em OBIST foram propostas em [Vazquez et al. 02], [Huertas et al. 02], [Leger et al. 04], [Leger et al. 06] e [Sanchez et al 06].

A terceira técnica, a que usa a FFT, foi proposta em [Toner 93], [Toner 96], através do método *Mixed Analog Digital BIST* (MADBIST), para utilização em circuitos relativamente complexos que, para além dos conversores A/D e D/A do tipo sigma-delta, incluem também um microprocessador e memória. A Figura 2-24 apresenta o diagrama de blocos do MADBIST.

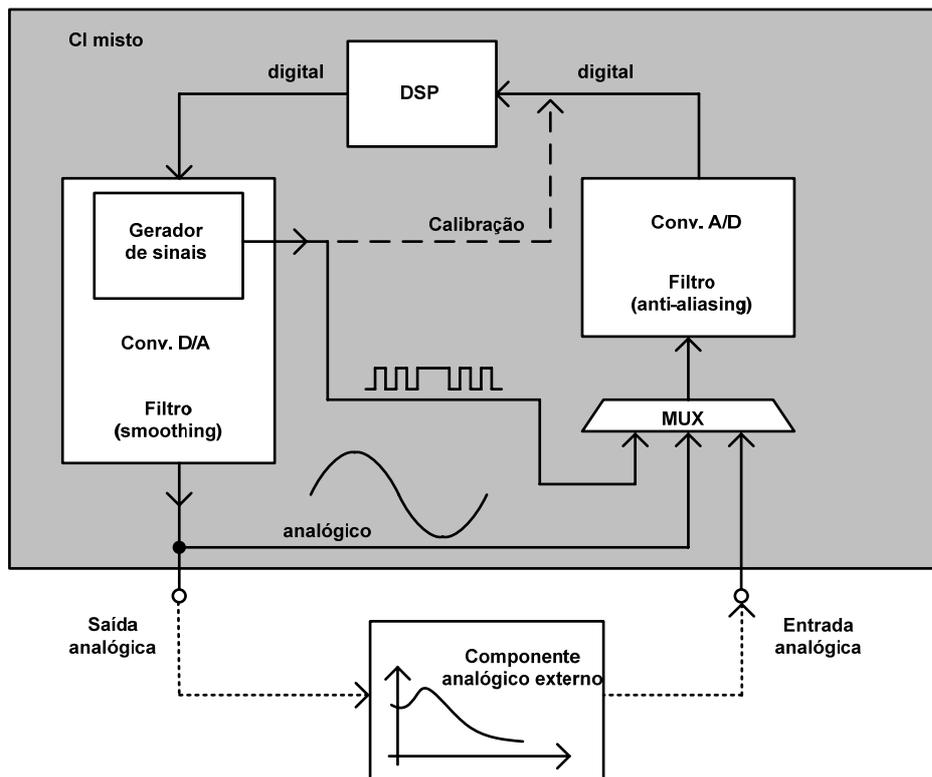


Figura 2-24: Diagrama de blocos do MADBIST [Toner 93], [Toner 96].

Numa primeira fase a saída do gerador de sinal é directamente ligada à entrada do DSP (calibração). Numa fase seguinte, o gerador de sinal é ligado ao DSP via MUX, filtro *anti-aliasing Filter* e conversor A/D, para se testar os dois últimos. Seguidamente o gerador de

sinal é ligado ao DSP via conversor D/A, filtro de *smoothing*, MUX, e conversor A/D, para se verificar o funcionamento do conversor D/A e deste filtro. Finalmente pode ter lugar o teste dos componentes analógicos, sendo a injeção dos estímulos e a captura das respostas feitas através dos pinos de entrada e saída analógica.

Para além das três técnicas referidas (histograma, OBIST e FFT), existem descritas na literatura outras soluções para o teste de circuitos mistos. Em [Sunter 97b] propõe-se uma topologia para o teste de conversores A/D e D/A denominada *adcBIST™* e comercializada pela *Logic Vision™*. A Figura 2-25 apresenta o digrama de blocos desta solução.

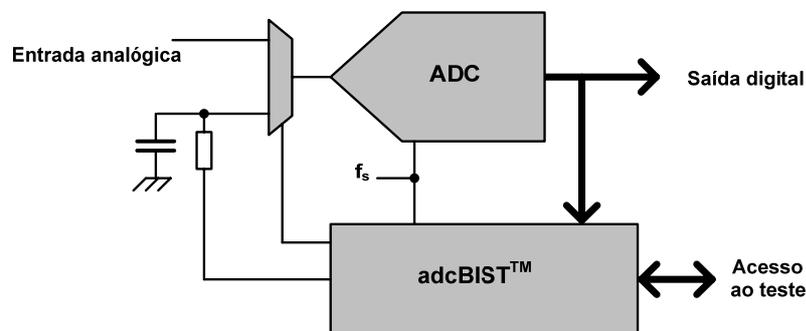


Figura 2-25: Diagrama de blocos do *adcBIST™* [Sunter 97b].

Em [Arabi et al. 99] propõe-se a utilização da técnica OBIST para o teste de filtros activos. Em [Ohletz 91] propõe-se uma solução denominada *Hybrid BIST (HBIST)*, que estende a técnica da análise de assinatura digital ao teste de circuitos analógicos, através da arquitectura representada na Figura 2-26. Nesta técnica os circuitos analógicos são vistos como digitais, através da interface proporcionada pelos conversores A/D e D/A.

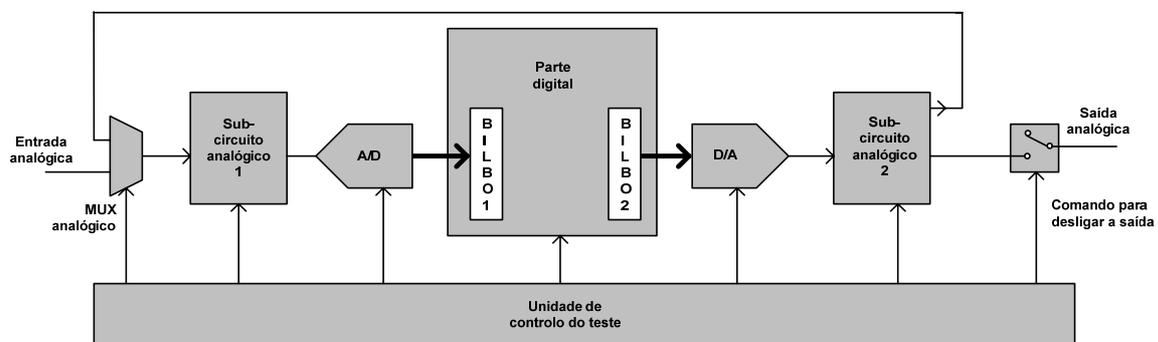


Figura 2-26: Arquitectura de teste HBIST [Ohletz 91].

Do lado analógico é necessária a introdução do multiplexador analógico na entrada e do interruptor da saída, de modo a que os sub-circuitos analógicos formem um bloco único. O teste realiza-se aplicando uma sequência pseudo-aleatória de níveis discretos, gerada pela conversão D/A da saída de um *Built-In Logic Block Observer* (BILBO), e pela análise da assinatura resultante da compactação da sequência de palavras adquiridas à saída do conversor A/D.

Em [Slamani et al. 93] propõe-se uma topologia de teste denominada *Translation BIST* (TBIST), e que é apresentada Figura 2-27.

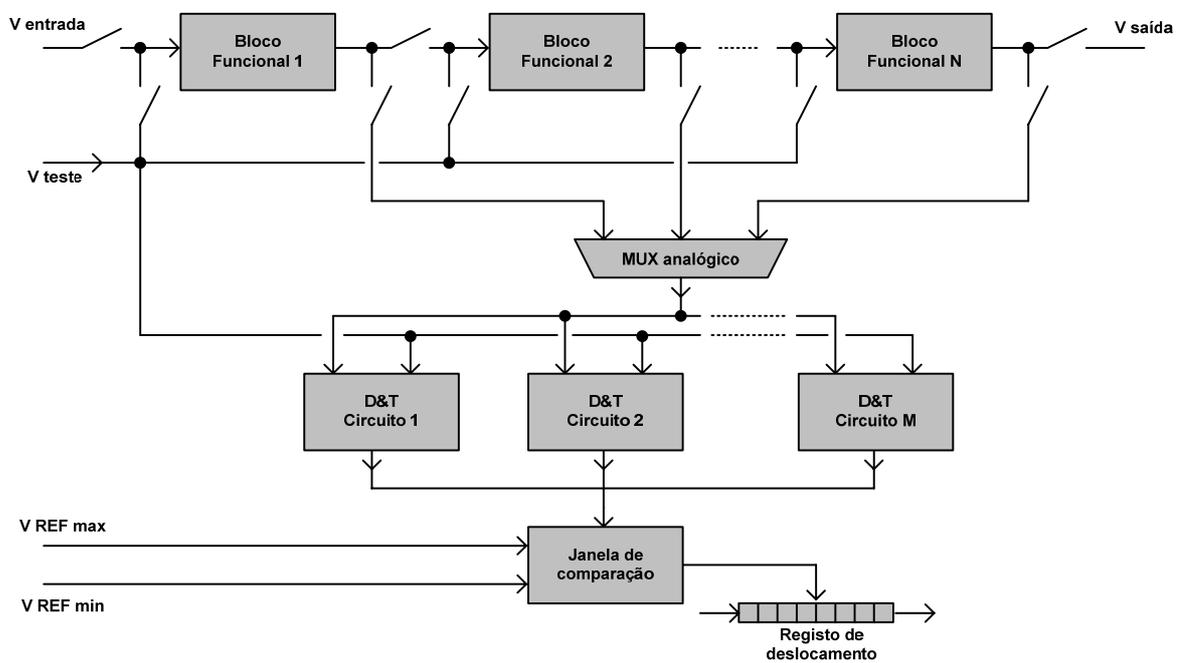


Figura 2-27: Arquitectura de teste TBIST [Slamani et al. 93].

O circuito principal é dividido em vários sub-circuitos (blocos funcionais), sendo cada um controlável e observável por meio de um conjunto de interruptores analógicos. A tensão V_{teste} é aplicada ao sub-circuito em teste, sendo a respectiva resposta seleccionada pelo multiplexador analógico e enviada aos circuitos de detecção e translação (*Detection & Translation* - D&T). Cada um destes circuitos apresenta na saída uma tensão contínua proporcional à grandeza sob teste, i.e. ganho, desfasamento entre os sinais de entrada e saída, CMRR, gradiente de saída (*slew rate*), etc. pelo que devem existir tantos D&Ts quantas as grandezas a analisar. O sinal de saída de cada D&T é comparado com duas tensões que

constituem os valores limite para a grandeza sob teste. Os resultados dos testes às várias grandezas são armazenados num registo para posterior deslocamento e inspeção no exterior. Em [Mir et al. 96] apresenta-se uma solução para o teste de circuitos analógicos denominada *Analog Unified BIST* (AUBIST), que está representada na Figura 2-28.

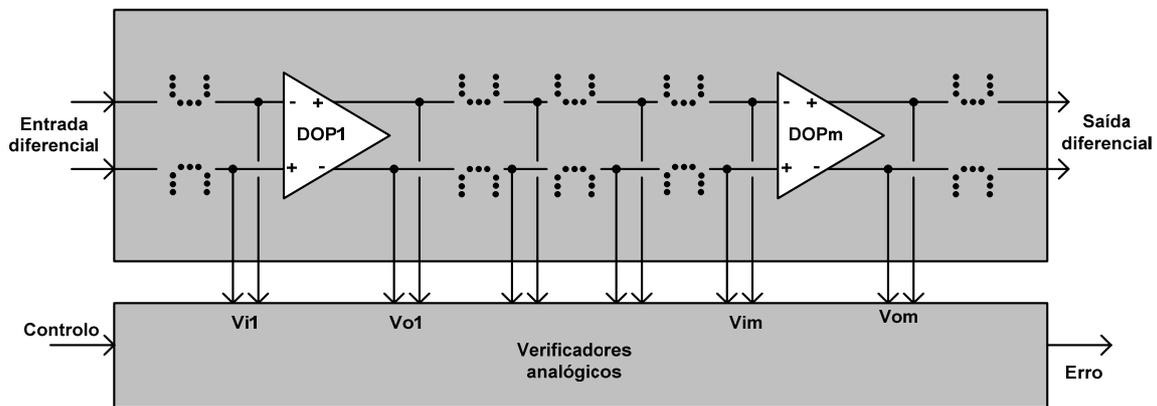


Figura 2-28: Topologia do AUBIST para circuitos diferenciais [Mir et al. 96].

Esta proposta está orientada para tecnologia de condensadores comutados (SC) e permite o teste *on-line/off-line*, i.e. o teste de um bloco do circuito, sobre o qual esta estratégia é aplicada, quando esse bloco se encontra ligado/desligado do restante circuito. Quando utilizado durante o funcionamento do circuito (*on-line*), a estrutura de teste observa constantemente o equilíbrio entre os valores de modo comum dos sinais nas entradas diferenciais, através de um bloco auxiliar de verificação analógica (verificadores analógicos). Em [Sehgal et al. 03] e [Kerzerho et al. 06] apresentam-se variantes de mecanismos de teste para circuitos analógicos.

2.4. SUMÁRIO

A depuração de circuitos mistos durante a fase de validação de protótipo assume cada vez mais importância devido às dificuldades resultantes do cada vez maior nível de integração dos circuitos. Os mecanismos de DFT/DFD apresentam a desvantagem do elevado *overhead* introduzido, mas justificam-se frequentemente, pela diminuição do custo do teste. O aumento do custo decorrente da extensão destes mecanismos para a apoiar operações de

depuração pode ser perfeitamente justificável face à diminuição do tempo de validação do protótipo. A norma IEEE1149.4 é a única das soluções apresentadas que é normalizada, devendo por isso ser analisada com vista à sua reutilização para apoiar operações de depuração, tema que será tratado em capítulos seguintes.

3. ESTADO DA TECNOLOGIA PARA A DEPURAÇÃO

A depuração de protótipo de circuitos mistos utiliza as operações de controlabilidade, observabilidade e verificação através de um conjunto de meios que incluem tradicionalmente equipamentos de bancada e tendencialmente mecanismos embutidos.

Os equipamentos de bancada apresentam características internas e potencialidades de tratamento matemático dos sinais cada vez melhores e mais avançadas, mas baseiam-se frequentemente no acesso físico que se encontra cada vez mais comprometido devido aos crescentes níveis de integração dos circuitos, e.g. nos SOCs. A consequência mais importante é a do aumento do tempo de validação do protótipo, que se repercute no factor mais importante para o sucesso do produto, i.e. no *time-to-market*. O uso da infra-estrutura IEEE1149.1, mesmo em utilizações diferentes daquelas para a qual foi desenvolvida, tem dado origem a mecanismos embutidos especificamente orientados para o apoio à depuração de protótipos e que permitem incluir no CI, parcial ou completamente, funcionalidades proporcionadas pelos equipamentos externos.

Este capítulo apresenta os meios existentes para realizar a depuração de circuitos e faz uma análise dos equipamentos e dos mecanismos embutidos de apoio utilizados para esse efeito. A primeira secção apresenta os equipamentos genéricos de depuração; a segunda analisa os equipamentos e os mecanismos usados em microprocessadores; a terceira apresenta os mecanismos embutidos normalizados; a quarta aborda a instrumentação embutida e, finalmente, a quinta secção propõe o modelo de depuração para circuitos mistos.

3.1. EQUIPAMENTOS GENÉRICOS DE DEPURAÇÃO

Esta secção considera os equipamentos que são ligados directamente aos nós dos circuitos, digitais ou mistos, sob depuração.

3.1.1 MULTÍMETROS

O multímetro reúne num equipamento as funções de vários instrumentos de medida (*multi meter*), permitindo medir várias grandezas relacionadas com os circuitos eléctricos. Inicialmente os multímetros mediam apenas tensões, correntes e resistências eléctricas, mas a tendência para o aumento da versatilidade levou a que actualmente possam medir também outras grandezas ou parâmetros, tais como frequência, *duty-cycle*, capacidade, condutância, indutância, ganho de transístores, tensão de condução de díodos, etc. Alguns equipamentos apresentam potencialidades acrescidas, tais como:

- A ligação de sensores de temperatura, humidade, etc.
- Funções matemáticas e estatísticas para determinar o valor eficaz, o valor máximo, mínimo, médio, realizar histogramas, etc.
- Medir simultaneamente mais do que uma grandeza, e.g. valor eficaz e frequência.
- Comunicar via RS232, IEEE488, Internet, etc.

A Figura 3-1 apresenta um exemplo de um multímetro de bancada. Entre as características mais importantes na medida de uma grandeza, encontram-se a exactidão e o número de dígitos disponíveis para a indicação. A maior parte dos multímetros fornece uma indicação digital em que o dígito mais significativo apenas pode tomar alguns valores, enquanto que os restantes podem assumir valores entre 0 e 9. Não existe uma forma genérica de caracterizar um indicador digital, mas é vulgar a sua designação através de um número inteiro, seguido de um dos fraccionários $\frac{1}{2}$ ou $\frac{3}{4}$, para a identificação do número de dígitos depois do mais significativo, e dos valores que pode tomar o dígito mais significativo, respectivamente.



Figura 3-1: Multímetro de bancada FLUKE 8846A.

Os fraccionários $\frac{1}{2}$ e $\frac{3}{4}$ indicam que o dígito mais significativo pode assumir apenas os valores zero ou um no primeiro caso, ou valores de zero a oito, no segundo caso. Por exemplo, os aparelhos digitais que apresentem valores pertencentes aos intervalos $[0; 3\ 999]$ e $[0; 199\ 999]$ podem ser caracterizados como sendo de $3\frac{3}{4}$ e $5\frac{1}{2}$ dígitos, respectivamente.

A exactidão da medição caracteriza o intervalo que contém o valor (convencionalmente) verdadeiro da medida e exprime-se sob a forma de [% da leitura + % alcance] ou [ppm da leitura + ppm do alcance] em que ppm corresponde ao acrónimo de *parts per million*. Num equipamento mais rigoroso a exactidão pode diminuir com o tempo que decorreu desde a última calibração, ou ainda se for utilizado fora dos limites de temperatura indicados pelo fabricante.

3.1.2 OSCILOSCÓPIO

O osciloscópio é um equipamento que, na sua utilização mais frequente, permite observar a evolução de tensões ao longo do tempo e é usado principalmente em sinais analógicos para determinar valores máximos, mínimos, valor médio, distorção etc. É também utilizado na observação analógica de sinais digitais para a verificação de parâmetros tais como o V_{OL} , V_{OH} , tempo de subida/descida, tempos de propagação, etc. O osciloscópio de memória (*Digital Storage Oscilloscope* - DSO) memoriza a evolução dos sinais antes e depois da condição de sincronismo, permitindo que a respectiva análise seja realizada posteriormente. Esta opção é

especialmente importante quando se pretendem visualizar/analisar formas de ondas relacionadas com eventos extemporâneos ou que imponham condições de sincronismo (*trigger*) de frequência tão baixa, cuja visualização não seria possível num osciloscópio sem memória. Os DSO incluem frequentemente potencialidades de cálculo sobre os sinais, fornecendo directamente o valor máximo, mínimo, médio, eficaz, FFT, etc.

3.1.3 ANALISADOR LÓGICO

O analisador lógico é um equipamento que permite visualizar os valores lógicos presentes num barramento digital e pode habitualmente funcionar como analisador de estados ou analisador temporal, sendo a selecção feita através da fonte de relógio (*clock*) para a amostragem, conforme se pode observar na Figura 3-2.

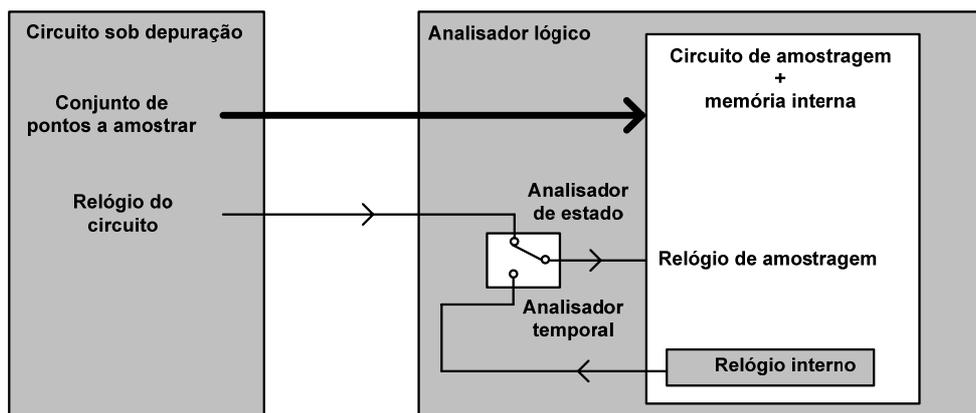


Figura 3-2: Analisador lógico e ligação ao circuito sob depuração.

Quando usado como analisador lógico de estados, é o relógio do circuito sob depuração que cadencia os instantes de amostragem dos sinais ligados às pontas de prova. Quando usado como analisador lógico temporal, é seleccionado o relógio interno, não havendo portanto sincronismo entre o funcionamento do circuito sob depuração e o momento em que ocorre a amostragem. O analisador lógico de estado é habitualmente usado para observar a actividade nos barramentos de endereços e de dados de um microprocessador, enquanto que o analisador lógico temporal é geralmente utilizado para observar sinais que não dependem do microprocessador, tal como um pedido de interrupção. Os sinais capturados são

considerados zero ou um de acordo com o resultado da comparação entre as respectivas formas de onda e uma tensão de limiar (*threshold*), sendo depois armazenados na memória interna. Esses valores podem posteriormente ser visualizados no ecrã do analisador lógico como sinais binários, decimais, ou hexadecimais, podendo manter-se os nomes que são usados no circuito sob depuração. Actualmente existem três categorias de analisadores lógicos; (i) o modular (*mainframe*) consiste num conjunto formado por computador de controlo, interface humana (ecrã, teclado, rato) e um sistema de aquisição de sinal constituído por um chassis que acomoda vários módulos, podendo cada um observar vários sinais de entrada; (ii) o sistema típico (*standalone*) é constituído por uma única unidade autónoma e que habitualmente permite observar 32 sinais; e (iii) o sistema baseado em PC, em que as pontas de prova estão ligadas a uma pequena unidade que comunica com um PC anfitrião.

3.1.4 OSCILOSCÓPIO PARA SINAIS MISTOS

O osciloscópio para sinais mistos (*Mixed-Signal Oscilloscope* - MSO) integra num único equipamento um DSO e um analisador lógico, permitindo a visualização simultânea destes dois tipos de sinais. A Figura 3-3 apresenta um MSO onde se pode observar a ligação das pontas de prova analógicas e digitais ao circuito sob depuração. Estes aparelhos permitem a observação analógica de um conjunto restrito de sinais (dois ou quatro) e/ou a observação digital de um conjunto mais alargado (16 ou 32). A grande vantagem deste equipamento reside no conjunto alargado de detecção de condições de visualização (*trigger*) que podem ser analógicas, digitais, ou mistas, e na elevada capacidade de memorização para os sinais observados, para além das potencialidades de realização de funções matemáticas e estatísticas. Estes equipamentos têm-se tornado ferramentas de depuração muito procuradas, não apenas para a depuração de circuitos mistos, mas também para a depuração de circuitos digitais, cujas operações envolvem a observação de parâmetros analógicos, tal como sucede quando uma linha de um barramento digital está simultaneamente ligada a um canal digital e a um canal analógico do MSO. [Agilent 07] [Tektronix 07] [LeCroy 07].

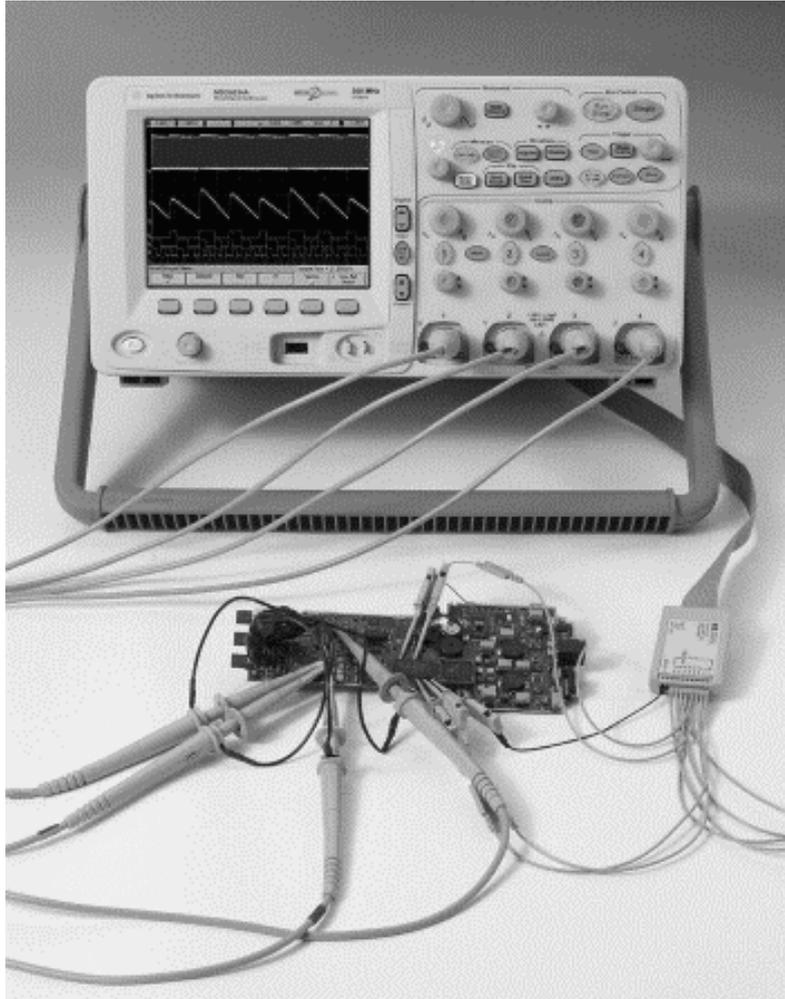


Figura 3-3: MSO ligado a um circuito sob depuração.

3.2. EQUIPAMENTOS E MECANISMOS DE DEPURAÇÃO DE MICROPROCESSADORES

A depuração de circuitos mistos baseados em microprocessadores assume uma especial importância, dada a sua crescente utilização. Tradicionalmente, a depuração deste tipo de circuitos envolve equipamentos dedicados que operam apenas no domínio digital. Em termos cronológicos, a primeira abordagem para a depuração de circuitos baseados em microprocessadores consistia na observação das consequências da execução de um programa habitualmente residente numa EPROM (*burn and learn*), técnica que peca pela morosidade. A necessidade de melhores técnicas levou à utilização das operações de paragem por condição (*breakpoint*) e de passo-a-passo (*single-stepping*). A primeira obriga o microprocessador

a parar a execução do programa, forçando-o a memorizar o estado actual, situação em que é possível aceder a diversos registos e eventualmente verificar qual o código que foi executado. A segunda permite que o microprocessador execute uma única instrução de cada vez e pare em seguida. Estas duas possibilidades surgem no programa monitor (*target monitor*), um recurso residente no próprio circuito sob depuração.

O emulador de ROM consiste num equipamento que substitui a memória ROM durante a depuração. O emulador pode também substituir o microprocessador (*In-Circuit Emulator - ICE*), proporcionando um elevado grau de controlabilidade e observabilidade, mas apresentando neste caso a desvantagem de um elevado impacto nos componentes mistos incluídos no circuito emulado. O circuito embutido de apoio à depuração (*On-Chip Debug - OCD*) constitui a alternativa mais recente para a depuração de microprocessadores e consiste num mecanismo inteiramente digital, não permitindo portanto relacionar valores analógicos e digitais, facilidades que estão disponíveis nalguns equipamentos baseados no acesso físico.

3.2.1 PROGRAMA MONITOR

Um programa monitor consiste num mecanismo que permite controlar a execução da aplicação principal, proporcionando acesso a determinados recursos tais como registos do microprocessador e memórias, e a transferência do código da plataforma de depuração para a memória de programa. O circuito sob depuração acolhe o programa monitor, fornecendo o espaço em memória, um pino de interrupção e um porto de acesso (e.g. porto série) para a interface com a aplicação de depuração, que se encontra a correr num sistema anfitrião externo. Este mecanismo permite a realização de comandos simples, tais como o arranque/paragem (*run/stop*), funcionamento passo-a-passo e pontos de paragem no programa. Estes últimos são implementados através da inserção no programa principal da instrução de salto (*jump*) para a zona de memória em que se encontra o programa monitor. Esta solução requer que grande parte do circuito esteja operacional, mas apresenta reduzida complexidade e requisitos modestos no que respeita a custos/recursos de depuração. O impacto deste mecanismo de depuração nos circuitos mistos é reduzido.

3.2.2 EMULADOR DE ROM

O emulador de ROM é um equipamento de depuração que substitui a memória ROM do microprocessador por outra que comunica com o depurador em software a correr num sistema anfitrião, habitualmente um PC. Este equipamento permite o carregamento rápido do programa, eliminando assim a necessidade da reprogramação da EPROM num dispositivo separado. A introdução de pontos de paragem e do funcionamento passo-a-passo é feita através da alteração do programa da aplicação. As vantagens deste equipamento consistem na sua velocidade, que facilmente pode igualar a do circuito emulado, e na possibilidade do mesmo emulador ser utilizado na depuração de vários tipos de microprocessadores. O impacto deste equipamento é reduzido nos circuitos digitais e nos mistos.

3.2.3 EMULADORES DE MICROPROCESSADOR

O ICE é um equipamento de depuração que substitui o microprocessador por outro de uma versão especial, que comunica com o depurador em *software* a correr num sistema anfitrião, conforme se representa na Figura 3-4.

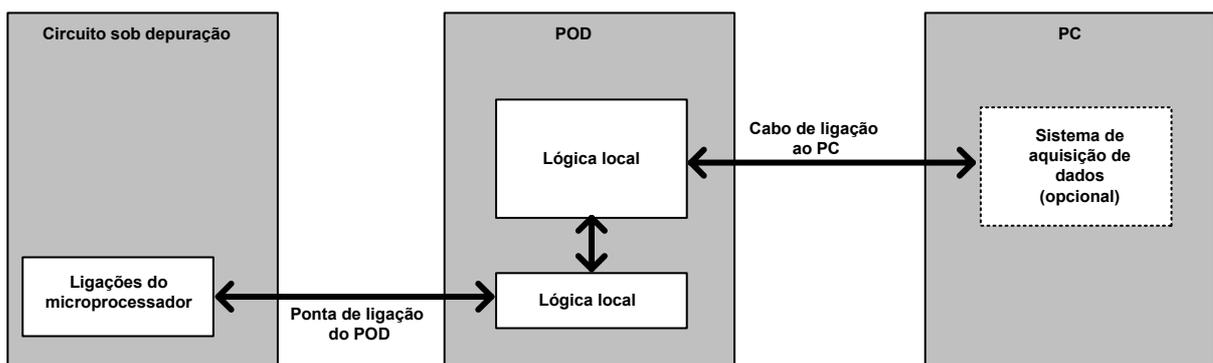


Figura 3-4: Diagrama de blocos de um ICE.

A maior parte das versões especiais dos microprocessadores utilizados nos ICE resultam da realização de algumas ligações da pastilha de silício para os pinos (*bond-out*), que não são efectuadas nas versões comerciais, mas que permitem ao emulador observar e controlar

estados internos, que doutra forma permaneceriam inacessíveis. As versões especiais de microprocessadores podem também ser desenvolvidas especificamente para a construção de emuladores sob a forma de um ASIC, incluindo um conjunto de recursos para a observabilidade e controlabilidade, que o componente original não disponibiliza. O emulador compreende habitualmente o POD (*Portable on Demand*), constituído por uma pequena CCI, um PC e eventualmente um sistema de aquisição de dados que, a existir, se pode localizar dentro ou fora do PC. O POD inclui a versão especial do microprocessador que substitui e a lógica indispensável à comunicação com o PC/sistema de aquisição de dados, e pode ser ligado ao suporte (*socket*) do microprocessador no circuito sob depuração. Alternativamente, o POD pode ligar a um conector com acesso aos barramentos de endereços, de dados e de controlo, sendo o microprocessador do circuito desactivado durante a depuração. O ICE pode funcionar à velocidade normal do microprocessador que emula, apresenta reduzido impacto no funcionamento do circuito digital e a possibilidade de funcionar sem estar ligado ao circuito sob depuração. As suas funcionalidades incluem:

- A realização de pontos de paragem.
- O funcionamento passo-a-passo do programa.
- A monitorização (*trace*) em tempo real da actividade do microprocessador.

O ICE permite um elevado nível de observabilidade e controlabilidade sobre o microprocessador emulado, mas apresenta as desvantagens (i) do seu elevado custo, (ii) da indisponibilidade para os modelos de microprocessadores mais recentes e (iii) da necessidade de alteração física do circuito durante a depuração. As facilidades proporcionadas pelos ICE implicam um custo, podendo este tipo de emuladores ser extremamente dispendioso. Com efeito, o aumento da velocidade, da complexidade e do nível de integração dos processadores modernos, limitam a disponibilidade de versões *bond-out*, fazendo com que estes emuladores sejam cada vez mais difíceis de projectar e dispendiosos. Consequentemente, algumas funcionalidades de depuração, que distinguiam este tipo de equipamento, não são possíveis para os microprocessadores mais recentes [Berger et al. 03]. Outra desvantagem resulta da alteração eléctrica e física do circuito sob depuração durante o período de tempo em que se utiliza o ICE. O sinal de relógio (*clock*) usado é normalmente proveniente de um oscilador

no emulador e não do circuito sob depuração. O impacto deste equipamento é reduzido para os circuitos digitais, mas é frequentemente impraticável quando se encontram presentes componentes analógicos e mistos, tal como acontece com um número significativo de microcontroladores.

3.2.4 EMULADORES EMBUTIDOS

O OCD é um mecanismo de apoio à depuração e consiste num circuito implementado dentro do próprio microprocessador, conforme se representa na Figura 3-5.

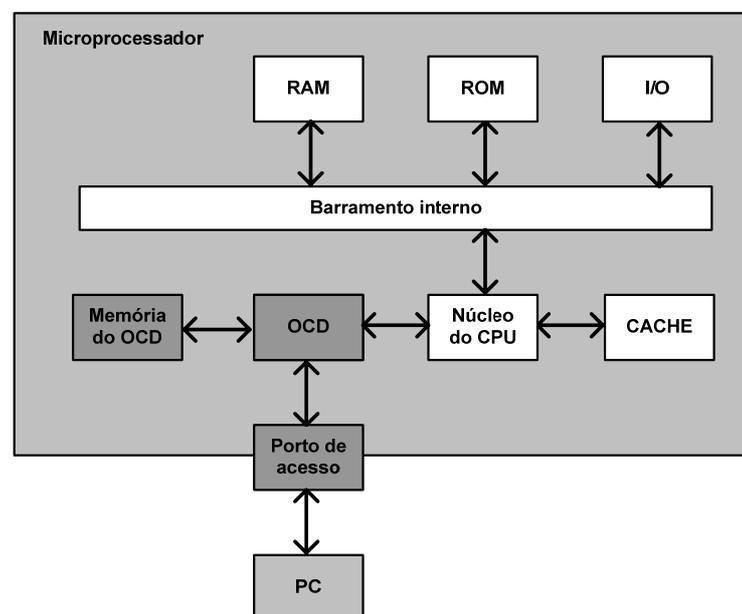


Figura 3-5: Diagrama genérico de um OCD.

Esta categoria de soluções surge como alternativa à dificuldade de acesso físico associada à utilização dos emuladores e permite habitualmente:

- A execução do programa em modo passo-a-passo.
- A realização de paragem por condição.
- O controlo e observação dos registos internos.
- A visualização/modificação de posições de memória.
- A transferência rápida do programa para o circuito.

O acesso ao OCD é efectuado por um conjunto de pinos que lhe são específicos ou através do porto de acesso à infra-estrutura de teste IEEE1149.1, uma vez que as operações de depuração e as de teste não têm lugar simultaneamente. A utilização deste mecanismo de depuração tem vindo a crescer pelo facto da velocidade e complexidade dos novos microprocessadores aumentarem em paralelo com a diminuição acentuada das dimensões dos encapsulamentos, que dificultam cada vez mais o recurso aos emuladores. Refira-se ainda a vantagem decorrente do OCD ser parte integrante do circuito final, podendo por isso ser reutilizado ao longo de todo o ciclo da vida do produto e em particular para a realização dos testes de manutenção ou para a depuração de problemas surgidos quando o circuito se encontra instalado no seu ambiente de funcionamento normal. O impacto deste mecanismo de depuração é reduzido para os circuitos digitais e mistos.

3.2.5 COMPARAÇÃO DOS EQUIPAMENTOS E MECANISMOS DE DEPURAÇÃO DE MICROPROCESSADORES

A Tabela 3-1 resume e compara os vários mecanismos/equipamentos de depuração de microprocessadores.

Tabela 3-1: Comparação entre os mecanismos/equipamentos de depuração de microprocessadores.

Mecanismo/equipamento de depuração	Observabilidade	Controlabilidade	Impacto nos sinais analógicos	Custo
Protótipo em EPROM	Reduzida	Nenhuma	Reduzido	Reduzido
Programa monitor	Média	Reduzida	Reduzido	Reduzido
Emulador de ROM	Média	Reduzida	Reduzido	Reduzido
ICE	Muito elevada	Muito elevada	Reduzido/muito elevado	Moderado/ elevado
OCD	Elevada	Muito elevada	Reduzida	Reduzido

Uma consequência importante da utilização do ICE relaciona-se com o seu impacto nos sinais analógicos dos blocos mistos, como sucede com alguns microcontroladores que integram multiplexadores analógicos e conversores A/D e D/A. Nestes casos a depuração é realizada apenas na parte digital, sendo a verificação do comportamento nos circuitos mistos

feita numa fase posterior e sem a presença do emulador [Divine 01]. O impacto do ICE nos sinais analógicos é muito elevado ou muito reduzido, conforme o componente incluir ou não blocos mistos. No entanto a tendência que se tem vindo a verificar é a de integração dos circuitos digitais e analógicos num único CI, tornando assim vantajosos os mecanismos embutidos de apoio à depuração.

3.3. MECANISMOS EMBUTIDOS

O aparecimento de mecanismos embutidos teve origem nas dificuldades sentidas durante o teste estrutural de CCI's digitais e que levou à introdução de infra-estruturas de apoio nos CIs. Actualmente existem várias infra-estruturas, normalizadas ou na fase de estudo, que mantêm a sua utilidade ao longo da vida do CI. Esta secção aborda algumas infra-estruturas embutidas e a forma como têm sido (re)utilizadas para apoiar operações de depuração.

3.3.1 INFRA-ESTRUTURAS DFT/DFD EMBUTIDAS

3.3.1.1 IEEE1149.1 (JTAG)

A infra-estrutura IEEE1149.1, cujo princípio de funcionamento se encontra representado na Figura 3-6, foi inicialmente desenvolvida para facilitar o teste estrutural de CCI's digitais. No entanto e (i) por se tratar de um meio de acesso privilegiado ao CI e (ii) dado que a justificação dos mecanismos embutidos é tanto mais fácil quanto maiores forem os benefícios decorrentes da sua inclusão, desde cedo se procurou alargar a respectiva área de utilização. Consequentemente, esta infra-estrutura tem sido utilizada em operações que extravasam largamente os objectivos iniciais, sendo usada em várias fases da vida do CI e em particular para apoiar operações de depuração. A sua rápida aceitação ficou a dever-se em larga medida ao facto dos projectistas verem nela um recurso valioso para o apoio à depuração de protótipos [Sunter 97a]. Para além dos modos de operação previstos na norma, foram propostas extensões para apoiar especificamente as tarefas de depuração, como é o caso da detecção de condições e da análise em tempo real em barramentos digitais [Alves 99a].

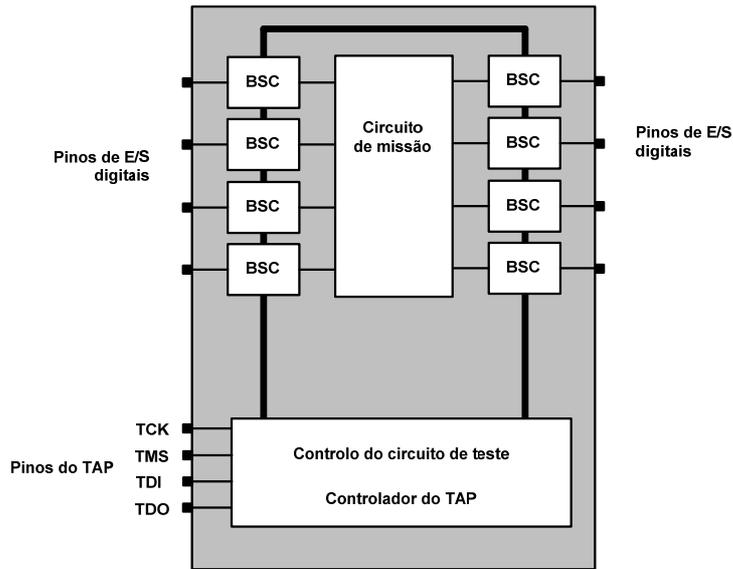


Figura 3-6: Arquitectura básica da infra-estrutura IEEE1149.1.

Embora a infra-estrutura IEEE1149.1 seja um mecanismo puramente digital, alguns projectistas têm-na reutilizado para realizar a observação analógica de nós, através da adição de um conversor A/D e de interruptores controlados por registos opcionais. Surge posteriormente uma solução integrada, o CI SCANSTA476 [STA476 07], que permite a observação analógica em oito nós e cujo diagrama de funcionamento interno se apresenta na Figura 3-7.

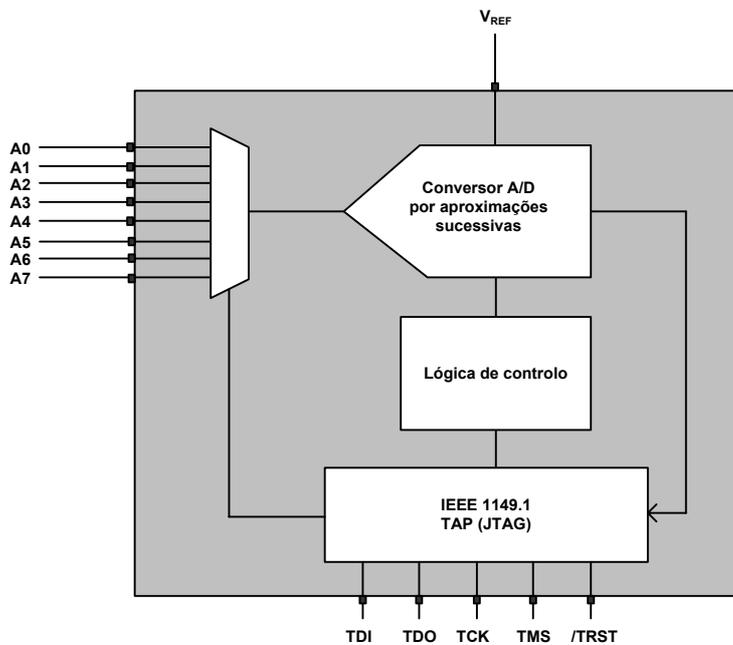


Figura 3-7: Diagrama de funcionamento do STA476.

O controlo sobre os nós analógicos pode igualmente ser realizado pela infra-estrutura IEEE1149.1 através das várias soluções de DTF/DFD anteriormente apresentadas. Outra reutilização importante desta infra-estrutura no apoio a operações de depuração tem lugar em microprocessadores, onde é usado como mecanismo de acesso ao OCD, de que são exemplos os dispositivos IBM Power PC das séries 600 e 400, onde o acesso aos recursos mais importantes, como a memória e os registos internos, pode ser feito por varrimento. A execução de instruções privadas permite realizar várias operações de depuração, tal como o funcionamento passo-a-passo, controladas pelo depurador que corre num sistema anfitrião. Algumas versões de OCD mais recentes apresentam nove pinos adicionais e permitem a observação de estados em tempo real.

3.3.1.2 IEEE1149.4

A infra-estrutura IEEE1149.4, cujo princípio de funcionamento se encontra representado na Figura 3-8, foi formalmente apresentada como extensão da IEEE1149.1 para a área dos circuitos mistos e permite realizar o teste estrutural, paramétrico e interno.

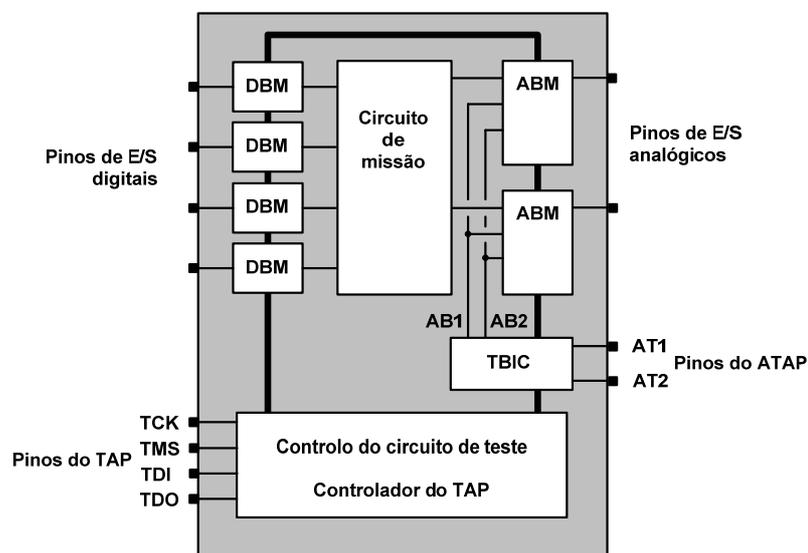


Figura 3-8: Arquitectura básica da infra-estrutura IEEE1149.4.

As células de varrimento periférico digitais designam-se agora por *Digital Boundary Modules* (DBM) e mantêm a topologia 1149.1, enquanto que para os pinos analógicos foi desenvolvido o *Analog Boundary Module* (ABM), que inclui um conjunto de interruptores

analógicos, controlados por um registo controlo de 4bits (D, C, B1 e B2) pertencente ao BSR. A norma define ainda um barramento interno de teste analógico, constituído pelas linhas *Analog Bus 1/2* (AB1, AB2), que o *Test Bus Interface Circuit* (TBIC) liga aos pinos *Analog Test 1/2* (AT1, AT2), donde resulta que o acesso à infra-estrutura é feito através de um mínimo de seis pinos.

Dado que a infra-estrutura IEEE1149.1 tem sido reutilizada com sucesso como mecanismo de depuração nos circuitos digitais, é importante analisar de que forma a sua extensão IEEE1149.4 poderá ser reaproveitada com o mesmo objectivo para a área dos circuitos mistos, tema que será tratado com maior detalhe num capítulo seguinte.

3.3.1.3 IEEE1149.7 (CJTAG)

A infra-estrutura IEEE1149.7 - *Standard for Reduced-Pin and Enhanced-Functionality Test Access Port and Boundary Scan Architecture* - recebeu inicialmente a designação de *Compact JTAG* (CJTAG) e propõe uma interface para a depuração e teste, que responda às crescentes dificuldades encontradas neste domínio, preservando os investimentos em *hardware* e *software* IEEE1149.1. Os SOCs integram frequentemente IPs (circuitos *intellectual property*) compatíveis com a norma IEEE1149.1, mas com reduzido número de pinos. Esta infra-estrutura de teste apresenta quatro pinos (ou cinco, se considerarmos também o sinal /TRST) para o porto de acesso (TAP), o que constitui uma desvantagem face à necessidade de se reduzirem as dimensões dos encapsulamentos (*reduced pin-count*). Para contornar esta dificuldade, algumas empresas desenvolveram interfaces JTAG proprietárias, com reduzido número de pinos, como é o caso da comunicação a duas linhas apresentada pela ARM Ltd [ARM 07], da solução a uma linha proposta pela *Debug Innovations* [J-LINK 07], ou ainda da proposta a duas linhas baseada na utilização de blocos de conversão paralelo/série e vice-versa, a incluir no sistema de controlo de teste/depuração e no CI [Whetsel 06]. O desenvolvimento da infra-estrutura IEEE1149.7 adiciona um novo protocolo à infra-estrutura IEEE1149.1, que permite:

- Comunicar através de 2/4 linhas.

- Preservar o *hardware/software* entretanto desenvolvido para a infra-estrutura IEEE1149.1.
- Suportar múltiplos TAPs no CI.
- Operar desde DC até 100MHz.

A proposta IEEE P1149.7 propõe dois tipos de interface com o CI, *Wide* e *Narrow*, de quatro e dois pinos respectivamente. O primeiro tipo inclui os sinais TCK, TMSC, TDI e TDO, que podem operar em modo *normal*, i.e. compatível com a norma IEEE1149.1, ou em modo *avançado*, i.e. comunicando apenas através das duas linhas TCK e TMSC. O segundo tipo funciona exclusivamente em modo *avançado*. A arquitectura IEEEP1149.7 encontra-se representada na Figura 3-9, onde se apresenta um SOC constituído por vários circuitos de missão 1149.1, que estão ligados a um bloco interno de interface com o barramento IEEEP1149.7.

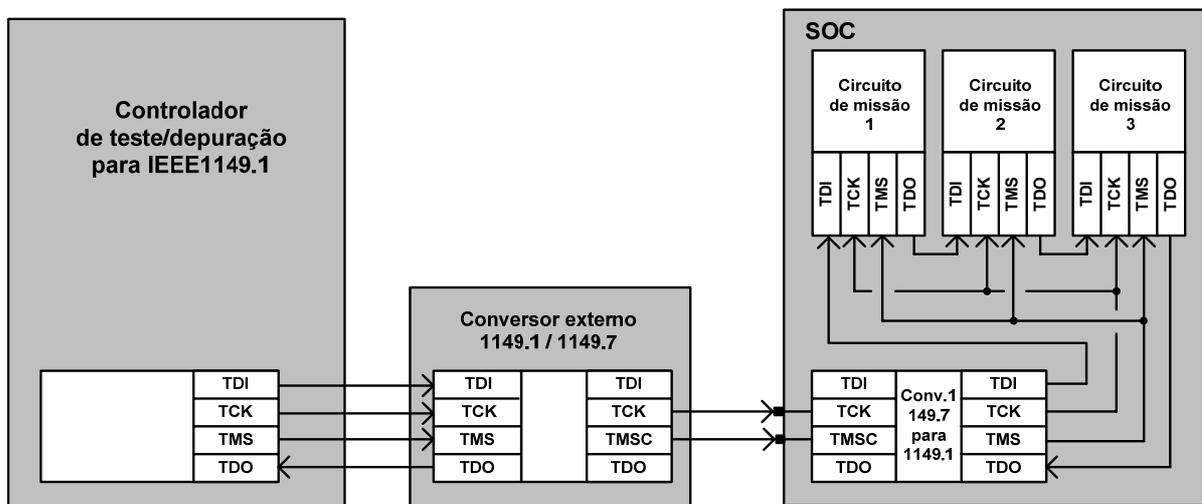


Figura 3-9: Arquitectura da infra-estrutura IEEE1149.7.

No exterior encontra-se um controlador de teste/depuração que comunica com o SOC através de um conversor 1149.1/1149.7, permitindo desta forma reutilizar o *hardware* e *software* entretanto desenvolvidos para os circuitos 1149.1. A aceitação da proposta IEEEP1149.7 levará a que o conversor 1149.1/1149.7 venha a ser integrado nos equipamentos de depuração.

3.3.1.4 IEEE1149.6 (ACJTAG)

A norma IEEE1149.6 [IEEE 03b] foi formalmente apresentada como uma extensão das infra-estruturas IEEE1149.1/4 e define os mecanismos e métodos para o teste de redes de comunicação de dados, em particular as que apresentam acoplamento diferencial em corrente alternada (AC). A reutilização dos mecanismos embutidos normalizados descritos na norma IEEE1149.1 não pode ser feita directamente, atendendo aos requisitos específicos do acoplamento AC e das linhas de transmissão de elevada velocidade (e.g. Ethernet 10 Gbyte) [Shaikh 04][Eklow et al. 03][Eklow 02]. A possibilidade de usar a infra-estrutura IEEE1149.4 para a realização de testes paramétricos sobre as linhas de transmissão foi inicialmente colocada, mas foi posteriormente abandonada devido ao impacto associado à introdução dos ABMs [Duzevik 03][Kim 01]. A solução adoptada consiste num teste estrutural que endereça um modelo de faltas específico, incluindo circuitos abertos e curto-circuitos nas linhas de transmissão, e que é realizado através de células BST modificadas (A, B e C), conforme se apresenta na Figura 3-10.

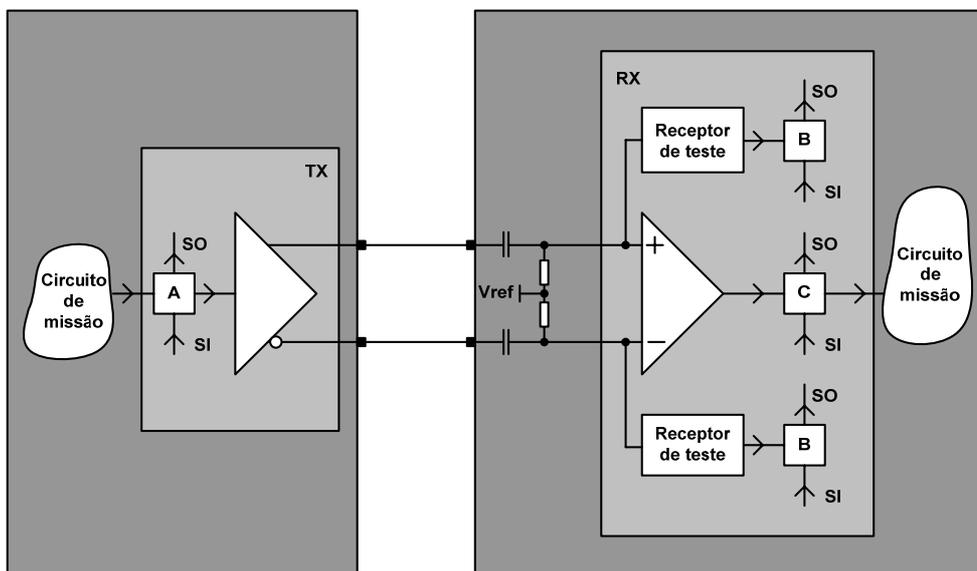


Figura 3-10: Arquitectura da infra-estrutura 1149.6.

Do lado emissor (*Transmitter* - TX) é inserida a célula A entre o circuito de missão e o bloco de adaptação (*driver*), sendo no lado receptor (*Reception* - RX) usadas as células B e C, em conjunto com os receptores de teste. O mecanismo associado à infra-estrutura IEEE149.6 é

especialmente interessante, uma vez que demonstra a realização de teste estruturais em AC através de infra-estruturas concebidas para testes estáticos (DC).

3.3.1.5 IEEE P1687 (IJTAG)

A proposta IEEE P1687 [IEEE 07] tem por âmbito o desenvolvimento de uma metodologia de acesso a funcionalidades de teste e depuração (mas não as funcionalidades propriamente ditas) através do TAP e doutros sinais eventualmente necessários. Os elementos da metodologia incluem uma linguagem de descrição para as características das funcionalidades e para o seu acesso, bem como os requisitos para a respectiva interface.

A infra-estrutura IEEE1149.1 tem sido frequentemente utilizada como meio de endereçamento e acesso *ad-hoc* a mecanismos/instrumentos embutidos, tais como estruturas de varrimento interno, circuitos de BIST, circuitos de compressão de dados, circuitos internos de apoio à depuração, etc. A norma IEEE P1687 propõem-se estruturar a forma de aceder, configurar, controlar e recolher resultados daqueles recursos embutidos através do TAP definido na norma IEEE1149.1. Esta infra-estrutura procura definir o meio e o protocolo de acesso à instrumentação e, eventualmente, a sua interface, mas sem especificar, modificar ou definir o instrumento propriamente dito [Rearick et al. 06] [Posse et al. 06]. Foram consideradas duas abordagens iniciais baseadas na utilização do TAP para acesso a funcionalidades de teste interno e de depuração. A primeira tinha como objectivo normalizar o teste, definindo como objectivos a descrição do tipo e protocolo de acesso, com elevada velocidade, às cadeias de varrimento. A segunda abordagem é mais ambiciosa, endereça os problemas do teste interno via TAP, pretendendo assegurar o acesso rápido a cadeias de varrimento, melhorar a largura de banda através de múltiplos portos de acesso e redesenhar as células de varrimento periférico, de forma a permitir funcionalidades acrescidas de teste. Estas abordagens encontram-se actualmente em análise, devendo brevemente dar origem a uma proposta independente ou de extensão da norma IEEE1149.1.

3.3.1.6 IEEE-ISTO NEXUS 5001

A norma IEEE-ISTO NEXUS 5001 [IEEE 03c] tem por objectivos definir e desenvolver uma interface embutida de depuração. O avanço na tecnologia de semicondutores tem permitido

o desenvolvimento de microprocessadores de elevado desempenho que requerem a utilização de mecanismos eficientes de apoio à depuração. A ausência de normalização conduziu historicamente os fabricantes ao desenvolvimento de infra-estruturas OCD proprietárias e a falta de uma aceitação generalizada das soluções actualmente existentes, impede os fabricantes de equipamentos de depuração, de apresentar soluções de mais largo espectro. A finalidade da norma NEXUS consiste em permitir o desenvolvimento de um conjunto de soluções que possam ser aplicadas em diferentes microprocessadores. Numa análise às capacidades de depuração dos OCDs entretanto desenvolvidos, verificou-se que permitem a definição de pontos de paragem, a leitura/escrita em registos/memória e que em 70% dos casos é usado o TAP como interface física [Fidalgo 08]. Um dos objectivos do consórcio NEXUS consiste em estabelecer um percurso de migração para um conjunto normalizado de funcionalidades de depuração, usando-se como interface o TAP IEEE1149.1 ou em alternativa um porto auxiliar (AUX) específico. As capacidades das infra-estruturas NEXUS são classificadas em quatro classes de acordo com as funcionalidades suportadas e com o desempenho do porto de acesso. A aceitação desta norma deverá facilitar a depuração de microprocessadores embutidos e uma utilização mais racional dos recursos externos necessários.

3.3.2 OUTROS INSTRUMENTOS

A tendência para a miniaturização tem levado a níveis de integração crescentes que procuram incluir no CI vários circuitos de missão (*multiple core*), dando origem aos SOCs. Este tipo construtivo oferece a vantagem do tamanho reduzido e da reutilização dos circuitos (IPs) projectados para aplicações genéricas, mas apresenta a desvantagem da ausência de acesso físico aos nós internos do circuito, necessário à utilização dos equipamentos de depuração. Os mecanismos tradicionais de apoio à depuração (DFD), tais como a utilização de pontos de acesso físico, ou de cadeias de varrimento/percursos dedicados para permitir a observabilidade de nós internos, têm sido empregues com sucesso em CIs que incluem apenas alguns IPs, mas são manifestamente insuficientes para os SOCs que incluem dezenas daqueles circuitos [Menon 06]. Os tempos elevados de validação do protótipo destes circuitos reflectem-se num parâmetro crítico do produto, que é o *time-to-market*. Para fazer face a esta situação, devem os níveis de integração crescentes de circuitos de missão ser

acompanhados pela inclusão de mecanismos embutidos de apoio à depuração, tais como analisadores lógicos, analisadores de barramentos (*bus monitors*), detectores de condição, memória dedicada, etc. [Molyneaux 03] [Gottfried 06] [Balachandran 02]. Esta estratégia, que permite a diminuição drástica do tempo de verificação do protótipo, conduz a uma diminuição do *overhead* global do CI, dado que os níveis de integração continuarão a aumentar, enquanto que vários dos mecanismos embutidos de apoio à depuração permanecerão de utilização genérica [Huott 03]. Adicionalmente, os benefícios resultantes da introdução destes mecanismos estendem-se ao longo do ciclo de vida do CI, podendo ser particularmente importantes para a depuração de problemas relacionados com o seu processo produtivo [Cheng 03].

Os microprocessadores foram dos primeiros circuitos a incluir funções embutidas de depuração, cujas versões iniciais apenas permitiam um conjunto restrito de operações, tais como arranque/paragem e eventualmente a paragem por condição, embora as versões mais recentes permitam operações mais avançadas. A norma NEXUS 5001 procura sistematizar essas funções, bem assim como as interfaces utilizadas, para que os fabricantes de equipamentos de depuração possam apresentar soluções com um domínio de aplicação alargado.

A infra-estrutura IEEE1149.1 foi inicialmente desenvolvida para facilitar o teste de CCI's digitais, mas tem sido reutilizada como mecanismo embutido de controlabilidade e observabilidade para operações de depuração em CCI's ou em CIs. Foi utilizada com sucesso para esse efeito em SOCs comerciais com 48 IPs [Vermeulen et al. 02], permitindo reduzir substancialmente o tempo de depuração do protótipo, e para aceder a cadeias de varrimento com mais de 100 000 células [Song et al. 04]. Em [Logt et al. 03] propõe-se uma extensão da infra-estrutura IEEE1149.1 baseada na variação do comprimento da cadeia de varrimento, de forma a permitir maior rapidez. Em [Litt 02] e [Riley et al. 06] descreve-se a integração de analisadores lógicos como mecanismo de apoio à depuração em microprocessadores.

Vários autores têm proposto soluções embutidas para apoio à depuração. Em [Aigner 97] o autor, em nome do fabricante de equipamentos de depuração *Tektronix*, propõe uma ponta de prova controlada a partir da infra-estrutura IEEE1149.1, que permite seleccionar um de entre 16 nós, cujos sinais podem ser veiculados para o exterior sob a forma analógica, através de dois pinos dedicados. Alternativamente esta ponta de prova pode estar associada a um

gerador de histogramas também embutido, permitindo que os sinais analógicos sejam convertidos para digital antes do deslocamento para o exterior do CI. O autor propõe ainda um analisador temporal (*timing analyzer*) para detecção/controlo de eventos. As pontas de prova desta unidade podem fornecer/capturar 16 a 64 eventos com a exactidão de 1/32 do período, e.g. 156 pico segundo para uma frequência de 200 MHz, constituindo assim um instrumento muito exacto para a medida de tempos de atraso, de tempos de propagação, etc. Em [Noguchi 05] o autor propõe um mecanismo destinado a apoiar a depuração de blocos mistos incluídos em circuitos VLSI. Esta solução permite a selecção do nó sob depuração, a respectiva conversão para digital e o deslocamento para o exterior, onde é realizada a operação inversa de reconstituição do sinal. Em [Zheng et al. 03] e [Takamiya et al. 02] os autores propõem a utilização de blocos com funcionamento similar ao de osciloscópios, como mecanismo para a observabilidade analógica de sinais. A utilização de instrumentos embutidos foi também proposta para a observação da distorção (*jitter*) em sinais de relógio (*clock*) [Kuppuswamy et al. 01] [Takamiya et al. 04], para observação do ruído nas linhas de alimentação [Nagata et al. 00][Muhtaroglu 04][Okumoto et al. 04] e em sinais internos do circuito [Ho et al. 98].

O conjunto de propostas apresentadas revela que a inclusão no CI de instrumentos embutidos, em particular para apoio à depuração, constitui uma alternativa viável às dificuldades de utilização dos equipamentos externos.

3.4. MODELO DE DEPURAÇÃO

Os equipamentos e mecanismos de depuração permitem realizar um conjunto relativamente elevado de operações que podem ser classificadas em dois grupos, *básicas* e *compostas* [Alves 99], conforme se apresenta na Figura 3-11. As operações básicas de depuração são actividades efectuadas sobre os estados de um circuito, para efeitos de diagnóstico, e incluem três tipos principais: controlo, observação e verificação. A primeira daquelas operações tem por finalidade colocar o circuito num estado determinado, enquanto as restantes têm objectivo comparar as respostas do circuito com as esperadas. Durante a análise do comportamento de um circuito é frequentemente necessário avaliar a sua resposta num estado específico, como acontece durante a medição de um componente.

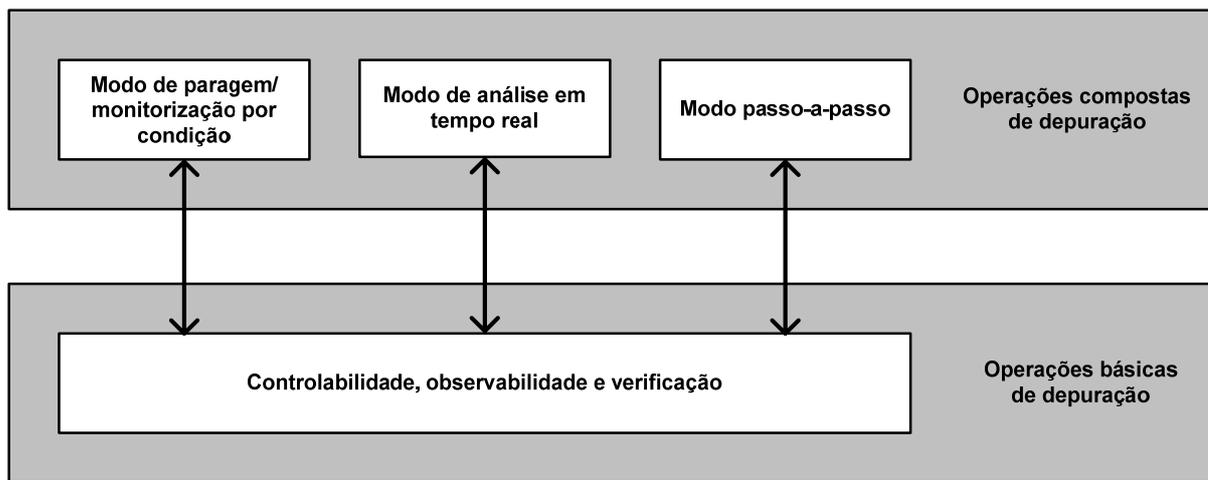


Figura 3-11: Modelo de depuração – operações básicas e compostas.

Noutras situações pretende-se colocar o circuito num estado anterior ou posterior àquele em se verifica um comportamento diferente do esperado.

As operações compostas constituem instâncias das operações básicas de depuração, tais como o funcionamento em *modo passo-a-passo* (*Single-stepping*), a *paragem/monitorização por condição* (*Breakpoint/Watchpoint*) e o *modo de análise em tempo real* (*Real-Time Analysis*).

O modo de funcionamento passo-a-passo serve fundamentalmente para observar o comportamento de um circuito em velocidade lenta, onde cada passo corresponde à transição entre estados consecutivos num circuito, podendo corresponder a uma instrução num microprocessador, a um único impulso de relógio num circuito sequencial, ou ainda à aplicação dos sucessivos valores durante a verificação do funcionamento de um conversor D/A.

Durante o modo de paragem/monitorização por condição o circuito funciona em modo normal e simultaneamente um circuito de detecção de condição avalia uma situação específica, e.g. que se exceda o limite máximo de uma tensão analógica. O sinal de validação da condição pode ser utilizado para parar a parte digital, obrigando-a a memorizar o estado actual, ou simplesmente para sinalizar a ocorrência.

No modo de análise em tempo real o circuito funciona normalmente e os respectivos estados são memorizados por um circuito auxiliar, até à validação de uma determinada condição.

Para os modos de funcionamento de paragem/monitorização e análise em tempo real, em circuitos mistos, é necessário um bloco auxiliar de detecção de condição, tornando-se assim prioritário o estudo deste circuito e do respectivo modo de endereçamento.

3.5. SUMÁRIO

Durante a depuração de circuitos mistos têm lugar operações básicas e compostas de depuração, que são realizadas tradicionalmente através de instrumentos externos e que beneficiariam com a existência de mecanismos embutidos para este efeito.

Os equipamentos de bancada apresentam tipicamente boas características, tais como elevados níveis de exactidão, detecção de condições (*trigger*), memorização e tratamento matemático dos sinais, etc. A importância crescente dos circuitos mistos e a necessidade de observação analógica de sinais digitais levou ao aparecimento do MSO, que permitiu resolver as dificuldades associadas à observação combinada de sinais analógicos e digitais. No entanto, os equipamentos de bancada baseados no acesso físico aos nós do circuito enfrentam cada vez maiores restrições de utilização, devido aos crescentes níveis de integração. O mecanismo embutido descrito na norma IEEE1149.1 surge exactamente para ultrapassar as dificuldades de acesso físico durante o teste estrutural de CCI's digitais, embora tenha também sido vantajosamente reutilizado para outros fins. As crescentes dificuldades de acesso aos nós internos em SOCs têm fomentado o aparecimento de mecanismos orientados para a inclusão parcial ou total no CI das facilidades disponibilizadas pelos instrumentos externos. Estes meios de apoio à depuração estão incluídos no CI, podendo por isso ser reutilizados durante todo o seu ciclo de vida e em particular para o diagnóstico de problemas de produção. Para realizar as operações de apoio à depuração em circuitos mistos através dos modos de paragem/monitorização e análise em tempo real, é necessário um detector de condição mista, cujo desenvolvimento e integração na infraestrutura IEEE1149.4 será tratado num capítulo seguinte.

4. DEPURAÇÃO VIA IEEE1149.4

Este capítulo analisa a infra-estrutura IEEE1149.4 com vista à sua utilização no apoio à depuração. A primeira secção introduz o tema, apresenta os modos de operação e aponta as perspectivas de desenvolvimento. O acesso para as *operações básicas de depuração* [Felgueiras et al. 06a] é analisado na segunda secção, propondo-se na secção seguinte um procedimento de verificação de integridade [Felgueiras et al. 06b]. A quarta secção analisa a medida de resistências em ligações estendidas [Felgueiras et al. 07b] e a quinta identifica as limitações de observabilidade e apresenta uma forma de as ultrapassar [Felgueiras et al. 04].

4.1. CONTEÚDO E LINHAS DE DESENVOLVIMENTO

O aparecimento da norma IEEE1149.4 [IEEE 99] é resultado do reconhecimento da necessidade duma infra-estrutura normalizada que permita resolver os problemas de estabilidade nos circuitos mistos. A declaração de intenções subjacente ao seu desenvolvimento é a seguinte:

“To define, document and promote the use of a standard mixed-signal test bus that can be used at the device and assembly levels to improve the controllability and observability of mixed-signal designs and to support mixed-signal built-in test structures in order to reduce both test development time and testing costs and to improve test quality.”³

Esta infra-estrutura foi formalmente apresentada como uma extensão da norma IEEE1149.1 [IEEE 90] e define os recursos de teste a incorporar nos circuitos mistos para permitir uma abordagem estruturada ao⁴:

- Teste de interligações: detecção de circuitos abertos ou curto-circuitos numa CCI.
- Teste paramétrico: medição de sinais analógicos e teste da presença e do valor de componentes discretos numa CCI.
- Teste interno: realizar operações elementares de teste de blocos internos ou aceder a funções de auto-teste incorporadas.

Esta secção introduz a infra-estrutura IEEE1149.4 e apresenta algumas linhas de desenvolvimento.

4.1.1 ARQUITECTURA BÁSICA DA INFRA-ESTRUTURA IEEE1149.4

A infra-estrutura IEEE149.4 é compatível com a norma IEEE1149.1, mantendo ou estendendo os blocos existentes, aos quais se acrescentam os seguintes:

³ (IEEE1149.4 - pag. iii).

- Um porto analógico de acesso ao teste (*Analog Test Access Port – ATAP*) com dois pinos (AT1 e AT2). O pino AT1 é utilizado para aplicar um estímulo às entradas do circuito de missão ou aos pinos analógicos, enquanto o pino AT2 é utilizado para observar a respectiva resposta.
- Um barramento interno de teste analógico com pelo menos duas linhas (AB1, AB2), utilizado para aplicar e/ou observar os sinais nos pinos ou E/S do circuito de missão.
- Um circuito de interface com o barramento interno de teste analógico (*Test Bus Interface Circuit – TBIC*), inserido entre os pinos do ATAP e as linhas do barramento interno de teste analógico AB1/ AB2.
- Módulos analógicos de varrimento periférico (*Analog Boundary Modules – ABM*), inseridos entre os pinos e o circuito de missão. A célula de varrimento periférico (*Boundary Scan Cell – BSC*) descrita na norma IEEE1149.1 é agora referida genericamente como *Digital Boundary Module – DBM*.

A arquitectura básica da infra-estrutura IEEE1149.4 pode ser representada como se ilustra na Figura 4-1, onde se identificam os quatro blocos/estruturas referidas.

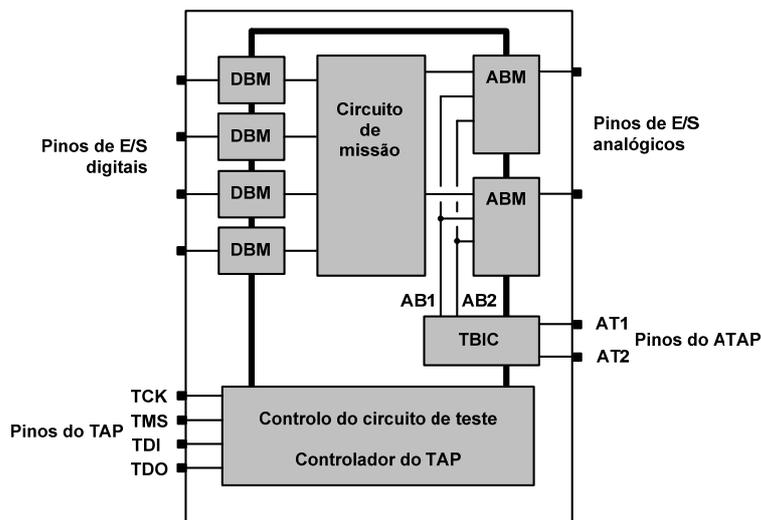


Figura 4-1: Arquitectura básica da infra-estrutura IEEE1149.4.

⁴ (IEEE1149.4 - pag. 2).

O acesso para o teste inclui os pinos do TAP (*Test Access Port* - TAP) e do ATAP. Os primeiros incluem os sinais digitais TMS (*Test Mode Select*), TCK (*Test Clock*), TDI (*Test Data Input*), TDO (*Test Data Output*) e opcionalmente /TRST (*Test Reset*), de onde resulta um total de seis ou sete pinos para o acesso ao teste via 1149.4. Cada pino analógico possui um ABM com capacidade de controlo e observação, permitindo o teste de interligações da CCI e operações de teste paramétrico. Os ABM podem, no entanto, surgir também associados a pinos digitais^{5,6}. Os vários registos de controlo dos ABMs e dos DBMs encontram-se ligados em série no BSR. Para além das estruturas adicionais, a generalidade da arquitectura IEEE1149.4 é claramente idêntica à definida na IEE1149.1, mantendo o diagrama de transição de estados do controlador do TAP, conforme se pode observar na Figura 4-2.

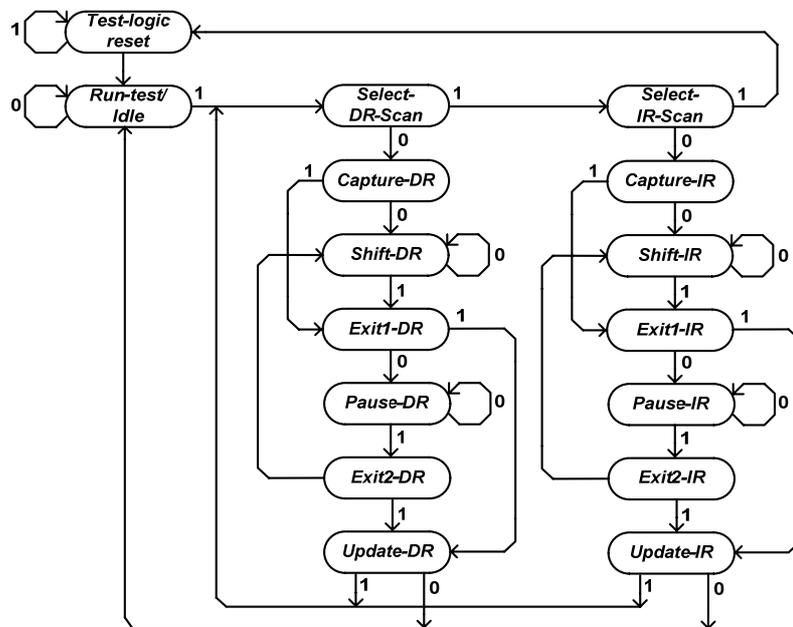


Figura 4-2: Diagrama de transição de estados do controlador do TAP

A operação da infra-estrutura IEEE1149.4 pode ser resumida da seguinte forma: um estímulo é aplicado externamente⁷ ao pino AT1 e veiculado através da linha do barramento

⁵ (IEEE1149.4 - 7.2.1.1.a): A infra-estrutura IEEE1149.4 permite associar ABMs ou DBMs aos pinos digitais.

⁶ (IEEE1149.4 - 3.1.1.NOTE): Os pinos digitais podem ter ABMs associados para permitir medições analógicas no pino.

⁷ A aplicação do estímulo é feita de forma analógica, i.e. através de meios que servem para veicular sinais analógicos. Os sinais podem, no entanto, ser analógicos ou digitais.

interno de teste analógico AB1 até um pino com ABM; o sinal de resposta é capturado no ABM e veiculado através da linha do barramento interno de teste analógico AB2 até ao pino AT2. As estruturas referidas serão agora analisadas individualmente.

4.1.1.1 ESTRUTURA DE REGISTOS

A estrutura de registos utilizada pela IEEE1149.4 é inteiramente digital, conforme se apresenta na Figura 4-3, sendo praticamente igual à definida na IEEE1149.1.

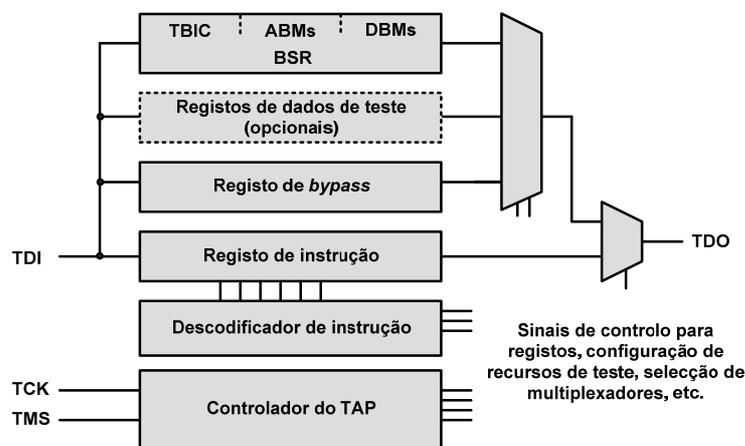


Figura 4-3: Estrutura de registos da infra-estrutura IEEE1149.4.

Conforme se pode observar, para além dos DBMs associados a E/S digitais, o BSR inclui agora os registos de controlo do TBIC e dos ABMs, que definem os respectivos modos de operação. A aplicação analógica de estímulos/monitorização das respectivas respostas apenas é possível sobre os pinos com ABM.

4.1.1.2 DBM

O DBM pode estar associado a pinos digitais ou aos nós internos digitais dos circuitos mistos de missão. Embora existam algumas variantes, este bloco apresenta habitualmente a topologia mostrada na Figura 4-4, incluindo uma entrada paralela (*Parallel Input - PI*), uma saída paralela (*Parallel Output - PO*), uma entrada série (*Serial Input - SI*) e uma saída série (*Serial Output - SO*).

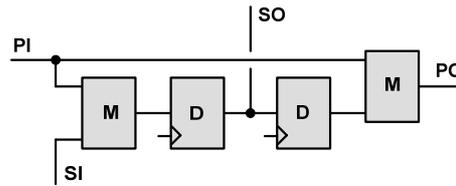


Figura 4-4: Constituição típica do DBM.

Os quatro modos de funcionamento deste DBM, representados na Figura 4-5, dependem da instrução actual e do estado do controlador do TAP:

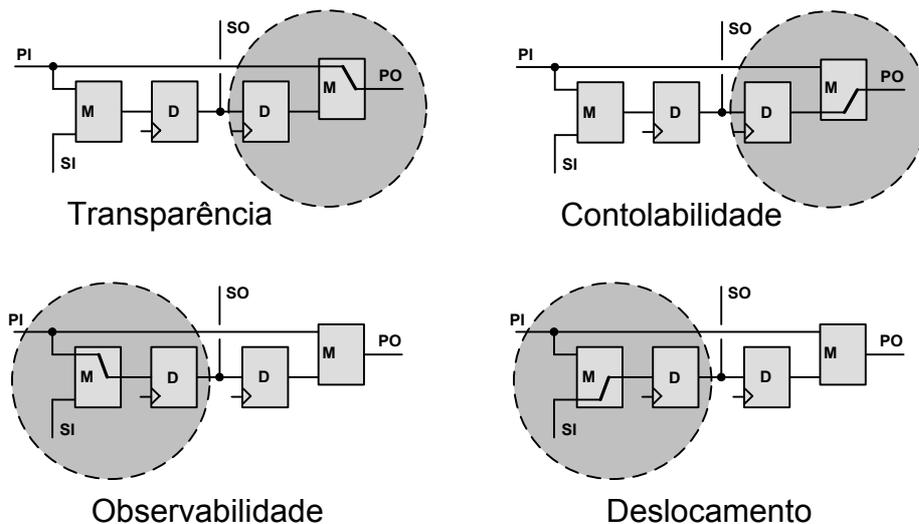


Figura 4-5: Modos de funcionamento do DBM.

- Transparência - o DBM não afecta o funcionamento do nó digital a que está associado, uma vez que a entrada paralela liga à saída paralela.
- Controlabilidade - o valor presente na saída paralela provém do andar de saída da célula (Andar de Retenção ou *Update stage*, U).
- Observabilidade - o valor capturado na entrada paralela é guardado no andar de entrada da célula (Andar de Captura / Deslocamento ou *Capture/Shift stage*, CS).
- Deslocamento - o conteúdo do BSR é deslocado por varrimento no sentido de SI para SO e à frequência de TCK.

Estes modos de funcionamentos não são mutuamente exclusivos - um DBM pode encontrar-se em transparência ou em controlabilidade e, cumulativamente, em observabilidade ou em deslocamento.

4.1.1.3 TBIC

O TBIC controla as interligações entre o ATAP e as linhas do barramento interno de teste analógico AB1/2. A infra-estrutura IEEE1149.4 especifica que devem existir pelo menos duas linhas neste barramento, conforme se ilustra na Figura 4-6.

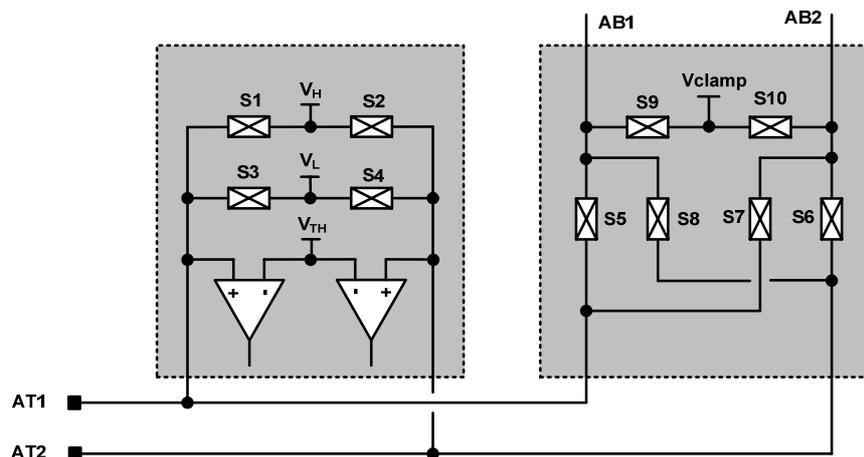


Figura 4-6: Estrutura de comutação do TBIC.

A parte do TBIC constituída pelos interruptores analógicos S1 a S4 e os comparadores, permite realizar o teste das ligações associadas aos pinos do ATAP: cada um dos pinos AT1 e AT2 pode ser ligado a V_H ou V_L ; os comparadores permitem distinguir a presença daqueles valores de tensão. A outra parte constituída pelos interruptores S5 a S10 permite:

- Isolar AT1 de AB1 e AT2 de AB2.
- Ligar AT1 a AB1 e/ou AT2 a AB2.
- Ligar AT1 a AT2 via AB1 ou via AB2.

O estado aberto/fechado dos interruptores é definido pela estrutura de controlo do TBIC apresentada na Figura 4-7. Este bloco tem as seguintes características:

- Possui um registo de quatro bits (com andar de deslocamento e de retenção) que faz parte do BSR. Cada bit compreende uma estrutura semelhante à BSC, mas sem o multiplexador de saída.

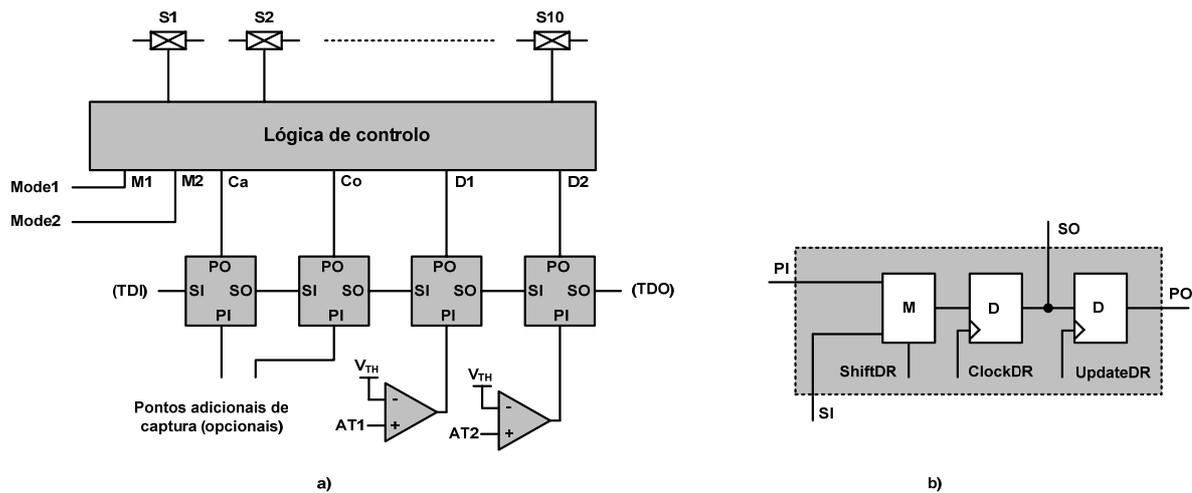


Figura 4-7: Estrutura de controlo do TBIC.

- Os quatro bits do registo desinam-se por CALIBRATE, CONTROL, DATA1 e DATA2. Os dois últimos capturam a representação, em um bit, das tensões presentes em AT1 e AT2, por comparação com V_{TH} , estando os dois primeiros disponíveis para o fim que o projectista lhes quiser dar.
- Os quatro bits presentes no andar de retenção, em conjunto com os sinais MODE1 e MODE2 provenientes do descodificador de instrução, caracterizam o modo de operação da estrutura de comutação do TBIC.

O número de combinações possíveis para o estado dos interruptores é de 2^{10} mas, a norma define que, de acordo com a instrução carregada no registo de instrução, apenas dois subconjuntos de 10 e quatro daquelas configurações podem ter lugar, bastando ao registo de controlo do TBIC quatro bits para codificar a selecção. Apenas são necessários os interruptores S5, S6, S7 e S8, sendo os interruptores S9 e S10 apenas recomendáveis. Os restantes interruptores, bem assim como os comparadores, podem não existir fisicamente, sendo as respectivas funções desempenhadas por elementos digitais [Sunter 04]. A norma exige no mínimo a presença de um par de linhas analógicas de teste interno (AB1 e AB2), mas permite a sua divisão em vários pares de linhas⁸. A Figura 4-8 mostra a topologia do TBIC para dois pares de linhas internas de teste analógico, AB1a/AB2a e AB1b/AB2b.

⁸ (IEEE1149.4 - 6.5).

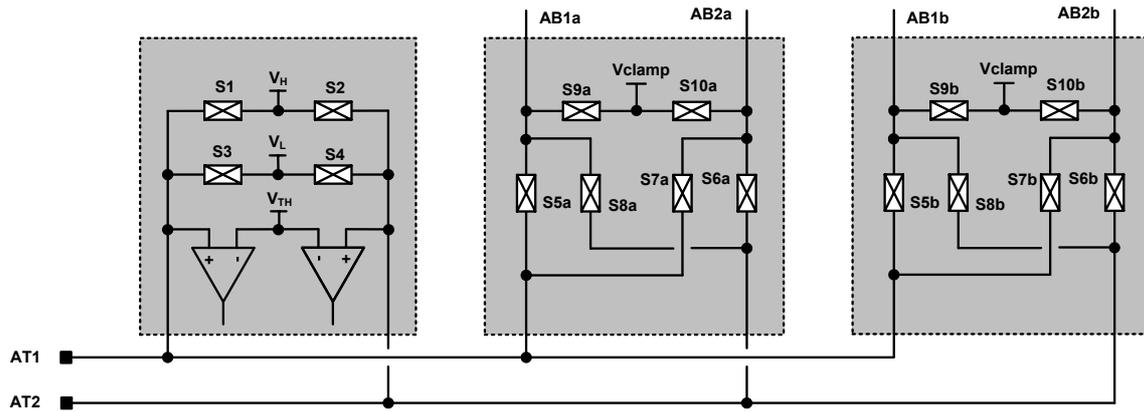


Figura 4-8: Exemplo de TBIC para dois pares de linhas internas de teste analógico.

4.1.1.4 ABM

O ABM é o bloco mais importante da infra-estrutura IEEE1149.4. Este bloco permite a aplicação de estímulos ao pino e a captura das respectivas respostas, combinando o acesso analógico via ATAP com o acesso por varrimento via TAP. A sua estrutura de comutação, apresentada na Figura 4-9, compreende seis interruptores e um comparador que proporcionam as seguintes funções:

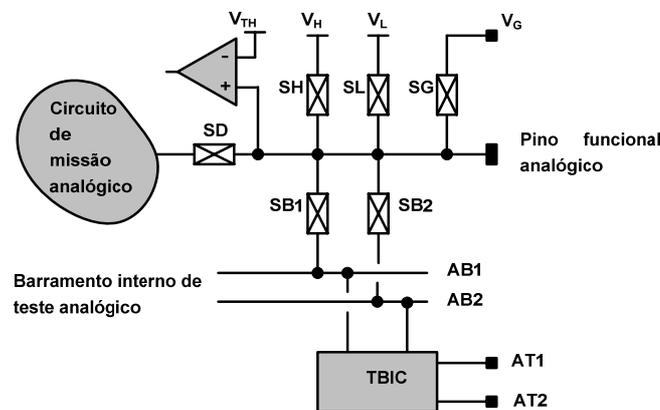


Figura 4-9: Estrutura de comutação do ABM.

- Desligar o pino do circuito de missão.
- Ligar o pino à linha AB1 (controlabilidade).
- Ligar o pino à linha AB2 (observabilidade).
- Ligar o pino a uma tensão de referência V_G para teste de ligações estendidas.

- Ligar o pino a V_H ou V_L para o teste de ligações simples.
- Obter uma representação binária da tensão presente no pino, por comparação com V_{TH} .

O estado aberto/fechado dos interruptores é definido pela estrutura de controlo do ABM representada na Figura 4-10.

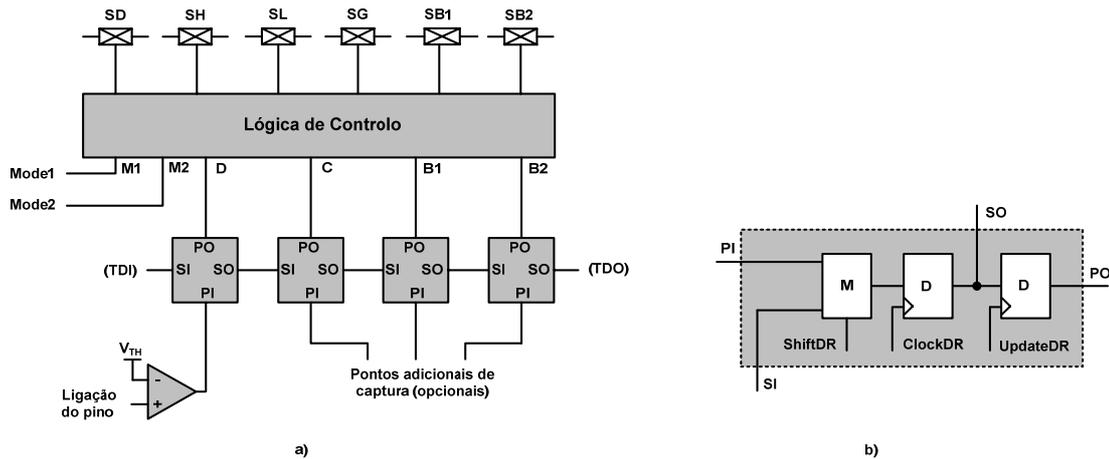


Figura 4-10: Estrutura de controlo do ABM.

O número de combinações possíveis para o estado dos interruptores é de 2^6 mas, a norma define que, de acordo com a instrução carregada no registo de instrução, apenas dois subconjuntos de 16 e 4 daquelas configurações podem ter lugar, pelo que o registo de controlo do TBIC necessita apenas de quatro bits para codificar a selecção. Para o ABM são possíveis três modos de operação, conforme se ilustra na Figura 4-11:

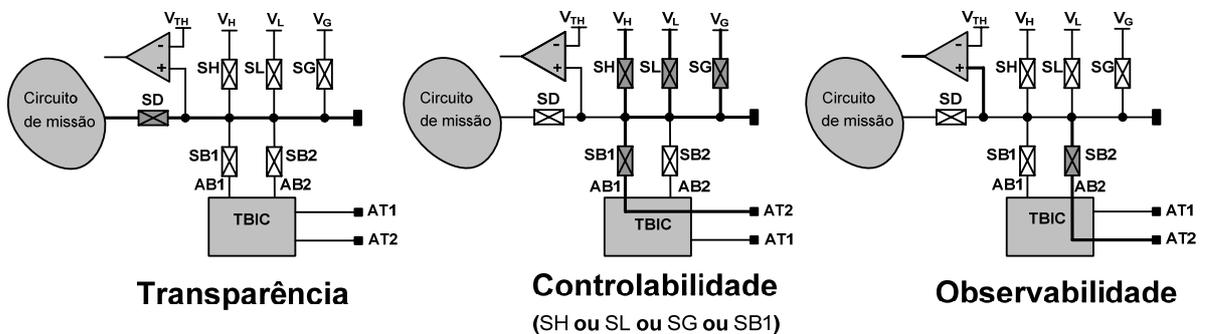


Figura 4-11: Modos de funcionamento do ABM.

- Transparência - o ABM não afecta o funcionamento do circuito, já que o pino liga ao circuito de missão.
- Controlabilidade - o sinal presente no pino pode corresponder a um dos seguintes valores: V_H , V_L , V_G ou a um sinal proveniente do exterior via AB1/ AT1.
- Observabilidade - o sinal presente no pino é enviado para o exterior via AB2/AT2; adicionalmente, é também digitalizado em um bit, que pode ser lido através do BSR.

Também neste caso, os interruptores presentes na estrutura de comutação são *conceptuais*⁹. Nos ABMs associados a pinos de saída em que não é aceitável a presença do interruptor SD, pode este ser omitido desde que o pino possa ser colocado em estado de alta impedância pela infra-estrutura IEEE1149.4. Da mesma forma, podem os interruptores SH e SL ser suprimidos nos ABMs, desde que as respectivas funções fiquem asseguradas. Com efeito, apenas são necessários os interruptores SB1, SB2 e eventualmente SG, podendo os restantes e o comparador não existir fisicamente, caso em que as respectivas funções serão desempenhadas por elementos digitais [Sunter 04].

4.1.1.5 INSTRUÇÕES

O conjunto de instruções para a infra-estrutura IEEE1149.4 corresponde ao definido para a infra-estrutura IEEE1149.1, ao qual foi acrescentada a instrução obrigatória *PROBE*. O funcionamento resumido para cada uma das instruções é o seguinte:

- *BYPASS* - esta instrução é obrigatória e coloca o registo de *bypass*, de comprimento igual a um bit, entre os pinos TDI-TDO. Quando for esta a instrução actual, o circuito de missão desempenhará a sua função normal.
- *SAMPLE/PRELOAD* - esta instrução obrigatória coloca o BSR entre os pinos TDI-TDO e permite (i) fazer uma amostragem digital dos valores presentes nas entradas

⁹ (IEEE1149.4 - 3.1.6).

paralelas; (ii) carregar um conjunto de padrões no andar de retenção. Quando for esta a instrução actual, o circuito de missão desempenhará a sua função normal. Os pinos do ATAP estarão desligados do barramento interno de teste analógico. A utilização desta instrução inclui três passos: (i) a captura dos valores do BSR à transição ascendente de TCK, quando o controlador do TAP se encontra em *Capture-DR*; (ii) o deslocamento por varrimento destes valores para TDO, realizado em simultâneo com o deslocamento dos novos valores via TDI; e (iii) o carregamento dos novos valores no andar de retenção do BSR, à transição descendente de TCK, quando o controlador do TAP se encontra em *Update-DR*.

- *EXTEST* - esta instrução obrigatória coloca o BSR entre os pinos TDI-TDO e permite realizar o teste de ligações simples e estendidas. Quando for esta a instrução actual, as saídas dos DBMs serão definidas pelos valores presentes nos andares de retenção, mudando apenas na transição descendente de TCK, com o controlador do TAP no estado *Update-DR*. Os pinos com ABM estarão desligados do circuito de missão. O controlo dos interruptores dos ABMs permite aplicar um nível lógico (V_H ou V_L) para o teste de ligações simples, ou um estímulo analógico e subsequente medição para o teste das ligações estendidas.
- *PROBE* - esta instrução obrigatória coloca o BSR entre os pinos TDI-TDO e permite controlar/observar os pinos com ABMs via AB1/AB2, respectivamente, enquanto o CI desempenha a sua função normal. Os DBMs e os ABMs estarão em modo transparente.
- *INTEST* - esta instrução opcional coloca o BSR entre os pinos TDI-TDO e permite realizar o teste interno do circuito de missão. Para que o teste da parte digital possa ser realizado da mesma forma que com a infra-estrutura IEEE1149.1, os nós digitais internos pertencentes a entradas ou saídas de circuitos mistos devem estar associados a DBMs. As entradas e saídas analógicas têm ABMs e podem ser controladas e observadas a partir do barramento interno de teste analógico, devendo o interruptor SD encontrar-se fechado. Os pinos de saída com DBMs são colocados num estado inactivo (por exemplo, em alta impedância) ou passam a ter o seu estado definido pelos valores presentes no andar de retenção do registo BSR, mudando apenas na transição descendente de TCK, com o controlador do TAP em *Update-DR*. O estado

de todas as saídas digitais com DBM ou ABM, pino ou nó digital interno, é capturado no andar de deslocamento do BSR na transição ascendente de TCK, com o controlador do TAP no estado de *Capture-DR*. Esta instrução permite observar os pinos dos ABMs via AB2 e/ou aplicar estímulos via AB1.

- *IDCODE* - esta instrução existirá se o fabricante incluir no CI um registo de identificação, que ficará disponível entre os pinos TDI-TDO. A leitura deste registo identifica o fabricante, e o tipo / versão do componente. Esta instrução mantém os DBMs e os ABMs em modo transparente e o barramento interno de teste analógico desligado dos ABMs e dos pinos do ATAP.
- *USERCODE* - esta instrução é semelhante a *IDCODE* e substitui-a no caso de CIs com funcionalidade programável pelo utilizador, a quem cabe definir o código de identificação. Tal como no caso de *IDCODE*, esta instrução não tem carácter intrusivo, mantendo os DBMs e os ABMs em modo transparente e o barramento interno de teste analógico desligado dos ABMs e dos pinos do ATAP.
- *RUNBIST* - esta instrução opcional coloca entre TDI-TDO o registo de dados que contém o resultado do auto-teste, que será realizada enquanto o controlador do TAP se encontra no estado *Run-Test/Idle*. O auto-teste pode ser realizado simultaneamente em vários CIs, obtendo-se assim uma mais rápida verificação dos resultados. As saídas dos DBMs e ABMs exibirão os valores presentes no andar de retenção do BSR ou serão colocadas num estado inactivo, que poderá ser de alta impedância.
- *CLAMP* - esta instrução opcional coloca o registo de *bypass* entre os pinos TDI-TDO e permite impor valores pré-determinados nas saídas de um CI, enquanto decorre o teste de outros blocos na sua vizinhança. As saídas dos ABMs e DBMs, bem como os pinos do ATAP, resultam dos valores presentes no BSR.
- *HIGHZ* - esta instrução opcional coloca o BSR entre os pinos TDI-TDO e permite a utilização conjunta dos equipamentos de teste exteriores e das infra-estruturas IEEE1149.1/4, já que coloca todos os pinos de saída no estado de alta impedância.

4.1.2 LINHAS DE DESENVOLVIMENTO

A infra-estrutura IEEE1149.4 gerou muita expectativa junto da comunidade de teste de circuitos mistos, mesmo ainda durante a sua fase de desenvolvimento, já que oferecia as seguintes vantagens [Sunter, 96]:

- Infra-estrutura normalizada.
- Forma de ultrapassar as dificuldades do acesso físico aos nós.
- Acesso contínuo aos nós do circuito.
- Medida directa de tensões e de correntes através da estrutura de comutação.
- Medida indirecta de grandezas (resistência, capacidade, tempos de atraso, etc.).
- Possibilidade de observação e/ou controlo diferencial através do barramento interno de teste analógico (2 ou 4 linhas).

Não obstante os benefícios apresentados, a aceitação desta infra-estrutura tem-se revelado lenta, tendo sido apontadas as seguintes desvantagens:

- *Overhead* introduzido (pinos e/ou área de silício) [Sunter 96], [Schuttert et al. 04], [Bennetts 04], [Whetsel 06].
- Risco de degradação do desempenho [Schuttert et al. 04], [Bennetts 04].
- Necessidade de sistemas e equipamentos analógicos externos [Filiter 04].

A primeira desvantagem depende de dois factores [Sunter 96]: (i) a área disponível para realizar as ligações aos pinos (*pad pitch*) e (ii) a que é necessária para implementar a própria infra-estrutura, impondo ambas limitações sobre os próprios circuitos, em número de pinos e/ou na sua realização funcional. A consideração da área utilizada pela ligação do pino (*pad pitch*) é preponderante em relação à usada pela parte digital e mista da infra-estrutura de teste. Da área usada pela infra-estrutura IEEE1149.4, a maior parte diz respeito ao circuito de controlo do TAP e das ligações aos pinos usados para funções de teste, e às células de varrimento periférico. Se considerarmos que o circuito já inclui a infra-estrutura IEE1149.1,

o *overhead* associado à infra-estrutura IEEE1149.4 é essencialmente devido aos pinos do ATAP e aos ABMs, embora este factor seja muito menos significativo do que o primeiro. Num CI, a relação entre a área de silício e o custo associado é complexa e depende da tecnologia usada e do tipo de circuito (analógico ou digital) [Cunningham 90], mas de um modo geral podem distinguir-se três situações para o aumento do custo devido à introdução da infra-estrutura IEEE1149.4 [Sunter 96]:

- 15 a 30 % nos CIs com *pad pitch* de 200 μm , limitados em número de pinos e sem infra-estrutura IEEE1149.1. A maior parte destes CIs apresenta menos de 60 pinos e um preço final inferior a 2 dólares, pelo que a introdução da infra-estrutura IEEE1149.4 não tem sido justificável.
- 5 a 15 % nos CIs com *pitch* de 100 μm , não limitados em número de pinos, ou que já possuam a infra-estrutura de teste IEEE1149.1. O custo da infra-estrutura IEEE1149.4 poderá ou não ser aceitável, devendo a análise ser feita caso a caso.
- Menor que 5% para os CIs com elevada área de silício, que será aceitável em especial para baixos volumes de produção.

Este estudo evidencia o aumento do custo provocado pela adição de pinos associados à infra-estrutura de teste. A evolução da tecnologia de integração agrava esse custo nos CIs limitados em número de pinos, uma vez que o aumento de portas lógicas / silício não tem paralelo na diminuição da área associada ao *pad pitch*. A maior parte dos circuitos analógicos e mistos comercializados, conforme se pode observar na Tabela 4-1, pertencem à categoria dos circuitos limitados em número de pinos [Filitier 04], ou seja aqueles onde o aumento do custo provocado pela introdução da infra-estrutura IEEE1149.4 é maior.

Tabela 4-1: Volume de vendas dos tipos de CIs analógicos e mistos.

Número de pinos	Volume de vendas
< 20	94 %
21 - 40	3 %
> 41	3 %

Num CI, os pinos constituem recursos valiosos, o que tem motivado o desenvolvimento de mecanismos para a sua optimização. É o caso do desenvolvimento da norma IEEE P1149.7, infra-estrutura semelhante à IEEE1149.1, mas com um porto de acesso constituído por apenas dois pinos [Whetsel 06]. Em [Russel 96] propõe-se a extensão de infra-estrutura IEEE1149.1 para a área do teste de circuitos mistos, mas sem aumentar o número de pinos do porto de acesso. Em [Lu et al. 94] propõe-se a realização de medidas de componentes em ligações estendidas através de um barramento interno de teste analógico constituído por uma única linha.

Em relação à segunda desvantagem apontada, a inclusão de uma infra-estrutura de teste num CI provoca sempre uma degradação de desempenho (e.g. os atrasos provocados por BSC's ou a deterioração provocada pela observação de um sinal analógico). Na infra-estrutura IEEE1149.1 as células de varrimento periférico foram desenvolvidas de forma a minimizar os atrasos resultantes da sua presença no percurso de sinal. Os circuitos analógicos e mistos são projectados com margens de tolerância muito mais apertadas do que as dos circuitos digitais [Cadence 02], [Burns 00], mas a degradação do desempenho devida à presença da infra-estrutura IEEE1149.4 é suficientemente reduzida e pode ser tolerada [Sunter 95a], [Sunter 96], [Kac et al. 00]. Deve-se realçar que a infra-estrutura de comutação do ABM é constituída por interruptores conceptuais. Em particular o interruptor SD pode não existir num ABM de um pino de entrada ¹⁰ ou num ABM de um pino de saída. Em [Sunter 95b] são apresentadas configurações de ABM de saída sem o interruptor SD. Dado que os interruptores do ABM não são ideais (i.e. não apresentam impedância nula/infinita quando se encontram fechados/abertos, têm capacidades parasitas associadas, etc.), é recomendável minimizar-se o número de ABMs ligados ao mesmo par de linhas AB1/AB2 do barramento interno de teste analógico, podendo ser necessária a sua partição. Para tecnologias CMOS <0,25µm é aceitável o número de 30 ABMs ligados ao mesmo par de linhas AB1/AB2 [Sunter 04].

Em relação à terceira desvantagem, a infra-estrutura IEEE1149.4 é exactamente desenvolvida de forma a realizar o teste em ligações estendidas com base em equipamentos analógicos

¹⁰ (IEEE1149.4-7.3.2) Se o interruptor físico não for admissível no percurso do sinal devido ao seu impacto no funcionamento do circuito, pode ser omitido.

externos. De acordo com [Filitier 04], um dos factores que facilitou a aceitação da infra-estrutura IEEE1149.1 terá sido a exiguidade dos meios requeridos para a sua utilização, que frequentemente se reduzem a um PC. Esta lacuna identificada para a infra-estrutura IEEE1149.4 será tratada no capítulo 5, onde se propõe um circuito embutido para o apoio à depuração de circuitos mistos.

No sentido de se compreender a lenta aceitação da infra-estrutura IEEE1149.4, vale ainda a pena fazer-se a sua comparação com a infra-estrutura IEEE1149.1, nos seguintes aspectos:

- No acesso para o teste interno de um CI.
- No acesso aos nós internos de um CI.
- Na sua reutilização para operações diferentes das previstas.

O primeiro ponto refere-se à utilização das infra-estruturas IEEE1149.1/4 para o teste interno que constitui um dos objectivos de cada uma das normas, embora com possibilidade de implementação diferente em cada um dos casos. Com efeito, o teste interno é sempre possível num CI compatível com a infra-estrutura IEEE1149.1. A realização do teste interno num CI compatível com a infra-estrutura IEEE1149.4 depende da possibilidade de se colocarem as saídas dos CIs a montante no estado de alta impedância. Esta lacuna identificada para a infra-estrutura IEEE1149.4 e a proposta de alternativas para a colmatar será tratada numa sub-secção seguinte.

O segundo ponto refere-se à reutilização das infra-estruturas IEEE1149.1/4 como meio de acesso electrónico aos nós internos de um CI. Enquanto a primeira é comumente utilizada para este fim, a segunda apresenta limitações importantes. A norma IEEE1149.1 apresenta várias configurações de BSC's e exemplos de aplicação. A norma IEEE1149.4 apresenta uma única configuração de ABM em que as duas linhas AB1/2 se encontram ligadas ao mesmo ponto, topologia que impede a sua reutilização para o controlo e observação de nós no interior do CI. Algumas empresas adoptam soluções inspiradas na infra-estrutura IEEE1149.4, mas mais simples para diminuir o *overhead* introduzido, embora nem sempre conformes com aquela norma [IEEE 03a], [Gorodetsky 05]. Parte dos recursos incluídos no ABM podem não ser necessários face ao pino de entrada ou saída a que estão associadas, e.g. nos pinos com ligações simples poderá ser dispensável o interruptor SG. Em nossa opinião, a

norma deveria propor um conjunto de diferentes ABMs seleccionáveis pelo projectista, de acordo com as suas necessidades específicas. Refira-se que o acesso electrónico aos nós internos para o diagnóstico de mau funcionamento de um CI assume uma importância crescente, especialmente nos SOC, em que o custo das máscaras litográficas pode ascender a cerca de 1 000 000 de dólares [Anis et al. 07], [Daglio 07], e o custo associado à etapa de verificação pode representar o triplo do que está associado à etapa de projecto [Mounir et al. 03], [Safarpour et al. 2007], [Drechsler 00]. A tendência crescente de integração faz com que seja cada vez maior o número de SOCs mistos [Cadence 02] onde o acesso tem vindo a ser feito através de metodologias proprietárias e *ad-hoc* [Sunter 98], [Andlauer et al. 02]. Este aspecto será igualmente tratado numa sub-secção seguinte.

O terceiro ponto refere-se à reutilização das infra-estruturas IEEE1149.1/4 para aplicações diferentes das previstas e é um factor que pode ajudar a justificar a sua inclusão. Num CI, a introdução de mecanismos não essenciais ao seu funcionamento tem de ser sustentada face aos benefícios que proporciona [Bennetts 04]. A infra-estrutura IEEE1149.1 tem sido correntemente reutilizada, entre outras, nas seguintes aplicações:

- Configuração de FPGAs.
- Apoio à depuração.
- Injecção de falhas.

A inclusão da infra-estrutura IEEE1149.4 será mais facilmente justificável se for usada para além do teste de ligações [Sunter et al. 02], tendo sido já proposta a sua reutilização nos seguintes casos:

- Determinação dos parâmetros V_{OL} , I_{OL} , V_{OH} , I_{OH} , V_{IL} , I_{IL} e I_{IH} . [Sunter et al. 02].
- Apoio em medidas RF [Hakkinen et al. 04], [Syri et al. 05].
- Apoio ao teste de conversores A/D e D/A [Sunter 03].
- Teste e depuração à distância de CCI's [Tatum 02]
- Monitorização de sinais analógicos em automóveis [Jeffrey 03]

- Apoio à depuração de circuitos mistos [Felgueiras et al. 2006a], [Felgueiras et al. 2007a].

Repare-se que uma infra-estrutura que inclui barramentos internos de teste analógico tem importância também para a determinação de grandezas associadas a circuitos digitais, como se constata numa patente da INTEL [Frodsham et al. 01] para verificar alguns parâmetros associados aos pinos de um CI através de um barramento analógico de uma ou duas linhas. Chama-se ainda a atenção para a reutilização das infra-estruturas para o apoio às operações de depuração. De acordo com [Sunter 97a], a rápida aceitação da infra-estrutura IEEE1149.1 ficou a dever-se em larga medida à sua reutilização como um meio muito valioso para a depuração de circuitos digitais. É necessário, portanto, analisar a possibilidade de reutilização da infra-estrutura IEEE1149.4 para apoiar operações de depuração em circuitos mistos, tema que será tratado no capítulo 5.

4.2. REQUISITOS PARA IMPLEMENTAÇÃO

A depuração de circuitos requer a disponibilidade de acesso numa das seguintes formas:

- Acesso directo
 - Físico: entradas e saídas primárias, pontos de teste.
 - Electrónico: varrimento, acesso por percursos dedicados.
- Acesso indirecto: propagação.

O acesso directo físico é usado por grande parte das ferramentas de teste e depuração tais como ATE e osciloscópios. O acesso directo electrónico usa cadeias de varrimento, tais como as infra-estruturas IEEE1149.1/4, ou mecanismos de acesso dedicados. O acesso indirecto tem lugar durante a propagação de sinais. Esta subsecção analisa os acessos destinados a apoiar as operações básicas de depuração, ou seja, a controlabilidade, a observabilidade e a verificação. Para as lacunas encontradas na infra-estrutura IEEE1149.4, são propostas soluções.

4.2.1 ACESSO DIRECTO FÍSICO

O acesso directo físico é feito aos nós do circuito onde é possível ligar as pontas de prova da ferramenta de teste/depuração e permite realizar as seguintes operações:

A1 – Controlo: Os nós correspondentes às entradas primárias do circuito são sempre controláveis pelas pontas de prova. O controlo de outros nós do circuito pode ser difícil ou mesmo impossível devido às dificuldades do acesso físico. Mesmo quando ele existe, pode não ser possível forçar um sinal nesse nó (restrições de *backdriving*).

A2 – Observabilidade: Todos os nós são observáveis.

A3 – Verificação: Esta operação requer um sinal observado, um intervalo de comparação que define o desvio aceitável e uma máscara de comparação. Quando a máscara está activa, o resultado da comparação é verdadeiro se o sinal estiver dentro do intervalo de comparação e falso no caso contrário. Se a máscara não estiver activa, a comparação não é realizada.

4.2.2 ACESSO DIRECTO ELECTRÓNICO: IEEE1149.1

O acesso directo electrónico usa cadeias de varrimento ou percursos dedicados, pelo que a infra-estrutura IEEE1149.1 pertence a esta categoria. Nesta análise usaremos a representação simplificada de uma BSC, com uma entrada paralela (Parallel Input - PI) e uma saída paralela (Parallel Output - PO), conforme se apresenta na Figura 4-12.

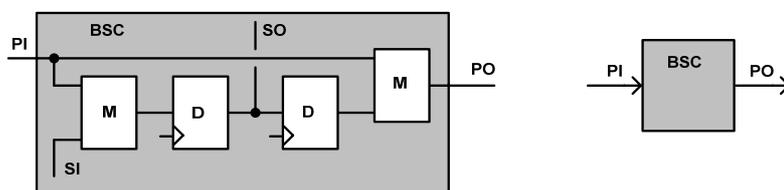


Figura 4-12: A BSC e a sua representação simplificada.

O BSR é formado por uma cadeia de BSCs, podendo cada uma destas estar associada a um pino de entrada, a um pino de saída ou ainda a um nó interno localizado na interface entre

o circuito de missão digital e o circuito de missão analógico, conforme se mostra na Figura 4-13. De acordo com a sua localização no circuito, cada BSC tem a seguinte designação:

- BSC-EP: entrada por pino.
- BSC-SP: saída por pino.
- BSC-ZP: controlo do estado de alta impedância de um pino de saída.
- BSC-AD: nó interno (sentido do sinal: de analógico para digital).
- BSC-DA: nó interno (sentido do sinal: de digital para analógico)

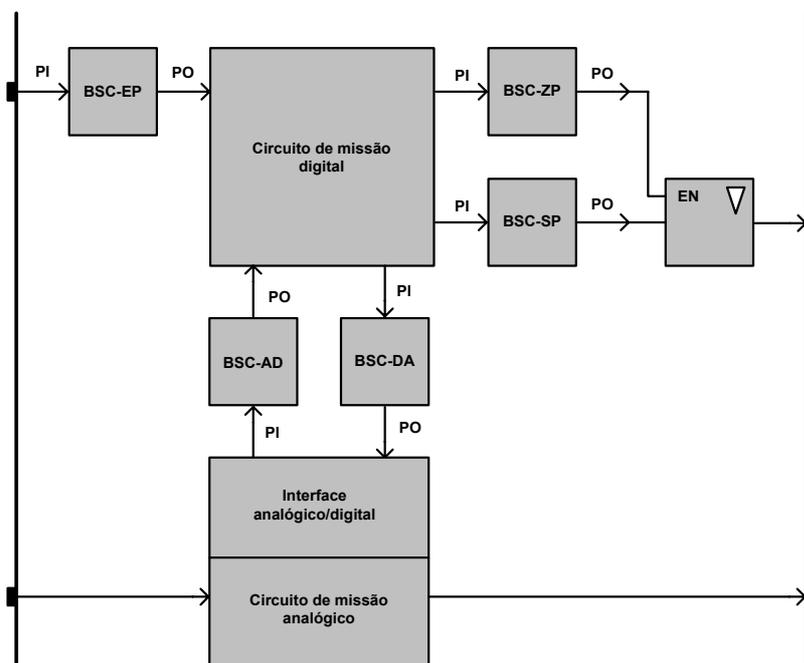


Figura 4-13: Tipos de BSC de acordo com a sua localização no circuito.

As operações para este tipo de acesso são as seguintes:

A4 – Controlo: o valor lógico em PO é sempre controlável de modo intrusivo.

A5 – Observabilidade: o valor lógico em PI é sempre observável de modo não intrusivo. O valor lógico presente em PO será observável se a infra-estrutura suportar uma instrução opcional que permita esta operação.

A6 – Verificação: conforme descrito em A3.

4.2.3 ACESSO DIRECTO ELECTRÓNICO: IEEE1149.4

O acesso directo electrónico inclui também a infra-estrutura IEEE1149.4. Nesta análise usaremos as representações simplificadas com apenas uma entrada paralela (PI) e uma saída paralela (PO) para o DBM, e Ligação do Pino (LP) e Ligação do Circuito de Missão (LCM) para o ABM, conforme se apresenta na Figura 4-14.

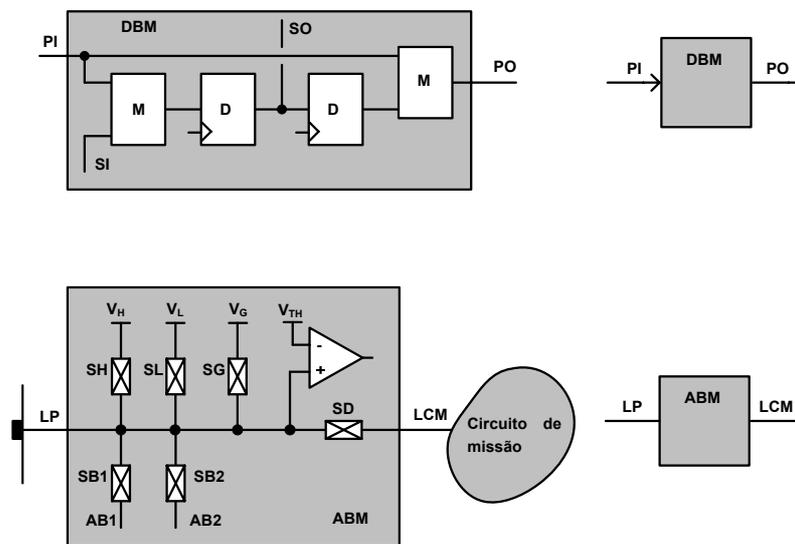


Figura 4-14: DBM e ABM e as respectivas representações simplificadas.

Os ABMs estão associados aos pinos de E/S analógicos, mas podem igualmente estar associados a pinos de E/S digitais. Os DBMs podem estar associados aos pinos de E/S digitais e eventualmente aos nós digitais internos da interface entre a parte digital e a parte mista, conforme se mostra na Figura 4-15. De acordo com a sua localização no circuito, cada ABM e DBM tem a seguinte designação:

- ABM-EPA: entrada por pino analógico.
- ABM-SPA: saída por pino analógico
- ABM-EPD ou DBM-EP: pino digital de entrada
- ABM-SPD ou DBM-SP/ZP: pino digital de saída
- DBM-AD: nó digital interno (sentido do sinal: de analógico para digital).

- DBM-DA: nó digital interno (sentido do sinal: de digital para analógico).

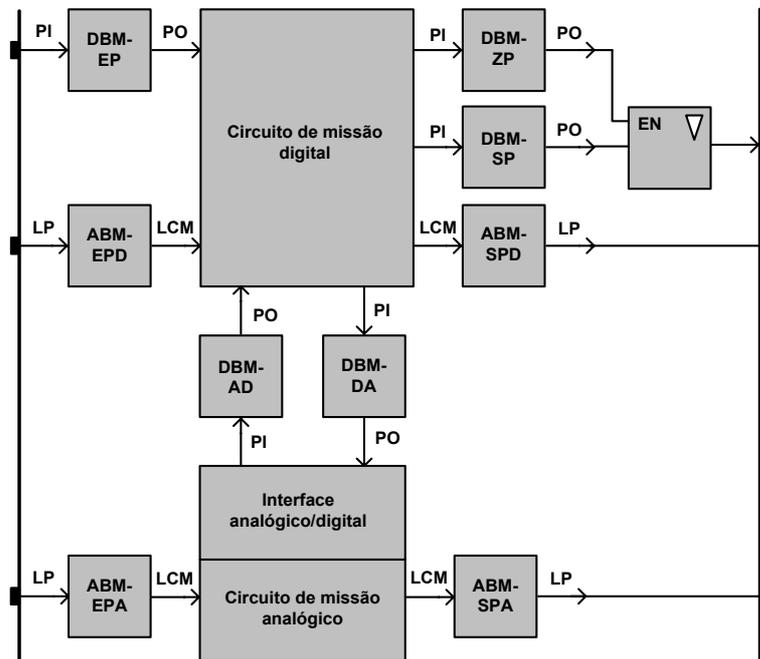


Figura 4-15: Tipos de ABMs e DBMs de acordo com as respectivas localizações no circuito.

As operações de COV para este tipo de acesso são as seguintes:

A7 - Controlo digital

DBM: o valor lógico em PO de qualquer DBM é sempre controlável de modo intrusivo.

ABM-EPD: O valor lógico em LP é sempre controlável de modo intrusivo. O valor lógico em LCM será controlável conjuntamente com LP, se as saídas ligadas ao pino puderem ser colocadas em estado de alta impedância.

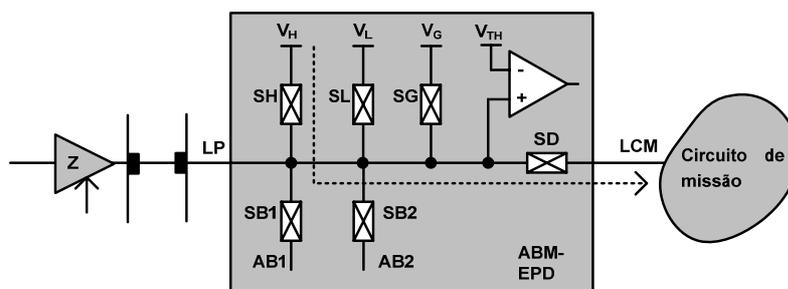


Figura 4-16: Controlo digital via ABM-EPD.

Conforme se pode observar na Figura 4-16, um ABM-EPD permite o controlo da entrada digital do circuito de missão, se pudermos colocar em alta impedância a saída ligada ao respectivo pino.

ABM-SPD: o valor lógico em LP é sempre controlável de modo intrusivo.

A8 – Controlo analógico

ABM-EPA: O sinal analógico em LP é sempre controlável de modo intrusivo via AT1. O sinal analógico em LCM será controlável conjuntamente com LP, se pudermos colocar em alta impedância as saídas ligadas ao respectivo pino, tal como se pode observar na Figura 4-17.

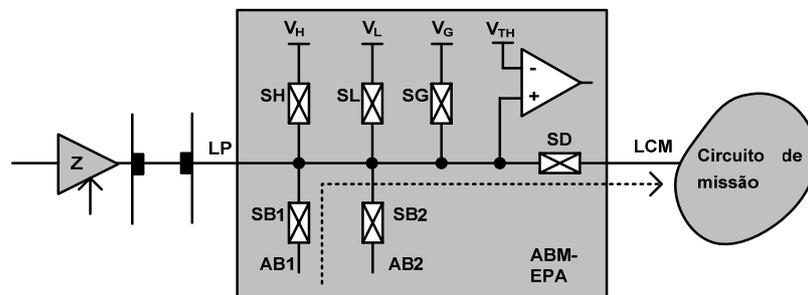


Figura 4-17: Controlo analógico via ABM-EPA.

ABM-SPA: O sinal analógico em LP é sempre controlável de modo intrusivo.

A9 – Observação digital

DBM: o valor lógico em PI é sempre observável de modo não intrusivo. O valor lógico em PO será observável se a infra-estrutura suportar uma instrução opcional que permita esta operação.

ABM-EPD/SPD: o valor lógico em LP é sempre observável por varrimento. O valor lógico em LCM será observável se for possível fechar o interruptor SD durante esta operação. O sinal digital em LP é sempre observável em tempo-real via AT1 ou AT2. O sinal lógico em LCM será também observável se for possível fechar SD durante esta operação.

A10 – Observação analógica

ABM-EPA/SPA: O sinal analógico em LP é sempre observável via AT1 ou via AT2. O sinal analógico em LCM será observável se for possível fechar o interruptor SD durante esta operação.

A11 – Verificação

Conforme descrito em A3.

4.2.4 ACESSO INDIRECTO

O acesso indirecto requer a propagação de sinais para realizar as seguintes operações básicas de depuração.

A12 – Controlabilidade: o sinal presente num determinado nó será controlável por propagação apenas se estiver disponível um cone de influência apropriado.

A13 – Obseabilidade: O sinal presente num determinado nó será observável se for possível a sua propagação até um nó directamente observável.

A14 – Verificação

Conforme descrito em A3.

4.2.5 ALTERNATIVAS PARA A INFRA-ESTRUTURA IEEE1149.4

A análise anterior permite afirmar que a infra-estrutura IEEE1149.4 pode ser utilizada para apoiar operações de depuração em circuitos mistos, embora revele algumas insuficiências que devem ser colmatadas. A BSC definida pela norma IEEE1149.1 apresenta uma orientação fixa em relação ao fluxo do sinal, permite a observação em PI e o controlo de PO, possibilitando o teste de ligações simples e o teste interno. Este último é sempre possível, embora com a limitação de velocidade decorrente do deslocamento série da informação. As características da BSC fazem com que seja frequentemente utilizada como mecanismo de acesso aos nós digitais internos do circuito, através de cadeias de varrimento associadas a instruções opcionais. O ABM foi desenvolvido para apoiar o teste das ligações simples e das ligações estendidas e apresenta uma orientação fixa em relação ao pino, que é sempre controlável e observável. Durante o teste de ligações, os interruptores SH e SL de um dos ABMs são usados para impor a tensão de teste (V_H ou V_L), sendo a resposta (digitalizada em um bit) capturada no registo de controlo do outro ABM. Durante o teste paramétrico de uma ligação estendida, um dos pinos é colocado à tensão VG através do respectivo ABM. O ABM associado ao outro pino permite a injeção de uma corrente proveniente de AT1/AB1,

sendo a tensão resultante encaminhada via AB2 para AT2, onde é medida. A caracterização das ligações estendidas pode exigir a repetição deste procedimento, com inversão da função realizada por cada um dos ABMs, cobrindo-se assim grande parte das situações possíveis [McDermid 98],[Gizopoulos 06].

Para além do teste de interligações, o teste interno é um tipo de operação que ambas as infraestruturas IEEE1149.1/4 se propõem apoiar, embora com diferentes potencialidades. Num CI digital IEEE1149.1 é sempre possível realizar-se o teste interno através da instrução *INTEST*, independentemente das características dos restantes CIs. Num CI misto IEEE1149.4, o controlo de LCM só pode ser feito conjuntamente com LP. Caso se trate de um ABM associado a um pino de entrada, o controlo de LCM fica dependente dos restantes CIs, nomeadamente da possibilidade de se colocar em estado de alta impedância as saídas ligadas à entrada em causa. A utilização de um ABM como mecanismo de acesso aos nós internos do circuito não é possível, uma vez que a observação e o controlo são feitos do mesmo lado, o que nos impede de observar a entrada e controlar a saída, em relação ao sentido do sinal. O ABM Genérico (ABM-G) que se apresenta na Figura 4-18 ultrapassa as restrições anteriormente apontadas, já que é completamente controlável e observável em ambos os domínios, analógico e digital, de ambos os lados do interruptor SD.

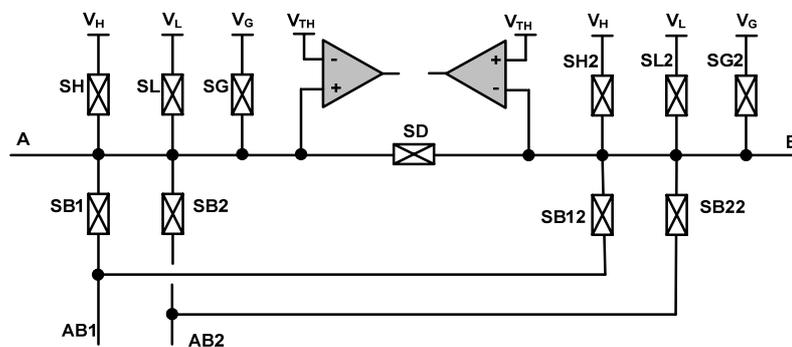


Figura 4-18: Topologia do ABM Genérico.

O ABM-G certamente inclui recursos que podem não ser necessários em todas as situações, mas esta topologia constitui um ponto de partida para uma abordagem sistemática das potencialidades a incluir em cada caso, pinos ou nós internos. Recorde-se que a infraestrutura IEEE1149.4 permite que ao ABM sejam adicionados componentes para o tornar mais flexível. Retomemos o caso do ABM-EPA, cuja análise revelou limitações para controlar

analogicamente a entrada do circuito de missão. Para ultrapassar esta lacuna, propomos o ABM-1 que se encontra representado na Figura 4-19.

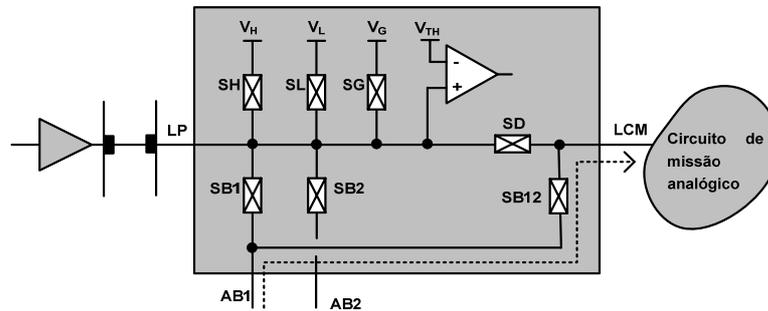


Figura 4-19: Topologia do ABM-1 que permite o controlo da entrada analógica do circuito de missão.

A topologia deste ABM permite controlar a entrada analógica do circuito de missão do interruptor SB12, quando o circuito está em modo de teste interno¹¹, através de um conjunto de padrões opcionais a incluir. A Figura 4-20 apresenta a topologia do ABM-2, que permite controlar a entrada digital do circuito missão, quer através da aplicação dos níveis lógicos V_H e V_L , quer pela aplicação de um sinal digital via AT1/AB1, através de um conjunto de padrões opcionais aplicados quando o circuito se encontra em modo de teste interno.

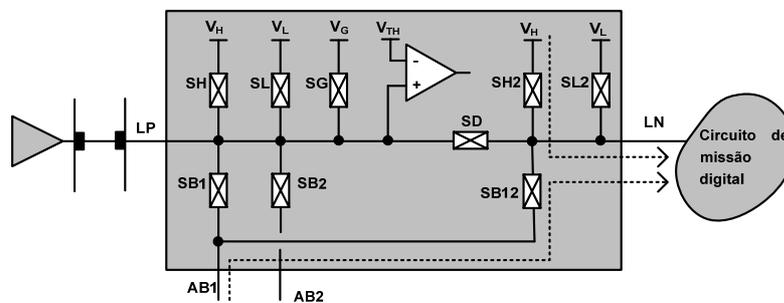


Figura 4-20: Topologia do ABM-2 que permite o controlo da entrada digital do circuito de missão.

As operações de básicas de depuração em circuitos mistos reutilizando a infra-estrutura IEEE1149.4 podem ser estendidas aos nós internos do circuito misto sob depuração. Propomos que o projectista utilize a topologia de ABM mais conveniente a partir do ABM-G, e que possa incluir o respectivo registo no BSR. A Figura 4-21 apresenta o ABM-3, para

¹¹ Apesar das vantagens referidas, esta solução viola a norma IEEE1149.4 - 5.4.1.1.b, que explicita que quando a instrução INTEST está activa, o pino deve ligar ao circuito de missão.

ser usado num nó digital interno, permitindo observar a sua entrada (L1) através do comparador e de AB2/AT2, e controlar a sua saída (L2) através de V_H , V_L ou AT1/AB1. A Tabela 4-2 descreve o respectivo modo de funcionamento.

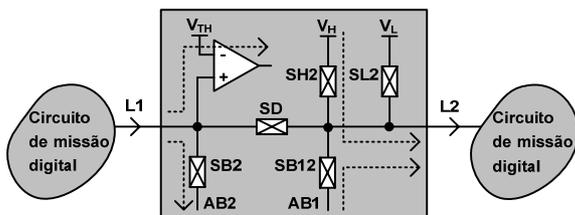


Figura 4-21: Estrutura de comutação para o ABM-3.

Tabela 4-2: Modo de funcionamento para o ABM-3.

Instruções	SD	SB2	SH2	SL2	SB12
PROBE,	0	0	0	0	1
INTEST	0	0	0	1	0
	0	0	1	0	0
	0	1	0	0	1
	0	1	0	1	0
	0	1	1	0	0
	1	0	0	0	0
	1	1	0	0	0
Outras	1	0	0	0	0

Para o ABM-3 propõem-se oito configurações, pelo que o respectivo registo necessita de 3 bits de selecção, conforme se apresenta na Figura 4-22.

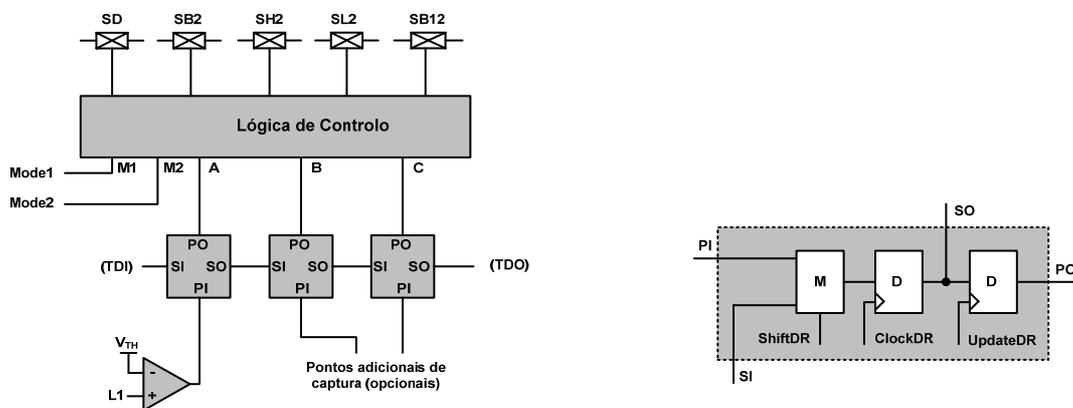


Figura 4-22: Estrutura de controlo para ABM-3.

A notação usada nos esquemas dos ABMs é simbólica, podendo grande parte dos componentes não existir na forma representada: (i) os interruptores SB2, SB12 e SD podem ser substituídos por *buffers* analógicos que possam colocar a saída em alta impedância; (ii) os interruptores SL2 e SH2 substituídos por *buffers* digitais também com alta impedância; (iii) o comparador pode não existir, ligando-se L1 a A (ver Figura 4-22). A Figura 4-23 apresenta a

topologia do ABM-4 para aplicação em nós analógicos internos, sendo o respectivo modo de funcionamento apresentado na Tabela 4-3.

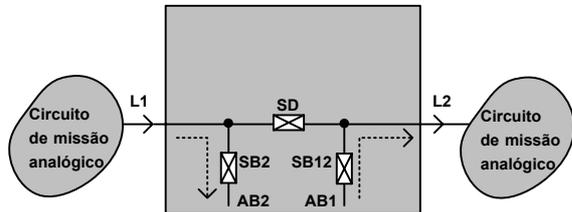


Figura 4-23: Estrutura de comutação para o ABM-4.

Tabela 4-3: Modo de funcionamento do ABM-4.

Instrução	SD	SB2	SB12
PROBE, INTEST	1	0	0
	1	1	0
	0	0	1
	0	1	1
Outras instruções	1	0	0

Para o ABM-4 propõem-se 4 configurações e dois bits de selecção, conforme se apresenta na Figura 4-24.

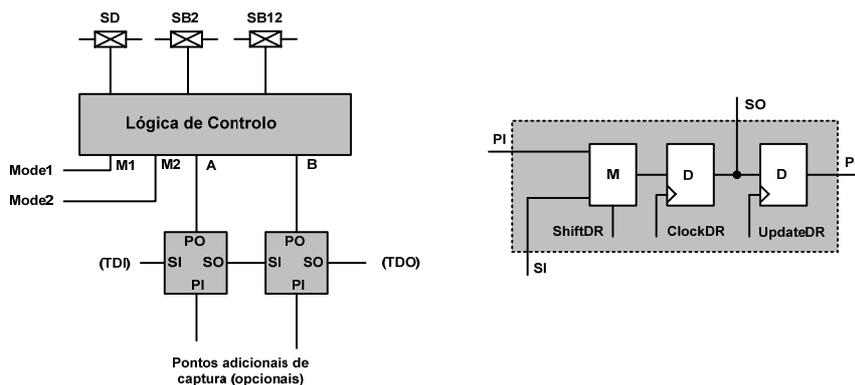


Figura 4-24: Estrutura de controlo do ABM-4.

Comentários finais

As propostas apresentadas visam dotar a infra-estrutura IEEE1149.4 dos meios necessários para apoiar as operações básicas de depuração, procurando particularmente potenciar a sua introdução em SoCs. Nesse sentido propõe-se que o projectista utilize várias topologias de ABM e inclua o respectivo registo no BSR. Uma alternativa para o acesso analógico aos nós internos, garantindo a compatibilidade com a norma, consiste no uso da técnica de registo de comprimento variável sobre o BSR. Nesse caso, quando fossem usadas as instruções normalizadas, seria seleccionado o BSR (i.e. os DBMs, os registos dos ABMs e o registo do TBIC). Quando fossem usadas instruções opcionais, seria seleccionado o BSR e os registos dos ABMs associados aos nós internos.

4.3. PROCEDIMENTO DE VERIFICAÇÃO

Os meios usados para o teste e depuração de circuitos devem ser sujeitos a verificações periódicas, para evitar resultados inconclusivos. Para os equipamentos de medida/teste são definidos planos de calibração, enquanto que para as infra-estruturas embutidas no CI são usados procedimentos de verificação da integridade. Nas CCI's que incluem CIs compatíveis com a norma IEEE1149.1, a utilização da infra-estrutura para o teste de ligações é habitualmente antecedida por uma verificação da integridade da cadeia BS [Jong 91] e eventualmente da lógica de teste [Dahbura et al. 89]. A infra-estrutura já inclui internamente mecanismos que foram introduzidos precisamente para facilitar a verificação da integridade: quando se acede ao registo de instrução deve-se capturar obrigatoriamente o padrão "01" nos dois bits mais próximos de TDO. Esta verificação tem importância sobretudo ao nível do fabrico da CCI e espera-se que produza o mesmo resultado durante o seu período de vida. Se a carta incluir componentes compatíveis com a infra-estrutura IEEE1149.4, devem ser feitas quatro verificações pela seguinte ordem:

- Ligações do TAP [Jong 91].
- Ligações simples, incluindo as do(s) ATAP(s).
- Ligações estendidas.
- Infra-estrutura IEEE1149.4 nos CIs.

Esta última assume especial importância, uma vez que durante a sua utilização podem ocorrer configurações indesejáveis que levem à sua destruição, tais como um curto-circuito entre V_H e V_L . A infra-estrutura de controlo do ABM ou do TBIC apenas impede que estas situações ocorram dentro de cada um daqueles blocos, mas não entre blocos, podendo dar lugar a situações potencialmente destrutivas no CI. Se, por exemplo, inadvertidamente se configurar um ABM para ligar o pino a V_H e a AB2, e noutra ABM se ligar o respectivo pino a V_L e a AB2, provoca-se um curto-circuito dentro do CI ou entre CIs. Outra hipótese corresponde, durante a depuração, ao teste de uma ligação estendida, usando uma corrente superior à permitida pela infra-estrutura. Estes exemplos mostram que a verificação da infra-estrutura IEEE1149.4 no interior do CI deve ser feita com regularidade. Uma segunda verificação da infra-estrutura, depois da utilização, pode ser necessária para garantir que

manteve a integridade, especialmente durante a depuração, onde é maior a probabilidade de erros de programação. O procedimento proposto utiliza o modelo de faltas que se descreve a seguir.

4.3.1 MODELO DE FALTAS.

A infra-estrutura IEEE1149.4 inclui diferentes tipos de elementos, tais como interruptores, comparadores, pinos e barramentos internos, pelo que é necessário adoptar um modelo de faltas híbrido. O modelo proposto assume a existência de apenas uma falta de cada vez (*single-fault model*), com as seguintes características:

- ATAP: circuito aberto (CA), curto-circuito (CC), e $s@0/s@1$. Para os pinos AT1/AT2 consideramos as opções de falta habituais do teste de ligações em CCI.
- Interruptor: $s@CA$ (circuito aberto), $s@CC$ (curto-circuito). O interruptor pode estar sempre aberto ou sempre fechado.
- Comparador (saída): $s@0$, $s@1$. A saída do comparador pode estar sempre ao nível lógico “0” ou ao nível lógico “1”.
- Barramento interno de teste analógico: CA, CC. As linhas AB1 e AB2 do barramento de teste analógico podem estar em circuito aberto ou em curto-circuito.
- Controlo lógico da infra-estrutura: $s@0$, $s@1$. O controlo de cada ABM e do TBIC inclui um registo de 4 bits que pertence ao BSR e um bloco combinatório que controla os interruptores. Considera-se uma falta de cada vez (*single stuck @*) e assume-se que a lógica de teste foi previamente verificada [Jong 91].

A Tabela 4-4 resume o modelo de faltas utilizado.

Tabela 4-4: Modelo de faltas para verificação da infra-estrutura IEEE1149.4.

Elemento a verificar	Tipos de faltas consideradas
AT1, AT2	$s@0$, $s@1$, CC, CA
AB1, AB2	$s@0$, $s@1$, CA, CC
Saída do comparador	$s@0$, $s@1$
Interruptor	$s@CA$, $s@CC$

4.3.2 PROCEDIMENTO DE VERIFICAÇÃO

O procedimento de verificação coloca a infra-estrutura IEEE1149.4 em vários estados e, em cada um deles, controla as entradas e observa as saídas, para confirmar ou eliminar a hipótese de presença da falta. Os estados são determinados pela Configuração de Verificação de Integridade (CVI) e são efectuadas operações de controlabilidade e de observabilidade nos pinos AT1/AT2 e nas saídas dos comparadores. O procedimento divide-se em duas etapas: a primeira realiza-se sobre os elementos do ATAP e do TBIC, e tem lugar uma única vez por cada CI; a segunda realiza-se sobre as linhas do barramento interno AB1/AB2 e em cada ABM, e repete-se com cada ABM presente no CI.

4.3.2.1 PROCEDIMENTO DE VERIFICAÇÃO PARA ATAP + TBIC

Os pinos do ATAP, os interruptores e os comparadores do TBIC são verificados através da CVI-1 a CVI-8. Estas configurações e os procedimentos associados encontram-se descritos na Tabela 4-5.

Tabela 4-5: Configurações para verificação do ATAP + TBIC.

Descrição da configuração	Estado da infra-estrutura IEEE1149.4
<p>CVI-1</p> <p>ABMs: Manter abertos todos os interruptores.</p> <p>TBIC: Interruptores S9 e S10 fechados.</p> <p>Se $V_{CLAMP} \neq 0\text{ V}$ e $V_L \neq 0\text{ V}$</p> <p>Então</p> <p>Observar AT1, AT2.</p> <p>Senão</p> <p>Tentar estabelecer uma corrente (de entrada ou de saída) através de AT1 e AT2.</p>	

CVI-2

ABMs: Manter abertos todos os interruptores.

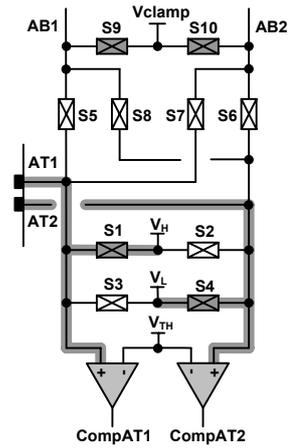
TBIC: Interruptores S1, S4, S9 e S10 fechados.

Observar AT1, AT2., CompAT1 e CompAT2.

Circuitos abertos detectados:

AT1 - S1; AT1 - CompAT1;

AT2 - S4; AT2 - CompAT2



CVI-3

ABMs: Manter abertos todos os interruptores.

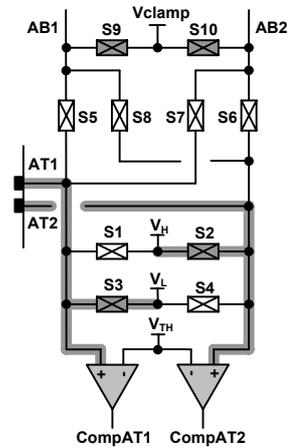
TBIC: Interruptores S2, S3, S9 e S10 fechados.

Observar AT1, AT2., CompAT1 e CompAT2.

Circuitos abertos detectados:

AT1 - S3

AT2 - S2



CVI-4

ABMs: Manter abertos todos os interruptores.

TBIC: Manter fechados os interruptores S5, S8 e S10.

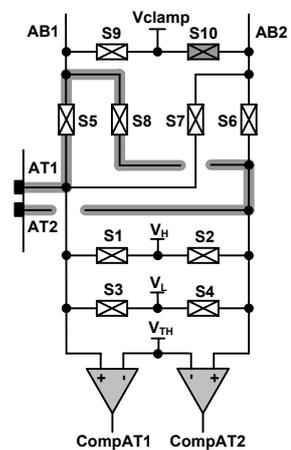
Aplicar V_H em AT1 e observar AT2.

Circuitos abertos detectados:

AT1 - S5

AT2 - S8

S5 - S8.



CVI-5

ABMs: Manter abertos todos os interruptores.

TBIC: Manter fechados os interruptores S5, S7 e S9.

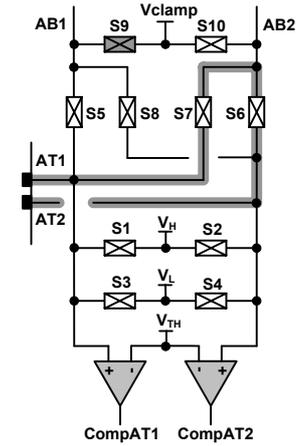
Aplicar V_H em AT1 e observar AT2.

Circuitos abertos detectados:

AT2 - S6

AT1 - S7

S6 - S7.



CVI-6

ABMs: Manter abertos todos os interruptores.

TBIC: Manter fechados os interruptores S5 e S6.

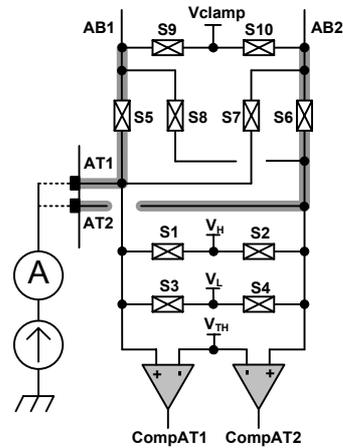
Se $V_{CLAMP} \neq 0$ V

Então

Observar AT1, AT2.

Senão

Tentar estabelecer uma corrente (de entrada ou de saída) através de AT1 e AT2.



CVI-7

ABMs: Num deles manter fechados os interruptores SB1 e SB2.

TBIC: Manter fechados os interruptores S5 e S10.

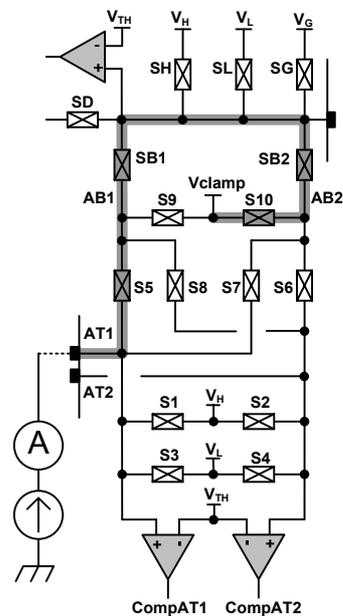
Se $V_{CLAMP} \neq 0$ V

Então

Observar AT1

Senão

Tentar estabelecer uma corrente (de entrada ou de saída) através de AT1.



CVI-8

ABMs: Manter fechados os interruptores SB1 e SB2 em todos os ABMs.

TBIC: Manter fechados os interruptores S6 e S9.

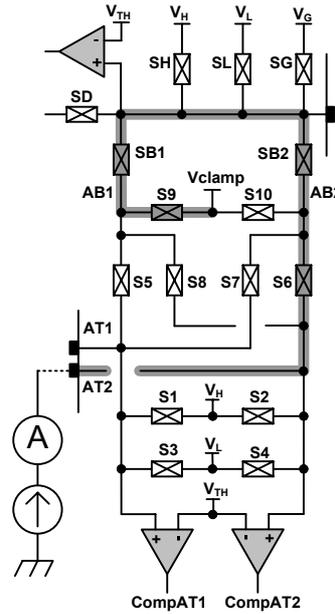
Se $V_{CLAMP} \neq 0V$

Então

Observar AT2

Senão

Tentar estabelecer uma corrente (de entrada ou de saída) através de AT2.



A Tabela 4-6 relaciona o componente sob verificação, as faltas consideradas no respectivo modelo e a(s) CVIs que permitem confirmar a respectiva presença/ausência. Por exemplo, a detecção de que o pino AT1 não se encontra s@0 é feita através da CVI-2. Todas as faltas s@0/s@1, CA/CC, s@CA/s@CC consideradas em cada bloco, são detectadas pelo procedimento apresentado, existindo faltas que são detectadas por mais do que uma CVI. Conforme se pode verificar, a cobertura de faltas é de 100% para esta parte do procedimento.

Tabela 4-6: Resumo da cobertura de faltas para o ATAP e TBIC (lista de CVIs que detectam cada falta).

	AT1	AT2	CompAT1	CompAT2
s@0	2	3	2	3
s@1	3	2	3	2
CA	2, 3, 4, 5	2, 3, 4, 5		
CC	2, 3			

	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10
s@CA	2	3	3	2	4	5	5	4	8	7
s@CC	1	1	1	1	1	1	1	1	6	6

4.3.2.2 PROCEDIMENTO DE VERIFICAÇÃO PARA AB1/2 + ABMS

As linhas do barramento interno de teste AB1 e AB2, os interruptores e o comparador de cada ABM, são verificados através das CVI-9:15. Estas configurações e os procedimentos associados repetem-se com cada ABM presente no CI e encontram-se descritos na Tabela 4-7.

Tabela 4-7: Configurações para verificação do AB1/2 + ABMs.

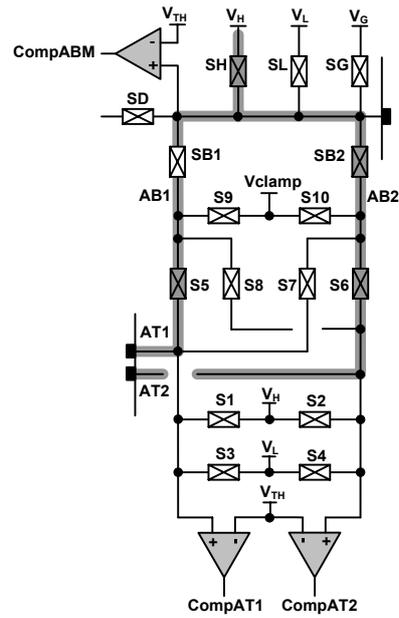
Descrição da operação	Estado da infra-estrutura IEEE1149.4
<p>Num ABM de cada vez: Manter fechados os interruptores SB1 e SB2.</p> <p>TBIC: Interruptores S5 e S6 fechados.</p> <p>CVI-9: Aplicar V_H em AT1 e Observar AT2</p> <p>CVI-10: Aplicar V_H em AT1 e observar AT2</p> <p>CVI-11: Se $V_G \neq 0 V$ e $V_L \neq 0 V$</p> <p>Então</p> <p>Observar AT2.</p> <p>Senão</p> <p>Tentar estabelecer uma corrente (de entrada ou de saída) através de AT1.</p>	
<p>CVI-12</p> <p>Num ABM de cada vez: Manter fechados os interruptores SB1 e SH.</p> <p>TBIC: Interruptores S5 e S6 fechados.</p> <p>Observar AT1, AT2 e CompABM.</p>	

CVI-13

Num ABM de cada vez: Manter fechados os interruptores SB2 e SH.

TBIC: Interruptores S5 e S6 fechados.

Observar AT1 e AT2.



CVI-14

Num ABM de cada vez: Manter fechados os interruptores SB1, SB2 e SL.

TBIC: Interruptores S5 e S6 fechados.

Observar **CompABM**.

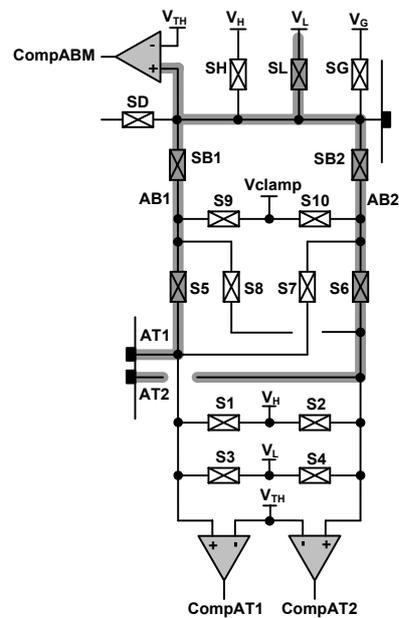
Se $V_L \neq 0$ V

Então

Observar **AT2**.

Senão

Tentar estabelecer uma corrente (de entrada) através de **AT1**.



CVI-15

Num ABM de cada vez: Manter fechados os interruptores SB1, SB2 e SL.

TBIC: Interruptores S5 e S6 fechados.

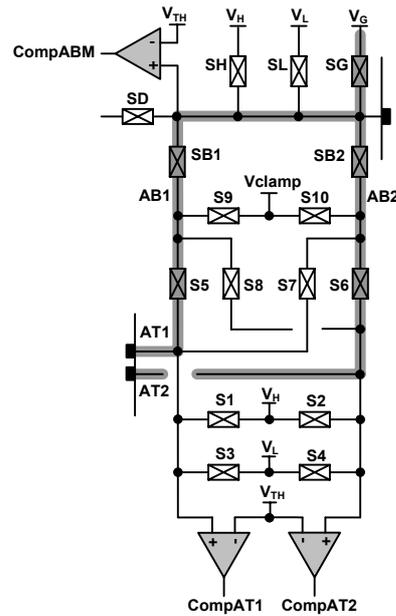
Se $V_G \neq 0\text{ V}$

Então

Observar AT2.

Senão

Tentar estabelecer uma corrente (de entrada ou se saída) através de AT1.



A Tabela 4-8 relaciona o componente sob verificação, as faltas consideradas e a(s) CVIs que permitem confirmar a respectiva presença/ausência.

Tabela 4-8: Resumo da cobertura de faltas para o AB1/2 e ABMs (lista de CVIs que detectam cada falta).

	AB1	AB2	CompABM
s@0	9	9	12
s@1	10	10	14
CA	9	9	
CC	12, 13		

	SB1	SB2	SH	SL	SG	SD
s@CA	9	9	12	14	15	-
s@CC	13	12	11	11	11	-

Conforme se pode verificar, a cobertura de faltas é muito elevada para esta parte do procedimento, mas não é possível a verificação da integridade do interruptor SD.

4.3.3 TEMPO DE VERIFICAÇÃO

Para configurar a infra-estrutura correspondente a cada CVI, é necessário deslocar para os registros do TBIC e dos ABMs os correspondentes padrões de 4 bits. O programa de teste em *Serial Vector Format (SVF) [SVF]* engloba as seguintes operações:

- Deslocamento da instrução:

```
SIR XX TDI (... all-0s ...) TDO (0...01) MASK (0...03);  
! XX: Length of the instruction registers
```

- Deslocamento dos padrões para o BSR, sem comparação:

```
SDR YY TDI (...);  
! YY: Length of the boundary-scan registers
```

- Deslocamento dos padrões para o BSR, com comparação:

```
SDR YY TDI (...) TDO (...) MASK (...);  
! YY: Length of the boundary-scan registers
```

A título de exemplo, apresenta-se seguidamente o procedimento de verificação de integridade desenvolvido em SVF para o CI STA400 [STA400 04].

```
TRST ON;  
TRST OFF;  
STATE IDLE;  
! Load Sample/Preload; Length of the STA400 instruction  
register: 20  
SIR 20 TDI (7FFF8) TDO (00001) MASK (00003);  
! ICC #1 – TBIC: S9, S10 closed; all ABM switches open  
! Length of the STA400 BS register: 20+24+4=48  
HDR 20 TDI (00000);  
TDR 24 TDI (000000);  
SDR 4 TDI (0);  
! Load Extest  
SIR 20 TDI (0);  
! Pause SVF, observe AT1 and AT2, continue SVF  
! ICC #2 – TBIC: S1, S4, S9, S10 closed; all ABM switches  
open; capture output of TBIC comps  
SDR 4 TDI (6);  
! Pause SVF, observe AT1, AT2, continue SVF  
! ICC #3 – TBIC: S2, S3, S9, S10 closed; all ABM switches  
open; capture output of TBIC comps  
SDR 4 TDI (A) TDO (4) MASK (C);  
! Pause SVF; observe AT1, AT2, AT1 Comp, AT2 Comp,  
continue SVF  
! ICC #4 – TBIC: S5, S8, S10 closed; all ABM switches  
open  
SDR 4 TDI (5) TDO (8) MASK (C);  
! Pause SVF, apply VH in AT1, observe AT2, AT1 Comp,  
AT2 Comp, continue SVF  
! ICC #5 – TBIC: S6, S7, S9 closed; all ABM switches open  
SDR 4 TDI (1);  
! Pause SVF, apply VH in AT1, observe AT2, continue SVF  
! ICC #6 – TBIC: S5, S6 closed; all ABM switches open  
SDR 48 TDI (C);  
! Pause SVF, observe AT1 and AT2, continue SVF  
! ICC #7 – TBIC: S5, S10 closed; all ABM switches SB1 and  
SB2 closed  
HDR 20 TDI (33333);  
TDR 24 TDI (333333);  
SDR 4 TDI (4);  
! Pause SVF, observe AT1, continue SVF  
! ICC #8 – TBIC: S6, S9 closed; all ABM switches SB1 and  
SB2 closed  
SDR 4 TDI (8);  
! Pause SVF, observe AT2, continue SVF  
HDR 0;  
TDR 0;  
! ICC #9, ICC #10, and ICC #11 – TBIC: S5, S6 closed;  
ABM [A0]: SB1, SB2 closed  
SDR 48 TDI (300000C00000);  
! ICC #9 Pause SVF, apply VH in AT1, observe AT2,  
continue SVF  
! ICC #10 Pause SVF, Apply VL in AT1, observe AT2,  
continue SVF  
! ICC #11 Pause SVF, Observe AT1 and AT2, continue SVF  
! Repeat the SVF commands for ICCs #9, #10, and #11 for  
each remaining ABM  
(...)  
! ICC #12 – TBIC: S5, S6 closed; ABM[A0]: SB1, SH closed  
SDR 48 TDI (D00000C00000);  
! Pause SVF, Observe AT1 and AT2, continue SVF  
! ICC #12 – TBIC: S5, S6 closed; ABM[A2]: SB1, SH closed  
! Check the output of the comparator in the ABM  
SDR 48 TDI (0D0000C00000) TDO (800000000000) MASK  
(800000000000);  
! Pause SVF, Observe AT1 and AT2, AT1 Comp, AT2  
Comp, continue SVF  
! Repeat the previous SVF command for each remaining  
ABM  
(...)
```

```

! ICC #13 – TBIC: S5, S6 closed; ABM[A0]: SB2, SH closed
! Check the output of the comparator in the ABM
SDR 48 TDI (E00000C00000) TDO (000000000008) MASK
(000000000008);
! Pause SVF, Observe AT1 and AT2, AT1 Comp, AT2
Comp, continue SVF
! ICC #13 – TBIC: S5, S6 closed; ABM[A2]: SB2, SH closed
SDR 48 TDI (0E0000C00000);
! Pause SVF, Observe AT1 and AT2, continue SVF
! Repeat the previous SVF command for each remaining
ABM
(...)
! ICC #14 – TBIC: S5, S6 closed; ABM[A0]: SB1, SB2, SL
closed
SDR 48 TDI (700000C00000);
! Pause SVF, Observe AT2, continue SVF
! ICC #14 – TBIC: S5, S6 closed; ABM[A2]: SB1, SB2, SL
closed
! Check the output of the comparator in the ABM

```

↗

```

SDR 48 TDI (070000C00000) TDO (000000000000) MASK
(800000000000);
! Pause SVF, Observe AT2, AT1 Comp, AT2 Comp,
continue SVF
! Repeat the previous SVF command for each remaining
ABM
(...)
! ICC #15 – TBIC: S5, S6 closed; ABM[A0]: SB1, SB2, SG
closed
! Check the output of the comparator in the ABM
SDR 48 TDI (B00000C00000) TDO (000000000000) MASK
(000000000008);
! Pause SVF, Observe AT2, AT1 Comp, AT2 Comp,
continue SVF
! ICC #15 – TBIC: S5, S6 closed; ABM[A2]: SB1, SB2, SG
closed
SDR 48 TDI (0B0000C00000);
! Pause SVF, Observe AT2, continue SVF
! Repeat the previous SVF command for each remaining
ABM
(...)

```

A análise do programa anterior permite determinar a duração em ciclos TCK deste procedimento, que é dada por:

$$N_{TCK} = 13 + 2 \cdot N_{RI} + [(N_{ABM} \cdot 5) + 8] \cdot (N_{BSR} + 5)$$

em que N_{TCK} corresponde ao número de ciclos TCK, N_{RI} ao número de bits do registo de instrução, N_{ABM} ao número de ABMs e N_{BSR} ao número de bits do BSR. No caso do CI STA400, $N_{RI} = 20$, $N_{ABM} = 11$ e $N_{BSR} = 48$, pelo são necessários 3 392 ciclos TCK. Com TCK = 20 MHz, o tempo gasto nesta operação é de cerca de 170 μ s.

4.4. ANÁLISE DO IMPACTO E PROPOSTAS DE CORRECÇÃO

Um dos objectivos principais da infra-estrutura IEEE1149.4 consiste em caracterizar as ligações estendidas, mas os interruptores da estrutura de comutação apresentam resistências de condução não nulas, provocando erros. Para diminuir este efeito foi proposta em [Saikkonen 03] uma técnica de medição de componentes baseada em resistências de elevada exactidão. Em [Osseiran 95] foi proposta outra técnica também baseada em resistências de elevada exactidão, a que se acrescenta um amplificador operacional. A caracterização dos componentes é afectada pelas características dos aparelhos de medida e da infra-estrutura. Esta secção analisa o impacto e a correcção destas fontes de erro durante a medida de uma

resistência em duas situações: (i) quando se encontra ligada entre um pino e a massa (GND) e (ii) quando se encontra ligada entre dois pinos.

4.4.1 MEDIÇÃO DE UMA RESISTÊNCIA ENTRE UM PINO COM ABM E A MASSA (GND)

A configuração da infra-estrutura IEEE1149.4 utilizada para a medição de uma resistência colocada entre um pino com ABM e a massa consiste em injectar uma corrente conhecida em AT1 e medir a tensão resultante em AT2, conforme se representa na Figura 4-25.

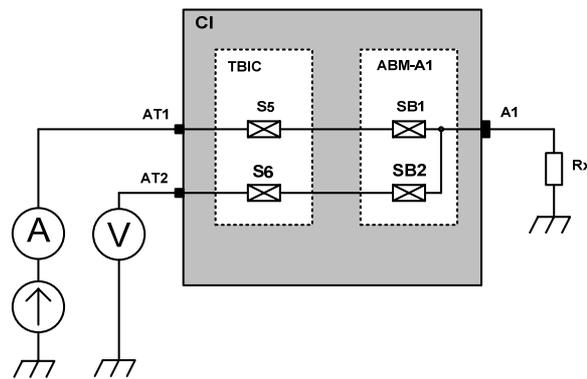


Figura 4-25: Medição de uma resistência colocada entre um pino com ABM e a massa (GND).

A fonte de corrente é recomendável para garantir uma corrente constante, mas também previne o aparecimento de uma corrente excessiva em AT1, resultante de um erro de configuração da infra-estrutura. O algoritmo proposto determina valores sucessivos para \$R_x\$ (\$R_1, R_2\$, etc.), correspondendo o último ao valor mais exacto. O valor inicial para \$R_x\$ é \$R_1\$, que é calculado como:

$$R_1 = V_1 / I_1$$

onde \$V_1\$ e \$I_1\$ correspondem aos valores iniciais da tensão e da corrente em \$R_x\$. O valor \$R_1\$ é afectado pelas seguintes fontes de erro:

- \$\epsilon_V\$ - Erro relativo da medida de tensão.
- \$\epsilon_A\$ - Erro relativo da medida de corrente.
- \$\epsilon_{M1}\$ - Erro relativo de método devido às resistências \$R_{SB2}\$ e \$R_{S6}\$ (\$R_{SB2} + R_{S6} > 0 \Omega\$).
- \$\epsilon_{M2}\$ - Erro relativo de método devido à resistência interna do voltímetro (\$R_V \neq \infty \Omega\$).

O erro relativo total associado ao processo de medição de R_X é dado por:

$$\varepsilon_{RX} = \varepsilon_V + \varepsilon_A + |\varepsilon_{M1}| + |\varepsilon_{M2}|$$

O erro relativo ε_V da medida de tensão e o erro relativo ε_A da medida de corrente são devidos à exactidão do voltímetro e do amperímetro, e são indicados nos respectivos manuais. ε_{M1} corresponde ao erro de método M1 devido à presença das resistências dos interruptores SB2 (R_{SB2}) e S6 (R_6). Com efeito, a tensão medida pelo voltímetro é menor do que a pretendida, uma vez que existe uma queda de tensão na série $R_{SB2} + R_6$. A redução de tensão medida pelo voltímetro é de:

$$\Delta V = - (R_{SB2} + R_6) \cdot I_V$$

pelo que o erro relativo associado é de:

$$\varepsilon_{M1} = \Delta V / V = - (R_{SB2} + R_6) / R_V = -R_{SW2} / R_V$$

O sinal negativo significa que o valor de R_X calculado apresenta um erro por defeito, resultante da queda de tensão em R_{SB2} e R_6 . R_V representa a resistência interna do voltímetro e R_{SW2} é definido na norma IEEE1149.4 ($R_{SW2} = R_{SB2} + R_6$), que lhe impõe um valor máximo de $10k\Omega^{12}$ (existe uma definição semelhante para $R_{SW1} = R_{SB1} + R_5$). Para se corrigir o erro de método M1 calcula-se R_2 , o segundo valor de R_X , que é dado por:

$$R_2 = V_2 / I_2$$

em que $I_2 = I_1$, sendo V_2 dada por:

$$V_2 = V_1 \cdot [1 + (R_{SB2} + R_6) / R_V]$$

É necessário conhecer-se o valor exacto de $(R_{SB2} + R_6)$, uma vez que o valor da resistência interna R_V do voltímetro é habitualmente referida no manual do aparelho. Desta forma o erro de método M1 é anulado ($\varepsilon_{M1} = 0$). Outra hipótese de prosseguir consiste em manter o valor anteriormente calculado, ou seja $R_2 = R_1$, não corrigindo o erro de método M1, determinando antes o seu limite superior, que é dado por:

$$|\varepsilon_{M1}| = R_{SWB2-MAX} / R_V$$

em que $R_{SB2-MAX}$ representa o valor máximo de R_{SB2} .

O erro de método M2 é devido ao valor não infinito da resistência interna do voltímetro. O valor R_2 calculado anteriormente resulta do paralelo de R_3 (que se pretende determinar) com R_V :

$$R_2 = (R_3 \cdot R_V) / (R_3 + R_V)$$

Para remover o erro de método M2, o novo valor de R_3 deve ser calculado pela expressão:

$$R_3 = R_2 / [1 - (R_2 / R_V)]$$

pelo que o erro de método é dado por:

$$\epsilon_{M2} = R_2 / R_V$$

Para facilitar a compreensão das operações descritas, apresenta-se na Figura 4-26 o algoritmo de correcção de valores para o caso duma resistência entre um pino e a massa (GND).

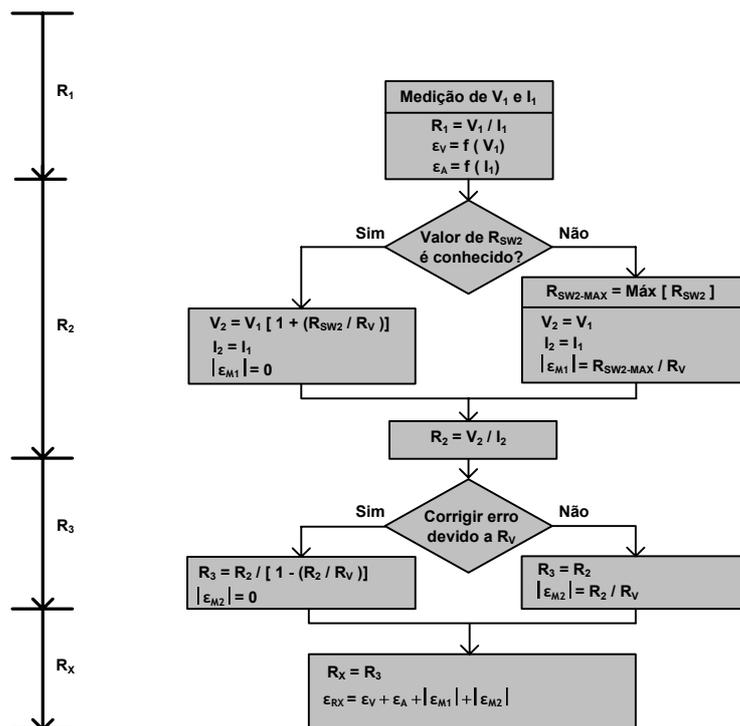


Figura 4-26: Algoritmo para determinação de resistência colocada entre um pino com ABM e GND.

¹² (IEEE1149.4 - 9.4.1.b).

O algoritmo apresenta as várias possibilidades durante o processo de determinação de R_x , permitindo avaliar o impacto de cada fonte de erro. Repare-se que os interruptores S5 e SB1 não influenciam este processo de medição, devendo apenas permitir a passagem da corrente utilizada.

4.4.2 MEDIÇÃO DE UMA RESISTÊNCIA COLOCADA ENTRE DOIS PINOS COM ABM

A configuração da infra-estrutura IEEE1149.4 utilizada para a medida de uma resistência colocada entre dois pinos com ABM está representada na Figura 4-27.

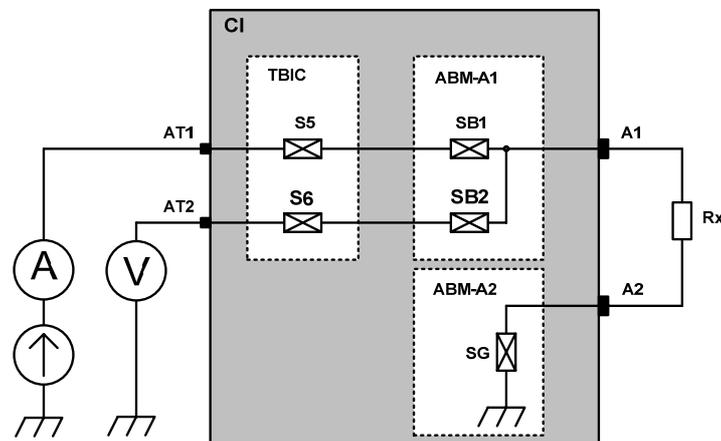


Figura 4-27: Medição de uma resistência colocada entre dois pinos.

A determinação do valor R_x segue os mesmos passos descritos na sub-secção anterior até à obtenção de R_3 e do respectivo erro:

$$\varepsilon_{R3} = \varepsilon_V + \varepsilon_A + |\varepsilon_{M1}| + |\varepsilon_{M2}|$$

O valor de R_3 obtido resulta da série formada pela resistência R_4 (que se pretende medir) e R_{SG} :

$$R_3 = R_4 + R_{SG}$$

O erro relativo ε_{M3} é dado por:

$$\varepsilon_{M3} = R_{SG} / R_3$$

Para corrigir este erro, R_4 deve ser calculado como:

$$R_4 = R_3 - R_{SG}$$

que por sua vez requer a caracterização de R_{SG} e do respectivo erro ϵ_{RSG} , que têm de ser feitas através de um teste adicional apresentado na Figura 4-28.

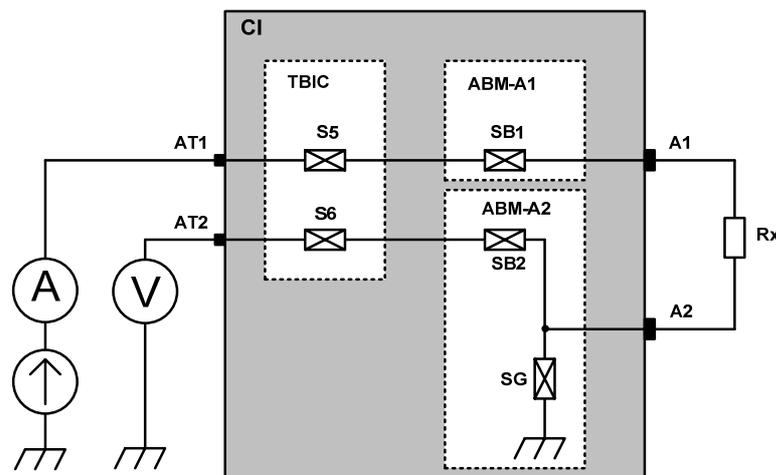


Figura 4-28: Caracterização de R_{SG} e do respectivo erro ϵ_{RSG} .

O erro de total é neste caso dado por:

$$|\epsilon_{RX}| = R_3 / (R_3 - R_{SG}) \cdot \epsilon_{R3} + R_{SG} / (R_3 - R_{SG}) \cdot \epsilon_{RSG}$$

A Figura 4-29 apresenta o algoritmo para a determinação de uma resistência ligada entre dois pinos que apresenta as várias possibilidades durante o processo de determinação de R_x , permitindo avaliar o impacto de cada fonte de erro. Repare-se que também neste caso os interruptores S5 e SB1 não influenciam o processo de medição, devendo apenas permitir a passagem da corrente utilizada.

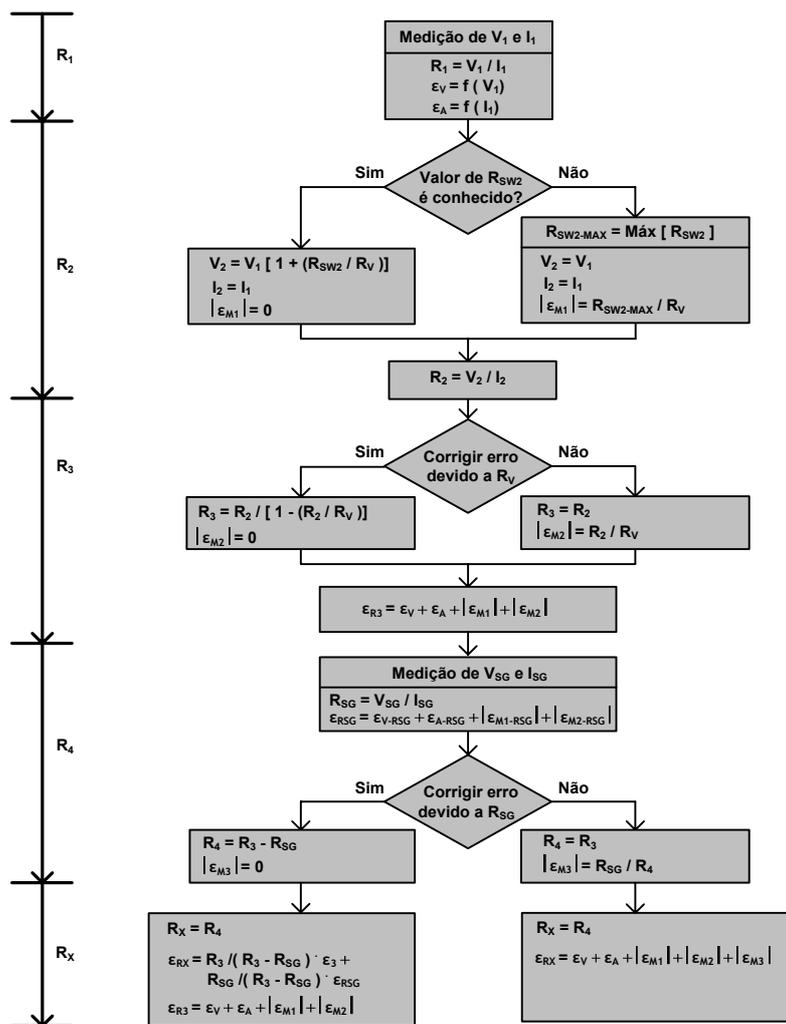


Figura 4-29: Algoritmo para determinação de resistência colocada entre dois pinos com ABM.

4.4.3 APLICAÇÃO DOS ALGORITMOS DE CORRECÇÃO

Os algoritmos propostos para a correcção de erros foram aplicados ao caso concreto do CI STA400 [STA400 04]. Para controlar o TAP foi utilizado o JTAGER [JTAGER 06], uma aplicação Windows que permite controlar duas cadeias de varrimento através da porta paralela de um PC. Para o primeiro caso, a resistência foi ligada entre o pino A1 e a massa (GND). O programa de controlo desenvolvido para a aplicação JTAGER encontra-se disponível no Anexo 9.1. Durante a experiência foram obtidos os seguintes valores de tensão e de corrente:

$$V_1 = 0,4656 \text{ V}, I_1 = 0,0981 \text{ mA}$$

O valor inicial para R_X é:

$$R_1 = 0,4656 / 0,0981 \cdot 10^{-3} = 4,75 \text{ K}\Omega$$

Os erros relativos associados à medida de tensão e de corrente valem respectivamente:

$$\varepsilon_V = 0,05\% \text{ RDG} + 4 \text{ DIG} < 0,2 \%$$

$$\varepsilon_A = 0,05\% \text{ RDG} + 4 \text{ DIG} < 0,5 \%$$

O erro relativo ε_{M1} depende do valor de R_{SW2} . O fabricante do CI não fornece nenhuma informação acerca deste valor, pelo que devemos usar o limite máximo de $10 \text{ k}\Omega$ imposto pela norma IEEE1149.4 para o cálculo do erro relativo máximo, que neste caso vale:

$$|\varepsilon_{M1}| = R_{SW2\text{-MAX}} / R_V = 10 \cdot 10^3 / 10 \cdot 10^6 < 0,1 \%$$

O erro relativo ε_{M2} é dado por:

$$|\varepsilon_{M2}| = R_2 / R_V = 4,75 \cdot 10^3 / 10 \cdot 10^6 < 0,05 \%$$

O erro ε_{M2} é muito menor do que os erros associados aos instrumentos, pelo que não faz sentido a sua correcção. O erro total é dado por:

$$\varepsilon_{RX} = \varepsilon_V + \varepsilon_A + |\varepsilon_{M1}| + |\varepsilon_{M2}| = 0,2 + 0,5 + 0,1 < 0,8 \%$$

O valor de R_X vale:

$$R_X = 4,75 \cdot 10^3 \pm 0,8 \% \Omega$$

Considere-se agora o caso de uma resistência ligada entre dois pinos com ABM, ao qual corresponde o programa JTAGer descrito no Anexo 9.2. Durante a experiência, os valores de tensão e de corrente obtidos para caracterização de R_X e de R_{SG} foram os seguintes:

$$V_1 = 0,5328 \text{ V}, I_1 = 0,0990 \text{ mA}, V_{SG} = 0,0604 \text{ V}, I_1 = 0,0988 \text{ mA}$$

O valor inicial para R_X é:

$$R_1 = 0,5328 / 0,0990 \cdot 10^{-3} = 5,39 \text{ K}\Omega$$

Sendo os erros relativos associados à medida de tensão e de corrente dados por:

$$\varepsilon_V = 0,05\% \text{ RDG} + 4 \text{ DIG} < 0,2 \%$$

$$\varepsilon_A = 0,05\% \text{ RDG} + 4 \text{ DIG} < 0,5 \%$$

$$|\varepsilon_{M1}| = R_{\text{SW2-MAX}} / R_V = 10 \cdot 10^3 / 10 \cdot 10^6 < 0,1 \%$$

$$|\varepsilon_{M2}| = R_2 / R_V = 5,39 \cdot 10^3 / 10 \cdot 10^6 < 0,06 \%$$

A resistência R_3 vale:

$$R_3 = 5,39 \cdot 10^3 \pm 0,8 \% \Omega,$$

em que $\varepsilon_{R3} = 0,8\%$. A determinação de R_{SG} é feita usando o algoritmo correspondente ao caso de uma resistência ligada entre um pino e a massa (GND):

$$R_{SG} = 0,605 \cdot 10^3 \pm 1,18 \% \Omega$$

em que $\varepsilon_{SG} = 1,18 \%$. O erro relativo devido à presença R_{SG} durante a medição de R_X vale:

$$|\varepsilon_{M3}| = R_{SG} / R_3 = 0,605 \cdot 10^3 / 5,39 \cdot 10^3 < 12 \%$$

Este erro é muito superior a ε_{R3} , devendo proceder-se à respectiva correcção, pelo que o novo valor de R_X é dado por:

$$R_4 = R_3 - R_{SG} = 5,39 \cdot 10^3 - 0,605 \cdot 10^3 = 4,78 \cdot 10^3 \Omega$$

e o erro associado vale:

$$\varepsilon_{R4} = R_3 / (R_3 - R_{SG}) \varepsilon_{R3} + R_{SG} / (R_3 - R_{SG}) \varepsilon_{SG} < 0,9 \%$$

As experiências realizadas com o CI STA400 permitiram validar a metodologia proposta, tendo-se obtidos valores coerentes, uma vez que a medição da mesma resistência com uma ponte de medida mostrou que $R_{X,P} = 4\,757 \pm 1\Omega$.

4.5. LIMITAÇÕES E ALTERNATIVAS

Um dos objectivos da infra-estrutura IEEE1149.4 é o de aumentar a observabilidade nos circuitos mistos, tendo para esse efeito sido introduzida a instrução obrigatória *PROBE*, que permite a observação analógica dos sinais nos pinos com ABM. Já anteriormente foram apresentadas alternativas no sentido de estender a observabilidade aos nós internos, mas

persiste a limitação no número de sinais a controlar e a observar simultaneamente. A solução agora proposta possibilita observar até 4 sinais analógicos no mesmo CI, libertando as linhas do barramento analógico para controlar e/ou observar outros nós do circuito. Durante a utilização habitual da infra-estrutura IEEE1149.4, usamos AT1/AB1 para injectar um sinal num nó e AT2/AB2 para observar o sinal presente nesse ou noutro nó. No entanto, a norma recomenda que ambas as linhas AB1/AB2 estejam preparadas tanto para a injeção da corrente como para a transmissão dos sinais de tensão¹³, sendo assim possível trocar as respectivas funções. Ainda assim, o número máximo de sinais a observar simultaneamente é de apenas dois, o que por vezes se revela insuficiente. A proposta do bloco BIMBO (*Built-In Mixed-Signal Block Observer*) que agora apresentaremos associa um conversor sigma-delta à infra-estrutura IEEE1149.4, como mecanismo para a observabilidade simultânea de quatro canais analógicos no mesmo CI [Felgueiras et al. 04], com as seguintes vantagens:

- Observação (não intrusiva) dos sinais presentes nos nós internos, enquanto o CI se encontra em modo de funcionamento normal.
- Disponibilidade dos restantes recursos da infra-estrutura IEEE1149.4 para outros efeitos, uma vez que o BIMBO não utiliza os pinos do ATAP.

4.5.1 PRINCIPIO DE FUNCIONAMENTO DO BIMBO

O diagrama de blocos do BIMBO pode ser representado como se ilustra na Figura 4-30, que destaca três partes principais:

- Os barramentos internos de teste analógico, que permitem seleccionar os nós sob observação.
- Os conversores sigma-delta, responsáveis pela conversão analógico-digital dos sinais através dos moduladores de primeira ordem (M1).
- Um multiplexador que reúne num só canal os sinais digitais provenientes dos vários moduladores.

¹³ (IEEE1149.4 - 6.2.1.2).

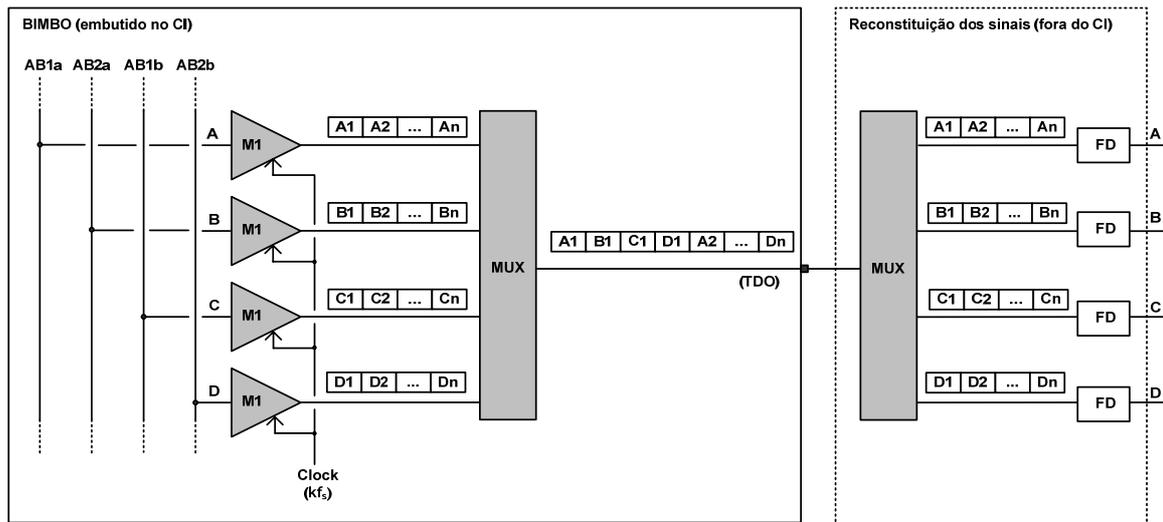


Figura 4-30: Princípio de funcionamento do BIMBO.

A primeira parte do BIMBO é realizada inteiramente através da infra-estrutura IEEE1149.4, reutilizando os circuitos de comutação interna como mecanismo de selecção do nó sob observação. Recorde-se que esta infra-estrutura exige no mínimo um par de linhas analógicas de teste interno (AB1 e AB2), que podem ser subdivididas em vários pares de linhas. Esta disposição permite distribuir pelas várias linhas do barramento interno de teste analógico os ABMs associados aos vários sinais a observar (simultaneamente). A segunda parte faz uso do modulador de primeira ordem do conversor A/D sigma-delta. A terceira parte concentra as saídas de cada um dos moduladores de primeira ordem numa trama digital que será deslocada para o exterior por varrimento. Fora do CI tem lugar a operação inversa à realizada pelo BIMBO, i.e. a reconstituição de cada um dos sinais presentes nas linhas do barramento interno de teste analógico.

O conversor sigma delta pertence à classe dos conversores sobre-amostrados, cuja técnica de conversão constitui uma alternativa ao paradigma convencional de conversão A/D com amostragem ao ritmo de Nyquist. Considerando que o sinal a digitalizar possui uma banda de largura B_0 , o ritmo de Nyquist respectivo é dado por $f_N=2B_0$. Nestes conversores a frequência de amostragem é de aproximadamente $f_s=f_0$. Nos conversores sobre-amostrados a frequência de amostragem é múltipla da frequência de Nyquist e é dada por $f_s=kf_N$, em que k apresenta tipicamente valores desde algumas dezenas até algumas centenas de unidades. O grande potencial desta técnica de conversão reside na relativa simplicidade do modulador - o único bloco do conversor que possui componentes analógicos - e em particular na

inexistência directa de uma relação entre a resolução máxima (modulador + filtro decimador) e o emparelhamento entre componentes [Rocha 96]. Os conversores sigma-delta compreendem um modulador de primeira ordem (M1) e um filtro decimador, conforme se mostra na Figura 4-31.

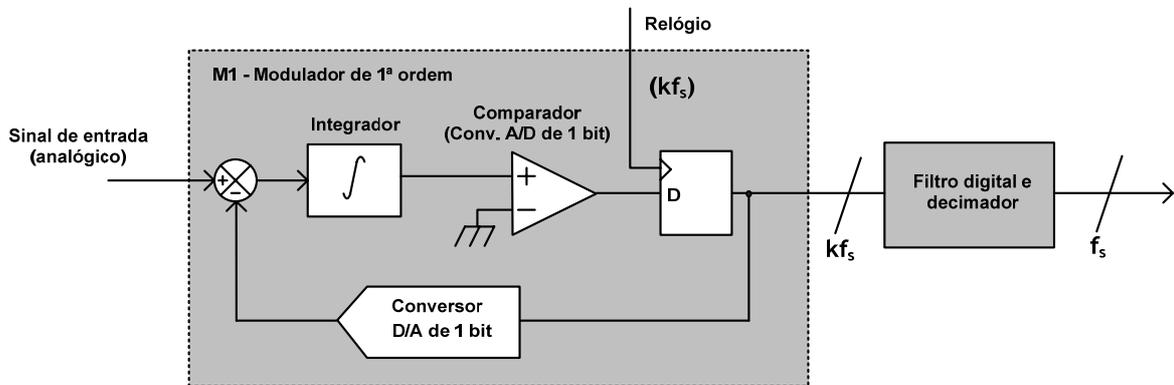


Figura 4-31: Topologia do conversor A/D do tipo sigma-delta.

A função do modulador é basicamente a de digitalizar um sinal analógico com baixa resolução (1 bit), mas com uma frequência de amostragem muito elevada. O bloco constituído pelo filtro digital e decimador tem por função realizar uma operação de média. O custo e o consumo são muito diferentes para cada um destes dois blocos, sendo o segundo responsável por mais de 75% da área total e pela maior parte do consumo [Leung 91]. Estas características tornam vantajosa a integração do modulador de primeira ordem no BIMBO, podendo o filtro decimador localizar-se no exterior do CI.

4.5.2 INTEGRAÇÃO DO BIMBO NA INFRA-ESTRUTURA IEEE1149.4

O BIMBO utiliza a estrutura de comutação dos ABMs e as linhas do barramento interno de teste analógico como mecanismo de selecção dos nós a observar, mas não utiliza o TBIC nem os pinos do ATAP. É necessário fazer a partição daquele barramento, de modo a que existam as linhas AB1a, AB2a, AB1b e AB2b, conforme se mostra na Figura 4-32a. Uma vez que a operação de observabilidade é não intrusiva, as quatro linhas do barramento interno de teste analógico são ligadas às entradas dos 4 moduladores de 1ª ordem do BIMBO. A utilização simultânea do BIMBO num CI e da restante infra-estrutura IEEE1149.4 noutro

CI, requer que no primeiro as linhas do barramento interno de teste analógico estejam desligadas do TBIC.

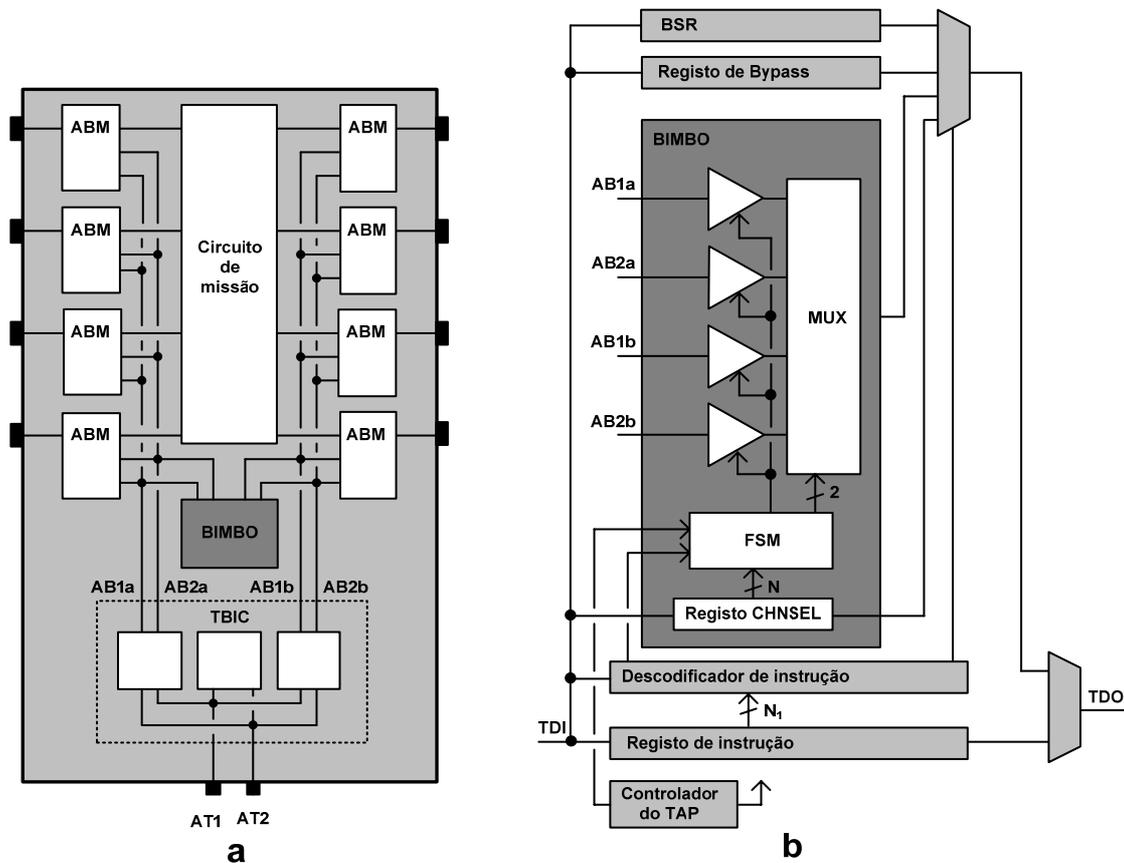


Figura 4-32: Utilização do BIMBO para observação analógica de 4 sinais dentro de um CI.

Esta situação não é autorizada por nenhuma das instruções normalizadas, mas é suportada pela instrução opcional *SDCOV* que coloca o BIMBO em funcionamento e que corresponde à estrutura de registos apresentada na Figura 4-32 b. O registo CHNSEL selecciona os canais a observar e é seleccionado pela instrução opcional com o mesmo nome, que coloca o circuito em modo de funcionamento normal. A instrução opcional *SDCOV* faz com que o multiplexador de dados selecione a saída do BIMBO, deslocando para TDO a trama digital gerada.

4.5.3 PROCEDIMENTO DE UTILIZAÇÃO

O procedimento de utilização do BIMBO tem lugar através da seguinte sequência de passos:

1. Carregar o registo de instrução BST com o código de *CHNSEL*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o registo *CHNSEL*.
2. Deslocar para o *CHNSEL* os códigos necessários para configurar o BIMBO.
3. Carregar o registo de instrução BST com o código de *SAMPLE/PRELOAD*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o BSR.
4. Seleccionar os nós a observar pelo BIMBO e configurar o TBIC.
5. Carregar o registo de instrução BST com o código de *SDCOV*. Esta instrução coloca os DBMs e os ABMs em modo transparente e selecciona a saída do BIMBO para TDO.
6. Colocar o controlador do TAP no estado *Run-test/Idle*.

A trama digital gerada pelo BIMBO é deslocada por varrimento para o exterior do circuito, onde tomará lugar a operação de reconstituição dos sinais.

4.5.4 LIMITAÇÕES DA SOLUÇÃO

A principal restrição da solução proposta refere-se à frequência máxima dos sinais amostrados, que é limitada pela frequência de TCK. Se considerarmos um número de canais activos $N_C = 4$, uma frequência de TCK $f_{TCK} = 25$ MHz e um factor de sobre-amostragem $k = 256$, a largura de banda disponível para cada canal é dada por:

$$B_{OC} = f_{TCK} / (2 \cdot N_C \cdot k) = 25 \cdot 10^6 / (2 \cdot 4 \cdot 256) = 12 \text{ KHz}$$

A largura de banda/canal aumenta se o número de canais em observação simultânea for menor ou se for possível a utilização de frequências maiores para TCK, embora uma largura de banda de 12 KHz seja suficiente para um número elevado de aplicações.

4.6. SUMÁRIO

Este capítulo abordou o uso da infra-estrutura IEEE1149.4 como veículo para a depuração. O *overhead* desta infra-estrutura representa o principal obstáculo à sua adoção, mas será justificável nos SOC se for reutilizada para o teste e verificação do projecto, onde assume especial importância o apoio às operações de depuração, que foram o tema desta secção.

A adoção desta norma tem sido lenta mas, não obstante, existem iniciativas reveladoras da sua importância, tais como: (i) apresentação de um sistema de desenvolvimento que inclui componentes compatíveis com a norma IEEE1149.4 (JTAG-1149.4 Explorer - JTAG Technologies) [JTAG 06]; (ii) a apresentação de um módulo para o barramento SCANFLEX que permite a medida de componentes passivos (R, L, C) e a geração de sinais AC / DC para o teste (SFX1149.4 - Goepel) [Goepel 06], e ainda (iii) a publicação da *Analog Boundary-Scan Description Language* (ABSDL) [Surpajo et al. 06], que permite a geração automática de testes e que facilita a utilização da infra-estrutura IEEE1149.4 [IEEE 08].

5. PROPOSTA DE UM MODELO DE DEPURAÇÃO BASEADO NA INFRA-ESTRUTURA IEEE1149.4

O modelo de depuração de circuitos mistos anteriormente proposto encerra dois níveis de operações, as *Operações Básicas de Depuração* e as *Operações Compostas de Depuração*. Foi também anteriormente identificado um conjunto de condições a observar durante o projecto de circuitos mistos para permitirem a realização do primeiro daqueles níveis. No presente capítulo convergem os preceitos anteriores e descreve-se um Detector de Condição Mista (DCM) que é necessário à de paragem/monitorização por condição (*Breakpoint/Watchpoint*) e que permite apoiar algumas operações básicas de depuração. A primeira secção analisa os requisitos para realizar o DCM com base na infra-estrutura IEEE1149.4. A segunda secção descreve detalhadamente o seu funcionamento, a estrutura de registos, as instruções opcionais, as operações que o utilizam e os respectivos procedimentos de utilização. A terceira secção analisa as suas limitações funcionais e a sobrecarga (*overhead*) por ele introduzida.

5.1. MODELO DE DEPURAÇÃO

A realização das operações de depuração pressupõe, durante a fase de projecto do circuito, a observação de um conjunto de requisitos. Alguns deles relacionam-se com os mecanismos de acesso aos nós para efeitos de depuração e foram já analisados no capítulo anterior. Outros relacionam-se com o desenvolvimento dos módulos adicionais necessários às operações de depuração através da infra-estrutura IEEE1149.4. Um desses módulos corresponde ao DCM que é necessário para realizar a paragem / monitorização por condição e para apoiar as operações básicas de depuração. A descrição e utilização deste bloco para detectar uma condição analógica e uma condição mista foram apresentadas em [Felgueiras et al. 07a] e em [Felgueiras et al. 07c] respectivamente.

5.1.1 TIPOS DE OPERAÇÕES DE DETECÇÃO

O modelo de depuração proposto reúne as várias operações num conjunto restrito que compreende dois níveis: básicas e compostas. Ao segundo nível pertence a operação de paragem/monitorização por condição (*Breakpoint/Watchpoint*), que depende da detecção de condições mistas em tempo real. Essa tarefa será realizada pelo DCM durante o funcionamento normal do circuito e inclui 3 fases:

- Especificação da condição.
- Detecção da condição.
- Paragem/monitorização do circuito.

O sinal de saída do DCM será utilizado para agir sobre o próprio circuito, quando se trate de uma operação de paragem, ou simplesmente enviado para o exterior, quando se trate de uma operação de monitorização. O funcionamento de várias ferramentas de depuração tem subjacente a detecção de condições, que podem ser do tipo digital num analisador lógico ou num ICE, ou do tipo analógico / mistas num osciloscópio (MSO, *mixed-signal oscilloscope*, no caso misto). O MSO, que constitui uma referência pela sua importância para a depuração de circuitos mistos, permite efectuar o sincronismo (*trigger*) a partir de uma condição analógica,

digital ou mista, resultante de operações de detecção realizadas sobre os sinais digitais e analógicos. Para o sincronismo pode-se seleccionar o resultado da detecção analógica (condição analógica), da detecção digital (condição digital), ou a função AND/OR entre os resultados anteriores (condição mista). As operações de detecção mais utilizadas nos domínios analógico e digital encontram-se sumariadas na Tabela 5-1.

Tabela 5-1: Tipos de operações realizáveis pelo DCM.

Tipo de operação
= Limite_A
≠ limite_A
> Limite_A
< Limite_A
≥ Limite_A
≤ limite_A
Dentro do intervalo [A, B]
Fora do intervalo]A, B[

Nota: As operações dos dois primeiros tipos requerem uma máscara de comparação.

Estas características de detecção de condição utilizadas pelas ferramentas de depuração orientarão o desenvolvimento do DCM, realizado com base na infra-estrutura IEEE1149.4.

5.1.2 PRINCÍPIO DE FUNCIONAMENTO DO DETECTOR DE CONDIÇÃO MISTA

Do ponto de vista funcional, o DCM compara o valor presente nos nós sob depuração com um ou dois valores limite (a comparação com dois valores limite é a que corresponde aos dois últimos casos da Tabela 5-1). Os circuitos mistos apresentam nas suas entradas e saídas sinais digitais e analógicos, pelo que o DCM deve ter a capacidade de realizar operações nestes dois domínios. Em [Alves et al. 99b] é proposto um circuito de detecção de condição digital compatível com a infra-estrutura IEEE1149.1. Dado que nesta infra-estrutura o protocolo de transmissão de informação é do tipo série, a detecção de uma condição realizada por um módulo externo poderia ser validada tardiamente, face ao instante em que a condição tivesse realmente lugar. Uma solução possível passa por colocar o detector no interior do circuito sob depuração. No domínio analógico existe também a proposta de

circuitos de detecção deste tipo [Ducoudray-Acevedo et al. 03] [Slamani et al. 93], com limites de comparação analógicos e número de tipos de condição a detectar reduzido. Estas soluções enfrentam as limitações decorrentes da dependência das tensões analógicas, correspondentes aos limites de comparação a partir do exterior, e da dificuldade de se garantir a exactidão dessas tensões limite junto do detector.

O projecto de um DCM pode ser feito de várias formas, de acordo com os critérios que presidem à sua concepção. No presente caso foram valorizados os seguintes objectivos:

- Ultrapassar as dificuldades relacionadas com o acesso físico.
- Garantir a compatibilidade com a infra-estrutura IEEE1149.4.
- Minimizar a sobrecarga (*overhead*) introduzida pelo detector.
- Relacionar valores analógicos e digitais dentro do circuito.

A solução mais eficiente para ultrapassar as dificuldades relacionadas com o acesso físico no teste e depuração é deslocar para o interior do circuito os mecanismos necessários à realização dessas tarefas. Tem sido essa a justificação para a inclusão no circuito alvo de mecanismos *ad-hoc* ou de infra-estruturas normalizadas ou proprietárias. Também no presente caso, a localização mais vantajosa será aquela que permita o acesso aos nós digitais e aos nós analógicos. Dependendo do nível de integração existente, essa localização pode ser na CCI ou no interior do CI. No entanto, a tendência para a miniaturização dos circuitos, que se tem vindo a acentuar através dos SOCs, faz com que o necessário acesso aos nós do circuito justifique que o DCM se localize no seu interior, sob a forma de um bloco para apoio à depuração. O desenvolvimento de mecanismos deste tipo reutilizando a infra-estrutura IEEE1149.4 constituiu um requisito desde os primeiros passos deste trabalho. O *overhead* introduzido pelo DCM deve ser minimizado através da reutilização, sempre que razoável, dos recursos de teste já existentes no interior do CI. A reutilização da infra-estrutura de teste IEEE1149.4 para alojar este bloco constitui um primeiro passo nesse sentido, podendo ainda ser expandida para memorizar, sob a forma digital, os limites (Limite_A e Limite_B) associados às operações de detecção, e para seleccionar os nós sob depuração. A necessidade do DCM relacionar valores analógicos e digitais faz com que seja

internamente constituído por dois detectores de condição independentes, um para a parte digital e outro para a parte analógica, conforme se pode observar na Figura 5-1.

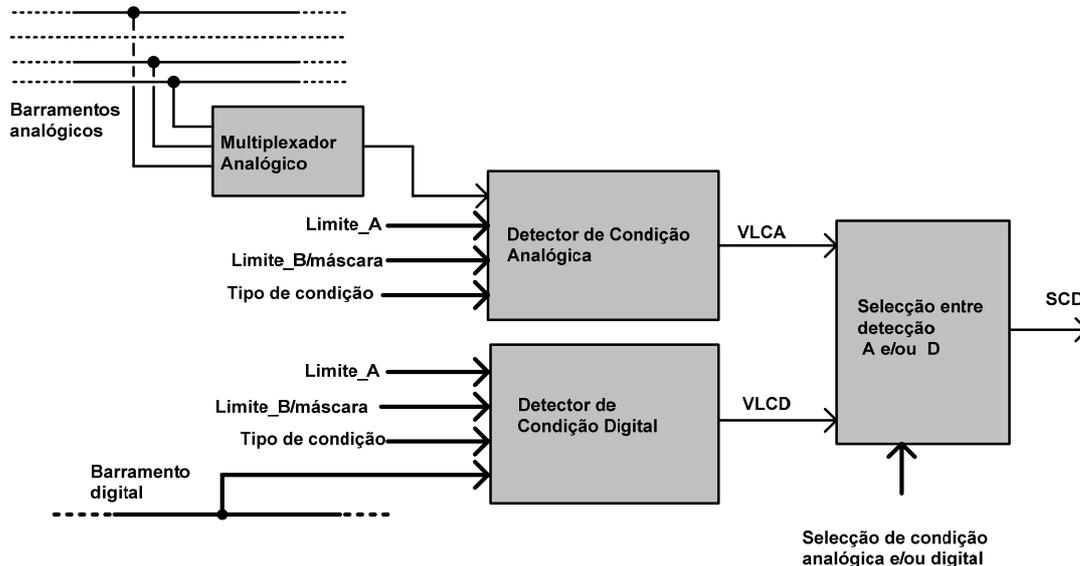


Figura 5-1: Esquema de princípio do DCM.

O detector de condição digital corresponde a um comparador de palavra em que o valor observado é comparado com um ou dois limites, Limite_A e Limite_B, dependendo da operação seleccionada. Esta operação é inteiramente realizada no domínio digital e a saída do Valor Lógico da Condição Digital (VLCD) apresenta um sinal binário dependente do seu resultado. O detector de condição analógica funciona segundo o mesmo princípio, mas apenas pode realizar operações sobre um nó de cada vez, seleccionado pelo multiplexador analógico representado na Figura 5-1. A saída Valor Lógico da Condição Analógica (VLCA) apresenta igualmente um sinal binário. Um circuito de selecção permite colocar na Saída de Condição Detectada (SCD, saída do DCM), o VLCD, o VLCA, ou uma função booleana de ambos. O DCM inclui potencialidades que podem ser encontradas como opções avançadas de sincronismo nalguns equipamentos usados na depuração de circuitos mistos [LeCroy 07] [Agilent 07]. A implementação adoptada para o DCM, satisfazendo os requisitos anteriores, reaproveita o circuito detector de condição digital proposto em [Alves 99], estendendo-se a sua funcionalidade para o domínio analógico.

O detector de condição digital tem por base a observabilidade proporcionada por um conjunto de DBMs, baseando-se o detector de condição analógica na observabilidade

proporcionada pelos ABMs. As grandezas associadas aos sinais analógicos são várias (e.g. tensão, corrente, frequência), mas o detector de condição desenvolvido apenas permite a detecção de tensões.

A Figura 5-2 ilustra a utilização do DCM numa operação de paragem por condição para um circuito misto baseado em microprocessador. Neste tipo de aplicações há todo o interesse em permitir a paragem no instante em que ocorre a condição, independentemente desta ter lugar no domínio digital ou no analógico, embora a paragem por condição não seja habitualmente possível neste último caso.

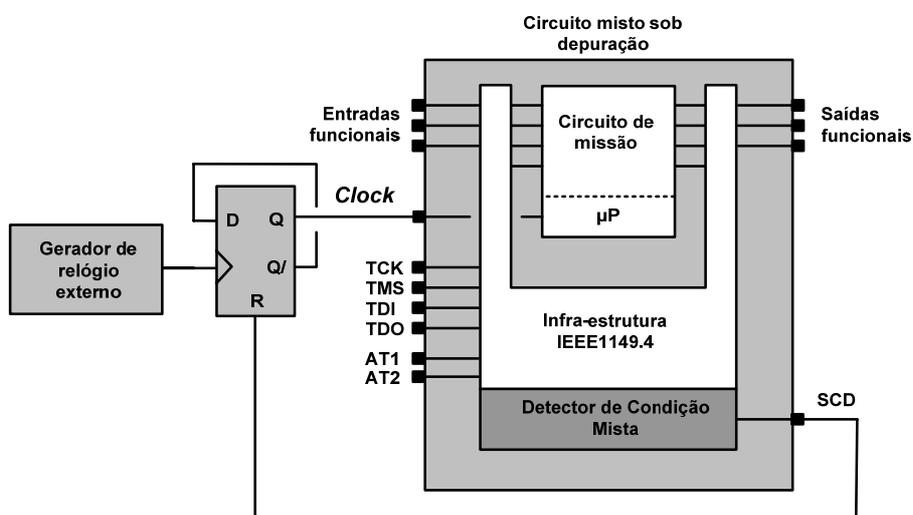


Figura 5-2: Utilização do DCM durante uma operação de paragem.

O DCM proposto ultrapassa a dificuldade referida, permitindo executar a paragem do microprocessador logo que se detecta a condição analógica, digital ou mista, inibindo a sua entrada de relógio (*clock*) e forçando o circuito a memorizar o estado actual. O desenvolvimento do DCM, com base na infra-estrutura IEEE1149.4, será apresentado na secção seguinte.

5.2. IMPLEMENTAÇÃO DO DETECTOR DE CONDIÇÃO MISTA

O desenvolvimento do DCM proposto é inteiramente realizado com base na infra-estrutura IEEE1149.4, que acomoda e endereça os blocos adicionais do detector, sendo também utilizada para aceder aos nós sob depuração e para memorizar os limites associados às

operações de detecção. A integração do DCM na infra-estrutura IEEE1149.4 dará origem a uma nova estrutura de registos e a um conjunto de instruções opcionais, como veremos nas secções seguintes.

5.2.1 DESCRIÇÃO DO DETECTOR DE CONDIÇÃO MISTA

O DCM proposto acrescenta à infra-estrutura IEEE1149.4 alguns blocos adicionais que serão especificados nesta secção. As operações de detecção são realizadas no domínio digital. A configuração do detector de condição efectua-se através da infra-estrutura IEEE1149.4, pelo que a solução mais directa consiste em incluir registos adicionais para memorizar as três palavras digitais que definem o tipo de operação e os respectivos limites. Uma vez que as operações de depuração se desenrolam quando o circuito se encontra no modo de funcionamento normal, os registos associados a cada DBM podem ser utilizados para armazenar os valores do Limite_A e do Limite_B, respectivamente nos andares de retenção (*Update stage – U*) e captura/deslocamento (*Capture/Shift stage – C/S*). O BSR é reutilizado na sua máxima capacidade de armazenamento (dois vectores), minimizando-se assim o *overhead* introduzido. Para este efeito é necessário desactivar o sinal *Update-DR* (activo durante a passagem do controlador do TAP pelo respectivo estado) para se impedir a escrita no andar de retenção, quando tal não for desejado. O armazenamento da palavra que selecciona a operação de detecção será feito num registo adicional. Desta forma, em cada DBM estão presentes simultaneamente os três sinais digitais necessários à realização de uma operação de detecção, conforme se mostra na Figura 5-3.

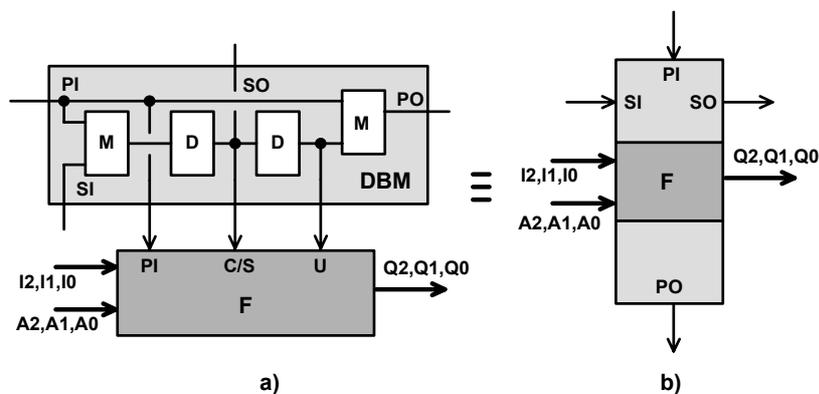


Figura 5-3: Constituição do DBM-F e a sua representação simplificada.

O conjunto formado pelo DBM e pelo bloco F, denominado a partir de agora pela expressão “DBM-F”, constitui um detector de condição elementar (1 bit) e pode ser concatenado para realizar operações sobre palavras digitais com n-bits. Por esta razão, cada bloco F possui entradas para seleccionar a operação pretendida (A2,A1,A0), entradas para receber o resultado proveniente do bloco F anterior (I2,I1,I0) e saídas onde é colocado o resultado da detecção realizada até ao presente andar (Q2,Q1,Q0). As saídas presentes no bloco F (Q2, Q1, Q0) dependem das seguintes entradas:

- Do bit presente na entrada paralela (PI).
- Do bit correspondente ao Limite_A, armazenado no andar de retenção (U).
- Do bit correspondente ao Limite_B, armazenado no andar de captura/deslocamento (C/S).
- Da operação seleccionada (A2, A1, A0).
- Do resultado da operação realizada no andar anterior (I2, I1, I0).

Os resultados possíveis das operações realizadas em cada bloco F são seis: Falso, Verdadeiro, Igual, Diferente, Maior que Limite_A e Menor que Limite_B. São assim necessários três bits para a sua codificação, tal como se representa na Tabela 5-2.

Tabela 5-2: Codificação dos estados possíveis nas entradas I1,I2,I0 e nas saídas Q2,Q1,Q0 do bloco F.

I2	I1	I0	Abreviatura	Descrição da codificação
0	0	0	F	Falso; significa que a condição que se pretende detectar foi provada falsa num bloco anterior, devendo-se propagar F quaisquer que sejam os valores no presente bloco.
0	0	1	V	Verdadeiro; significa que a condição que se pretende detectar: i) foi provada verdadeira num bloco anterior, devendo-se propagar V quaisquer que sejam os valores no presente bloco, ou ii) ainda não foi provada falsa num bloco anterior, devendo-se propagar V ou F de acordo com os valores no presente bloco.
0	1	0	=	Igualdade; significa os valores nas entradas são iguais aos valores esperados, nos blocos anteriores.
0	1	1	>A	Maior que Limite_A; significa que os valores nas entradas são maiores que os valores do Limite_A, nos blocos anteriores
1	0	0	<B	Menor que Limite_B; significa que os valores nas entradas são menores que os valores do Limite_B, nos blocos anteriores.

Q2	Q1	Q0	Abreviatura	Descrição da codificação
0	0	0	F	Falso; significa que a condição que se pretende detectar foi provada falsa neste ou num bloco anterior.
0	0	1	V	Verdadeiro; significa que a condição que se pretende detectar: i) foi provada verdadeira no presente bloco ou num anterior ou ii) ainda não foi provada falsa até ao presente bloco.
0	1	0	=	Igualdade; significa os valores nas entradas são iguais aos valores esperados, até ao presente bloco.
0	1	1	>A	Maior que Limite_A; significa que os valores nas entradas são maiores que os valores do Limite_A, até ao presente bloco.
1	0	0	<B	Menor que Limite_B; significa que os valores nas entradas são menores que os valores do Limite_B, até ao presente bloco.

As seis operações realizáveis pelo bloco F requerem uma codificação em três bits (A2,A1,A0), representada na Tabela 5-3.

Tabela 5-3: Codificação das operações de detecção de condição do bloco F.

A2	A1	A0	Operações realizadas pelo bloco F
0	0	0	= Limite_A
0	0	1	≠ Limite_A
0	1	0	≥ Limite_A
0	1	1	≤ Limite_A
1	1	0	Dentro do intervalo [A, B]
1	1	1	Fora do intervalo]A, B[

Conforme se pode observar, o bloco F compreende nove entradas e três saídas, pelo que a sua descrição detalhada, na forma de uma tabela de verdade, daria lugar a uma lista de $2^9 = 512$ posições, dimensão pouco prática para a sua compreensão. O funcionamento deste bloco pode no entanto ser apresentado por um conjunto tabelas individuais, referentes às combinações de (A2,A1,A0), tal como se representa adiante. A Tabela 5-4-a refere-se à detecção da igualdade entre o vector presente nas entradas e um vector esperado, com comparação através de uma máscara que se encontra no andar C/S. A Tabela 5-4-b refere-se à detecção da desigualdade entre o vector presente nas entradas e um vector esperado, com comparação através de uma máscara, tal como no caso anterior. A Tabela 5-4-c e a Tabela 5-4-d referem-se à detecção das condições \geq e \leq , entre o vector presente nas entradas e o

Limite_A. A Tabela 5-4e e a Tabela 5-4f referem-se à detecção das condições \in e \notin , relativamente aos intervalos definidos pelo Limite_A e pelo Limite_B.

Tabela 5-4: Tabelas de verdade das operações de detecção de condição do bloco F.

a) Operação "=" (A2,A1,A0) = (0,0,0)					b) Operação "!=" (A2,A1,A0) = (0,0,1)				
I2, I1, I0	C/S	U	PI	Q2,Q1,Q0	I2, I1, I0	C/S	U	PI	Q2,Q1,Q0
F	X	X	X	F	F	X	X	X	F
V	0	X	X	V	V	0	X	X	V
V	1	0	0	V	V	1	0	0	F
V	1	0	1	F	V	1	0	1	V
V	1	1	0	F	V	1	1	0	V
V	1	1	1	V	V	1	1	1	F

c) Operação "≥A" (A2,A1,A0) = (0,1,0)					d) Operação "≤A" (A2,A1,A0) = (0,1,1)				
I2, I1, I0	C/S	U	PI	Q2,Q1,Q0	I2, I1, I0	C/S	U	PI	Q2,Q1,Q0
=	X	0	0	=	=	X	0	0	=
=	X	0	1	V	=	X	0	1	F
=	X	1	0	F	=	X	1	0	V
=	X	1	1	=	=	X	1	1	=
F	X	X	X	F	F	X	X	X	F
V	X	X	X	V	V	X	X	X	V

e) Operação "∈[A, B]" (A2,A1,A0) = (1,1,0)					f) Operação "∉]A, B[" (A2,A1,A0) = (1,1,1)				
I2, I1, I0	C/S	U	PI	Q2,Q1,Q0	I2, I1, I0	C/S	U	PI	Q2,Q1,Q0
=	0	0	0	=	=	0	0	0	=
=	0	X	1	F	=	0	X	1	V
=	X	1	0	F	=	X	1	0	V
=	1	0	0	<B	=	1	0	0	<B
=	1	0	1	>A	=	1	0	1	>A
=	1	1	1	=	=	1	1	1	=
<B	X	0	0	<B	<B	X	0	0	<B
<B	X	0	1	V	<B	X	0	1	F
<B	X	1	0	F	<B	X	1	0	V
<B	X	1	1	<B	<B	X	1	1	A	0	X	0	>A
>A	0	X	1	F
>A	1	X	0	V
>A	1	X	1	>A
F	X	X	X	F
V	X	X	X	V

>A	0	X	0	>A
>A	0	X	1	V
>A	1	X	0	F
>A	1	X	1	>A
F	X	X	X	F
V	X	X	X	V

A relação entre as saídas e as entradas do bloco F são as seguintes¹⁴:

$$Q2 = (\text{PI}^*/\text{U}^*\text{I2}) + (\text{PI}^*/\text{U}^* \text{C}^*/\text{I0}^*\text{I1}^*\text{C2}) + (\text{PI}^*\text{U}^*\text{I2})$$

$$Q1 = (\text{I1}^*/\text{PI}^*/\text{U}^*/\text{C2}) + (\text{I1}^*/\text{PI}^*/\text{U}^*/\text{C}) + (\text{I1}^*/\text{PI}^*/\text{C}^*\text{I0}) + (\text{I1}^*\text{PI}^*\text{U}^*/\text{C2}) + (\text{I1}^* \text{PI}^*\text{C}^*\text{C2})$$

$$Q0 = (\text{I1}^*/\text{C2}^*/\text{C1}^*\text{C0}) + (\text{C2}^*/\text{C1}^*\text{C0}^*/\text{C}) + (\text{I2}^*/\text{C2}^*\text{C0}^*\text{C}^*\text{I}) + (\text{I2}^*/\text{I0}^*/\text{C2}^*\text{C0}^*\text{C}) + (\text{I2}^*/\text{C2}^*\text{C0}^*/\text{C}^*/\text{PI}) + (\text{I2}^*/\text{C2}^*\text{C1}^*\text{C}^*/\text{U}^*\text{PI}) + (\text{I2}^*\text{I0}^*/\text{C2}^*\text{C1}^*/\text{C}^*\text{PI}) + (\text{I0}^*/\text{C2}^*/\text{C1}^*\text{C0}^*\text{U}^*\text{PI}) + (\text{I0}^*/\text{C2}^*/\text{C1}^*\text{C0}^*/\text{U}^*\text{PI}) + (\text{I0}^*/\text{C2}^*/\text{C1}^*\text{C0}^*\text{U}^*/\text{PI}) + (\text{I0}^*/\text{C2}^*/\text{C1}^*\text{C0}^*/\text{U}^*/\text{PI}) + (\text{I1}^*\text{I0}^*/\text{C2}^*\text{C1}^*/\text{C0}^*\text{U}^*/\text{PI}) + (\text{I2}^*\text{I0}^*\text{C2}^*/\text{C1}^*/\text{C0}^*\text{U}^*/\text{PI}) + (\text{I2}^*/\text{I0}^*\text{C2}^*/\text{C1}^*/\text{C0}^*/\text{U}^*\text{PI}) + (\text{I2}^*\text{I1}^*/\text{I0}^*/\text{C2}^*\text{C1}^*/\text{C0}^*/\text{U}^*\text{PI})$$

Para a simplificação lógica de cada uma destas funções foram utilizadas ferramentas informáticas dedicadas [Karnaugh 07] [Bfunc 07]. A Figura 5-4-a apresenta o modo de concatenar os vários conjuntos DBM-F que, juntamente com os blocos adicionais FA, FB e FD, formam o Registo de Detecção de Condição (RDC), que se representa de forma simplificada na Figura 5-4-b. O bloco FA tem por função fornecer um código inicial (I2,I1,I0) ao primeiro bloco F. Este código neutro corresponde a “V” para as condições “vector actual = vector esperado” e “vector actual ≠ vector esperado”, e a “=” para as restantes operações.

¹⁴ Nesta descrição o nome do sinal “C/S” foi substituído por “C”.

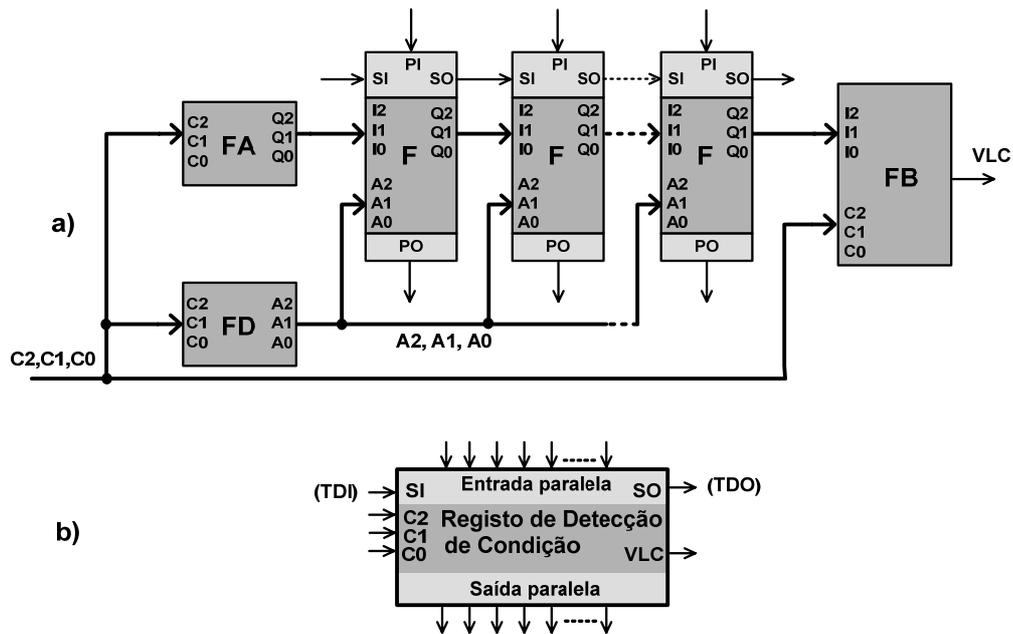


Figura 5-4: Constituição do RDC e sua representação simplificada.

Neste bloco, as relações entre os sinais de entrada (C2,C1,C0) e os de saída (Q2,Q1,Q0) são os seguintes:

$$Q2 = 0$$

$$Q1 = C2 + C1$$

$$Q0 = \neg(C2 + C1)$$

O bloco FD tem por função enviar para os blocos F os códigos (A2,A1,A0) correspondentes a “vector actual \leq Limite_A” e “vector actual \geq Limite_A”, quando forem seleccionadas as operações “vector actual $<$ Limite_A” e “vector actual $>$ Limite_A”, respectivamente. A descrição funcional do RDC está sumariada na Tabela 5-5. Repare-se que na Tabela 5-4 apenas estão contempladas seis operações, que não incluem os casos “vector actual $<$ Limite_A” e “vector actual $>$ Limite_A”, nos quais serão enviados para os blocos F os códigos (A2,A1,A0) correspondentes a “vector actual \leq Limite_A” e “vector actual \geq Limite_A”, respectivamente, sendo estas as operações efectivamente realizadas. A distinção entre “ $<$ ” e “ \leq ”, bem assim como entre “ $>$ ” e “ \geq ”, será posteriormente realizada pelo bloco FB. Para as restantes operações existe igualdade entre os valores presentes nas entradas (C2,C1,C0) e os valores presentes nas saídas (A2,A1,A0) de FD, podendo este bloco fazer parte de F, embora com piores resultados em termos de *overhead*.

Tabela 5-5: Codificação das operações de detecção de condição do RDC.

C2	C1	C0	Descrição da operação
0	0	0	= Limite_A
0	0	1	≠ Limite_A
0	1	0	> Limite_A
0	1	1	< Limite_A
1	0	0	≥ Limite_A
1	0	1	≤ Limite_A
1	1	0	Dentro do intervalo [A, B]
1	1	1	Fora do intervalo [A, B]

Nota: As operações dos dois primeiros tipos requerem uma máscara de comparação.

No bloco FD, as relações entre as entradas e as saídas são as seguintes:

$$A2 = C2 * C1$$

$$A1 = C2 + C1$$

$$A0 = C0$$

FB tem por função estabelecer a correspondência entre a saída do último bloco F (Q2,Q1,Q0) e a saída do RDC, que representa o Valor Lógico da Condição (VLC), e ainda distinguir entre as operações “<” e “≤”, e “>” e “≥”. A relação entre as suas entradas e a saída é a seguinte:

$$VLC = (I1 * I0) + (I1 * I0 * C2)$$

O RDC descrito permite realizar operações de detecção no domínio digital e foi inteiramente desenvolvido em torno dos DBM presentes nos nós digitais sob depuração. Para a detecção de condições no domínio analógico utiliza-se outro registo do mesmo tipo, ao qual se associa um conversor A/D, sendo esta operação inteiramente digital, conforme se apresenta na Figura 5-5. O DCM inclui dois registos de detecção de condição, um para o caso digital (RDGD) e outro para o caso analógico (RDCA). Este último está associado a um conversor A/D, cuja entrada está ligada ao barramento AB2 da infra-estrutura IEEE1149.4, que selecciona o nó sob depuração analógica.

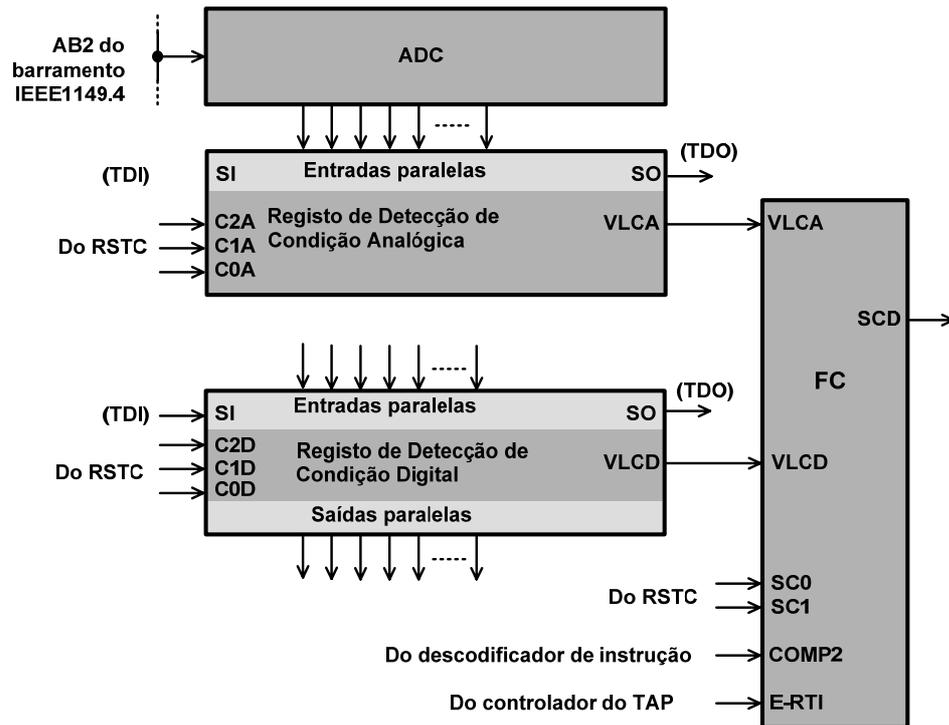


Figura 5-5: Constituição do DCM.

Repare-se que o nó seleccionado não tem necessariamente que ser analógico, podendo antes corresponder a um nó digital, sobre o qual se está a realizar uma operação de detecção analógica^{15, 16}, e.g. para verificar os valores de V_{OH} ou V_{OL} . A condição a detectar em cada um dos registos RDCD e RDCA é seleccionada pelas entradas (C2D,C1D,C0D) e (C2A,C1A,C0A) respectivamente, que são provenientes do Registo de Selecção do Tipo de Condição (RSTC) que é descrito adiante. A detecção de condição nos registos é sinalizada através dos sinais VLCA e VLCD. O bloco FC tem por função seleccionar para a saída SCD, saída do DCM, uma das seguintes alternativas: i) VLCA, ii) VLCD, ou iii) uma função booleana entre ambos. Esta selecção é feita através dos sinais de configuração da Saída de Condição, SC1 e SC0 também provenientes do RSTC, mas também depende do estado do controlador do TAP e da instrução carregada no registo de instrução BST. A Tabela 5-6 relaciona o sinal de saída SCD com a presença no estado *Run-test/Idle* (RTI) do controlador

¹⁵ (IEEE1149.4 - 7.2.1.1.a) A infra-estrutura IEEE1149.4 permite que os pinos digitais possam ter associados ABMs ou DBMs.

¹⁶ (IEEE1149.4 - 3.1.1.NOTE) Os pinos digitais podem ter ABMs associados para permitir medições analógicas no pino.

do TAP, com o código presente no registo de instrução BST (COMP2) e com os sinais SC1 e SC0.

Tabela 5-6: Sinal de saída SCD em função dos sinais de controlo (SC0, SC1), do código presente no registo de instrução e do estado do controlador do TAP.

ERTI	COMP2	SC1	SC0	SCD
0	X	X	X	0
X	0	X	X	0
1	1	0	0	VLCD
1	1	0	1	VLCA
1	1	1	0	VLCD + VLCA
1	1	1	1	VLCD * VLCA

- ERTI assume o valor “1” quando o controlador do TAP se encontra no estado *Run-test/Idle*
- COMP2 assume o valor “1” quando o registo de instrução BST contém uma das instruções de detecção de condição que serão apresentadas mais tarde (*PROBE2*, *INTEST2* e *EXTEST2*)
- SC1 e SC0 são utilizados para configurar o bloco FC

O bloco FC foi definido de maneira a que o sinal SCD apenas se torna válido quando o controlador do TAP se encontre no estado *Run-test/Idle* e uma das instruções de detecção esteja presente no registo de instrução BST. Nessas condições, as linhas de controlo SC1 e SC0 permitem colocar em SCD o resultado da detecção digital VLCD, o resultado da detecção analógica VLCA, ou o resultado de uma função booleana entre ambos. A relação entre os sinais de entrada e saída do bloco FC é a seguinte:

$$\text{SCD} = (\text{ERTI} * \text{COMP2} * \text{SC0} * \text{VLCD}) + (\text{ERTI} * \text{COMP2} * \text{VLCD} * \text{VLCA}) + (\text{ERTI} * \text{COMP2} * \text{SC1} * \text{SC0} * \text{VLCA}) + (\text{ERTI} * \text{COMP2} * \text{SC1} * \text{SC0} * \text{VLCA})$$

O sinal SCD será enviado para o exterior através de um pino dedicado, ou utilizado dentro do circuito integrado, se este incluir blocos adicionais para realizar a paragem por condição.

5.2.2 ESTRUTURA DE REGISTOS

Durante a detecção de condições, admite-se que o circuito se encontra em modo de funcionamento normal. Nestas circunstâncias os DBMs encontram-se em modo transparente, pelo que podem ser usados para apoiar as operações de detecção de condições. Apesar dos ABMs se encontrarem igualmente em modo transparente, os correspondentes registos de controlo serão usados para seleccionar o nó sob depuração, não podendo por isso o respectivo andar de retenção ser usado para memorizar o Limite_A. Consequentemente, utiliza-se para o RDCA um registo opcional, permitido pela norma IEEE1149.4, construído sobre estruturas do tipo DBM, mas sem o segundo multiplexador (i.e., desprovidas das saídas paralelas), uma vez que apenas recebe informação do conversor A/D. Conforme já foi referido, a configuração do DCM depende do valor presente em (C2A,C1A,C0A), que selecciona o tipo de condição no RDCA, do valor presente em (C2D,C1D,C0D), que selecciona o tipo de condição no RDCD, e do valor presente em SC1 e SC0, que são as entradas de selecção do bloco FC (ver Figura 5-5). As várias possibilidades daí resultantes são configuráveis pelo utilizador através do RSTC, um registo opcional de oito bits acrescentado à infra-estrutura IEEE1149.4, conforme representado na Figura 5-6.

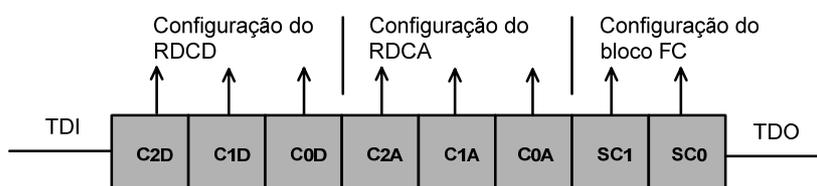


Figura 5-6: Constituição do RSTC.

A construção do RDCD assenta sobre os DBMs já existentes no circuito, pelo que este registo pertence ao BSR. O mesmo não se passa com o RDCA, embora seja de toda a conveniência que o deslocamento do Limite_A para o respectivo andar de retenção seja feito simultaneamente para os dois registos. Uma situação idêntica verifica-se no caso do deslocamento do Limite_B, de onde resulta a solução apresentada na Figura 5-7. Repare-se que o RDCD não está individualizado, uma vez que faz parte do BSR. Quando o multiplexador de dados se encontra seleccionado para a posição três, fica inserido entre TDI e TDO o BSR que inclui os DBMs e as estruturas de controlo do TBIC e dos ABMs.

Quando o multiplexador de dados for seleccionado para a posição dois, fica inserido entre TDI e TDO o BSR em série com o RDCA.

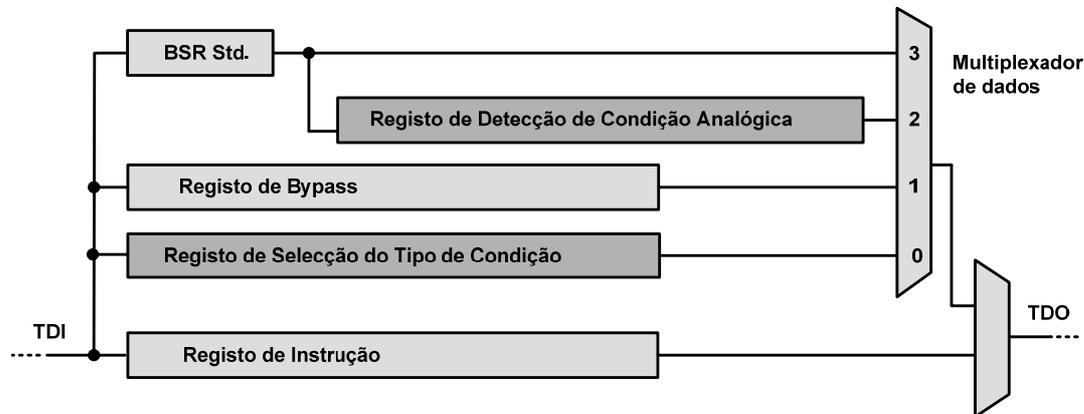


Figura 5-7: Estrutura de registos que suporta o DCM.

Quando o multiplexador de dados for seleccionado para as posições um ou zero, fica inserido entre TDI e TDO o registo de *bypass* ou o RSTC, respectivamente. Este último modo permite a sua configuração pelo utilizador, de acordo com o exposto anteriormente (ver Figura 5-6). A selecção de cada uma das possibilidades referidas é efectuada através de um conjunto de instruções que serão descritas na secção seguinte.

5.2.3 INSTRUÇÕES OPCIONAIS

O RDCA inclui os DBMs dos nós digitais em que se pretende realizar a detecção, pelo que a observação dos valores presentes nas suas entradas paralelas é sempre possível. O RDCA, por sua vez, não está associado especificamente a nenhum nó, realizando-se a selecção do sinal a observar através da linha AB2, pertencente barramento analógico interno da infra-estrutura IEEE1149.4. Para ser possível utilizar este barramento de modo não intrusivo é necessário utilizar a instrução obrigatória *PROBE*. Neste trabalho propõe-se uma nova instrução opcional denominada *PROBE2*, que selecciona o multiplexador de dados (Figura 5-7) para a posição 2 e bloqueia o sinal de *UpdateDR* nos registos de detecção de condição. Esta última característica é importante, já que esta instrução é usada para armazenar o Limite_B nos andares de deslocamento dos registos de detecção de condição, sem destruir o Limite_A

previamente armazenado nos respectivos andares de retenção. Propõem-se igualmente as instruções opcionais *INTEST2* e *EXTEST2*, que permitem utilizar o DCM quando a infra-estrutura IEEE1149.4 coloca o circuito em modo de teste interno ou externo. Para os restantes elementos da infra-estrutura IEEE1149.4, as instruções *PROBE2*, *INTEST2* e *EXTEST2*, produzem o mesmo efeito que as instruções normalizadas *PROBE*, *INTEST* e *EXTEST*. Para armazenar o Limite_A em cada um dos andares de retenção dos registos de detecção analógica e digital, é proposta uma nova instrução opcional denominada *SAMPLE/PRELOAD2*, que selecciona o multiplexador de dados para a posição 2. Finalmente, propõe-se a instrução opcional *SELCON*, que selecciona o multiplexador de dados para a posição 0, permitindo configurar o RSTC. A Tabela 5-7 resume as instruções opcionais propostas.

Tabela 5-7: Características das instruções opcionais propostas.

Instrução opcional	Posição do mux de dados	Bloqueio de <i>UpdateDR</i> nos registos de detecção	Comportamento da restante infra-estrutura IEEE1149.4
<i>PROBE2</i>	2	Sim	= <i>PROBE</i>
<i>INTEST2</i>	2	Sim	= <i>INTEST</i>
<i>EXTEST2</i>	2	Sim	= <i>EXTEST</i>
<i>S/P2</i>	2	Não	= <i>S/P</i>
<i>SELCON</i>	0	-	= <i>BYPASS</i>

5.2.4 OPERAÇÕES COM DETECTOR DE CONDIÇÃO MISTA E PROCEDIMENTOS DE UTILIZAÇÃO

O DCM permite a paragem/monitorização por condição e é particularmente útil para apoiar as operações de observabilidade e verificação realizadas sobre os blocos internos ou sobre as ligações dos seus nós de E/S. As operações que envolvem a utilização do DCM são as seguintes:

- Paragem/monitorização por condição.
- COV interna com DCM.
- COV externa com DCM.

Cada operação é executada através de uma sequência de passos que usam as instruções opcionais apresentadas na secção anterior.

A paragem/monitorização por condição pertence às operações compostas de depuração e permite detectar se os valores presentes nos nós de um circuito analógico, digital ou misto, apresentam valores diferentes dos esperados, durante o funcionamento normal. A instrução opcional *PROBE2* é usada de modo não intrusivo e deve ser carregada no registo de instrução BST durante o tempo que durar aquela operação de depuração. Antes disso, porém, é necessário configurar o DCM, pelo que o procedimento completo compreende os seguintes passos:

1. Carregar o registo de instrução BST com o código de *SELCON*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o RSTC.
2. Deslocar para o RSTC os códigos necessários para configurar o DCM.
3. Carregar o registo de instrução BST com o código de *SAMPLE/PRELOAD2*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o BSR + RDCA.
4. Deslocar o Limite_A para o RDCD e para o RDCA, seleccionar o nó para o RDCA e configurar o TBIC.
5. Carregar o registo de instrução BST com o código de *PROBE2*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o BSR + RDCA.
6. Deslocar o Limite_B para o RDCD e para o RDCA, seleccionar o nó para o RDCA e configurar o TBIC.
7. Colocar o controlador do TAP no estado *Run-test/Idle*.

A configuração pretendida para os registos associados ao TBIC e aos ABMs é a que resulta do passo seis. No passo quatro deve-se configurar o TBIC e os ABMs para evitar situações indesejáveis (e.g. a ocorrência de curto-circuitos através dos barramentos), quando estiver activa a instrução *PROBE2*, no passo 5. Durante todos os passos deste procedimento, os ABMs e os DBMs encontram-se em modo transparente. Quando (se) for detectada a

condição especificada, o sinal SCD na saída do DCM passará a exibir o valor lógico “1”. Conforme referido, este sinal pode ser utilizado para a paragem de um microprocessador, como no exemplo ilustrado na Figura 5-2, ou enviado para o exterior, caso se trate de uma monitorização.

A operação de COV interna com DCM corresponde a uma forma de utilização das operações básicas de depuração e permite detectar se os valores presentes nos nós de um circuito analógico, digital ou misto, apresentam valores diferentes dos esperados, quando se encontra em funcionamento no modo de teste interno. Através desta operação é possível utilizar a infra-estrutura IEEE1149.4 para controlar a(s) entrada(s) e observar a(s) saídas de um bloco interno e utilizar o DCM para verificar se o circuito responde da forma desejada perante um estímulo conhecido. Nestas circunstâncias, a instrução opcional *INTEST2* deve ser carregada no registo de instrução BST enquanto durar a operação de depuração. O procedimento completo, para este caso, compreende os seguintes passos:

1. Carregar o registo de instrução BST com o código de *SELCON*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o RSTC.
2. Deslocar para o RSTC os códigos necessários para configurar o DCM.
3. Carregar o registo de instrução BST com o código de *SAMPLE/PRELOAD2*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o BSR + RDCA.
4. Deslocar o Limite_A para o RD CD e para o RDCA, seleccionar o nó para o RDCA e configurar o TBIC.
5. Carregar o registo de instrução BST com o código de *INTEST2*. O circuito passa a funcionar no modo de teste interno, i.e. o controlo dos DBMs passa a ser feito pela infra-estrutura IEEE1149.4, enquanto os ABMs permanecem em modo transparente (podem ser controláveis se a infra-estrutura IEEE1149.4 dispuser de recursos adicionais para esse efeito). Esta instrução coloca no percurso TDI-TDO o BSR + RDCA.
6. Deslocar o Limite_B para o RD CD e para o RDCA, seleccionar o nó para o RDCA e configurar o TBIC.

7. Colocar o controlador do TAP no estado *Run-test/Idle*.

A detecção de condição digital processa-se sobre os nós com DBMs que pertencem ao RDCD, enquanto a detecção de condição analógica pode ter lugar em qualquer nó que disponha de ABM. Esta operação pode ser usada, por exemplo, para a depuração de blocos (e.g. um conversor A/D) que se encontrem dentro de circuitos de maior dimensão, como é o caso dos SOC.

A operação de COV externa com DCM corresponde a uma forma de utilização das operações básicas de depuração e permite verificar o estado das ligações nos nós de E/S, quando o circuito se encontra no modo de teste externo. Através desta operação é possível utilizar a infra-estrutura IEEE1149.4 para caracterizar as resistências presentes nas ligações estendidas e usar o DCM para verificar se o valor determinado se encontra dentro da respectiva tolerância. Durante a depuração de circuitos mistos é necessário verificar o estado das ligações simples e o valor dos componentes presentes nas ligações estendidas (e.g. resistências). No teste de ligações realizado através da infra-estrutura IEEE1149.4 a verificação é realizada no exterior do circuito sob depuração. O teste de ligações simples é um processo inteiramente digital, enquanto o teste de ligações estendidas envolve adicionalmente medidas de corrente e de tensão, que requerem frequentemente a intervenção humana, quando em ambiente de depuração. A presente operação permite que a verificação do valor de uma resistência seja realizada digitalmente, de forma semelhante ao teste de interligações simples – a corrente injectada provoca uma queda de tensão que é comparada no DCM com os seus valores limite (superior e inferior), produzindo um resultado do tipo passa / falha. O procedimento completo para esta operação de depuração é o seguinte:

1. Carregar o registo de instrução BST com o código de *SELCON*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o RSTC.
2. Deslocar para o RSTC os códigos necessários para configurar o DCM.
3. Carregar o registo de instrução BST com o código de *SAMPLE/PRELOAD2*. Esta instrução coloca os DBMs e os ABMs em modo transparente e insere no percurso TDI-TDO o BSR + RDCA.

4. Deslocar o Limite_A para o RDCD e para o RDCA, seleccionar o nó para o RDCA e configurar o TBIC.
5. Carregar o registo de instrução BST com o código de EXTEST2. O circuito passa a funcionar no modo de teste externo, i.e. o controlo dos DBMs passa a ser feito pela infra-estrutura IEEE1149.4, enquanto os ABMs mantêm os pinos desligados do núcleo. Esta instrução coloca no percurso TDI-TDO o BSR + RDCA.
6. Deslocar o Limite_B para o RDCD e para o RDCA, seleccionar o nó para o RDCA e configurar o TBIC.
7. Colocar o controlador do TAP no estado *Run-test/Idle*.

O sinal SCD, que traduz o resultado da verificação, é enviado para o controlador de teste por um pino dedicado, ou mais simplesmente através da própria infra-estrutura IEEE1149.4, uma vez que esta operação tem menores requisitos de rapidez que as duas anteriormente apresentadas. Recorde-se que esta infra-estrutura dispõe de pontos de captura nos ABMs¹⁷ e no TBIC¹⁸ que podem ser usados para informar o controlador de teste acerca do resultado da verificação realizada pelo DCM.

A operação apresentada permite realizar, no domínio digital e através da infra-estrutura IEEE1149.4, parte da medida da resistência, mais exactamente aquela que se relaciona com a verificação da tensão. Para esta operação ser inteiramente digital seria necessário dispormos de uma fonte de corrente controlada pela infra-estrutura IEEE1149.4, que poderia ser externa ao circuito sob depuração (corrente injectada através de AT1), ou interna, sob a forma de um circuito de apoio à depuração (corrente injectada sobre AB1).

¹⁷ (IEEE1149.4 - 7.3.5.1.1.b) O registo associado a cada ABM inclui os 4 andares BUS1, BUS2, CONTROL e DATA, mas apenas este último é usado obrigatoriamente para capturar o valor digital presente no ABM (IEEE1149.4 - 7.3.5.1.1.f), pelo que a captura nos restantes andares pode ser usada pelo projectista (IEEE1149.4 - 7.3.5.1.2.a).

¹⁸ (IEEE1149.4 - 6.3.1.1.b) O registo associado ao TBIC inclui os 4 andares CALIBRATE, CONTROL, DATA1 e DATA2, mas apenas os dois últimos são usados obrigatoriamente para capturar o valor digital presente em AT1 e AT2 (IEEE1149.4 - 6.3.1.1.d), pelo que a captura nos andares de CALIBRATE e CONTROL pode ser usada pelo projectista (IEEE1149.4 - 6.3.1.2.a).

5.3. LIMITAÇÕES DO DCM

As limitações do DCM referem-se ao *overhead* introduzido e às restrições de funcionamento. O primeiro resulta dos recursos adicionais necessários à sua realização, que neste caso dizem respeito a um pino e à área de silício correspondente, sendo esta quantificada nesta secção. Dado que as áreas utilizadas pelos vários elementos são dependentes da tecnologia, a análise é feita com base na *complexidade* dos circuitos, assumindo-se na parte digital que:

- Todos os circuitos são decomponíveis em portas lógicas elementares de duas entradas (P2);
- Todas as portas lógicas elementares de duas entradas (P2) têm a mesma complexidade.

Com base nestas assunções, a Tabela 5-8 apresenta exemplos da complexidade de partes digitais que integram a infra-estrutura IEEE1149.4.

Tabela 5-8: Complexidade de blocos IEEE1149.4, em número de portas lógicas de duas entradas (P2).

Blocos IEEE1149.4	Complexidade $N_{(P2)}$
Registo de instrução de 8 bits	296
Multiplexador de dados	4
Registo de <i>bypass</i>	17
Descodificador de instrução	62
DBM	41
ABM (apenas parte digital)	165

A infra-estrutura IEEE1149.4 inclui, para além da parte digital, os interruptores analógicos e os comparadores, aos quais se acrescenta um conversor A/D no DCM. A área de silício utilizada por estes três tipos de macroblocos depende da tecnologia usada, pelo que decidimos manter separados os respectivos números. Para melhor se compreender o peso da proposta aqui apresentada, começaremos por uma caracterização da infra-estrutura IEEE1149.1 básica, a que seguirá a expansão para a infra-estrutura IEEE 1149.4 e finalmente a solução que integra o DCM.

A infra-estrutura apresenta uma parte fixa e outra dependente do número de DBMs e de ABMs. A parte fixa inclui os blocos que aparecem apenas uma vez, i.e. o controlador do

TAP, o descodificador de instrução, um registo de instrução de oito bits, o registo de *bypass*, etc. A complexidade equivalente desta infra-estrutura IEEE1149.1 será dada por¹⁹:

$$N_{(P2)} = 556 + 41 \cdot N_{DBM}$$

em que N_{DBM} representa o número total de DBMs presentes na infra-estrutura. Deste modo, a complexidade da infra-estrutura IEEE1149.1 de um circuito com 100 entradas/saídas é de $N_{(P2)} = 4\ 656$ portas lógicas de duas entradas.

No que respeita à infra-estrutura IEEE1149.4, a parte digital pode igualmente ser quantificada em número de portas P2, sendo a parte mista expressa em número de interruptores e de comparadores. A complexidade equivalente de uma infra-estrutura IEEE1149.4 será dada por:

$$N_{(P2, INTERRUPTORES, COMPARADORES)} = (746 + 165 \cdot N_{ABM} + 41 \cdot N_{DBM}, 10 + 6 \cdot N_{ABM}, 2 + N_{ABM})$$

em que N_{ABM} representa o número de ABMs presentes na infra-estrutura. Deste modo, a infra-estrutura IEEE1149.4 de um circuito com 100 DBMs e cinco ABMs apresenta uma complexidade equivalente de $N_{(P2, INTERRUPTORES, COMPARADORES)} = (5671, 40, 7)$.

No que respeita a uma infra-estrutura IEEE1149.4 com DCM, excluindo ainda o conversor A/D, teremos:

$$N_{(P2, INTERRUPTORES, COMPARADORES)} = (1091 + 165 \cdot N_{ABM} + 41 \cdot N_{DBM} + 119 \cdot N_{DREG} + 115 \cdot N_{AREG}, 10 + 6 \cdot N_{ABM}, 2 + N_{ABM})$$

onde N_{DREG} e N_{AREG} representam o número de bits do RDCD e do RDCA, respectivamente. A este valor acrescenta-se o número de portas lógicas necessário à realização do conversor A/D, que depende do seu número de bits (N_{AREG}). Considere-se, por exemplo, uma infra-estrutura IEEE1149.4 com DCM, $N_{ABM} = 5$, $N_{DBM} = 92$, $N_{DREG} = 8$ e $N_{AREG} = 8$, escolhidos de forma a permitir a comparação entre a complexidade desta infra-estrutura e a do exemplo

¹⁹ Valores correspondentes ao modelo de simulação realizado para validar a solução proposta.

anterior. Neste caso consideram-se apenas 92 DBMs, admitindo-se que oito dos 100 DBMs iniciais foram substituídos pelo RDCD. Deste modo, a infra-estrutura com DCM apresenta uma complexidade de $N_{(P2, INTERRUPTORES, COMPARADORES)} = (7560, 40, 7)$. A Tabela 5-9 apresenta de forma resumida os resultados correspondentes aos exemplos citados.

Tabela 5-9: Complexidade equivalente das infra-estruturas 1149.1 / 1149.4 / 1149.4 com DCM.

		1149.1	1149.4	1149.4 com DCM
Características do circuito sob depuração	Número de E/S digitais	100	100	92
	Número de E/S analógicas	-	5	5
	Número de bits do RDCD	-	-	8
	Número de bits do RDCA	-	-	8
Complexidade da infra-estrutura	Número equivalente de portas P2	4650	5671	7650
	Número de interruptores	-	40	40
	Número de comparadores	-	7	7
	Nº de bits do conversor A/D adicionado	-	-	8

Os exemplos apresentados permitem concluir que o DCM introduz um *overhead* de 33% na parte digital da infra-estrutura IEEE1149.4. Em relação à parte mista, o número de comparadores e o número de interruptores permanece igual, mas um conversor A/D de oito bits deve ser contabilizado na respectiva complexidade.

Outra limitação do DCM diz respeito ao seu funcionamento dentro da infra-estrutura IEEE1149.4. Recorde-se que o RDCD foi desenvolvido em torno dos DBMs existentes nos nós digitais onde se pretende realizar as operações de depuração. Em funcionamento normal, os DBMs encontram-se em modo transparente, podendo por isso ser utilizados para memorizar o Limite_A e o Limite_B. Quando o circuito se encontra em modo de teste, as saídas dos DBMs devem ser controladas pela infra-estrutura IEEE1149.4, mas as instruções *INTEST2* e *EXTEST2* pressupõem a utilização do andar de retenção do RDCD para memorizar o Limite_A, sendo simultaneamente este valor colocado na sua saída paralela. Um RDCD que permitisse independentemente memorizar o Limite_A e controlar as saídas paralelas necessitaria de três elementos de memória. Esta limitação não se aplica ao RDCA, uma vez que se trata de um registo independente dos que obrigatoriamente integram a infra-estrutura IEEE1149.4.

5.4. SUMÁRIO

Neste capítulo descreveu-se a implementação do modelo de depuração proposto para circuitos mistos através da infra-estrutura IEEE1149.4, tendo sido apresentado o DCM e as instruções opcionais necessárias à sua utilização. Foram descritos os procedimentos para a paragem/monitorização por condição, para a depuração interna e para a depuração externa do circuito. Para os exemplos apresentados, mostrou-se que o *overhead* da solução proposta é de cerca de 33% relativamente à parte digital da infra-estrutura IEEE1149.4 (sendo esta parte por sua vez uma pequena percentagem do circuito total), a que se acrescenta um conversor A/D para a parte mista. Se considerarmos um SOC que compreenda um microprocessador, memória, conversores, etc., o *overhead* global será mais pequeno e pode ser perfeitamente justificável para diminuir os elevados custos de verificação de projecto, que são actualmente maioritários no desenvolvimento deste tipo de produtos [ITRS 07], bem como o *time-to-market*.

6. VALIDAÇÃO DO MODELO PROPOSTO

Este capítulo valida, em ambiente de simulação, o modelo de depuração proposto. A primeira secção descreve o CI misto utilizado, nomeadamente a parte do circuito de missão, a infra-estrutura IEEE1149.4, as extensões propostas para acesso electrónico e o DCM para apoio à depuração.

A segunda secção justifica a opção da validação em ambiente de simulação e apresenta a aplicação BSORCAD que gera, a partir de uma lista de comandos, o ficheiro dos sinais a utilizar durante na simulação nas entradas do TAP.

As secções seguintes apresentam exemplos de aplicação do modelo de simulação proposto na detecção de uma condição analógica durante o teste interno, na detecção de uma condição mista durante o funcionamento normal do circuito e na verificação do valor de uma resistência durante o teste externo, respectivamente.

6.1. O CIRCUITO DE VALIDAÇÃO

Para a validação do modelo de depuração proposto é necessário um circuito de missão, acompanhado por uma infra-estrutura IEEE1149.4 com as extensões anteriormente apresentadas, que incluem o DCM e os ABMs, com topologias diferentes da canónica, para permitir (i) o controlo autónomo das entradas do circuito de missão e (ii) o controlo/observação dos nós internos. O circuito de missão deve ser especificado para permitir a realização das operações de detecção de condição analógica ou mista.

O tempo de desenvolvimento em *hardware* de um circuito com estas características seria elevado. Acresce-se que os tipos de CIs compatíveis com a norma são escassos e não implementam as variantes de ABM propostas. Por outro lado, o desenvolvimento destas topologias através de componentes discretos é uma tarefa por si só bastante demorada, como se comprovou através do desenvolvimento do protótipo de um circuito IEEE1149.4, realizado no âmbito de um trabalho final de curso orientado pelo autor e ilustrado na Figura 6.1 [Coelho, 02]. Neste caso, o circuito de missão consiste apenas num seguidor de tensão e num *buffer*, pelo que a maior parte dos recursos empregues se destinam a implementar a infra-estrutura de teste.

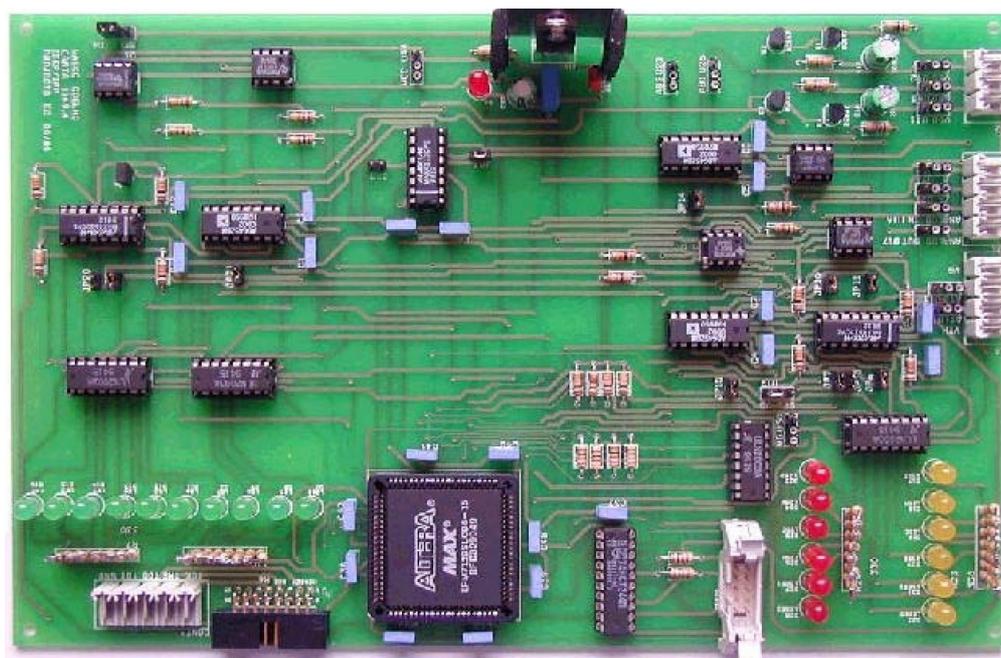


Figura 6-1: Componente compatível com IEEE1149.4.

Os requisitos a satisfazer para validar o modelo de depuração proposto implicam um circuito substancialmente mais complexo, tornando vantajoso o uso de um ambiente de simulação. Adoptou-se para este efeito a aplicação ORCAD V10.3, comercializada pela Cadence [Cadence 06], que compreende um simulador PSPICE.

6.1.1 CARACTERÍSTICAS DO CIRCUITO DE MISSÃO E SUA REALIZAÇÃO

As características do circuito de missão desenvolvido para efeitos de validação são as seguintes:

- Compreende macroblocos mistos.
- Possibilita operações de detecção em nós analógicos e/ou em barramentos digitais.
- Inclui mais do que um macrobloco, de modo a permitir a inserção de um ABM num nó analógico interno.

Os macroblocos escolhidos foram um multiplexador analógico 4:1 e um conversor A/D, de acordo com o diagrama de blocos representado na Figura 6.2. Para o multiplexador analógico e para o conversor A/D foram utilizados os modelos do ADG590F e do AD782, respectivamente.

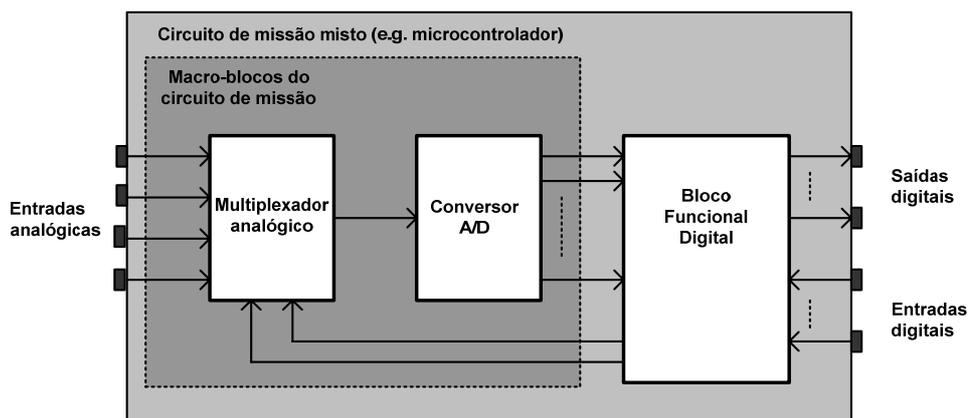


Figura 6-2: Diagrama de blocos do circuito misto considerado.

O conversor A/D e os interruptores/multiplexadores são comuns nos circuitos mistos e a associação conversor A/D + multiplexador, em particular, constitui uma configuração

frequente em microcontroladores. O passo seguinte corresponde a incluir neste circuito os recursos propostos para o apoio à depuração:

- A infra-estrutura IEEE1149.4.
- O ABM-1 nos pinos das entradas analógicas.
- O ABM-4 no nó analógico interno.
- O DBM nos pinos de entrada de controlo do multiplexador analógico e no pino de saída de *overflow* do conversor A/D.
- O DCM - O registo de detecção de condição digital está associado à saída do conversor A/D do circuito de missão; a entrada do conversor A/D do DCM está ligada a AB2 do barramento interno de teste analógico (ver Figura 6.3).

Por uma questão de simplicidade, usa-se a expressão *circuito de missão* para indicar os *macro-blocos do circuito de missão* referidos na Figura 6.1.

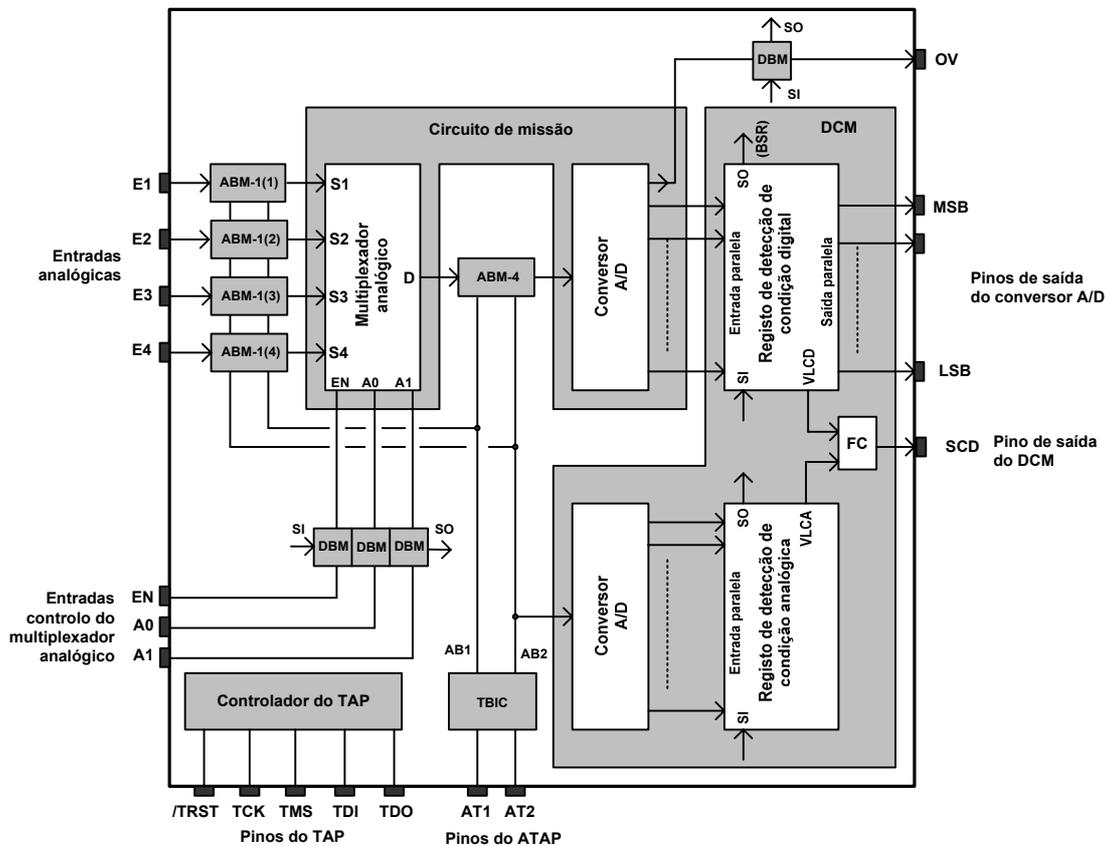


Figura 6-3: Circuito utilizado para validar o modelo de depuração.

6.1.2 REGISTOS

O conjunto de registos da infra-estrutura IEEE1149.4 inclui os obrigatórios (BSR, *bypass* e o registo de instrução) e os que foram acrescentados para suportar o DCM (o registo de selecção do tipo de condição, RSTC, e o registo de detecção de condição analógica, RDCA). Os registos de *bypass* e o RSTC apresentam um comprimento de um e oito bits, respectivamente. As características dos restantes registos ficam dependentes do circuito de missão em causa e das opções tomadas pelo projectista. No CI que valida o modelo de depuração proposto optámos por uma implementação que facilitasse desenvolvimentos subsequentes: os registos de detecção de condição estão preparados para operações até 16 bits, mas foram limitados a 12, por ser esse o número de bits do modelo do conversor A/D usado. O registo de instrução apresenta oito bits, embora quatro fossem suficientes para codificar as dez instruções que serão apresentadas. O BSR inclui os registos do TBIC, os registos dos ABM-1s das quatro entradas analógicas, o registo do ABM-4 do nó analógico interno, o registo de detecção de condição digital, um DBM associado ao pino de saída de *overflow* (OV) do conversor A/D do circuito de missão e três DBMs associados aos pinos de controlo do multiplexador analógico (EN, A0, A1). A Tabela 6-1 resume a constituição do BSR e a Tabela 6-2 apresenta o RDCA.

Tabela 6-1: Descrição do BSR (à esquerda o bit mais próximo de TDI).

Bloco	TBIC				ABM-1(1)				ABM-1(2)				ABM-1(3)				ABM-1(4)			
Nome do bit	Ca	Co	D1	D2	D	C	B1	B2	D	C	B1	B2	D	C	B1	B2	D	C	B1	B2
Número de bit	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20

Bloco	ABM-4		Registo de Detecção de Condição Digital												MUX			
Nome do bit	A	B	0	1	2	3	4	5	6	7	8	9	10	11	OV	E	A0	A1
Número de bit	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38

Tabela 6-2: Descrição do RDCA (à esquerda o bit mais próximo de TDI).

Bloco	Registo de Detecção de Condição Analógica											(Não usado)				
Nome do bit	0	1	2	3	4	5	6	7	8	9	10	11	-	-	-	-
Número de bit	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

6.1.3 INSTRUÇÕES

As instruções propostas para o CI incluem as obrigatórias *EXTEST*, *SAMPLE/PRELOAD*, *BYPASS* e *PROBE*, a opcional *INTEST* apresentada na norma e as opcionais *EXTEST2*, *SAMPLE/PRELOAD2*, *PROBE2*, *INTEST2* e *SELCON* propostas para seleccionar o DCM. A Tabela 6-3 resume estas instruções, apresentando os respectivos códigos e os registos seleccionados pelo multiplexador de dados da infra-estrutura IEEE1149.4.

Tabela 6-3: Instruções, códigos e registos seleccionados.

Nome da instrução	Código da instrução	Registo seleccionado
<i>EXTEST</i>	0000 0000	BSR
<i>SAMPLE/PRELOAD</i>	0000 0001	BSR
<i>PROBE</i>	0000 0010	BSR
<i>INTEST</i>	0000 0011	BSR
<i>EXTEST2</i>	0000 0100	BSR + RDCA
<i>SAMPLE/PRELOAD2</i>	0000 0101	BSR + RDCA
<i>PROBE2</i>	0000 0110	BSR + RDCA
<i>INTEST2</i>	0000 0111	BSR + RDCA
<i>SELCON</i>	0000 1000	RSTC
<i>BYPASS</i>	Restantes combinações	bypass

6.2. A APLICAÇÃO BSORCAD

O CI que valida o modelo de depuração foi descrito através de um conjunto de 39 diagramas esquemáticos distribuídos por oito níveis hierárquicos, em que o nível um é o mais elevado (i.e. pinos de E/S do CI). Todos os diagramas se encontram incluídos no Anexo 9.3. A Tabela 6-4 apresenta a distribuição dos esquemas pelos vários níveis.

A simulação do CI que valida o modelo de depuração envolve o controlo dos pinos de entrada e a observação dos pinos de saída e dos nós internos, operações que são realizadas através da instrumentação virtual disponível no simulador. Os estímulos digitais a injectar nos pinos de entrada TMS e TDI do TAP não são sinais periódicos, pelo que não podemos usar directamente um gerador de sinais. A alternativa consiste em utilizar o *STIMULUS EDITOR*, uma aplicação do *ORCAD* que permite descrever sinais digitais genéricos e que

gera um ficheiro <nome>.stl para usar durante a fase de simulação. A descrição desses sinais é feita manualmente, por cada transição, num processo moroso e sujeito a erros. Para ultrapassar esta limitação foi desenvolvida a aplicação *Windows BSORCAD*, que apresenta a interface gráfica ilustrada na Figura 6-4.

Tabela 6-4: Distribuição dos diagramas esquemáticos pelos níveis hierárquicos do CI.

Nível 1	Nível 2	Nível 3	Nível 4	Nível 5	Nível 6	Nível 7	Nível 8
01	02, 03						
	04	05, 06, 07, 10					
		08	09				
		11	12, 13, 14				
		15	16	17, 18, 19			
			20	21, 22, 23			
		24	03				
			25	26, 27, 28			
				29	30	31	
						32	33, 34, 35
		25	26, 27, 28				
			29	30	31		
					32	33, 34, 35	
		36, 37, 38, 39					

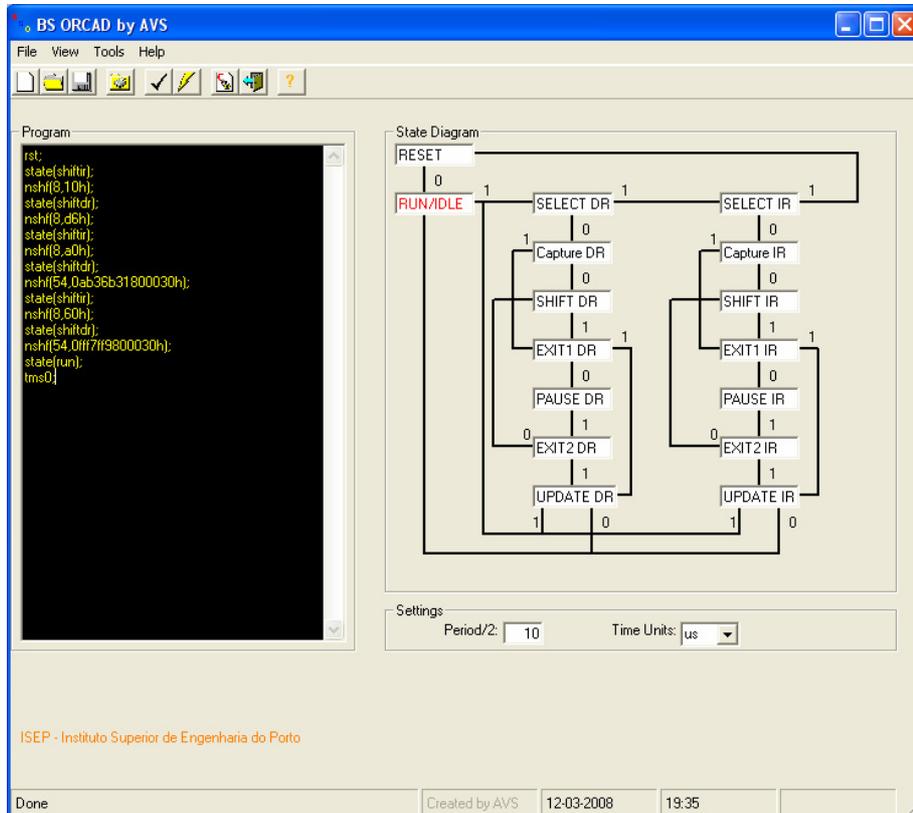


Figura 6-4: Interface gráfica do BSORCAD.

Esta aplicação permite:

- Controlar o TAP a partir de um programa escrito com base na lista de comandos apresentada na Tabela 6-5.
- Verificar a execução do programa, comando a comando.
- Gerar o ficheiro <nome>.stl dos sinais TCK, TDI e TMS para controlar o TAP de um circuito descrito em ambiente ORCAD.

Tabela 6-5: Lista dos comandos do BSORCAD.

Comandos	Descrição
rst	Inicia a infra-estrutura – cinco impulsos em TCK com TMS a “1”
tms0	Avança um impulso de TCK com TMS a “0”
tms1	Avança um impulso de TCK com TMS a “1”
state(A)	Avança para estado A pelo caminho mais curto
nshf(B,Ch)	No estado Shift-DR ou Shift-IR, através de B impulsos desloca informação C para TDI

O comando rst inicia a infra-estrutura IEEE1149.4, colocando-a no estado *Test-Logic-Reset* através da aplicação de cinco impulsos em TCK com TMS no estado lógico “1”. Os comandos tms0 e tms1 aplicam um impulso a TCK com TMS no estado lógico “0” ou “1”, respectivamente. O comando state(A) faz mover o controlador do TAP para o estado A pelo percurso mais curto. As várias possibilidades para o operando A encontram-se descritas na Tabela 6-6.

Tabela 6-6: Operando do comando state(A).

reset		
run	selectdr	selectir
	capturedr	captureir
	shiftdr	shiftir
	exit1dr	exit1ir
	pausedr	pauseir
	exit2dr	exit2ir
	updatedr	updateir

Finalmente, o comando `nshf(B,Ch)` é usado apenas quando o controlador do TAP se encontra nos estados de *Shift-DR* ou *Shift-IR* e permite, durante B bits, deslocar a informação C, que se encontra codificada em hexadecimal. Considere-se, a título de exemplo, que pretendemos deslocar a sequência 0110101 para um registo de sete bits (o bit mais à direita é o que deve ficar mais próximo de TDO). O primeiro passo consiste em inverter a ordem dos bits, a que se segue o seu agrupamento em conjuntos de 4 (podem acrescentar-se bits, que não serão deslocados, para completar o último conjunto). No nosso exemplo, a aplicação deste procedimento produz a sequência 1010 1100. O terceiro passo consiste em codificar os conjuntos de 4 bits em hexadecimal, dando origem ao código ACh. O comando correspondente a este exemplo é então:

```
nshf(7,ach);
```

Nas próximas secções serão apresentados exemplos de programas desenvolvidos para o BSORCAD.

6.3. DETECÇÃO DE CONDIÇÃO ANALÓGICA

Nesta secção exemplificamos a utilização dos recursos acrescentados à infra-estrutura IEEE1149.4 para detectar uma condição analógica através do DCM durante o teste interno do CI, que é colocado nas condições seguintes:

- À entrada S1 do multiplexador analógico (ver Figura 6-5) aplicamos um sinal sinusoidal via AT1, AB1 e SB12-ABM-1(1)²¹.
- O multiplexador analógico deve ser controlado através da infra-estrutura IEEE1149.4, fazendo com que saída D seleccione o sinal presente em S1, i.e. (EN,A0, A1) =(1,0,0).
- O sinal presente na saída D do multiplexador analógico deve ser observado via SB2-ABM-4, AB2.

²¹ SB12-ABM-1(1) representa o interruptor SB12 do primeiro ABM, que pertence ao tipo 1 (o tipo do ABM é indicado em primeiro lugar e a sua ordem é indicada entre parêntesis).

- O DCM deve detectar quando a amplitude desse sinal é maior que +5V ou menor que -1V.

A Figura 6-5 apresenta a cheio o percurso do sinal analógico desde o pino AT1 até à entrada analógica do DCM.

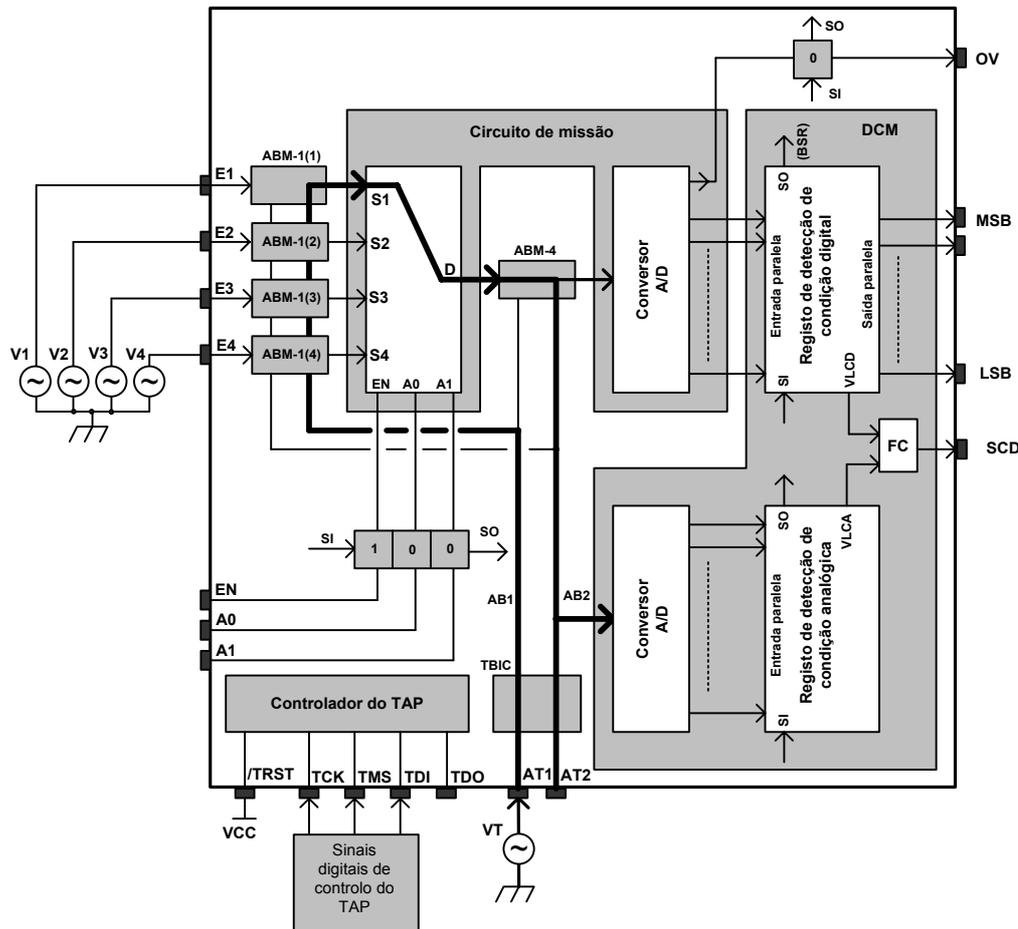


Figura 6-5: Detecção de uma condição analógica durante uma operação de teste interno.

As tensões V1 a V4 nas entradas E1 a E4 emulam os sinais de saída dos circuitos a montante.

Configuração da infra-estrutura

Durante este ensaio configurámos a infra-estrutura IEEE1149.4 da seguinte forma: o ABM-1(1) liga o interruptor SB12; os ABM-1(2) até ao ABM-1(4) ligam o interruptor SD; o ABM-4 liga os interruptores SD e SB2; o TBIC liga os interruptores S5 e S6.

Instrução

As condições associadas aos ABMs permitem o uso das instruções *PROBE* ou *INTEST*, mas o controlo das entradas digitais (EN,A0,A1), através da infra-estrutura IEEE1149.4, impõe a segunda daquelas instruções. Uma vez que pretendemos também usar o DCM, a instrução a utilizar deverá ser a *INTEST2*.

Conversão dos valores limite

As operações de detecção de condições analógicas são inteiramente realizadas no domínio digital, pelo que é necessário converter os limites analógicos em palavras digitais usando a função de transferência do conversor A/D do DCM. Neste caso foi utilizado um conversor de 12 bits, em que os valores pertencentes ao intervalo [-10V;+10V] são convertidos para [000h;FFFh]. No presente exemplo, aos valores +5V e -1V correspondem os códigos C00h e 733h, respectivamente.

Configuração do RSTC

A configuração do RSTC envolve a selecção da operação de detecção digital, a selecção da operação de detecção analógica e a relação entre os resultados daquelas operações. Para a parte analógica devemos seleccionar a operação “ $\in [A, B]$ ” pelo que o código a seleccionar para (C2A,C1A,C0A) será (1,1,0). Para a parte digital decidimos manter a mesma operação, i.e. (C2D,C1D,C0D) = (1,1,0), embora neste caso tal seja irrelevante, uma vez que o respectivo resultado não vai ser utilizado. Para a saída SDC apenas nos interessa o resultado da parte analógica, pelo que (SC1, SC0) = (0,1). O conteúdo do RSTC é assim dado por (C2D,C1D,C0D,C2A,C1A,C0A,SC1,SC0) = (1,1,0,1,1,0,0,1) = D9h.

Programa para BSORCAD

A geração automática dos sinais TCK, TMS e TDI, é feita pelo BSORCAD através do programa apresentado na Figura 6-6:

<code>rst;</code>	Inicialização da infra-estrutura
<code>state(shiftir);</code>	Carrega IR com
<code>nshf(8,10h);</code>	o código de SELCON
<code>state(shiftdr);</code>	Configura o
<code>nshf(8,9Bh);</code>	RSTC
<code>state(shiftir);</code>	Carrega IR com
<code>nshf(8,a0h);</code>	o código de SAMPLE/PRELOAD2
<code>state(shiftdr);</code>	Desloca Limite_A p/andar U
<code>nshf(54,00032000800070h);</code>	do BSR+RDCA
<code>state(shiftir);</code>	Carrega IR com
<code>nshf(8,e0h);</code>	o código de INTEST2
<code>state(shiftdr);</code>	Desloca Limite_B p/ andar C/S
<code>nshf(54,0cce2000800070h);</code>	do BSR+RDCA
<code>state(run);</code>	Move TAP para RT/I

Figura 6-6: Programa BSORCAD para a detecção duma condição analógica durante o teste interno.

Resultado da simulação

O resultado da simulação para este caso é apresentado na Figura 6-77, onde os sinais aparecem pela seguinte ordem:

- TCK, TMS, TDI e TDO.
- Estado do controlador do TAP de acordo com a codificação descrita em [IEEE 90].
- Conteúdo do registo de instrução.
- Conteúdo do RSTC.
- Valor lógico presente no pino SCD do DCM.
- Tensão analógica presente em AB2 do barramento interno de teste analógico.

A observação da Figura 6-7 permite verificar que o controlador do TAP se mantém mais tempo nos estados *Shift-IR* (Ah) e *Shift-DR* (2h), por neles se deslocar a informação de / para os vários registos da infra-estrutura. O último estado do controlador do TAP é o de Run-Test-Idle (Ch) para permitir o funcionamento do DCM. O registo de instrução recebe por omissão o código da instrução *BYPASS* (FFh), sendo posteriormente carregado com as instruções *SELCON* (08h), *SAMPLE/PRELOAD2* (05h) e *INTEST2* (07h). O RSTC recebe por omissão 0h, sendo posteriormente carregado com D9h, de acordo com o anteriormente

exposto. Na ocorrência de *Update-IR*, após o carregamento da instrução *INTEST2* (7h), a linha AB2 apresenta a tensão na entrada de ABM-4.

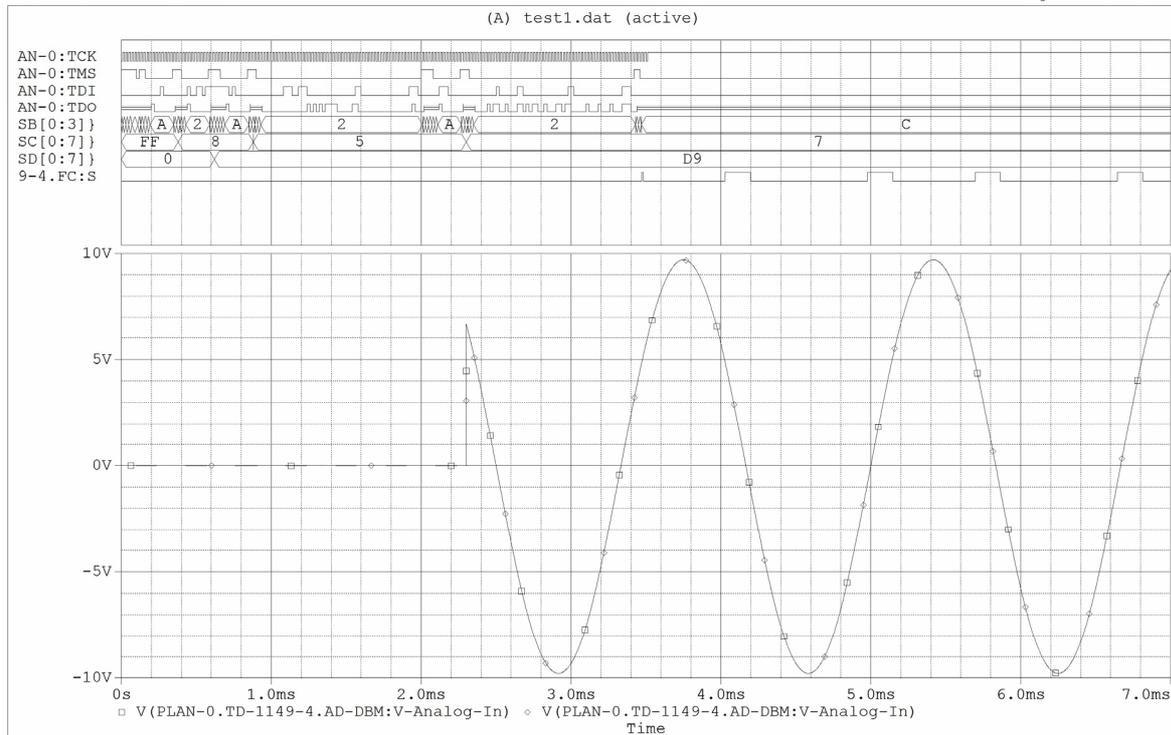


Figura 6-7: Detecção de uma condição analógica durante o teste interno.

Conforme esperado, o pino SCD exibe o valor lógico “1” quando cumulativamente (i) a tensão em AB2 se encontra dentro do intervalo $[-1V;+5V]$, (ii) a instrução actual é *INTEST2* e (iii) o controlador do TAP se encontra no estado *Run-Test/Idle*.

6.4. DETECÇÃO DE CONDIÇÃO MISTA

Nesta secção exemplificamos a utilização dos recursos acrescentados à infra-estrutura IEEE1149.4 para detectar uma condição mista através do DCM, quando o circuito se encontra em funcionamento normal e nas condições seguintes:

- Nas entradas S1 a S4 do multiplexador são aplicados os quatro sinais analógicos V1 a V4, respectivamente.
- As entradas digitais (EN,A0, A1) do multiplexador analógico devem ser controladas a partir dos pinos, pelo que os DBMs associados se devem encontrar em modo

transparente. Neste exemplo, pretende-se que para a saída D seja seleccionada a entrada S1, i.e. $(EN, A0, A1) = (1, 0, 0)$.

- O ABM-4 deve encontrar-se em modo transparente e permitir a observação, através de AB2, do sinal presente na saída do multiplexador analógico D.
- O DCM deve detectar quando a amplitude desse sinal é maior que +6V ou quando a saída do conversor A/D do circuito de missão apresenta um valor inferior a 66Bh.

A Figura 6-58 apresenta a cheio o percurso do sinal analógico desde o pino E1 até à entrada analógica do DCM. Neste caso é aplicado o mesmo sinal ao conversor A/D do circuito de missão e ao DCM, permitindo relacionar a detecção analógica com a digital.

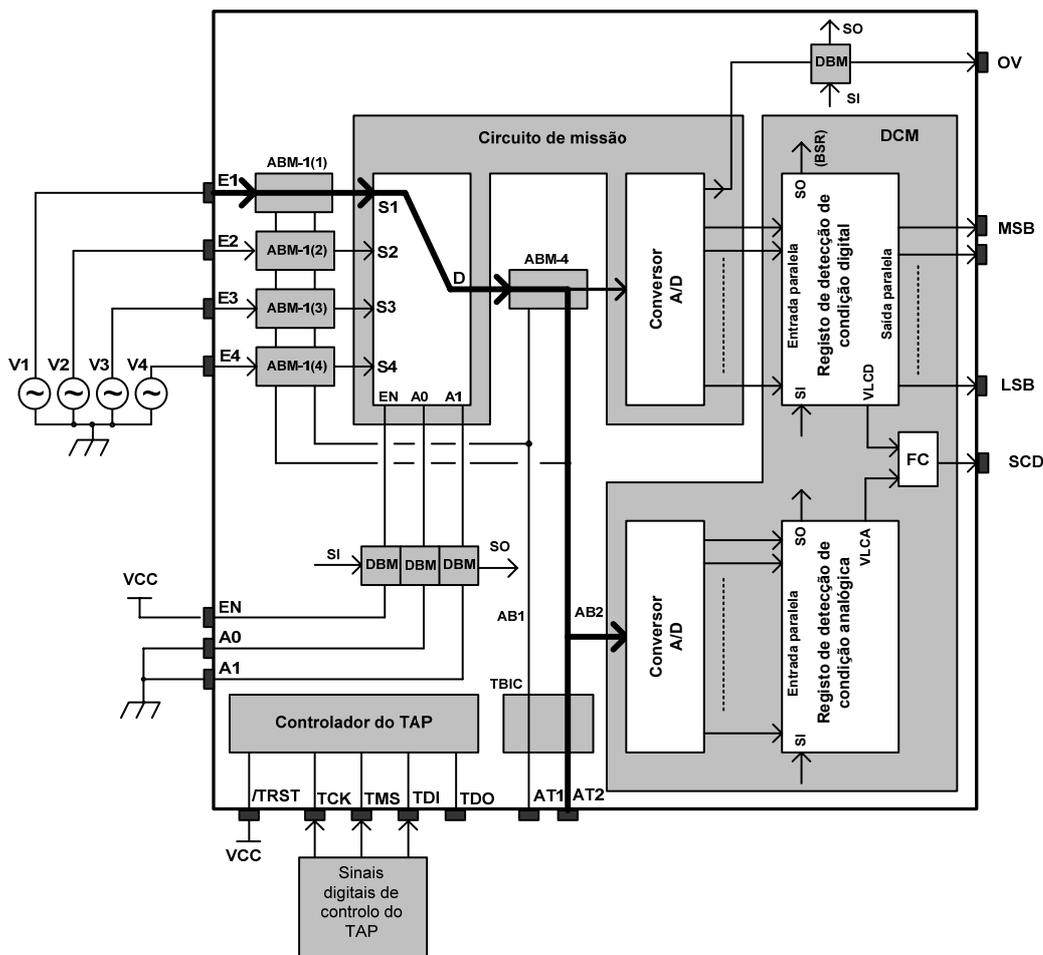


Figura 6-8: Detecção de uma condição mista durante o funcionamento normal do circuito.

Configuração da infra-estrutura

Durante este ensaio configurámos a infra-estrutura IEEE1149.4 de forma a que os ABM-1(1) até ao ABM-1(4) liguem o interruptor SD, o ABM-4 ligue os interruptores SD e SB2 e o TBIC ligue os interruptores S5 e S6.

Instrução

As condições associadas aos ABMs permitem o uso das instruções *PROBE* ou *INTEST*, mas o controlo das entradas digitais através dos pinos impõe o funcionamento associado à primeira daquelas instruções. Dado que pretendemos também usar o DCM, então a instrução a utilizar deverá ser a *PROBE2*.

Conversão dos valores limite

O conversor A/D usado no circuito de missão é igual ao usado no DCM. Assim, ao valor de +6V presente em AB2 corresponde o código CD7h na saída do conversor A/D do DCM e ao código 66Bh de saída do conversor A/D do circuito de missão corresponde a tensão analógica de -2V.

Configuração do RSTC

Para configurar o RSTC é necessário seleccionar as operações de detecção da parte digital e da parte analógica, e a relação entre os resultados daquelas operações. Para a parte analógica a operação que tem lugar é a "> Limite_A", pelo que o código a seleccionar para (C2A,C1A,C0A) será (0,1,0). Para a parte digital a operação será a "< Limite_A", devendo por isso seleccionar-se o código (0,1,1) para (C2D,C1D,C0D). Para a saída SDC pretende-se o resultado da operação booleana *ou* das operações anteriores, devendo por isso seleccionar-se (1,0) para (SC1, SC0). O conteúdo resultante para RSTC é então dado por (C2D,C1D,C0D,C2A,C1A,C0A,SC1,SC0) = (0,1,1,0,1,0,1,0) = 6Ah.

Programa para BSORCAD

Os sinais TCK, TMS e TDI são gerados pelo BSORCAD através do programa apresentado na Figura 6-9:

<code>rst;</code>	Inicialização da infra estrutura
<code>state(shiftir);</code>	Carrega IR com
<code>nshf(8,10h);</code>	o código de SELCON
<code>state(shiftdr);</code>	Configura o
<code>nshf(8,56h);</code>	RSTC
<code>state(shiftir);</code>	Carrega IR com
<code>nshf(8,a0h);</code>	o código de SAMPLE/PRELOAD2
<code>state(shiftdr);</code>	Desloca Limite_A p/andar U
<code>nshf(54,03332666800030h);</code>	do BSR+RDCA
<code>state(shiftir);</code>	Carrega IR com
<code>nshf(8,60h);</code>	PROBE2
<code>state(shiftdr);</code>	Desloca Limite_B p/andar C/S
<code>nshf(54,0fff3fff800030h);</code>	do BSR+RDCA
<code>state(run);</code>	Desloca TAP para RT/I

Figura 6-9: Programa BSORCAD para a detecção duma condição mista durante o funcionamento normal.

Resultado da simulação

O resultado da simulação é apresentado na Figura 6-1010, em que se observam os sinais pela seguinte ordem:

- TCK, TMS, TDI e TDO.
- Estado do controlador do TAP.
- Conteúdo do registo de instrução.
- Conteúdo do RSTC.
- VLCA, VLCD e SCD do DCM.
- Tensão analógica presente em AB2 do barramento interno de teste analógico.

A Figura 6-10 permite verificar que a sequência de funcionamento do controlador do TAP é semelhante ao caso anterior. O mesmo se passa com o registo de instrução, que apresenta por omissão o código de *BYPASS* (FFh), sendo posteriormente carregado com os códigos de *SELCON* (08h), *SAMPLE/PRELOAD2* (05h) e *PROBE2* (06h). O RSTC apresenta por omissão o código 0h, sendo depois carregado com 6Ah, conforme pretendido. Na ocorrência de *Update-IR*, após o carregamento da instrução *PROBE2* (6h), a linha AB2 apresenta a tensão na entrada de ABM-4.

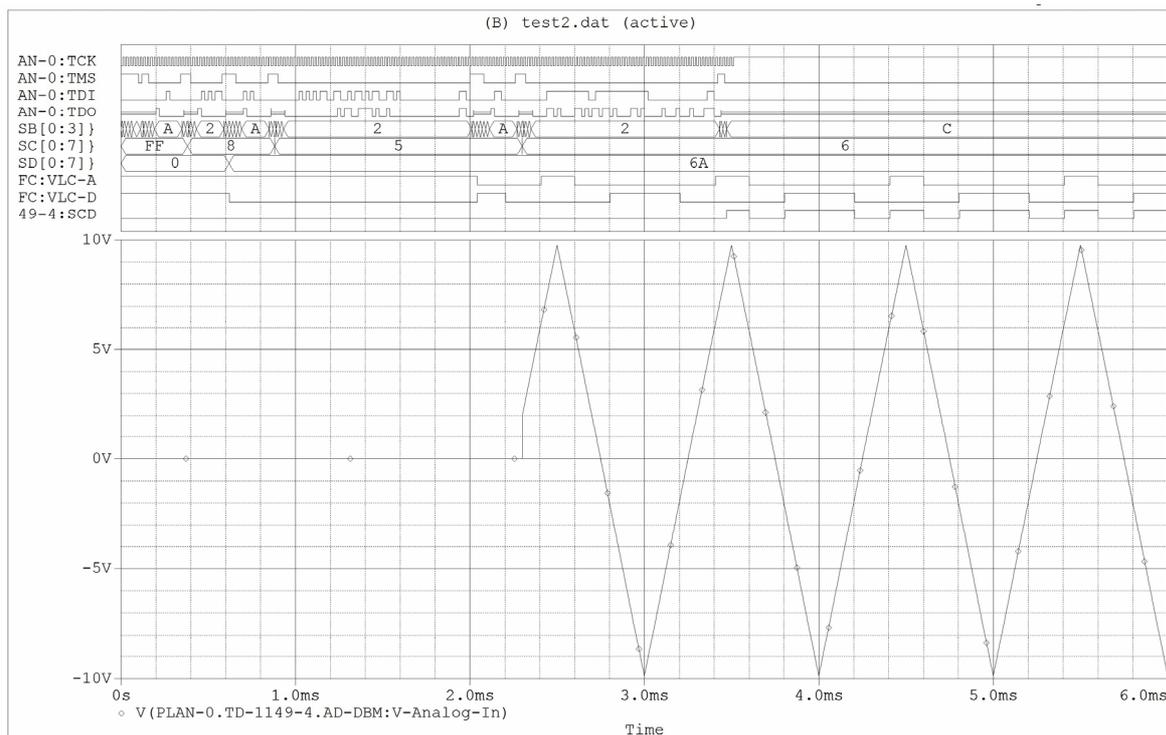


Figura 6-10: Detecção de uma condição mista *ou* durante o funcionamento normal do circuito.

Repare-se que neste caso o conversor A/D que pertence ao circuito de missão estabelece a relação entre a tensão em AB2 e o valor presente no RDCD. Esta situação permite verificar os valores dos limites de detecção da parte analógica e da digital, em relação à mesma tensão analógica presente em AB2. O sinal de saída do RDCA, o VLCA, apresenta o valor lógico “1” quando a tensão em AB2 é superior a +6V. O sinal de saída do RDCD, o VLCD, apresenta o valor lógico “1” quando a palavra digital no respectivo registo é inferior a 66Bh, i.e. quando o valor em AB2 for inferior a -2V. O pino SCD exhibe o valor lógico “1” quando cumulativamente (i) VLCA *ou* VLCD apresentarem valor lógico “1”, (ii) a instrução actual for *PROBE2* e (iii) o controlador do TAP se encontrar no estado *Run-Test/Idle*.

O exemplo anterior descreveu a detecção de uma condição mista em que o pino SCD apresenta o valor lógico “1” como resultado da operação *ou* entre VLCA e VLCD. A outra possibilidade corresponde à realização da operação *e* entre aqueles dois sinais, mantendo os limites de detecção, e está ilustrada na Figura 6-11. Conforme se pode observar, o sinal SCD permanece no estado lógico “0”, uma vez que o circuito se encontra a funcionar correctamente.

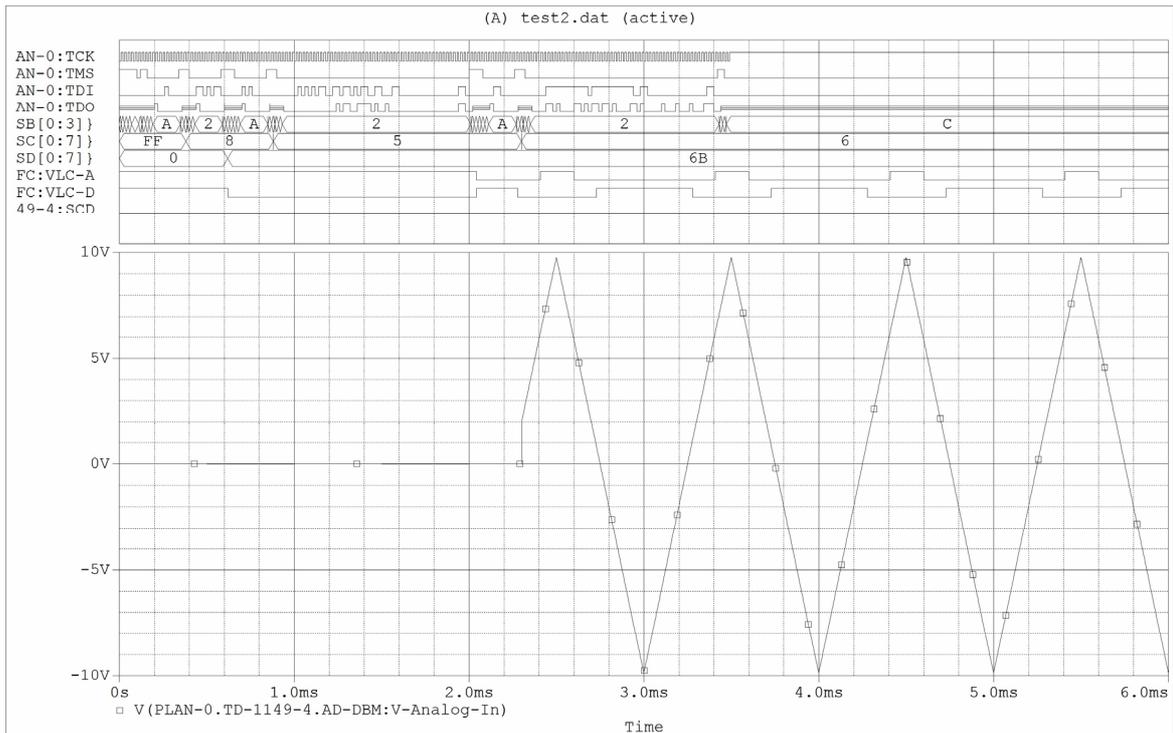


Figura 6-11: Detecção de uma condição mista e durante o funcionamento normal.

6.5. VERIFICAÇÃO DE RESISTÊNCIAS

Esta secção apresenta uma utilização do DCM para verificar se o valor de uma resistência se encontra dentro de um intervalo de tolerância. Neste exemplo a resistência está ligada entre a massa (GND) e o pino E1, e o ensaio processa-se da seguinte forma:

- Uma corrente é injectada via AT1/AB1 na resistência Rx.
- A tensão resultante é enviada à parte analógica do DCM via AB2.
- O DCM verifica se a tensão em AB2 se encontra dentro do intervalo especificado.

A Figura 6-12 apresenta a cheio o percurso do estímulo de corrente, até à resistência, e da correspondente queda de tensão, até à entrada analógica do DCM.

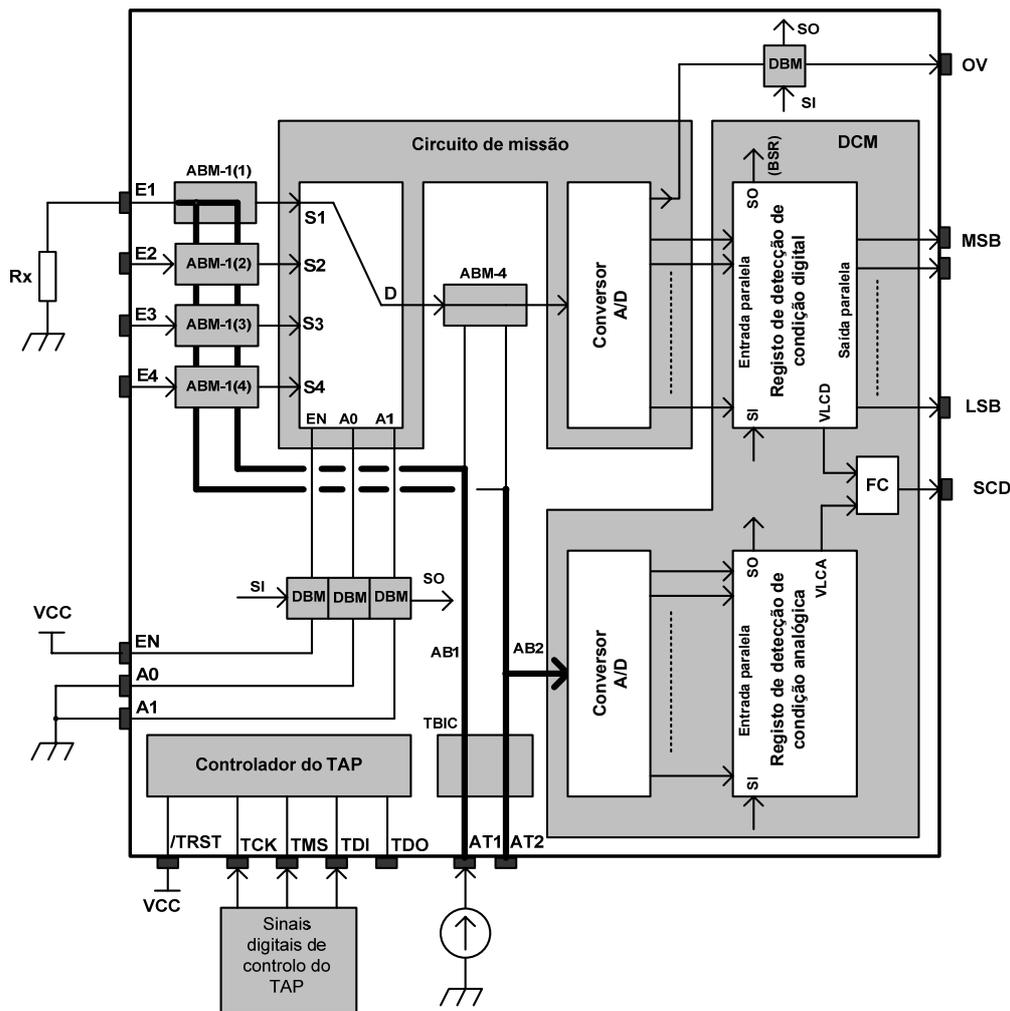


Figura 6-12: Verificação do valor de uma resistência durante o teste externo do circuito.

Configuração da infra-estrutura

Durante este ensaio configuramos a infra-estrutura IEEE1149.4 de forma a que o ABM-1(1) ligue os interruptores SB1 e SB2. Os ABM-1(2) até ABM-1(4) mantêm todos os interruptores desligados. O ABM-4 liga o interruptores SD e o TBIC liga os interruptores S5 e S6.

Instrução

As condições associadas aos ABMs impõem o uso da instrução *EXTEST*, mas dado que pretendemos também usar o DCM, devemos então utilizar a instrução *EXTEST2*.

Conversão dos valores limite

A resistência que se pretende verificar tem um valor esperado de $47,4 \pm 5\%$ k Ω . A corrente usada é de 100 μ A, pelo que os valores limite das tensões são 4,98 V e 4,50 V, a que correspondem os códigos BFBh e B9Ah.

Configuração do RSTC

Para a parte analógica a operação que tem lugar é a “ $\in [A, B]$ ” pelo que o código a seleccionar para (C2A,C1A,C0A) será (1,1,0). Para a parte digital é irrelevante a operação seleccionada, já que o respectivo resultado não irá ser utilizado, mas neste exemplo decidimos considerar (C2D,C1D,C0D) = (0,0,0).

Para a saída SDC pretende-se unicamente o resultado da operação analógica, devendo por isso seleccionar-se (0,1) para (SC1, SC0). O conteúdo do RSTC é então dado por (C2D,C1D,C0D,C2A,C1A,C0A,SC1,SC0) = 0,0,0,1,1,0,0,1) = 19h.

Programa para BSORCAD

A geração dos sinais TCK, TMS e TDI é feita pelo BSORCAD através do programa apresentado na Figura 6-13:

```
rst;                               Inicialização da infra estrutura
state(shiftir);                     Carrega IR com
nshf(8,10h);                         o código de SELCON
state(shiftdr);                     Configura o
nshf(8,98h);                         RSTC
state(shiftir);                     Carrega IR com
nshf(8,a0h);                         o código de SAMPLE/PRELOAD2
state(shiftdr);                     Desloca Limite_A p/andar U
nshf(54,05fd2000000330h);          do BSR+RDCA
state(shiftir);                     Carrega IR com
nshf(8,20h);                         EXTEST2
state(shiftdr);                     Desloca Limite_B p/andar C/S
nshf(54,059d2000000330h);          do BSR+RDCA
state(run);                          Desloca TAP para RT/I
```

Figura 6-13: Programa BSORCAD que verifica o valor de uma resistência durante o teste externo.

Resultado da simulação

O resultado da simulação é apresentado na Figura 6-14, onde se observam os sinais pela ordem seguinte:

- TCK, TMS, TDI e TDO.
- Estado do controlador do TAP.
- Conteúdo do registo de instrução.
- Conteúdo do RSTC.
- Conteúdo do andar de captura/deslocamento do RDCA.
- Conteúdo do andar de retenção do RDCA.
- Saída digital do conversor A/D do DCM.
- Saída SCD do DCM.
- Tensão analógica presente em AB2 do barramento interno de teste analógico.

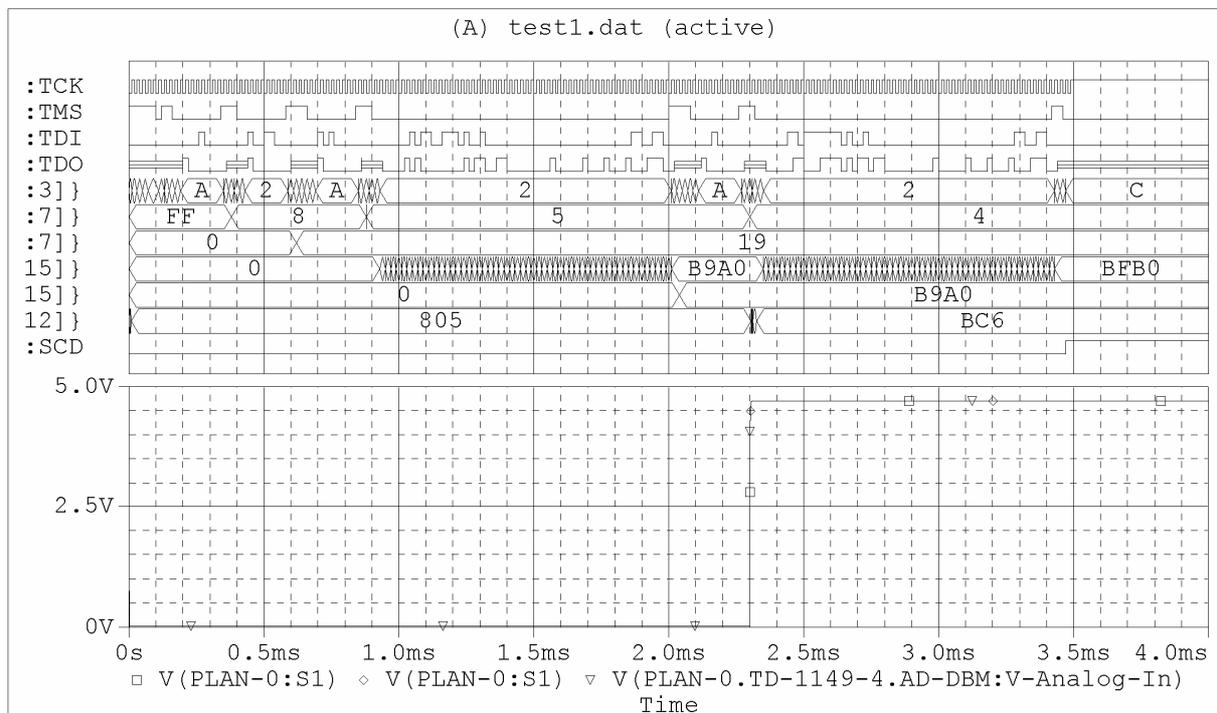


Figura 6-14: Verificação de uma resistência durante o teste externo.

A Figura 6-14 permite verificar que o controlador do TAP tem uma sequência de funcionamento semelhante às apresentadas nos casos anteriores. O registo de instrução apresenta por omissão o código da instrução *BYPASS* (FFh), sendo posteriormente carregado com os códigos das instruções *SELCON* (08h), *SAMPLE/PRELOAD2* (05h) e *EXTEST2* (06h). O RSTC apresenta por omissão 0h sendo posteriormente carregado com o código 19h, conforme pretendido. Na ocorrência de *Update-IR*, após o carregamento da instrução *EXTEST2* (4h), a linha AB2 apresenta a tensão na entrada de ABM-4. Os andares de captura/deslocamento e de retenção do RDCA são carregados com BFBh e B9Ah, respectivamente. A saída do conversor A/D do DCM apresenta o valor BC6h quando a instrução actual é *EXTEST2*, a que corresponde um valor de tensão na resistência de 4,72 V, que se encontra dentro da janela de tolerância definida pelos valores limite. Assim, o pino SCD exhibe o valor lógico “1” quando cumulativamente (i) a tensão na resistência se encontra dentro dos valores esperados, (ii) a instrução actual for *EXTEST2* e (iii) o controlador do TAP se encontrar no estado *Run-Test/Idle*.

6.6. SUMÁRIO

Este capítulo apresentou os meios utilizados e os resultados da validação do modelo de depuração proposto. O circuito de validação compreendeu um circuito de missão, um multiplexador analógico e um conversor A/D, ao qual foi adicionada a infra-estrutura IEEE1149.4 e as extensões propostas. A escolha do ambiente de simulação para validar o modelo de depuração apresenta como vantagens a versatilidade e um elevado nível de observabilidade/controlabilidade, mas é acompanhada por algumas desvantagens, nomeadamente a complexidade da descrição do circuito, a dificuldade de controlo dos sinais de entrada do TAP e os elevados tempos de simulação. O trabalho de validação baseou-se em modelos PSPICE do simulador ORCAD e num conjunto de 39 esquemas distribuídos por oito níveis hierárquicos. A geração dos sinais nos pinos de entrada do TAP foi feita pelo BSORCAD, uma aplicação especificamente desenvolvida para permitir a simulação de circuitos compatíveis com as normas IEEE1149.1/4. A versatilidade da implementação permite ensaiar várias versões do circuito de validação. O tempo de simulação foi de cerca de

17 minutos (Pentium 4; 2,66 GHz; 1G RAM) para os exemplos atrás apresentados, o que constitui a principal desvantagem desta estratégia de validação.

7. CONCLUSÃO

As operações de depuração são tradicionalmente realizadas através de equipamentos de bancada, cuja utilização requer o acesso físico aos nós do circuito, mas os crescentes níveis de integração dos SOCs tornam cada vez mais difícil essa solução. A reutilização da infraestrutura IEEE1149.1 para além do teste de produção e, em particular, em operações de depuração, justificou que se estudasse a reutilização da infra-estrutura IEEE1149.4 para apoiar as mesmas operações em circuitos mistos. Esse estudo conduziu, entre outros resultados, ao desenvolvimento de extensões para as operações básicas de depuração (i.e. controlabilidade, observabilidade e verificação) e de um detector de condição mista, necessário às operações de paragem/monitorização por condição e de análise em tempo real.

7.1. RESUMO DO TRABALHO DESENVOLVIDO

Os SOCs podem integrar largas dezenas de IPs e tendem a aumentar o tempo validação do protótipo em consequência das restrições de acesso aos nós internos. Estas dificuldades, que foram analisadas no capítulo 2, levaram ao aparecimento de mecanismos embutidos sob a forma de estratégias de DFT/DFD e de circuitos auxiliares de BIST. A utilidade e os benefícios decorrentes dessas estratégias dependem da sua normalização, motivo pelo qual foi dada especial importância à infra-estrutura IEEE1149.4 durante este trabalho. As soluções de BIST em circuitos mistos são normalmente de carácter específico e não apresentam a possibilidade de reutilização dentro do mesmo CI, pelo que conduzem a um elevado *overhead* [Arabi 02] [Song 02].

Os equipamentos genéricos de depuração, analisados no capítulo 3, facilitam essa tarefa, mas baseiam-se frequentemente no acesso físico aos nós do circuito, que se revela cada vez mais limitado. Também a modificação do circuito imposta pela utilização de equipamentos do tipo ICE é frequentemente não tolerada pelos componentes analógicos e mistos presentes no circuito emulado. Estas dificuldades aparecem aumentadas nos SOC, onde coexistem circuitos analógicos, digitais e mistos. A migração de instrumentos, parcial ou completamente, para o interior do CI, constitui uma estratégia validada para circuitos digitais, mas que necessita de ser estendida para os circuitos analógicos e mistos.

O estudo da infra-estrutura IEEE1149.4 para apoiar as a realização das operações básicas de depuração conduziu a um ABM genérico que satisfaz os requisitos de controlabilidade, observabilidade e verificação dos pinos e nós internos, analógicos e digitais. Foram também propostos (i) um procedimento de verificação da integridade, (ii) um processo de análise e correcção de erros durante as medidas paramétricas e (iii) o BIMBO, um circuito que permite observar analogicamente até quatro sinais, através dos pinos do TAP. Para as operações compostas de depuração *paragem/monitorização por condição* e *análise em tempo real* foi proposto o DCM, que reutiliza a infra-estrutura IEEE1149.4. O desenvolvimento deste bloco e a análise do *overhead* que lhe está associado, bem como a respectiva validação, foram igualmente realizados.

7.2. LIMITAÇÕES DA SOLUÇÃO PROPOSTA

Uma das limitações do DCM prende-se com o respectivo *overhead*, que é de cerca de 33% para a parte digital da infra-estrutura 1149.4, à qual se deve ainda adicionar um conversor A/D, cuja área de silício depende da topologia, da rapidez e da resolução pretendida.

Outra das limitações do DCM relaciona-se com o tempo de resposta, que depende do (i) tempo de conversão do conversor A/D seleccionado e (ii) da estrutura subjacente à implementação do RDC. Este registo baseia-se na concatenação de um conjunto de detectores de condição unitários, pelo que o tempo de detecção total corresponde ao somatório dos tempos de detecção parciais.

7.3. PERSPECTIVAS DE DESENVOLVIMENTO

O presente trabalho reutiliza a infra-estrutura IEEE1149.4 para apoiar as operações básicas e compostas de depuração. Os recursos 1149.4 existentes no CI foram estendidos de forma a permitir a realização das operações básicas de depuração, mas algumas melhorias devem ser apontadas para tornar esta solução mais eficaz. Um aperfeiçoamento possível é a utilização da infra-estrutura exclusivamente como mecanismo interno de selecção do nó sob depuração para o DCM, ou para outro instrumento. Repare-se que cada um dos barramentos internos de teste analógico AB1/2 tem que estar ligado ou a AT1/2 ou a V_{CLAMP} , não existindo nenhuma configuração que permita a utilização destes barramentos como mecanismo de selecção do nó interno, para efeitos de depuração. Outro aperfeiçoamento diz respeito à introdução no TBIC de padrões para facilitar o procedimento de verificação de integridade. Deve ainda analisar-se a dificuldade de veicular sinais analógicos dentro do CI ou de/para o CI, o que requer a exploração de alternativas como a que é apresentada em [Matos 93].

Em relação às operações compostas de depuração, a direcção mais natural para a persecução do presente trabalho compreende duas vertentes: uma que consiste em melhorar o DCM e desenvolver técnicas de verificação de integridade; outra refere-se ao desenvolvimento de mecanismos que permitam apoiar a *análise em tempo real*, o que implica a memorização dos vários estados do circuito misto até à ocorrência de uma dada condição.

As possibilidades de desenvolvimento apresentadas devem ser baseadas na reutilização da infra-estrutura IEEE1149.4, uma vez que se trata do único mecanismo misto actualmente normalizado, mas é cada vez mais importante considerar a migração para a infra-estrutura IEEE P1687 (IJTAG), que está direccionada especificamente para instrumentos embutidos. Uma solução mais abrangente corresponde ao desenvolvimento de um bloco embutido, eventualmente sob a forma de um microprocessador dedicado, para apoio ao teste (e.g. realizar testes estruturais, funcionais, paramétricos, BIST, *on-line testing*), depuração (i.e. realizar as operações básicas e compostas de depuração) e manutenção (e.g. vigilância da temperatura do CI).

8. REFERÊNCIAS BIBLIOGRÁFICAS

- Abramovici, M., Breuer, M. A., Friedman, A. D. 1990. *Digital systems testing and testable design*. Computer Science Press, 1990, 653 p.
- Agilent Technologies. 2007. Visitado em 21 de Maio, 2007. <http://www.agilent.com/>
- Aigner, M. 1997. Embedded at-speed test probe. *Proc. of the International Test Conference*, 1997, p. 932-937.
- Alves, G. C., Amaral, T., Ferreira, J. M. M. 1999a. Board-level prototype validation: a built-in controller and extended BST architecture. *Proc. of the IEEE International Symposium on Circuits and Systems*, Maio, 1999, p. 169-172.
- Alves, G. R. C. 1999b. Projecto para o teste e depuração com base nas arquitecturas 1149.1 e P1149.4. *Dissertação apresentada na Faculdade de Engenharia da Universidade do Porto para obtenção do grau de Doutor*, 1999, 266 p.
- Anadigm. 2007. Visitado em 15 de Julho, 2007. <http://www.anadigm.com/>
- Andlauer, R., Vu, P., 2002. Analog test bus grows in importance. *Electronic News*, 27 de Maio, 2002.
- Anis, E., Nicolici, N. 2007. Low cost debug architecture using lossy compression for silicon debug. *Proc. of the Design Automation and Test in Europe*, 2007, p. 225-230.
- Arabi, K., Kaminsnka, B., Sunter, S. 1996. Testing integrated operational amplifiers based on oscillation method. *Proc. of the 2nd IEEE International Mixed-Signal Testing Workshop*, 1996, p. 227-232.
- Arabi, K., Kaminsnka, B. 1997a. Oscillation built-in self test (OBIST) scheme for functional and structural testing of analog and mixed-signal circuits. *Proc. of the International Test Conference*, 1997, p. 786-795.

- Arabi, K., Kaminska, B. 1997b. Parametric and catastrophic fault coverage of analog circuits in oscillation-test methodology. *Proc. of the VLSI Test Symposium*, 1997, p. 166-171.
- Arabi, K., Kaminska, B. 1999. Oscillation-test methodology for low-cost testing of active filters. *IEEE Transactions on Instrumentation and Measurement*, 1999, vol. 48, n° 4, p. 798-806.
- Arabi, K. 2002. Mixed-signal BIST: fact or fiction. *Proc. of the International Test Conference*, 2002, p. 1202.
- ARM Ltd. 2007. Visitado em 23 de Novembro 23, 2007.
<http://www.arm.com/products/solutions/SWD.html>
- Azais, F., Bernard, S., Bertrand, Y., Renovell, M. 2001. Implementation of a linear histogram BIST for ADCs. *Proc. of the Design, Automation and Test in Europe*, 2001, p. 590-595.
- Balachandran, H., Butler, K. M., Simpson, N. 2002. Facilitating rapid first silicon debug. *Proc. of the International Test Conference*, 2002, p. 628-637.
- Bennetts, B., 2004. Status of IEEE testability standards 1149.4, 1532 and 1149.6. *Proc. of the Design, Automation and Test in Europe*, 2004, p. 1184-1185.
- Berger, A., Barr, M. 2003. Introduction to on-chip debug. *Embedded Systems Programming*, Março, 2003, 3 p.
- Bfunc. 2007. Visitado em 15 de Julho, 2006. <http://www.dei.isep.ipp.pt/~acc/bfunc/>
- Bratt, A. H., Harvey, R. J., Dorey, A. P., Richardson, A. M. D. 1993. Design-for-test structure to facilitate test vector application with low performance loss in non-test mode. *IEE Electronics Letters*, vol. 29, n° 16, 1993, p.1438-1440.

- Burns, M., Roberts, G.W. 2000. *An Introduction to Mixed-Signal Test and Measurement*. Oxford University Press, 2000, 704 p.
- Bushnell, M. L., Agrawal, V. D. 2002, *Essentials of Electronic Testing for Digital, Memory and mixed-Signal VLSI Circuits*. Kluwer Academic Publishers. 2002. 690 p.
- Cadence. 2002. The rise of the digital/mixed-signal semiconductors and systems-on-a-chip. Cadence white paper, 2002, 7p.
- Cadence. 2006. Cadence Company. Visitado em 10 de Maio, 2006.
<http://www.cadence.com/products/orcad/index.aspx>.
- Cheng, W.-T, 2003. Silicon diagnosis. *Proc. of the International Test Conference*, 2003, p. 1305.
- Christen, E, Bakalar, K., 1999. VHDL-AMS – A Hardware description language for analog and mixed-signal applications. *IEEE Transactions on Circuits and Systems-II – Analog and Digital Signal Processing*, vol. 46, nº 10, 1999, p.1263-1272.
- Coelho, V.P. 2002. Teste paramétrico através de infra-estruturas de teste compatíveis com a norma IEEE1149.4. Disciplina de projecto orientada por G. Alves e C. Felgueiras, ISEP, 2002, 127 p.
- Cunningham, J., 1990. The use and evaluation of yield models in integrated circuit manufacturing. *IEEE Transactions on Semiconductor Manufacturing*, vol. 3, nº 2, Maio, 1990, p. 60-71.
- Cypress Semiconductor. 2007. Visitado em 15 de Julho, 2007. <http://www.cypress.com/>
- Daglio, P. 2007. A Complete and fully qualified design flow for verification of mixed-signal SoC with embedded flash memories. *Proc. of the Design Automation and Test in Europe*, 2007, p. 94-99.

- Dahbura, A.T., Uyar, M.U., Yau, C.W. 1989. An optimal test sequence for the JTAG/IEEE P1149.1 test access port controller. *Proc. the International Test Conference*, 1989, p. 55-62.
- De Venuto, D. Ohletz, M. J. 2000. Bias-programmable hardware reconfiguration for on-chip test response evaluation. *Proc. of the 6th IEEE International Mixed-Signal Testing Workshop*, 2000, p. (3.2).
- Divine, J. 2001. Debugging advanced mixed-signal microcontrollers. *Electronic Design, Strategy, News*, 6 de Dezembro, 2001, p. 105-108.
- Doernberg, J., Lee, H. S., Hodges, D. A. 1984. Full-speed testing of A/D converters. *IEEE Journal of Solid-State Circuits*, 1984, vol. SC 19, n° 6, p. 820-827.
- Drechsler, R. 2000. *Formal Verification of Circuits*. Kluwer Academic Publishers, 2000, 624 p.
- Ducoudray-Acevedo, G. O. and Ramírez-Angulo, J. 2003. Innovative built-in self-test schemes for on-chip diagnosis, compliant with the IEEE1149.4 mixed-signal test bus standard. *Journal of Electronic Testing: Theory and Applications*, vol. 19, 2003, p. 21-28.
- Duzevik, I. 2003. Design and implementation of IEEE 1149.6. *Proc. of the International Test Conference.*, 2003, p. 87-95.
- Ehsanian, M., Kaminska, B., Arabi, K. 1998. A new on-chip digital BIST for analog-to-digital converters. *Microelectronic and Reliability*, 1998, vol. 38, n° 3, p. 409-420.
- Eklow, B., Barnhart, C., Parker, K. 2002. IEEE P1149.6: A boundary-scan standard for advanced digital networks. *Proc. of the International Test Conference*, 2002, p. 1056-1065.

- Eklow, B., Barnhart, C., Ricchetti, M., Boroz, T. 2003. IEEE 1149.6 - a practical perspective. *Proc. of the International Test Conference*, 2003, p. 70-78.
- Fasang P., Mullins, D., Wong, T. 1988. Design for testability for mixed analog/digital ASICs. *Proc. of the IEEE Custom Integrated Circuits Conference*, 1988, p. 16.5.1-16.5.4.
- Felgueiras, M. C., Alves, G. C., Ferreira, J. M. M. 2004. A built-in mixed-signal block observer (BIMBO) to improve observability in 1149.4 environments. *Proc. of the 9th European Test Symposium*, 2004, p. 105-106.
- Felgueiras, M. C., Alves, G. C., Ferreira, J. M. M. 2006a. Debugging mixed-signal circuits via the IEEE1149.4 Std. - analysis of limitations and requirements. *Proc. of the 12th IEEE International Mixed-Signal Testing Workshop*, 2006, p. 2-7.
- Felgueiras, M. C., Alves, G. C., Ferreira, J. M. M. 2006b. Integrity checking of 1149.4 extensions to 1149.1. *Proc. of the XXI Conference on Design of Circuits and Integrated Systems*, 2006, p. 23.
- Felgueiras, M. C., Alves, G. C., Ferreira, J. M. M. 2007a. A built-in debugger for 1149.4 circuits. *Proc. of the 13th IEEE International Mixed-Signal Testing Workshop*, 2007, p. 93-98.
- Felgueiras, M. C., Alves, G. C., Ferreira, J. M. M. 2007b. Measurements in 1149.4 environments - correcting the infrastructure switches influence. *Proc. of the IEEE Board Test Workshop*, 2007.
- Felgueiras, M. C., Alves, G. C., Ferreira, J. M. M. 2007c. Debugging mixed-signals circuits via IEEE1149.4 - a built-in mixed condition detector. *Proc. of the XXII Conference on Design of Circuits and Integrated Systems*, 2007.

- Fidalgo, A. V. S. 2008. Injecção de faltas em sistemas electrónicos digitais através de infraestruturas de teste e depuração. *Dissertação apresentada na Faculdade de Engenharia da Universidade do Porto para obtenção do grau de Doutor*, 2008, 226 p.
- Filiter, K., 2004. Virtual analog probes using IEEE1149.1 (a concept IC). *Proc. the IEEE Board Test Workshop*, 2004.
- Frish, A., Almy, T. 1997. HBIST: histogram-based analog built in self test. *Proc. of the International Test Conference*, 1997, p. 760-767.
- Frodsham, T. 2001. Apparatus for I/O Leakage self-test in an integrated circuit. US Patent 6262585, Julho, 2001.
- Gizopoulos, D. 2006, *Advances in Electronic Testing – Challenges and Methodologies*. Springer. 2006. 416 p.
- Goepel. 2006. Goepel Electronic. Visitado em 10 de Abril, 2006. <http://www.goepel.com>
- Gorodetsky, A. 2005. Bridge for on-board and on-chip 1149.4 – compliant testability. *Proc. of the IEEE Board Test Workshop*, 2005.
- Gottlieb, B. 2006. SOC and multicore debug: are design for debug (DFD) features that are put in reuse cores sufficient for silicon debug? *Proc. of the International Test Conference*, 2006, p. (panel 5.2).
- Hakkinen, J., Syri, P. Voutilainen, J.-V., Moilanen, M. 2004. A frequency mixing and sub-sampling based RF-measurement apparatus for IEEE 1149.4. *Proc. of the International Test Conference*, 2004, p. 551-559.

- Hamida, N. B., Kaminska, B. 1993a. Analog circuit testing based on sensitivity computation and new circuit modeling. *Proc. International Test Conference*, 1993, p. 652-661.
- Hamida, N. B., Kaminska, B. 1993b. Multiple fault analog circuit testing by sensitivity analysis. *Journal of Electronic Testing: Theory and Applications*, vol.4, n°4, 1993, p. 331-343.
- Ho, M., Amrutur, B., Mai, B., Wilburn, B., Mori, T., Horowitz, M., 1998. Applications of on-chip samplers for test and measurement of integrated circuits. *Symposium of VLSI Circuits – Digest Technical Papers*, 1998, p. 138-139.
- Huang, J.-L., Cheng, K.-T 2000. Testing and characterization of the one-bit first-order delta-sigma modulator for on-chip analog signal analysis. *Proc. International Test Conference*, 2000, p. 1021-1030.
- Huertas, G., Vazquez, D., Rueda, A., Huertas, J. L. 1999. Effective oscillation-based test for application to a DTMF filter bank. *International Test Conference*, 1999, p. 549-555.
- Huertas, G., Vazquez, D., Rueda, A., Huertas, J. L. 2003. Oscillation-based test in oversampled $\Sigma\Delta$ modulators. *Microelectronics Journal*, vol. 33(10), 2002, p. 799-936.
- Huott, B. 2003. Diagnosis in modern design to volume – the tip of the iceberg. *Proc. of the International Test Conference*, 2003, p. 1304-1304.
- IEEE Std. 1076. 1987. *Standard VHDL language reference manual*. IEEE Standards Board, Março, 1988.
- IEEE Std. 1149.1 1990. *Standard Test Access Port and Boundary-Scan Architecture*. IEEE Standards Board, Outubro, 1993.

- IEEE Std. 1149.4. 1999. *Standard for a Mixed-Signal Test Bus*. IEEE Standards Board, Junho, 1999.
- IEEE 1149.4. 2003a. Working group meeting minutes, Outubro, 2003.
- IEEE Std. 1149.6. 2003b. *Standard for Boundary-Scan Testing of Advanced Digital Networks*. IEEE Standards Board, Abril, 2003.
- IEEE-ISTO Std.5001. 2003c. *The Nexus 5001™ Forum Standard for a Global Embedded Processor Debug Interface*. IEEE Industry Standards and Technology Organization (IEEE-ISTO), Dezembro, 2003.
- IEEE Std. 1666. 2005. *IEEE Standard System C Language Reference Manual*. IEEE Standards Board, Março, 2006.
- IEEE P1687. 2007. Working Group. Visitado em 2 de Maio, 2007.
<http://grouper.ieee.org/groups/1687/>
- IEEE 1149.4. 2008. Working Group. Visitado em 5 de Maio, 2007.
<http://grouper.ieee.org/groups/1149/4/>
- ITRS. 2007. *International Technology Roadmap for Semiconductors*. Edição de 2007. Visitado em 20 de Fevereiro, 2008. <http://www.itrs.net/home.html>
- Jarwala, M., Tsay, S.-J. 1991. A framework for design for testability of mixed analog/digital circuits. *Proc. of the Custom Integrated Circuits Conference*, 1991, p. 13.5/1-13.5/4.
- Jeffrey, C, Lechner, A., Richardson, A. 2003. Online monitoring for automotive sub-systems using 1149.4. *Proc. of the IEEE Board Test Workshop*, 2003.

J-LINK. 2007. Visitado em 15 de Fevereiro, 2008.

http://homepage.ntlworld.com/david.adshead/J-LINK_flyer_ARM_English_V1.1.pdf

Jong, F. Heyden, F. 1991. Testing the integrity of the boundary scan test infrastructure. *Proc. of the International Test Conference*, 1991, p. 106-112.

JTAG 1149.4 Explorer. 2006. Jtag Technologies. Visitado em 20 de Abril, 2006.

<http://www.jtag.com/>

JTAGer. 2006. Visitado em 18 de Abril, 2006.

<http://paginas.fe.up.pt/~jmf/pcsd0304/jtager.htm>

Kac, U., Novak, F, Macek, S., Zarnic, M. S. 2000. Alternative test methods using IEEE1149.4. *Proc. of the Design Automation and Test in Europe*, 2000, p. 463-467.

Karnaugh Minimizer Pro. 2007. Visitado em 12 de Julho, 2006.

<http://karnaugh.shuriksoft.com/>

Kerzerho, V., Cauvet, P., Bernard, S., Azais, F., Comte, M., Renovell, M. 2006. "Analogue Network of Converters": A DFT Technique to Test a Complete Set of ADCs and DACs Embedded in a Complex SiP or SOC. *Proc. of the IEEE European Test Symposium*, 2006, p. 159-164.

Kim, Y., Lai, B., Parker, K. P., Rearick, J. 2001. Frequency detection-based boundary-scan testing of AC coupled nets. *Proc. of the International Test Conference*, 2001, p. 46-53.

Kuppuswamy, R., Callahan, K., Wong, K., Ratchen, D., Taylor, G. 2001. On-die clock jitter detector for high speed microprocessors. *Symposium on VLSI Circuits – Digest Technical Papers*, 2001, p. 187-190.

Lattice Semiconductor Corporation. 2007. Visitado em 15 de Julho, 2007.

<http://www.latticesemi.com/products/maturedevices/isppac/index.cfm>

LeCroy Corporation. 2007. Visitado em 22 de Maio, 2007. <http://www.lecroy.com>

Lee, K.-J., Jeng, S.-Y., Lee, T.-P. 1995. A new architecture for analog boundary scan. *Proc. of the IEEE International Symposium on Circuits and Systems*, 1995, p. 409-412.

Lee, N.-C. 1993. A hierarchical analog test bus framework for testing mixed-signal integrated circuits and printed circuit boards. *Journal of Electronic Testing: Theory and Applications*, vol. 4, n° 4, 1993, p. 361-368.

Leger, G., Rueda, A. 2004. Digital test for the extraction of integrator leakage in first- and second-order SD modulators. *IEE Proc. on Circuits Devices and Systems*, vol. 151, n° 4, 2004, p. 349-358.

Leger, G., Rueda, A. 2005. Digital BIST for amplifier parametric faults in SD modulators. *Proc. of Mixed-Signal Testing Workshop*, 2005, p. 22-28.

Leung, B. 1991. Design methodology of decimation filters for oversampled ADC based on quadratic programming. *Proc. of the IEEE Transactions on Circuits and Systems*, vol. 38, n° 10, 1991, p. 1121-1132.

Litt, T. 2002. Support for debugging in the Alfa 21364 microprocessor. *Proc. of the International Test Conference*, 2002, p. 584-589.

Logt, L., Heyden, F., Waayers, T. 2003. An extension to JTAG for at-speed debug on a system . *Proc. of the International Test Conference*, 2003, p. 123-130.

- Lu, Y., Mao, W., Dandapani, R. Gulati, R. K. 1994. Structure and metrology for a single-wire analog testability bus. *Proc. of the International Test Conference*, 1994, p. 919-928.
- Lubaszewski, M., Mir., S., Pulz, L. 1996. ABILBO: Analog built-in block observer. *Proc. the International Conference on Computer-Aided Design*, 1996, p. 600-603.
- Matos, J. S., Leão A., Ferreira, J. C. 1993. Control and observation of analog nodes in mixed-signal boards. *Proc. of the International Test Conference*, 1993, p. 323-331.
- McDermid, J. 1998. Limited access testing: IEEE1149.4 - instrumentation and methods. *Proc. of the International Test Conference*, 1998, p. 388-395.
- Menon, S. 2006. SOC and multicore debug: are design for debug (DFD) features that are put in reuse cores sufficient for silicon debug? *Proc. of the International Test Conference*, 2006, p. (P5).
- Milor, L., Visvanathan, V. 1989. Detection of catastrophic faults in analog integrated circuits. *Proc. of the IEEE Transactions on Computer-Aided Design*, vol. 8, n° 2, 1989, p. 114-130.
- Mir, S., Lubaszewski, M. Courtois, B. 1996. Unified built-in self-test for fully differential analog circuits. *Journal of Electronic Testing: Theory and Applications*, vol. 9, 1996, p. 135-151.
- Molyneaux, R., 2003. Debug and diagnosis in the age of system-on-a-chip. *Proc. of the International Test Conference*, 2003, p. 1303-1303.
- Moore, G. E. 1965. Cramming more components onto integrated circuits. *Electronics*, 19 de April, 1965, vol. 38, n° 8, p. 114-117.

- Mounir, A., Ahmed, M., Fikry, M. 2003. Automatic behavioural model calibration for efficient PLL system verification. *Proc. of the Design Automation and Test in Europe*, 2003, p. 280-285.
- Muhtaroglu, A., Taylor, G., Rahal-Arabi, T. 2004. On-die droop detector for analog sensing of power supply noise. *IEEE Journal of Solid-State Circuits*, 2004, vol. 39, n°4, p. 651-660.
- Nagata, M., Nagai, J., Morie, T., Iwata, A. 2000. Measurements and analyses of substrate noise waveform in mixed-signal IC environment, *Proc. of the IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2000, vol. 19, n° 6, p. 671-678.
- Nagi, N., Chatterjee, A., Balivada, A., Abraham J. A. 1993. Fault-based automatic test generator for linear analog circuits. *Proc. of the International Conference on Computer-Aided Design*, 1993, p. 88-91.
- Noguchi, K., Nagata, M. 2005. On-chip multi-channel waveform monitoring for diagnostics of mixed-signal VLSI circuits. *Proc. of the Design Automation and Test in Europe*, 2005, p. 146-151.
- Ohletz, M. J. 1991. Hybrid built-in self-test (HBIST) for mixed analog/digital integrated circuits. *Proc. of the 2nd European Test Conference*, 1991, p. 307-316.
- Okumoto, T., Nagata, M, Taki, K. 2004. A built-in technique for probing power-supply noise distribution within large-scale digital integrated circuits. *Symposium on VLSI Circuits – Digest Technical Papers*, 2004, p. 98-101.
- Olbrich, T., Mozuelos, R., Richardson, A., Bracho, S. 1996. Design-for-test (DFT) study on a current mode DAC. *IEE Proc. Circuits Devices and Systems*, 1996, vol. 143, n° 6, p. 374-379.

- Osseiran, A. 1995. Getting to a test standard for mixed-signal boards. *Proc. Midwest Symposium on Circuits and Systems*, 1995, p. 1157-1161.
- Papakostas, D. K., Hatzopoulos, A. A. 1994. Supply current testing in linear bipolar ICs. *IEE Electronics Letters*, 1994, vol. 30, n° 2, p. 128-130.
- Peetz, B. E. 1983. Dynamic testing of waveform recorders. *IEEE Transactions on Instrumentation and Measurements*, 1983, vol. IM32, n° 1, p. 12-17.
- Posse, K., Crouch, A., Rearick, J., Eklow, B., Laisne, M., Bennets, B., Doege, J., Ricchetti, M., Côté, J-F. 2006. P1687 - Toward standardized access of embedded instrumentation. *Proc. of the International Test Conference*, 2006, p.(L4.1).
- Rearick, J., Volz, A. 2006. A case study of using IEEE P1687 (IJTAG) for high-speed serial I/O characterization and testing. *Proc. of International Test Conference*, 2006, p. (10.2).
- Renovell, M., Azais, F., Bernard, S., Bertrand, Y. 2000. Hardware resource minimization for histogram-based ADC BIST. *Proc. VLSI Test Symposium*, 2000, p. 247-252.
- Riley, M., Chelstrom, N., Genden, M., Sawamura, S. 2006. Debug of the CELL processor: moving the lab into silicon. *Proc. of the International Test Conference*, 2006, p. (26.1).
- Rocha, J. F. J. 1996. Decimadores digitais para conversores analógico-digital de tipo sigma-delta. *Dissertação para obtenção do grau de Mestre em Engenharia Electrotécnica e de Computadores*, Universidade Técnica de Lisboa, Instituto Superior Técnico, 1996, 200 p.
- Russell, R. J., 1996. A method of extending an 1149.1 bus for mixed-signal testing. *Proc. of the International Test Conference*, 1996, p. 410- 416.

- Saab, K. Hamida, N.B., Kamisnka, B. 2001. Closing the gap between analog and digital testing. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2001, vol. 20, n° 2, p. 307-314.
- Safarpour, S., Veneris, A. 2007. Abstraction and refinement techniques in automated design debugging. *Proc. of Designs Automation and Test in Europe*, 2007, p. 1182-1188.
- Saikkonen, T., Voutilainen, J.-V., Moilanen, M. 2003. Some methods to calculate the values of passive components from the measurements made with an 1149.4 compliant device. *Proc. of the IEEE Board Test Workshop*, 2003.
- Sanchez, G. H., Vega, D. V. G., Rueda, A. R. Diaz J. L. H. 2006. *Oscillation-based test in mixed-signal circuits*. Springer. 2006, 452 p.
- Schuttert, R., van Geest, D. C. L., Kumar, A. 2004. On-chip mixed-signal test structures re-used for board test. *Proc. of the International Test Conference*, 2004, p. 375 - 383.
- Sehgal, A., Ozev, S., Chakrabarty, K. 2003. TAM optimization for mixed-signal SOCs using test wrappers. *Proc. International Conference on Computer-Aided Design*, 2003, p. 95-99.
- Shaikh, S. A. 2004. IEEE Std 1149.6 implementation for a XAUI-to-serial 10-Gbps transceiver. *Proc. of the International Test Conference*, 2004, p. 543-550.
- Shieh, Y.-R., Wu, C.-W. 1998. Control and observation structures for analog circuits. *IEEE Design & Test of Computers*, 1998, vol. 15, n° 2, p. 56-64.
- Silva, J. A. P. M. 1998. Teste de circuitos analógicos e mistos por correlação da corrente de alimentação e da tensão de saída. *Dissertação apresentada na Faculdade de*

Engenharia da Universidade do Porto para obtenção do grau de Doutor, 1998, 259 p.

Slamani, M., Kaminska, B. 1993. T-BIST: A Built-in self-test for analog circuits based on parameter translation. *Proc. of the Second Asian Test Symposium, 1993, p. 172-177.*

Soma, M. 1990. A design-for-test methodology for active analog filters. *Proc. of the International Test Conference, 1990, p. 183-192.*

Soma, M, Volarik, V. 1994. A design-for-test technique for switched-capacitor filters. *Proc. of the VLSI Test Symposium, 1994, p. 42-47.*

Song, L. Y. 2002. Mixed-signal BIST: fact or fiction. *Proc. of International Test Conference, 2002, p. 1203.*

Song, P., Stellari, F., Xia, T., Weger, A. 2004. A novel scan chain diagnostics technique based on light emission from leakage current. *Proc. of the International Test Conference, 2004, p. 140-147.*

STA400. 2004. SCAN STA400 – National Semiconductor. Folha de características visitada em 1 de Julho, 2004. <http://www.national.com/opf/ST/STA400EP.html>

STA476. 2007. SCAN STA476. Folha de características visitada em 13 de Julho, 2006. <http://www.national.com/pf/SC/SCANSTA476.html>

Sunter, S. 1995a. A low cost 100MHz analog test bus. *Proc. of the VLSI Test Symposium, 1995, p. 60-65.*

Sunter, S. 1995b. The P1149.4 mixed signal test bus: cost and benefits. *Proc. of the International Test Conference, 1995, p. 444-450.*

- Sunter, S. K., 1996. Cost/benefit analysis of the P1149.4 mixed-signal test bus. *IEE Proc. on Circuits, Devices and Systems*, 1996, vol. 143, n° 6, p. 393-398.
- Sunter, S. 1997a. P1149.4 - Problem or solution for mixed-signal IC Design? *Proc. of the International Test Conference*, 1997, p. 625-625.
- Sunter, S., Nagi, N. 1997b. A simplified polynomial-fitting algorithm for DAC and ADC BIST. *Proc. of International Test Conference*, 1997, p. 389-395.
- Sunter, S. 1998. An overview of mixed-signal DFT. *EE-Evaluation Engineering*. Setembro, 1998, p. 112-117.
- Sunter, S. K., Nadeau-Dostie, B. 2002. Complete, contactless I/O testing - reaching the boundary in minimizing digital IC testing cost. *Proc. International Test Conference*, 2002, p. 446-455.
- Sunter, S. K. 2003. Testing high frequency ADCs and DACs with a low frequency analog bus. *Proc. International Test Conference*, 2003, p. 228-234.
- Sunter, S. K. 2004. Implementing and using a mixed-signal test bus. Visitado em 24 de Fevereiro, 2006.
http://grouper.ieee.org/groups/1149/4/Sunter_1149.4_Tutorial.pdf
- Surpajo, B., Ley, A., Crow, A., Ehrenberg, H. 2006. Analog boundary-scan description language (ABSDL) for mixed-signal board test. *Proc. the International Test Conference*, 2006, p. (5.2).
- SVF. 2006. *Serial Vector Format*. Asset-Intertech. Visitado em 19 de Abril, 2006.
<http://www.asset-intertech.com/support/svf.html>

- Syri, P., Hakkinen, J., Moilanen, M. 2005. IEEE 1149.4 compatible ABMs for basic RF measurements. *Proc. of Designs Automation and Test in Europe*, 2005, p. 172-173.
- Takamiya, M., Mizuno, M., Nakamura, K. 2002. An on-chip 100GHz-sampling rate 8-channel sampling oscilloscope with embedded clock generator. *IEEE International Solid-State Circuits Conference – Digest Technical Papers*, 2002.
- Takamiya, M., Inohara, H., Mizuno, M. 2004. On-chip jitter-spectrum-analyzer for high-speed digital designs. *IEEE International Solid-State Circuits Conference – Digest Technical Papers*, 2004.
- Tatum, S. 2002. Lockheed Martin team integrates state-of-the-art technologies to conduct first ever demonstration of a remote controlled test and fault isolation system. *Lockheed Martin Press Release*, 17 de Janeiro, 2002.
- Tektronix. 2007. Visitado em 25 de Maio, 2007. <http://www.tek.com/>
- Toner, M. F., Roberts, G. W. 1993. A BIST scheme for an SNR test of a sigma-delta ADC. *Proc. of International Test Conference*, 1993, p. 805-814.
- Toner, M. F., Roberts, G. W. 1996. A BIST scheme for a SNR, gain tracking, and frequency response test of a sigma-delta ADC. *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 42, nº 1, 1996, p. 1-15.
- Vachouz, A., Bergé, J-M., Levia, O., Rouillard, J. 1997. *Analog and Mixed-Signal Hardware Description Languages*. Kluwer Academic Publishers, 1997, 158 p.
- Vázquez, D., Rueda, A., Huertas, J. L., Richardson, A. M. D. 1995. Practical DfT strategy for fault diagnosis in active analogue filters. *IEE Electronics Letters*, vol. 31, nº 15, 1995, p.1221-1222.

- Vázquez, D., Huertas, J. L., Rueda, A. 1996a. Reducing the impact of DFT on the performance of analog integrated circuits: improved SW-OPAMP Design. *Proc. of the VLSI Test Symposium*, 1996, p. 42-47.
- Vázquez, D., Rueda, A., Huertas, J. L. 1996b. Fully differential Sw-Opamp for testing analog embedded modules. *Proc. of the IEEE International Mixed-Signal Testing Workshop*, 1996, p. 204-209.
- Vázquez, D., Leger, G., Rueda, A., Huertas, J. L. 2002. On-Chip evaluation of oscillation-based-test output signals for switched-capacitor circuits. *Journal of Analog Integrated Circuits and Signal Processing*, vol. 33, 2002, p. 201-211.
- Verfaillie, J., Haspesslagh, D. 1996. A general purpose design-for-test methodology at the analog-digital boundary of mixed-signal VLSI. *Journal of Electronic Testing: Theory and Applications*, 1996, vol. 9, nº 1-2, p. 109-115.
- Vermeulen, B. Waayers, T., Goel, S. K. 2002. Core-based scan architecture for silicon debug. *Proc. of the International Test Conference*, 2002, p. 638-647.
- Wagner, K. D., Williams, T. W. 1988. Design for testability of mixed signal integrated circuits. *Proc. of the International Test Conference*, 1988, p. 823-828.
- Wen, Y.-C., Lee, K.-J. 2000. An on chip ADC test structure *Proc. of Design Automation and Test in Europe*, 2000, p. 221-225.
- Wey, C.-L., Krishnan, S. 1992. Built-in-self-test (BIST) structures for analog circuit fault diagnosis with current test data. *IEEE Transactions on Instrumentation and Measurement*, vol. 41, nº 4, 1992, p. 535-539.
- Whetsel, L. 2006. A high speed reduced pin count JTAG interface. *Proc. of the International Test Conference*, 2006, p. (10.1).

- Wilkins, B. R., Surpajo, B. S. 1993. A structure for interconnect testing on mixed-signal boards. *Journal of Electronic Testing: Theory and Applications*, vol. 4, n° 4, 1993, p. 369-374.
- Wurtz, L. T. 1993. Built-in-self-test structure for mixed-mode circuits. *IEEE Transactions on Instrumentation and Measurement*, vol. 42, n° 1, 1993, p. 25-29.
- Zheng, Y., Sheperd, K. 2003. On-chip oscilloscopes for noninvasive time-domain measurement of waveforms in digital integrated circuits. *IEEE Transactions VLSI Systems*, 2003, vol. 1, n°3, p. 336-344.

9. ANEXOS

9.1. ANEXO 1

Programa para a aplicação JTAGER desenvolvido para o CI SCAN-STA400 e que permite medir a resistência colocada entre o pino A1e a massa (GND).

```
;Determining the value of one resistor placed: ABM_A1 - GND
;IC: SCAN-STA400-National
;Author: M.Felgueiras
;Test conditions:
;   Mode=0
;   C0=0
;   C1=0
;   CE=1
;   CE1=0
;
start:
seltap0;
serflg0;
rst;

A:

state irshift;
ld cnt,20d;
nshfcp 1FFFEh,80000h,C0000h;
jerr ERROR;
tmsl;          IR<- SAMPLE/PRELOAD

state drshift;
ld cnt,48d;
nshf 00000300C000h;
jerr ERROR;
tmsl;          BSR <- DATA

state irshift;
ld cnt,20d;
nshfcp 00000h,80000h,C0000h;
jerr ERROR;
tmsl;          IR <- EXTEST:Read V1, I1
jmp A;

ERROR:
halt;
```

9.2. ANEXO 2

Programa para a aplicação JTAGer desenvolvido o CI SCAN-STA400 e que permite medir a resistência colocada entre os pinos A1e A2.

```
;Determining the value of one resistor placed: ABM_A1 - GND
;IC: SCAN-STA400-National
;Author: M.Felgueiras
;Test conditions:
;   Mode=0
;   CO=0
;   C1=0
;   CE=1
;   CE1=0
;
start:
seltap0;
serflg0;
rst;

state irshift;
ld cnt,20d;
nshfcp 1FFFEh,80000h,C0000h;
jerr ERROR;
tms1;          IR <- SAMPLE/PRELOAD

state drshift;
ld cnt,48d;
nshf 0000030100c0h;
jerr ERROR;
tms1;          BSR <- DATA

state irshift;
ld cnt,20d;
nshfcp 00000h,80000h,C0000h;
jerr ERROR;
tms1;          IR<- EXTEST; Read V1, I1

state drshift;
ld cnt,48d;
nshf 000003050080h;
jerr ERROR1;
tms1;          Read VSG and ISG

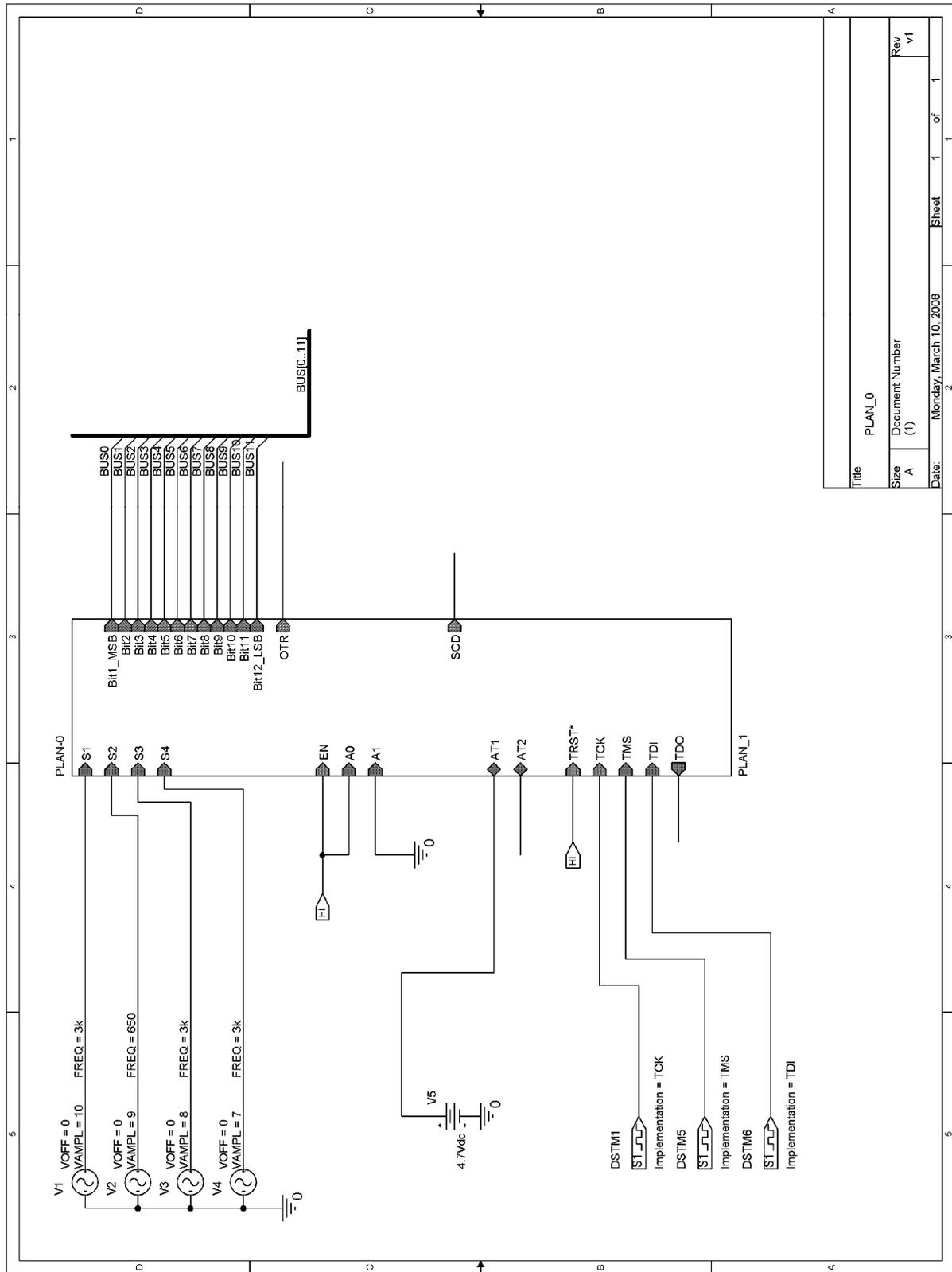
ERROR1:
halt;
```

9.3. ANEXO 3

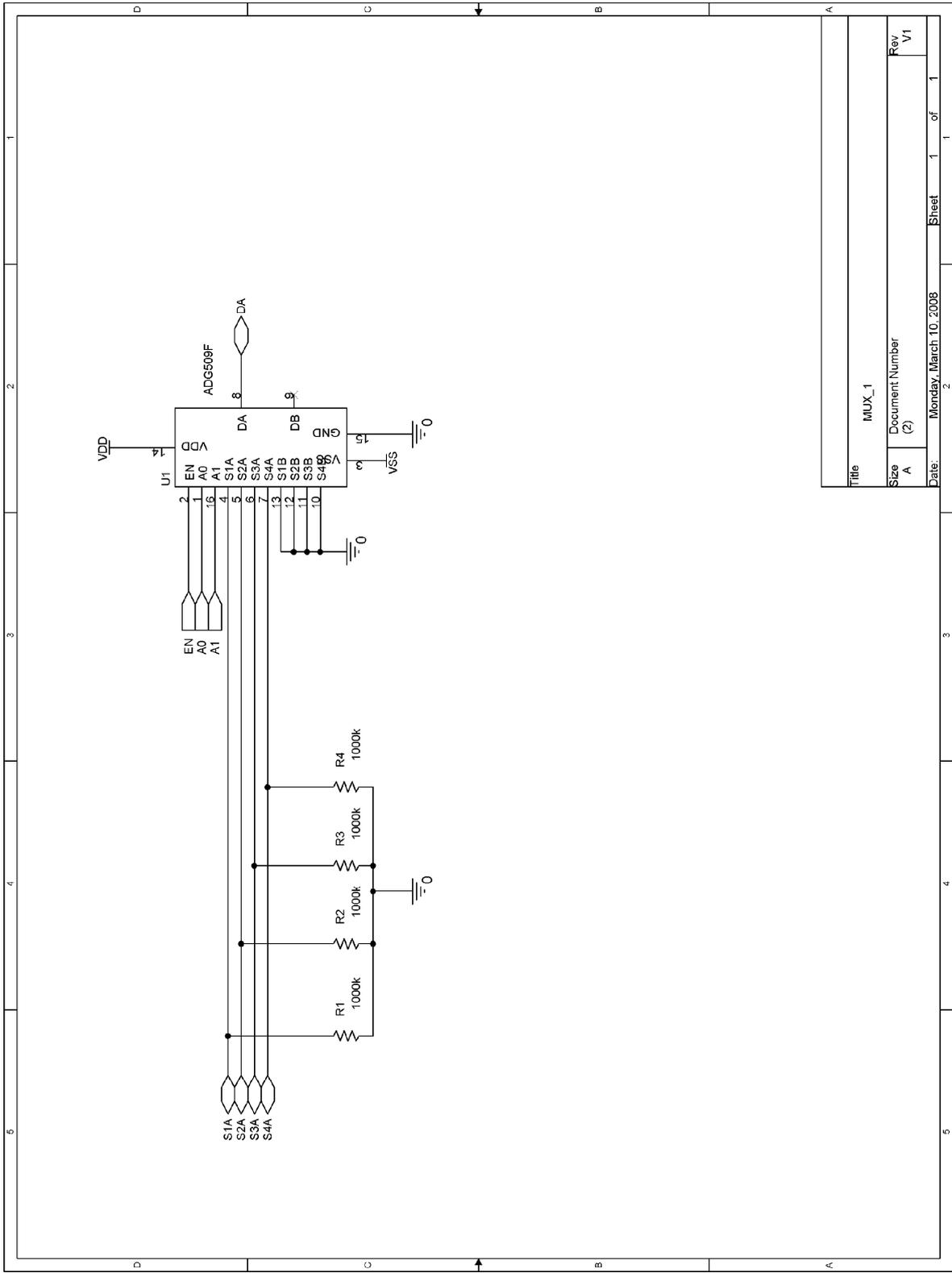
Esquemas, em ambiente de simulação ORCAD, do circuito misto usado para a validação do modelo de depuração.

Tabela 9-1: Distribuição dos esquemas pelos níveis hierárquicos.

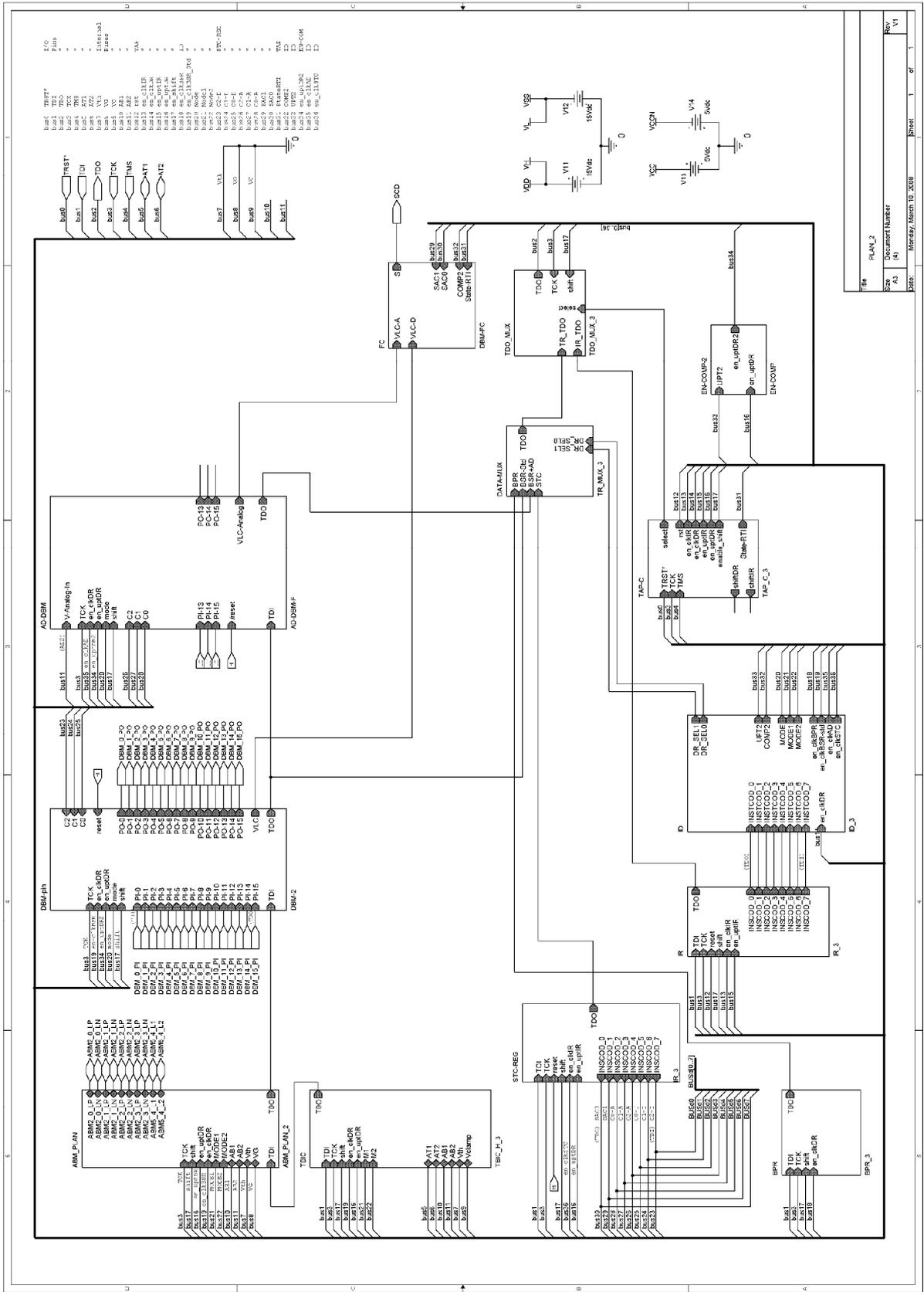
Nível 1	Nível 2	Nível 3	Nível 4	Nível 5	Nível 6	Nível 7	Nível 8
PLAN_1(01)							
	MUX_1(02)						
	ADC_1(03)						
	PLAN_2(04)						
	TAP_3_Pag 1(05)						
	TAP_3_Pag 2(06)						
	ID_3(07)						
	IR_3(08)		DBM_IR_4(09)				
	BPR_3(10)						
	TBIC_H_3(11)		TBIC_CR_4(12)				
			TBIC_D_4(13)				
			TBIC_M_4(14)				
			ABM_2_3(16)				
		ABM_PLAN_2(15)		ABM_CR_4(17)			
				ABM2_C_4(18)			
				ABM2_M_4(19)			
				ABM5_CR_4(21)			
			ABM5_3(20)	ABM5_C_4(22)			
				ABM5_M_4(23)			
		AD_DBM_F(24)					
			ADC_1(03)				
			DBM_2(25)				
				DBM-FA(26)			
				DBM-FB(27)			
				DBM-FD(28)			
				DBM-3(29)	DBM-4(30)	DBM-5(31)	
						DBM-F_Q012(32)	
							DBM-F-Q0(33)
							DBM-F_Q1(34)
							DBM-F-Q2(35)
		DBM_2(25)					
			DBM-FA(26)				
			DBM-FB(27)				
			DBM-FD(28)				
			DBM-3(29)	DBM-4(30)	DBM-5(31)		
					DBM-F_Q012(32)		
							DBM-F-Q0(33)
							DBM-F_Q1(34)
							DBM-F-Q2(35)
		TR_MUX(36)					
		TDO_MUX_3(37)					
		DBM-FC(38)					
		EN_COMP(39)					



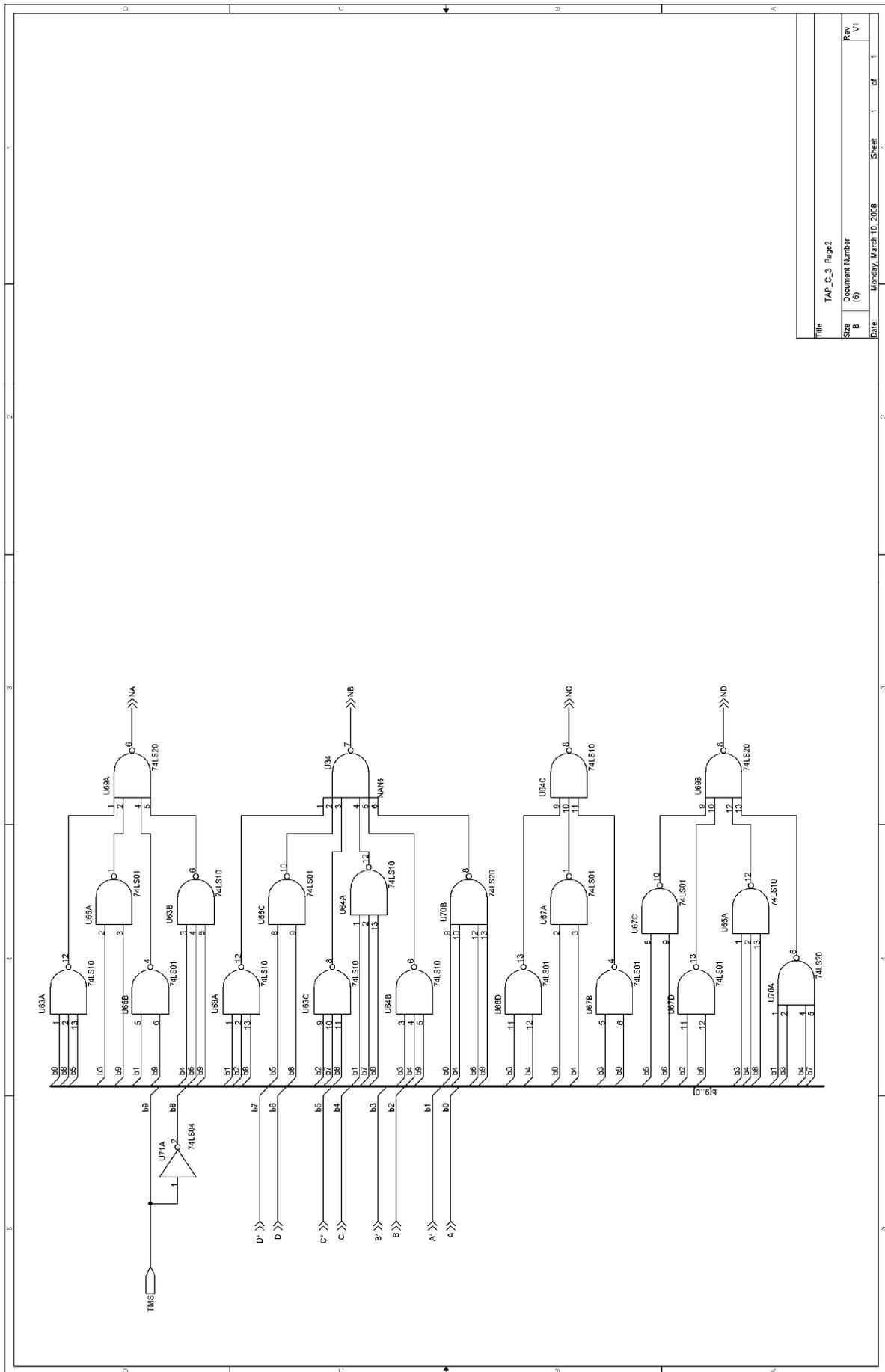
Title	PLAN_0
Size	A
Document Number	(1)
Rev	V1
Date:	Monday, March 10, 2008
Sheet	1 of 1

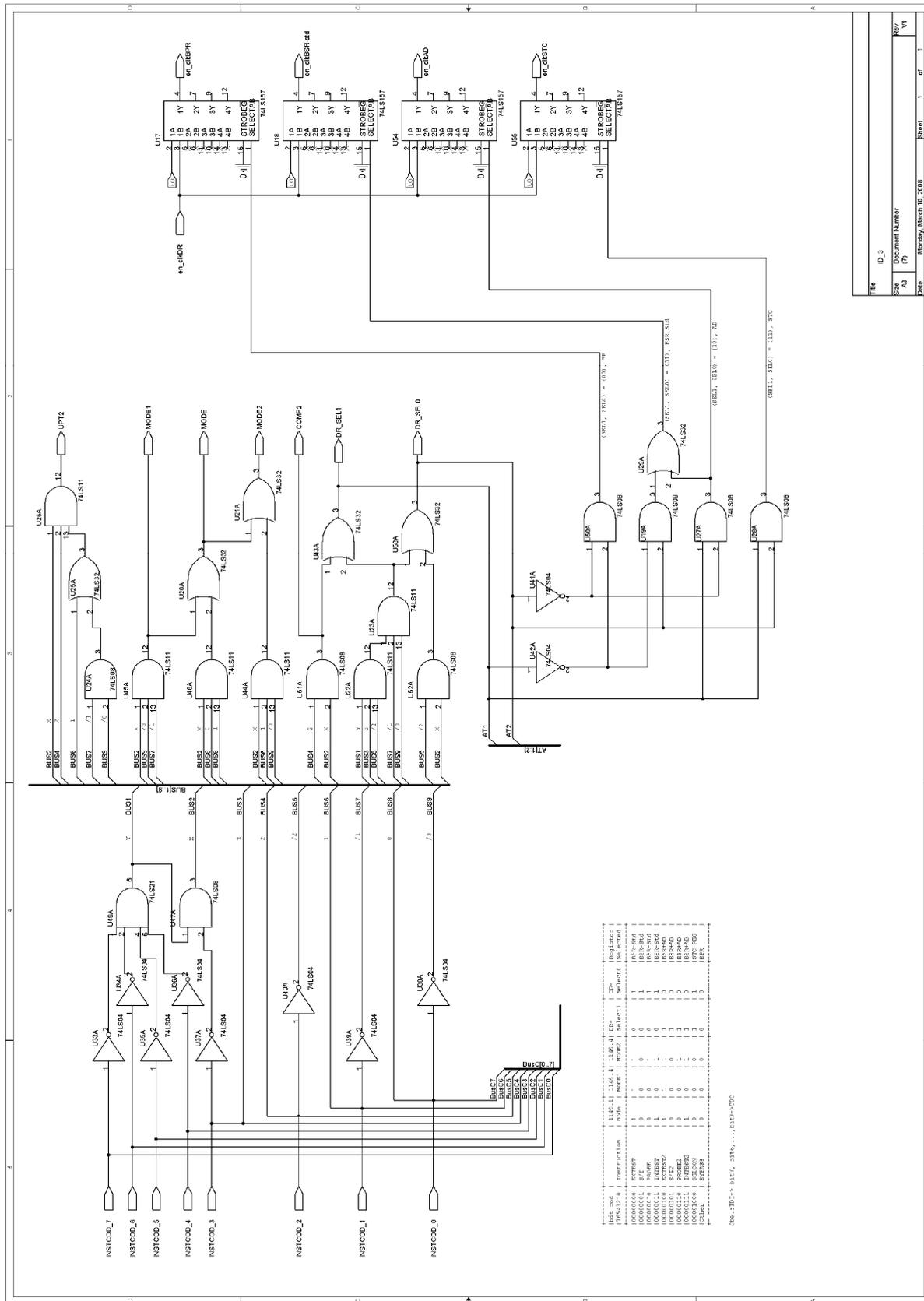


Title		MUX_1
Size	Document Number	
A	(2)	
Date:	Monday, March 10, 2008	Sheet 1 of 1

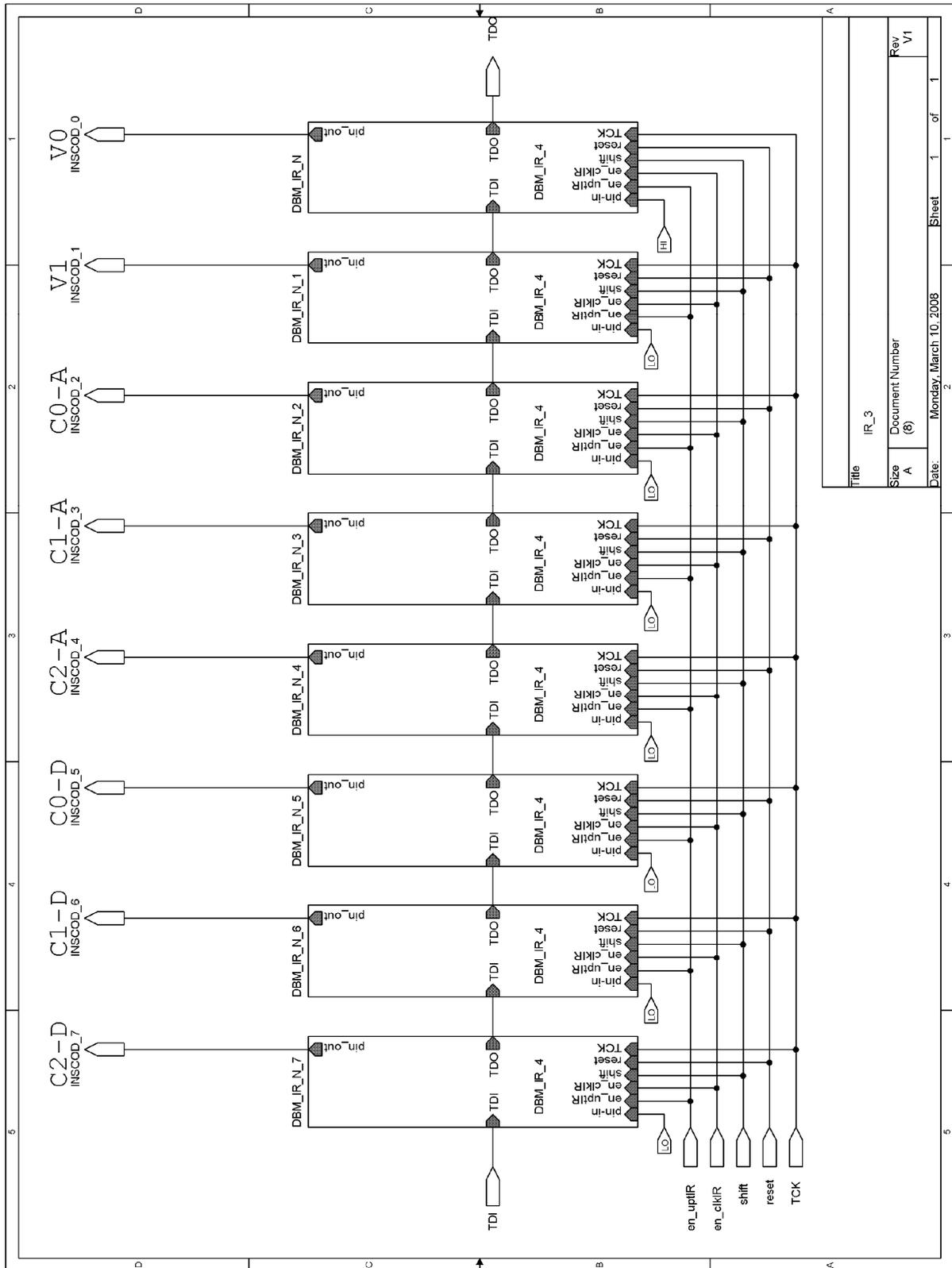


File	PLAN_2
Size	Document Number
Rev	A3
Date	08/26/2010 10:28:08
Sheet	1 of 1
Rev	V1

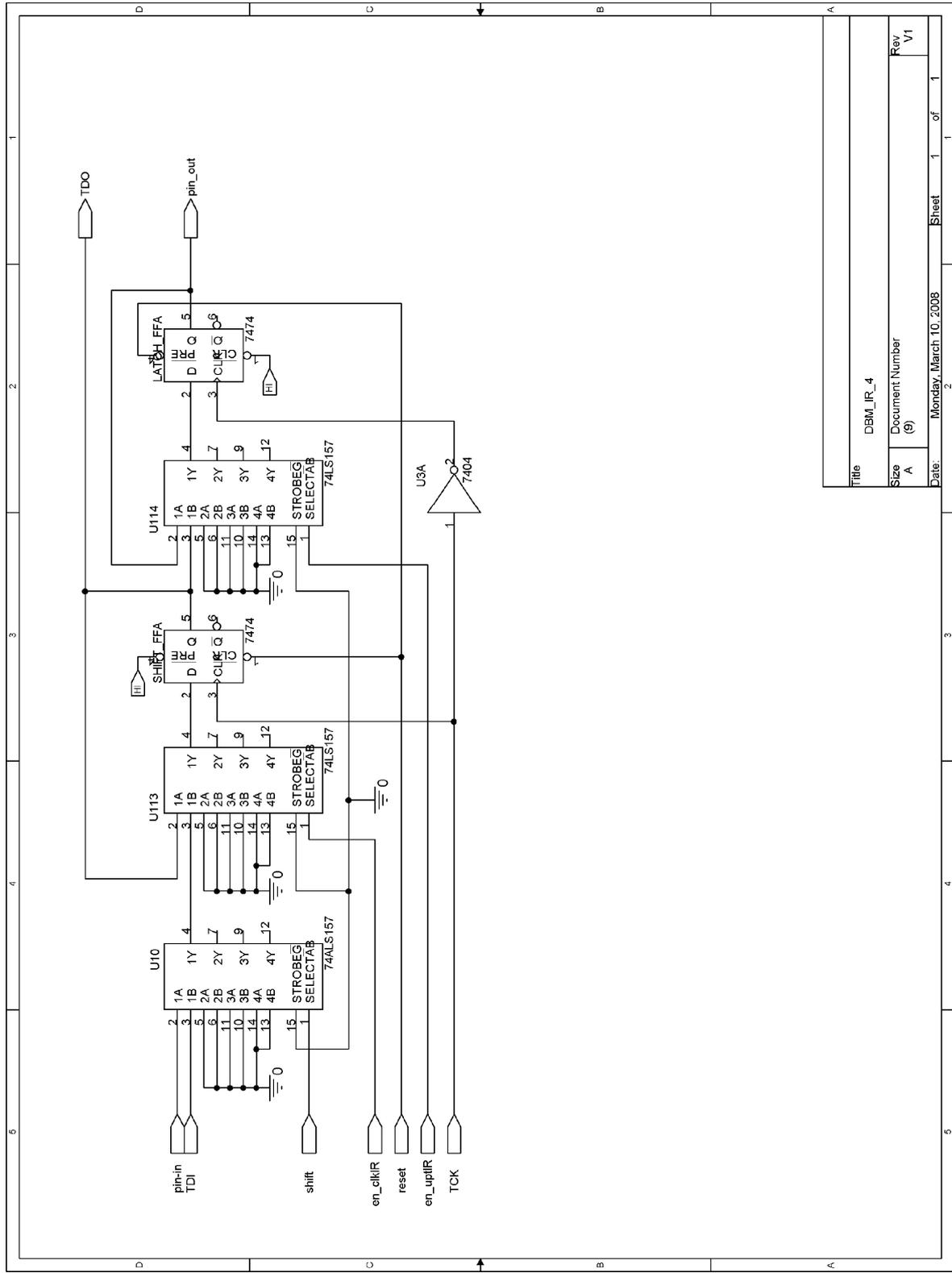




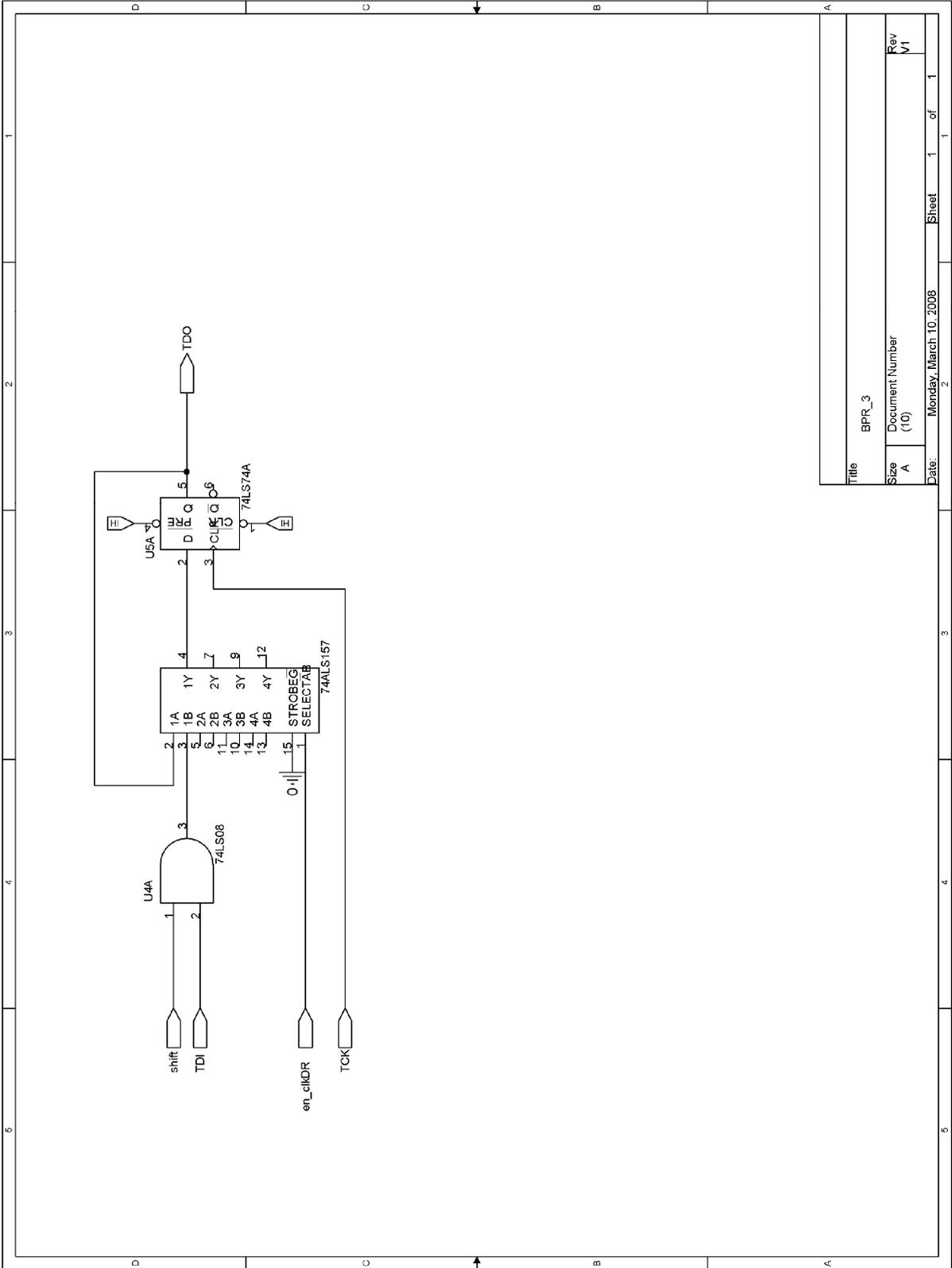
File	ID_3	Sheet	1	of	1
Size	A3	Document Number			
Page	7	Date	Monday, March 10, 2008		
Rev	V1				



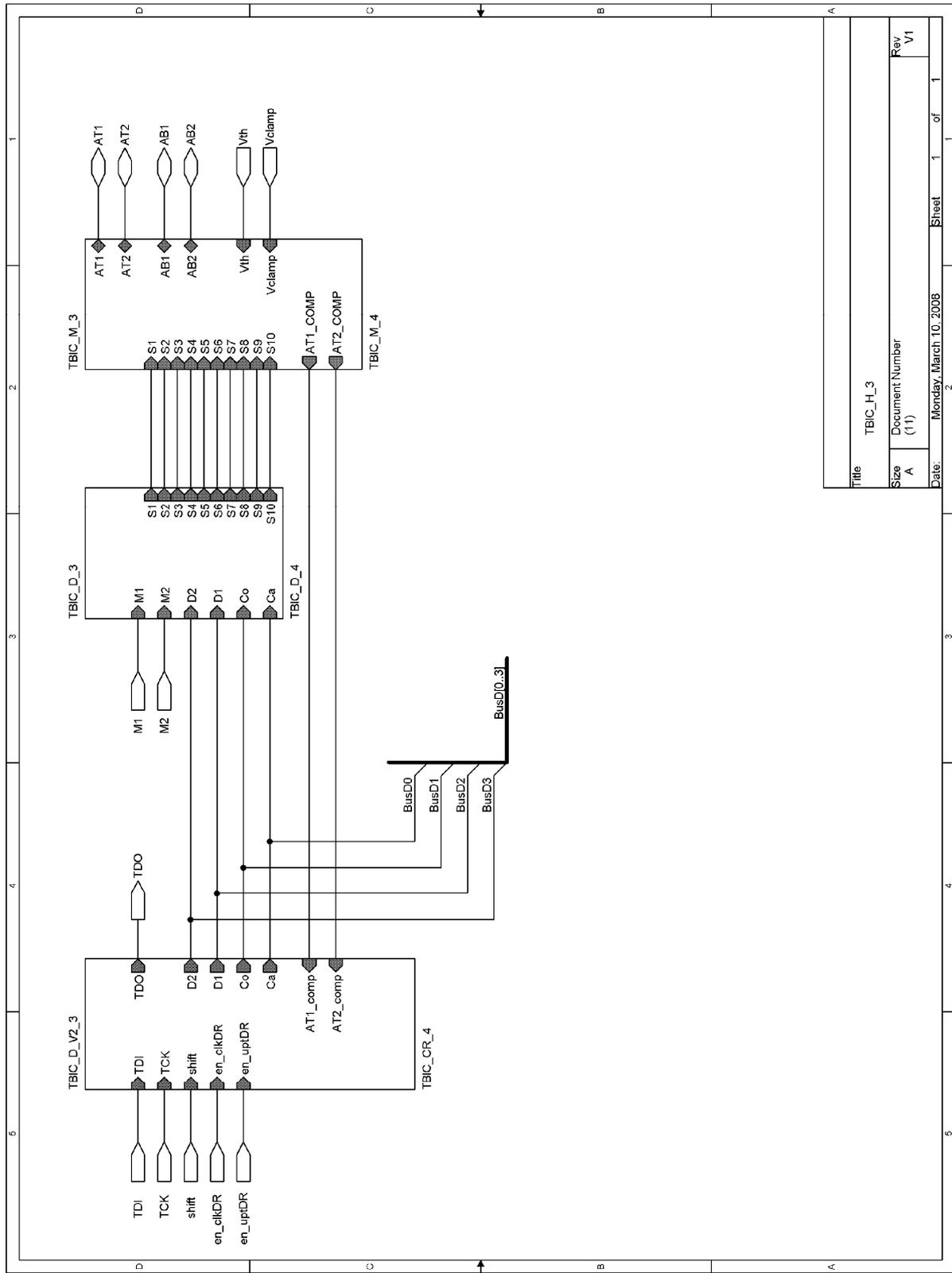
Title		IR_3	
Size	Document Number	Rev	
A	(8)	V1	
Date:	Monday, March 10, 2008	Sheet	1 of 1



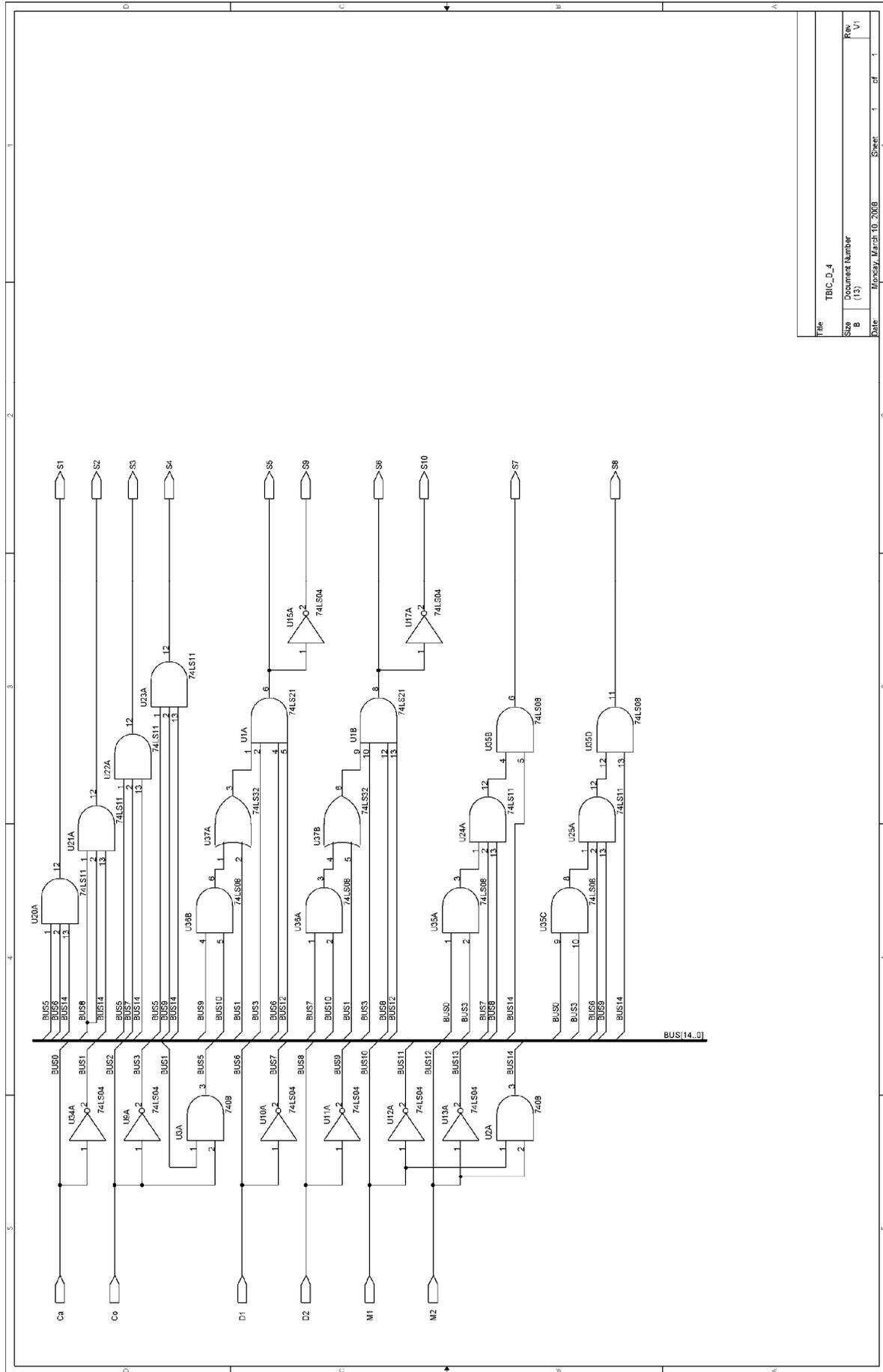
Title	DBM_IR_4	
Size	A	Document Number
Rev.	V1	
Date:	Monday, March 10, 2008	Sheet 1 of 1



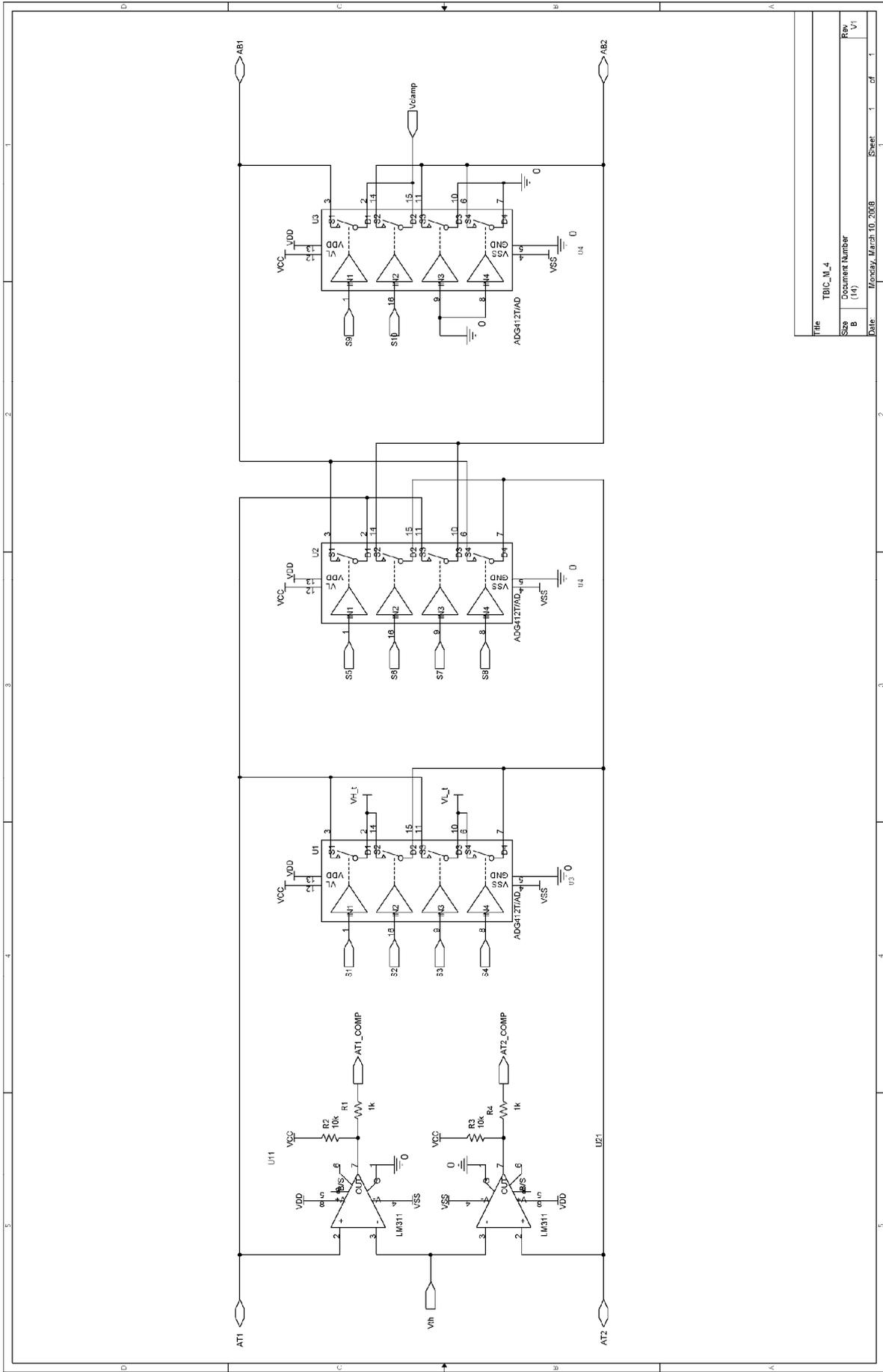
Title		BPR_3
Size	Document Number	
A	(10)	
Date:		Monday, March 10, 2008
Sheet		1 of 1
Rev		M1



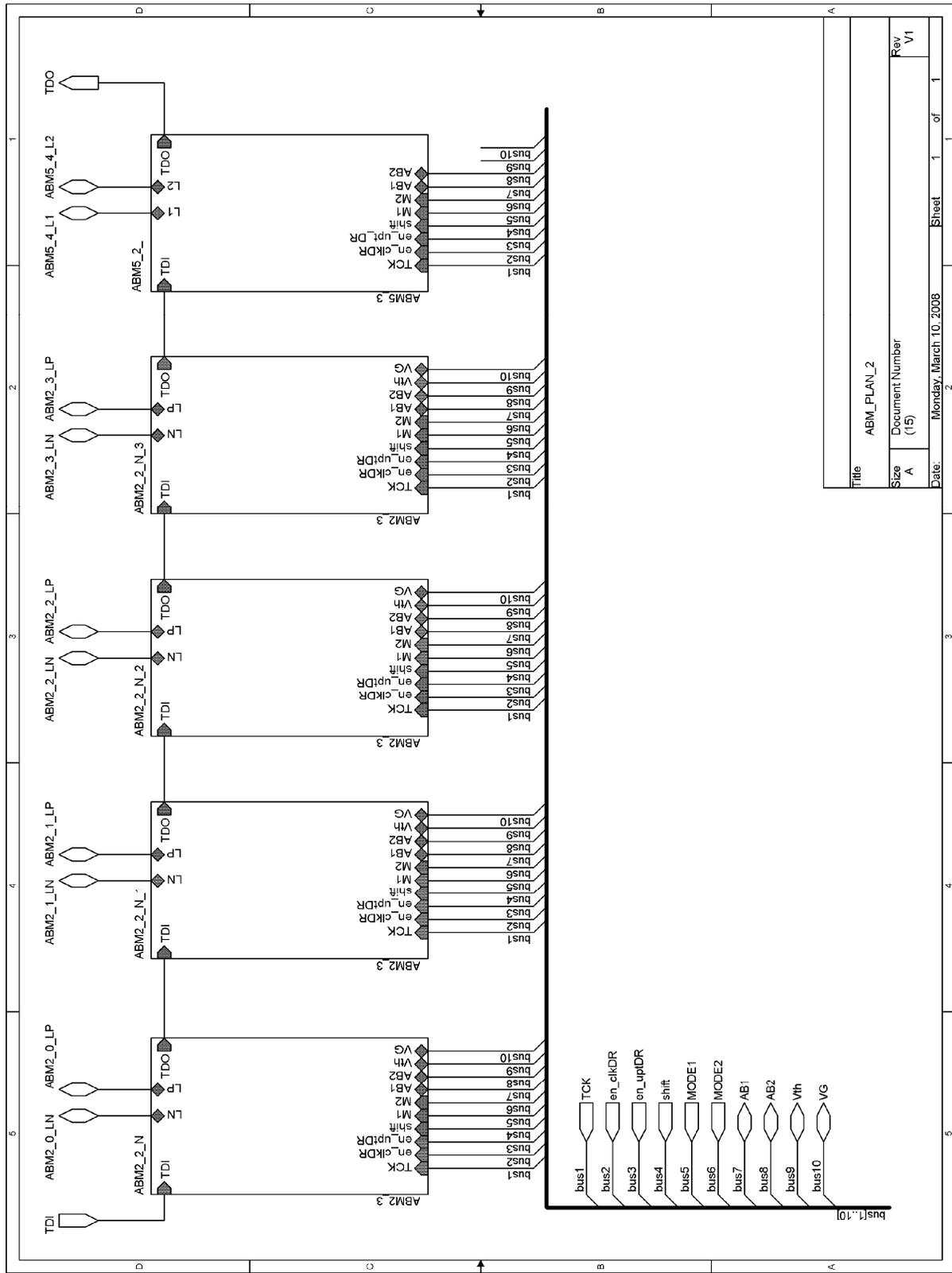
Title	TBIC_H_3		
Size	A	Document Number	(11)
Date:	Monday, March 10, 2008	Sheet	1 of 1
Rev	V1		



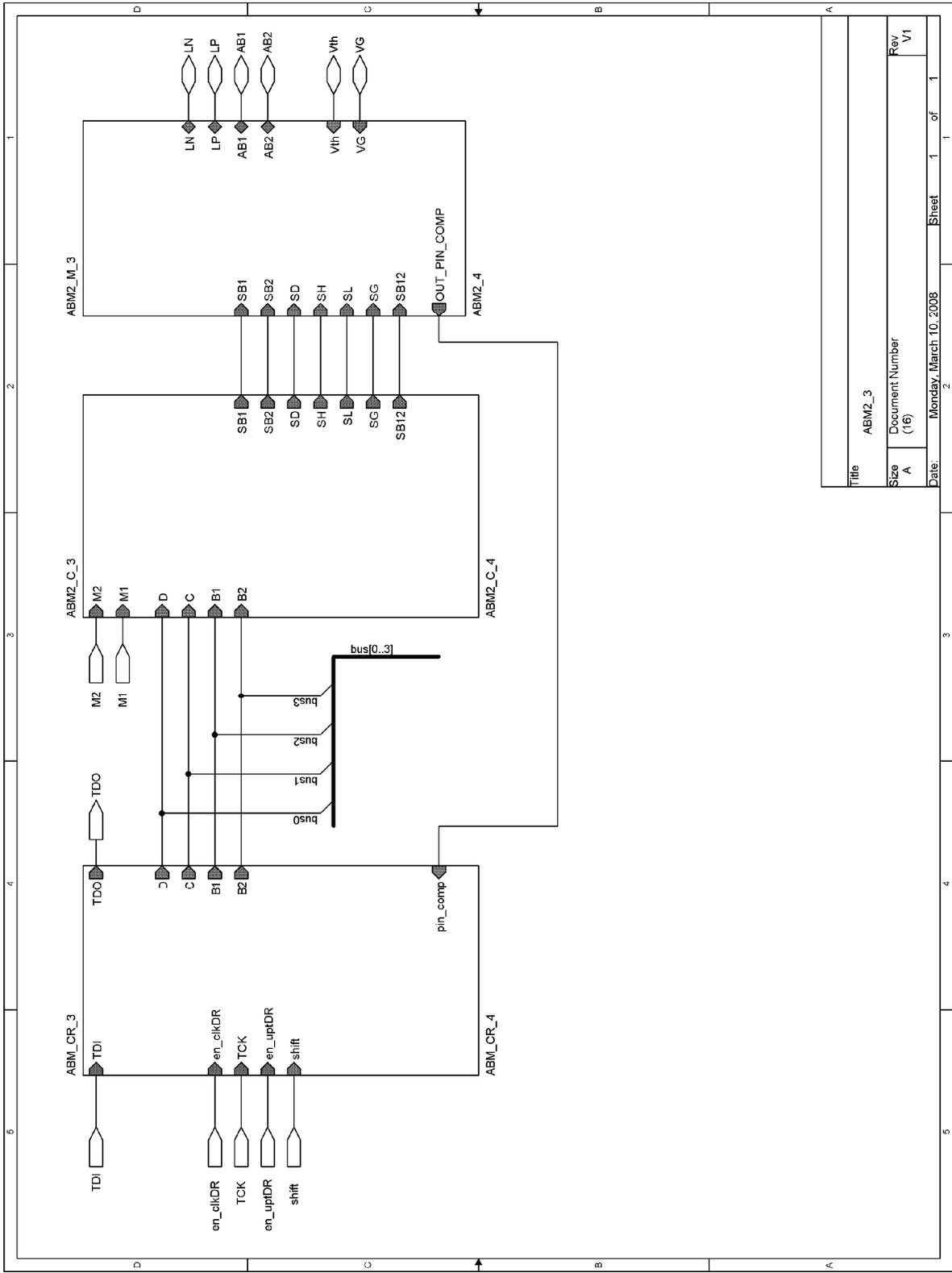
File	TBIC_D_4
Size	Document Number
B	(13)
Date	Monday, March 10, 2008
Sheet	1 of 1
Rev.	V1



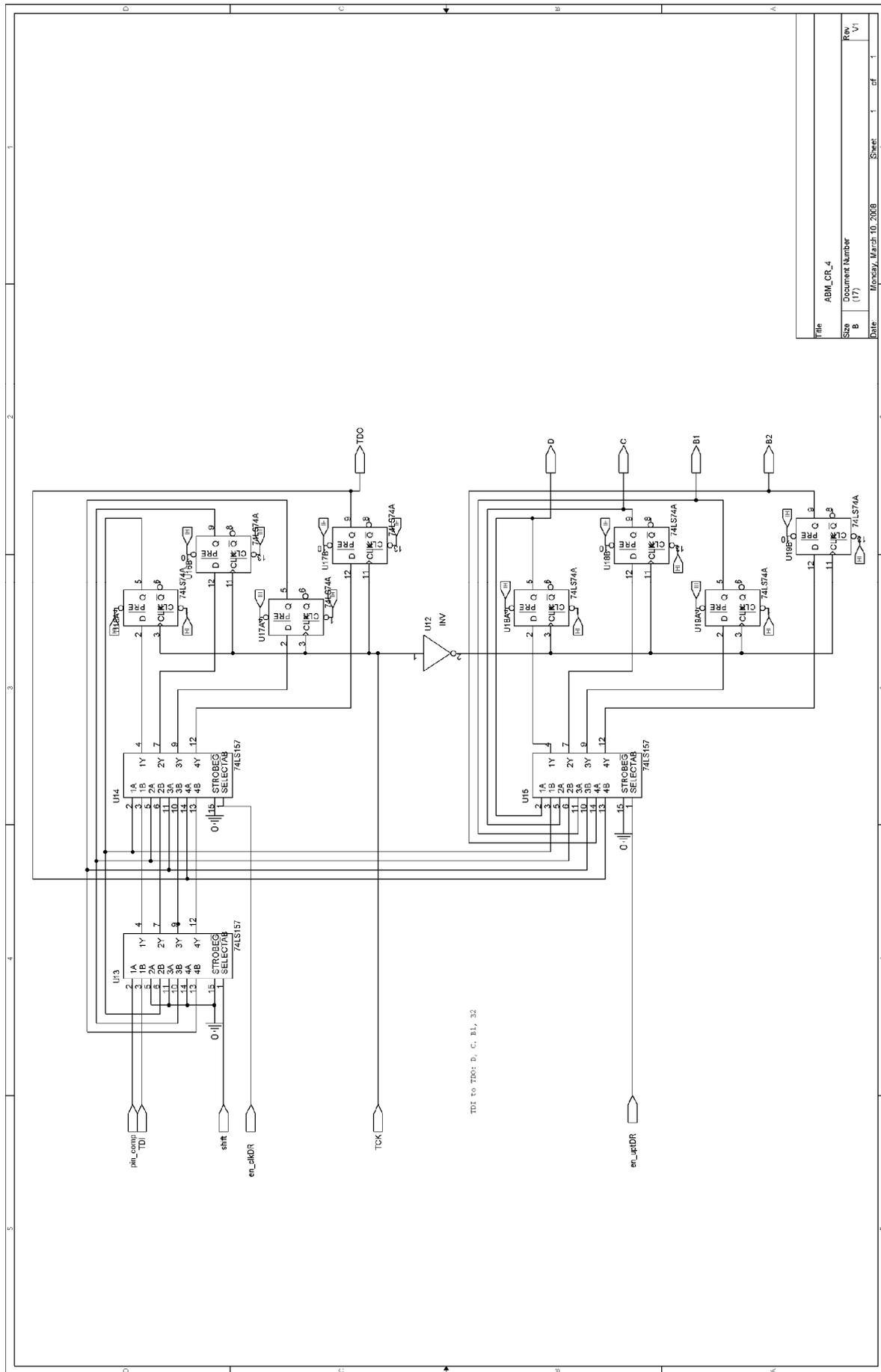
Title	TBIC_M_4
Size	Document Number
B	(14)
Date	Monday, March 10, 2008
Sheet	1 of 1
Rev	V1



Title	ABM_PLAN1_2
Size	Document Number
	(15)
Rev	V1
Date:	Monday, March 10, 2008
Sheet	1 of 1

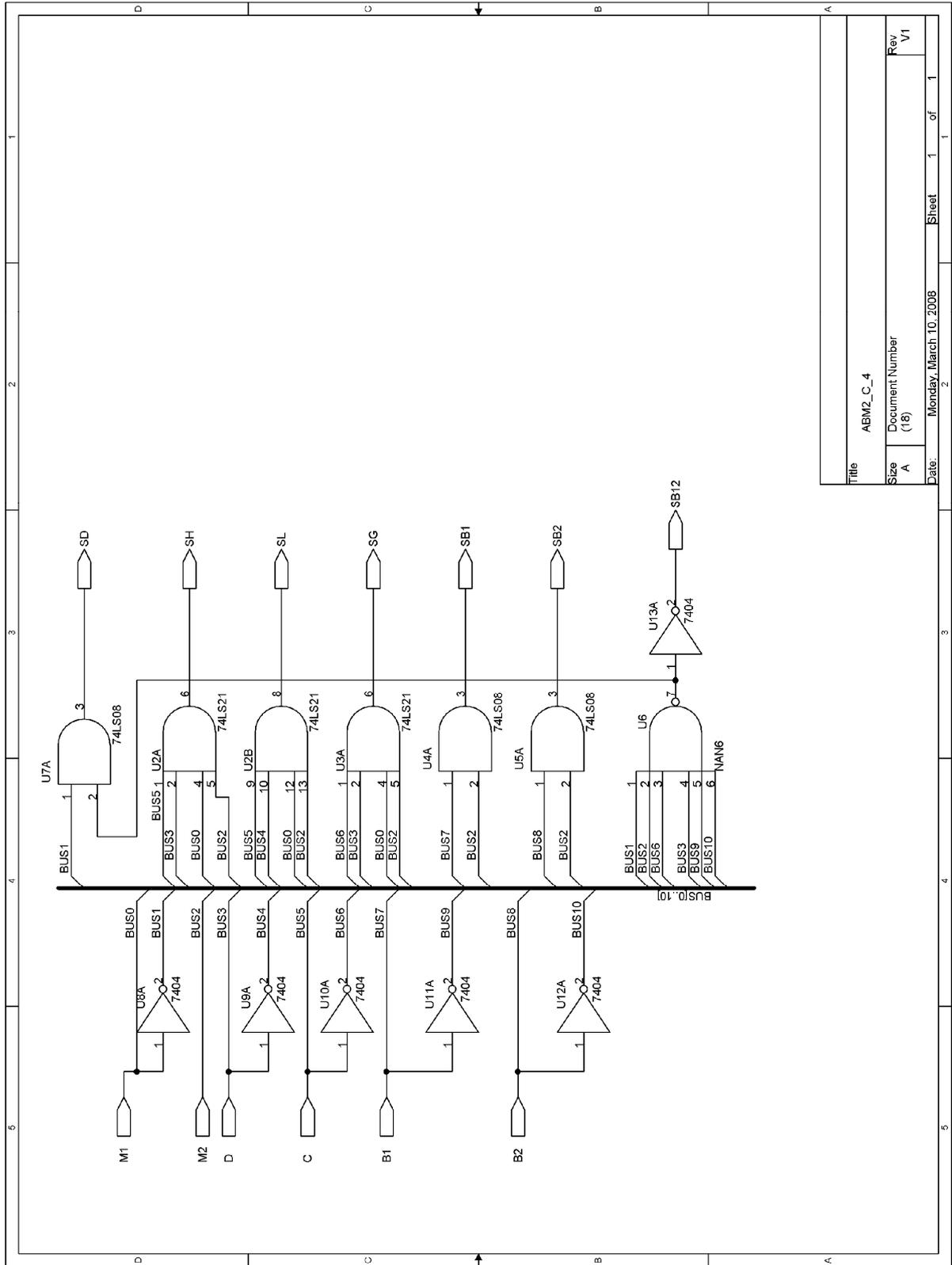


Title		ABM2_3	
Size	A	Document Number	(16)
Rev	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1

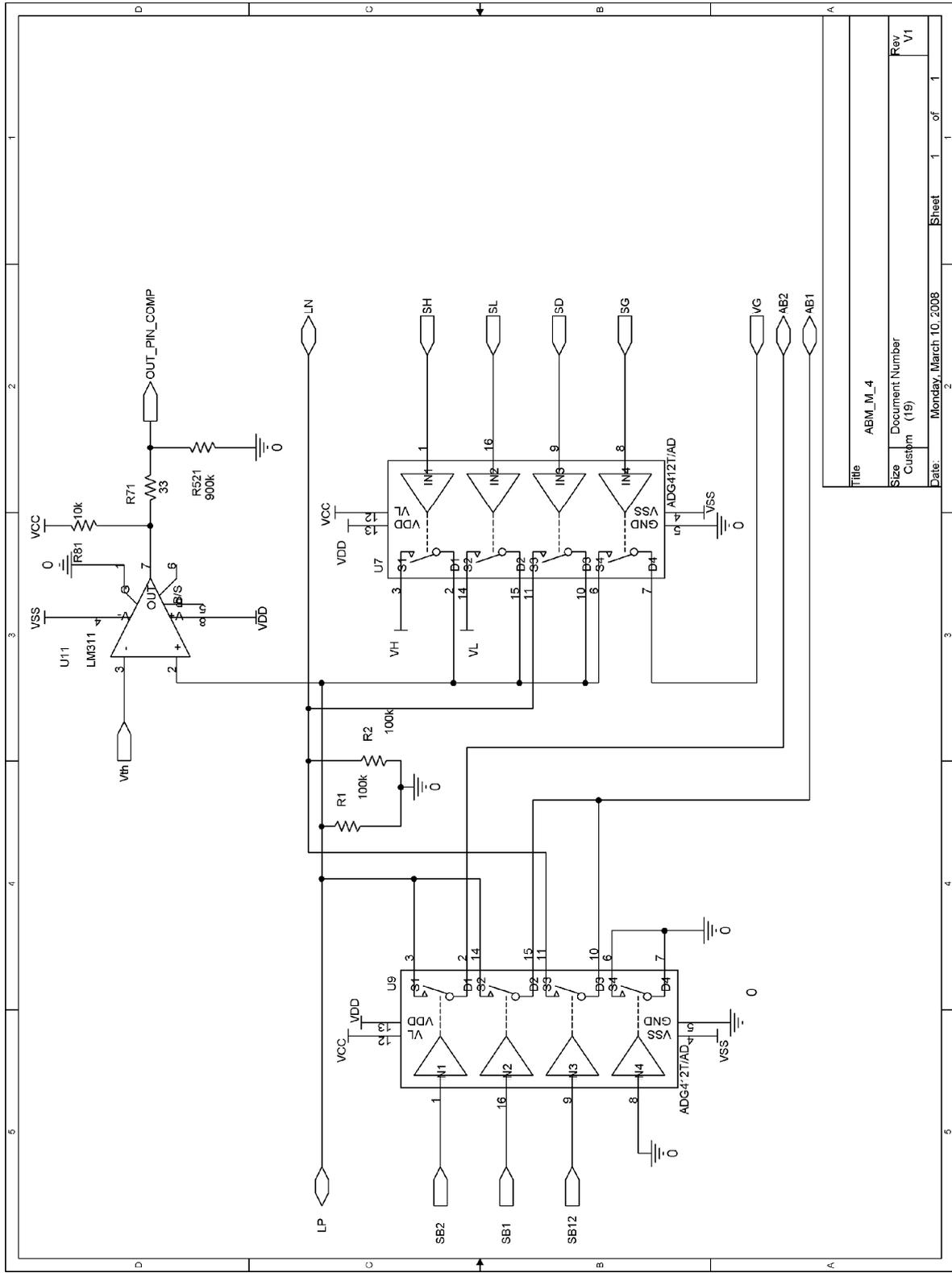


File	ABM_CR_4
Size	Document Number
B	(17)
Date	Monday, March 10, 2008
Sheet	1 of 1
Rev.	V1

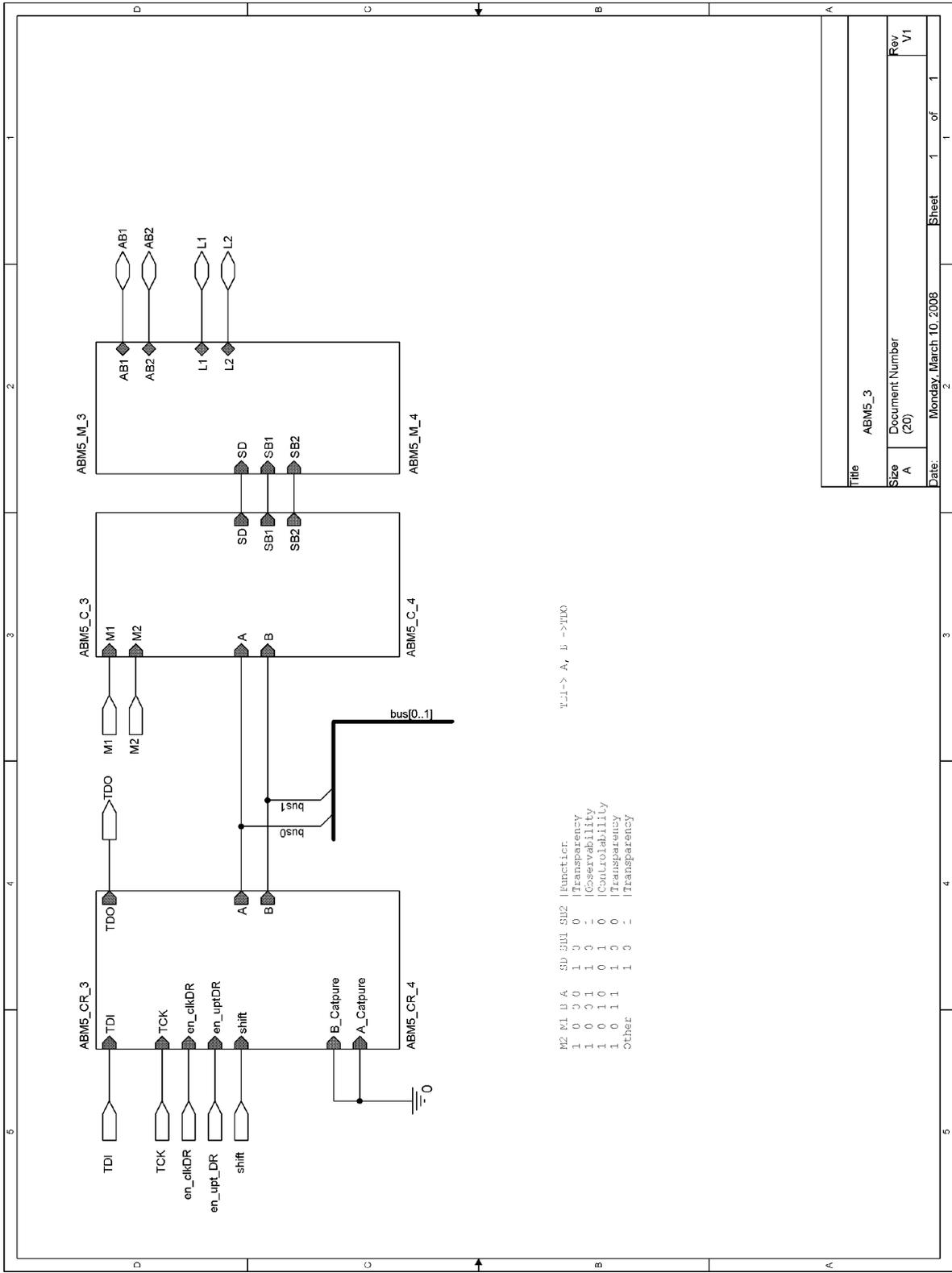
TDO to TDO: D, C, B1, B2



Title		ABM2_C_4	
Size		Document Number	
A		(18)	
Date:		Monday, March 10, 2008	
Sheet		1 of 1	
Rev		V1	



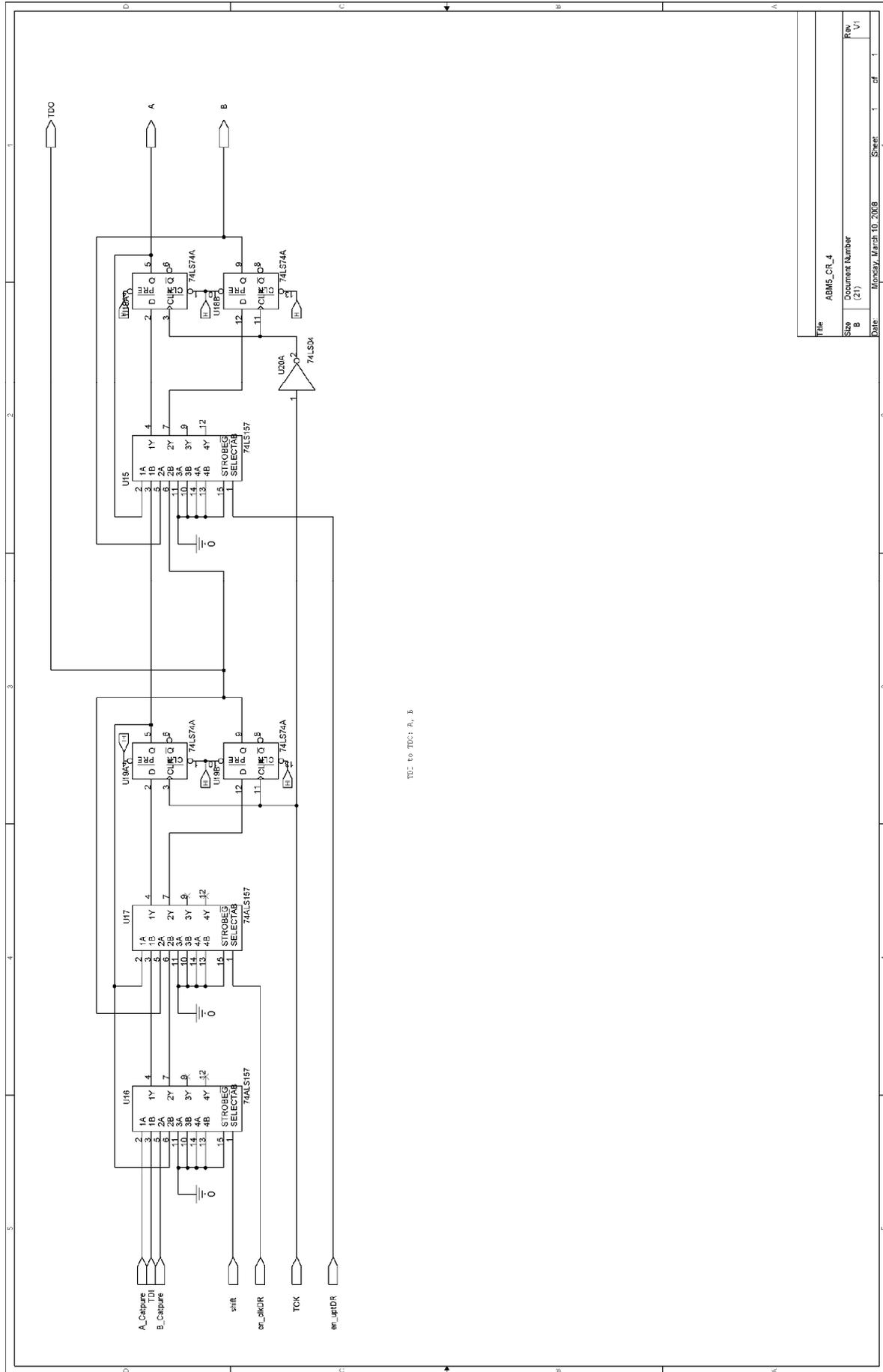
Title	ABM_M_4
Size	Document Number
	Custom (19)
Date:	Monday, March 10, 2008
Sheet	1 of 1
Rev.	V1



TL1 -> A, B -> TUD

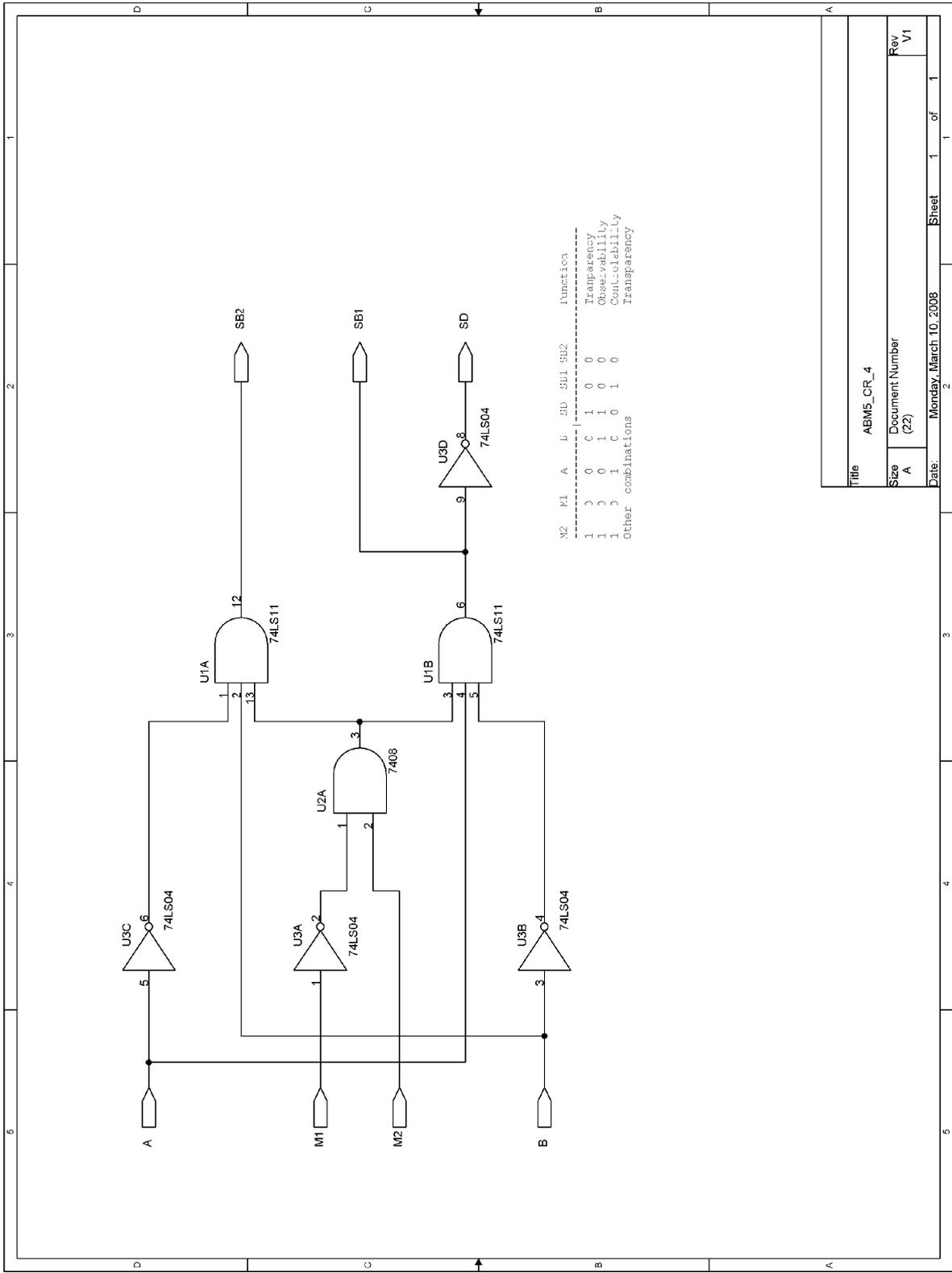
M2	M1	B	A	SD	SB1	SB2	Function
1	0	0	0	1	0	0	Transparency
1	0	0	1	1	0	-	Observability
1	0	1	0	0	1	0	Controllability
1	0	1	1	1	0	0	Transparency
Other	1	0	-	1	0	-	Transparency

Title		ABMS_3	
Size	A	Document Number	
	(20)		
Rev	V1	Date	Monday, March 10, 2008
		Sheet	1 of 1



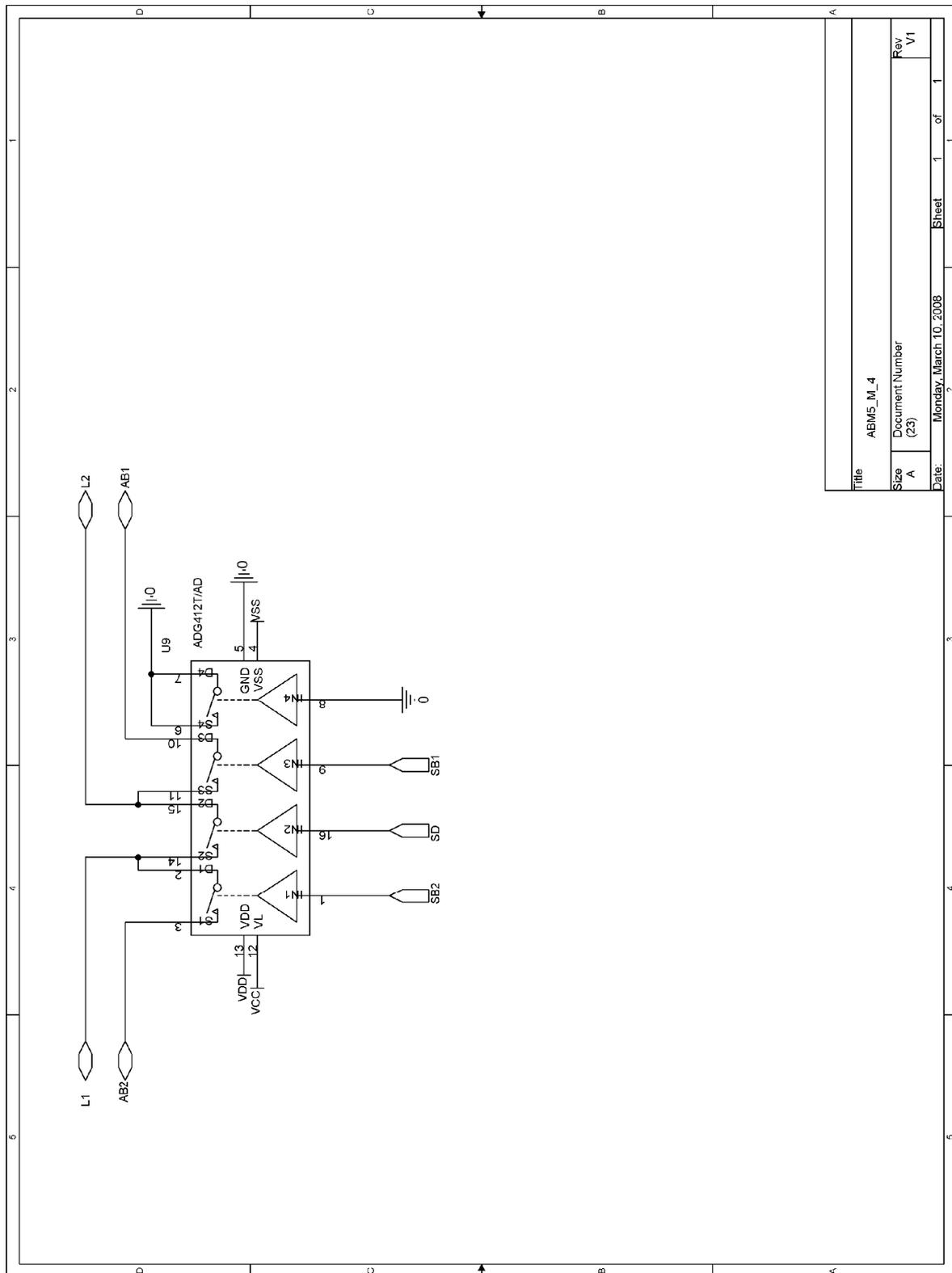
TDC TO TDC: P, B

File	ABMS_CR_4
Size	Document Number
	(21)
Rev.	V1
Date	Monday, March 10, 2008
Sheet	1 of 1

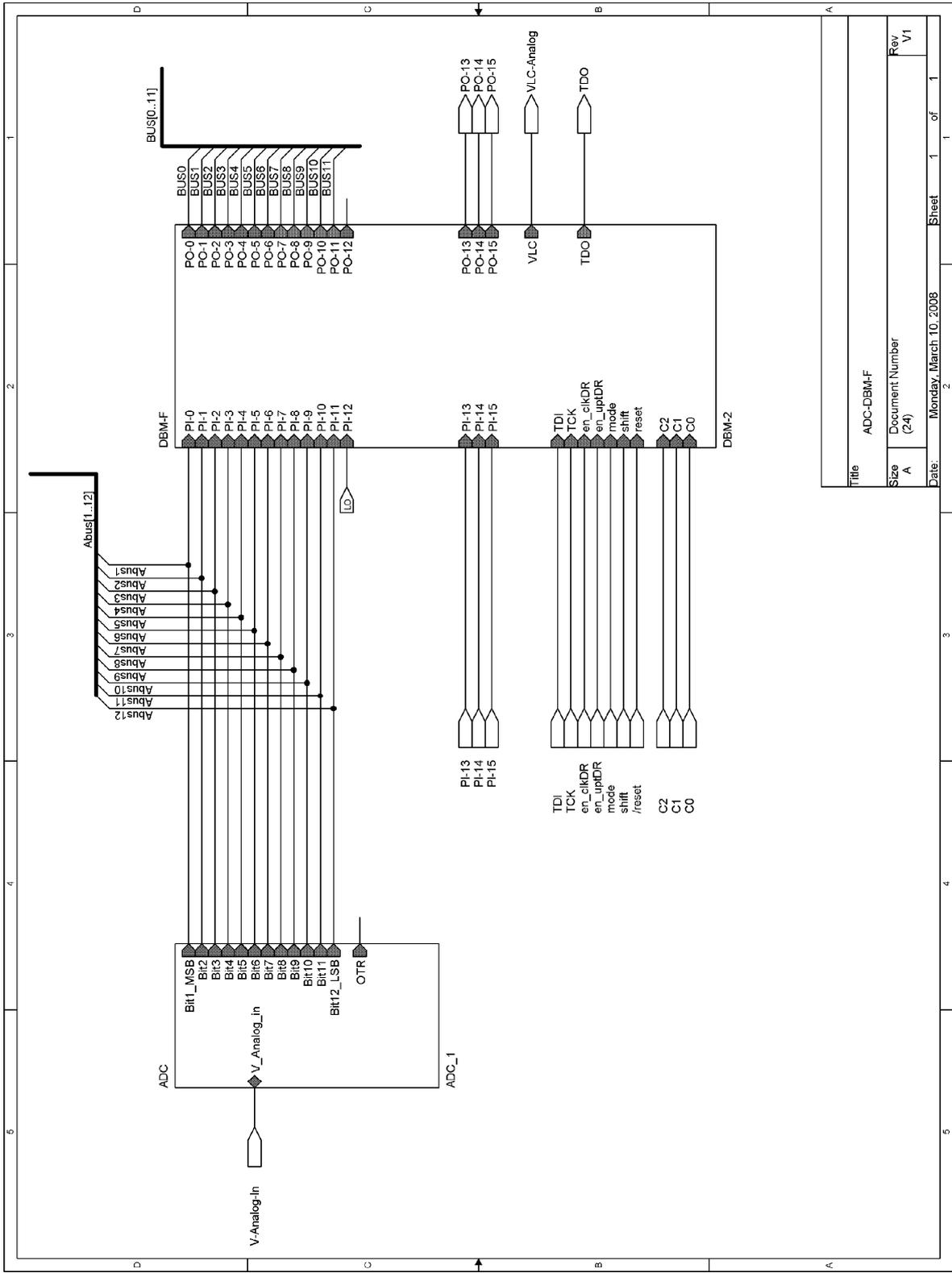


M2	M1	A	B	SD	SB1	SB2	Function
1	0	0	1	0	0	0	Transparency
1	0	1	1	0	0	0	Observability
1	1	0	0	1	0	0	Controllability
1	1	1	0	1	0	0	Transparency
Other combinations							

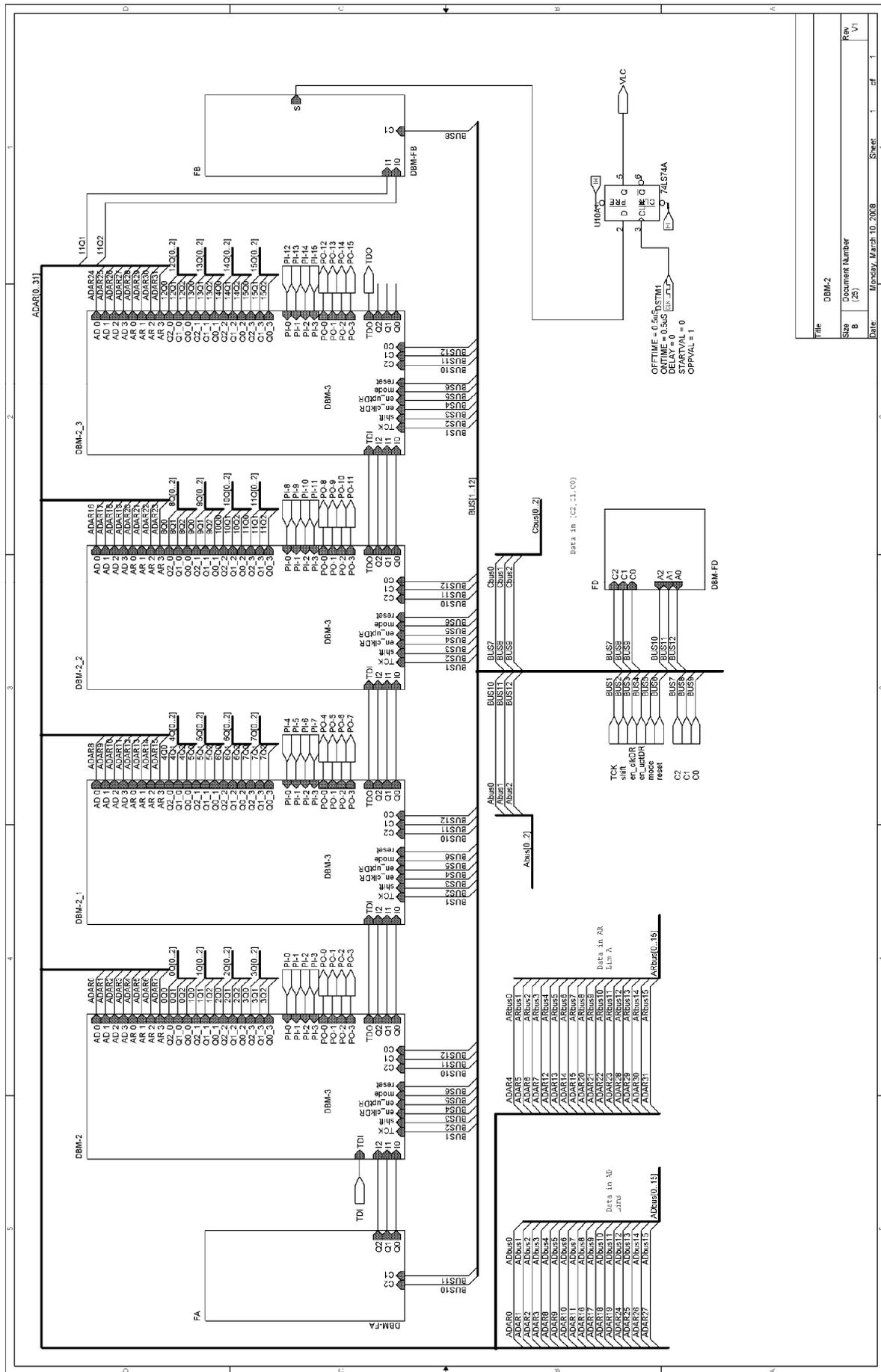
Title		ABMS_CR_4	
Size	A	Document Number	(22)
Rev	V1	Date	Monday, March 10, 2008
Sheet		1	of 1

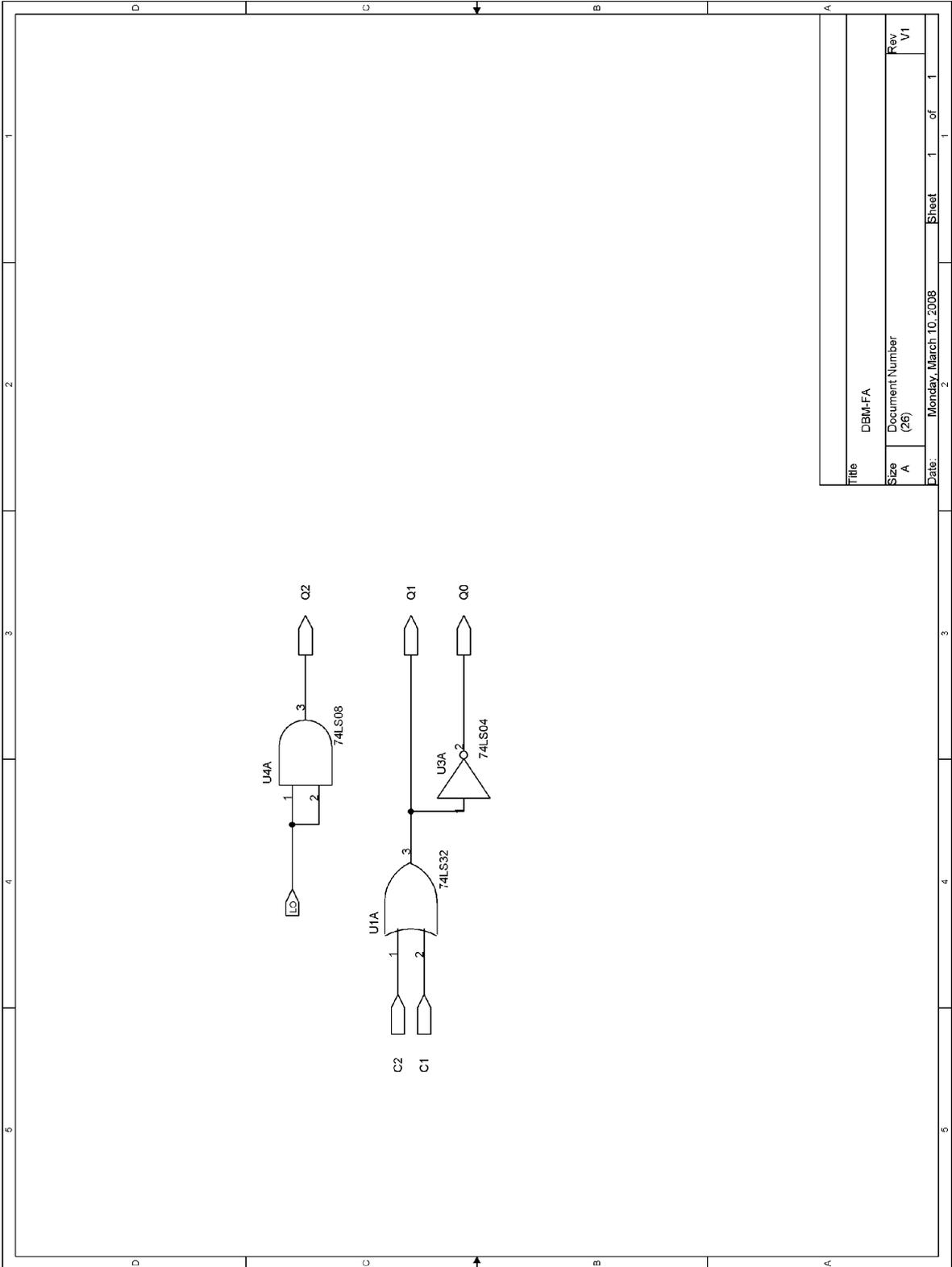


Title		ABM5_M_4	
Size	Document Number		Rev.
A	(25)		V1
Date:	Monday, March 10, 2008	Sheet	1 of 1
	2		1

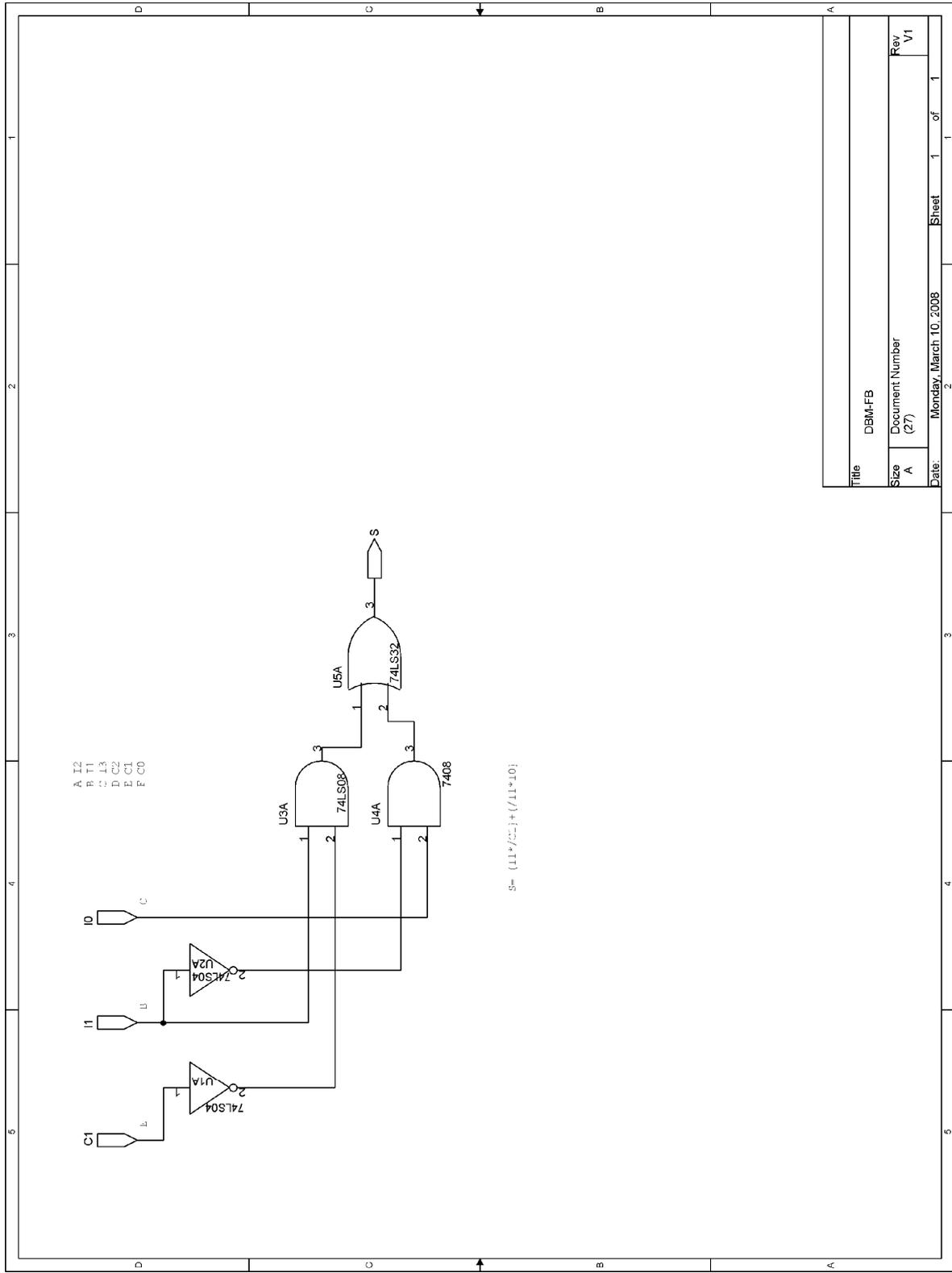


Title		ADC-DBM-F	
Size	A	Document Number	(24)
Rev	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1

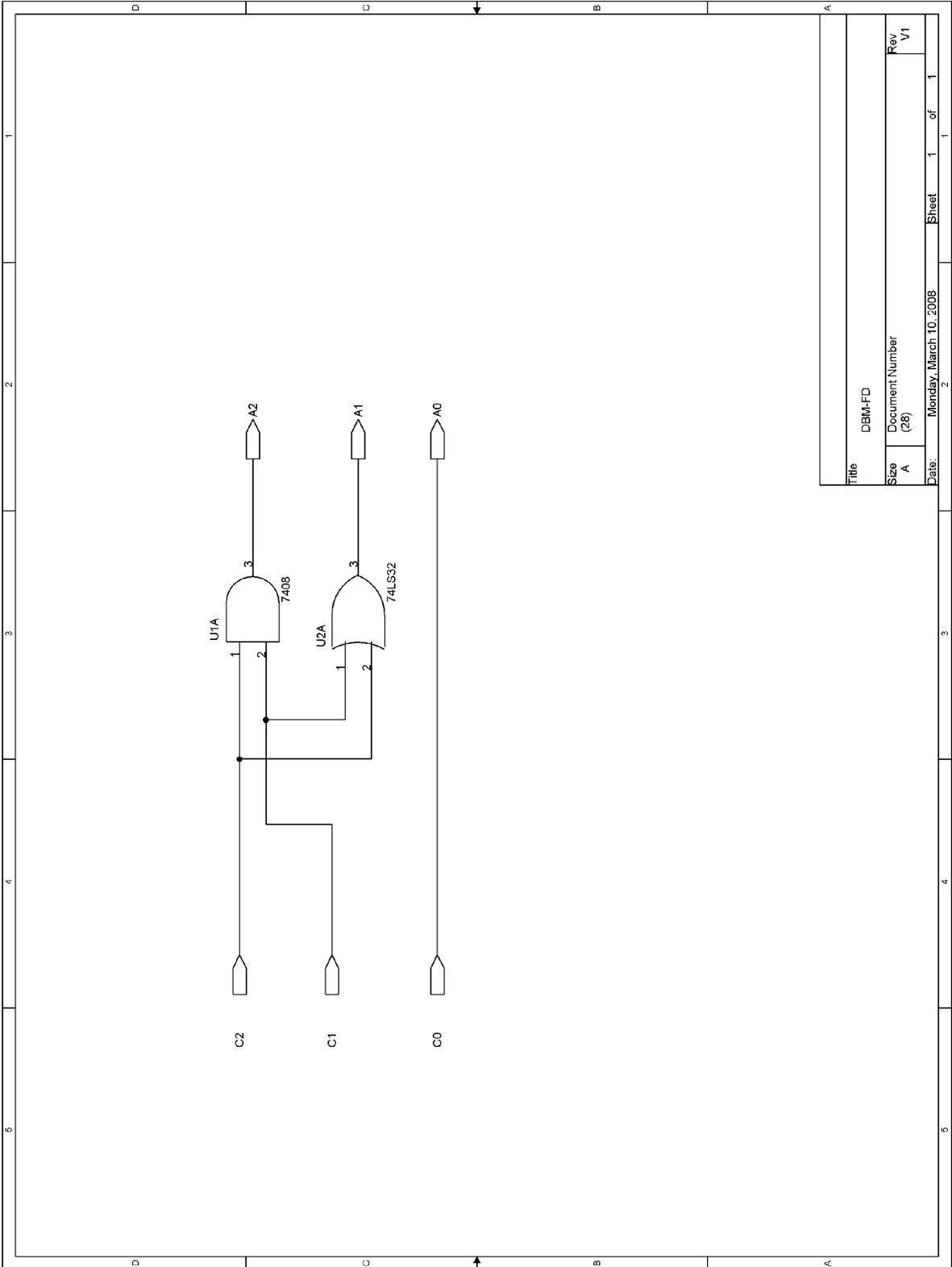




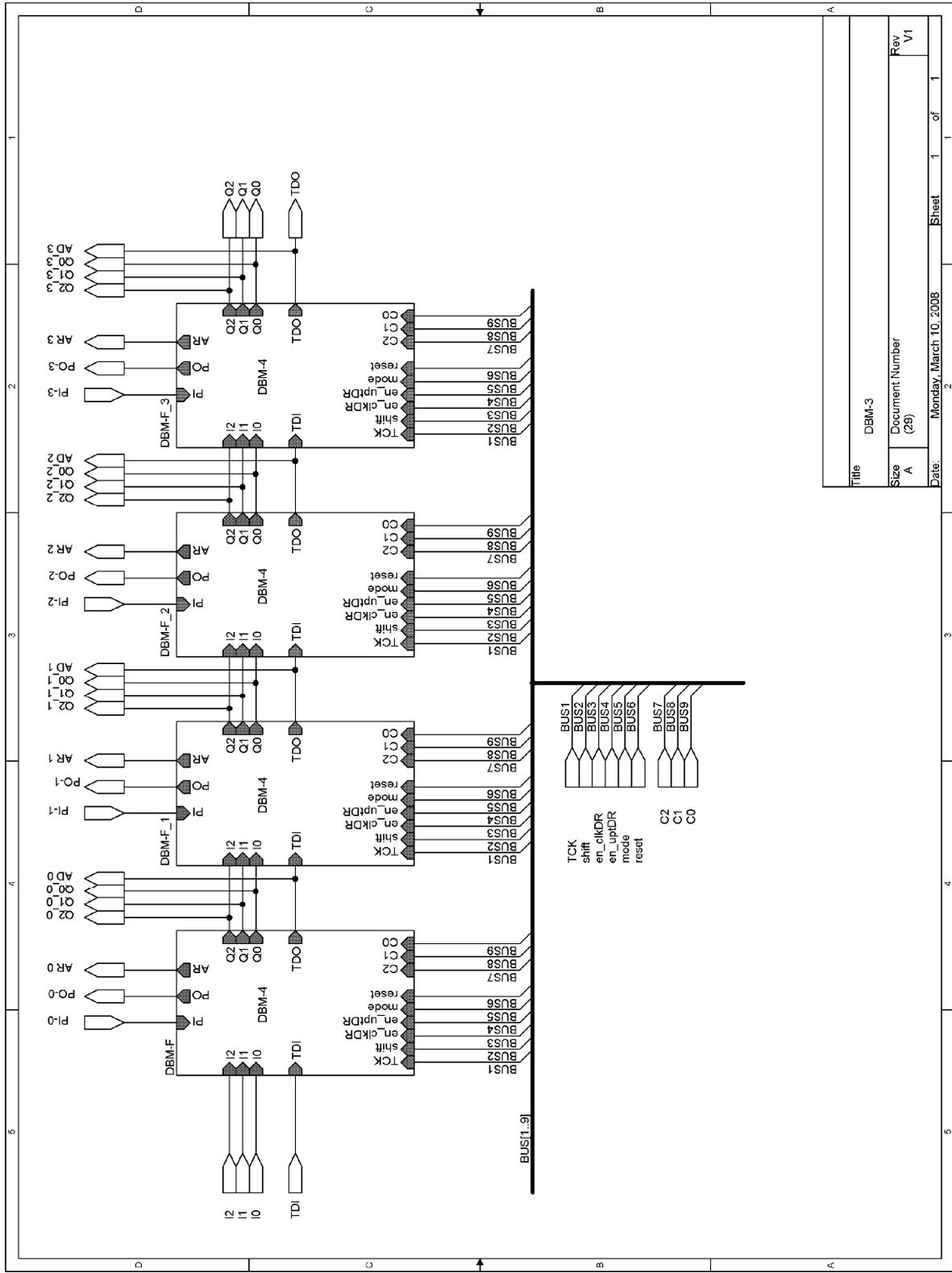
Title		DBM-FA	
Size	A	Document Number	(26)
Rev	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1



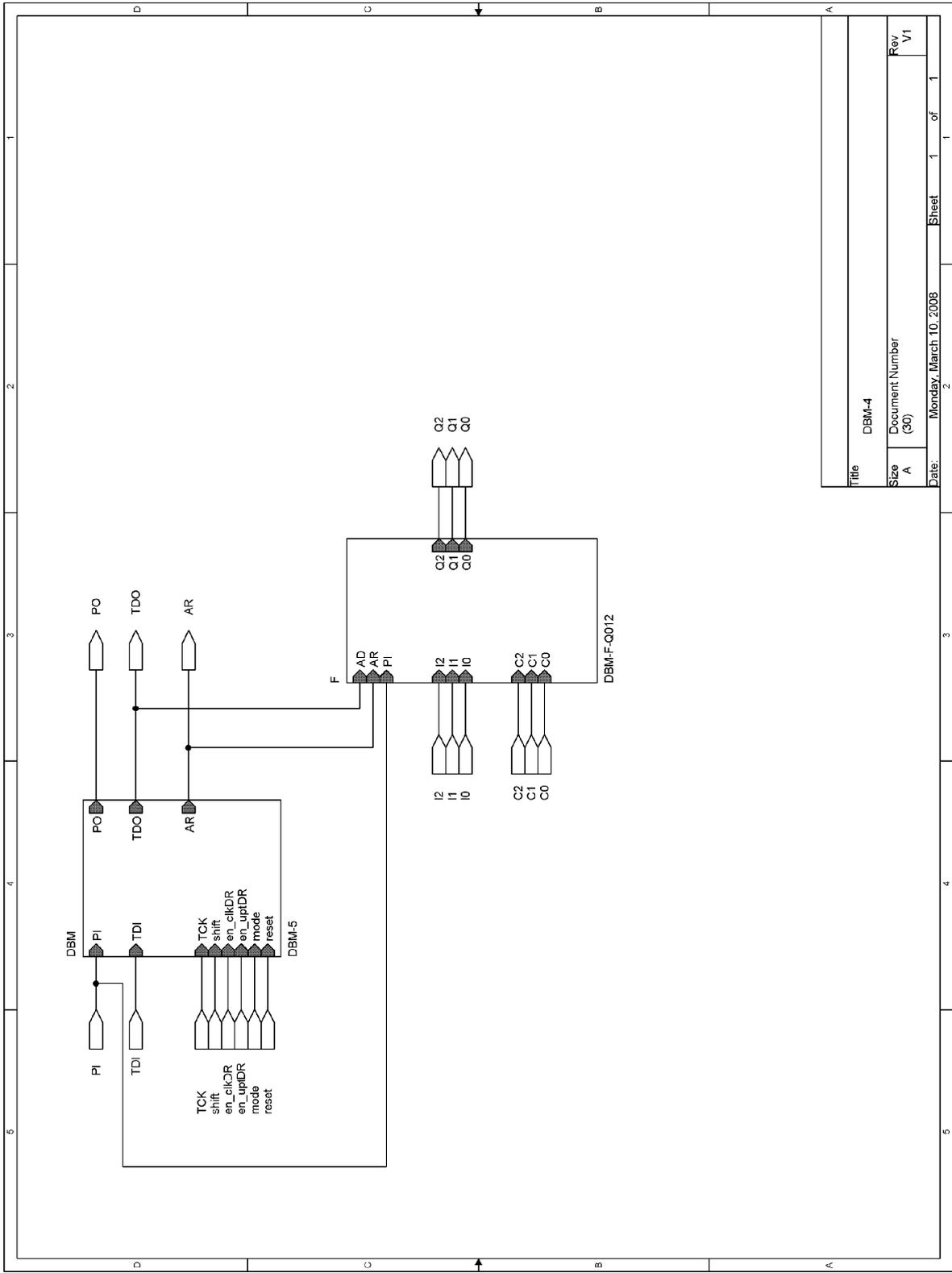
Title		DBM-FB	
Size	A	Document Number	(27)
Rev.	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1



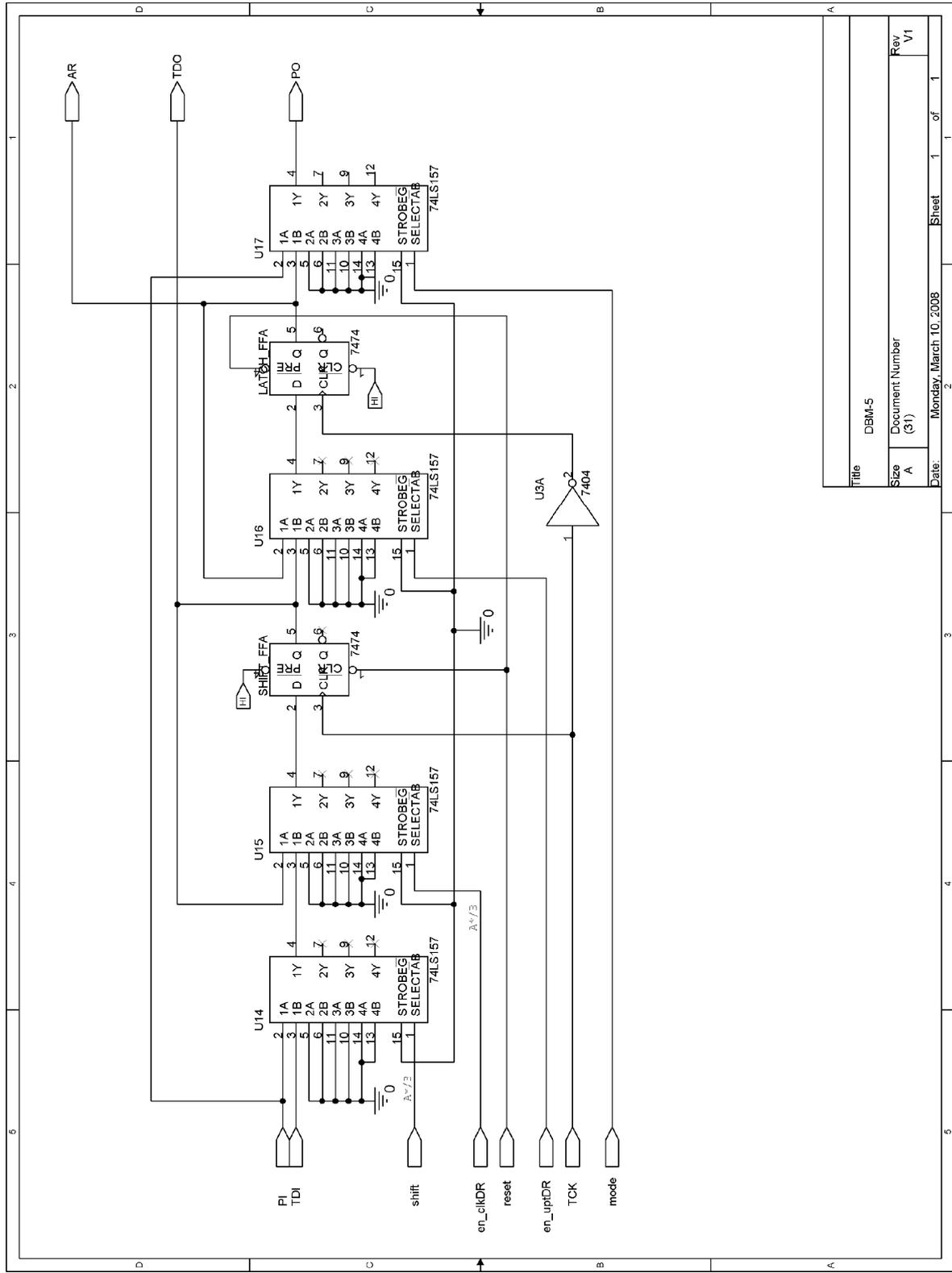
Title		DBM+FD	
Size	A	Document Number	(28)
Rev	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1



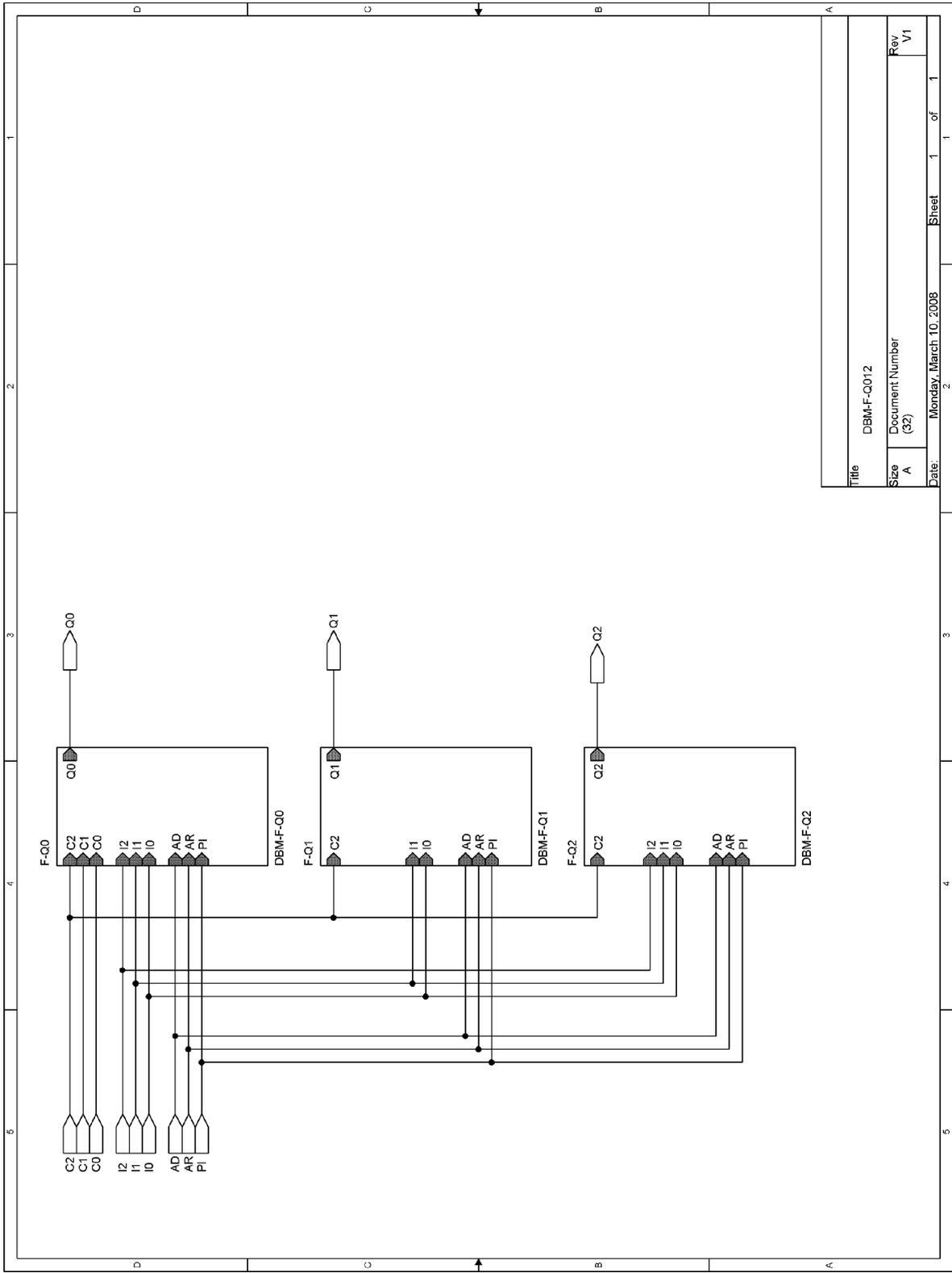
Title		DBM-3
Size	Document Number	Rev. V1
A	(25)	
Date:	Monday, March 10, 2008	Sheet 1 of 1



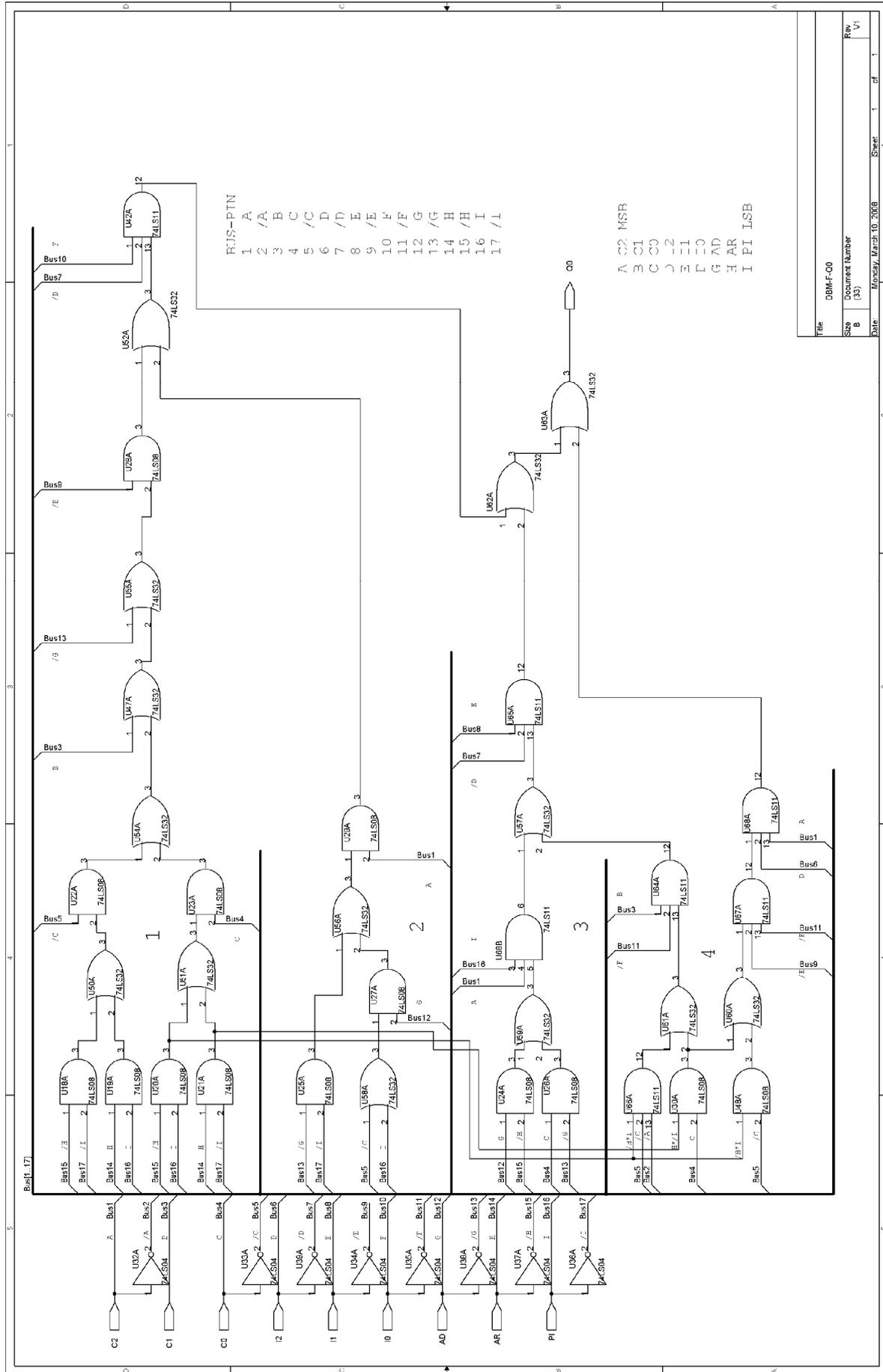
Title		DBM-4	
Size	Document Number	Rev	
A	(30)	V1	
Date:	Monday, March 10, 2008	Sheet	1 of 1



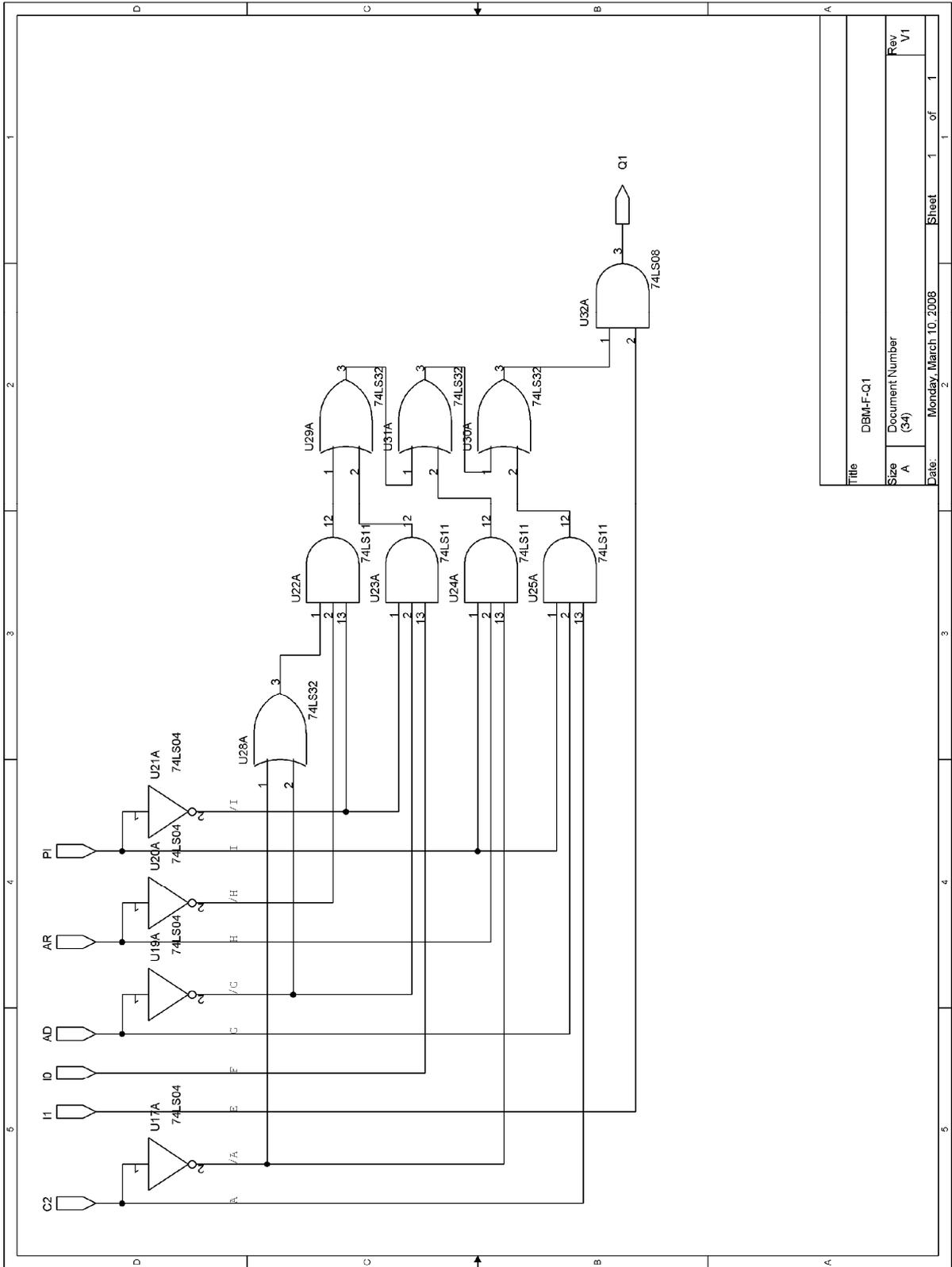
Title	DBM-5
Size	A
Document Number	(31)
Rev.	V1
Date:	Monday, March 10, 2008
Sheet	1 of 1



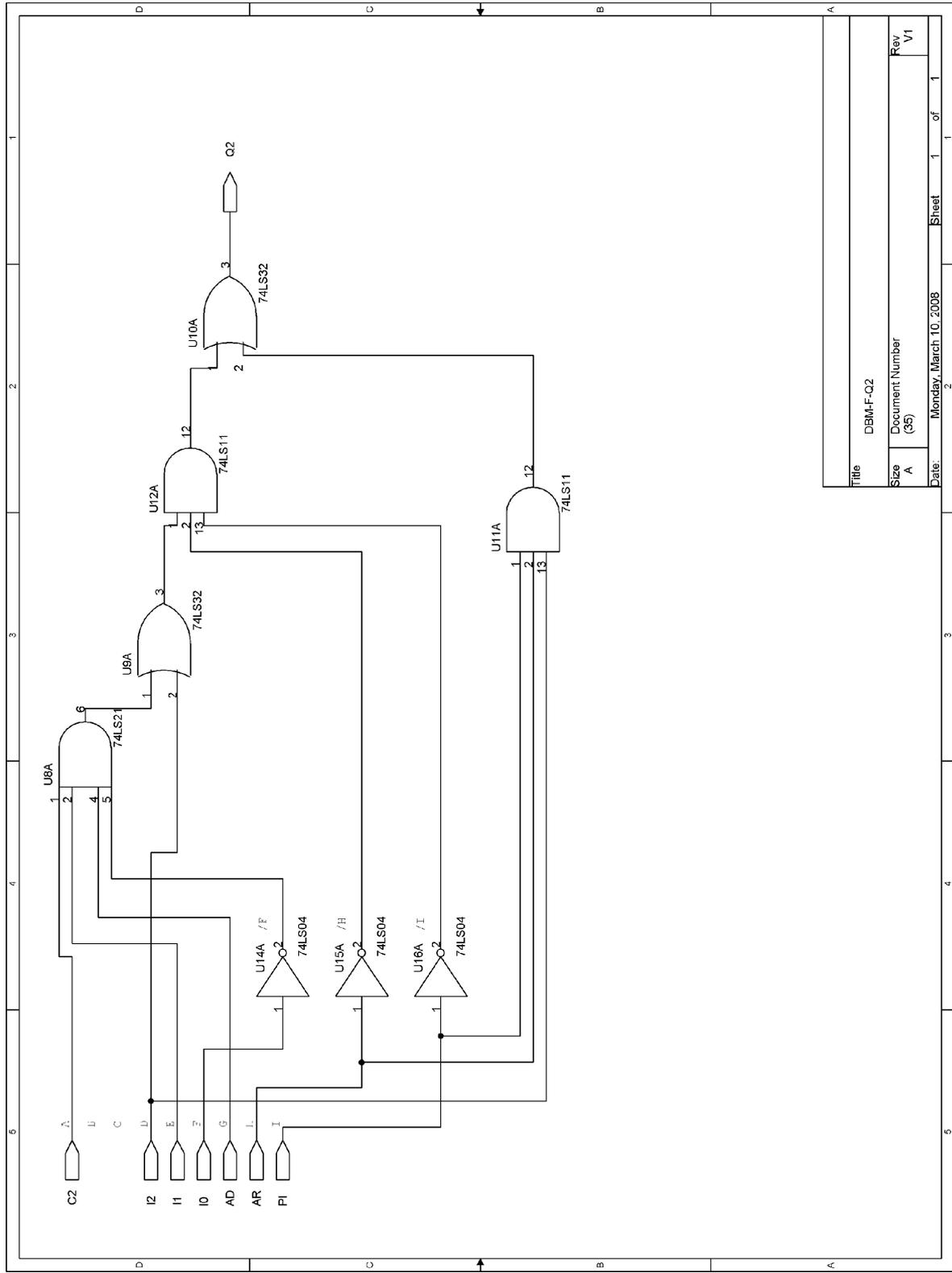
Title		DBM-F-Q012	
Size	A	Document Number	(32)
Rev	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1



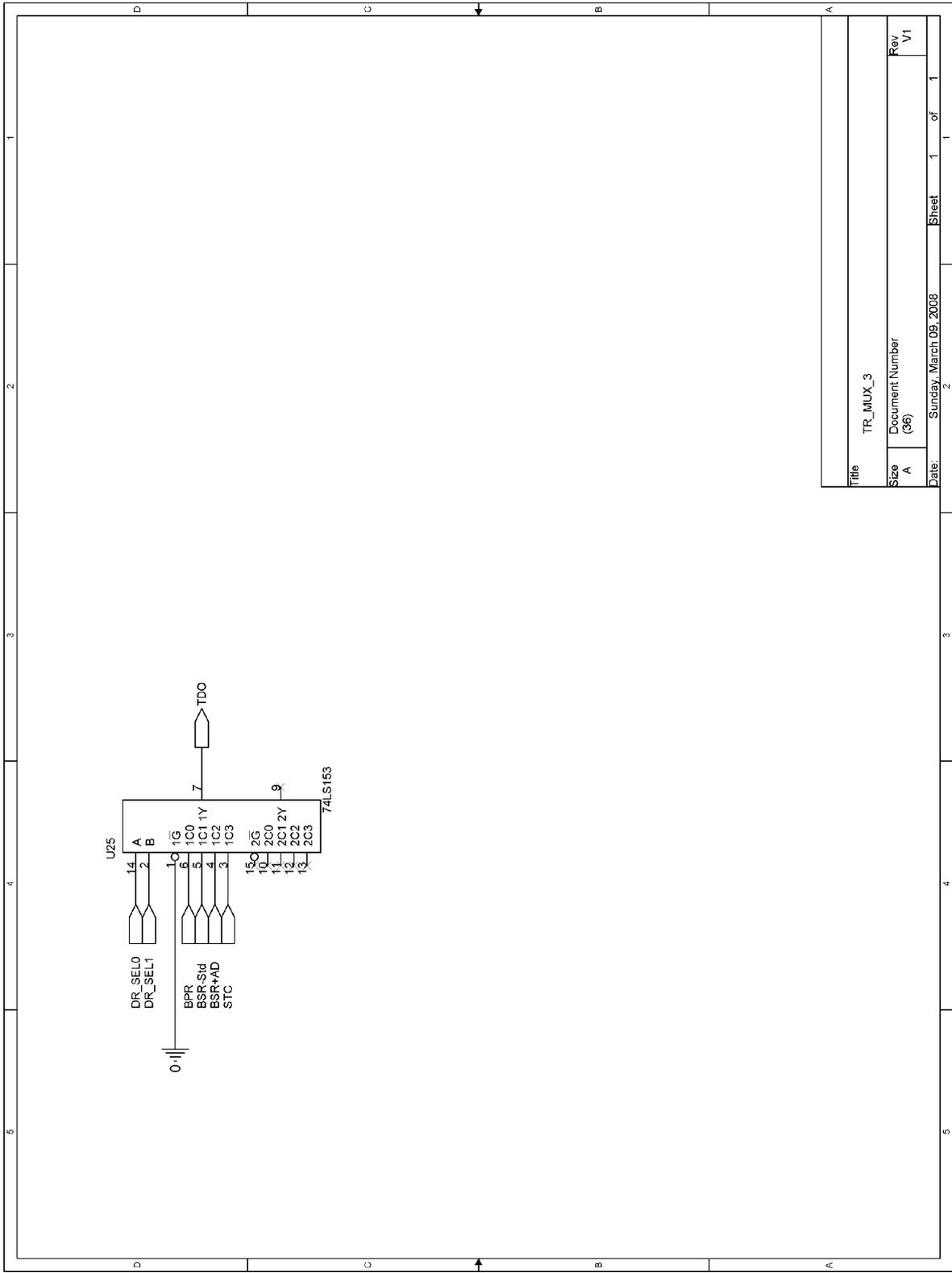
File	DBMF-00
Size	B
Document Number	(3)
Date	Monday, March 10, 2008
Sheet	1 of 1
Rev.	V1



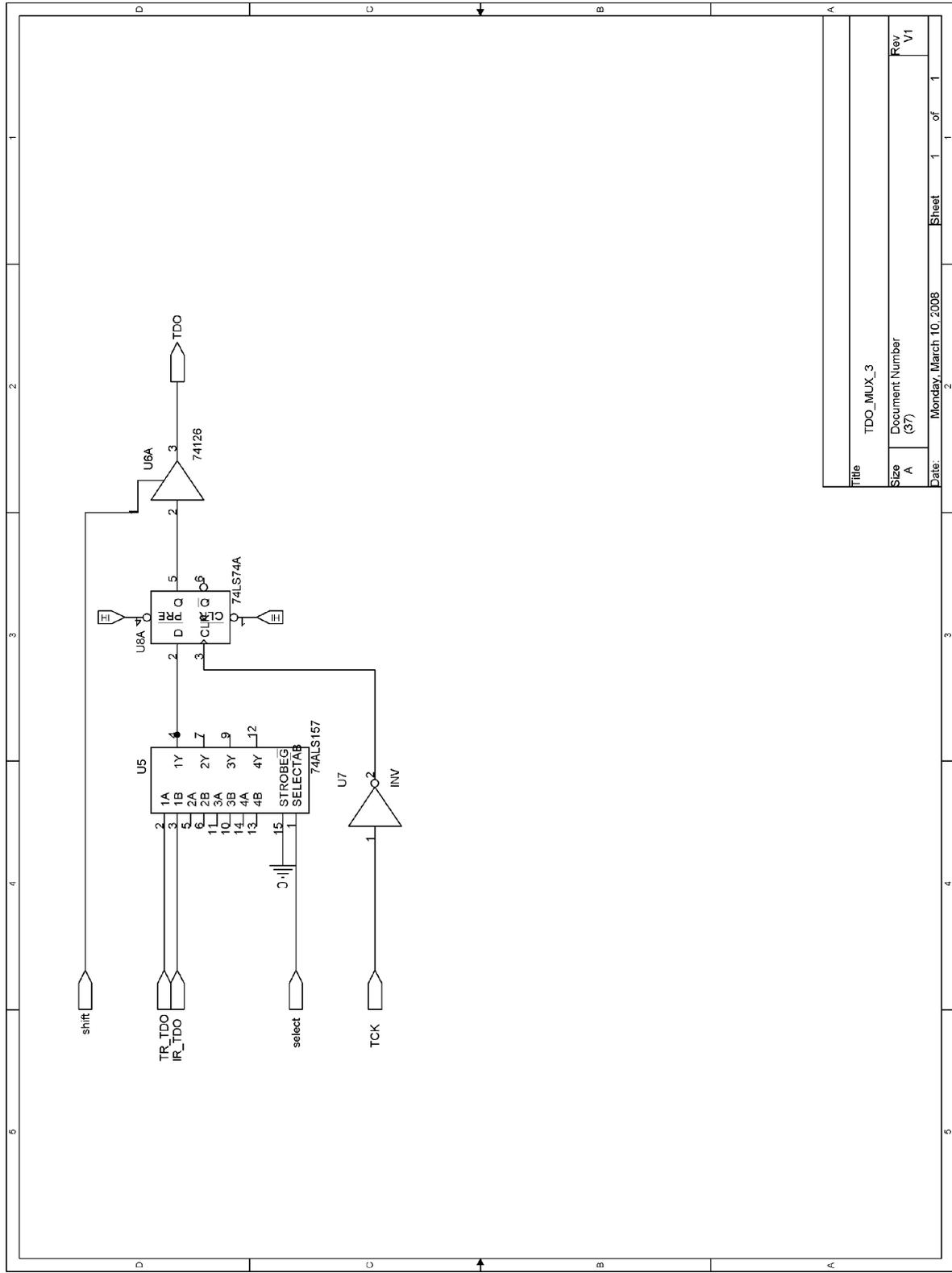
Title		DBM-F-Q1	
Size		Document Number	
A		(34)	
Rev		V1	
Date:	Monday, March 10, 2008	Sheet	1 of 1



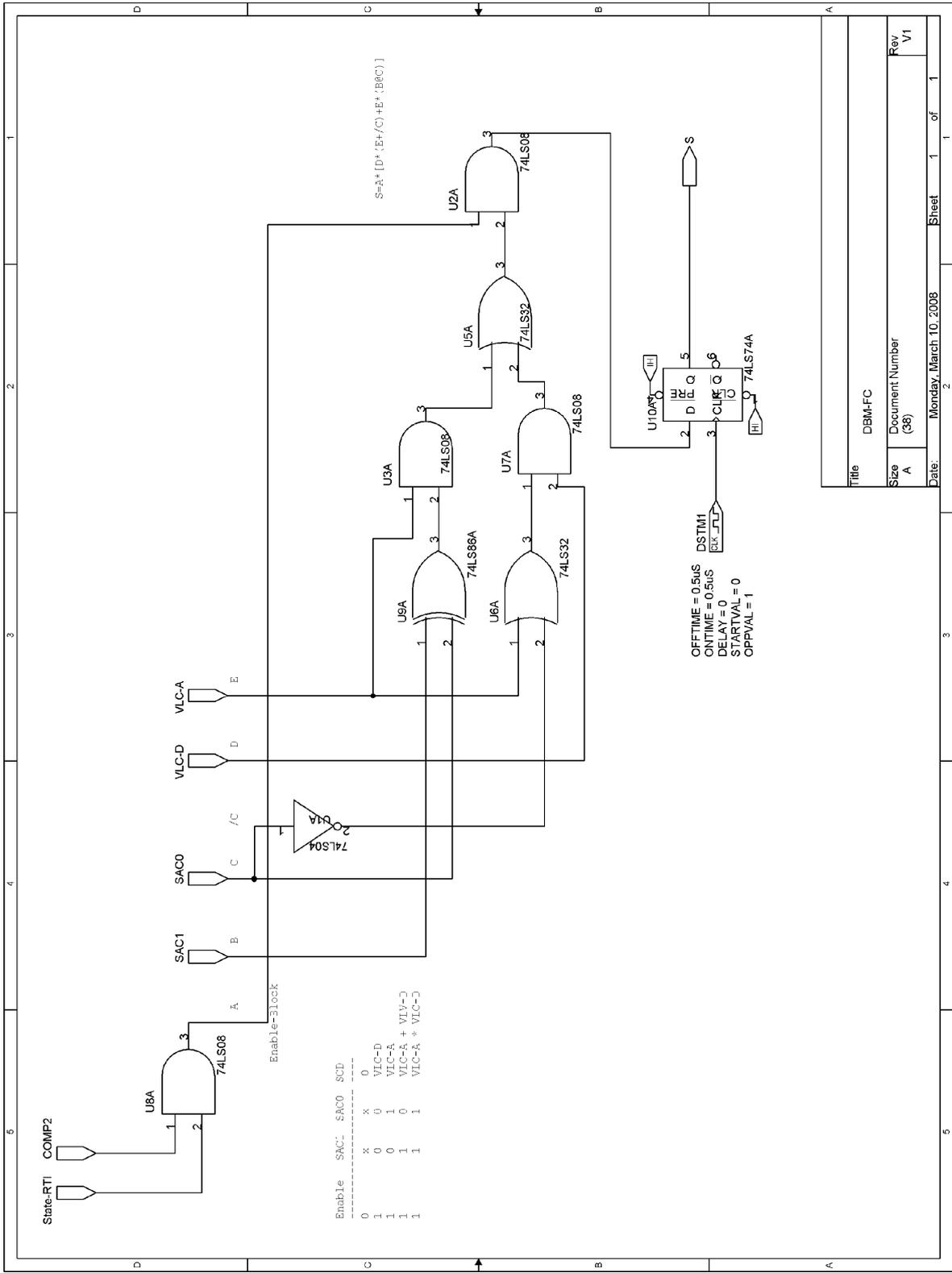
Title	DBM-F-Q2
Size	A
Document Number	(35)
Rev.	V1
Date:	Monday, March 10, 2008
Sheet	1 of 1



Title		TR_MUX_3	
Size	A	Document Number	(36)
Rev	V1	Date:	Sunday, March 09, 2008
		Sheet	1 of 1



Title		TDO_MUX_3	
Size	A	Document Number	(37)
Rev.	V1	Date:	Monday, March 10, 2008
		Sheet	1 of 1



Title		DBM-FC
Size	Document Number	
A	(38)	
Date:	Monday, March 10, 2008	Sheet 1 of 1

