

平成27年度 修士論文

微細 CMOS デバイスの信頼性モデリングの研究

指導教員 小林 春夫 教授

群馬大学大学院理工学府 理工学専攻
電子情報・数理教育プログラム

戸塚 拓也

目次

第 1 章	序章	3
1.1	研究背景.....	3
1.2	研究目的.....	4
1.3	モデリングとは.....	5
第 2 章	デバイス劣化現象	6
2.1	Hot Carrier Injection.....	6
2.2	Bias Temperature Instability	8
第 3 章	MOSFET の信頼性モデリング	10
3.1	MOSFET の基本構造	10
3.2	MOSFET における HCI モデル.....	11
3.3	開発した信頼性モデル	13
3.4	信頼性シミュレーション結果.....	15
3.5	MOSFET 信頼性実験	18
3.6	信頼性実験と開発モデル	20
3.7	考察.....	23
第 4 章	LDMOS の信頼性モデリング	24
4.1	LDMOS の基本構造	24
4.2	HiSIM-HV とは.....	25
4.3	LDMOS の劣化モデル.....	26
4.4	開発した信頼性モデル	28
4.5	信頼性シミュレーション結果.....	30
4.6	LDMOS 信頼性実験	32
4.7	開発した信頼性モデル	34
4.8	考察.....	38
第 5 章	まとめ.....	39
5.1	謝辞.....	39
5.2	参考文献.....	40
5.3	本研究に関する業績.....	41
第 6 章	付録	46
6.1	BSIM4 でのパラメータ抽出に関して	46
6.2	HiSIM-HV でのパラメータ抽出に関して	49

第1章 序章

1.1 研究背景

図1.1に示すように、近年半導体の微細化により素子の集積度が増し、大規模集積回路(LSI)はVLSI(Very LSI)やULSI(Ultra LSI)と呼ばれる言葉も誕生するほど半導体の面積縮小、高速化、省電力化が進んでいる。しかし、集積回路の微細化に伴い回路使用に対して製造ばらつきや経時劣化による故障が考えられる [1]。そこで対応するための設計マージンを取る必要がある。マージンを小さくすることができれば、量産コストが安価になる。そこから開発を重ね、世界の半導体メーカーとの差別化が可能となれば、海外半導体開発との競争を一層激しいものにする事が可能となる。そこで、製造ばらつきや経時劣化のマージンを小さくできるよう研究を進める。

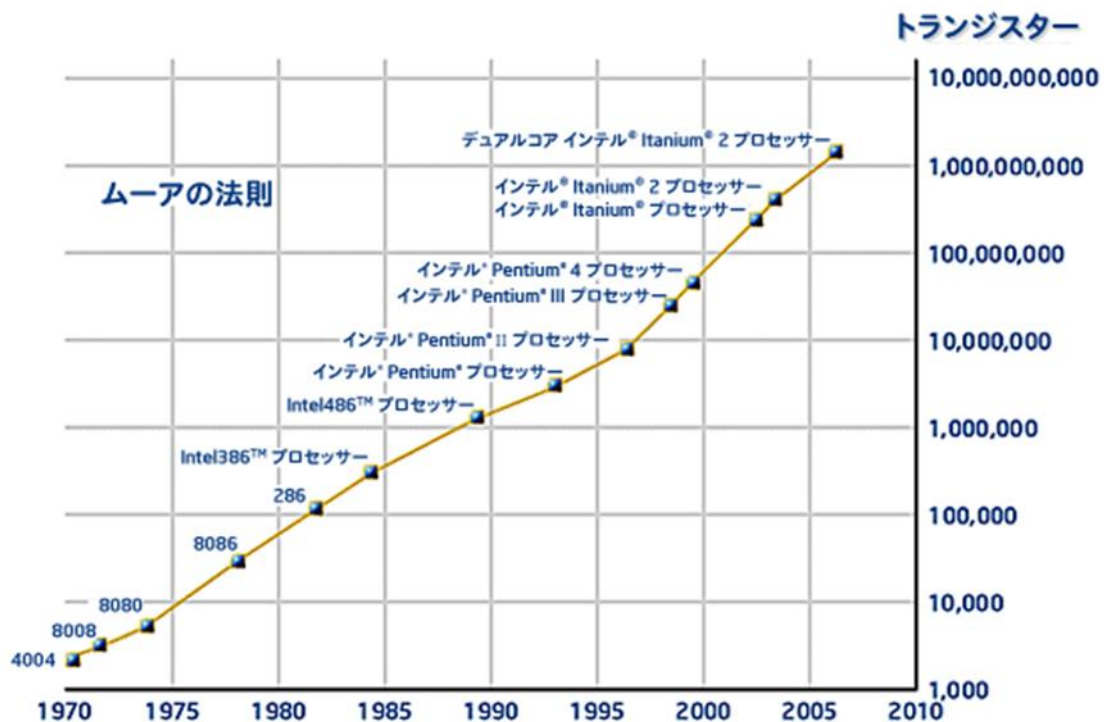


図 1.1 ムーアの法則

1.2 研究目的

本研究では、電界効果トランジスタの一種であり、LSIの中で一般的に使用されている構造である Metal Oxide Semiconductor Field Effect Transistor (MOSFET)と、MOSFETより高電圧、高電流下で使用することを目的とした Laterally Diffused MOS (LDMOS)の経時変化に着目して新しいシミュレーション手法を提案していく。劣化を予測し、シミュレーションを用いて表すことで信頼性を高めることができる。例えば、車載用に使用されている LDMOS は、劣悪な環境で使用される回路コンポーネントである。LDMOS の信頼性モデルを開発することが出来れば設計の段階でより高信頼性の回路を設計することができる。その結果、シミュレーションで故障を確認することで実際に作製する時間が不必要となり、時間の短縮や低コスト化が見込まれる。

劣化を回路シミュレータ SPICE で回路設計者がシミュレーションを行い、劣化前、劣化後の直流電圧・電流特性を事前に予想できるように、デバイスモデルに組み込むことを目的としている。本研究で使用する MOSFET モデルは、BSIM4 モデル[2]を採用した。LDMOS モデルは、HiSIM-HV モデル[3]を採用した。

経時温度劣化には、飽和領域の高ドレイン電流において起こる、Hot Carrier Injection (HCI) や正の電圧ストレスを長時間かけることで発生する Positive Bias Temperature Instability (PBTI) がある。筆者らはここで、より支配的であるとされる HCI に焦点を当て特性解析化を行う。LDMOS、MOSFET において HCI 劣化特性の論文[4]、[5]では、測定や式中に I_{sub} などのバルクに関するパラメータを使用している。バルクに関するパラメータを使用していると、ソースとバルクをショートして使用する場合に、正しく評価することが難しい。我々は、HCI による劣化をバルク電流を使わずに、しきい値を元に劣化特性を表していく。

1.3 モデリングとは

モデリングは、回路設計に大きく関係がある。集積回路設計は、特にアナログ回路設計においては自動電子設計(EDA)ツールを用いて行なう。回路シミュレーションに使用されるソフトウェアツールとして、最も使用されているのが University of California, Berkeley (UCB) で開発された Simulation Program with Integrated Circuit Emphasis (SPICE) である。このソフトウェアツールを改造し、様々な特徴の SPICE がシミュレータメーカーにより販売されている。

しかし、設計した回路のシミュレーション結果が試作回路特性と大きくずれてしまうことや、シミュレーションスピードが遅くなることが起こる。この最大の原因となるのが、能動素子のデバイスモデルの性能である。抵抗やインダクタ、コンデンサなどの受動部品は比較的簡単に値を決定することができるが、バイポーラトランジスタや FET などの能動素子は、非線形素子のため動作を方程式や等価回路により動作を表現する。この方程式や等価回路により表現することを「モデル」と呼ぶ。モデル内には多くの変数を含まれており、デバイスごとに異なるためデバイスに応じた変数を求める必要がある。このため、できるだけ正確であり、シミュレーション時間の短いモデルを使用することが重要となってくる。同時に、モデル内の変数であるモデルパラメータを高精度に求めるパラメータ抽出が不可欠となる。このモデル作成とパラメータ抽出を総称してモデリングと呼ぶ[6]。

つまり、回路シミュレーションを行なう場合、最も重要なことは“基本となる回路構成要素を実際の動作にいかに近づけることができるか“であり、モデリングの精度に比例すると言える。

第2章 デバイス劣化現象

2.1 Hot Carrier Injection

近年の微細加工プロセス技術の発展に伴い、半導体デバイスは高集積化している。その中で、電源電圧はシステム側からの要求や内部信号レベルの低下につながるため、低電圧化されにくい傾向にある。電源電圧を低電圧化せずに微細化させていくことは、デバイスを構成する内部素子の電界強度を増大させることを意味している。MOSFETでは、ドレイン近傍、LDMOSではゲート下における蓄積領域において電界強度が増大し Hot Carrier Injection を起こしやすくなる。

Hot Carrier Injection とは、高電界により加速されエネルギーを持ったキャリアが、ゲート絶縁膜中にトラップしていき、トランジスタの特性が変動していく劣化現象の一つである。キャリアは、Si 基板とゲート酸化膜間に存在する電位障壁を越えようとする大きなエネルギーを有するホットキャリアとなる。このホットキャリアは、ゲート酸化膜中にトラップまたは注入され、空間電荷を形成し、MOSFET のしきい値電圧および伝達コンダクタンスなどの特性を経時的に劣化させる。これらの劣化は、半導体デバイスの諸特性を劣化させる。また、このときに注入されたキャリアでトラップされなかったものはゲート電流となり、基板方向に流れたキャリアは基板電流として観測される。

この劣化現象は様々な劣化現象の中で一番支配的なものである。図 2.1 では、MOSFET でのチャンネル内を通る高電界によってエネルギーをもったキャリアが、トラップしている様子を示した。

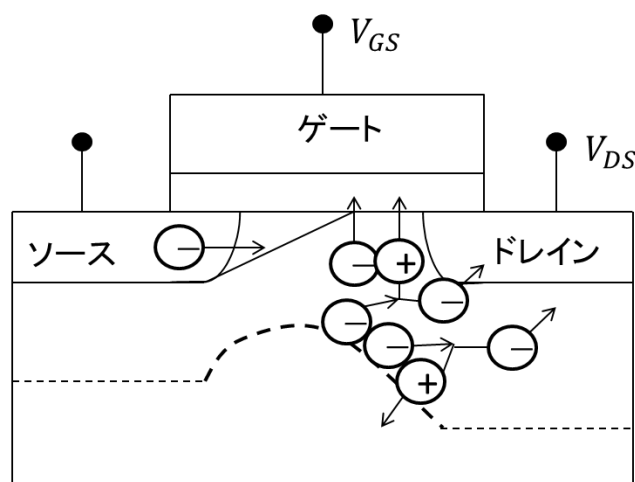


図 2.1 ホットキャリアのトラップの様子

低温条件下にてストレスである電圧の印加を行うと、Si 基板中を流れる電子は、高温条件下に比較し原子の熱的振動が小さくなるため、格子に衝突する確率が減少する。このため電子の平均走行距離が長くなり、より高いエネルギーを持つことになる。したがって、高いエネルギーを持つホットキャリアの数は増加し、キャリアが酸化膜中に注入される確率は大きくなる。さらに、衝突電離も起こりやすくなり、2次的に発生する電子の数も増加する。これら2次的に発生する電子もホットエレクトロンとなるため、酸化膜中に注入され、トラップされるキャリアも増加することになる。以上のように、ホットキャリアの劣化は低温の方が加速され、低温での評価が重要となる。

n-MOSFETのチャンネルに流れる電子が、ドレイン近傍の高電界により加速され電離衝突を起こして電子-正孔対が発生し、そのうちの高エネルギーを持つホットキャリアがゲート絶縁膜中に注入トラップされて起こるトランジスタの特性変動を、ドレイン・アバランシェホットキャリア注入という。

この問題を回避する方法として、回路設計段階ではホットキャリアが発生しにくい動作条件を選択する、また回路に必要な動作マージンを持たせることで信頼性を向上させることができる。デバイスの対策では、ドレイン近傍の電界を緩和してホットキャリアの発生を抑えるデバイス構造のLDD構造を採用するなどの対策を行なう。図2.2にLDD構造を示す。

また、Hot Carrier Injection によってトラップされたキャリアによって、 $1/f$ ノイズが増大していき、より顕著に $1/f$ ノイズを検出できると考えられる。

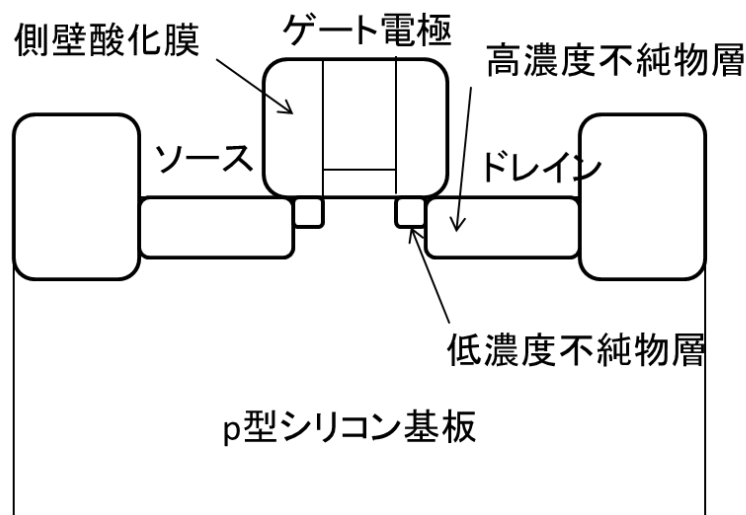


図 2.2 LDD 構造

2.2 Bias Temperature Instability

Bias Temperature Instability とはデバイスに長時間電圧ストレスを与え続けていき、しきい値を上昇させてしまう劣化現象の一つである。

- P-MOSFET で行う場合、負の電圧をかけて劣化させることから Negative Bias Temperature Instability と呼ばれる。
- N-MOSFET の場合、正の電圧をかけて劣化させることから Positive Bias Temperature Instability と呼ばれる。

MOSFET の Bias Temperature Instability は、MOSFET にゲートバイアスを印加しているとトランジスタの特性変動が起こる現象で、トランジスタの劣化メカニズムの一つである。先端 MOS プロセスの MOSFET では、表面チャネル型のトランジスタを採用することで劣化が増大し、ホットキャリアと並ぶトランジスタの信頼性問題となっている。

MOSFET にバイアスを印加すると、Si 表面の正孔が Si-SiO₂ 界面の Si-H 結合にトラップし、Si-H 結合から水素が解離して界面準位を生成する。Si 結合から解離した水素は、ゲート絶縁膜中を拡散して捕獲され固定電荷を生成することでトランジスタ特性の劣化が進行する。ゲート絶縁膜界面に生成した界面準位は、絶縁膜中に生成した固定電荷と共にトランジスタのしきい値電圧の変動やドレイン電流の低下をもたらす。図2.3は、ゲートとシリコン基板の間を表している。水素がトラップしてそこから固定電界を製作していくところを表している。●は正孔、○は電子である。

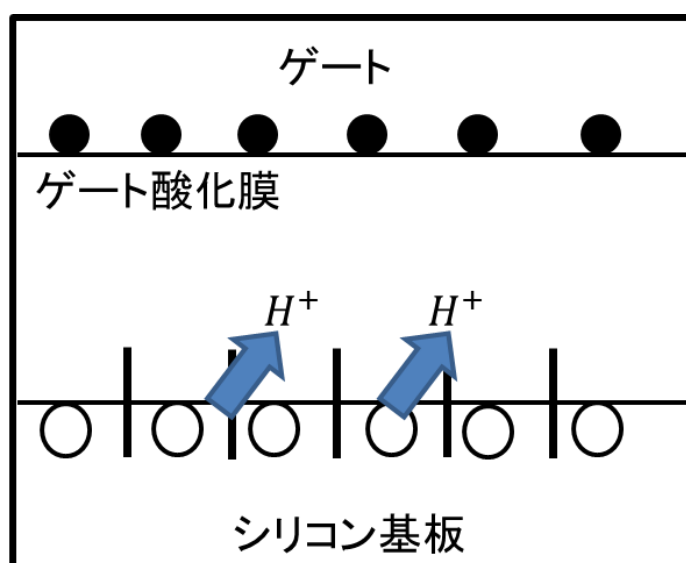


図2.3 酸化膜近辺の様子

Bias Temperature Instabilityは、ゲートにバイアスが印加されているとトランジスタ動作に関係なく劣化が起こるため、動作していない回路でも劣化が進行するという特徴がある。一方で、バイアスストレスが印加されないと変動した特性が急速に回復する現象があり、動作状態では変動量がほとんど動作周波数に依存しないことがわかっている。プロセス条件では、**Bias Temperature Instability**の劣化量とゲート絶縁膜中の不純物濃度やプロファイルに密接な関係があり、特に窒素を多く含むゲート絶縁膜では劣化量が大きくなる。

この問題を回避する方法として、設計ではトランジスタの劣化を考慮して回路動作にマージンを持たせる、またゲート絶縁膜にかかる電界を低下させるなどの対策がある。デバイスでは、界面準位や固定電荷が生成しにくいゲート絶縁膜を形成するなどの対策がある。

第3章 MOSFET の信頼性モデリング

3.1 MOSFET の基本構造

Metal Oxide Semiconductor Field Effect Transistor (MOSFET) とは、電界効果トランジスタの一つで、集積回路の中で最も多く使われている構造である。即ち、ゲート電極が半導体酸化物の絶縁膜を介しているもので作られ、チャンネルの電界により電子または正孔の流れにゲートを設ける原理で、ソース・ドレイン端子間の電流を制御するトランジスタである。キャリアは一種類しか用いない為、ユニポーラトランジスタである。

端子としては、4 つないしは 3 つで表記され、4 つの場合、「ソース」、「ドレイン」、「ゲート」、「バルク」であり、3 つの場合「バルク」が省略された形になる。バルクは n 型チャンネルでは接地、p 型チャンネルの場合は電源電圧とし、固定電位にして使用される例が多い。また、通常の FET は対称型素子であり、ソースとドレインに構造的な違いはないが、通常はキャリアの流れる元がソースであり、流れ入る方がドレインと呼ばれる。

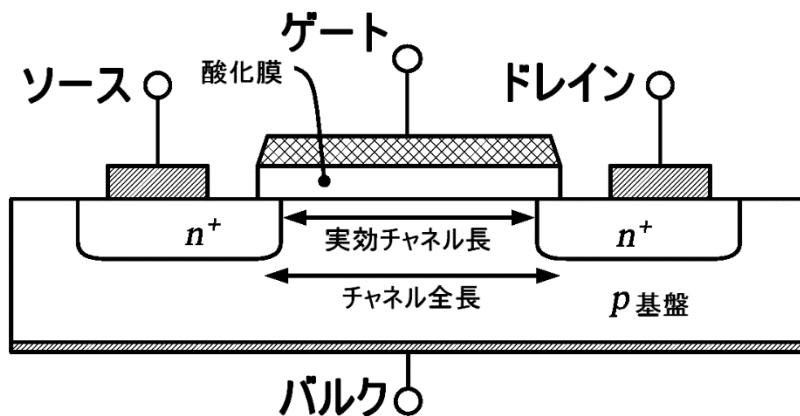


図 3.1 MOS のデバイス構造

n 型 MOS(NMOS) のデバイス構造を図 3.1 示す。チャンネルが酸化膜下で作られ、キャリアがチャンネルを通過して電流が流れる。この制御をゲート電極の電位で制御される。ここでキャリアが正孔である MOS、PMOS とともに、NMOS と PMOS の組み合わせを CMOS(Complementary MOS)と呼ばれる。

3.2 MOSFETにおけるHCIモデル

HCI現象のモデルは、カリフォルニア大学バークレイ校（UCB）のHu教授によって最初に導入された[5]。後に発表されたHCIモデルは、Hu教授と同じ理論に基づいているが、異なる分析方法を考察し、より高度なCMOS技術にモデルを適用することを意図している[7]。Hu教授によって最初に導入されたHCIモデルはInterface Trap Numberを算出しており、キャリアの移動度についても導出を行っている。そこで、今回は本モデル式を利用する。また、HCI現象をSPICE上でシミュレーションするため、DC劣化現象をBSIM4モデルに取り込む必要がある。そこで、文献[7]よりBSIM4で使用できるように改良されたReaction Diffusionモデルを基に、開発されたDC HCIモデルをSPICEに組み込む手法をとる。Reaction Diffusionモデルとは、2004年にKufluogluとAlamによって開発され0.25 μm プロセスのCMOSを考えている[8]。

Reaction Diffusionモデルは、トランジスタのドレイン近傍で発生するホットキャリア効果を修復されることなくモデル化することが出来る。チャンネル/酸化膜界面及びゲートの接合部分付近の水素拡散粒子の生成を方程式で表しており、劣化を単純化することができる。RDモデルでは、 N_{it} すなわち界面トラップ数、チャンネル/酸化膜界面での水素反応式は以下のように表すことが出来る。

$$N_{H(0)}N_{it} \approx \frac{k_F}{k_R} N_0 \quad (3.1)$$

$N_{H(0)}$ は界面における水素濃度の初期値、 N_{it} は界面トラップ数、 k_F は酸化物電界依存フォワード解離速度定数、 k_R はアニーリング速度定数、 N_0 はSi-H結合の初期値を示している。

$$N_{H_x} = k_H N_H^{n_x} \quad (3.2)$$

N_H は体積あたりの水素粒子の濃度、 k_H は反応定数、 n_x は水素粒子あたりの水素原子数を示している。界面トラップの数も破線のSi-H結合の数を積算することにより算出することができる。水素粒子は、ゲート酸化膜にそれらが作成されドレインから拡散する。したがって、H原子は界面トラップ数の平均数として計算で以下のように表せる。

Reaction Diffusionモデルは回路シミュレータ用コンパクトモデルとしては、そのままでは使用できない。本研究ではこのReaction Diffusionモデルを元に、回路シミュレータ

用に作成されたDC HCIモデル[7]をBSIM4に組みこみ、信頼性モデルを開発していく。

$$N_{it} = \frac{\pi W}{2A_{tot}} n_x \int_0^{\sqrt{D_{Hx}t}} \left(N_{Hx(0)} \left[r - \frac{r^2}{\sqrt{D_{Hx}t}} \right] \right) dr = N_{Hx(0)} \frac{\pi n_x}{12L} D_{Hx}t \quad (3.3)$$

D_{Hx} は N_H の密度、 A_{tot} ゲート下の総面積、 L はMOSFETの長さ、 W は幅を示している。
(3.1)式、(3.2)式、(3.3)式を組み合わせると(3.4)式のようになる。

$$N_{it} = \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (3.4)$$

容量特性から界面トラップによる電荷の電圧依存特性は、しきい値電圧近傍のSub-threshold特性カーブのずれとして表され、(3.5)式のようになる。

$$\Delta V_{th_{DEGRADATION}} = C_{HCI} \left(\frac{k_F N_0}{k_R} \right)^{\frac{n_x}{1+n_x}} \left(\frac{n_x \pi k_H}{12L} D_H \right)^{\frac{1}{1+n_x}} * t^{\frac{1}{1+n_x}} \quad (3.5)$$

D_H は水素原子の密度、 t は時間、 C_{HCI} は技術依存なパラメータである。この技術依存のパラメータというのは、製造時のばらつきを考慮しているものである。

3.3 開発した信頼性モデル

DC HCIモデルにおけるHCI効果による劣化は、(3.5)式のしきい値の変化である。 $\Delta V_{th_DEGRADATION}$ によって表されている。ここから、どのように組みこんでいくのかを説明する。HCI効果は主に、二つの劣化を引き起こしている。一つは目にしきい値の劣化、二つ目に移動度の劣化である。はじめに、しきい値劣化の組みこみについて論じる。

BSIM4にはしきい値の式が存在し、(3.6)式の通りである[2]。

$$\begin{aligned}
 V_{th} = & V_{TH0} + \Delta V_{th, bodyeffect} - \Delta V_{th, cargesharing} - \Delta V_{th, DIBL} \\
 & + \Delta V_{th, reverse_short_cannel} + \Delta V_{th, narrowwidth} \\
 & + \Delta V_{th, smallsize} - \Delta V_{th, pocket_implant}
 \end{aligned} \tag{3.6}$$

(3.6)式にDC HCIモデルで示された、界面トラップによる電荷の電圧依存特性であるSub-threshold特性カーブのずれを加えることで直接しきい値を可変できるようにした。開発したしきい値劣化におけるモデル式は、(3.7)式のようになる。

$$\begin{aligned}
 V_{th} = & V_{TH0} + \Delta V_{th, bodyeffect} - \Delta V_{th, cargesharing} - \Delta V_{th, DIBL} \\
 & + \Delta V_{th, reverse_short_cannel} + \Delta V_{th, narrowwidth} + \Delta V_{th, smallsize} \\
 & - \Delta V_{th, pocket_implant} + \Delta V_{th_DEGRADATION}
 \end{aligned} \tag{3.7}$$

しきい値の式のパラメータである V_{TH0} を直接使用することで、しきい値のHCIによる劣化は表現することができ、モデルパラメータを抽出・最適化すればしきい値の劣化が直接シミュレートできる。

次にHCI効果はキャリア数変動するため、移動度劣化の組みこむ必要がある。(3.5)式のしきい値電圧のずれを移動度モデルの式に代入できれば、移動度劣化現象もモデル化できる。BSIM4モデルの移動度モデル式[2]は、以下のように3種類が搭載されており、MOBMODというパラメータで切り替えて使用可能である。

MOBMOD=1

$$\mu_{eff} = \frac{U0 * f(L_{eff})}{1 + (UA + UC * V_{bseff}) \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right) + UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2} \quad (3.8)$$

MOBMOD=2

$$\mu_{eff} = \frac{U0}{1 + (UA + UC * V_{bseff}) \left[\frac{V_{gsteff} + C_0(\overline{VTH0} - V_{FB} - \phi_s)}{TOXE} \right]^{EU}} \quad (3.9)$$

MOBMOD=3

$$\mu_{eff} = \frac{U0 * f(L_{eff})}{1 + UD \left(\frac{V_{th} * TOXE}{V_{gsteff} + 2V_{th}} \right)^2 + (1 + UC * V_{bseff}) \left[UA \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right) + UB \left(\frac{V_{gsteff} + 2V_{th}}{TOXE} \right)^2 \right]} \quad (3.10)$$

(3.8)式、(3.10)式の $f(L_{eff})$ は、(3.11)式で表す。

$$f(L_{eff}) = 1 - UP * \exp\left(-\frac{L_{eff}}{LP}\right) \quad (3.11)$$

$U0$ はキャリア移動度、 UA は移動度劣化の一次係数、 UB 移動度劣化の二次係数、 UC は移動度劣化の基板効果係数、 UD はクーロン散乱移動度劣化係数、 UP は移動度チャンネル長係数、 LP は移動度チャンネル長指数、 $TOXE$ は電気ゲート酸化膜厚、 $VTH0$ はドレイン電圧がゼロにおけるしきい値電圧、 V_{th} はしきい値電圧、 V_{FB} はフラットバンド電圧、 V_{gsteff} は $V_{gs} - V_{th}$ の実効値、 L_{eff} は実効チャンネル長、 V_{bseff} は実効基板・ソース電圧、 ϕ_s は表面電位、 C_0 は定数でn型MOSのとき2.0、p型MOSのとき2.5である。この3つの移動度モデルの中で、しきい値のパラメータである $VTH0$ が直接使用されているのは(3.9)式のみである。よってMOBMOD=2を選択して、モデルパラメータを抽出・最適化すれば移動度の劣化が直接シミュレートできる。

以上のように、 $VTH0$ を直接使用しDC HCIモデルをBSIM4に組みこむことでHCIによるしきい値と移動度の劣化をシミュレートできるモデルを開発した。

3.4 信頼性シミュレーション結果

BSIM4モデルのDCのモデルパラメータを抽出・最適化して、その劣化をSPICEによりシミュレートする。

本シミュレーションでは、チャンネル長依存の劣化DC特性をシミュートしていく。はじめに、作成したTEGである90 nmプロセスを用いたnチャンネルMOSFETでフレッシュな状態の測定を行った。信頼性シミュレーションに使用したデバイスの大きさは、チャンネル幅10.0 μm 、チャンネル長10.0 μm デバイスとチャンネル幅10.0 μm 、チャンネル長0.3 μm デバイスである。チャンネル幅10.0 μm 、チャンネル長10.0 μm デバイスをLarge、チャンネル幅10.0 μm 、チャンネル長0.3 μm デバイスをShortとして示す。測定条件は以下の通りである。I_{DS}-V_{GS}測定は、V_{GS}=0 V~1.2 V、60 mVステップかつV_{BS}=0V~-1 V、-250 mVステップである。I_{DS}-V_{DS}測定は、V_{GS}=0.5 V~1 V、125 mVステップかつV_{DS}=0 V~1.2 V、30 mVステップである。温度は室温である。

[8]の文献で記述されている(3.5)式に65 nmのデバイスの実験によるパラメータ値を入力して、室温300 Kでのしきい値電圧劣化を1,000秒後について求めた。このしきい値電圧をBSIM4のV_{TH0}に加えることで、1,000秒後の劣化後シミュレーションを行った。使用した測定データに比べて、[8]の実験データはより微細なプロセスを用いているため、誤差が発生している可能性がある。id.mは測定値、id.sはパラメータ抽出を行ったシミュレーション結果、id.s degはid.sをシミュレーション上で劣化させた結果を示している。

図3.2ではLargeでのI_{DS}-V_{GS}特性、図3.3ではShortでのI_{DS}-V_{GS}特性を示している。図3.4ではLargeでのI_{DS}-V_{DS}特性、図3.5ではShortでのI_{DS}-V_{DS}特性を示している。図3.2、図3.3を比べると、LargeとShortでは電流量としきい値に短チャンネル効果が現れている。図3.4、図3.5を比べてみても同様に短チャンネル効果により電流量が変化している。劣化後のシミュレーションは、測定前のシミュレーションと比べてズレが生じている。V_{th}のパラメータのみを劣化させているのだが、図3.2、図3.3のI_{DS}-V_{GS}特性ではしきい値だけでなく、傾きも変化していることが見て取れる。これは、主に移動度のモデル式にもV_{TH0}のパラメータが用いられているからであり、移動度の劣化が起きていることを示す。図3.4、図3.5のI_{DS}-V_{DS}特性では、電流量の減少がある。これは、HCIがドレイン端の高電界によってチャンネル内の電子がホットエレクトロンとなり、ゲート酸化膜への注入、基板でのイオン化が起これドレインチャンネルに到達する電子が減少するという理論[6]に一致している。

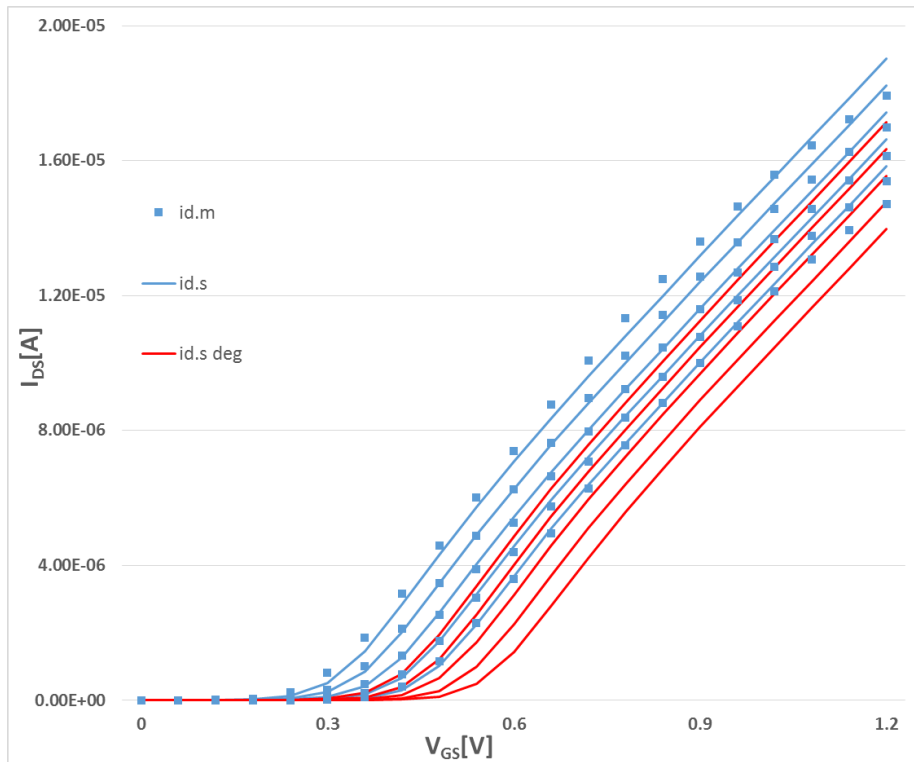


図 3.2 Large での劣化前, 劣化後の I_{ds} - V_{gs} 特性

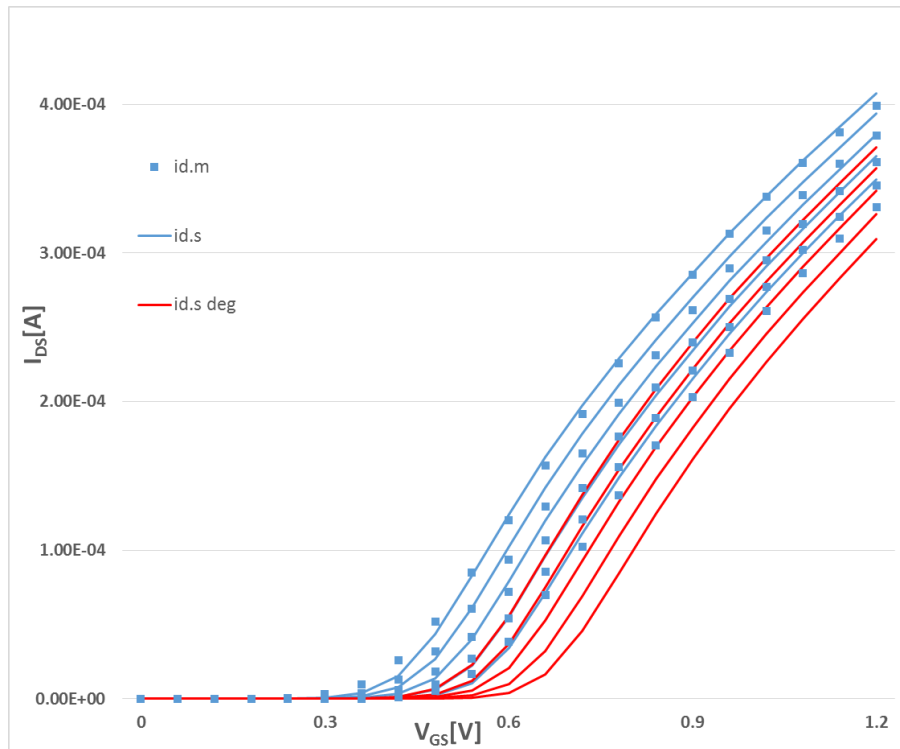


図 3.3 Short での劣化前, 劣化後の I_{ds} - V_{gs} 特性

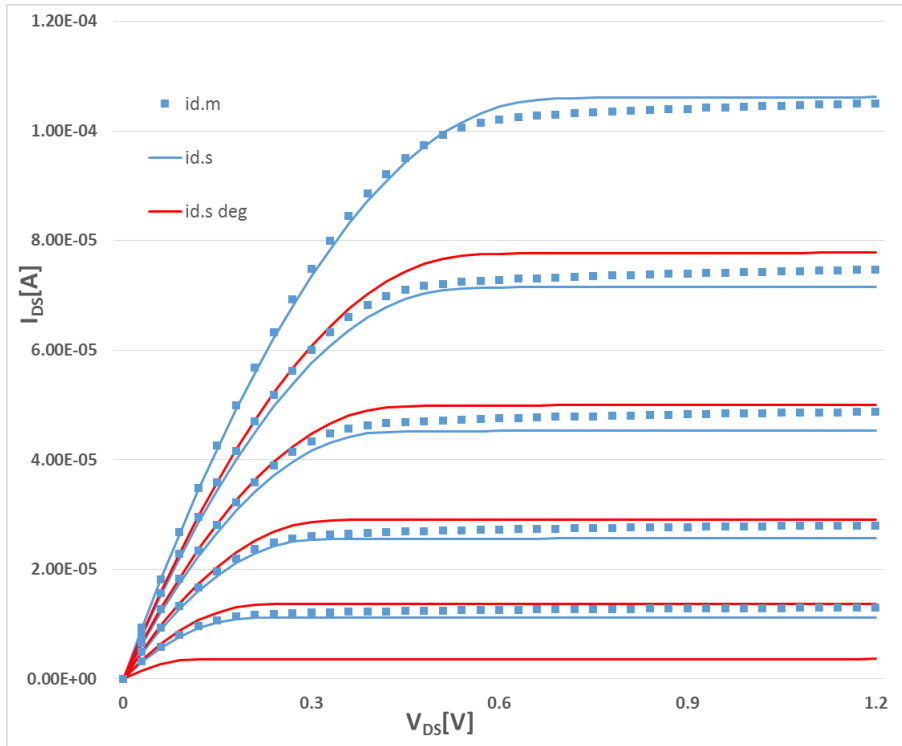


図 3.4 Large での劣化前, 劣化後の I_{DS} - V_{DS} 特性

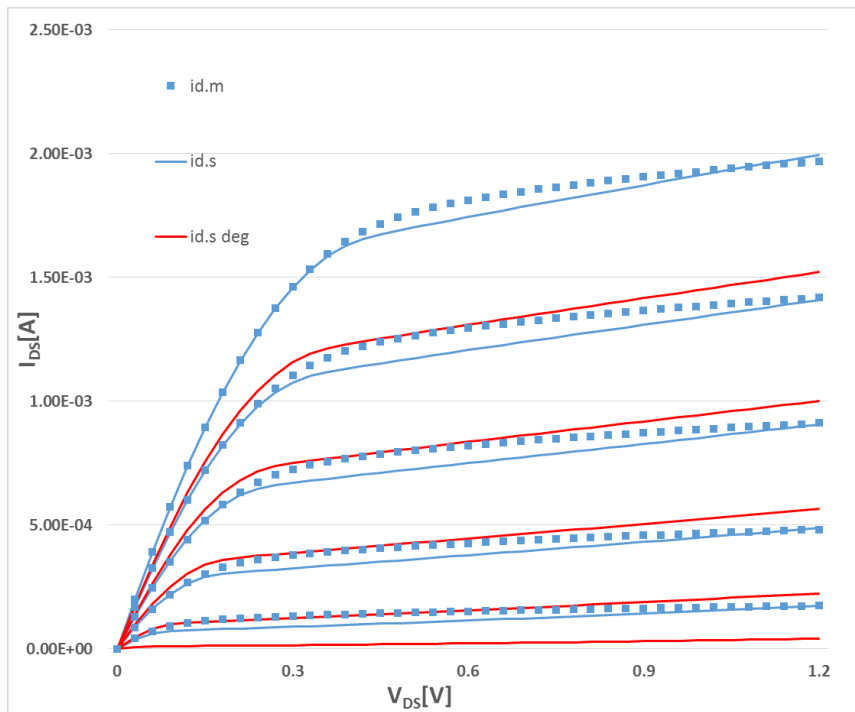


図 3.5 Short での劣化前, 劣化後の I_{DS} - V_{DS} 特性

3.5 MOSFET 信頼性実験

前章において、シミュレーション上で劣化を表現出来た。次に、信頼性実験を行い、実際に使用できるかを確認する。作成したTEGである90 nmプロセスを用いたnチャンネルMOSFETの実際の劣化を測定した。本章では、実験結果について言及する。

本実験では、先ほどのLargeとShortを含め数種類の大きさのデバイスの信頼性測定を行った。今回は、劣化が一番大きいものを結果として載せている。デバイスの大きさはチャンネル長が0.2 μm 、チャンネル幅が5 μm である。測定条件は、 $I_{\text{DS}}-V_{\text{GS}}$ 測定は、 $V_{\text{GS}}=0\text{ V}\sim 1.2\text{ V}$ 、30 mVステップかつ $V_{\text{BS}}=0\text{ V}\sim -1\text{ V}$ 、-200 mVステップである。 $I_{\text{DS}}-V_{\text{DS}}$ 測定は、 $V_{\text{GS}}=0.5\text{ V}\sim 1\text{ V}$ 、125 mVステップかつ $V_{\text{DS}}=0\text{ V}\sim 1.2\text{ V}$ 、30 mVステップである。温度は、353 Kである。id.mは前述したように測定値、id.m degは劣化後の測定値を示している。ストレスバイアスは $V_{\text{GS}}=1.0\text{ V}$ 、 $V_{\text{DS}}=1.2\text{ V}$ で劣化時間は10 msごと測定を行い、70 msまで測定を行った。図3.6は、 $I_{\text{DS}}-V_{\text{GS}}$ 特性の劣化前後の測定値である。図3.7は $I_{\text{DS}}-V_{\text{DS}}$ 特性の劣化前後の測定値である。劣化量が少なく、重なっている箇所が多いが数値で見ると平均して $I_{\text{DS}}-V_{\text{GS}}$ 特性は、0.74 μA 、 $I_{\text{DS}}-V_{\text{DS}}$ 特性は1.23 μA 劣化している。

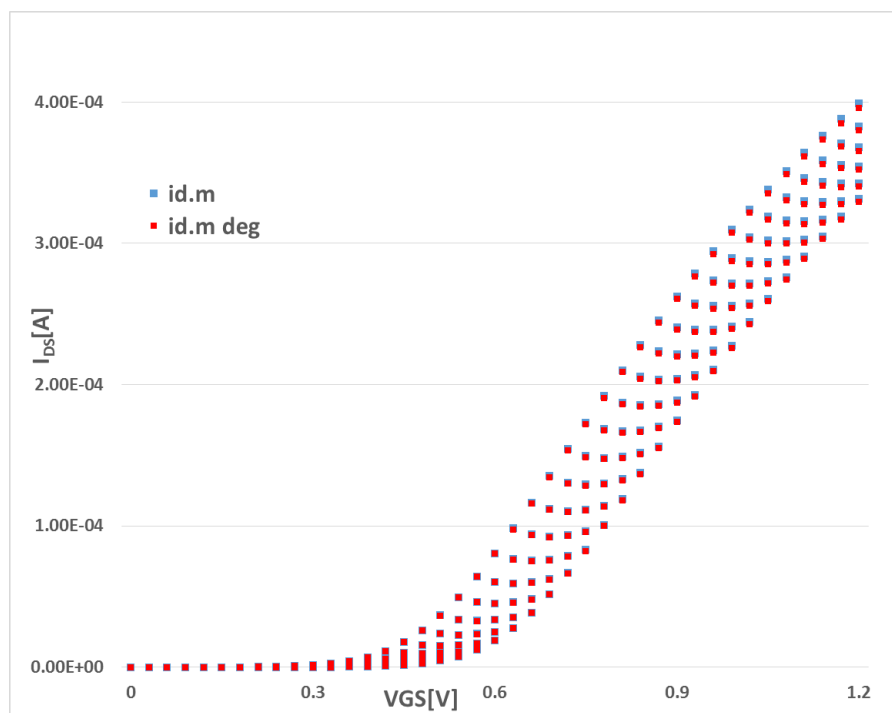


図 3.6 $I_{\text{DS}}-V_{\text{GS}}$ 特性での MOSFET 信頼性測定結果

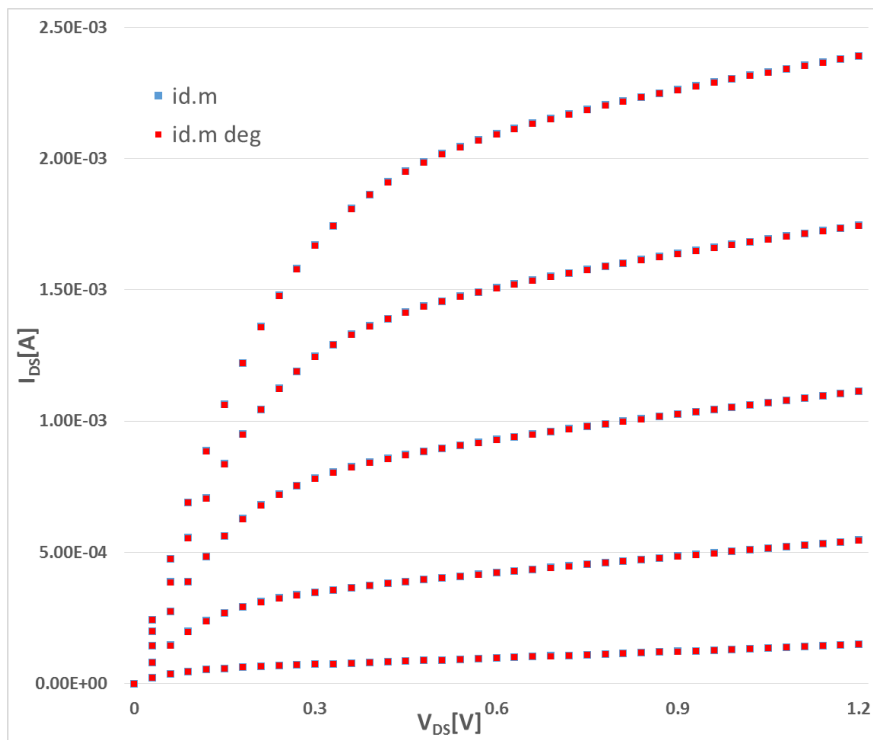


図 3.7 I_{DS}-V_{DS} 特性での MOSFET 信頼性測定結果

3.6 信頼性実験と開発モデル

先ほどの信頼性実験の結果にシミュレーションを加え、今回開発した信頼性モデルについて評価する。劣化前後の測定値とシミュレーションを示した図 3.8、図 3.10 を確認する。図 3.9 と図 3.11 は劣化が見づらいため図 3.8、図 3.10 の拡大したものとなっている。図 3.8、図 3.9 は I_{DS} - V_{GS} 特性であり、図 3.10、図 3.11 は I_{DS} - V_{DS} 特性である。変化が小さく見ても分かりづらいため、パラメータ抽出結果の精度を示す RMS（二乗平均平方根）で開発モデルを評価した。id.m、id.m deg、id.s、id.s deg は前述した通りである。

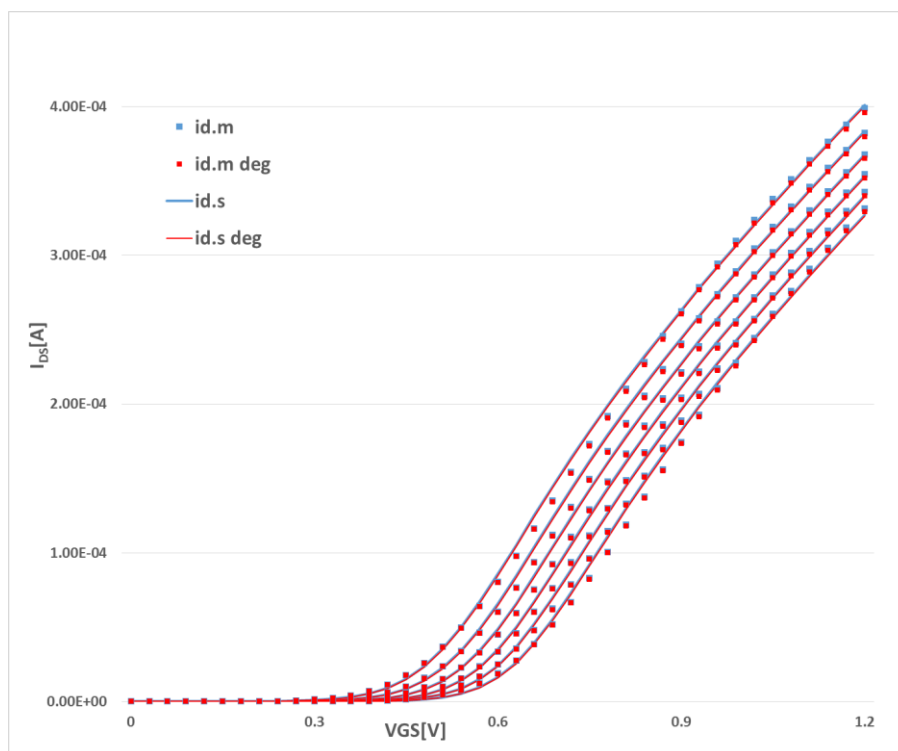


図 3.8 I_{DS} - V_{GS} 特性での劣化測定及びシミュレーション

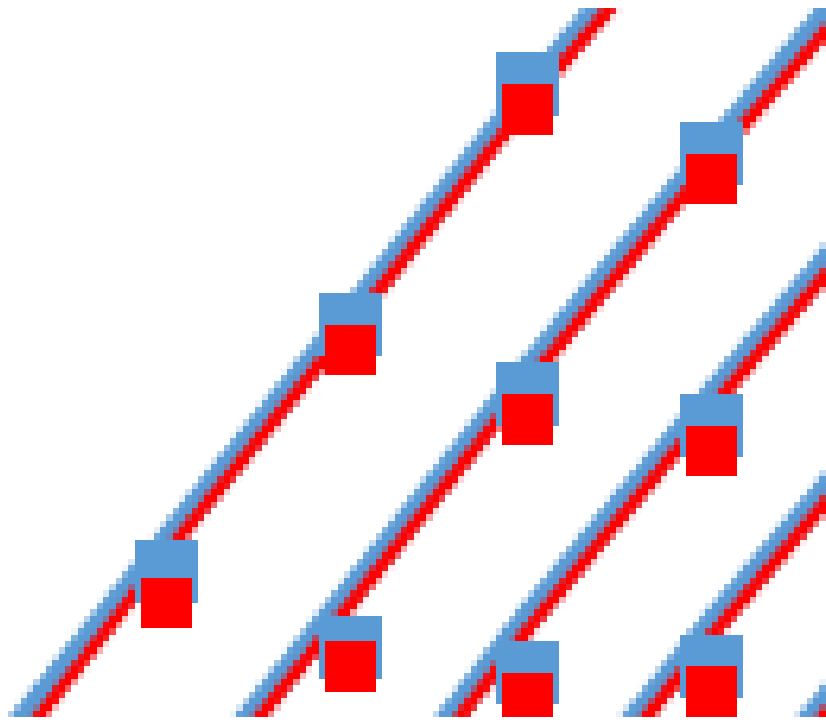


図 3.9 I_{DS} - V_{GS} 特性拡大図

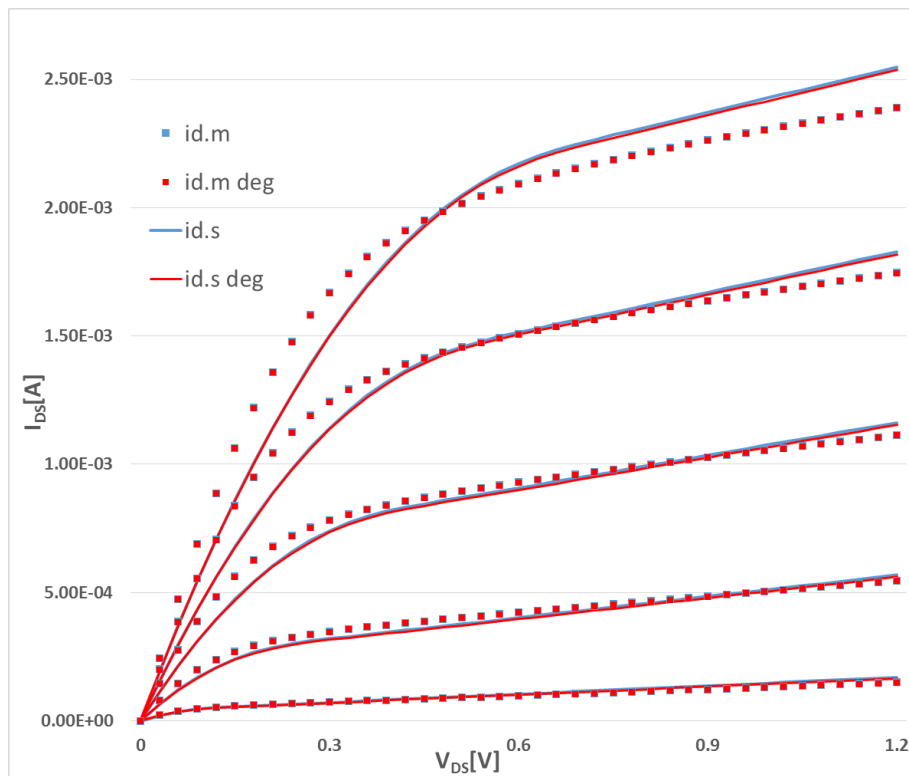


図 3.10 I_{DS} - V_{DS} 特性での劣化測定及びシミュレーション

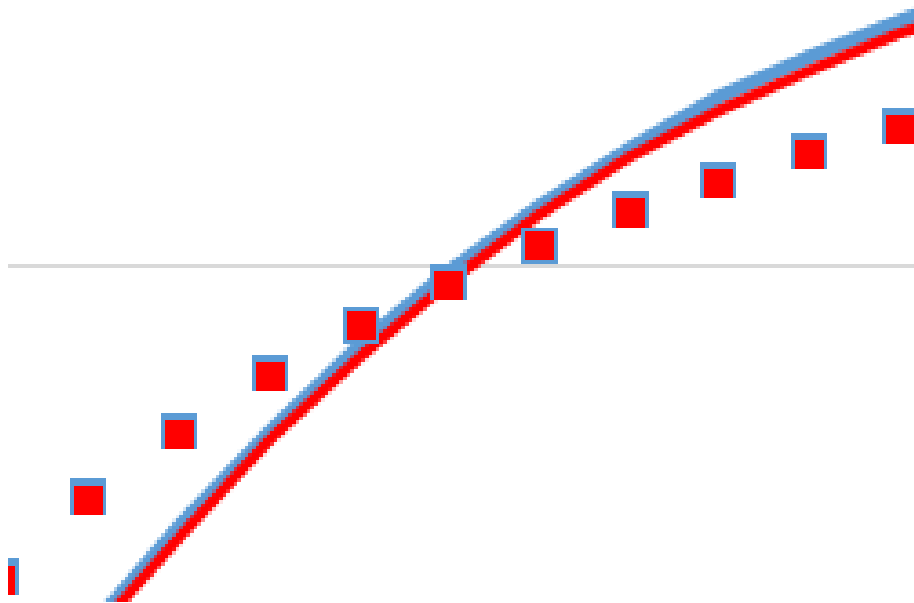


図 3.11 I_{DS} - V_{DS} 特性の拡大図

評価方法を説明する。はじめに、劣化前の測定値にパラメータ抽出を行い RMS の確認を行なう。次に、抽出結果を変更させずに劣化後の RMS を確認する。劣化していたのならば、測定値とのズレが大きくなり RMS が大きくなる。その後、劣化前のシミュレーションからパラメータ V_{TH0} のみを用いて劣化後のシミュレーションを再抽出し、RMS を確認する。測定した結果が V_{TH0} を動かす以前の RMS より小さければ劣化後の測定値に近づいたと言え、劣化を再現できたと言える。

評価結果を記載する。劣化前の RMS は I_{DS} - V_{GS} 特性が 2.87 %、 I_{DS} - V_{GS} 特性パラメータが 5.86 % である。パラメータを変化させない場合の劣化後の RMS は I_{DS} - V_{GS} 特性が 3.09 %、 I_{DS} - V_{GS} 特性が 5.90 % であり、劣化による変化を確認できた。劣化後の測定値に V_{TH0} のみを用いて抽出し、242.7 mV から 244.3 mV へ最適化させた。結果、 I_{DS} - V_{GS} 特性が 3.09 % から 2.83 % へ減少、 I_{DS} - V_{GS} 特性が 5.90 % から 5.76 % へ減少した。両特性ともに、劣化後のシミュレーションが劣化後の測定値に近づいたことが確認できた。

この結果、 V_{TH0} を劣化パラメータとして用いてシミュレーションすることで、劣化を表現できると言える。

3.7 考察

nチャネルMOSFETのHCI現象を回路シミュレータSPICEを用い、劣化前、劣化後の直流電圧・電流特性を事前に予想するための手法を開発した。nチャネルMOSFETのデバイスモデルにはBSIM4モデルを採用した。TEGを設計し、モデルパラメータの抽出を行った。DC特性のモデルパラメータをHCI劣化式で計算することで劣化をシミュレーションした。TEGを用いて、信頼性測定を行い開発したモデルを評価した。

今回の研究でHCIによる劣化をモデル化し、有用性を示した。今後は、シミュレータに組みこみ使用可能なモデルかを検証する必要がある。検証を行いシミュレーションで劣化を表現可能であれば、劣化を確認するシミュレータとして実用化することができる。

第4章 LDMOS の信頼性モデリング

4.1 LDMOS の基本構造

Laterally Diffused MOS (LDMOS)は、車載用やアンプといった様々な用途で使用されている。その中で、高耐圧であり高温、高電圧、高電流下で使用できる LDMOS は注目されている。LDMOS とは、ドレイン領域を横方向に拡張することによりドレインとゲート間の電界強度を緩和する構造をした MOS トランジスタであり、オン抵抗が低いことが特徴である。しかし、高電圧、高電流化で長時間使用するとオン抵抗の増加し、低電流下で使用している MOSFET より経時・温度劣化が顕著に見ることが出来る。これらの劣化を予測し、シミュレーションを用いて表すことで信頼性を高めることができる[9]。

図 4.1 に、LDMOS の基本構造を示す。LDMOS の最も重要な特徴は、高耐圧を実現するために導入されたドリフト領域にある。LDMOS におけるキャリアはソースから供給され、チャンネル領域の反転層を通じて拡散した後、ドリフト領域からドリフトによってドレインへ到達する。このときドレイン・ソース間に印加される電圧の大部分はドリフト領域で電圧降下する。

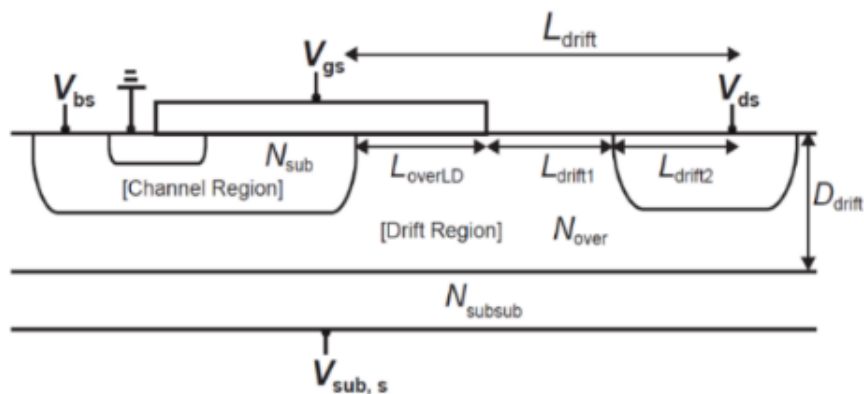


図 4.1 LDMOS の構造 [3]

4.2 HiSIM-HV とは

HiSIM-HV は、広島大学と半導体理工学研究センター（STARC）によって開発された LDMOS のシミュレーション用コンパクトモデルであり、米国 Compact Model Coalition（CMC）推奨モデルである。

図 4.2 に、HiSIM-HV モデルにおける LDMOS モデルのコンセプトを示す。図 4.2 のように HiSIM-HV モデルでは LDMOS のドリフト領域を抵抗としてモデル化されている。HiSIM-HV モデルにおけるドリフト領域の抵抗 R_{drift} は(4.1)~(4.3)式のように定義されている[3]。ここで、ボールドフォントで示した変数はモデルパラメータである。

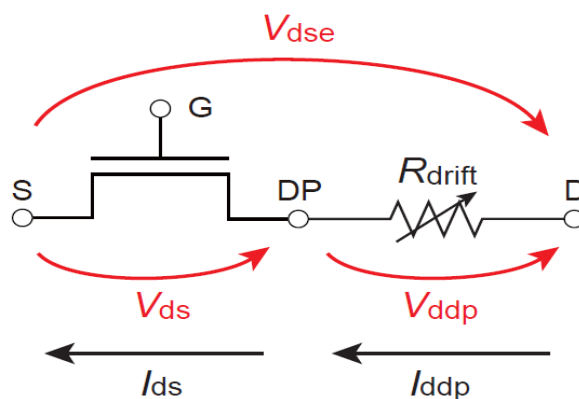


図 4.2 LDMOS モデルのコンセプト [2]

$$R_{drift} = (R_d + V_{ds} + R_{DVD}) \left(1 + \mathbf{RDVG11} - \frac{\mathbf{RDVG11}}{\mathbf{RDVG12}} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot \mathbf{RDVB}) \cdot \left(\frac{\mathbf{LDRIFT1} + \mathbf{LDRIFT2}}{\mathbf{DDRIFT} - W_{dep}} \right) \quad (4.1)$$

$$R_d = \frac{R_{d0}}{W_{eff,LD} \cdot \mathbf{NF}} \left(1 + \frac{\mathbf{RDS}}{(W_{gate} \cdot 10^6 \cdot L_{gated0} \cdot 10^6)^{\mathbf{RDSP}}} \right) \quad (4.2)$$

$$R_{d0} = (\mathbf{RD} + R_{d0,temp}) f_1 \cdot f_2 \quad (4.3)$$

4.3 LDMOS の劣化モデル

現在、Hot Carrier Injection によるオン抵抗劣化が劣化の主な原因と考えられている。HCI 現象は Luck Electron Model (LEM) に基づき[7]、カリフォルニア大学バークレイ校 (UCB) の Hu 教授によって最初に導入された[5]。一般的な n チャネル MOSFET にバイアス電圧 V_{GS} 、 V_{DS} を印加する。ゲート電圧により、反転層が形成されてキャリアが移動し、ピンチオフした飽和領域においてドレイン電界により加速されたキャリアは、高いエネルギーを持ったホットキャリアとなる。加速されたホットキャリアは、反転層のイオンと衝突し、電離衝突が起こる。これにより電子・正孔対が発生する。発生したホットキャリアの一部は、酸化膜にトラップされ酸化膜の劣化を引き起こす。キャリアがトラップされることによって、キャリアが減少しオン抵抗が増加する。これにより、移動度の減少によるドレイン電流 I_D の低下や、しきい値電圧 V_{TH} の増加を引き起こす。LDMOS の HCI 劣化現象に関する文献[10]によると、n チャネル LDMOS における“HCI による劣化現象は、ドリフト層のキャリア減少からのオン抵抗増加による”と報告されており、文献[11], [12]などでオン抵抗の HCI 劣化モデルが報告されている。

報告されている論文によると HCI によるオン抵抗劣化は以下のように表すことができる [12]。

$$\frac{\Delta R_{on}}{R_{on}} = A_1 \cdot \ln\left(1 + \frac{t}{\tau}\right) + A_2 \cdot \ln\left(1 + \frac{1}{\gamma * \tau}\right) \quad (4.4)$$

この式は経験的なものである。 A_1 、 A_2 、 γ はフィッティングパラメータとなっている。 t はストレス時間である。 τ は特性時間でありバイアスと形状に依存するパラメータであり(4.5)式で表される。

$$\tau = \frac{\alpha \cdot W}{I_D} \cdot \frac{\phi_b}{E_m * \lambda} \cdot e^{\frac{\phi_b}{E_m * \lambda}} \quad (4.5)$$

α はデバイス固有の経験的なフィッティングパラメータである。 W はデバイスの幅、 E_m はピーク電界の大きさである。 ϕ_b は $\text{Si} \cdot \text{O}_2$ のエネルギー障壁を乗り越えるために必要なエネルギーである。 λ は、キャリアが散乱しエネルギーを失う前に電場に届く平均自由行程を表し(4.6)式で表している。

$$\lambda = \lambda_0 \cdot \tanh\left(\frac{E_p}{2 \cdot k_B \cdot T_j}\right) \quad (4.6)$$

E_p は、Si 中の光学フォノンエネルギーである (0.063 eV)。 k_B は、ボルツマン定数であり (8.62×10E-5 eV/K)、 T_j は接合温度である。 λ_0 は K=0 でのホットキャリアの平均移動距離である。(4.4)~(4.6)式よりオン抵抗の劣化が、 E_m に関係していることから関係性を述べた論文も報告されている[13]。

しかし、我々の検証と調査により Si-H excitation (m)が起こったときに、上記関係が崩れることがあるため、以下のように自由度を持たせた方程式を用いる。 m はフィッティングパラメータである。

$$\tau = \left(\frac{\alpha \cdot W}{I_D}\right)^m * \frac{\phi_b}{E_m \cdot \lambda} * e^{\frac{\phi_b}{E_m \cdot \lambda}} \quad (4.7)$$

4.4 開発した信頼性モデル

我々は、既存のコンパクトモデルである HiSIM-HV に劣化を組み込むことを目標としている。そこで、オン抵抗と HiSIM-HV のドリフト関数を対応させ、劣化を表現させる。

ここでは HiSIM-HV モデルで対象としている構造とは多少異なり、STI を用いて電流を深い層に流し耐圧を上げた構造である図 4.3 を用いて、オン抵抗と HiSIM-HV のドリフト関数を対応させる [10]。STI とは、Shallow Trench Isolation のことでありより耐圧を上げるためのものである。

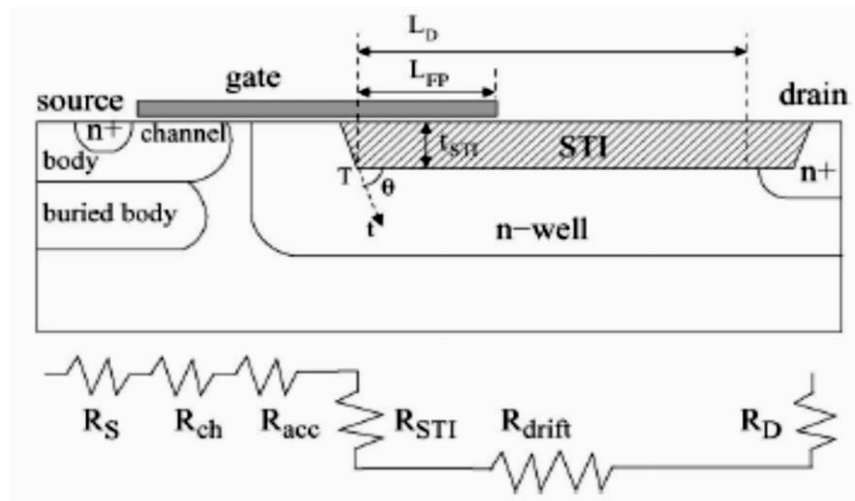


図 4.3 STI を用いた LDMOS の構造 [10]

オン抵抗は、(4.8)式のように二つの項に分けることができる。

$$R_{drift} = R_{drift,1} + R_{drift,2} \quad (4.8)$$

$R_{drift,1}$ は、ゲート下の蓄積領域を $R_{drift,2}$ は $R_{drift,1}$ 以降にあるドリフト領域及びドレイン端に対応している。 $R_{drift,1}$ では蓄積領域のオン抵抗とシート抵抗が並列接続されているため、(4.9)式のように表すことができる。

$$R_{drift,1} = \left(\frac{1}{R_{drift,acc}} + \frac{1}{R_{drift,sh}} \right)^{-1} \quad (4.9)$$

また、 $R_{drift,acc}$ は(4.10)式のように表される。

$$R_{drift,acc} = \frac{L_{FP,eff}}{\left(\mu_{eff} C_{STI} W (V_{GS} - V_{fb})\right)} \quad (4.10)$$

C_{STI} は ϵ_{ox}/t_{STI} であり、 t_{STI} はSTI酸化膜の厚さである。 $L_{FP,eff}$ は、実行フィールドプレート (L_{FP}) であり、 V_{fb} はフィッティングパラメータである。シート抵抗は、(4.11)式のように表すことができる。

$$R_{drift,sh} = \frac{L_{FP}}{(q\mu_n N_d W t_{eff})} \quad (4.11)$$

t_{eff} は、STIの実効的な深さである。 $R_{drift,2}$ は、(4.12)式のように表される。

$$R_{drift,2} = \frac{(L_D - L_{FP})}{(q\mu_n N_d W t_{eff})} \quad (4.12)$$

L_D は、実行ドリフト長である。

ここから、(4.8)~(4.12)式を用いて HiSIM-HV のドリフト式である(4.1)~(4.3)式への対応を論じ、劣化の表現方法を説明する。 $R_{drift,1}$ において $R_{drift,sh}$ にはバイアスは存在しないが、 $R_{drift,acc}$ には V_{GS} 項が存在する。そのため、HiSIM-HV のドリフト関数(4.1)式において V_{GS} が依存する項と関係があることがわかる。よって、(4.1)式の V_{GS} 項に関係あるパラメータである RDVG11 または RDVG12 を用いて、 $R_{drift,1}$ を劣化させることができる。

$R_{drift,2}$ においては、 V_{DS} 、 V_{GS} といった項が存在しないが、ドリフト領域及びドレイン端での抵抗を示している。文献[14]より、フィールドプレート下では強い電界が発生していることが判明している。その結果、強電界の影響を受け HCI 効果によって劣化が生じる。これは、ホットキャリアとなったキャリアが STI にトラップし電流量が変化し、ドレインコンタクト抵抗の劣化に繋がる。(4.12)式では移動度を表す μ_n が劣化し、HiSIM-HV では LDD のドレインチャンネル抵抗とコンタクト抵抗を表す RD に劣化が相当すると考えられる。これは、後述する測定データを使用したモデリング結果とも合致している。

以上から、オン抵抗劣化は HiSIM-HV における、RD、RDVG11、RDVG12 のパラメータを用いて表現することができると言える。RD は、ドレイン端コンタクト抵抗を表して入る。RDVG11 及び RDVG12 は、RD の V_{GS} の依存性を表している。

4.5 信頼性シミュレーション結果

ここでは文献[15]で報告されている直流電流・電圧特性を数値化し、測定データとした。図4.4は、測定に使用されたnチャンネルLDMOSの断面図である。nチャンネルLDMOSはプロセス幅0.18 μm で作成され、ゲート長は20 μm 、ゲート幅は0.4 μm 、ゲート酸化膜厚は115 \AA である。

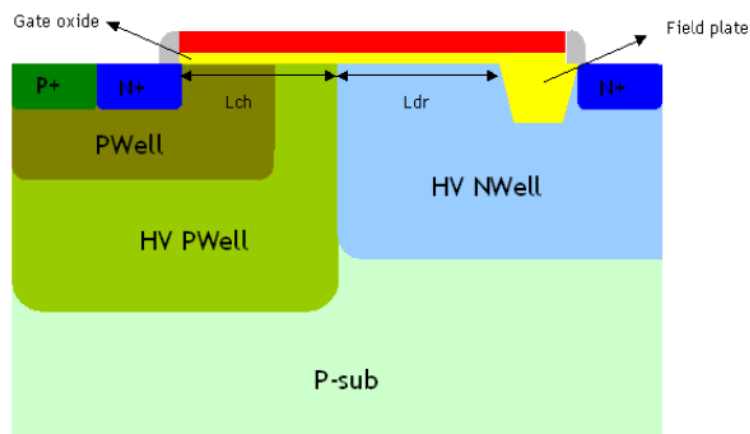


図 4.4 測定に用いた n チャンネル LDMOS の断面図 [15]

図4.5及び図4.6は、文献[15]における $I_{\text{DS}}-V_{\text{GS}}$ 特性と $I_{\text{DS}}-V_{\text{DS}}$ 特性を数値化したものである。パラメータ抽出ソフトを用いて、測定値とシミュレーション結果の合わせこみを行なった。青色の点線が劣化前、赤色の線劣化後の測定値を表している。青色の実線が劣化前、赤色の実線が劣化後のシミュレーション結果を表している。測定値との誤差は二乗平均平方根であるRMSを用いて表され、5%を切ることを目指している。劣化前RMSは $I_{\text{DS}}-V_{\text{GS}}$ 特性では1.56%、 $I_{\text{DS}}-V_{\text{DS}}$ 特性では2.76%である。劣化後RMSは $I_{\text{DS}}-V_{\text{GS}}$ 特性では2.66%、 $I_{\text{DS}}-V_{\text{DS}}$ 特性では4.79%である。

V_{DS} が2.4 V(飽和領域の電圧)の $I_{\text{DS}}-V_{\text{GS}}$ 特性での劣化前後を観ると、しきい値の変化は無くドレイン電流 I_{DS} が減少している。 $I_{\text{DS}}-V_{\text{DS}}$ 特性での劣化前後の特性を観ると、飽和領域のドレイン電流は変化せず、ピンチオフ領域のみ変化していることが分かる。劣化シミュレーションの合わせこみは、前述したようにオン抵抗とHiSIM-HVのドリフト関数を対応させる。そのために、RD、RDVG11、RDVG12のパラメータのみを使用して、劣化前のパラメータ抽出結果を用いて劣化後の抽出を行った。抽出結果、RD、RDVG12のみを使用して合わせこむことができた。RDは1.076 から1.301 に増加、RDVG12は6.026 から9.081 に増加させ劣化抽出を行った。

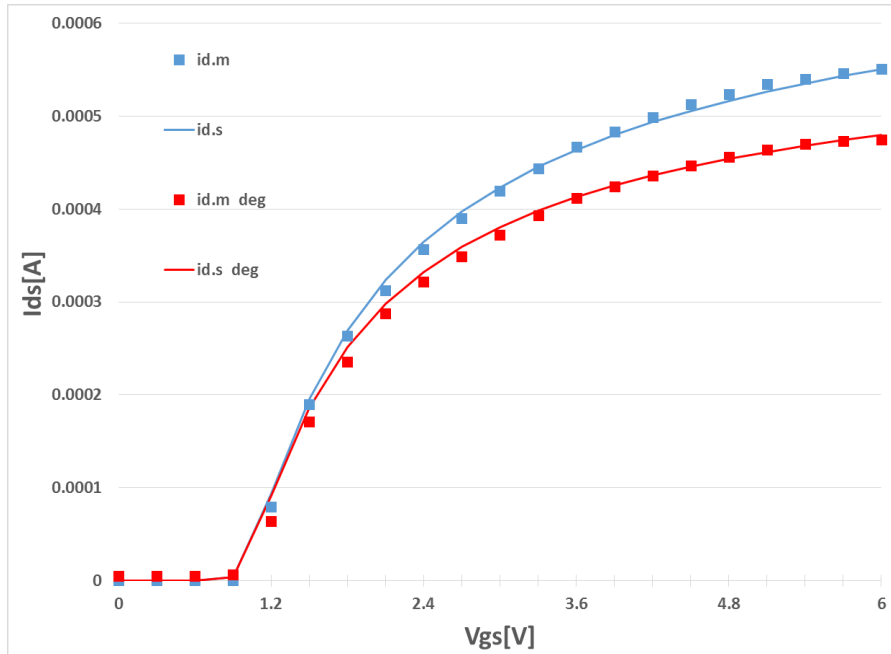


図 4.5 LDMOS での HCI 劣化前・劣化後の I_{DS} vs V_{GS} 特性 [15]

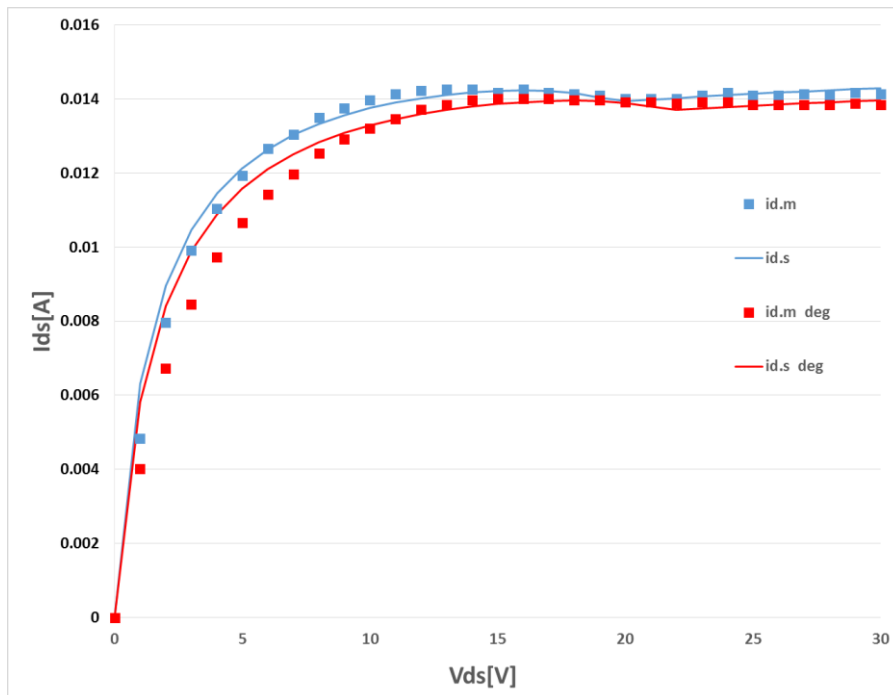


図 4.6 LDMOS での HCI 劣化前・劣化後の I_{DS} vs V_{DS} 特性 [15]

4.6 LDMOS 信頼性実験

論文データからは、劣化した結果しか見ることができない。そこで、論文に使用されているデバイスと同様の構造を持つLDMOSを入手し、劣化測定を行い劣化時間とパラメータ変化の相互関係を検証した。使用したデバイスは、RENESAS社のNE5550779Aである。I_{DS}-V_{GS}測定は、V_{GS}=0 V~5 V、100 mVステップかつV_{DS}=50 mV~150 mV、50 mVステップである。I_{DS}-V_{DS}測定は、V_{GS}=2.1 V~2.5 V、100 mVステップかつV_{DS}=0 V~5 V、100 mVステップである。温度は室温である。ストレスバイアスはV_{GS}=2.4 V、V_{DS}=2.4 Vで劣化時間は2 hごとに1000 hまで測定を行った。図4.7は、I_{DS}-V_{GS}特性の劣化前後の測定値である。図4.8は、I_{DS}-V_{DS}特性の劣化前後の測定値である。

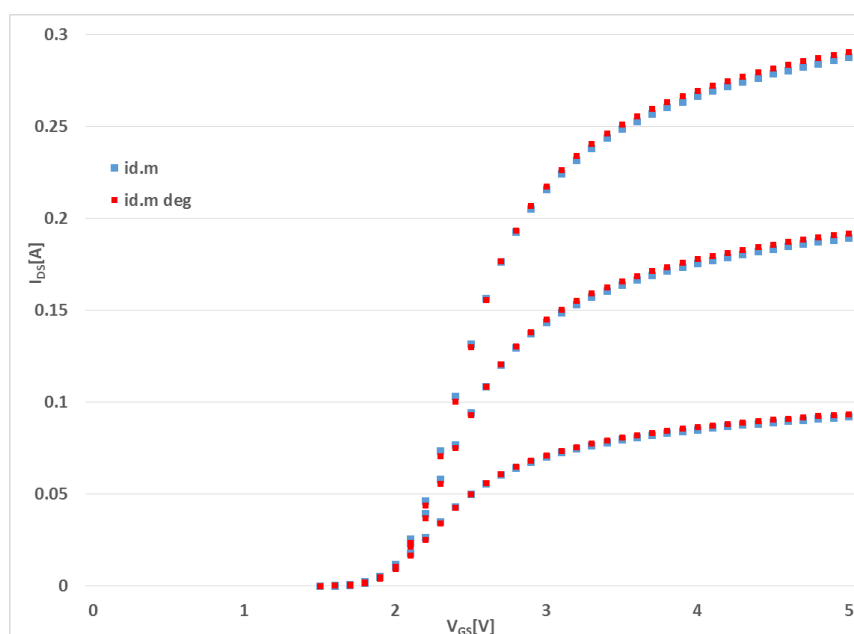


図4.7 LDMOS信頼性特性 I_{DS} - V_{GS} 特性

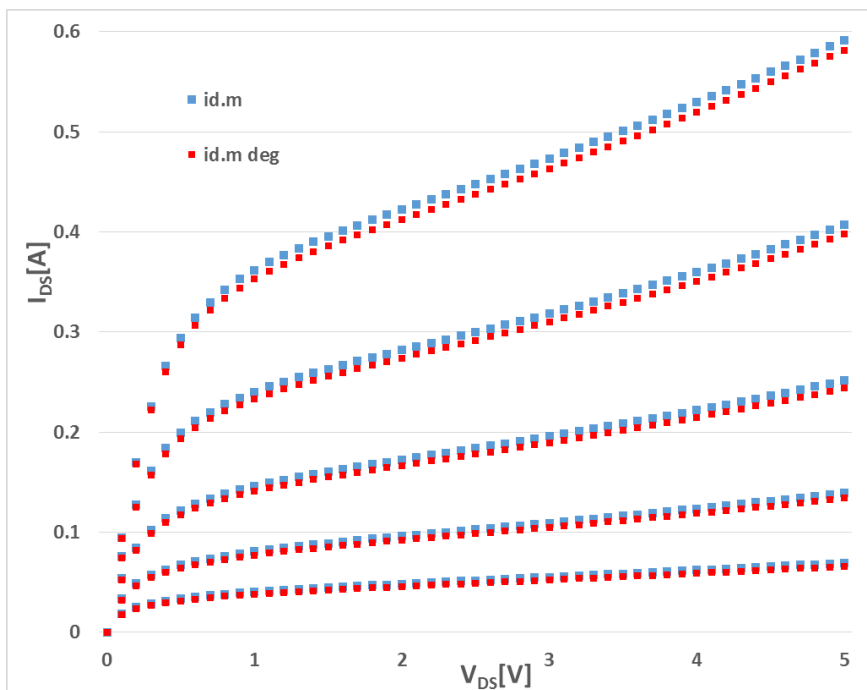


図4.8 LDMOS信頼性特性 I_{DS} - V_{DS} 特性

I_{DS} - V_{DS} 特性の劣化結果は、小さな変化ではあるが減少していることが見て分かる。 I_{DS} - V_{GS} 特性の劣化結果は $V_{GS}=3$ Vを境に3 V未満は減少、3 V以上では増加していることが見て分かる。この実験結果から、測定はうまくいっていないことが見て分かる。しかし、時間に対する変化は線形的であるということが確認できた。

4.7 開発した信頼性モデル

信頼性測定した結果を評価していく。評価方法はMOSFETの方法と同様RMSエラー値を用いて評価する。 I_{DS} - V_{GS} 測定がうまくいっていないので抽出は I_{DS} - V_{DS} に重点をおいて劣化抽出を行った。劣化抽出において、我々が測定したデータはRDとRDVG12を使用することで劣化抽出を行うことができた。

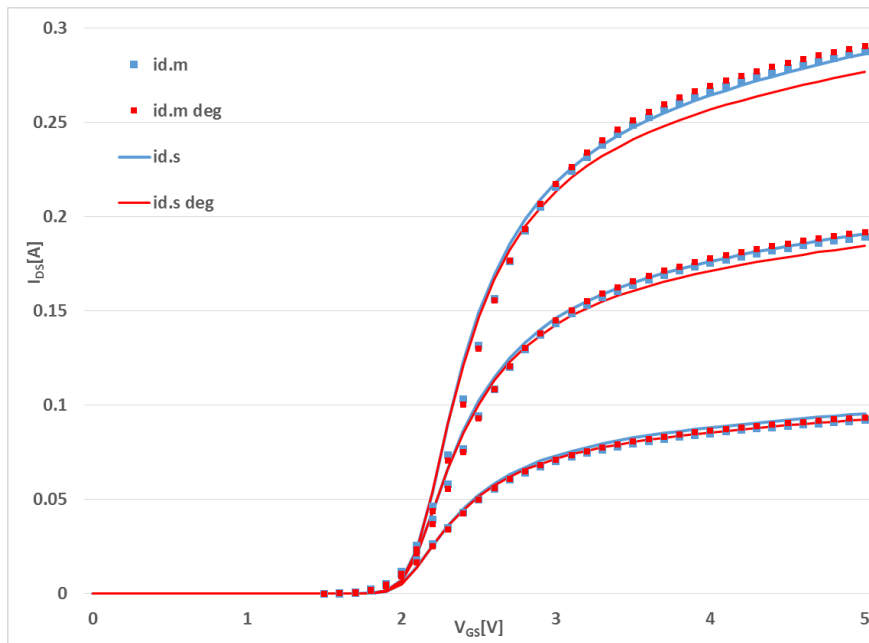


図4.9 I_{DS} - V_{GS} 特性での劣化測定及びシミュレーション

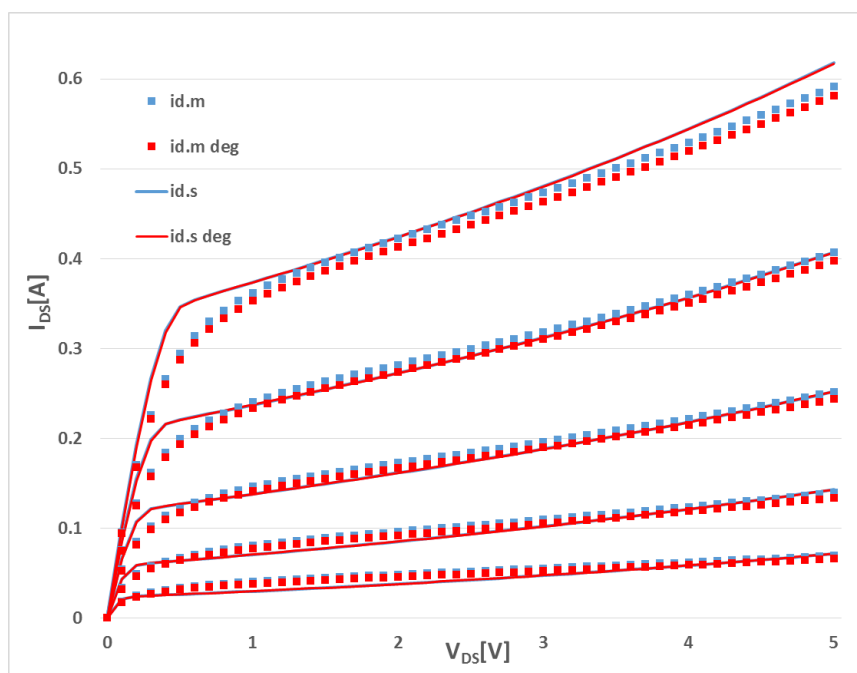


図4.10 I_{DS} - V_{DS} 特性での劣化測定及びシミュレーション

評価結果を記載する。劣化前のRMSは I_{DS} - V_{GS} 特性が2.98 %、 I_{DS} - V_{GS} 特性パラメータが4.36 %である。パラメータを変化させない場合の劣化後のRMSは I_{DS} - V_{GS} 特性が3.28 %、 I_{DS} - V_{GS} 特性が5.28 %である。劣化後の測定値にRDとRDVG12のみを用いて抽出し、RDは25.30から25.81へ、RDVG12は19.68から21.22へ最適化させた。結果、 I_{DS} - V_{GS} 特性が3.28 %から4.65 %へ増加、 I_{DS} - V_{GS} 特性が5.28 %から5.18 %へ減少した。論文データと同じように二つのパラメータを増加させることで劣化抽出を行うことができた。

図4.11、図4.12は劣化時間と二つのパラメータの変化値の相関をグラフ化したものである。

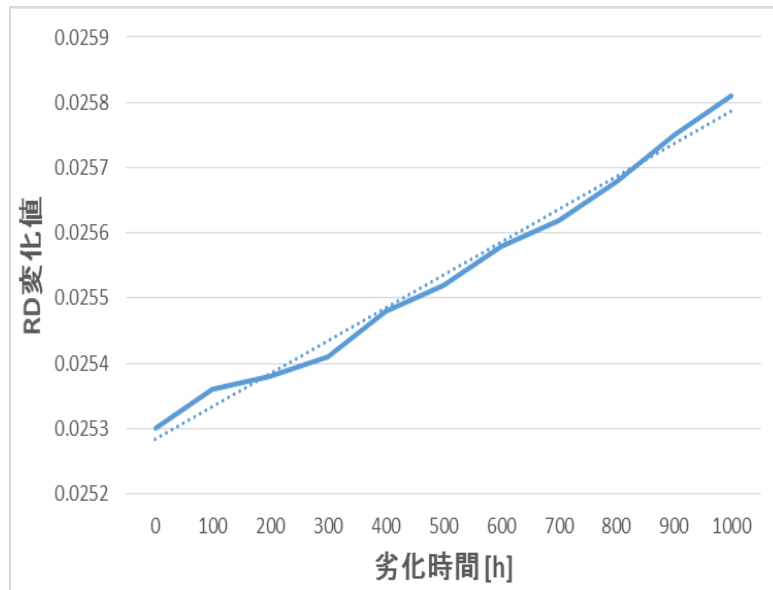


図4.11 RDと劣化時間の相関関係

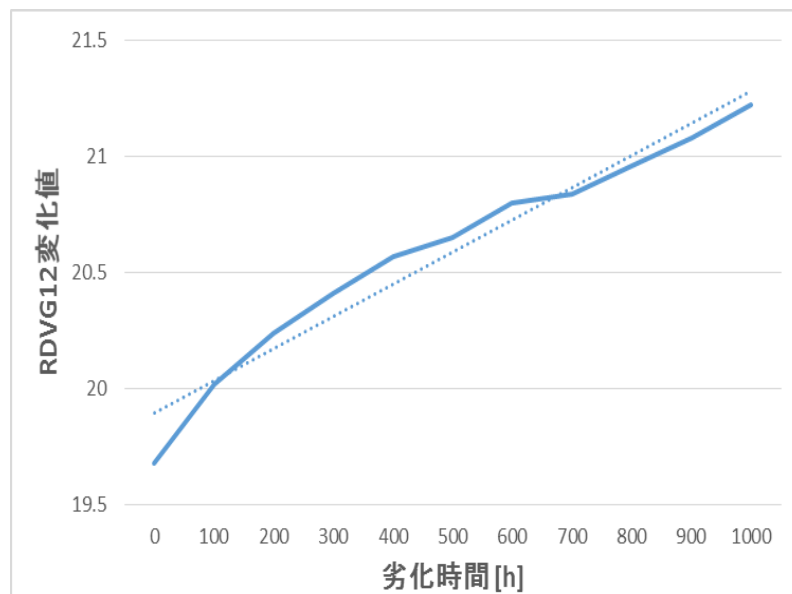


図4.12 RDVG12と劣化時間の相関関係

図4.11及び図4.12を観ると、各パラメータの変化値に対する近似線は、線形に変化していることが分かる。そのため、劣化は線形的にパラメータを変化させることで表現できると言える。そこで、RDを RD_{strss} 、RDVG12を $RDVG12_{\text{stress}}$ とし、(4.13)式と(4.14)式に置き換える。

$$RD_{stress} = A_1 * t_{deg} + RD_{fresh} \quad (4.13)$$

$$RDVG12_{stress} = B_1 * t_{deg} + RDVG12_{fresh} \quad (4.14)$$

t_{deg} は劣化時間である。 RD_{fresh} 及び $RDVG12_{fresh}$ はパラメータの初期値である。 A_1 、 B_1 はフィッティングパラメータである。以上のように、我々はパラメータを式に置き換えることによって、パラメータを変数として扱い劣化を表現できるように劣化モデルを開発した。

4.8 考察

LDMOSのHCI現象について回路シミュレータSPICEを用い、劣化を事前に予想するためのモデルを開発した。LDMOSのデバイスモデルはHiSIM-HVを採用した。LDMOSはオン抵抗が増加し劣化に繋がることから、LDMOSの構造とオン抵抗の関係性を調べHiSIM-HVとの対応を論じ、劣化抽出するためのパラメータを予想した。論文データと測定データからパラメータ抽出を行い、予想したパラメータを増加させることで劣化抽出をした。劣化は、パラメータ変化を式化しパラメータと置き換えることで表現を可能にした。

今回作成したモデルは、ゲート・ソース、ドレイン・ソースのストレスバイアス電圧に対する依存については触れていない。このため、実際の回路シミュレーションで用いるには不十分である。現在、この点について実験研究中である。また、過渡特性のシミュレーションや、小信号ACシミュレーションにおいても検証し、さらに実用的な劣化モデルを開発していきたい。

また、この研究は共同研究内容であり、産業界からの要望である。よって、社会の要望の一つである。上記の課題を解決することができれば実用化することができる。

第5章 まとめ

5.1 謝辞

本研究を遂行するにあたって、御指導、御鞭撻を頂きました青木均先生に心より感謝申し上げます。青木先生には、研究内容や論文の添削など多くのことで熱心にご指導していただきました。特に、本研究では欠かすことができないパラメータ抽出技術を一からご指導していただき、青木均先生に紹介していただいたインターンシップによってより、良い技術とすることができました。研究以外にも、青木均先生の経歴から社会人になってからの技術者のことなど詳しく知ることができました。ここに、感謝の意を表します。また、このような素敵な機会を与えていただきました小林春夫教授に感謝の意を表します。論文審査をして頂きました主査の安達定雄教授および副査の青木均先生と小林春夫教授には、ご指示、ご討論頂きましたことを心より感謝申し上げます。最後に、本研究に対して沢山の有益な機会を与えて下さったモデリンググループの皆様、技官の石川信宜様、そして小林研究室および高井研究室の皆様心より感謝申し上げます。

5.2 参考文献

- [1] Y. Tsividis, K. Suyama “MOSFET Modeling for Analog Circuit CAD: Problems and Prospects” IEEE Journal, Solid-State circuits, 29(3), 210 – 246, 1994,
- [2] Information on <http://www-device.eecs.berkeley.edu/bsim/>
- [3] Hisim-HV 2.2.0 User’s manual
http://home.hiroshima-u.ac.jp/usdl/HiSIM_HV/Code/HiSIM_HV_C.htm
- [4] D. Brisbin, A. Strachan, P. Vhaparala ” Hot-Carrier Reliability and Design of N-LDMOS Transistor Arrays” Integratd Reliability Workshop Final Report,2001. 2001 IEEE International. 44-48, 2001.
- [5] C. Hu, et al, ”Hot-electron induced MOSFET degradation model, monitor, and improvement, ” IEEE Trans. Electron Devices, 32(2), 375-385, 1985.
- [6] 青木均, 寫末政憲, 川原康雄, *CMOSモデリング技術*, 丸善出版, 2006.
- [7] E. Maricaud and G. Gielen, *Analog IC Reliability in Nanometer CMOS*, Springer Science+Business Media, New York, 2013.
- [8] H. Kufluoglu, M. A. Alam, “A unified modeling of NBTI and hot carrier injection for MOSFET reliability . ” 10th International Workshop on Computational Electronics, pp. 28-29, Oct. 2004.
- [9] 築地伸和, 青木均, 新井薫子, 轟俊一郎, 香積正基, 戸塚拓也, 東野将史:”LDMOS の経時・温度劣化特性解析とモデル化に関する研究”第5回電気学会東京支部栃木・群馬支所合同研究発表会. pp.7. (2015)
- [10] S. Regginani, et al: “Physics-Based Analytical Model for HCS Degradation in STI-LDMOS Transistors”, IEEE Transactions on Electron Devices, vol. 58, No. 9, pp.3072-3080, (2011).
- [11] P. Moens, et al: “A Comprehensive Model For Hot Carrier Degradation in LDMOS Transistors”, IEEE International Reliability physics symposium,pp.492-497, (2007).
- [12] Guido. T. Sasse, et al: “An LDMOS hot carrier model for circuit reliability simulation”, IEEE International Reliability physics symposium,pp.5D.5.1-5D.5.6, (2014).
- [13] Masashi Higashino, et al, :” Study on Maximum Electric Field Modeling Used for HCI Induced Degradation Characteristic of LDMOS Transistors” IEEE 11th International Conference on ASIC, Chengdu, China Nov. 3-6, (2015).
- [14] Chao Xia and Xinhong Cheng, et al: “ON-Resistance Degradation Induced by Hot-Carrier Injection in SOI SJ-LDMOS” IEEE Transactions on Electron Devices, Vol. 60, No. 3, pp.1279-1281, (2013)
- [15] N. Soin. S. S. Shahabudin and K. K. Goh, et al: “Measurement and Characterization of Hot Carrier Safe Operating Area (HCI-SOA) in 24V n-type

Lateral DMOS Transistors”,10th IEEE International Conference on Semiconductor Electronics, pp.659-663 (2012)

5.3 本研究に関する業績

- 学術論文

- [1] Takuya Totsuka, Hitoshi Aoki, Fumitaka Abe, Yukiko Arai, Shunichiro Todoroki, Masaki Kazumi, Masashi Higashino, Haruo Kobayashi, “Bias and 1/f Noise Degradation Modeling of 90 nm n-Channel MOSFETs Induced by Hot Carrier Stress,” Advanced Micro-Device Engineering VI, Key Engineering Materials (2016)

● 学会発表

第一著者

- [1] 戸塚拓也, 青木 均, 築地伸和, 香積正基, 東野将史, 澁谷将平, 栗原圭汰, 小林春夫
「HiSIM HV を用いたオン抵抗の劣化モデルの開発」電気学会 電子回路研究会, ECT-16-020, 東京都市大学 (2016年3月7日-8日)
- [2] 戸塚拓也, 青木 均, 築地伸和, 香積正基, 東野将史, 澁谷将平, 栗原圭汰, 小林春夫
「LDMOS の信頼性モデリングにおける, HiSIM-HV モデルを用いたオン抵抗の劣化モデルの開発」第6回電気学会東京支部栃木・群馬支所合同研究発表会 ETG-16-74, 前橋工科大学 (2016年3月1日-2日)
- [3] Takuya Totsuka, Hitoshi Aoki, Nobukazu Tsukiji, Masaki Kazumi, Masashi Higashino, Haruo Kobayashi, “Reliability Modeling on 90 nm n-channel MOSFETs with BSIM4 Dedicated to HCI Mechanisms” , 7th International Conference on Advanced Micro-Device Engineering (7th AMDE) P8-29 Kiryu, Japan (Nov. 11-13, 2015)
- [4] 戸塚拓也, 青木均, 新井 薫子, 轟 俊一郎, 香積 正基, 東野将史, 小林 春夫「90nm n-channel MOSFET の Hot Electron Stress による経時劣化特性モデル化に関する研究」第5回電気学会東京支部栃木・群馬支所合同研究発表会, ETT-15-26, 宇都宮大学 (2015年3月2日-3日)
- [5] Takuya Totsuka, Hitoshi Aoki, Fumitaka Abe, Khatami Ramin, Yukiko Arai, Shunichiro Todoroki, Masaki Kazumi, Wang Taifeng and Haruo Kobayashi “Reliability Modeling on 90 nm n-channel MOSFETs with BSIM4 Dedicated to HCI Mechanisms” 6th International Conference on Advanced Micro-Device Engineering (6th AMDE), p87, Kiryu (Dec. 5, 2014)
- [6] Takuya Totsuka, Hitoshi Aoki, Fumitaka Abe, Ramin Khatami, Yukiko Arai, Shunichiro Todoroki, Masaki Kazumi, Haruo Kobayashi, “BSIM4 Modeling of 90nm n-MOSFET Characteristics Degradation Due to Hot Electron” , The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014)

- [7] 戸塚 拓也、青木 均、安部 文隆、Khatami Ramin、新井 薫子、轟 俊一郎、香積 正基、王 太峰、小林 春夫「BSIM4 による 90nm n-channel MOSFET の Hot Electron の劣化特性モデル化に関する研究」電気学会 電子回路研究会 島根 (2014 年 7 月 3 日-4 日)
- [8] 戸塚拓也, 安部文隆, Khatami Ramin, 新井薫子, 轟俊一郎, 香積正基, 王太峰, 青木均, 小林春夫, 「BSIM4 による 90nmn-channel MOSFET の Hot Electron の劣化特性モデル化に関する研究」第 4 回 電気学会 東京支部 栃木・群馬支所 合同研究発表会, ETT-14-61, 群馬大学 (2014 年 3 月 3 日-4 日)

第一著者以外の論文

- [1] Masaki Kazumi , Hitoshi Aoki , Yukiko Arai, Shunichiro Todoroki, Takuya Totsuka, Haruo Kobayashi, “A High Precision IGBT Macro-Model for Switching Simulations,” Advanced Micro-Device Engineering VI, Key Engineering Materials (2016).
- [2] 築地伸和、青木均、香積正基、戸塚拓也、澁谷将平、東野将史、栗原圭汰、小林春夫「HCI による LDMOS の特性劣化シミュレーションのための物理ベース最大電界モデルの研究」第 6 回電気学会東京支部栃木・群馬支所合同研究発表会 ETG-16-70, 前橋工科大学 (2016 年 3 月 1 日-2 日)
- [3] 香積正基、青木均、築地伸和、戸塚拓也、東野将史、小林春夫「IGBT のスイッチング特性におけるマクロモデリングの研究」第 6 回電気学会東京支部栃木・群馬支所合同研究発表会 ETG-16-71, 前橋工科大学 (2016 年 3 月 1 日-2 日)
- [7] N. Tsukiji, H. Aoki, M. Kazumi, T. Totsuka, M. Higashino, H. Kobayashi “A Study on HCI Induced Gate Leakage Current Model used for Reliability Simulations in 90nm n-MOSFETs” 7th International Conference on Advanced Micro-Device Engineering (7th AMDE) P8-24 Kiryu (Nov. 11-13, 2015).
- [5] Nobukazu Tsukiji, Hitoshi Aoki, Masaki Kazumi, Takuya Totsuka, Masashi Higashino, Haruo Kobayashi “A Study on HCI Induced Gate Leakage Current Model Used for Reliability Simulations in 90nm n-MOSFETs.” IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 3-6, 2015).
- [6] Masashi Higashino, Hitoshi Aoki, Nobukazu Tsukiji, Masaki Kazumi, Takuya Totsuka, Haruo Kobayashi “Study on Maximum Electric Field Modeling Used for HCI Induced Degradation Characteristic of LDMOS Transistors, ” IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 3-6, 2015).
- [15] 青木均、戸塚拓也、香積正基、新井薫子、轟俊一郎、小林春夫、「インターフェーストラップと移動度変動による、n チャネル MOSFET の $1/f$ ノイズプロセスばらつきモデリング」電子情報通信学会 第 28 回 回路とシステムワークショップ、淡路島 (2015

年 8 月 3 日, 4 日)

- [13] 築地伸和, 青木 均, 香積正基, 戸塚拓也, 東野将史, 小林春夫「90nm NMOSFET における, 経時・温度劣化特性シミュレーション用 HCI ゲートリーク電流モデルの研究」電気学会 電子回路研究会 ECT-15-048 横須賀 (2015 年 7 月 2 日)
- [14] 東野将史, 青木 均, 築地伸和, 新井薫子, 轟俊一郎, 香積正基, 戸塚拓也, 小林春夫「HCI による LDMOS の信頼性シミュレーションに使用する最大電界モデルの研究」電気学会 電子回路研究会 ECT-15-049 横須賀 (2015 年 7 月 2 日)
- [16] 築地伸和, 青木均, 新井薫子, 轟俊一郎, 香積正基, 戸塚拓也, 東野将史, 小林春夫 (群馬大学)「LDMOS の経時・温度劣化特性解析とモデル化に関する研究」第 5 回電気学会東京支部栃木・群馬支所合同研究発表会 ETT-15-3, 群馬大学 (2015 年 3 月 2 日-3 日)
- [17] 新井薫子, 青木均, 安部文隆, 轟俊一郎, 香積 正基, 戸塚拓也, 東野将史, 小林春夫 (群馬大学)「N チャネル MOSFET のノイズ発生理論に基づくゲート電圧依存 1/f ノイズばらつきモデルの検討」第 5 回電気学会東京支部栃木・群馬支所合同研究発表会 ETT-15-6, 群馬大学 (2015 年 3 月 2 日-3 日)
- [18] 轟俊一郎, 青木均, 安部文隆, 新井薫子, Khatami Ramin, 香積正基, 戸塚拓也, 小林春夫 (群馬大学)「VCO における位相雑音信頼性シミュレーションについての研究」ETT-15-25, 群馬大学 (2015 年 3 月 2 日-3 日)
- [4] Yukiko Arai, Hitoshi Aoki, Fumitaka Abe, Shunichiro Todoroki, Ramin Khatami, Masaki Kazumi, Takuya Totsuka, Taifeng Wang, Haruo Kobayashi, “Gate Voltage Dependent 1/f Noise Variance Model Based on Physical Noise Generation Mechanisms in n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors” Japanese Journal of Applied Physics, vol. 54, 04DC10 1-4 (Feb. 2015).
- [10] Masaki Kazumi, Hitoshi Aoki, Yukiko Arai, Shunichiro Todoroki, Ramin Khatami, Takuya Totsuka, Fumitaka Abe and Haruo Kobayashi Gunma University, Japan “Research on Precision IGBT Macro-Model Considering Operation Temperature” 6th International Conference on Advanced Micro-Device Engineering (6th AMDE), p94, Kiryu (Dec. 5, 2014)
- [11] Yukiko Arai, Hitoshi Aoki, Fumitaka Abe, Shunichiro Todoroki, Ramin Khatami, Masaki Kazumi, Takuya Totsuka, Taifeng Wang and Haruo Kobayashi Gunma University, Japan “Research on Gate Voltage Dependent 1/f Noise Variance Modeling for n-Channel MOSFETs” 6th International Conference on Advanced Micro-Device Engineering (6th AMDE), p96, Kiryu (Dec. 5, 2014)
- [12] Shunichiro Todoroki, Hitoshi Aoki, Fumitaka Abe, Khatami Ramin, Yukiko Arai, Masaki Kazumi, Takuya Totsuka, and Haruo Kobayashi Gunma University, Japan “Phase Noise Performance Analysis of VCO Circuits” 6th International Conference

- on Advanced Micro-Device Engineering (6th AMDE), p101, Kiryu (Dec. 5, 2014)
- [9] Masaki Kazumi, Hitoshi Aoki, Yukiko Arai, Ramin Khatami, Shunichiro Todoroki, Takuya Totsuka, Fumitaka Abe, Haruo Kobayashi, “Study of High Precision IGBT Macro-Model Considering Temperature Dependency” The 3rd Solid State Systems Symposium-VLSIs and Semiconductor Related Technologies & The 17th International Conference on Analog VLSI Circuits, Ho Chi Minh City, Vietnam (Oct. 22-24, 2014)
- [20] 香積 正基、青木 均、新井 薫子、Khatami Ramin、轟 俊一郎、戸塚 拓也、安部 文隆、小林 春夫「IGBT の静特性における複数のプロセス・デバイス特性を考慮した高精度マクロモデルの研究」電気学会 電子回路研究会、秋田（2014年10月9日、10日）
- [8] Yukiko Arai, Hitoshi Aoki, Fumitaka Abe, Shunichiro Todoroki, Ramin Khatami, Masaki Kazumi, Takuya Totsuka, Taifeng Wang, Haruo Kobayashi, “Gate Voltage Dependent 1/f Noise Variance Model in n-Channel MOSFETs,” International Conference on Solid State Devices and Materials (SSDM2014) , Poster Session, Tsukuba (Sept. 8-11, 2014)Extended Abstracts
- [21] 轟俊一郎, 安部文隆, KhatamiRamin, 新井薫子, 香積 正基, 戸塚拓也, 青木均, 小林 春夫 (群馬大学) N チャネル MOSFET のゲート電圧による 1/f ノイズばらつきモデルについての検討 第4回 電気学会 東京支部 栃木・群馬支所 合同研究発表会 ETT-14-56, 群馬大学 (2014年3月3日-4日)
- [22] 香積正基, 安部文隆, Khatami Ramin, 新井薫子, 轟俊一郎, 戸塚拓也, 青木均, 小林 春夫 (群馬大学) 「IGBT の高精度マクロモデルの研究」第4回 電気学会 東京支部 栃木・群馬支所 合同研究発表会 ETT-14-66, 群馬大学 (2014年3月3日-4日)
- [19] 轟俊一郎, 安部文隆, ハタミラミン, 新井薫子, 香積正基, 戸塚拓也, 青木均, 小林春夫「n チャネル MOSFET のゲート電圧による 1/f ノイズばらつきモデルの検討」電気学会 電子回路研究会 ECT-14-010 金沢 (2014年1月23日)

第6章 付録

6.1 BSIM4 でのパラメータ抽出に関して

モデルを開発する際、パラメータ抽出を行う必要がある。本章では、パラメータ抽出に関して基本的な抽出方法を記載する。

はじめに、パラメータ抽出するデバイスの大きさと数を確認する。一つのデバイスのみの場合は、抽出手順まで話しを進める。複数のデバイスを抽出する場合は、デバイス幅、デバイス長ともに一番大きいデバイスを最初に抽出し基準とする。抽出基準が決まり次第、チャンネル長の長い順に抽出を行う。次に、チャンネル幅の長い順に抽出を進めていく。

抽出手順について説明する。各デバイスにおいて、基本手順として I_{DS} - V_{GS} 特性から I_{DS} - V_{DS} 特性を順番に抽出する。 I_{DS} - V_{GS} 特性の抽出は、 V_{TH0} 、 $K1$ 、 $K2$ 、 $U0$ 、 UA 、 UB 、 UC 、 $VOFF$ 、 $NFACTOR$ の 9 種類のみで可能である。 V_{TH0} 、 $K1$ 、 $K2$ 、 $VOFF$ 、 $NFACTOR$ を用いることでしきい値をあわせることができる。 $U0$ 、 UA 、 UB 、 UC は、移動度に関するパラメータであり、傾きをあわせることができる。続いて、 I_{DS} - V_{DS} 特性の抽出に関して説明をする。 I_{DS} - V_{DS} 特性の抽出は、 $VSAT$ 、 $A0$ 、 AGS 、 $DELTA$ の 4 種類のみで可能である。 I_{DS} - V_{DS} 特性の抽出精度は、同デバイス I_{DS} - V_{GS} 特性の抽出の精度に比例している。よって、 I_{DS} - V_{DS} 特性の抽出を繰り返すよりも I_{DS} - V_{GS} 特性の抽出をやり直したほうが良い。抽出目標として二乗平均平方根を用いられている。この計算結果が、5%より小さければ問題がないのでより小さくできるように試行錯誤する。

デバイスサイズが一つのみであれば上記の手順で抽出可能である。次にデバイスサイズが複数ある場合は、ビニングパラメータを用いる必要がある。ビニングパラメータはデバイスサイズが小さくなるほど変化が大きくなるパラメータである。ビニングパラメータの特徴として、頭文字として L 、 W がついている。このビニングパラメータを使用することでサイズ依存の抽出が可能となる。経験的に使用しないほうが良いパラメータも存在する。 $A1$ 、 $A2$ 、 $B0$ 、 $B1$ 、 DWB 、 DWG 、 DWC 、 $PRWB$ 、 $PRWG$ 、 $PVAG$ の 10 種類である。また、抽出するパラメータは数が少ないほうが良い。モデル式の数値が複雑化しないからである。よって、抽出のために使用するパラメータ少ないほうが良い。

今回、抽出に使用したシミュレータのプログラムの一部を下に記す。

```

!BSIM4 Nch Size-Dependency
BEGIN_STEP TOX_Verification
  NUMOFTEGS 1
  BEGIN_TEG
    cox lincox -1.0e100 1.0e100 -1.0e100 1.0e100
  END_TEG
  NUMOFFPARAMS 1
  BEGIN_PARAM
    TOX 1.0e-9 20.0e-9
  END_PARAM
END_STEP
BEGIN_STEP NGATE_Verification
  NUMOFTEGS 1
  BEGIN_TEG
    cov_woB lincov_woB -1.0e100 1.0e100 -1.0e100 1.0e100
  END_TEG
  NUMOFFPARAMS 1
  BEGIN_PARAM
    NGATE 1.0e+18 1.0e+23
  END_PARAM
END_STEP
BEGIN_STEP Vt_mshort
  NUMOFTEGS 7
  BEGIN_TEG
    short idvg-logid -1.0e100 1.0e100 -12 -6
    mshort1 idvg-logid -1.0e100 1.0e100 -12 -6
    mshort2 idvg-logid -1.0e100 1.0e100 -12 -6
    mshort3 idvg-logid -1.0e100 1.0e100 -12 -6
    mshort4 idvg-logid -1.0e100 1.0e100 -12 -6
    mshort5 idvg-logid -1.0e100 1.0e100 -12 -6
    large idvg-logid -1.0e100 1.0e100 -12 -6
  END_TEG
  NUMOFFPARAMS 9
  BEGIN_PARAM
    VTH0 0.2 2.00E+00
    K1 1.00E-01 1.50E+00

```

K2 -1.00E+00 1.00E+00
DVT0 0.00E+00 1.00E+02
DVT1 0.00E+00 2.00E+00
DVT2 -5.00E-01 10E-3
VOFF -2.00E-01 2.00E-01
NFACTOR 2.00E-01 2.50E+00
LVTH0 0 2.0

END_PARAM
END_STEP

6.2 HiSIM-HV でのパラメータ抽出に関して

今回の研究での HiSIM-HV の抽出は、一つのサイズでのみしか行なっていない。一つの場合のみ抽出方法を報告する。

抽出手順について説明する。基本手順として $I_{DS}-V_{GS}$ 特性から $I_{DS}-V_{DS}$ 特性を順番に抽出する。 $I_{DS}-V_{GS}$ 特性の抽出は、MUEPH0、MUEPH1、RD、RDVG11、RDVG12 の 5 種類のみで可能である。続いて、 $I_{DS}-V_{DS}$ 特性の抽出に関して説明をする。 $I_{DS}-V_{DS}$ 特性の抽出は、 $I_{DS}-V_{DS}$ 特性の抽出で使った 5 種類のパラメータと RDVD のパラメータを使用することで抽出できる。二つの特性で、同じパラメータを使用することからトライ&エラーを繰り返し、パラメータ間のバランスをとるようにする。以上 6 種類のパラメータのみで合わせこむことが可能である。先ほどと同様に、抽出するパラメータは数が少ないほうが良い。モデル式の数値が複雑化しないからである。よって、抽出のために使用するパラメータ少ないほうが良い。

抽出目標として二乗平均平方根を用いられている。この計算結果が、5%より小さければ問題がないのでより小さくできるように試行錯誤する。