

# 学 位 論 文 の 要 旨

Time-to-Digital Converter Architectures Based on Mathematics

数学に基づく時間デジタル変換アーキテクチャの研究

氏 名 李 从 兵 印

The purpose of this dissertation is to design some new TDC architectures suitable for implementation with fine digital CMOS. These architectures can either reduce circuit complexity significantly compared to conventional TDCs while keeping comparable performance and glitch-free characteristics, or achieve fine time resolution, high linearity, and self-calibration features.

Mathematics is the language of electronic and electrical engineering. Mathematical concepts and methods are used in all areas of electronic and electrical engineering. Especially, number theory and coding theory in mathematics are found to be suitable for circuit design, as number theory and coding theory combine mathematical elegance and some engineering problems to an unusual degree.

To attain the main objective to design some new TDC architectures suitable for implementation with fine digital CMOS, mathematical methods such as number theory and coding theory are introduced into the design of TDC architectures. In detail, residue number system, Gray code, and cyclic code are applied in parallel ring oscillator TDC architectures, in order to reduce hardware, power consumption, as well as chip area significantly compared to a flash type TDC, while keeping comparable performance and glitch-free characteristics. Furthermore, stochastic process theory is also applied in TDC architecture to utilize the large variation in circuit characteristics of fine CMOS. The stochastic architecture with self-calibration feature can realize a linear TDC with fine (sub-picosecond) time-resolution.

Chapter 1 introduces the background, the motivation, and the objectives of this research and the proposed approaches. Chapter 2 discusses the basic TDC specifications and its architectures. Chapter 3 presents proposed parallel ring oscillator TDCs based on residue number system, Gray code, and cyclic code. Their RTL simulation waveforms, FPGA implementation and verification

results are presented and discussed. Chapter 4 presents proposed stochastic TDC based on stochastic process theory. The RTL simulation waveforms, FPGA implementation and verification results are presented and discussed. Chapter 5 summarizes conclusions obtained through this research.

Applying number theory, coding theory and stochastic process theory in TDC circuit design is showing the beauty of the particular combination of mathematics and engineering. We make fully digital FPGA implementation (design, simulation, verification, and testing) of these TDCs. The design work uses only RTL (without SPICE) simulation and FPGA (instead of full custom CMOS) implementation, which would be suitable for mixed-signal SoC design in nano-CMOS era.

(日本語訳)

時間-デジタル変換器(TDC: Time to Digital Converter)は時間分解能型アナログ回路のキーコンポーネントである。電圧振幅の大きさに依存せずに、従来よりも一歩進んだデジタル RF 回路を実現できることが期待できる。フラッシュ型 TDC が広く用いられているが、回路が大きくなり、小チップ面積化・低消費電力化を得ることが困難である。また、フラッシュ型 TDC の最小時間分解能はバッファのゲート遅延により決まり、時間分解能を向上させることも困難である。すなわちフラッシュ型 TDC には二つの課題がある: ① 回路面積 (コスト)、消費電力を減らす。② 時間分解能を向上させる。

そこで本研究では、① 小回路規模・低消費電力 TDC を可能にするために、数学的アプローチによる TDC 回路の設計を提案し、FPGA を用いて回路動作の確認と性能検証を行った。提案した回路とフラッシュ型 TDC に比べ、回路面積 (コスト)、消費電力を低減できる可能性がある。② 時間分解能を向上させるために、数学的アプローチを利用した高時間分解能 TDC アーキテクチャを提案し、RTL シミュレーションを用いて回路動作の確認と性能検証を行った。提案したアーキテクチャとフラッシュ型 TDC に比べ、数ピコ秒の時間分解能を達成することができる。

まずは、剰余定理・グレイコード・巡回符号を利用した TDC 回路を提案した。具体的には、TDC 回路では取り扱う入力信号が時間信号なので、リング発振回路構成により“剰余・グレイコードビット”が容易に得られる。剰余定理を利用した TDC 回路は、フラッシュ型 TDC に比べ、使用した遅延バッファとフリップフロップの数が少ない。それで、回路面積、消費電力及びコストを低減できることが可能である。グレイコード・巡回符号を用いた TDC アーキテクチャは、フラッシュ型 TDC に比べ、使用したフリップフロップの数が少ない。そして、剰余系 TDC に比べ、遅延バッファばらつきがあってもグリッチなし出力が得られ

るというメリットがある。Xilinx 社 FPGA を用いて回路動作の確認と性能検証を行った。提案した TDC 回路は時間を測定することが可能であることを確認し、FPGA で実現できることを示した。提案した回路とフラッシュ型 TDC に比べ、回路面積（コスト）、消費電力を低減できる可能性がある。

次は、確率論により、高時間分解能 TDC アーキテクチャを得た。具体的には、集積回路製造プロセスにおいては、素子の電気特性のばらつきが必ず発生する。D Flip-Flop のオフセットばらつきなどをあえて利用し、従来の TDC よりも細かい時間分解能を実現することが可能である。しかし、素子プロセスばらつきを利用している性質上出力が非線形になりやすく、キャリブレーションを用いる必要がある。それで、自己校正機能を備えた確率的 TDC アーキテクチャを提案した。RTL シミュレーションを用いて回路動作の確認と性能検証を行った。提案したアーキテクチャとフラッシュ型 TDC に比べ、数ピコ秒の時間分解能を達成することができる。

本論文は数学的アプローチの回路設計への応用可能性を提示した。本論文での動作確認と性能検証は、回路シミュレータ SPICE とフルカスタム CMOS を使わず、RTL シミュレーションと FPGA を使って行った。この設計方法はナノ CMOS 時代のアナログおよびミックスド・シグナル回路設計に適している。