

平成 26 年度 修士論文

デルタシグマ時間デジタイザ回路の位相ノイズ  
測定・生成に関する研究

指導教員 小林春夫 教授

群馬大学大学院理工学府

電子情報・数理教育プログラム

大澤優介

## 目次

第1節 位相ノイズ測定回路の検討.....	4
第1章 序論.....	4
1.1 研究背景.....	4
1.2 研究目的.....	5
第2章 時間信号測定回路.....	6
2.1 タイムディジタイザ回路.....	6
2.2 フラッシュ型タイムディジタイザ回路 (Flash TDC) .....	7
2.2.1 Flash TDC の構成及び概要.....	7
2.2.2 Flash TDC の回路動作.....	8
第3章 デルタシグマ型タイムディジタイザ回路 ( $\Delta\Sigma$ TDC) .....	10
3.1 $\Delta\Sigma$ TDC の概要.....	10
3.2 $\Delta\Sigma$ TDC の構成.....	11
3.3 $\Delta\Sigma$ TDC の動作.....	12
第4章 デルタシグマ型タイムディジタイザ回路を用いた位相ノイズ測定.....	17
4.1 位相ノイズ.....	17
4.2 参照クロックを用いた位相ノイズ測定.....	18
4.2.1 位相ノイズ測定の概要.....	18
4.2.2 位相ノイズ測定の原理.....	19
4.2.3 位相ノイズ測定の数式解析.....	20
4.2.4 シミュレーションによる検証.....	22
4.2.5 シミュレーション結果に対する考察.....	26
4.3 自己参照クロックを用いた位相ノイズ測定.....	26
4.3.1 位相ノイズ測定の原理.....	26
4.3.2 位相ノイズ測定の数式解析.....	28
4.3.3 シミュレーションによる検証.....	29
第5章 まとめ.....	33
第2節 ジッタ発生回路の検討.....	34
第6章 研究背景及び研究目的.....	34
6.1 研究背景.....	34
6.2 研究目的.....	34
第7章 ジッタ.....	35
7.1 ピリオドジッタ (Period Jitter) .....	36
7.2 タイミングジッタ (Timing Jitter) .....	36

第 8 章 デルタシグマ変調 ( $\Delta\Sigma$ 変調)	37
8.1 $\Delta\Sigma$ 変調の概要	37
8.2 $\Delta\Sigma$ 変調の伝達関数	37
8.3 $\Delta\Sigma$ 変調のノイズ電力	39
第 9 章 ジッタ生成回路	41
9.1 基本構成	41
9.2 デルタシグマ変調を用いたジッタ生成回路	42
9.3 LUT 自己校正を用いたジッタ生成回路	43
9.4 シミュレーションによる検証	46
9.4.1 基本ジッタ回路	46
9.4.2 LUT 自己校正を用いたジッタ生成回路	47
第 10 章 まとめ	48
第 3 節 デルタシグマ型タイムディジタイザ回路の構成技術の検討	49
第 11 章 研究背景及び研究目的	49
11.1 研究背景	49
11.2 研究目的	49
第 12 章 マルチビット $\Delta\Sigma$ TDC	50
12.1 マルチビット $\Delta\Sigma$ TDC の構成	50
12.2 マルチビット $\Delta\Sigma$ TDC の動作	51
第 13 章 校正技術の検討	52
13.1 Data Weighted Averaging (DWA)	52
13.1.1 DWA アルゴリズム	52
13.1.2 DWA 回路の構成	53
13.2 並び替えアルゴリズム (Sorting Algorithm)	54
13.2.1 並べ替えアルゴリズムのフローチャート	54
13.2.2 並び替え・組み合わせを実現する回路構成	57
13.3 シミュレーションによる検証	58
13.3.1 MATLAB によるシミュレーション	59
13.3.2 SPICE シミュレーション解析	64
第 14 章 まとめ	66
謝辞	67
参考文献	68
本研究に関する業績	69

# 第1節 位相ノイズ測定回路の検討

## 第1章 序論

### 1.1 研究背景

近年、半導体製造プロセスの微細化に伴い、トランジスタ1つあたりの半導体製造コストは減少しているが、テストコストは増加している。それに伴い、低コスト・高品質であるテスト技術が要求される<sup>(1)</sup>。位相ノイズを持つクロックはシステムの誤動作の原因になってしまうため、PLL (Phase Locked Loop : 位相同期回路) をテストするときに重要となるのが、このジッタ・位相ノイズの評価である。ジッタとは時間軸方向での信号波形の揺らぎであり、位相ノイズとは信号に混ざることによって位相が変動させるノイズのことである。

従来はジッタ・位相ノイズ測定をする際、高価であるスペクトルアナライザを使用していた。LSI 量産時のテストともなるとこの高価なスペクトルアナライザを大量に使用しなければならない。このため大幅にテストコストがかかってしまうという現状がある。

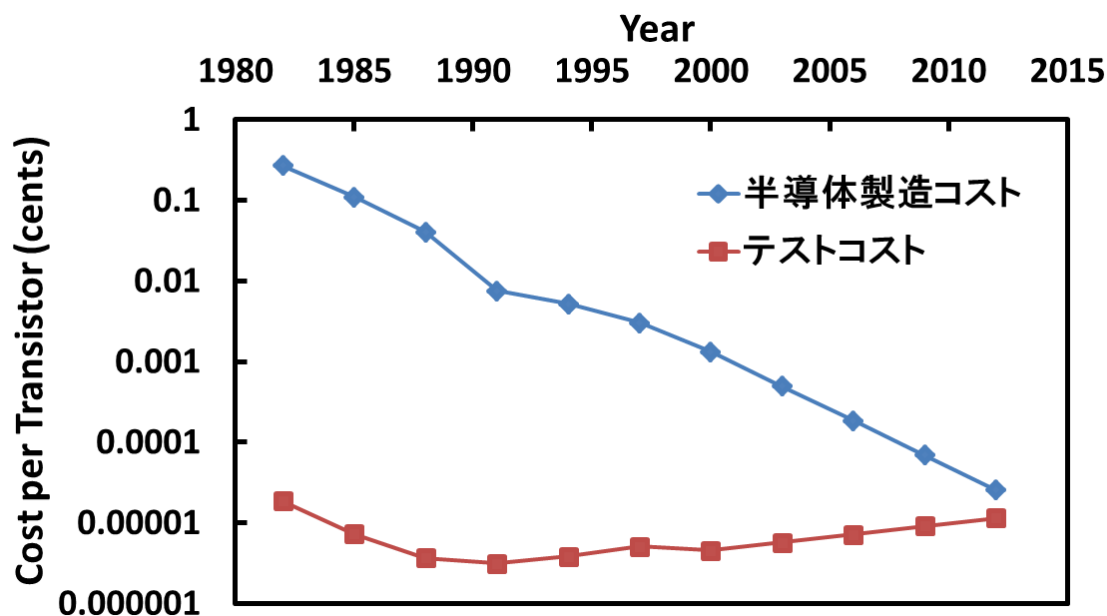


図 1.1 近年のトランジスタ1つに対する製造コストとテストコストの比較

## 1.2 研究目的

スペクトルアナライザを用いずオンチップでジッタ・位相ノイズを試験する回路はすでに提案されている<sup>(2)(3)</sup>が、論文<sup>(2)</sup>のオンチップ・ジッタ測定回路では、周波数特性を得るのが困難である。また、論文<sup>(3)</sup>に示されている PLL の位相ノイズ測定では、通常のフラッシュ型 TDC (Time-to-Digital Converter) が用いられているが、フラッシュ型 TDC では測定分解能を高くすることが困難である。

そこで高時間分解能で位相ノイズ測定を可能にするために、デルタシグマ TDC を用いる手法を提案する。デルタシグマ TDC は小面積で実装可能であり、測定時間が長いほど測定分解能が向上する<sup>(4)(5)</sup>。提案手法により位相ノイズ測定・テストのための高価なスペクトラムアナライザが不要になり、低コストテストが実現できる。また、オンチップで位相ノイズの測定が可能となるため高性能な測定が可能になると考えられる。スペクトルアナライザを用いて位相のノイズを測定する際は外部端子を接続して測定するためその端子から別のノイズが発生してしまい性能劣化につながるのに対し、オンチップであるとその心配がない。

本研究では、安価な位相ノイズ測定を実現するためデルタシグマ TDC を用いた測定手法の理論の構築を目的とする。この理論の有用性について MATLAB を用いたシミュレーションのより検証を行った。

## 第 2 章 時間信号測定回路

### 2.1 タイムディジタイザ回路

時間信号測定回路としてタイムディジタイザ回路 (TDC : Time-to-Digital-Converter) が存在する。時間信号測定回路の使用目的はその名前の通り測定対象となる時間を測定し数値に変換することである。

TDC の概念を図 2.1 に示す。TDC は 2 つのデジタル信号の立ち上がりエッジの入力時間差  $\Delta T$  をデジタル値  $Dout$  に変換する回路である。そのため、出力のデジタル値  $Dout$  の測定により、入力時間差  $\Delta T$  を測定できる。その実現回路には、周波数のクロックをカウントする方式など様々な方式が提案されている。TDC は電圧振幅の大きさに依存せずに、時間というアナログ信号を計測することができるため、近年注目を集めている。

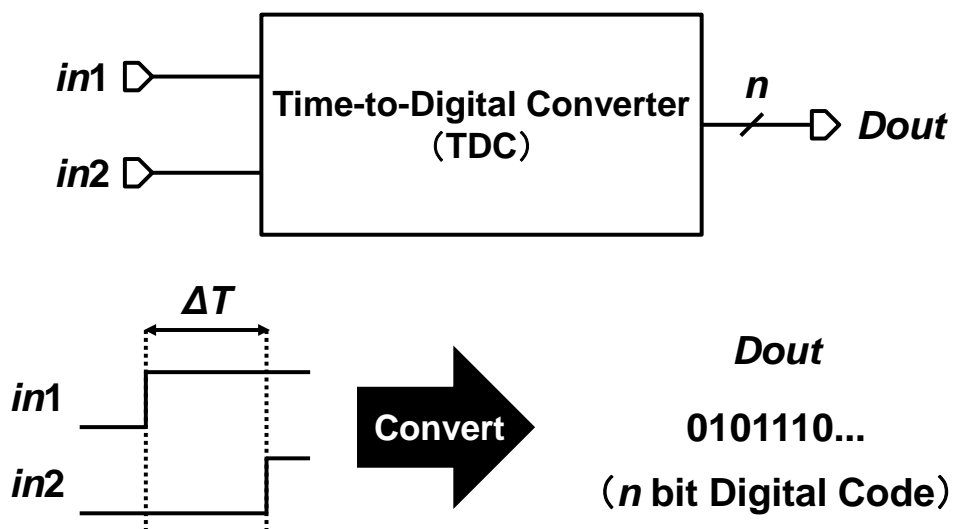


図 2.1 TDC の動作概念

## 2.2 フラッシュ型タイムディジタイザ回路 (Flash TDC)

### 2.2.1 Flash TDC の構成及び概要

時間信号測定回路として TDC はいくつか考案されており存在している。現在、これらの TDC 中で最も使用されているのがフラッシュ型タイムディジタイザ回路である。そこでこのフラッシュ TDC について説明をする。

フラッシュ型タイムディジタイザ回路 (Flash TDC) の構成を図2.2に示す。Flash TDC は、*START* 信号を入力する信号経路に遅延素子を挿入したディレイライン、Dフリップフロップ (D Flip-Flop)、エンコーダから構成される。入力された *START* 信号は直列に接続された遅延素子を通り、遅延素子を通した後の各々の信号がDフリップフロップのD入力端子へと入力される。このとき入力された *START* 信号は遅延素子  $\tau$  の整数倍だけ遅延させられ、*STOP* 信号の立ち上がりのタイミングで各Dフリップフロップの状態がラッチされる。これにより求める信号間の時間差  $\Delta T$  が遅延素子何段に相当するかがわかる。Dフリップフロップからの出力は温度計コード出力として得られ、それが *START* 信号と *STOP* 信号の時間差となる。その信号をエンコーダに通すことで時間差に比例したデジタル出力 *Dout* を得ることができる。n段のFlash TDCでの時間分解能は  $\tau$  であり、測定可能範囲は  $n \cdot \tau$  である。

Flash TDC はインバータや D フリップフロップといったデジタル回路のみで構成することができる。そのため、半導体製造プロセスの微細化に伴い、時間分解能やサンプリング周波数等の向上による高性能化や、回路面積の縮小による低コスト化が期待できる構成の回路である。

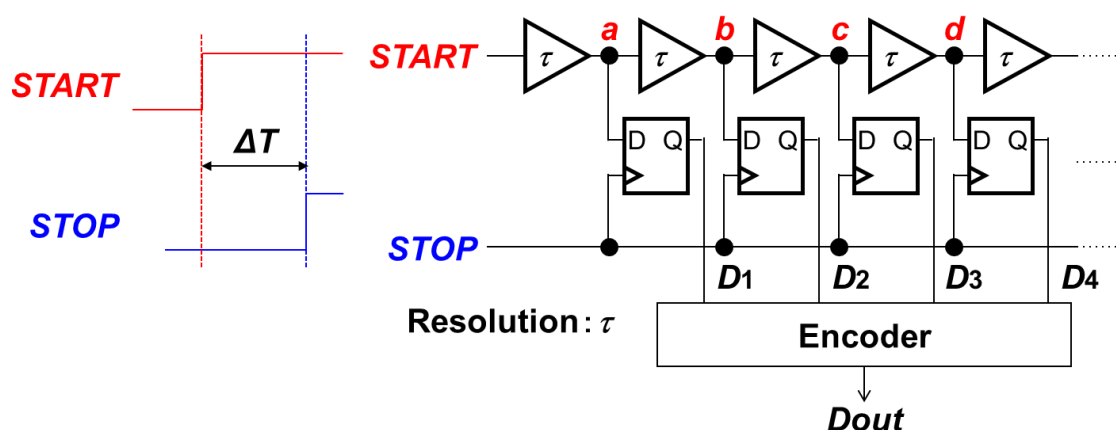


図 2.2 フラッシュ型タイムディジタイザ回路 (Flash TDC) の構成

## 2.1.2 Flash TDC の回路動作

Flash TDC の出力はデジタル信号として一般的な 2 進数ではなく、一進法符号(単進符号)または温度計符号(温度計コード、サーモメータコード)とも呼ばれる、正の整数を表す可変長符号で表される。可変長符号の例を以下に示す。

対象となる数「出力」とすると、

十進数	出力のデジタル信号
1	0
2	10
3	110
4	1110
5	11110
6	111110
7	1111110
⋮	

このように、ある点を境に連続した 0 と連続した 1 が切り替わるコード構成のようになる。この 0(本論文では「Low」)と 1(本論文では「high」)が切り替わった出力(Q)の値は、*STOP* 信号の立ち上がるタイミングであることを指し示す。よって、立ち上がるまでの遅延段数が分かるので、信号の立ち上がりエッジの時間差を求めることができる。図 2.3 に図 2.2 におけるタイミングチャートの例を示す。

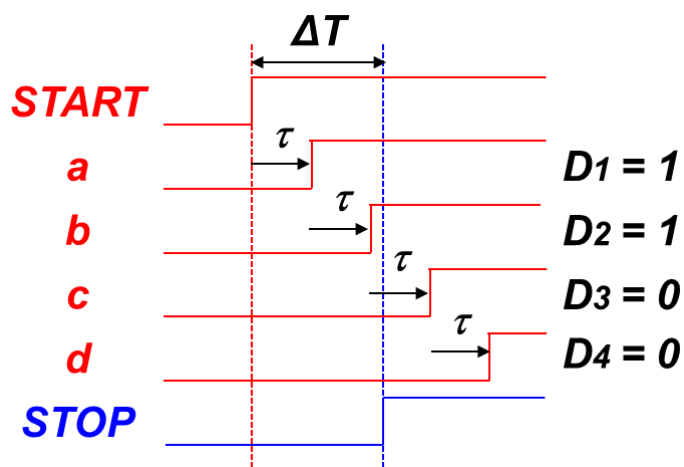


図 2.3 フラッシュ型タイムディジタイザ回路のタイミングチャートの例



図 2.3 のタイミングで *STOP* 信号が入力されると、その立ち上がりエッジで各 D フリップフロップから次の値が出力される。

D0 = Low, D1 = Low, D2 = High, …

この D フリップフロップ出力 (D0,D1,D2…) の 0 の数から、2 信号間の時間差を求められる。この関係を式で表す。インバータの遅延時間  $\tau$ 、誤差を  $\Delta t$ 、出力が High である D フリップフロップの数を  $n$ 、測定したい 2 信号間の時間差を  $T$  とすると、

$$T = n\tau + \Delta t \quad (2.1)$$

である。また、遅延回路のインバータの段数を  $n$ 、測定可能時間を  $T_{max}$  とすると

$$T_{max} = n\tau \quad (2.2)$$

である。このことから測定できる時間差は遅延時間  $\tau$  となる。又測定可能時間は遅延回路と D フリップフロップの数に比例する事がわかる。

しかし、測定したい時間差が  $\tau$  の倍数でない場合誤差が生じてしまい、正しい計測を行うことが出来ない。更に測定可能時間が遅延回路と D フリップフロップの数に依存するのでそれ以上の時間差の計測は不可能である。測定精度を向上するためには遅延時間  $\tau$  を小さくし、測定可能時間を増幅するためには素子数を増やせば可能であるが、よりコストがかかってしまうという問題点も存在する。

# 第3章 デルタシグマ型タイムディジタイザ回路 ( $\Delta\Sigma$ TDC)

## 3.1 $\Delta\Sigma$ TDC の概要

前章で述べた Flash TDC は、任意の信号であっても1回の入力で計測を行うことが可能であるというメリットがある。しかしその反面で、時間分解能が遅延素子の遅延値 $\tau$ によって決まってしまうことや、入力レンジを増やす場合に多くの素子が必要となってしまうというデメリットがある。そこで任意の信号ではなく繰り返し信号を測定する場合(図3.1)、Flash TDC のデメリットを解消した TDC がデルタシグマ型タイムディジタイザ回路( $\Delta\Sigma$ TDC)である。 $\Delta\Sigma$ TDC では任意の信号を測定することはできないが、繰り返し信号であれば測定時間に比例して高精度に測定を行うことが可能となる。さらに、用いる回路要素も少なくなるため、回路規模も小さくすることが可能である。

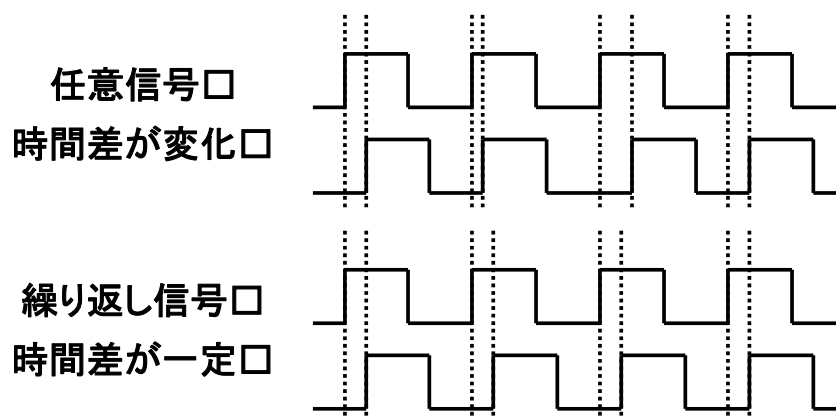


図 3.1 任意信号と繰り返し信号

本研究では、デルタシグマ TDC のメリットを活かし 4 章で述べる位相ノイズ測定を行う回路を提案・検証した。そこで、3 章ではデルタシグマ TDC について詳しく述べていく。

## 3.2 $\Delta\Sigma$ TDC の構成

検討したデルタシグマ TDC の構成を図 3.2 に示す。デルタシグマ TDC は、遅延素子  $\tau$ 、マルチプレクサ、位相比較器、タイミングジェネレータ、積分器、比較器から構成される。2つの同じ周波数の繰り返しクロック信号 CLK1 と CLK2 を入力されると、立ち上がり時間差  $\Delta T$  を測定する。デルタシグマ TDC の名前は、出力から 1 段目のマルチプレクサに伸びているフィードバック部分を” $\Delta$ ”、回路中に使われている積分器を” $\Sigma$ ”とし、これらの部分から決定された。

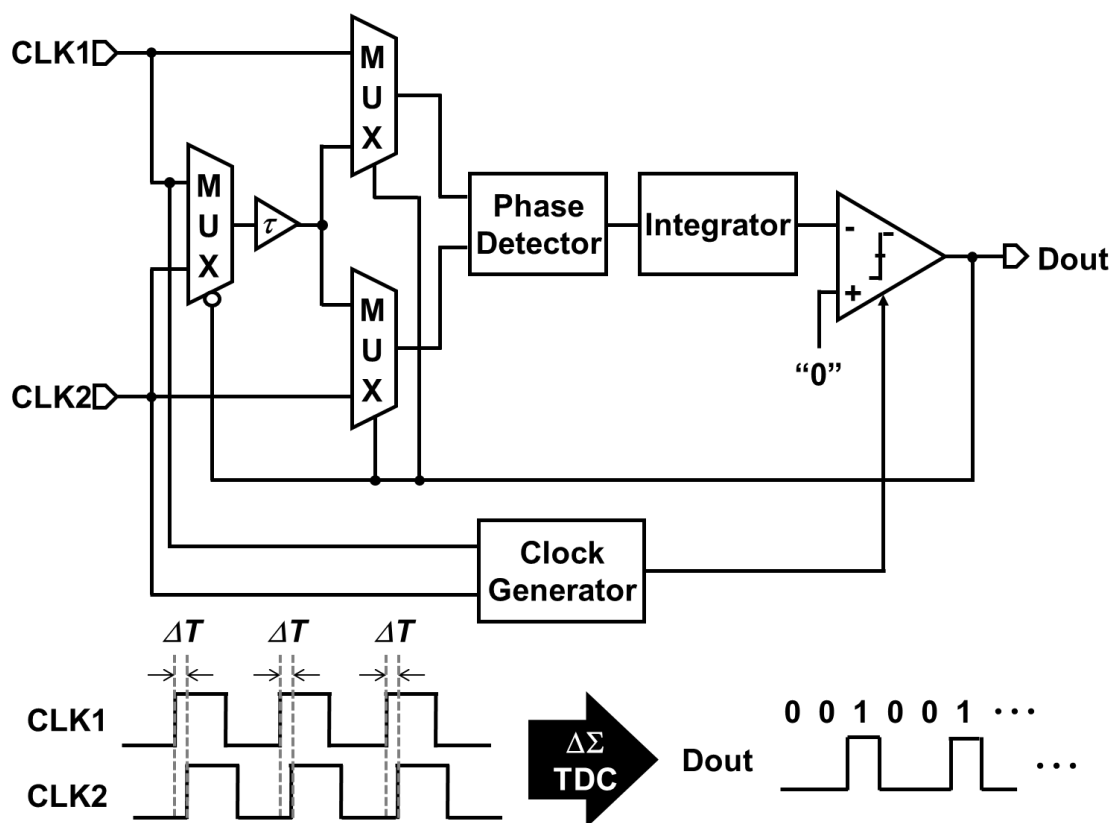


図 3.2 デルタシグマ TDC の構成

本研究では、検証の際 MATLAB を用いてシミュレーションした。シミュレーション中で用いた回路図を図 3.3 に示す。

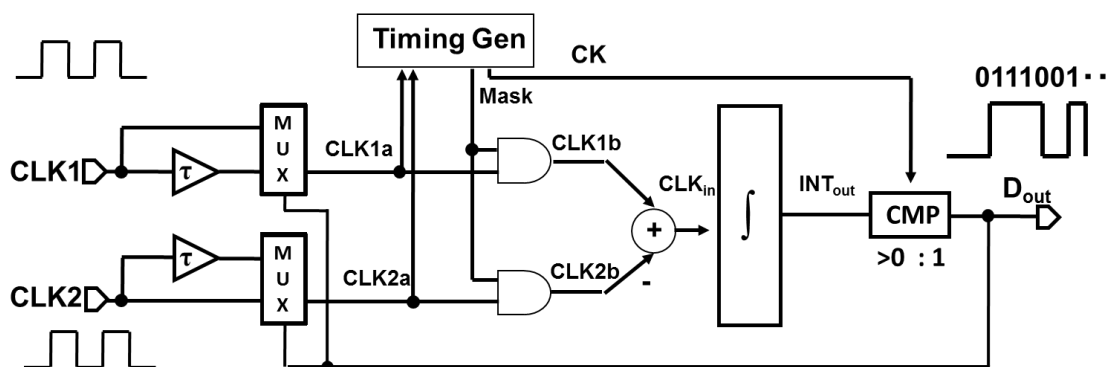


図 3.3 MATLAB で用いたデルタシグマ TDC の構成

### 3.3 $\Delta\Sigma$ TDC の動作

次に、 $\Delta\Sigma$  TDC の動作について説明する。入力された CLK1、CLK2 はそれぞれマルチプレクサによって、比較器出力 D<sub>out</sub> に応じて経路が制御される。マルチプレクサを通過後の信号は、位相比較器によりこれらの信号の時間差に応じたパルスを出力する。その後、その出力パルス幅に応じた電圧に変換し、電圧モードで積分して出力する。さらに、積分器の出力をコンパレータによりゼロと比較し、最終的な出力 D<sub>out</sub> を求める。CLK1 の立ち上がりタイミングが速い場合には時間差を求めたときに正となるため、積分後のコンパレータ出力は 1 となり、次のクロックでは CLK1 は遅延の経路、CLK2 はそのまま信号を通す経路がそれぞれ選択される。CLK2 が速い場合には時間差を求めたときに負となるため、積分後のコンパレータ出力は 0 となり、選択される経路はさきほどの場合とは逆となる。図 3.3 に対するタイミングチャートは図 3.4 に示したようになる。

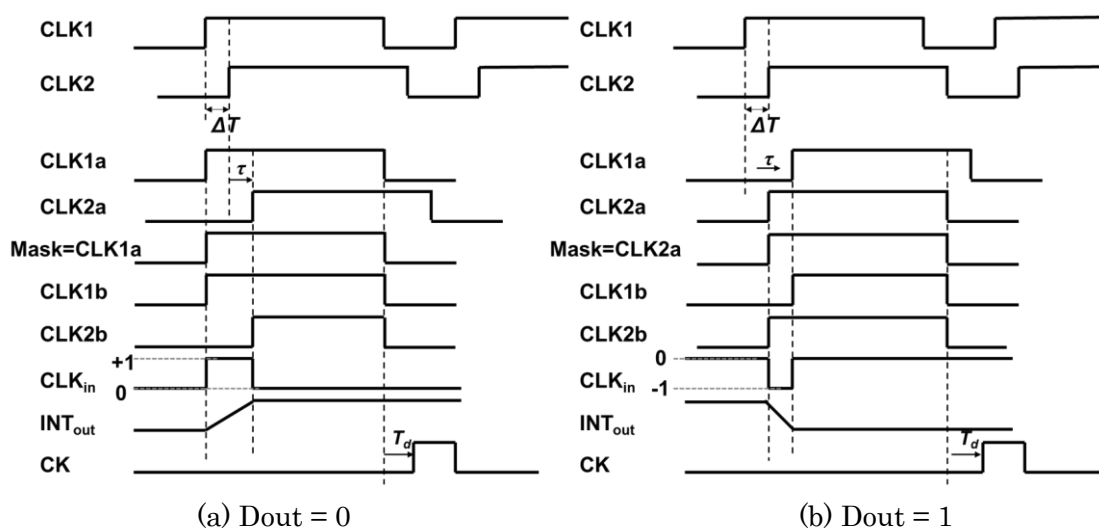


図 3.4 デルタシグマ TDC のタイミングチャート

図 3.5 に $\Delta\Sigma$  TDC の時間差 $\Delta T$  と出力 Dout の関係を示す。時間差がプラス (CLK1 が CLK2 よりも早い) のとき、出力 Dout の 1 の数は多くなり、時間差がマイナス (CLK2 が CLK1 よりも早い) のとき、出力 Dout の 1 の数は少くなる。時間差がゼロのとき、出力 Dout の 1 の数と 0 の数は等しくなる。ここで注意すべきは Flash TDC の出力表現と異なる点である。

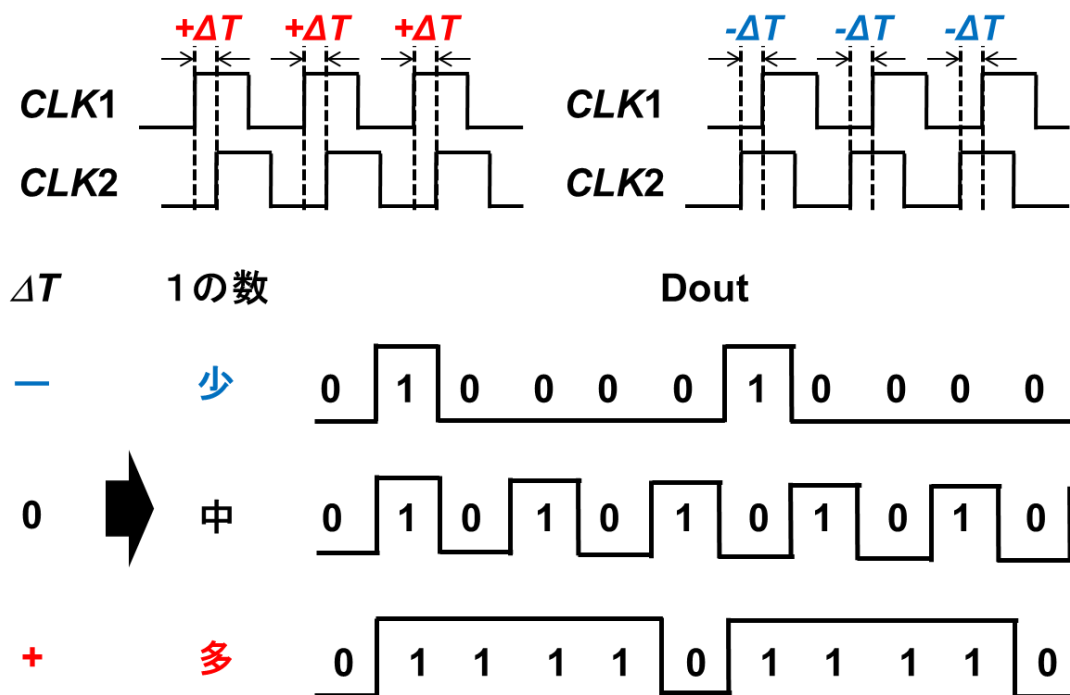


図 3.5  $\Delta\Sigma$  TDC の時間差 $\Delta T$  と出力 Dout の関係

図 3.6 に $\Delta\Sigma$  TDC の出力特性と測定可能範囲を示す。入力の時間差に比例して 1 が出力されるため、出力 Dout の 1 の数からクロック間の立ち上がり時間差 $\Delta T$  を測定することができる。入力クロックの時間差 $\Delta T$  の測定可能範囲は、

$$-\tau < \Delta T < \tau \quad (4.1)$$

となる。また、時間分解能  $R$  は遅延素子 $\tau$ と出力 Dout の全体の数 (1 の数と 0 の数の合計)  $N_{DATA}$  で決定され、

$$R = \frac{2\tau}{N_{DATA}} \quad (4.2)$$

と表される。そのため、積分型 ADC (Analog-to-Digital Converter) と同様に、測定時間が長いと高時間分解能で時間差 $\Delta T$  を測定することができる。

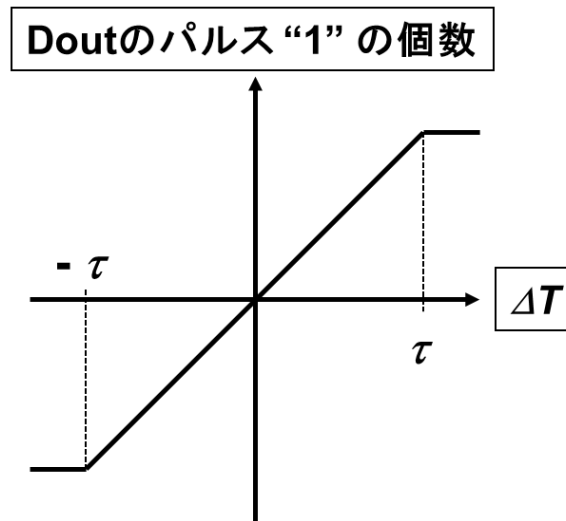


図 3.6  $\Delta\Sigma$  TDC の出力特性と測定可能範囲

実際に  $\Delta\Sigma$ TDC がどのように動作する確認のためシミュレーションを行った。シミュレーションツールには Spectre を使用した。シミュレーションは 180nm CMOS プロセスで行い、使用する電源電圧は 1.8V とした。シミュレーション回路の全体図を図 3.7 に示す。遅延素子の遅延時間  $\tau$  は 1ns であり、積分器の抵抗  $R$  は 10k $\Omega$ 、キャパシタ  $C$  は 10pF である。ディレイラインと積分器は疑似差動構成としている。入力クロックの周波数は 10MHz とし、時間差  $\Delta T$  を  $-1\text{ns}$  から  $+1\text{ns}$  まで 0.1ns 刻みで変化させた。また、出力  $Dout$  の全体の数  $N_{DATA}$  は 40 点となるようにした。このとき、はじめに積分器のスイッチをオンにすることでキャパシタに溜まっている電荷を放電しておくことに注意する。

以上の条件で  $\Delta\Sigma$  TDC のシミュレーションを行い、時間差  $\Delta T$  が  $-0.2\text{ns}$  から  $+0.2\text{ns}$  のときの出力  $Dout$  の波形を図 3.8 に示し、入力クロックの時間差  $\Delta T$  に対する 1 が出力された数をプロットしたものを図 3.9 に示す。この結果から、クロック間の立ち上がりタイミング間隔により 1 の出力される回数が増え、時間差がプラス側 (CLK1 が早い) になるほど  $Dout$  の 1 の数は増え、その値が線形に変化していることが確認できる。今回は遅延素子の遅延時間  $\tau$  を 1ns としているため、それ以上の時間差  $\Delta T$  を持つ入力クロックの場合、出力結果は全て 0 もしくは 1 となってしまう、測定は不可能となる。また、出力  $Dout$  の全体の数  $N_{DATA}$  は 40 点であるため、時間分解能  $R$  の理論値は 0.05ns である。今回のシミュレーションにおいて時間差  $\Delta T$  は 0.1ns 刻みで変化させているため、図 3.9 の出力特性は完全に線形となっている。

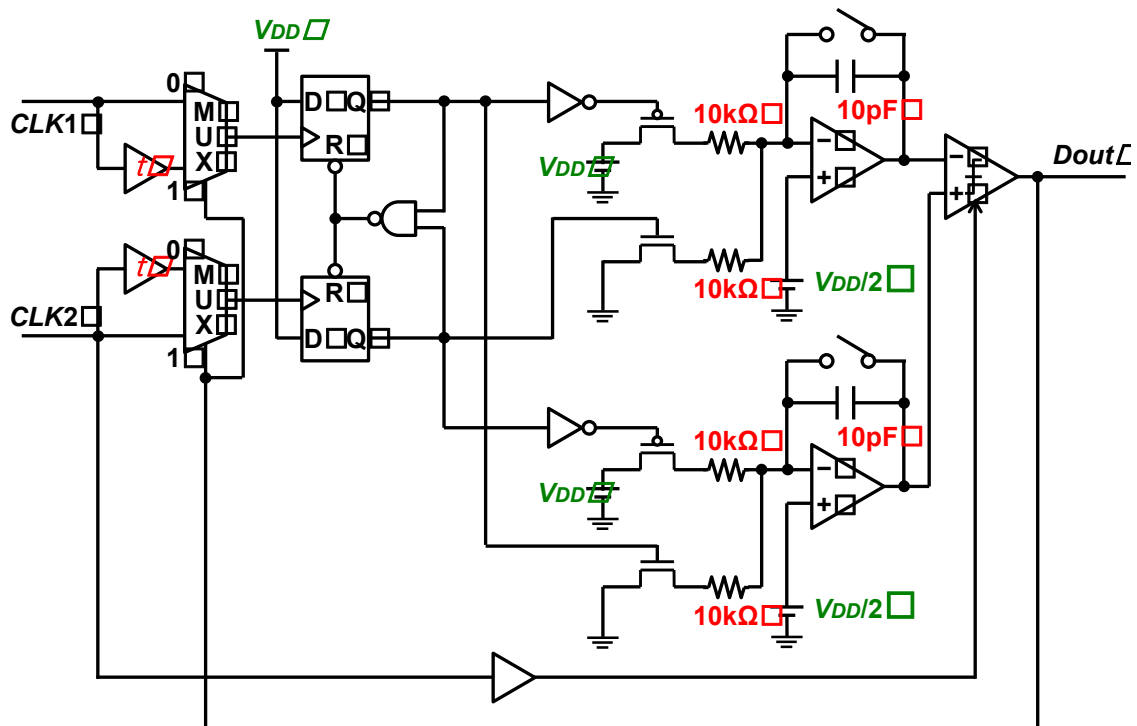


図 3.7 Spectre シミュレーションにおけるデルタシグマ TDC の構成

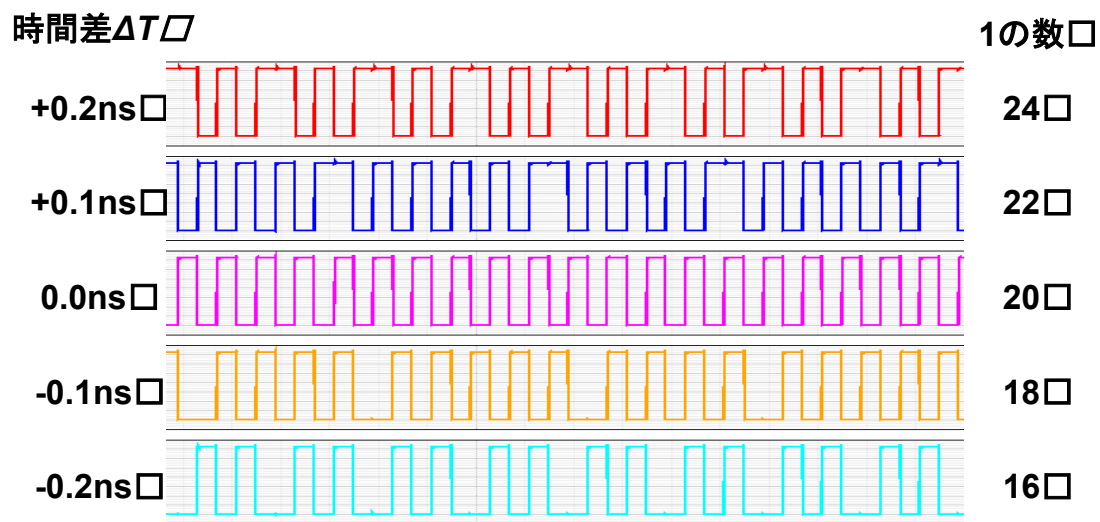


図 3.8 Spectre シミュレーションでの  $\Delta\Sigma$  TDC の出力 Dout の波形  
 $(-0.2\text{ns} \leq \Delta T \leq +0.2\text{ns})$

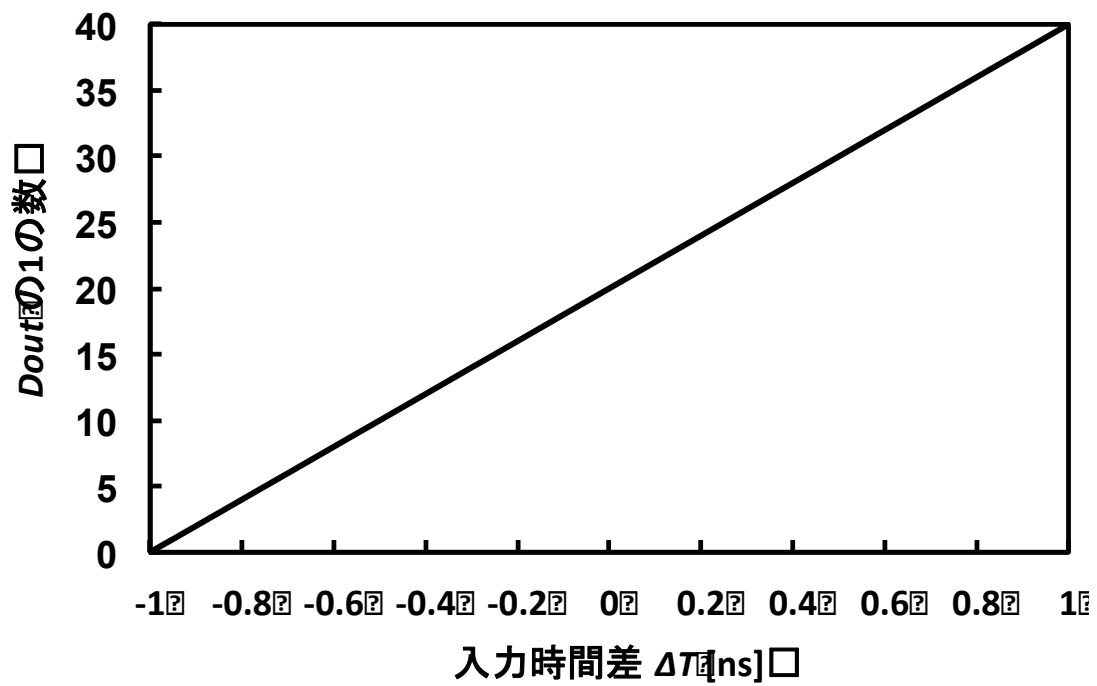


図 3.9 Spectre シミュレーションでの $\Delta\Sigma$  TDC の出力特性

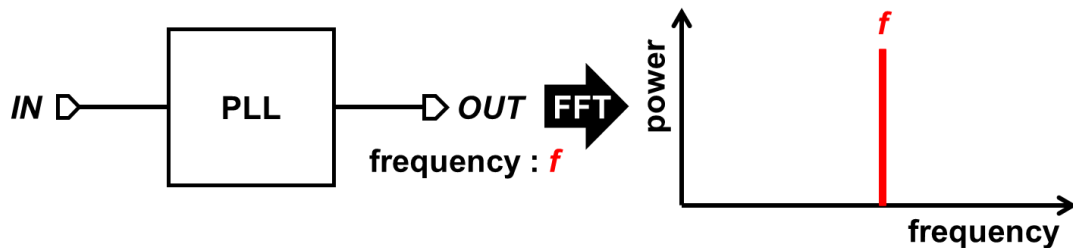


# 第 4 章 デルタシグマ型タイムディジタイザ回路 を用いた位相ノイズ測定

## 4.1 位相ノイズ

理想的な PLL の出力信号のスペクトルと実際の PLL の出力信号のスペクトルを図 4.1 に示す。理想的には所望のキャリア周波数のみに信号スペクトルを持つことが望ましいが、発振器のノイズ成分により側波帯成分が生じる。この側波帯に生じるスペクトルが位相ノイズである。位相ノイズはシステムの誤動作を引き起こす恐れがあるため、測定・テストが必要となる。

### Ideal Phase-Locked Loop (PLL)



### Actual Phase-Locked Loop (PLL)

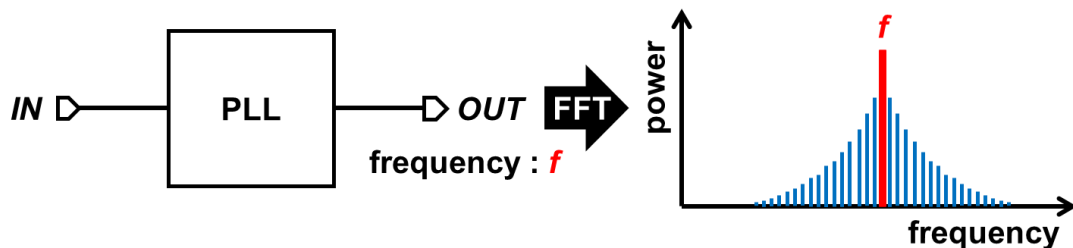


図 4.1 理想的な PLL と実際の PLL の出力信号スペクトル

## 4.2 参照クロックを用いた位相ノイズ測定

本研究では2つの位相ノイズ測定技術を提案した。1つが参照クロックを用いた位相ノイズ測定であり、もう1つが自己参照クロックを用いた位相ノイズ測定である。まず、参照クロックを用いた位相ノイズ測定について述べる。

### 4.2.1 位相ノイズ測定の概要

図 4.2 に TDC を用いた位相ノイズ測定の流れを示す。前述した通り、位相ノイズは周波数領域で議論する特性を出すのが望ましい。しかし、周波数領域で直接測定するということは困難である。そこで時間領域でクロックのノイズを統計として検出し、その結果をフーリエ変換 (FFT : Fast Fourier Transform) することで周波数領域の検出をする。ここで、時間領域の測定で  $\Delta\Sigma$ TDC を用いることを考えた。つまり、TDC により理想クロックからのずれを時間領域で検出し、その結果をフーリエ変換することで周波数領域の位相ノイズを測定する。

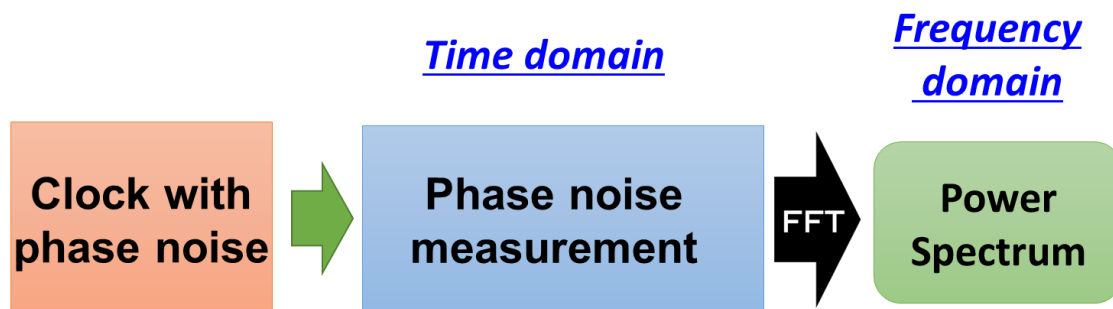


図 4.2 TDC を用いた位相ノイズ測定の流れ

ここで、 $\Delta\Sigma$ TDC を採用した理由について述べる。前述の通り、現状として広く使用されている TDC は Flash TDC である。表 4.1 に Flash TDC と  $\Delta\Sigma$ TDC の性能について比較した表を示す。Flash TDC 最大の特徴は1つの測定対象にかかる測定時間が短いところである。しかし、位相ノイズ測定に関しては、周波数特性を得るために時間領域で連続時間を繰り返し測定しなくてはならない。つまり、ある程度の時間を測定にかけなければならないのである。したがって、測定時間が短いというメリットが位相ノイズ測定では失われてしまうのである。そこで、測定時間以外の点で比較すると Flash TDC よりも  $\Delta\Sigma$ TDC の方が適していると考えられる。また、位相ノイズ測定では時間分解能が大変重要な要素となる。 $\Delta\Sigma$ TDC は時間をかけること分解能をいくらかでも向上させることができるというメリットもあり本技術に最適の TDC と言える。

表 4.1 Flash TDC と  $\Delta\Sigma$ TDC の比較

Flash		Delta-Sigma
$\triangle$	Linearity	$\bigcirc$
$\bigcirc$	Area	$\bigcirc$
$\odot$	Speed	$\times$
$\triangle$	Resolution	$\odot$

#### 4.2.2 位相ノイズ測定の実理

$\Delta\Sigma$ TDC を用いた位相ノイズの測定原理を図 4.3 に示す。位相ノイズがない信号の場合、2つの周波数の等しい入力クロック CLK1（被試験クロック）と CLK2（ノイズを含まない理想的なクロック）の時間差は常に一定であるため、 $\Delta\Sigma$ TDC の出力スペクトルは DC 成分のみ出現する。ノイズフロアの成分は $\Delta\Sigma$ 変調によってノイズシェープがかかるため、周波数が高くなるにつれてフロアが上昇する。しかし、入力クロックに位相ノイズが存在する場合、2つの入力クロックの時間差はクロック周期毎に変化する。したがって、 $\Delta\Sigma$ TDC の出力スペクトルには2つの入力クロックの時間差の変動が周期的に現れることになるため、位相ノイズの測定が可能となる。

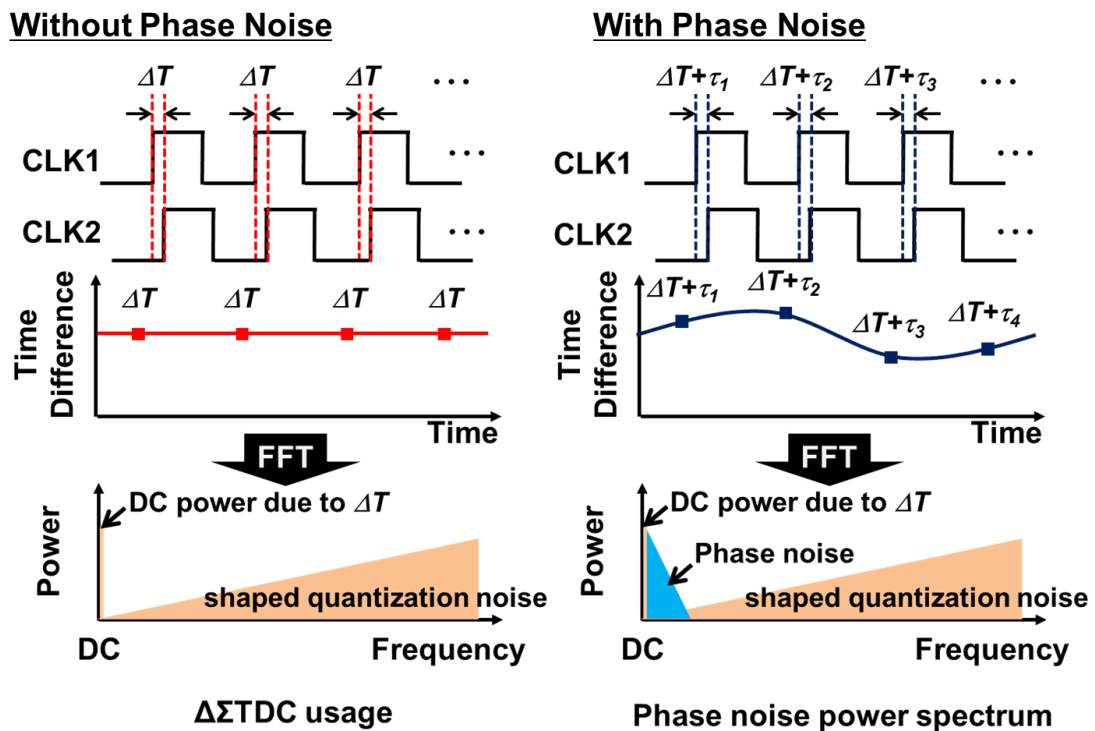


図 4.3  $\Delta\Sigma$ TDC を用いた位相ノイズの測定原理

### 4.2.3 位相ノイズ測定の数式解析

図 4.4 に $\Delta\Sigma$  TDC を用いた位相ノイズ測定の構成を示す。位相ノイズを含む被試験クロック CUT (Clock Under Test) と位相ノイズの少ない基準クロック REF との時間差を $\Delta\Sigma$  TDC により測定する。 $\Delta\Sigma$  TDC の出力信号から得られるデジタル値を FFT することで、CUT の位相ノイズを測定できる。この時、CUT 及び REF はともに同じ周波数である。ここでは、数式を用いて位相ノイズが測定できることを示す。

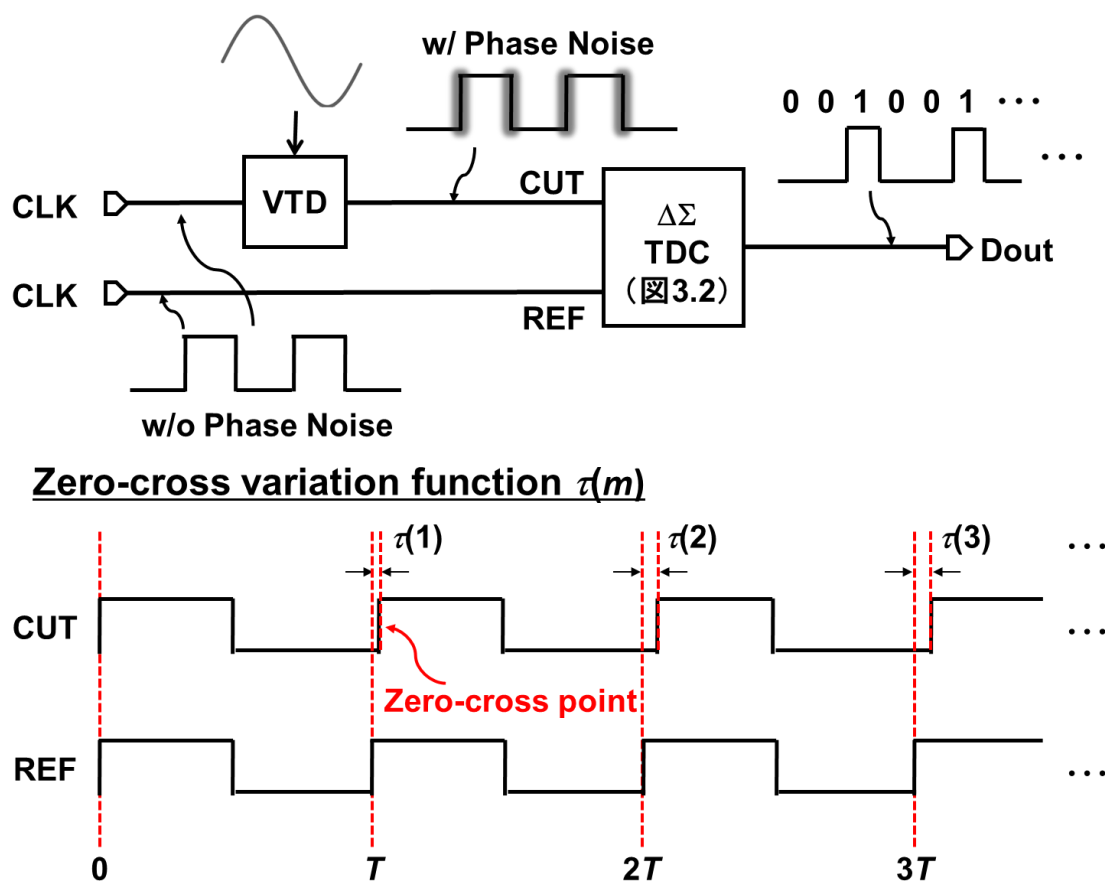


図 4.4  $\Delta\Sigma$  TDC を用いた位相ノイズ測定の構成およびゼロクロス点変動関数 $\tau(m)$

図 4.4 において、2つのクロック CUT と REF の周期を  $T$  とした時、クロック CUT の正弦波近似は以下の式で表すことができる。

$$\text{CUT} \approx \sin(2\pi f_{in}t + \phi(t)) \quad (\text{where, } f_{in} = 1/T) \quad (4.1)$$

ここで、 $\phi(t)$  は時間領域で表した位相ノイズである。また、立ち上がりエッジのゼロクロス点変動関数  $\tau(m)$  とすると、立ち上がりエッジの  $m$  番目のゼロクロス点は、

$$2\pi f_{in}(mT + \tau(m)) + \phi(mT) = 2\pi m \quad (4.2)$$

$$\therefore \phi(mT) = -2\pi f_{in}\tau(m) \quad (4.3)$$

ここで、 $\phi(mT)$  が時間領域で表した位相ノイズである。したがって式(4.3)より、 $\tau(m)$  の成分によって位相ノイズが決定される。

$\tau(m)$  が単一正弦波の位相変動である場合を考える。このとき、

$$\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \quad (4.4)$$

と表すことができる。ここで、 $\alpha_j$  は定数、 $\omega_j$  は単一正弦波位相変動の角周波数である。このとき、 $\phi(mT)$  は、

$$\phi(mT) = -2\pi\alpha_j \cdot \sin(\omega_j \cdot mT) \quad (4.5)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \quad (4.6)$$

となる。式(4.6)の  $\Phi(\omega_j)$  は周波数領域で表した位相ノイズである。以上より、シグマデルタ TDC 出力の FFT 解析から $\tau(m)$ を求めることで位相ノイズ $\Phi(\omega_j)$ を算出することが可能である。

次に、 $\tau(m)$  が正弦波合成の位相変動の場合を考える。このときも同様に、 $\tau(m)$  と  $\phi(mT)$  より  $\Phi(\omega_j)$  を求めると、

$$\tau(m) = \sum_{j=1}^N T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \quad (4.7)$$

$$\phi(mT) = -2\pi \sum_{j=1}^N \alpha_j \cdot \sin(\omega_j \cdot mT) \quad (4.8)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \quad (4.9)$$

となる。以上のことから、シグマデルタ TDC の出力を FFT 解析し、 $\tau(t)$  の周波数スペクトル  $\tau(\omega)$  を得ることができれば、 $\tau(\omega)$  より  $\Phi(\omega)$  を求めることが可能である。

#### 4.2.4 シミュレーションによる検証

提案する参照クロックを用いた位相ノイズ測定法の有効性を、MATLAB を用いたシミュレーションにより確認した。シミュレーションの回路構成は図 3.3 のようにした。シミュレーションは以下の場合で行った。

- A) 単一正弦波の位相変動
- B) 正弦波合成の位相変動

入力クロック CUT の位相変動は、VTD (Variable Time Delay) を用いて理想的に与えている。入力クロック CUT と REF の周波数は 1 MHz とし、入力クロック CUT にのみ位相変動を与えた。 $\Delta\Sigma$ TDC の遅延素子  $\tau$  は 100 ns に設定した。また、 $\Delta\Sigma$  TDC の出力で得られるデータ点数は 4096 点とした。

##### A. 単一正弦波の位相変動

入力クロック CUT のエッジに、単一正弦波の位相変動を加えてシミュレーションを行った。シミュレーション条件を表 4.2 に示す。図 4.5 は位相変動のイメージ図である。

表 4.2 単一正弦波位相変動時のシミュレーション条件

Single Sinusoidal Wave
$\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots (4.4)$
$T \cdot \alpha_j = 100 \text{ [ns]}$
$f_1 = \frac{\omega_j}{2\pi} = 10 \text{ [kHz]}$
$f_2 = \frac{\omega_j}{2\pi} = 50 \text{ [kHz]}$

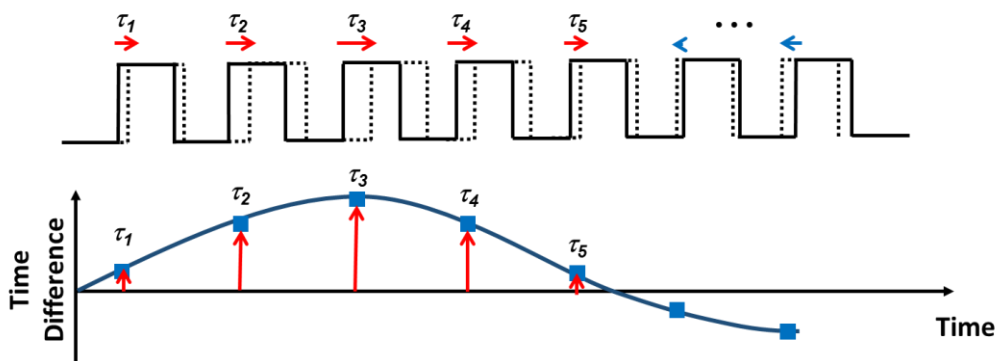


図 4.5 位相変動のイメージ図

図 4.6 は図 4.4 のように VTD を用いて入力クロックに 10 kHz の単一正弦波位相変動を加えた時の、ゼロクロス点変動関数  $\tau(m)$  とその FFT 解析結果を示している。図 4.3 より、入力クロック CUT が 10 kHz の周波数で位相変動をしていることが分かる。この時の  $\Delta\Sigma$ TDC の出力データを FFT 解析した結果を図 4.7 に示す。図 4.7 の上図は入力クロック CUT に位相変動を加えない場合の出力データを FFT した結果である。 $\Delta\Sigma$ TDC の出力においても 10 kHz のスペリアスが現れていることが分かる。

入力（図 4.6）と出力（図 4.7）の FFT 結果を比較すると入力の FFT 結果の方はノイズフロアが低く、高周波でも常に低い値を示している。出力においてノイズフロアが高いのは  $\Delta\Sigma$ TDC 中の比較器による量子化ノイズによるものである。また、ノイズフロアが周波数の対数に比例して上昇しているのはデルタシグマ変調による 1 次のノイズシェープがかかるからである。

また、入力クロックに 50 kHz の単一正弦波位相変動を加えた時の  $\Delta\Sigma$ TDC の出力データを FFT 解析した結果を図 4.8 に示す。図 4.8 から 50kHz のスペリアスが現れていることが分かる。

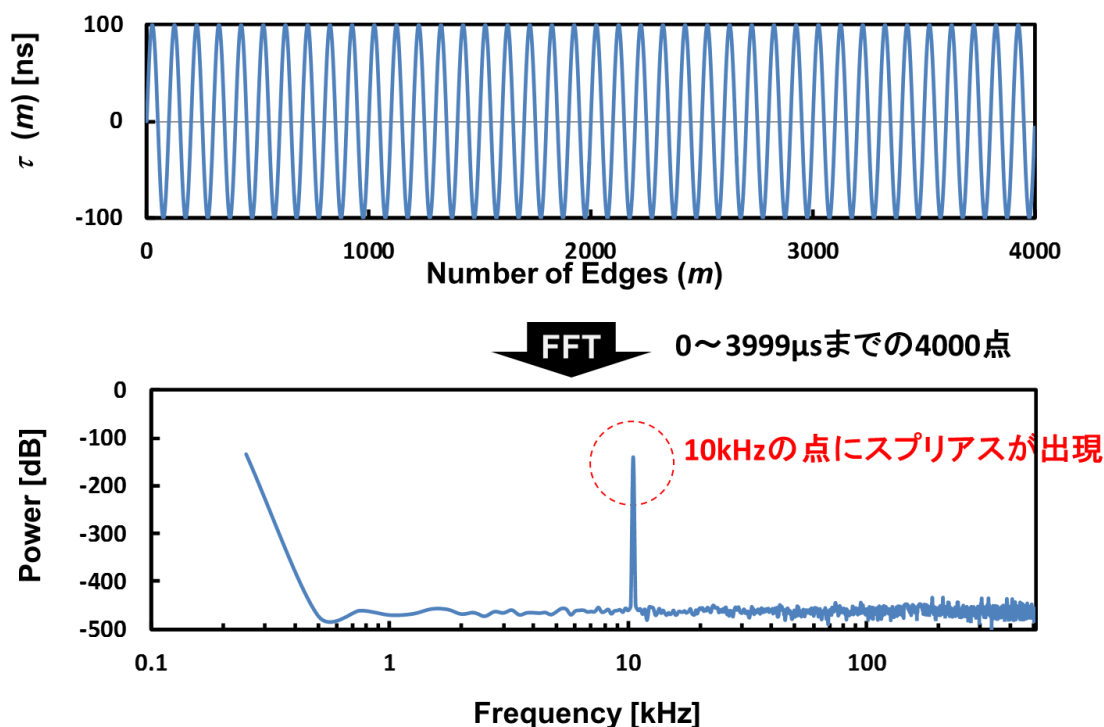
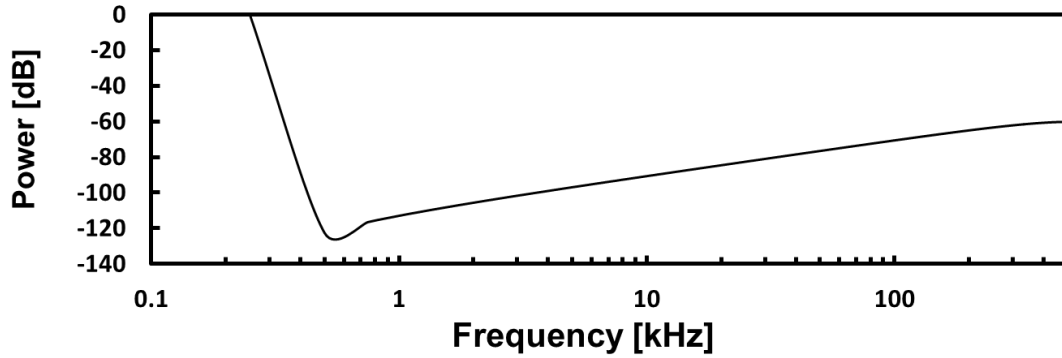


図 4.6 入力クロックに VTD を用いて 10 kHz の位相変動を与えた場合のゼロクロス点変動関数  $\tau(m)$  と FFT 解析結果

### without Phase Variation



### with Phase Variation(10kHz)

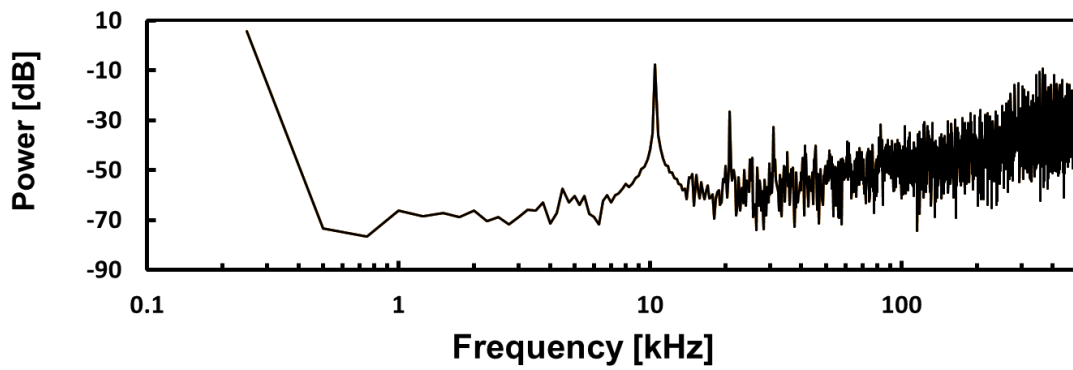


図 4.7 位相変動無及び単一正弦波（10kHz）の位相変動における出力データの FFT 結果

### with Phase Variation(50kHz)

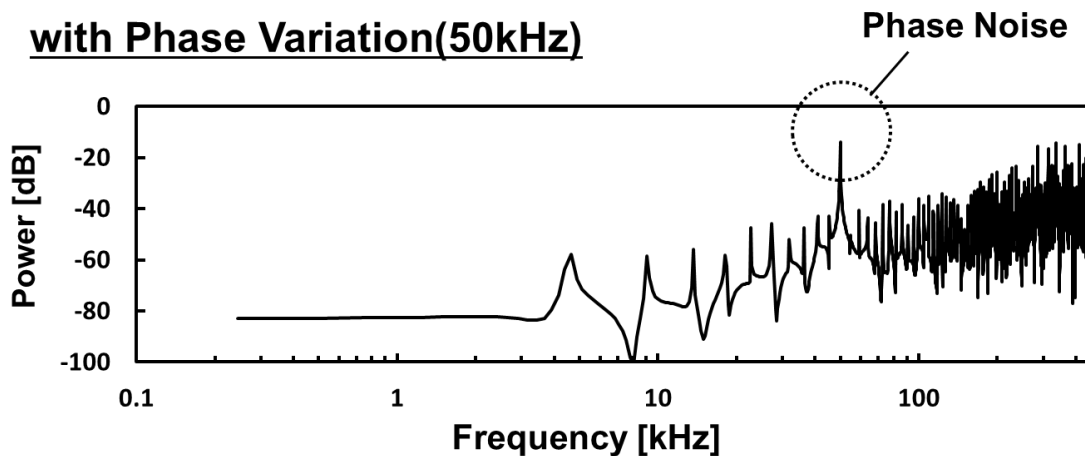


図 4.8 単一正弦波（50kHz）の位相変動における出力データの FFT 結果



## B. 正弦波合成の位相変動

実際の位相ノイズには複数の周波数成分が含まれている。そのため、入力クロック CUT のエッジに 2 つの正弦波合成の位相変動を加えてシミュレーションを行った。シミュレーション条件を表 4.3 に示す。

表 4.3 正弦波合成位相変動時のシミュレーション条件

Sinusoidal Synthesis Wave
$\tau(m) = \sum_{j=1}^2 T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \dots (4.7)$
$T \cdot \alpha_1 = T \cdot \alpha_2 = 50 \text{ [ns]}$
$f_1 = \frac{\omega_1}{2\pi} = 10 \text{ [kHz]}$
$f_2 = \frac{\omega_2}{2\pi} = 50 \text{ [kHz]}$

図 4.9 に、入力クロック CUT に 10 kHz と 50 kHz の正弦波合成位相変動を加えた時の  $\Delta\Sigma$  TDC の出力データの FFT 解析結果を示す。図 4.9 より、入力クロック CUT に複数の位相変動成分が含まれている場合でも、 $\Delta\Sigma$  TDC の出力を FFT 解析することで、入力クロック CUT の位相変動を測定できることが分かる。つまり、入力クロックの位相ノイズが測定できている。

以上の結果より、複数の周波数成分を含む位相ノイズが測定できているため、 $\Delta\Sigma$  TDC を用いた位相ノイズの測定は可能であることが確認できた。

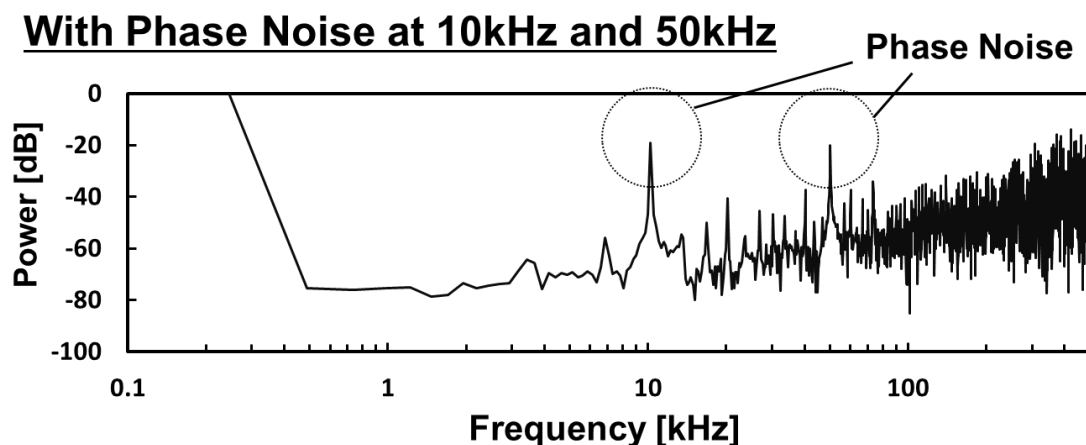


図 4.9 正弦波合成 (10kHz, 50kHz) の位相変動における出力データの FFT 結果

#### 4.2.5 シミュレーション結果に対する考察

測定結果のスペクトラムの大きさについて正しいかどうか検証をした。式(4.9)より求めた理論値と図 4.7 における測定結果のスペクトラムの大きさを比較した。測定結果の値が-13.66dB に対し、理論値が-7.05dB という結果であった。他の測定結果を見ても測定値と理論値の差が約 6dB あることが分かった。このことから理論値に-6dB の補正値を加えることで測定値が算出できるということを発見した。

### 4.3 自己参照クロックを用いた位相ノイズ測定

これまでの「基準クロックを用いた位相ノイズ測定」では $\Delta\Sigma$  TDC の入力に被試験クロックとノイズの少ない（できれば全く無い）クロックを必要とした。この際、ノイズが少ない理想的なクロックを LSI として実装するのは困難である。そこで理想的なクロックを用いず位相ノイズ測定できるように改良した。この技術がこれから述べる「自己参照技術を用いた位相ノイズ測定」である。

#### 4.3.1 位相ノイズ測定の原理

図 4.10 に $\Delta\Sigma$  TDC を用いた自己参照クロックによる位相ノイズ測定の構成を示す。CLK は位相ノイズを含む被試験クロックである。この CLK と CLK を  $\beta T$  だけ遅延させた信号を $\Delta\Sigma$  TDC に入力する。ここで T はクロックの周期であり、 $\beta$  は 1 が望ましい。 $\beta$  は正確に 1 や整数でなくても良いため実装が容易である。

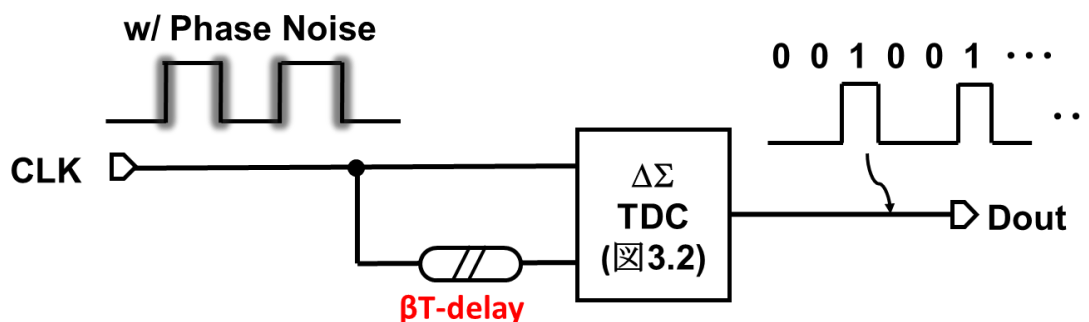


図 4.10  $\Delta\Sigma$  TDC を用いた自己参照クロックによる位相ノイズ測定の構成

図 4.11 は基準クロック、ジッタを含むクロック及び  $\beta T$  遅らせたクロックのタイミングチャートである。本提案手法ではジッタを含むクロック同士のタイミングの差を計測していることからピリオドジッタを測定していることになる。測定対象である位相ノイズのパワースペクトラムは、図 4.10 に示される  $\Delta\Sigma$  TDC の出力を FFT して求められたピリオドジッタのパワースペクトラムに  $1/\omega^2$  を掛け合わせることで得ることができる(図 4.12)。

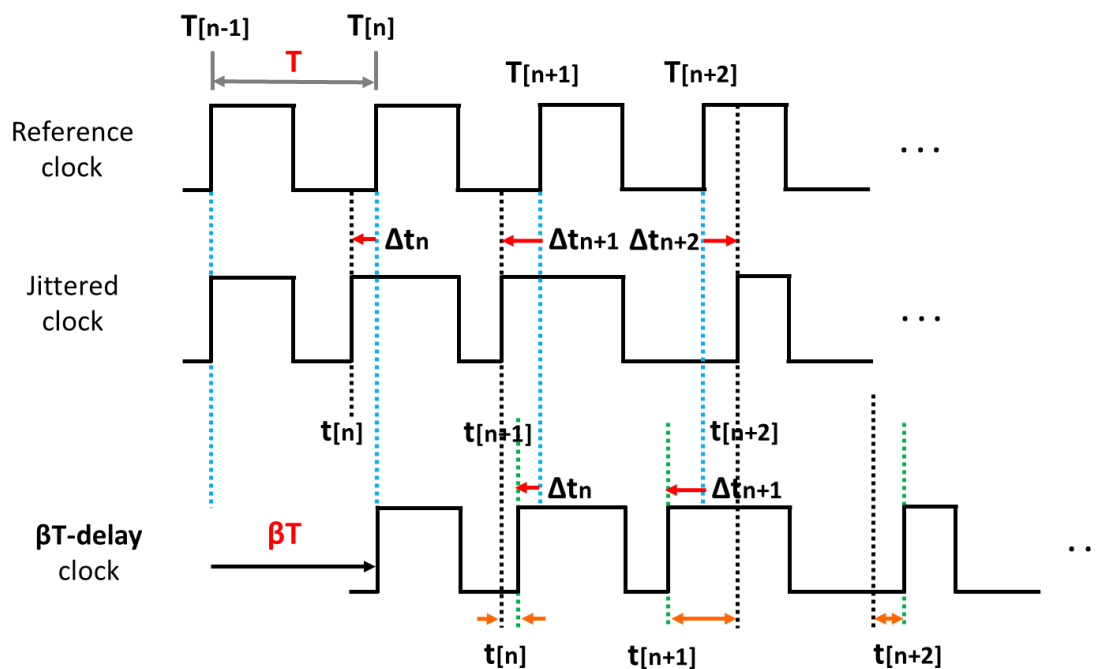


図 4.11 各クロックのタイミングチャート

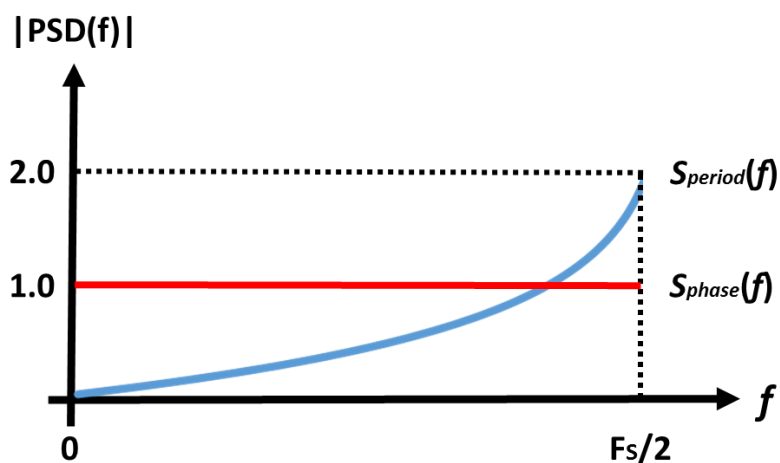


図 4.12 ピリオドジッタと位相ノイズのパワースペクトラム

### 4.3.2 位相ノイズ測定の数式解析

図 4.10 で示した回路において、数式を用いて位相ノイズが測定できることを述べる。  
 〈4.2.3〉章の式(4.3)まで同様な導出であるため省略する。

$\tau(m)$  が単一正弦波の位相変動である場合を考える。このとき 〈4.2.3〉章と同様であるため式(4.4)となる。

$$\tau(m) = T \cdot \alpha_1 \cdot \sin(\omega_1 \cdot mT) \quad (4.4)$$

図 4.10 の  $\Delta\Sigma$  TDC では次の時間を測定している。

$$\begin{aligned} & \tau(m+1) - \tau(m) + (\beta - 1)T \\ &= T \cdot \alpha_1 [\sin(\omega_1 (m+1)T) - \sin(\omega_1 \cdot mT)] + (\beta - 1)T \\ &= 2T \cdot \alpha_1 \sin(\omega_1 T/2) \cos(\omega_1 (m+1/2)T) + (\beta - 1)T. \end{aligned} \quad (4.5)$$

ここで  $(\beta - 1)T$  は図 4.3 の DC 成分である。すなわち、時間領域での周波数成分は、

$$\phi'(mT) = 2T \cdot \alpha_1 \sin(\omega_1 T/2) \cos(\omega_1 (m+1/2)T) \quad (4.6)$$

と表せる。これより、周波数領域では、

$$\Phi'(\omega_1) = \frac{1}{2} (2\pi\alpha_1)^2 [2 \sin(\omega_1 T/2)]^2 \quad (4.7)$$

と表せる。 $\omega_1$  における位相ノイズのパワースペクトラムは、

$$\Phi(\omega_1) = \frac{\Phi'(\omega_1)}{[2 \sin(\omega_1 T/2)]^2} \quad (4.8)$$

と表せる。

ここで前提として、 $\omega_1$  は  $2\pi f_{in}$  より十分小さいとして考える。発信器の位相ノイズに関して、位相ノイズの周波数特性は発信器の信号の周波数に比べ十分に小さい。このことから前提は妥当性のあるものだと言える。

上記の前提が成り立っている場合、 $\omega_1 T/2 \ll 1$  である。これより  $2 \sin\left(\frac{\omega_1 T}{2}\right) \cong \omega_1 T$  であるため、位相ノイズのパワースペクトラムは、

$$\Phi(\omega_1) \cong \frac{\Phi'(\omega_1)}{\omega_1^2 T^2} \quad (4.9)$$

と表せる。

### 4.3.3 シミュレーションによる検証

提案する自己参照クロックを用いた位相ノイズ測定法の有効性を、MATLAB を用いたシミュレーションにより確認した。シミュレーションの回路構成は図 4.10 のようにした。シミュレーションは以下の場合で行った。

- A) 単一正弦波の位相変動
- B) 正弦波合成の位相変動
- C) 遅延量  $\beta T$  にばらつき有

入力クロック CUT の位相変動は、VTD (Variable Time Delay) を用いて理想的に与えている。入力クロック CUT の周波数は 1 MHz とし、入力クロック CUT にのみ位相変動を与えた。 $\Delta\Sigma TDC$  の遅延素子  $\tau$  は 100 ns に設定した。また、 $\Delta\Sigma TDC$  の出力で得られるデータ点数は 4096 点とした。

#### A. 単一正弦波の位相変動

入力クロック CLK のエッジに、単一正弦波の位相変動を加えてシミュレーションを行った。位相変動として加えた単一正弦波は 3 種類、それぞれ 1kHz、10kHz、100kHz を加えた。この時、 $\Delta\Sigma TDC$  の出力を FFT した結果をそれぞれ図 4.13、図 4.14、図 4.15 に示す。

図 4.13~15 より、1kHz、10kHz、100kHz それぞれのスプリアスが現れていることが分かる。また、位相ノイズの周波数が高くなるほどパワースペクトラムが上昇していることが確認できる。これは図 4.12 で示した結果と合致する。図 4.16 に単一正弦波の位相変動 (10kHz~100kHz : 10kHz 刻み) のシミュレーション結果と理論値との比較を示す。図 4.16 より、シミュレーションの値が理論値の特性を示すように変化していることが分かる。この結果から位相ノイズが単一正弦波であるとき提案手法で測定できるといえる。

#### With Phase Variation (1kHz)

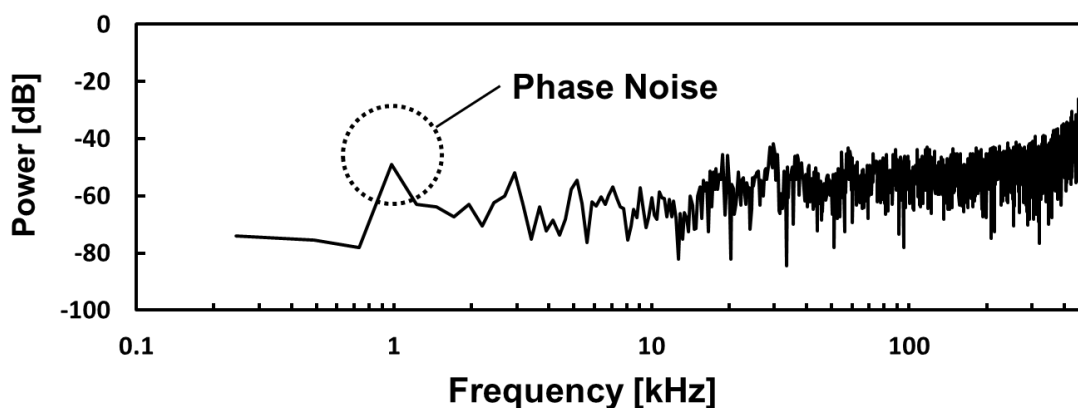


図 4.13 単一正弦波 (1kHz) の位相変動における出力データの FFT 結果

### With Phase Variation (10kHz)

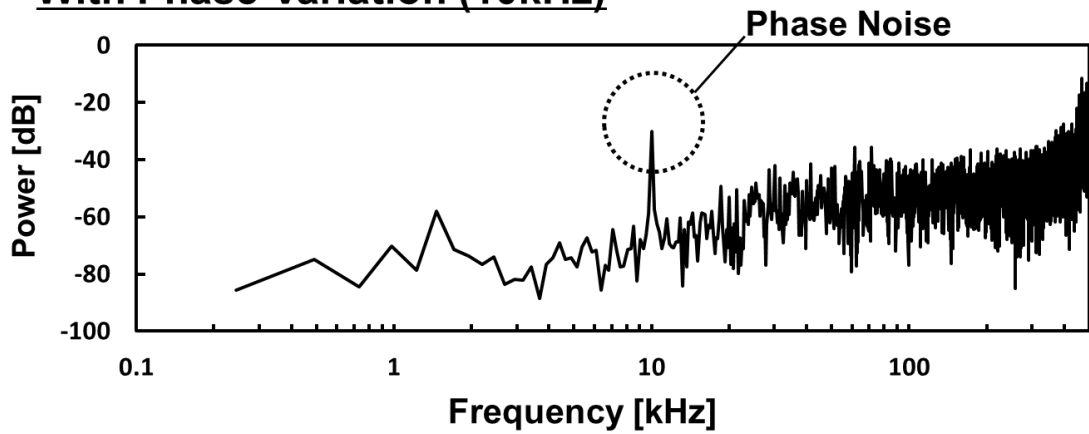


図 4.14 単一正弦波（10kHz）の位相変動における出力データの FFT 結果

### With Phase Variation (100kHz)

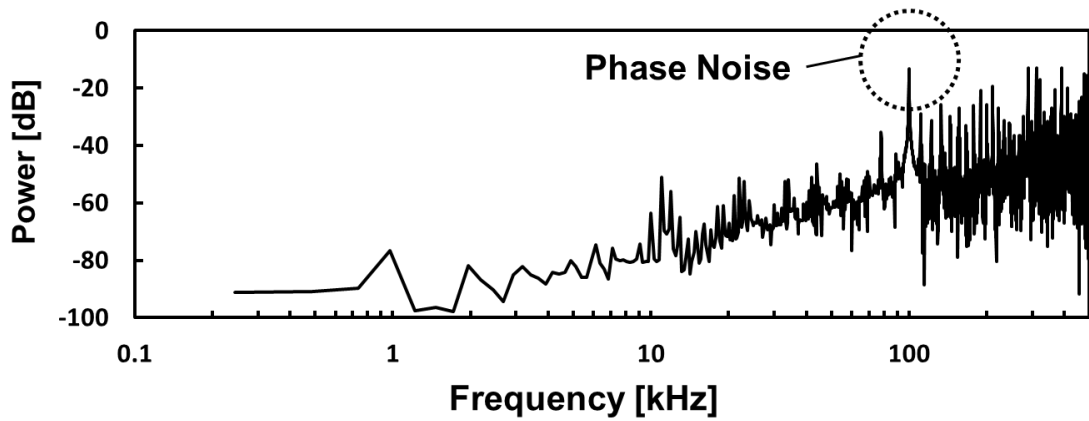


図 4.15 単一正弦波（100kHz）の位相変動における出力データの FFT 結果

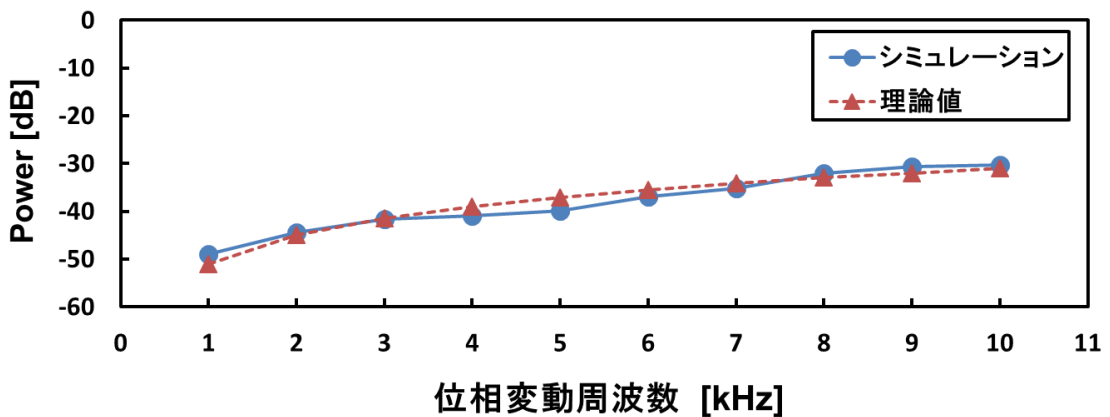


図 4.16 単一正弦波でのシミュレーション結果と理論値との比較

## B. 正弦波合成の位相変動

図 4.17 に、入力クロック CLK に 10 kHz と 50 kHz の正弦波合成位相変動を加えた時の  $\Delta\Sigma$  TDC の出力データの FFT 解析結果を示す。図 4.17 より、入力クロック CLK に複数の位相変動成分が含まれている場合でも、 $\Delta\Sigma$  TDC の出力を FFT 解析することで、入力クロック CLK の位相変動を測定できることが分かる。つまり、入力クロックの位相ノイズが測定できている。

以上の結果より、複数の周波数成分を含む位相ノイズが測定できているため、 $\Delta\Sigma$  TDC を用いた位相ノイズの測定は可能であることが確認できた。

### With Phase Noise at 10kHz and 50kHz

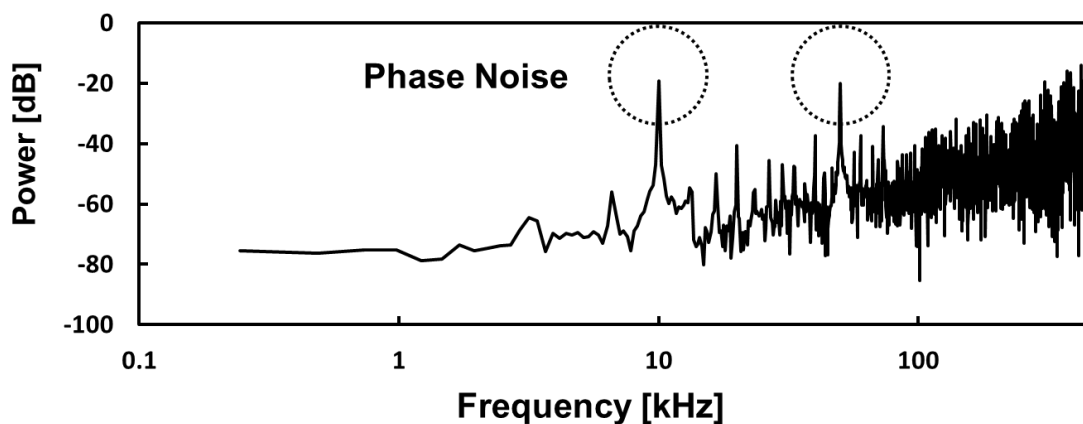


図 4.17 正弦波合成（10kHz, 50kHz）の位相変動における出力データの FFT 結果

### C. 遅延量 $\beta T$ にばらつき有

自己参照クロックを実現させるために用いる  $\beta T$ -delay 部分を実装する場合 (図 4.10)、製造によってばらつきが出るのが予想される。そこで遅延部分で製造ばらつきが存在しても提案手法によって位相ノイズが測定可能であることを確認するためシミュレーションを行った。

製造ばらつきによる遅延量の誤差を  $\pm 5\%$  と仮定し、 $\beta$  を 0.95、1.05 のそれぞれの値でシミュレーションを行った。CLK に加える位相変動は 10kHz の単一正弦波である。

図 4.18 は遅延量  $\beta$  の誤差を  $\pm 5\%$  としたときの  $\Delta\Sigma$  TDC 出力の FFT 結果である。図 4.18 より、 $\beta$  が 0.95 や 1.05 の値であっても 10kHz の周波数でスペリアスが現れていることが分かる。この結果から、 $\beta$  が “1” でなく、遅延量に誤差が生じても位相ノイズを測定することが可能である。

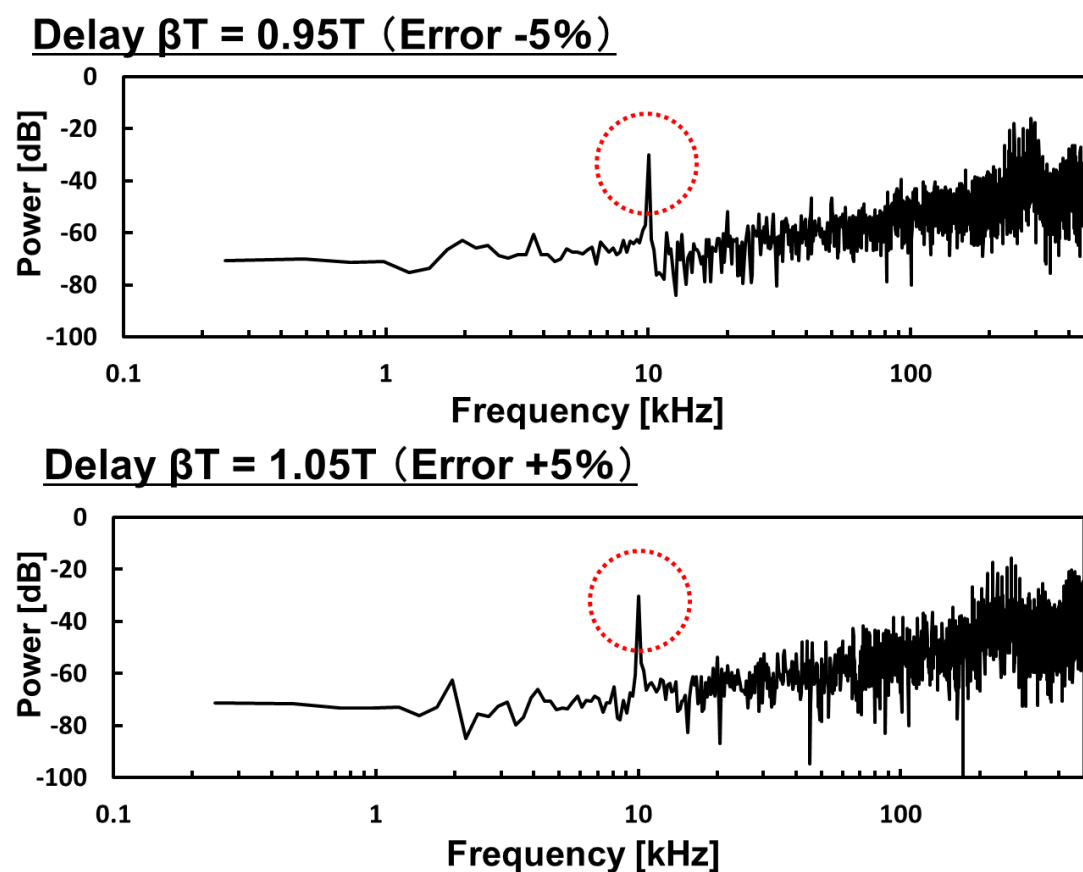


図 4.18 遅延量  $\beta$  の誤差  $\pm 5\%$  における  $\Delta\Sigma$  TDC 出力のパワースペクトラム



## 第 5 章 まとめ

本研究では、デルタシグマ型タイムディジタイザ回路を用いた位相ノイズ測定手法について 2 種類の提案をした。2 種類の提案手法は以下の 2 つである。

- 参照クロックを用いた位相ノイズ測定手法
- 自己参照クロックを用いた位相ノイズ測定手法

本論文では、提案手法に必要な技術である  $\Delta\Sigma$  TDC について説明し、 $\Delta\Sigma$  TDC との比較のため Flash TDC についても示した。位相ノイズ測定の技術においては、従来 TDC として短い測定時間で使用できることから広く使われている Flash TDC より、 $\Delta\Sigma$  TDC の方が高時間分解能であるというメリットがあるゆえに適している。

参照クロックを用いた位相ノイズ測定手法について、原理及び数式にて理論式を導き、その有効性を MATLAB シミュレーションにて確かめた。参照クロックを用いた位相ノイズ測定手法では実装の際に理想的な参照クロックを用意することが困難であり、この改善手法として自己参照クロック技術を回路に使用した。自己参照クロックを用いた位相ノイズ測定手法について、数式により理論式を導出し、その有効性を同じく MATLAB シミュレーションにより確かめた。高速クロックを試験する際もデータを間引いて回路で使用することで位相ノイズ測定が可能である。

これら提案手法を用いることで、高価なスペクトラムアナライザを使用することなく、低コストで高品質の位相ノイズ測定及びテストが可能である。

## 第 2 節 ジッタ発生回路の検討

### 第 6 章 研究背景及び研究目的

#### 6.1 研究背景

1.1 章にて、LSI テストにおいて低コスト・高品質試験が要求されているのは述べた。LSI の中で情報通信の分野も見過ごすことはできない。情報通信分野において必須の回路とされている回路がトランシーバ回路である。トランシーバ回路とは送信機 (transmitter) と受信機 (receiver) からなる、電気通信やデータ伝送分野における電気信号の送受信を行う電子回路のことである。このトランシーバ回路をテストする上で重要になるのが受信部のジッタ耐性テストである。

#### 6.2 研究目的

本研究では、高速入出力インターフェーストランシーバ回路の受信部のジッタ耐性測定テストに使用するジッタ生成回路について検討する。全デジタルで構成される本提案回路を

(i) デルタシグマ変調

(ii) LUT (Look Up Table) 自己校正

による自己校正方法を用いることで簡単な回路かつ線形性の良いジッタ生成回路が実現できる。

## 第7章 ジッタ

ジッタ (Jitter) とは、デジタル信号の位相ゆらぎのことである。図 7.1 はジッタのイメージ図である。理想的なクロックは一定の周期でエッジが立ち上がり、立ち下がりを繰り返す。しかし、実際のクロックは一定周期のずれた位置でもエッジが上下する。このずれがジッタである。近年は通信の高速化が進んでおり、このように高速化する通信には、高周波、かつ出力信号の安定した基準信号が求められる。ジッタはこの安定性を評価する指標の1つである。

ジッタは信号発生装置内部の雑音や信号の伝送経路の悪影響などが原因で発生する。ジッタがあまりにも大きい場合、通信の誤動作やエラーの原因となることから、これを回避するためにジッタの評価及びテストを行う必要がある。

ジッタには評価においていくつかの種類が存在する。以下がその名称である。

- ・ピリオドジッタ (Period Jitter)
- ・タイミングジッタ (Timing Jitter)
- ・ランダムジッタ (Random Jitter)
- ・デターミニスティックジッタ (Deterministic Jitter)
- ・RMS ジッタ (RMS Jitter)

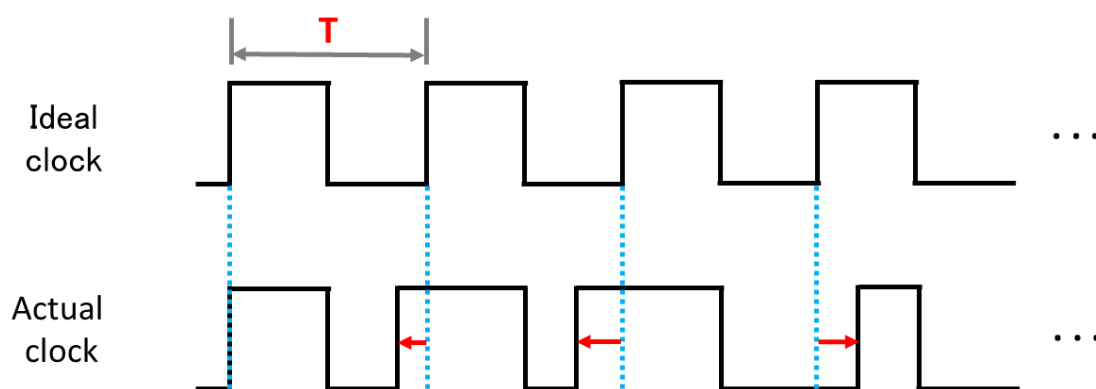


図 7.1 理想クロックと実際のクロックの比較によるジッタのイメージ図

## 7.1 ピリオドジッタ (Period Jitter)

ピリオドジッタ (Period Jitter) とは、あるエッジから次のエッジまでジッタのことをいう。図 7.2 はピリオドジッタのイメージ図である。ピリオドジッタの計測方法は、あるエッジから次のエッジまでの時間を測定し、そこから周期分の時間を引くことで求められる。

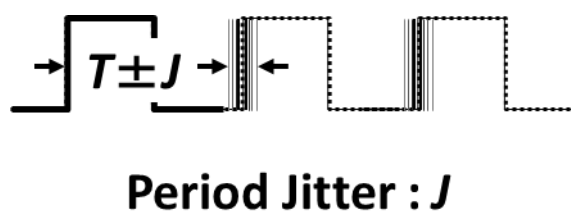


図 7.2 ピリオドジッタ (Period Jitter)

## 7.2 タイミングジッタ (Timing Jitter)

タイミングジッタ (Timing Jitter) とは、本来の周期のタイミングからのずれのことをいう。図 7.3 はタイミングジッタのイメージ図である。点線が理想的なタイミングのクロックである。タイミングジッタの計測方法は、本来のクロックである理想的なエッジのタイミングからの実際のエッジのタイミングのずれを計測すること求められる。

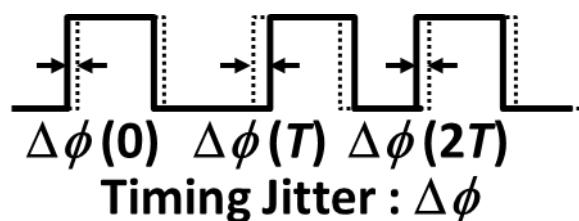


図 7.3 タイミングジッタ (Timing Jitter)

## 第 8 章 デルタシグマ変調 ( $\Delta\Sigma$ 変調)

本研究ではデルタシグマ変調 ( $\Delta\Sigma$  変調) を用いて提案回路を構成した。そこでこの章では  $\Delta\Sigma$  変調について説明する。基本的には  $\Delta\Sigma$  変調は ADC や DAC で用いられる技術である。

### 8.1 $\Delta\Sigma$ 変調の概要

$\Delta\Sigma$  変調は、フィルタと負帰還技術を用いて実現される。図 8.1 に  $\Delta\Sigma$  変調器の基本構成を示す。ADC もしくは DAC などの量子化器は、 $Q_n$  の量子化ノイズを発生する。この量子化器の前に、伝達関数  $H(z)$  で示されるフィルタが置かれ、量子化器の出力は、出力信号  $Y(z)$  となって出力されるとともに、伝達関数  $F(z)$  で示される帰還回路を経て、入力に負帰還となるように、量子化器が ADC の場合はアナログ信号で、量子化器が DAC の場合はデジタル信号で帰還される。

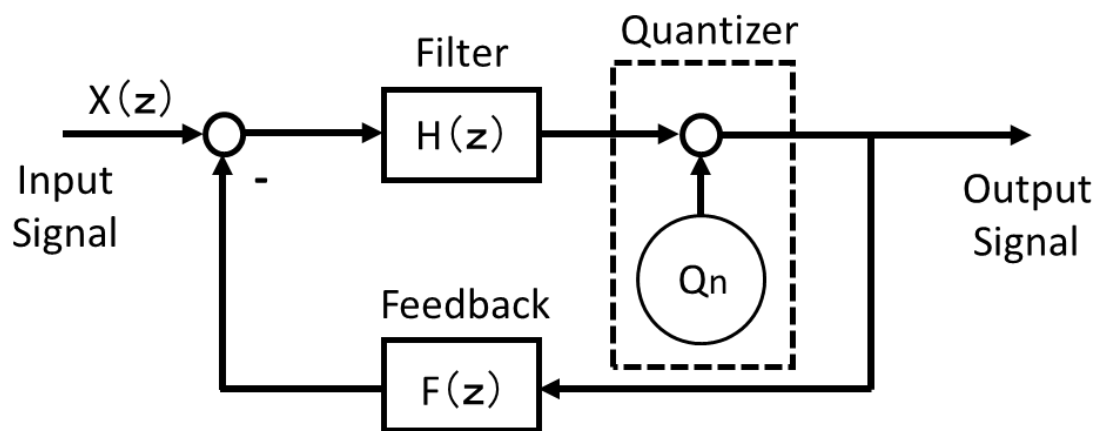


図 8.1  $\Delta\Sigma$  変調器の基本構成

### 8.2 $\Delta\Sigma$ 変調の伝達関数

このような回路系の、入力信号に対する伝達関数 STF (Signal Transfer Function) と量子化ノイズ  $Q_n$  に対する伝達関数 NTF (Noise Transfer Function) を求める。

図 8.1 より、

$$[X(z) - F(z)Y(z)]H(z) + Q_n = Y(z) \quad (8.1)$$

したがって、

$$Y(z) = \frac{H(z)}{1 + F(z)H(z)} X(z) + \frac{1}{1 + F(z)H(z)} Q_n \quad (8.2)$$

これより、入力信号  $X(z)$  に対する伝達関数 STF は、次のようになる。

$$STF(z) = \frac{H(z)}{1 + F(z)H(z)} \quad (8.3)$$

量子化ノイズ  $Q_n$  に対する伝達関数 NTF は、

$$NTF(z) = \frac{1}{1 + F(z)H(z)} \quad (8.4)$$

フィルタ  $H(z)$  としては、様々なものが考えられるが、最も簡単なものとして、1 次の積分器を想定し、帰還回路の伝達関数は、1 クロックの遅れを想定する。積分器の伝達関数は、

$$H(z) = \frac{1}{1 - z^{-1}} \quad (8.5)$$

帰還回路の伝達関数は、

$$F(z) = z^{-1} \quad (8.6)$$

と表される。このときの STF、NTF は

$$STF(z) = \frac{1}{\frac{1 - z^{-1}}{1 + \frac{z^{-1}}{1 - z^{-1}}}} = 1 \quad (8.7)$$

$$NTF(z) = \frac{1}{1 + \frac{z^{-1}}{1 - z^{-1}}} = 1 - z^{-1} \quad (8.8)$$

となり、この回路系は入力信号に対しては伝達関数が 1 となり、A/D 変換もしくは D/A 変換を行うことができ、量子化ノイズに関しては、ハイパスフィルタとして動作することを示している。

### 8.3 $\Delta\Sigma$ 変調のノイズ電力

このときのノイズ電力を求める。周波数特性は  $z \rightarrow e^{j\omega T} = e^{j2\pi f/f_s}$  の置き換えにより得られる。したがって、ノイズ電力  $P_n$  は、

$$\begin{aligned} P_{qn-filt} &= \frac{\Delta^2}{6f_s} \int_0^{f_b} (|1 - e^{j2\pi f/f_s}|)^2 df \\ &= \frac{\Delta^2}{6f_s} \int_0^{f_b} 2 \left(1 - \cos\left(2\pi \frac{f}{f_s}\right)\right) df = \frac{2\Delta^2}{3f_s} \int_0^{f_b} \sin^2\left(\pi \frac{f}{f_s}\right) df \end{aligned} \quad (8.9)$$

と求められる。

図 8.2 に、 $\Delta\Sigma$  変換器における量子化ノイズの周波数特性を示す。高域側にノイズスペクトラムが拡散している。このようにノイズの周波数成分を変化させることをノイズシェーピングという。

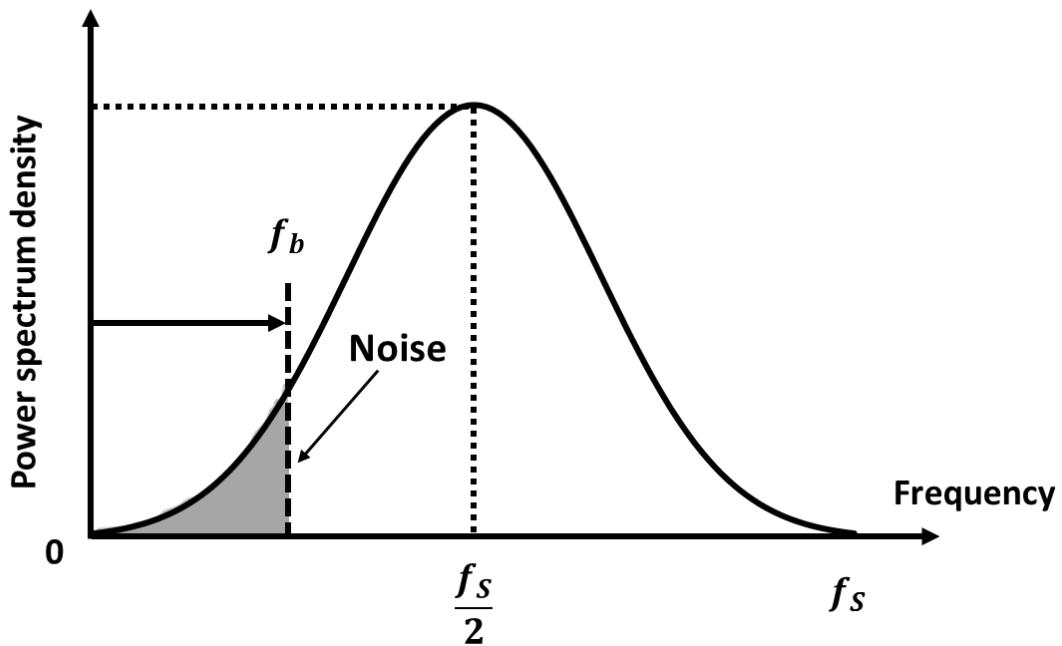


図 8.2  $\Delta\Sigma$  変換器における量子化ノイズの周波数特性

ここで、このままでは計算が複雑になるので、 $\sin x \approx x$  の近似を用いる。式(8.9)は以下のように整理できる。

$$\begin{aligned}
P_{qn-filt} &= \frac{2\Delta^2}{3f_s} \int_0^{f_b} \sin^2\left(\pi \frac{f}{f_s}\right) df \approx \frac{2\Delta^2}{3f_s} \frac{\pi^2}{f_s^2} \int_0^{f_b} f^2 df \\
&= \frac{2\Delta^2}{9f_s} \frac{\pi^2}{f_s^2} f_b^3 = \frac{\pi^2}{36} \Delta^2 \left(\frac{2f_b}{f_s}\right)^3 = \frac{\pi^2}{36} \Delta^2 \frac{1}{M^3}
\end{aligned} \tag{8.10}$$

つまり、量子化ノイズはオーバーサンプリング比  $M$  の 3 乗に比例して減少させることができる。

次に SNR を求める。信号として正弦波を仮定すると、その振幅は、 $N$  を分解能、 $\Delta$  を量子化ステップとして、

$$\frac{(2^N - 1)}{2} \Delta$$

であるので、信号電力  $P_s$  は

$$P_s = \frac{(2^N - 1)^2 \Delta^2}{8} \tag{8.11}$$

である。したがって、

$$SNR = \frac{P_s}{P_{qn-filt}} = \frac{9}{2\pi^2} (2^N - 1)^2 \cdot M^3 \tag{8.12}$$

で与えられる。

このように  $\Delta\Sigma$  変調を用いることで、量子化ノイズを高域に追いやり、低域でのノイズ電力を抑圧することにより、フィルタ後のノイズ電力が小さくなるので、SNR を向上させることが可能となる。オーバーサンプリング比  $M$  を大きく取ることによって SNR を大きく向上させることができる。



## 第9章 ジッタ生成回路

### 9.1 基本構成

提案したジッタ生成回路の基本構成を図9.1に示す。提案したジッタ生成回路は、デコーダ、遅延素子 $\tau$ 、マルチプレクサから構成される。見て分かる通り提案回路の構成要素は全てデジタル回路から構成されている。CLKに純粋なクロックを印加し、INにジッタ成分をデジタルで入力することで出力OUTにジッタを持つクロックを発生させることができる。

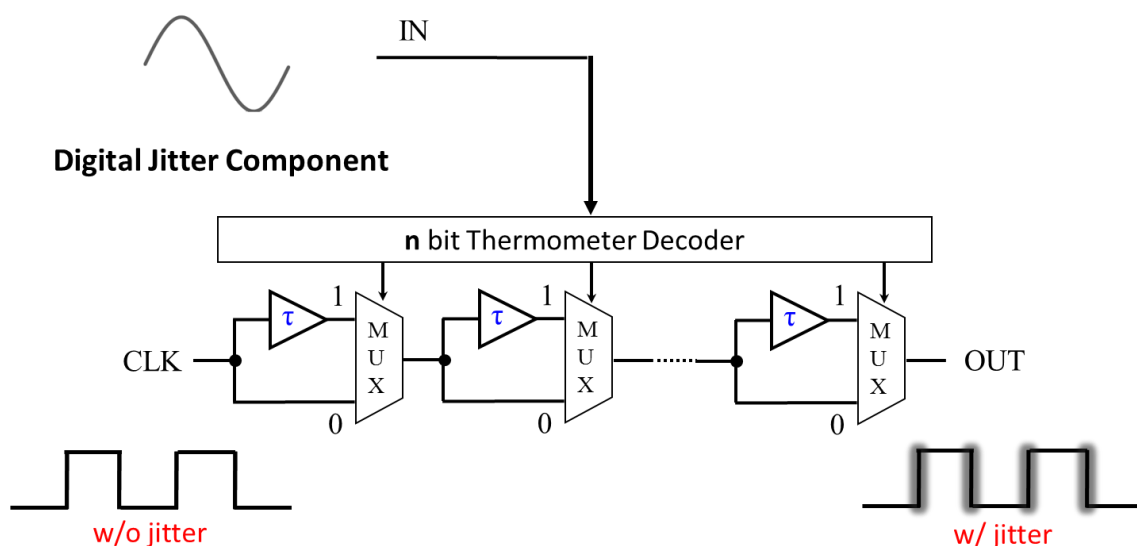


図9.1 ジッタ生成回路の基本構成

図9.1の動作について説明する。 $n=2$  [bit] の場合の動作経路の例を図9.2に示す。図9.2において、INに“2”が入力されたとき、2ビットサーモメータコードには“011”として出力される。このコードがそれぞれマルチプレクサに入力され経路が選択される。この結果、出力OUTには $2\tau$ 遅れたクロックが出力される。

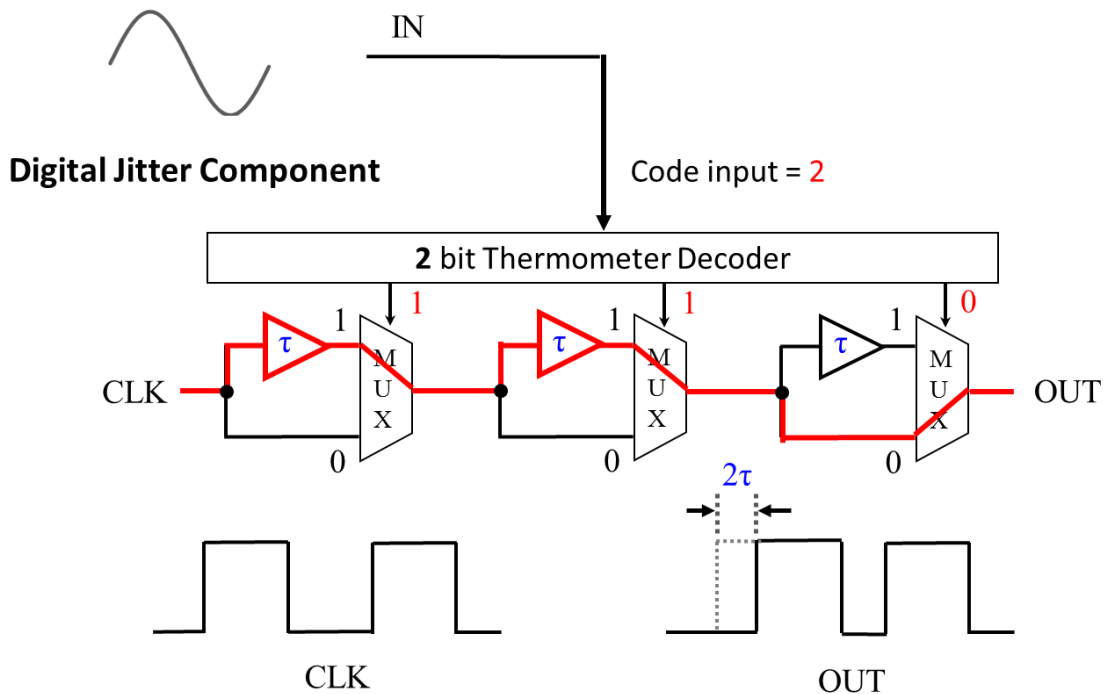


図 9.2 2 ビットにおける動作経路の例

## 9.2 デルタシグマ変調を用いたジッタ生成回路

図 9.1 の構成では実際に回路を作成した場合 2 つの問題がある。

- ① 遅延素子が  $2^n - 1$  [個] であり、生成されるジッタの有限時間分解能の影響が大きい。
- ②  $2^n - 1$  [個] の遅延素子の相対的な遅延ばらつき・ミスマッチ（製造ばらつき）により線形性が劣化する。

そこで第 1 の問題を解決するためにデルタシグマ変調を、第 2 の問題を解決するために自己校正を用いることを検討した。

提案したデルタシグマ変調を用いたジッタ生成回路の構成を図 9.3 に示す。図 9.3 の点線で囲まれている部分がデルタシグマ変調部分である。デルタシグマ変調部は、加算器、積分器、比較器から構成される。

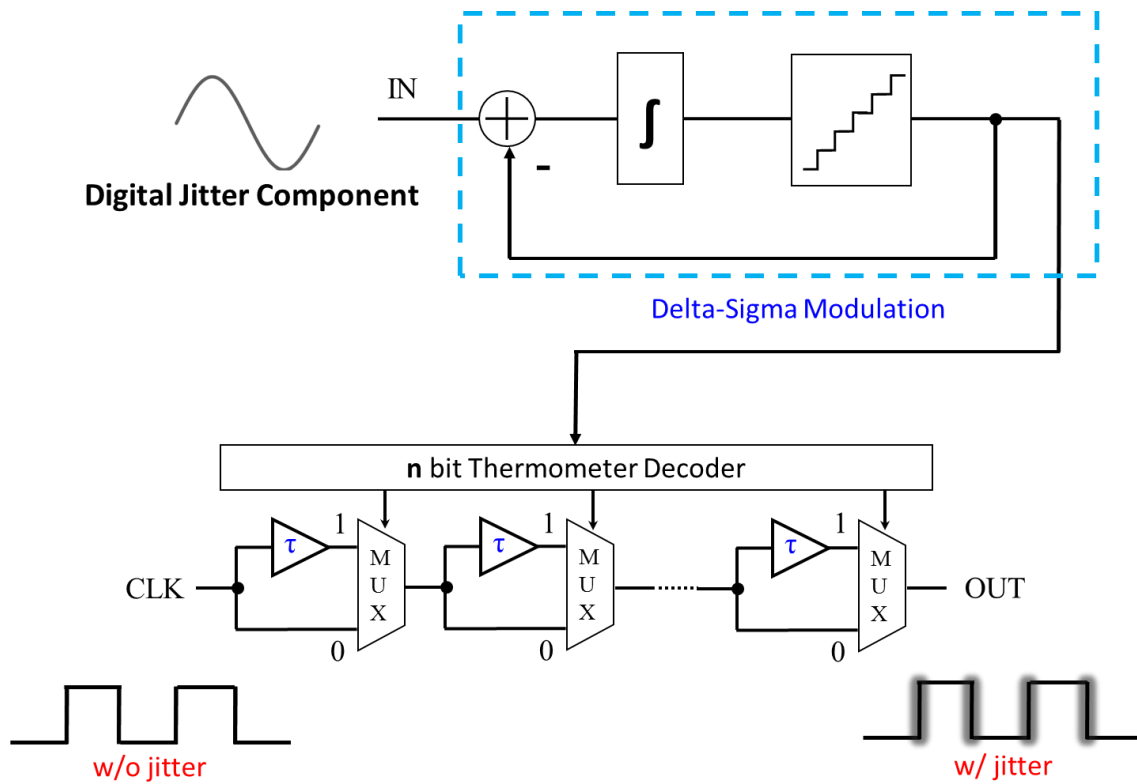


図 9.3 デルタシグマ変調を用いたジッタ生成回路の構成

### 9.3 LUT 自己校正を用いたジッタ生成回路

デルタシグマ変調を行うことで線形性は向上する。しかし、この方法のみでは線形性向上の効果は薄い。そこで2つ目の方法と組み合わせることで効果を高める。

提案した LUT (Look Up Table) による自己校正法を用いたジッタ生成回路の構成を図 9.4 に示す。図 9.3 に対して、図 9.4 の構成はデルタシグマ変調のフィードバック部分に LUT が追加されている。

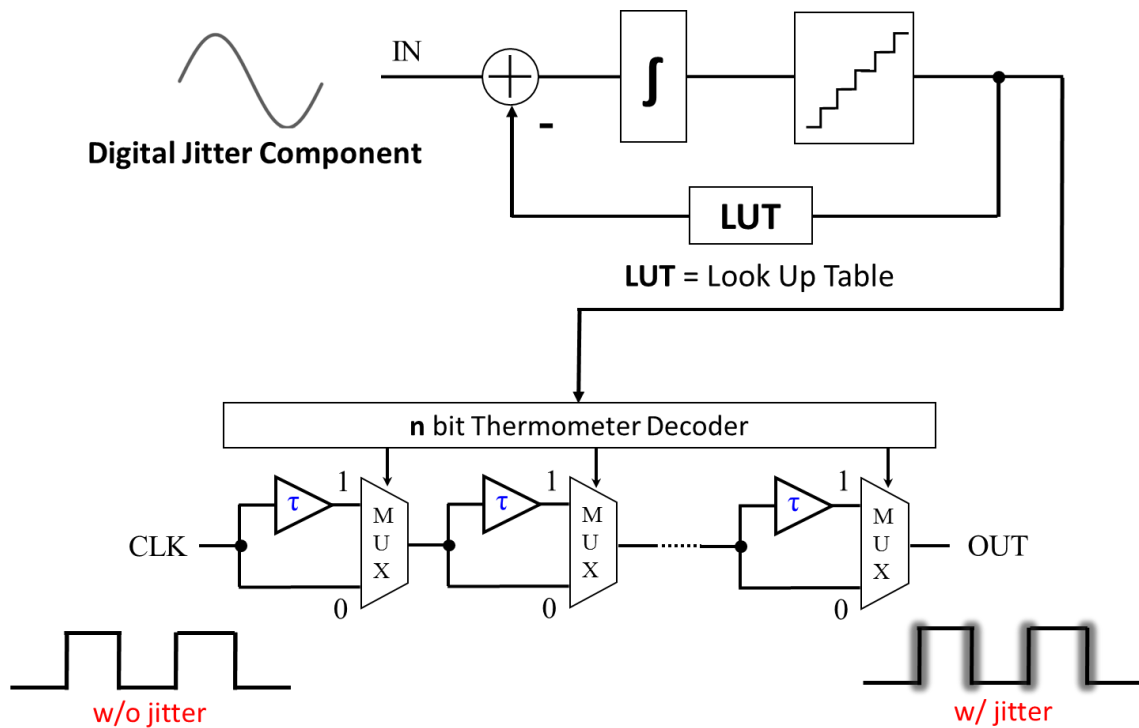


図 9.4 LUT による自己校正法を用いたジッタ生成回路の構成

図 9.3 の構成において実装した際に問題になるのが回路に使用されている  $2^{n-1}$  [個] の遅延素子のばらつきである。この遅延量のばらつきが線形性を悪化させる原因として挙げられる。この遅延量ばらつきによる線形性悪化を改善するために LUT による自己校正を行った。

線形性を向上させるために用いる LUT による自己校正法について説明する。図 9.5 は  $n=3$  [bit] における LUT 自己校正法の例である。遅延素子は「d」を基準としてそれぞればらつきがあるとする。また、ジッタ成分に“2”を入力し、サーモメータコードが“0000011”となる場合を考える。回路中の LUT 部分にはあらかじめ測定しておいた各遅延素子の遅延量を記録しておく。記録のためにはリング発振回路を用いた回路 (図 9.6) を用いる。例として 2 番目の遅延素子の遅延量を測定する場合、 $IN_{count}$  と  $S_2$  をオンに、それ以外をオフにする。LUT による自己校正を行わない場合、比較器の出力をそのままフィードバックさせるので“2”をフィードバックする。LUT による自己校正を行う場合、比較器の出力を LUT に入力し記録してある値に変換してからフィードバックする。図 9.5 の例の場合、0.99 と 1.03 の和 2.02 をフィードバックする。LUT により遅延素子のばらつきの情報をフィードバックすることで自己校正を行うことができる。

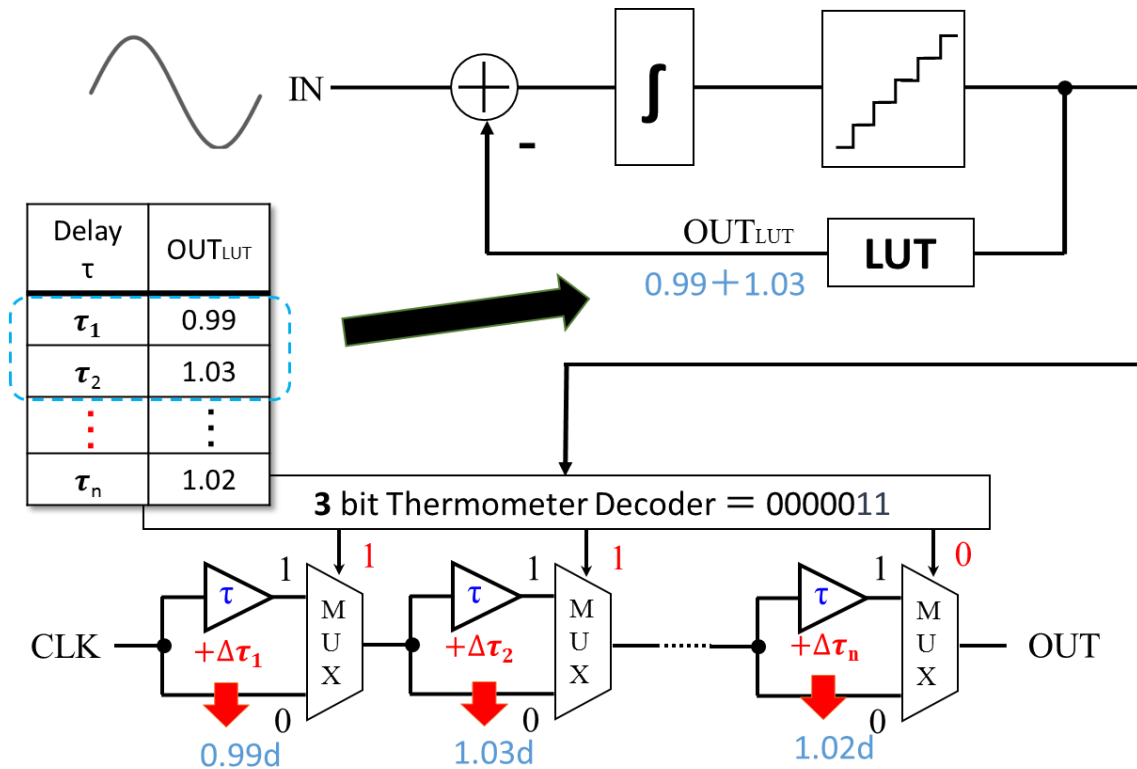


図 9.5 3 ビットにおける LUT 自己校正法例

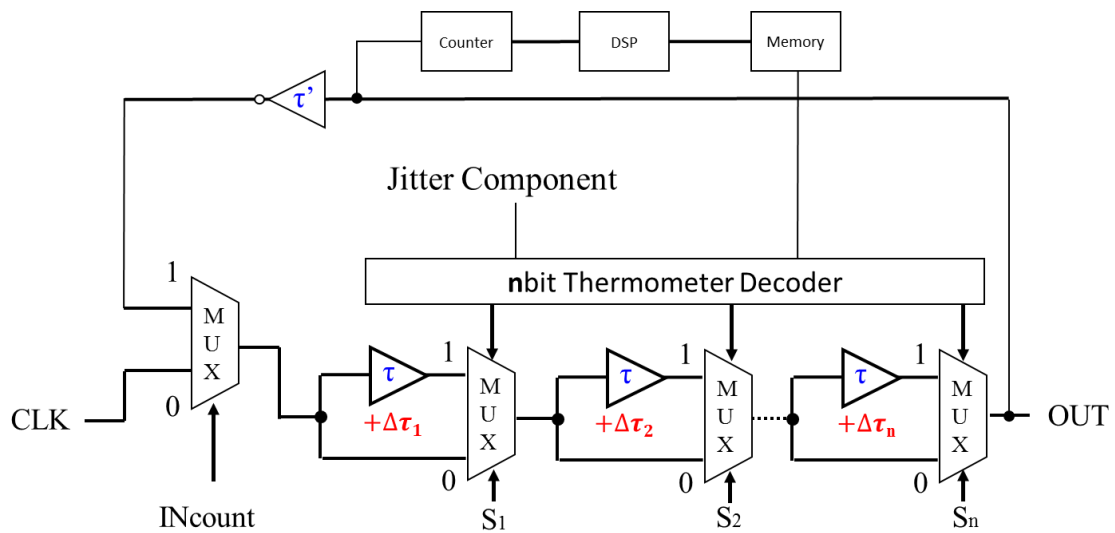


図 9.6 リング発振回路を用いた遅延測定

## 9.4 シミュレーションによる検証

提案手法の有効性を、MATLAB を用いたシミュレーションにより確認した。シミュレーションは以下の 2 つについて行った。

- (i) 基本ジッタ生成回路
- (ii) LUT 自己校正を用いたジッタ生成回路

シミュレーション条件について、クロック (CLK) の入力は 1MHz とした。また、シミュレーションでは出力 OUT を復調し、FFT (Fast Fourier Transform) することでジッタ成分の周波数が得られるか検証した。

### 9.4.1 基本ジッタ回路

入力した周波数のジッタ成分がクロック (CLK) に現れているかシミュレーションによって確認した。回路構成は図 9.2 を 3 ビットにした回路を使用し、遅延素子  $\tau$  は全て 10ns とした。ジッタ成分として単一正弦波 10kHz と 50kHz の 2 つをそれぞれ入力した。

シミュレーション結果を図 9.7、9.8 に示す。図 9.7、9.8 より入力にジッタ成分を入れることで、入力した周波数のジッタが生成されていることが確認できた

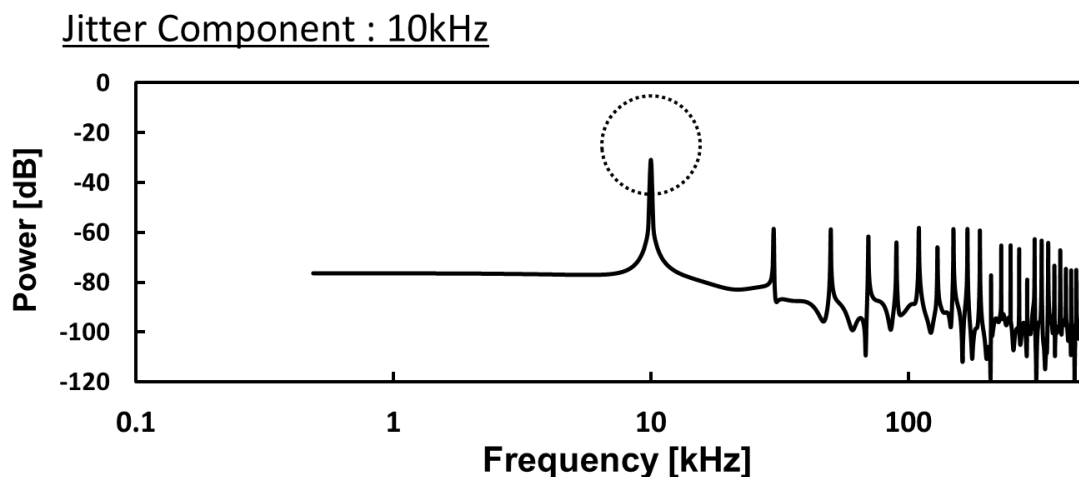


図 9.7 入力ジッタ成分 (10kHz 正弦波) に対する出力の FFT 結果

### Jitter Component : 50kHz

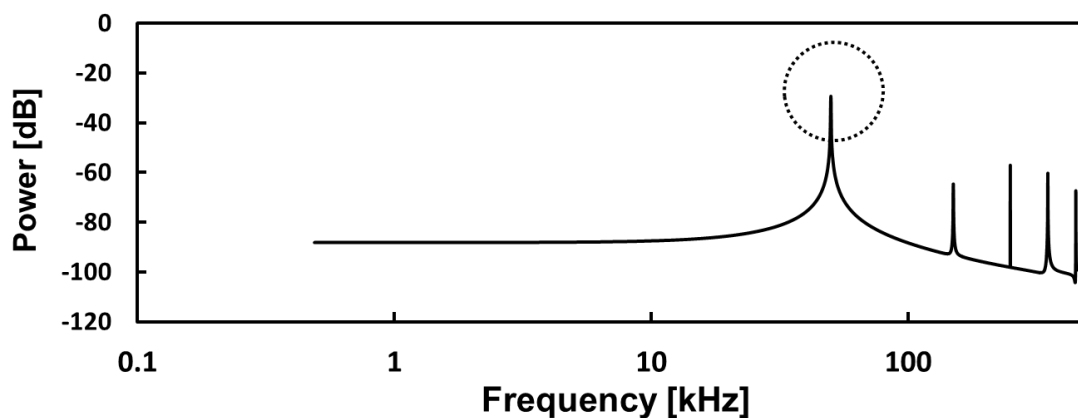


図 9.8 入力ジッタ成分 (50kHz 正弦波) に対する出力の FFT 結果

#### 9.4.2 LUT 自己校正を用いたジッタ生成回路

遅延素子にばらつきが存在する場合、自己校正を行うことで線形性向上が可能であることをシミュレーションによって確認した。回路構成は図 9.4 を 5 ビットにした回路を使用した。31 個の遅延素子のばらつきは乱数を用いて平均値を 4ns となるようにばらつかせた数値を用いている。ジッタ成分として単一正弦波 10kHz を入力した。比較のため、自己校正無しの回路も同様の条件でシミュレーションをした。

シミュレーション結果を図 9.9 に示す。遅延素子のばらつきがない場合に対してどれだけ誤差があるかで評価した。図 9.9 より LUT 自己校正をした方が誤差は小さく、線形性が良いことが確認できた。

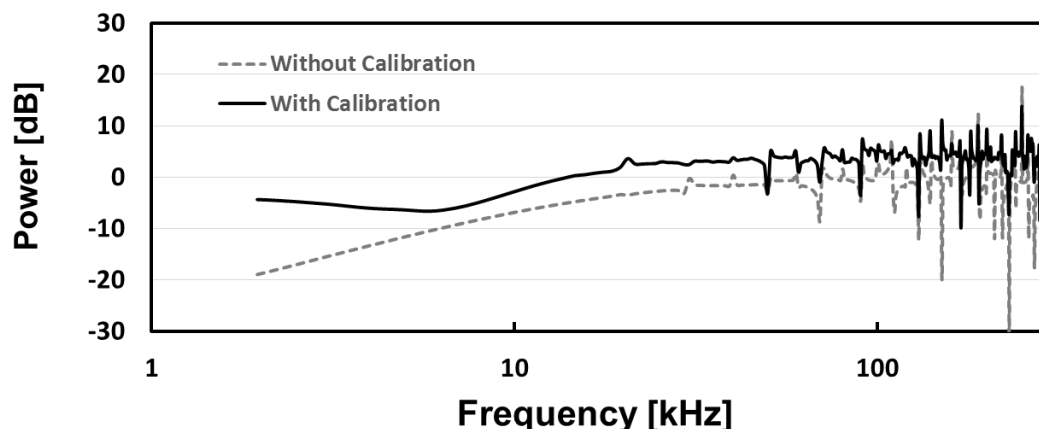


図 9.9 LUT 自己校正[有無]による性能の比較

## 第 10 章 まとめ

本研究では、高速入出力インターフェーストランシーバ回路の受信部のジッタ耐性測定テストに使用するジッタ生成回路について提案した。基本ジッタ生成回路は実際の回路として考えた場合、素子のばらつきにより線形性が劣化する。その劣化を改善するために 2 つの手法を用いた。2 つの手法は以下の通りである。

- デルタシグマ変調
- LUT 自己校正

提案回路について MATLAB を用いたシミュレーションによって検証を行った。入力に発生したい周波数のデジタル信号を印加することで出力にその所望の周波数のジッタを発生することができることを確認した。デルタシグマ変調と LUT による自己校正方法組み合わせ用いることで高性能のジッタ生成回路が実現可能であることを確認した。また、全てがデジタル回路で実現でき微細 CMOS での実現に適している。さらに、本提案回路はスペクトラム拡散クロック発生器としての使用も期待できる。

¥



# 第3節 デルタシグマ型タイムディジタイザ回路の構成技術の検討

## 第11章 研究背景及び研究目的

### 11.1 研究背景

半導体製造プロセスの微細化に伴い、すなわち、「信号エッジの時間方向精度の方が、電圧方向の精度よりも優れている」というパラダイムシフトに直面している。このような状況により、タイムディジタイザ回路 (Time-to-Digital Converter : TDC) や時間差増幅回路 (Time Difference Amplifier : TDA) のような時間方向の信号処理を行う時間分解能型回路が近年注目されている。

### 11.2 研究目的

本研究では2つのクロックの時間差を測定するマルチビット $\Delta\Sigma$ TDCに対する、従来の自己校正手法との組合せも考慮に入れた新たな自己校正技術の適用を目的とする。

$\Delta\Sigma$ TDCをマルチビット化することによる問題点として、用いる遅延セルに遅延誤差がある場合には出力に非線形性が現れてしまうということがあげられる。したがって、入力信号間の時間差測定において、出力が非線形だと測定結果の誤差要因となってしまう。そこで、素子の大小を測り、組み合わせ、並び替える方法を取る、並び替えアルゴリズムを用いる手法を提案する。また、Data Weighted Averaging (データ加重平均)との組合せについても検討した。

## 第 12 章 マルチビット $\Delta\Sigma$ TDC

第 3 章「デルタシグマ型タイムディジタイザ回路」にて 1 ビットの $\Delta\Sigma$ TDC について説明した。この章では、多ビット構造にしたマルチビット $\Delta\Sigma$ TDC について述べる。

### 12.1 マルチビット $\Delta\Sigma$ TDC の構成

マルチビット $\Delta\Sigma$ TDC の構成を図 12.1 に示す。マルチビット $\Delta\Sigma$ TDC の構成として、比較器に Flash 型の AD 変換器を使用する。Dout は温度計コードとしてビット分だけ出力される。出力の数は N ビットの場合 $2^N - 1$ となり、遅延素子とマルチプレクサも同数となる。単一ビットでの遅延素子の遅延時間を $\tau$ とするなら N ビットの遅延素子の遅延時間 $\tau_N$ は次式で表される。

$$\tau_N = \frac{\tau_1}{2^N - 1} \quad (2.3)$$

これにより単一ビットに比べより高分解能になり、高精度で測定が可能になる。測定可能時間は単一ビットと同値になる。1 ビット $\Delta\Sigma$ TDC よりも高分解能で実現できるため現状としてマルチビット $\Delta\Sigma$ TDC がより使用されている。

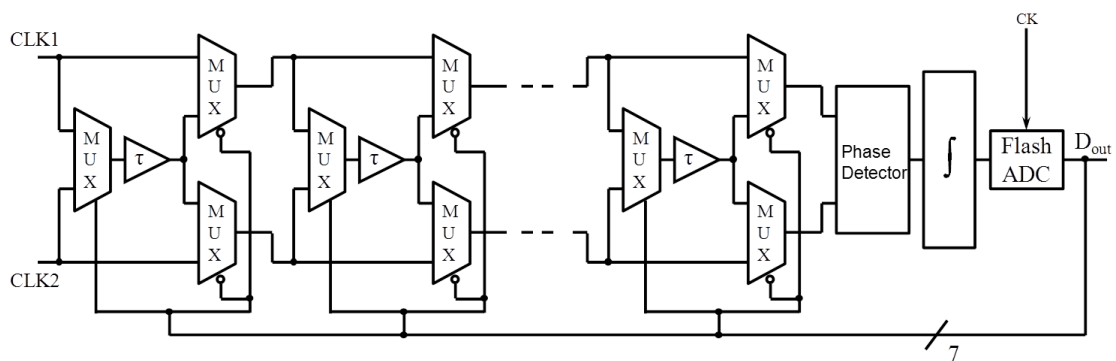


図 12.1 マルチビット $\Delta\Sigma$ TDC の構成

## 12.2 マルチビット $\Delta\Sigma$ TDC の動作

動作は単一ビット同様 CLK1,CLK2 の時間差を Dout で出力される。温度計コードとしての出力結果により CLK1,CLK2 の遅延経路が選択される。単一ビットとは違い、入力信号の遅延は Flash 型の AD 変換器の出力結果によって変化する。

CLK1 の遅延経路は Dout の High の数に比例して増加する。逆に CLK2 の遅延経路は Dout の Low の数に比例する。CLK1a,CLK2a はひとつの  $\tau$  に対して Dout の出力に応じて  $\tau, 2\tau, 3\tau \dots$  の遅延が加算され単一ビットに比べ、高分解能になっている。

## 第 13 章 校正技術の検討

### 13.1 Data Weighted Averaging (DWA)

実際の回路ではトランジスタのゲート長などの各素子値にばらつきがある。 $\Delta\Sigma$ TDC 中に使用している各遅延素子  $\tau$  にばらついてしまう。図 13.1 にマルチビットの遅延選択回路を示す。

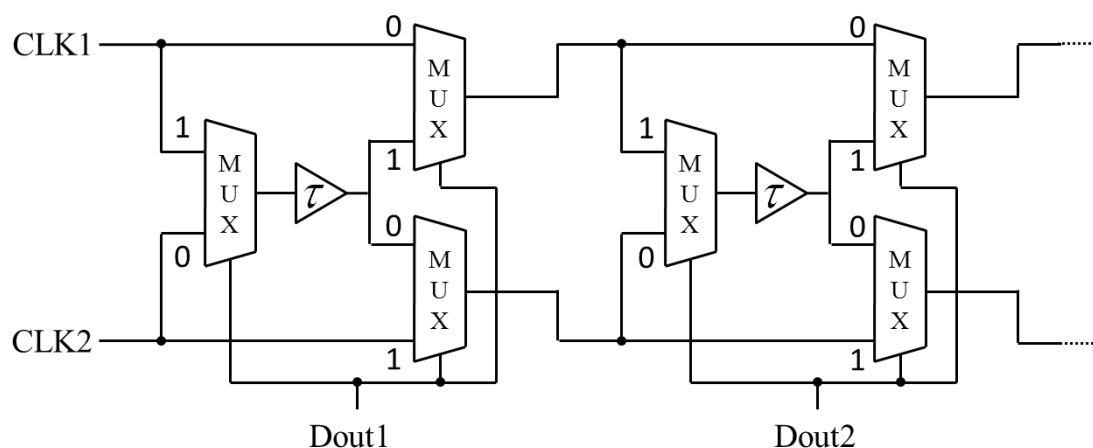


図 13.1 マルチビットの遅延選択回路

各遅延素子  $\tau$  はすべて一定であるのが理想だが、現実の回路では遅延値のばらつきがある。これにより TDC 全体が非線形性を持つようになり、測定に誤差を引き起こす。そこで線形性向上のために Data Weighted Averaging (DWA) を用いてばらつきの影響を軽減する方法を検討する。

#### 13.1.1 DWA アルゴリズム

通常マルチビット  $\Delta\Sigma$ TDC は、出力がサーモメータコードであり、ディレイラインのマルチプレクサにそのままフィードバックされるため、経路選択によっては遅延素子のばらつきにより遅延量の偏りがでてしまう。このため TDC 全体の出力の非線形性を生むことになる。しかし DWA 回路を用いた場合、1つ前のクロックの Dout の High の数とシフトした回数を記憶・加算し次のシフト回数を決める。図 13.2 を例に、最初の入力が 3 であれば Dout1~Dout3 までが High を出力する。次に入力が 3 であれば、前回の入力が 3 であった為 3 つシフトし Dout4~Dout6 までが High を出力する。さらに次では入力が 2 で前回の入力が 3 であった為 3 つシフトし Dout7・Dout1 までが High を出力する。

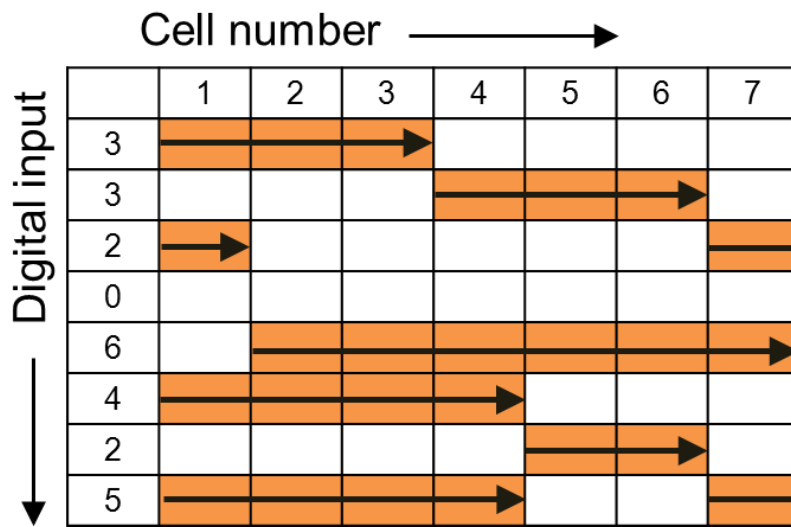


図 13.2 DWA の遅延素子の選択例

### 13.1.2 DWA 回路の構成

3bit $\Delta\Sigma$ TDC での DWA のブロック図を図 13.3 に示す。3 ビット $\Delta\Sigma$ TDC の出力は全部で Dout1~Dout7 の 7 つありエンコーダで Y0~Y2 の 3 ビット 2 進数表示に変換しレジスタで記憶する。加算器では加算器の出力を記憶した RA0~RA2 とエンコーダの値をレジスタで記憶した RC0~RC2 を加算し、シフト量を制御する信号としてバレルシフタに入力する。そして $\Delta\Sigma$ TDC の出力 Din1~Din7 をバレルシフタに入力しシフトされ Dout1~Dout7 として出力され、 $\Delta\Sigma$ TDC の遅延選択回路のマルチプレクサに入力する。

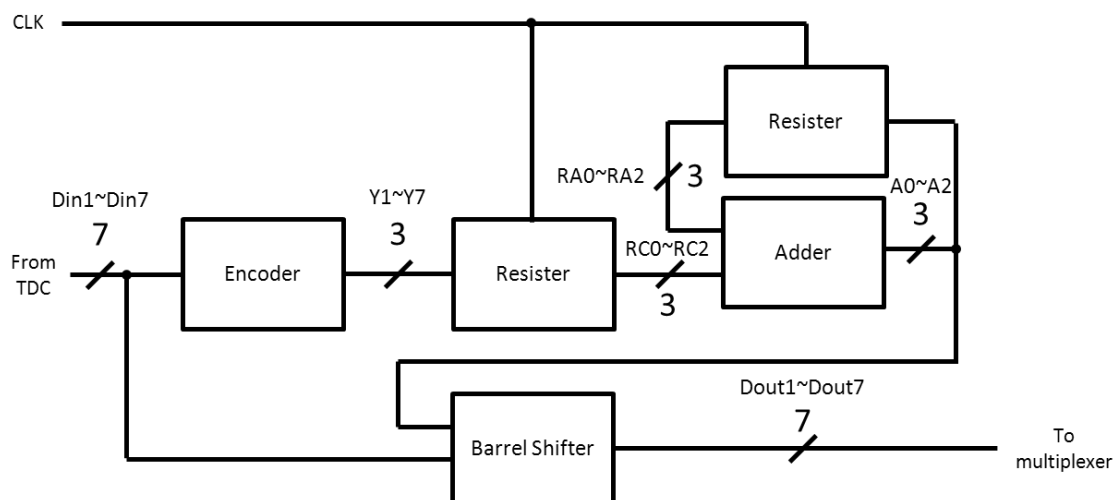


図 13.3 3 ビット $\Delta\Sigma$ TDC における DWA のブロック図

## 13.2 並び替えアルゴリズム (Sorting Algorithm)

ばらつきの影響を軽減する方法として DWA 以外に並び替えアルゴリズム (Sorting Algorithm) を検討する。

### 13.2.1 並び替えアルゴリズムのフローチャート

はじめに  $k$  番目の遅延セル  $\tau_k$  の値は、図 13.4 のようなリング発振器構成を用いて測定できる。デジタル回路でセルの遅延時間のどれが一番小さく、一番大きいかを測定することが出来る。並び替えアルゴリズムを用いた、3 ビット  $\Delta\Sigma$ TDC の全体の回路構成図を図 13.5 に示す。

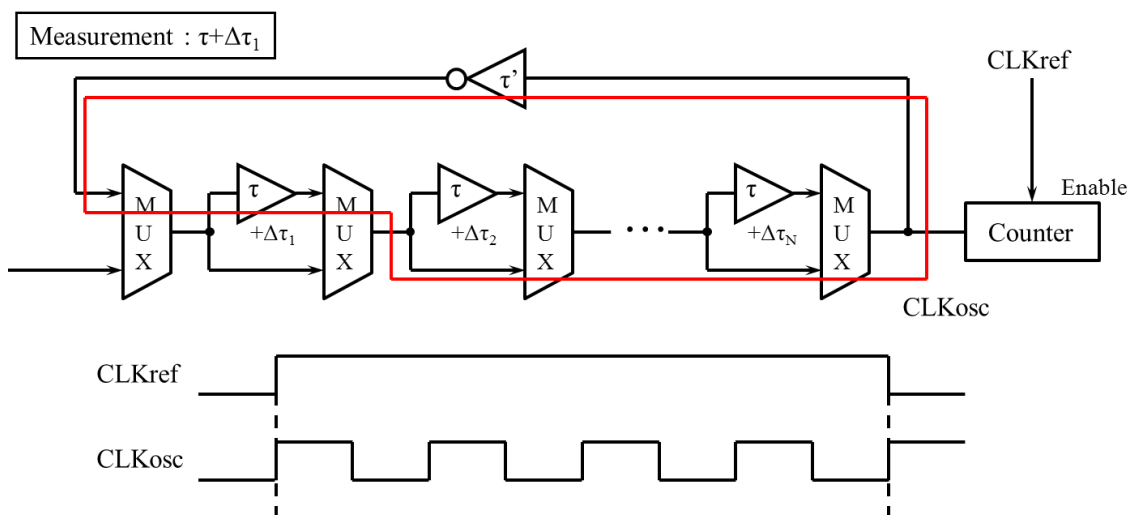


図 13.4 リング発振器構成を用いた遅延素子の遅延時間の測定

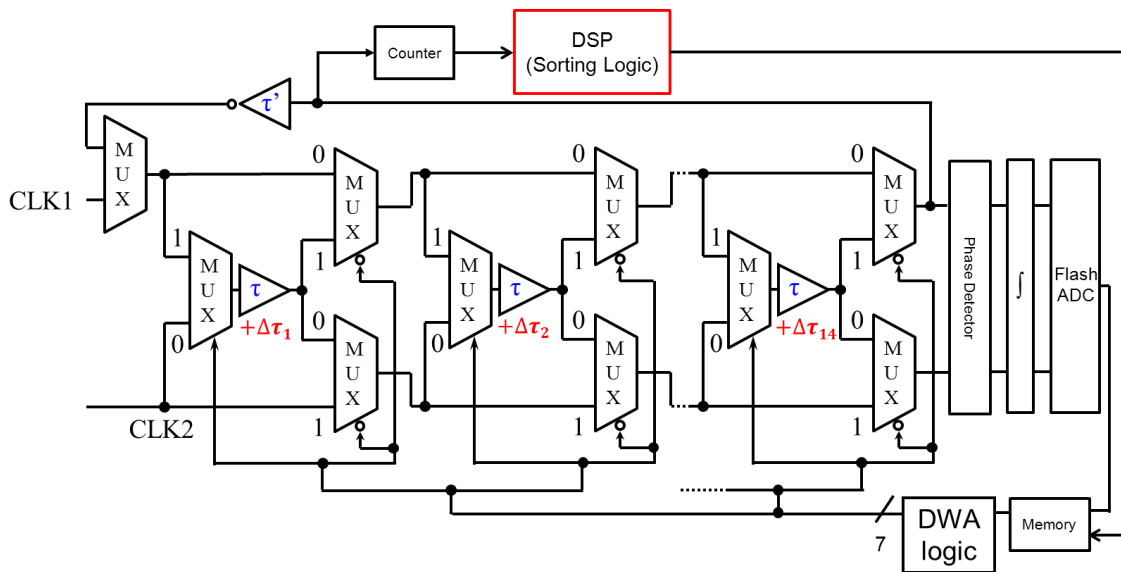


図 13.5 並び替えアルゴリズムを用いた 3 ビット $\Delta\Sigma$ TDC の構成図

3 ビットであれば通常 7 個遅延素子を使うところを、倍の 14 個使用する。図 13.6 に示すように、まず図 13.5 の構成を用い、リング発振器でそれぞれの遅延値の測定を行う。それぞれメモリに保存し、全ての測定が終わったら、並び替え回路により、小さいものから大きいものの順に並び替える。

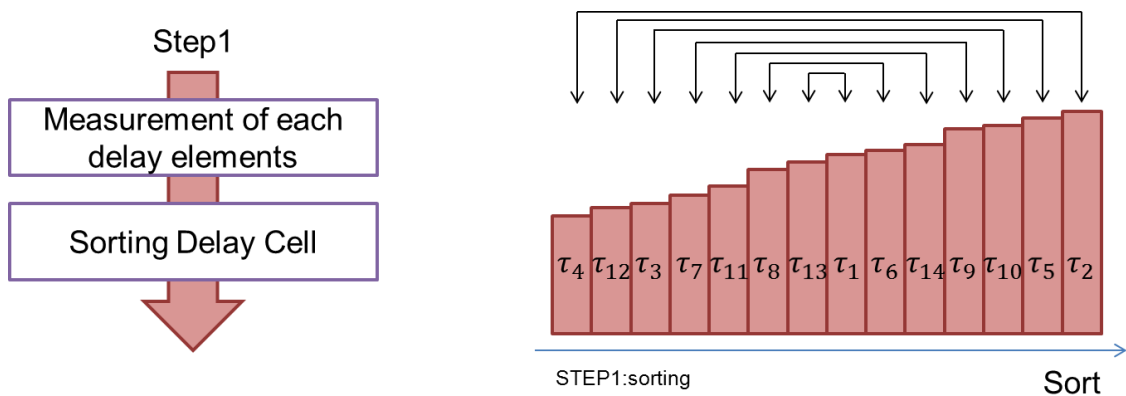


図 13.6 Step1: 測定&並び替え

次に、図 13.7 に示すように、一番大きいものと一番小さいもの、二番目に大きいものと二番目に小さいもの、三番目に大きいものと三番目に小さいもの、…を組みわせ、遅延素子の組合せを 7 個にする。

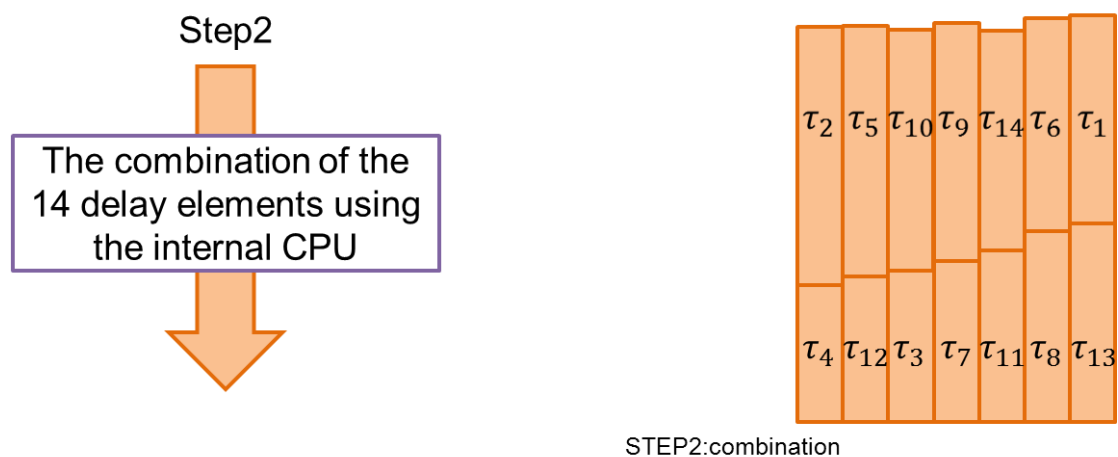


図 13.7 Step2: 遅延素子の組合せ

次に、Step2 で組み合わせた素子を再びリング発振器構成で組合せ、図 13.8 に示すように、一番大きいもの、一番小さいもの、二番目に大きいもの、二番目に小さいもの、三番目に大きいもの、三番目に小さいもの、中間のもの順に並び替える。これは組合せをメモリに保存することにより、変調器内部のフラッシュ型 ADC の出力に応じてマルチプレクサのスイッチングをアレンジする。

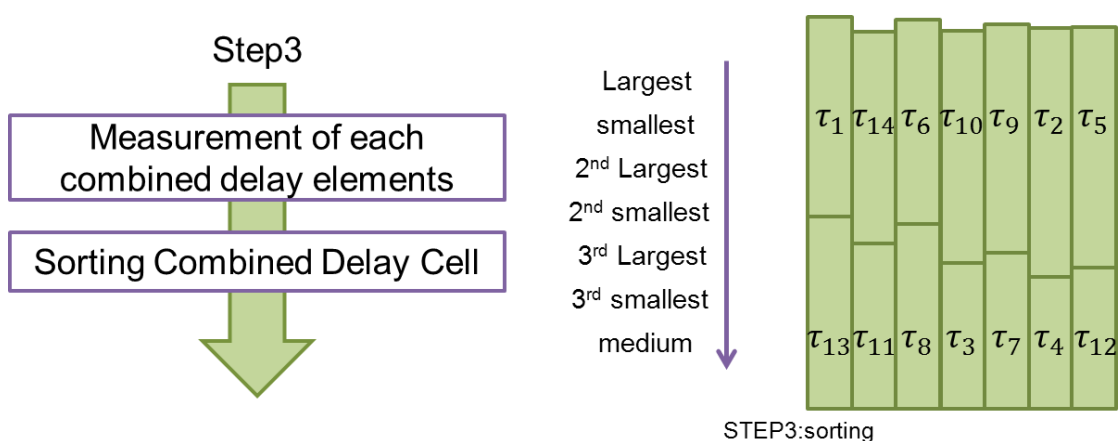


図 13.8 Step3: 組み合わせた遅延素子の並び替え



図 13.9 に示すように、最後に DWA を適用する。

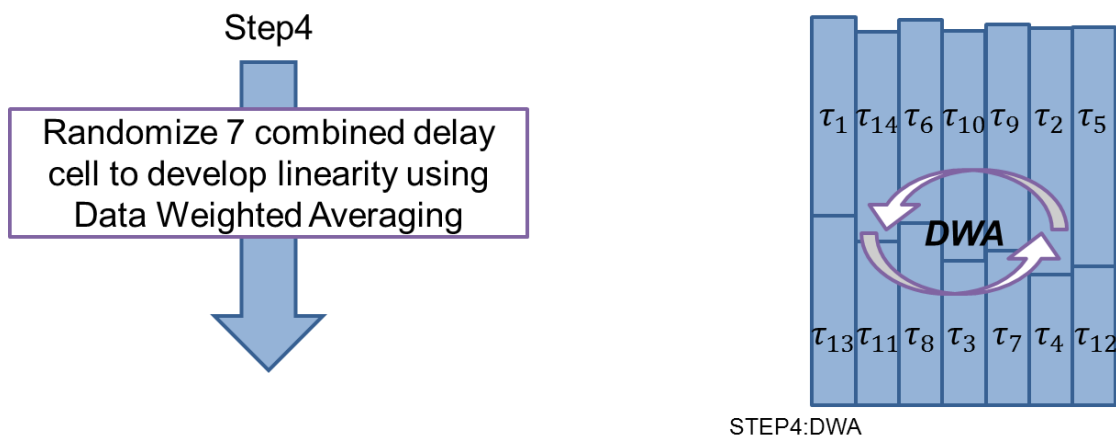


図 13.9 Step4: DWA の適用

### 13.2.2 並び替え・組み合わせを実現する回路構成

回路規模が大きくなるため、ここでは 2 ビット構成で記述する。図 13.10 に全体の回路構成を記述する。

まずリング発振器構成で各素子を周波数測定カウンタ(Frequency measurement counter)で測定する。これらの値を周波数測定データメモリ(Frequency recording memory)で記録する。全ての素子を測定し終わり、メモリに値を保存したら、総当たり比較器(Digital comparator)で、総当たりで値を比較する。次に素子毎にコンパレータの High である数を計算し、加算器(Order calculating adder)にて 2 進数で出力する。組合せ決定回路(Combination determination circuit)で加算器からの 2 進数を一番大きいものと一番小さいもの、二番目に大きいものと二番目に小さいもの、三番目に大きいものと三番目に小さいもの、…を組み合わせる。この組み合わせたデータを組合せデータメモリ(Combination recording memory)に保存する。この位相差測定時にはメモリに保存されたデータを組合せ適用回路(Combination application circuit)を通し、測定を実行する。

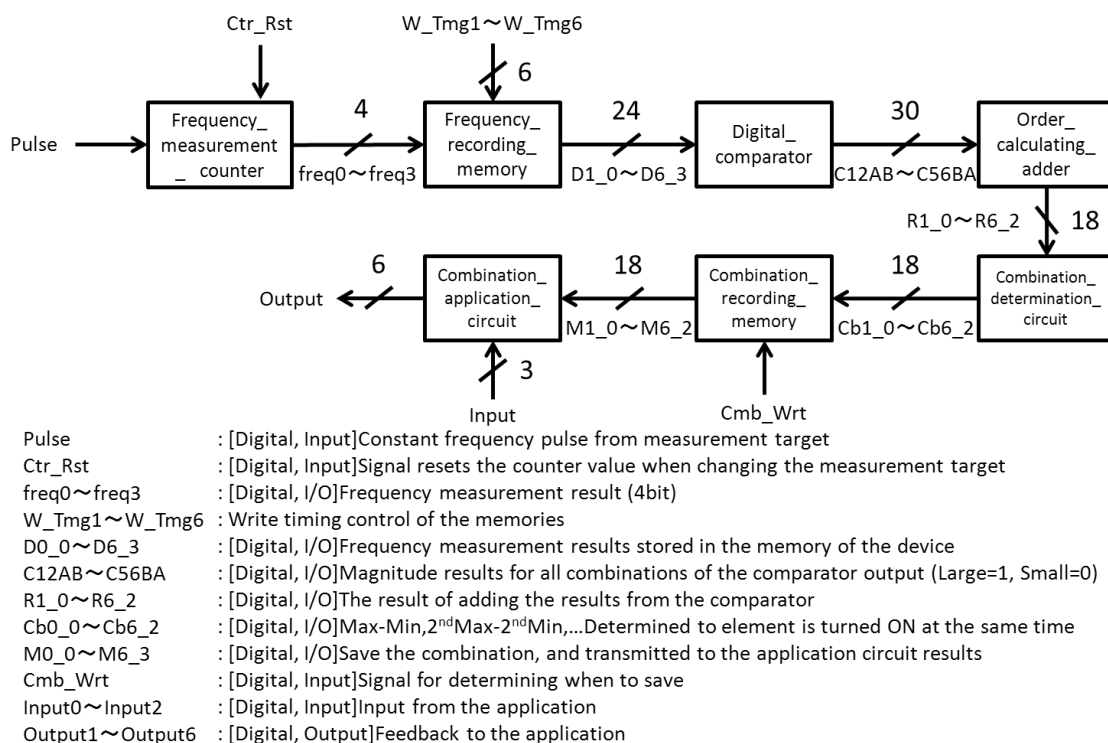


図 13.10 Sorting を実現する回路構成

### 13.3 シミュレーションによる検証

ここまで述べた 2 つ校正方法についてその有効性を MATLAB・SPICE を用いたシミュレーションにより確認した。

並べ替えアルゴリズムに関して、遅延セルに冗長性を持たせ、線形性を更に向上させることも可能である。例えば、16 個の遅延セルを持てば、うち最大のものと最小のもの 2 個の遅延セルは使用せず、上記のように残り 14 個を同一の方法で実行する。

ここで、ステップ別(図 13.6~図 13.9)に校正手法を分け、各名称を用い、表 13.1 のように 6 種類に分けシミュレーションを行った。また条件を揃えるため、いずれのアルゴリズムに対しても遅延素子を 14 個用いる。STEP1、STEP2 を用いない場合は、ランダムに組合せる。

表 13.1 アルゴリズム一覧

アルゴリズム名	STEP1	STEP2	STEP3	STEP4
Nothing	—	—	—	—
Sorting Algorithm1(without DWA)	—	—	○	—
Sorting Algorithm2(without DWA)	○	○	○	—
Only DWA	—	—	—	○
Sorting Algorithm1 & DWA	—	—	○	○
Sorting Algorithm2 & DWA	○	○	○	○

### 13.3.1 MATLABによるシミュレーション

まず、1個の遅延素子当たりの理想の遅延時間を1nsとする。標準偏差 $\sigma$ 、平均値 $\mu$ を用い、確率密度関数を下記に示す。また正規分布は図13.11のように示される。

$$f(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (13.1)$$

また正規分布は図13.11のように示される。

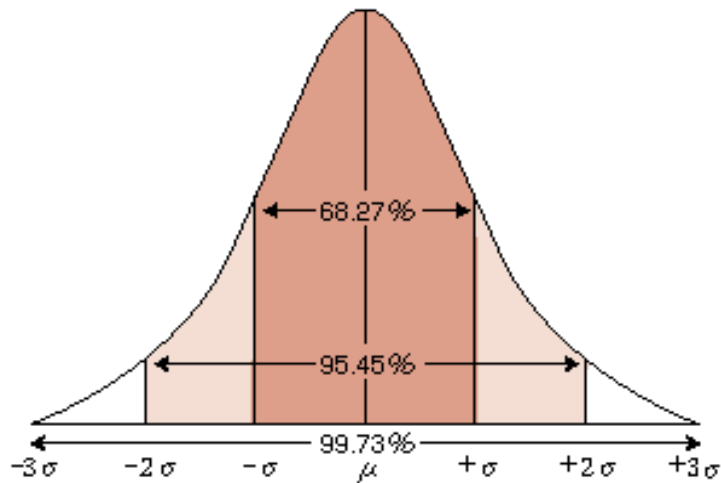


図 13.11 正規分布表

また、ディレイラインを以下の図13.12の構成に変更してシミュレーションを行う。マルチプレクサによる遅延の影響を小さくする為である。

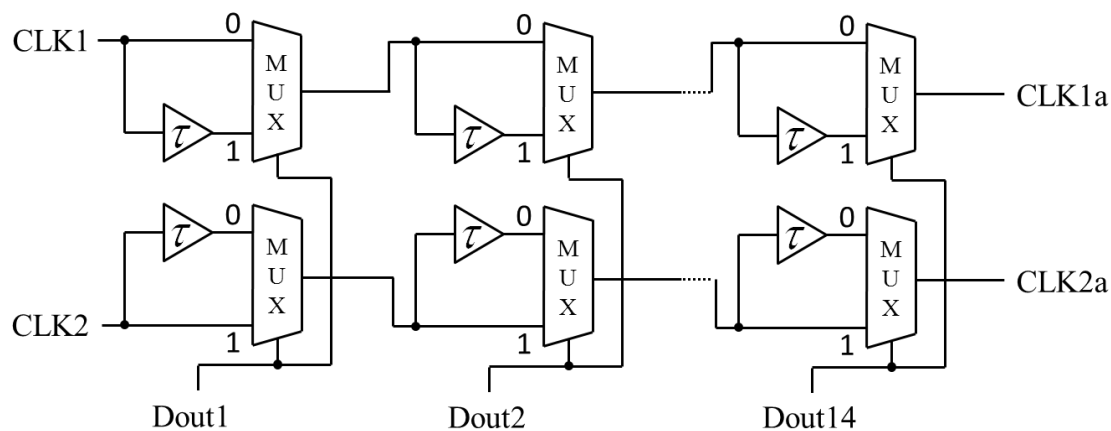


図 13.12 ディレイライン

ここで、平均値  $\mu$  を  $1n$ 、標準偏差  $\sigma$  を  $0.07$  とし、表計算ソフト「エクセル」にて、ランダム関数を用い、確率分布に基づいた遅延時間のばらつきのサンプルデータを取得し、MATLAB シミュレーションにこのデータを用いた。

表 13.2 のパラメータ条件を基に、各校正別の MATLAB シミュレーションを行った。まず、表計算ソフト「エクセル」にて、ランダム関数を用い、確率分布に基づいた遅延時間のばらつきのサンプルデータを取得し、表 13.2 のような遅延値データを基に、DWA のみの場合、ソーティングアルゴリズム 2 と DWA 双方を用いた時の入力クロックの位相差に対する積分非線形誤差(INL)について図 13.13 で考察する。ソーティングを行った方が、線形性が改善されていることが分かる。

表 13.2 遅延値データ

遅延素子	$\tau_1$	$\tau_2$	$\tau_3$	$\tau_4$	$\tau_5$	$\tau_6$	$\tau_7$	$\tau_8$	$\tau_9$	$\tau_{10}$	$\tau_{11}$	$\tau_{12}$	$\tau_{13}$	$\tau_{14}$
遅延値(ns)	0.94	1.00	0.99	0.99	1.09	1.09	1.01	0.99	0.93	1.03	0.94	0.99	0.97	1.02

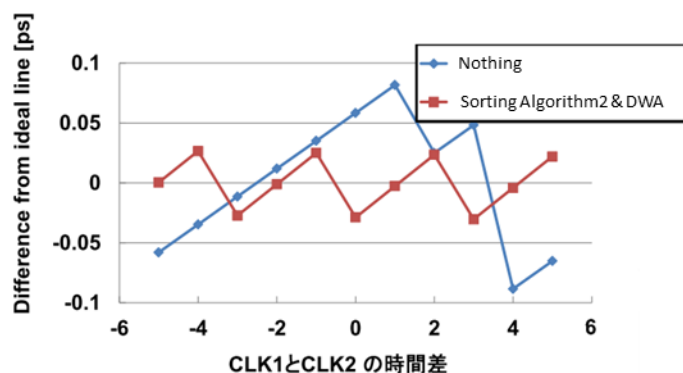


図 13.13 入力の位相差に対する理想とのずれ

また、表 13.2 のような幾つかの遅延値ばらつきのデータを用い、ソーティングアルゴリズム 2(DWA は用いない)と校正手法を用いない場合の理想とのずれの平均値を図 13.14 に示す。18 のデータを用いたが、そのほとんどの線形性が大きく改善されていることが分かる。

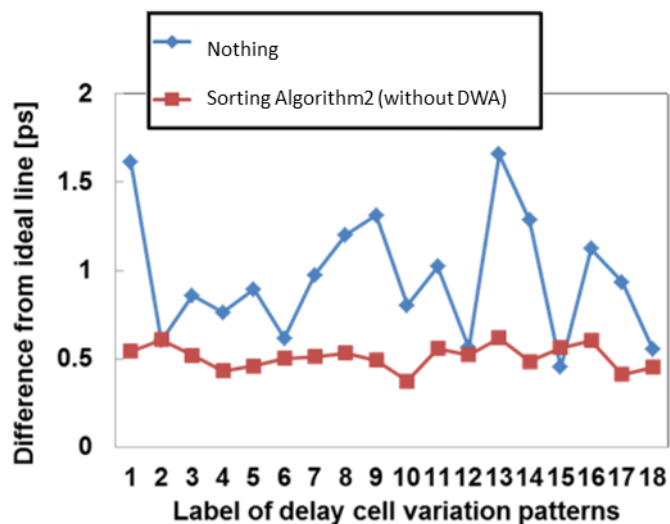


図 13.14 ソーティングアルゴリズム 2 を用いた時と用いない時の理想とのずれの平均

また、図 13.15 に示す遅延ばらつきデータを用い、表 5.2 に示す校正手法をそれぞれ適用し、比較し効果を検証する。

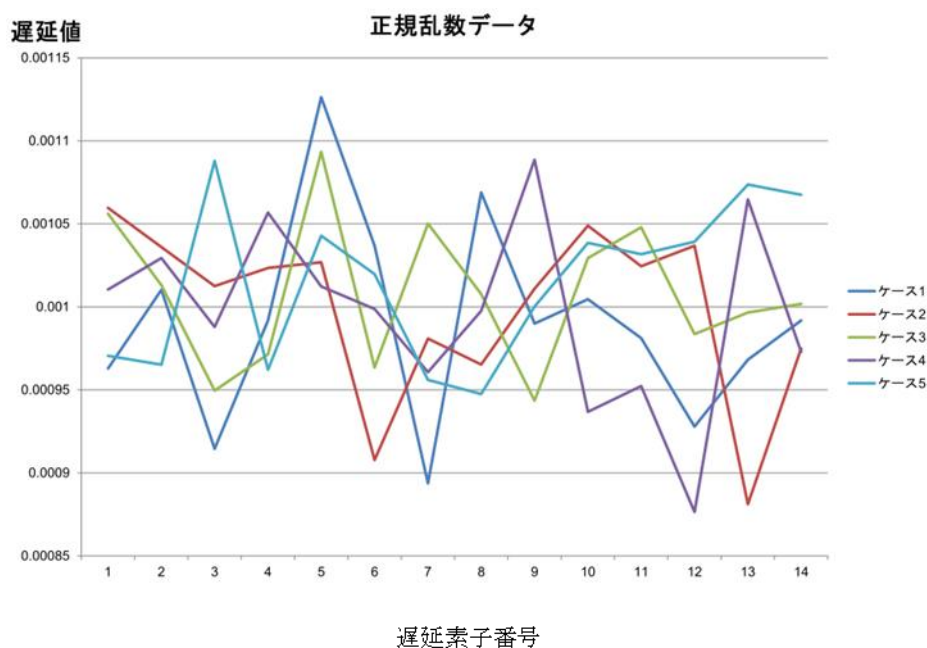


図 13.15 遅延素子のばらつきデータ 5 ケース

これを並び替え、組み合わせをした(ソートングアルゴリズム 2 を適用する)7組の素子が図 13.16 である。

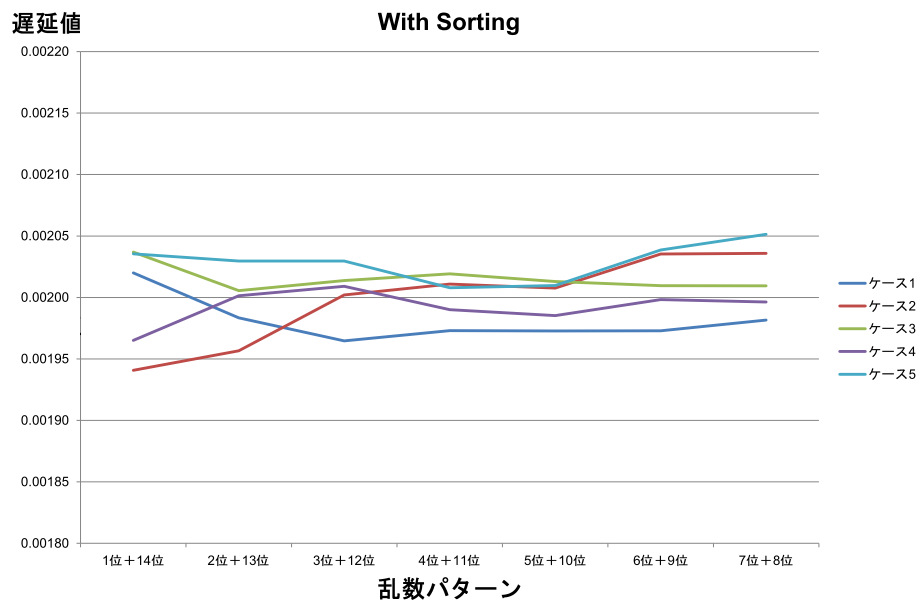


図 13.16 ソートングアルゴリズム 2 を適用する場合の 7 組の遅延素子

また、STEP1 と STEP2 を用いない場合は遅延素子番号 1 と 2、3 と 4、5 と 6、…のように隣り合った素子を組み合わせる。すると、図 13.17 のようになる。

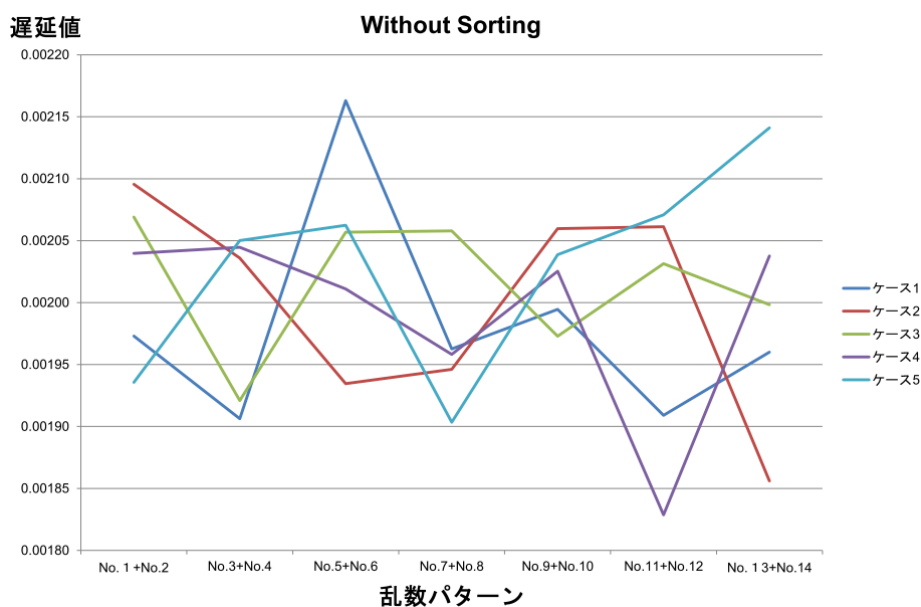


図 13.17 ソートングアルゴリズム 2 を適用しない場合の 7 組の遅延素子

各校正手法別の TDC の出力のデータ数を 1000 とした場合の INL の平均値を、図 13.18 に示す。ソーティングアルゴリズム 1 でも効果が得られることが分かる。

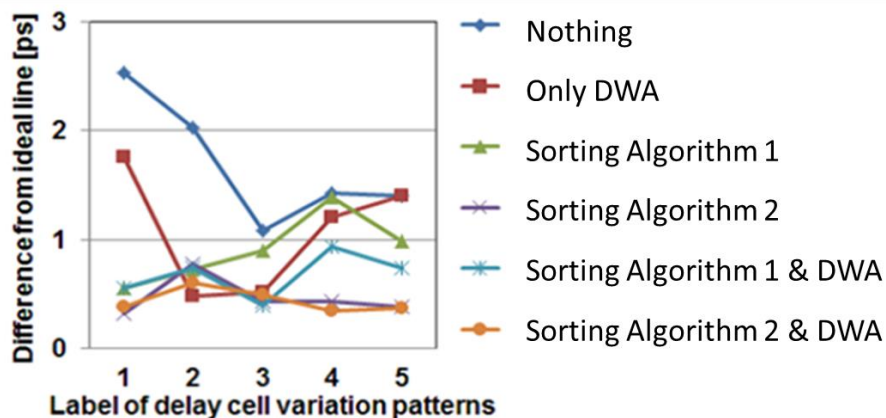


図 13.18 出力が 1000 の時の各校正手法の INL の平均値

また、図 13.15 で示したケース 1 において、出力を 350、1050、2100 とした時の INL の平均値を、図 13.19 に示す。

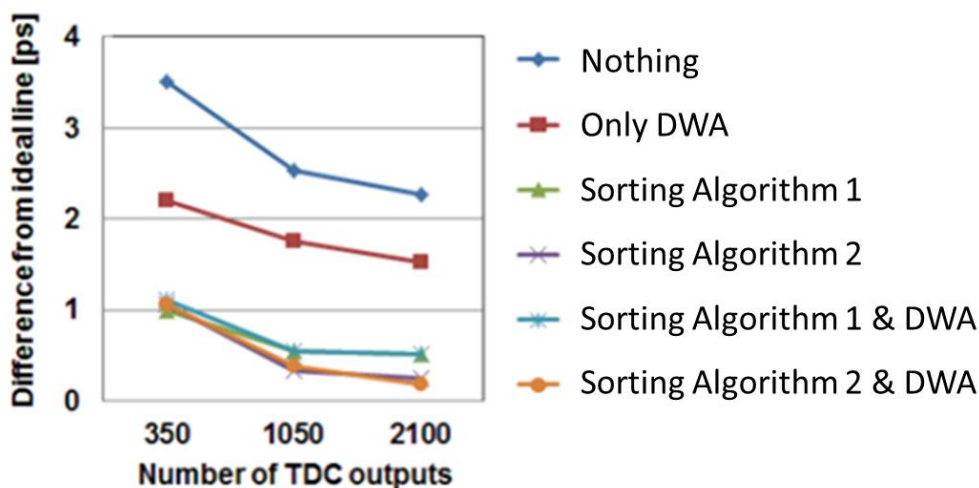


図 13.19 ケース 1 の TDC の出力に対する各校正手法の INL の平均値

これらのシミュレーション結果により、要約すると次のことが分かった。

- (1) 並び替えアルゴリズム 2 が最も効果的である。
- (2) 並び替えアルゴリズム 1 は次に効果的である。
- (3) DWA アルゴリズムは 3 番目に効果的である。
- (4) 並び替えアルゴリズム 1(または 2)を行った後、DWA を適用した場合と並び替えアルゴリズム 1(または 2)のみの場合では、効果は同等である。
- (5) TDC の出力数が増えれば増えるほど、どの校正手法でも線形性は向上していく。

### 13.3.2 SPICE シミュレーション解析

まず、1 個の遅延素子当たりの理想の遅延時間を 1ns とする。また、ディレイラインを図 13.12 の構成に変更してシミュレーションを行う。マルチプレクサによる遅延の影響を小さくする為である。ここで、平均値  $\mu$  を 1n、標準偏差  $\sigma$  を 0.07 とし、こちらも表計算ソフト「エクセル」にて、ランダム関数を用い、確率分布に基づいた遅延時間のばらつきのサンプルデータを取得し、SPICE シミュレーションにこのデータを用いた。

表 13.3 のパラメータ条件を基に、各校正別の SPICE シミュレーションを行った。

表 13.3 SPICE シミュレーションで用いる遅延値データ

遅延素子	$\tau_1$	$\tau_2$	$\tau_3$	$\tau_4$	$\tau_5$	$\tau_6$	$\tau_7$	$\tau_8$	$\tau_9$	$\tau_{10}$	$\tau_{11}$	$\tau_{12}$	$\tau_{13}$	$\tau_{14}$
遅延値(ps)	963	1010	915	992	1126	1037	894	1069	990	1005	981	928	968	992

図 13.20 に表 13.3 のばらつきを与えた時の各校正手法別に、理想とのずれ(INL)を比較した。シミュレーション条件は出力を 350 点(50 点×出力 7)とした。

校正手法を何も用いない場合はばらつきが多く、ずれた値を出力していたが、並び替えアルゴリズム 1 を使った場合、理想に近づいていることが分かる。



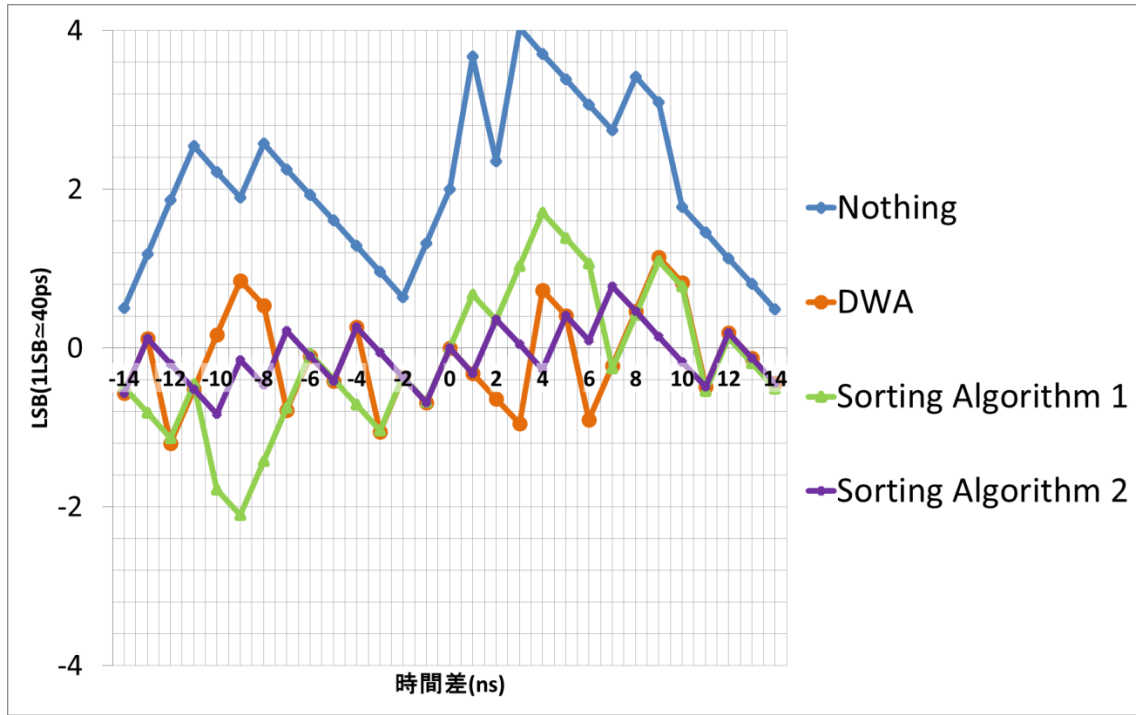


図 13.20 ケース 1 の時の各校正手法の入力に対する出力の INL

## 第 14 章 まとめ

本研究では、マルチビット $\Delta\Sigma$ TDC について以下の 2 つの校正手法を用いて高性能化を検討した。

- Data Weighted Averaging (DWA)
- 並び替えアルゴリズム (Sorting Algorithm)

マルチビット $\Delta\Sigma$ TDC について構成を述べ、1 ビット $\Delta\Sigma$ TDC に対し高速化されることが可能であることを示した。その反面、マルチビット $\Delta\Sigma$ TDC は複数の遅延素子を用いるため、遅延素子の遅延量のばらつきによって出力が非線形になってしまい、精度が落ちてしまうという欠点がある。この欠点を克服する手法が Data Weighted Averaging (DWA) と並び替えアルゴリズムである。DWA はデータ平均加重法であり、マルチビット $\Delta\Sigma$ TDC は構成上同じ経路ばかり選択されてしまう。これをリレーのように、選択される回路を分担させ各遅延素子が均等に選択されるようにするのが DWA である。並び替えアルゴリズムは、通常時の 2 倍の遅延素子を用い、各々のばらつきが打ち消し合うように組み合わせる。これら 2 つの手法について、その有効性を MATLAB、SPICE を用いたシミュレーションにより確認した。

提案した手法により簡易で高速・高精度なテストが可能となり、テスト容易化設計 (Design for testability; DFT) や組込み自己テスト (Built-in self-test; BIST)、外付け自己テスト (Built-out self-test; BOST) のクロックタイミング測定及びテストとして使えることが期待できる。

## 謝辞

本研究を遂行するに当たり、3年間御指導・御鞭撻を頂きました、群馬大学大学院理工学府、小林春夫教授に心より感謝申し上げます。論文審査の主査をして頂きました、弓仲康史准教授に心より感謝いたします。副査をして頂き、研究環境の構築やご指導していただきました、高井伸和准教授に心より感謝いたします。また、研究・論文の御指導をして頂きました、名古屋大学、新津葵一講師、研究室や研究生活面でお世話になりました、石川信宣技官に心より感謝申し上げます。本研究に対し大変有意義なご意見・ご討論を頂きました松浦達治氏、山口隆弘氏、及び STARC の小林修氏をはじめとするアナログテスト容易化研究グループの関係者の皆様に心より感謝申し上げます。最後に、本研究をサポートして頂きました針谷尚裕氏、平林大樹氏、村上正紘氏をはじめ、小林研究室、高井研究室の皆様には心より感謝申し上げます。

## 参考文献

- (1) G. Roberts, F. Taenzler, M Burns, *An Introduction to Mixed-Signal IC Test and Measurement*, Oxford University Press, (2011).
- (2) R. B. Staszewski, P. T. Balsara, *All-Digital Frequency Synthesizer in Deep-Submicron CMOS*, Wiley-Interscience (2006).
- (3) A. W. Scott, R. Frobenius, *RF Measurements for Cellular Phones and Wireless Data Systems*, Jon Wiley & Son. Inc. (2008).
- (4) K. Niitsu, N. Harigai, D. Hirabayashi, D. Oki, M. Sakurai, O. Kobayashi, T. J. Yamaguchi, H. Kobayashi, "A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges," *VLSI Circuits Symposium*, Honolulu, Hawaii (June 2012).
- (5) K. Niitsu, M. Sakurai, N. Harigai, T. J. Yamaguchi, H. Kobayashi, "CMOS Circuits to Measure Timing Jitter Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation," *IEEE J. of Solid-State Circuits*, vo. 47, no.11, pp. 2701-2710 (Nov. 2012).
- (6) A. Ecker, B. Blakkan, M. Soma, "A Digital Method for Phase Noise Measurement," *IEEE International Test Conference*, Anaheim, CA (Sept. 2012).
- (7) S. Uemori, M. Ishii, H. Kobayashi, D. Hirabayashi, Y. Arakawa, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Yano, T. Gake, T. Yamaguchi, N. Takai, "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," *J. of Electronic Testing : Theory and Applications*, Springer, vol. 29, no. 6, pp.879-892 (Dec. 2013).
- (8) D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi, O. Kobayashi, K. Niitsu, T. Yamaguchi, N. Takai, "Phase Noise Measurement with Sigma-Delta TDC", *IEEE International Test Conference*, Poster Session, Anaheim, CA (Sept. 2013).
- (9) J. Moreira, H. Werkmann, *An Engineer's Guide to Automated Testing of High-Speed Interfaces*, Artech House (2010).
- (10) S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", *IEEE International Mixed-Signals, Sensors, and Systems Test Workshop*, Taipei, Taiwan (May 2012).
- (11) S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Arakawa, D. Hirabayashi, Y. Yano, T. Gake, N. Takai, T. J. Yamaguchi, "Multi-bit Sigma-Delta TDC Architecture with Self-Calibration", *IEEE Asia Pacific Conference on Circuits and Systems*, Kaohsiung, Taiwan (Dec. 2012).

## 本研究に関する業績

### <原著論文>

- (1) Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi Osamu Kobayashi , Masanobu Tsuji, Sadayoshi Umeda Ryoji Shiota , Noriaki Dobashi, Masafumi Watanabe , Tatsuji Matsuura Kiichi NiitsuIsao Shimizu, Nobukazu Takai, Takahiro J. Yamaguchi “Phase Noise Measurement and Testing with Delta-Sigma TDC” ,Key Engineering Materials
- (2) Kiichi Niitsu, Yusuke Osawa, Naohiro Harigai, Daiki Hirabayashi, Osamu Kobayashi, Takahiro J. Yamaguchi, Haruo Kobayashi, “A CMOS PWM Transceiver Using Self-Referenced Edge Detection,” IEEE Transactions on Very Large Scale Integration Systems

### <国際学会発表論文>

- (1) Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai , Haruo Kobayashi, Kiichi Niitsu, Osamu Kobayashi “Phase Noise Measurement Techniques Using Delta-Sigma TDC” , IEEE International Mixed-Signals, Sensors and Systems Test Workshop (IMS3TW'14), Porto Alegre, Brazil (Sept. 17-19, 2014).
- (2) Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi, Osamu Kobayashi, and Kiichi Niitsu “Phase Noise Measurement Technique Using Delta-Sigma TDC Without Reference Clock” , 1st International Symposium of Gunma University Medical Innovation and 6th International Conference on Advanced Micro-Device Engineering, Kiryu City (Dec. 5, 2014)
- (3) D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi, O. Kobayashi, K. Niitsu, T. Yamaguchi, N. Takai, ” Phase Noise Measurement with Sigma-Delta TDC” , IEEE International Test Conference, Poster Session, Poster No. 3, Anaheim, CA (Sept. 11, 2013).
- (4) Yuta Arakawa, Yusuke Oosawa, Haruo Kobayashi, Osamu Kobayashi, “Linearity Improvement Technique of Multi-bit Sigma-Delta TDC for Timing Measurement” , IEEE 3rd International Workshop on Test and Validation of High-Speed Analog Circuits, Anaheim, CA (Sept. 12-13, 2013).
- (5) Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi, Osamu Kobayashi, Masanobu Tsuji, Sadayoshi Umeda, Ryoji Shiota, Noriaki Dobashi, Masafumi Watanabe, Tatsuji Matsuura, Kiichi Niitsu, Takahiro J. Yamaguchi, Nobukazu Takai and Isao Shimizu, “Phase Noise Measurement and Testing with Delta-

Sigma TDC,” The 4th IEICE International Conference on Integrated Circuits Design and Verification, Ho Chi Minh City, Vietnam (Nov. 15-16, 2013).

- (6) Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi, Osamu Kobayashi, Kiichi Niitsu, Takahiro J. Yamaguchi, Nobukazu Takai, “ Phase Noise Measurement with Delta-Sigma TDC”, 5th International Conference on Advanced Micro-Device Engineering (AMDE2013)Kiryu, Japan (Dec. 19, 2013)
- (7) Yuta Arakawa, Yusuke Oosawa, Haruo Kobayashi, Osamu Kobayashi,” Multi-bit Delta-Sigma TDC for Timing Measurement, 5th International Conference on Advanced Micro-Device Engineering (AMDE2013)Kiryu, Japan (Dec. 19, 2013)
- (8) Naohiro Harigai, Kiichi Niitsu, Daiki Hirabayashi, Masato Sakurai, Yusuke Osawa, Takahiro J. Yamaguchi, and Haruo Kobayashi, “A Study on Design for High-Speed Operation in a Cascaded Open-Loop Time Amplifier”, 4th International Conference on Advanced Micro-Device Engineering, Kiryu, Japan (Dec. 7, 2012)

#### <国内学会発表論文>

- (1) 大澤優介、小林春夫、「高速入出力インターフェース受信回路のジッタ耐性試験用ジッタ発生回路の検討」、第5回電気学会東京支部栃木・群馬支所合同研究発表会、栃木、2015年3月
- (2) 大澤 優介、平林 大樹、針谷 尚裕、小林 春夫、新津 葵一、小林 修、「デルタシグマ TDC を用いた位相ノイズ測定」、電気学会 電子回路研究会、島根、2014年7月
- (3) 宮崎雄太、大澤優介、小林春夫、小林修、「 $\Delta\Sigma$ 型時間測定回路の線形性向上技術」、第4回 電気学会 東京支部 栃木・群馬支所 合同研究発表会、群馬、2014年3月
- (4) 大澤 優介、デルタシグマ型タイムデジタイザ回路による位相ノイズ測定法」、STARC シンポジウム、横浜、2014年1月
- (5) 大澤優介、「シグマデルタ時間デジタイザ回路を用いた位相ノイズ測定手法の検討」、第54回システム LSI 合同ゼミ、東京工業大学 2013年6月
- (6) 大澤優介、針谷尚裕、平林大樹、新津葵一、小林 修、山口隆弘、小林春夫、「シグマデルタ TDC を用いた位相ノイズ測定手法 (1) --システムレベル検討-」、第3回電気学会東京支部栃木・群馬支所合同研究発表会、群馬、2013年2月
- (7) 平林大樹、針谷尚裕、大澤優介、新津葵一、小林 修、山口隆弘、小林春夫、「シグマデルタ TDC を用いた位相ノイズ測定手法 (2) -回路レベル検討-」、第3回電気学会東京支部栃木・群馬支所合同研究発表会、群馬、2013年2月
- (8) 針谷尚裕、新津葵一、平林大樹、興 大樹、櫻井正人、大澤優介、小林 修、山口隆弘、小林春夫、「自己遅延クロックエッジ間のゲーテッド位相ブレンディングを用いたクロックジッタ低減回路」、第3回電気学会東京支部栃木・群馬支所合同研究発表会、群馬、2013年2月