

平成 25 年度 修士論文

アナログフィルタ回路と 電源回路高効率化の研究

工学研究科 電気電子専攻

情報システム第二研究室

学籍番号 12801676

ジン 光磊

Guanglei Jin

指導教員 小林春夫

小堀康功

目次

第一章	アナログフィルタ回路の研究.....	1
1.	研究背景と目的.....	1
2.	Switched Gm-C バンドパスフィルタ	2
2.1.	OTA 回路	2
2.2.	提案 Switched Gm-C 積分器.....	3
2.3.	Gm-C バンドパスフィルタ	6
3.	中心周波数の調整	8
3.1.	提案手法.....	8
3.2.	提案手法のシミュレーション	11
4.	Q 値の調整.....	13
4.1.	提案手法.....	13
4.2.	提案手法のシミュレーション	15
5.	まとめ	16
	参考文献.....	17
第二章	電源回路高効率化の研究.....	18
1	研究背景と目的.....	18
1.1	研究背景.....	18
1.2	N+1 冗長運転.....	19
2	電源回路構成	20
2.1	スイッチング電源.....	20
2.1.1	降圧型回路	20
2.1.2	昇圧型回路	21
2.1.3	昇降圧回路	22
2.2	力率改善回路 (PFC : Power Factor Correction)	23
2.2.1	PFC 回路必要な要因	23
2.2.2	PFC 回路の搭載によるメリットとデメリット	24
2.2.3	PFC 回路の構成及び効率劣化された原因.....	25
2.3	DC/DC Converter 回路.....	29
2.3.1	DC/DC Converter 回路の紹介.....	29
2.3.2	DC/DC Converter 効率低下の原因.....	30
2.3.2.1	MOSFET の電力損失	31
2.3.2.2	ダイオードの電力損失.....	32
2.3.2.3	インダクタの電力損失.....	33
2.3.2.4	コンデンサの電力損失.....	35

3	提案方法と実験用ツール	37
3.1	開発ツール CCS v5(Code Composer Studio v5)	37
3.2	C2000 シリーズ DSP	39
3.3	実験用ボード	40
3.3.1	BLPFC AC/DC 回路 (Bridgeless Power Factor Correction AC/DC)	40
3.3.2	PSFB DC/DC 回路部分 (Phase Shift Full Bridge DC/DC)	41
3.4	BLPFC AC/DC の実装回路と制御ブロック	42
3.4.1	PSFB DC/DC の実装回路と制御ブロック	44
3.4.1.1	PFC_BL_ICMD.asm	45
3.4.1.2	CNTL_2P2Z.asm	45
3.4.1.3	SineAnalyzer.h	46
3.4.1.4	PFC_InvRmsSqr.asm	47
3.4.1.5	MATH_EMAVG.asm	48
3.4.1.6	PWMDRV_1ch_UpDwnCnt.asm	49
3.4.1.7	ADCDRV_1ch:n	49
3.5	Phase Shifted Full Bridge(PSFB)の実装回路と制御ブロック	50
3.5.1.1	ソフトウェアの概要 - VMC	52
4	実験結果	53
4.1	BLPFC AC/DC 回路のリンク電圧最適可変(@ 50% 負荷)	53
4.2	BLPFC AC/DC 回路スイッチ PWM 周波数最適可変(@ 5%~20%負荷)	55
4.3	PSFB DC/DC 回路スイッチ PWM 周波数最適可変(@ 5%~20%負荷)	58
5	まとめ	60
	参考文献	61
	謝辞	62
	発表論文	63

第一章 アナログフィルタ回路の研究

概要

本研究ではスイッチング Gm-C 積分器を用いた 2 次 Gm-C バンドパスフィルタの構成を提案する。そしてバンドパスフィルタ特性の自動調整について検討する。中心周波数は位相特性を使用し、Q 値の調整は振幅特性を使用した。調整回路のシミュレーション結果は SPICE で確認された。

1. 研究背景と目的

近年、プロセスの進化により無線通信技術が飛躍的に発展している。RF 通信とワイヤレス通信の市場は想像もしなかった領域に拡大し、携帯電話の世界市場は年間 3000 億円を越えた。日常生活では携帯電話はもはや欠かせない必需品になっている。データ転送やネットワークサービスなど無線通信サービスによって様々な無線通信規格が開発されている。通信規格が異なると受信回路のアナログ部を新たに追加しなければならないという問題が重視されてくる。Figure 1 のようにアナログバンドパスフィルタが携帯電話、無線 LAN、Bluetooth などの受信機の領域で幅広く使われている。

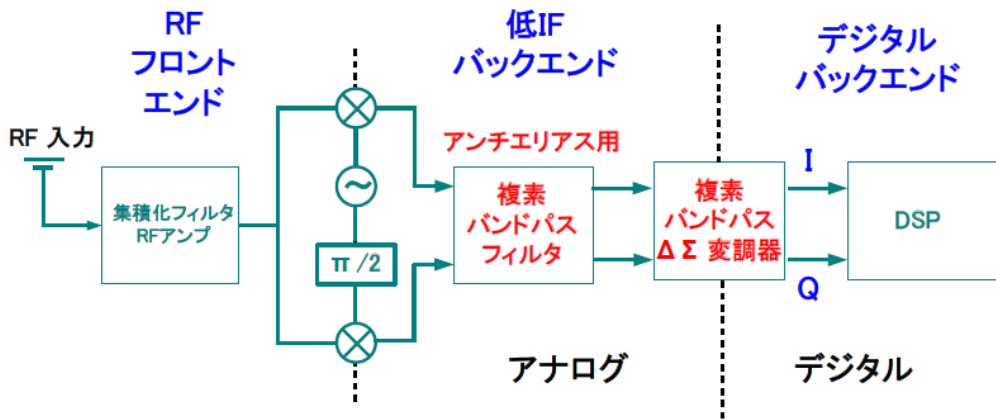


Figure 1 バンドパスフィルタの応用

本論文では伝達関数を用いてバンドパス Gm-C フィルタの構成を検討する。Gm-C タイプバンドパスフィルタは安定性と連続調整が必要とする。特に問題になるのは高周波における中心周波数と Q 値の調整である。ここでアナログバンドパスフィルタを中心周波数、Q 値をデジタル制御により自動調整する方法について検討する。デジタル制御で自動調整可能であるので、検討手法は微細 CMOS での実現に適している。

2. Switched Gm-C バンドパスフィルタ

2.1. OTA 回路

OP アンプを用いた積分器はトランジスタなどの能動回路素子の影響を受けにくく、安定な動作が期待される。その反面では広帯域フィルタの実現においては OP アンプ帯域の制約を受け広帯域化が困難という課題がある。このような場合にはトランスコンダクタンス回路(OTA: Operational Transconductance Amplifier, Gm セル)と容量 C を用いた Gm-C 積分回路が用いられる。Figure 2 には差動 OTA 回路のシンボルを示す。

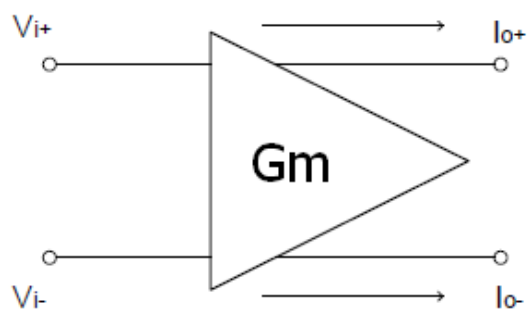


Figure 2 差動トランスコンダクタンス

OTA 回路は電圧を電流に変換するアンプである。ここで、Gm はトランスコンダクタンスであり、出力電流は端子から流れ出る方向を正としている。差動出力電流 I_o は下式で表すように入力電位差に比例した電流である。

$$I_o = I_{o+} - I_{o-} = gm(V_{i+} - V_{i-})$$

このトランスコンダクタンス回路の出力に容量を接続すれば積分器を構成できる (Gm-C 積分器)。

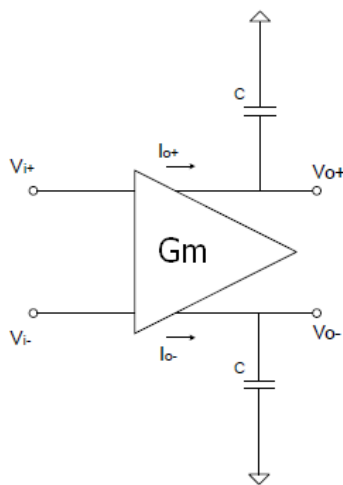


Figure 3 Gm-C 積分器

Figure 3 に示す Gm-C 積分回路は Gm-C バンドパスフィルタの基本である。OTA で入力電圧に比例した電流をキャパシタに流すと、入力信号の積分値がキャパシタの両端に現れる。計算式は下に示される。

$$V_o = V_{o+} - V_{o-} = \frac{gm}{sC} V_i$$

2.2. 提案 Switched Gm-C 積分器

可変Gm特性の素子を設計するため、スイッチを利用してGm-C積分器を構成することを提案する。Figure 4のように、スイッチを利用するとgm値を変えられるOTA回路を実現することができる。最初のスイッチをデルタシグマ変調等で小数部分調整し、下部分のスイッチを整数部分調整することによってデジタル制御でgmの連続変化が実現できる。

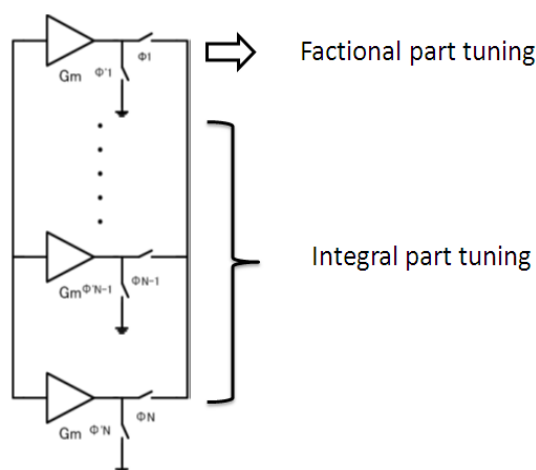


Figure 4 スイッチング Gm-C 積分器

整数部分調整が簡単であるが、小数部分調整の従来手法はパルス信号を用いてスイッチの切り替えを行う。しかし、Figure 5のようにパルス信号がONとOFFになって完全に安定するまで時間(立ち上がりと立下り時間)があるので誤差が生じる。



Figure 5 パルス信号の立ち上がりと立下り時間

ここで、誤差を小さくするためにパルス信号の代わりに 1bit デルタシグマ変換器を用いて Gm-C 積分器の小数部分調整を行う。Figure 6 は 1bit デルタシグマ変換器を表す。

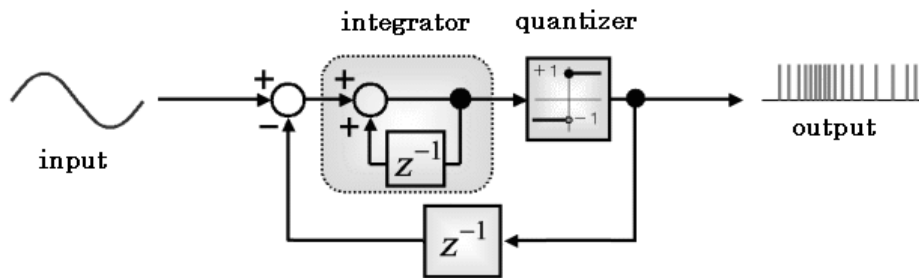


Figure 6 1bit $\Delta \Sigma$ 変換器

デルタシグマ変調はある信号(アナログ信号とか、多ビットで表現された信号など)を 1 ビットに変換する手法である。すなわち、1bit で信号を正確表現することが出来る。この手法を Gm の小数部分調整に応用して入力信号の振幅によって所要値を調整することが出来る。

Figure 7 は入力信号を 1bit の出力信号を変換図である。図のように出力信号の振幅が大きいときデジタル信号ハイの数が多いが、振幅が小さいときデジタル信号ハイの数が少ないである。

Figure 8 は Gm を通した電流がスイッチで制御された信号である。スイッチはデルタシグマで制御する。

Figure 9 は 1bit デルタシグマを使った小数部分のシミュレーション結果である。図のように入力信号の振幅とデューティ比の線形関係を確認できる。

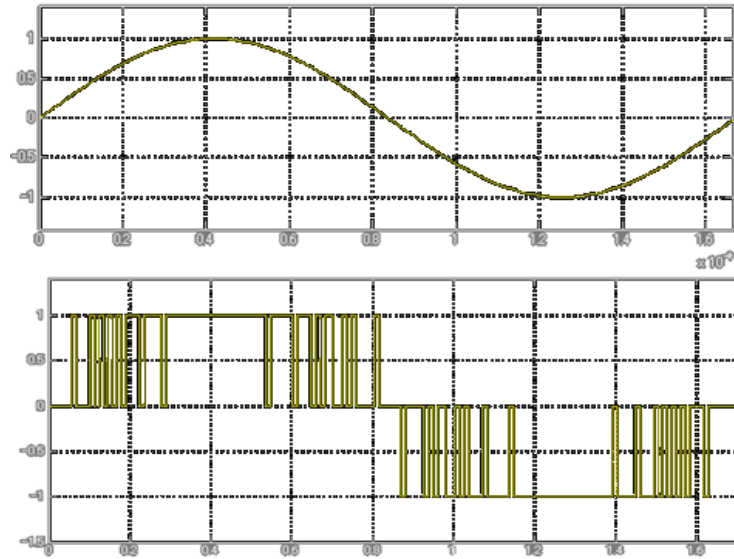


Figure 7 1bit の出力信号を変換図

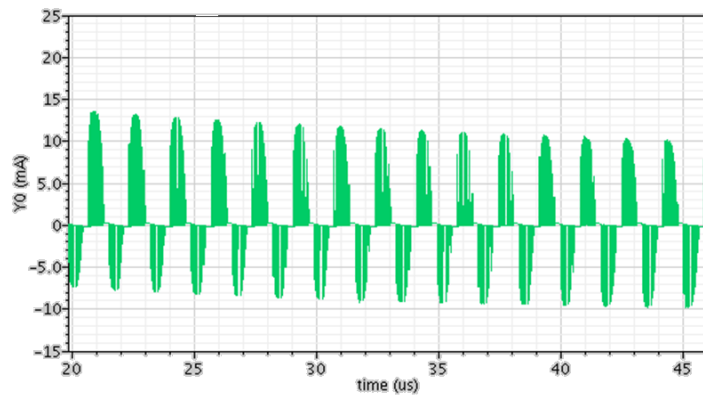


Figure 8 Gm を通した電流がスイッチで制御された信号

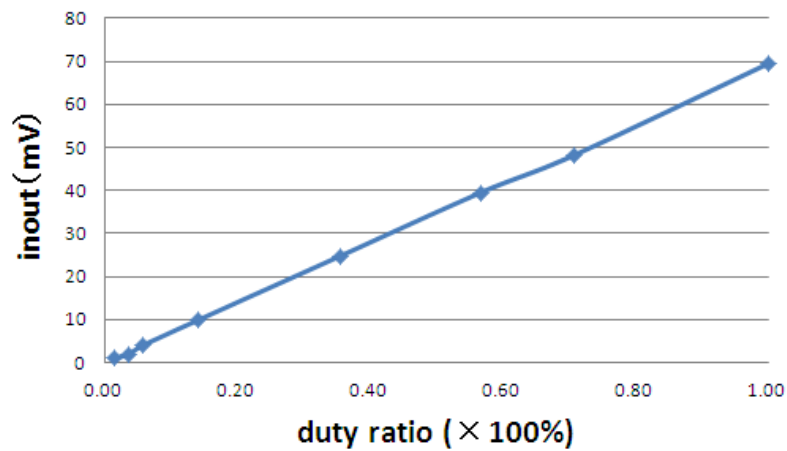


Figure 9 入力電圧振幅とデューティ比の関係 (シミュレーション結果)

2.3. Gm-C バンドパスフィルタ

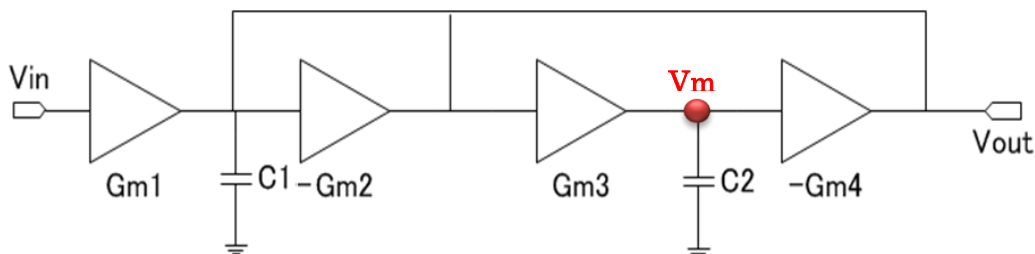


Figure 10 Gm-C 二次バンドパスフィルタ

Figure 10 に 2 次 Gm-C バンドパスフィルタ構成を示す。ここでは gm_1 , gm_2 , gm_4 の 3 個の OTA 回路は同じ出力ノードを持つため、それらの共通電圧制御回路と DC ゲイン制御回路を共有することができる。すべての回路を CMOS インバータで構成すれば、低電圧動作可能で微細 CMOS プロセスでは(速度飽和領域で動作するので)線形性が良くなる。内部ノードを持たないので高周波領域での動作が可能である。

Figure 10 に示すバンドパスフィルタの伝達関数を下式のように表す。

$$H(s) = \frac{gm_1 s C_2}{s^2 C_1 C_1 + s C_2 gm_2 + gm_3 gm_4}$$

上式の伝達式を一般式に変えると

$$H(s) = \frac{K}{s^2 + \frac{\omega_0}{Q} + \omega_0^2}$$

が得る。伝達関数の極 p_1 , p_2 は次のようになる。

$$p_1 = -\frac{\omega_0}{2Q} + j\omega_0 \sqrt{1 - \frac{1}{4Q^2}}$$

$$p_2 = -\frac{\omega_0}{2Q} - j\omega_0 \sqrt{1 - \frac{1}{4Q^2}}$$

もう一つのノード V_m 出力とすれば、フィルタの伝達関数を下式のように表す。つまり、このフィルタはローパスフィルタも使うことができる。

$$H''(s) = \frac{V_m}{V_{in}} = \frac{Gm_1 Gm_3}{s^2 C_1 C_2 + s C_2 Gm_2 + Gm_3 Gm_4}$$

ここで

$$\omega_0 = \sqrt{\frac{gm_3 gm_4}{C_1 C_2}} \quad Q = \sqrt{\frac{C_1 gm_3 gm_4}{C_2 gm_2^2}} \quad K = \sqrt{\frac{C_2 gm_1^2}{C_1 gm_3 gm_4}}$$

上式から中心周波数 ω_0 、 Q 値は gm と C によって決めることが分かる。すなわち、 gm あるいは C の値を変えればバンドパスフィルタ特性を調整できる。 C の値を調整すれば回路の雑音が大きくなるので、 gm の調整を行う。しかし、 gm を直接に調整するためにOTA回路内部のパラメータを変えなければならない。OTA回路の非線形により回路の全体特性が劣化されてしまう。そのため、外部のスイッチの切り替えによって gm の値を変える方式を提案する。

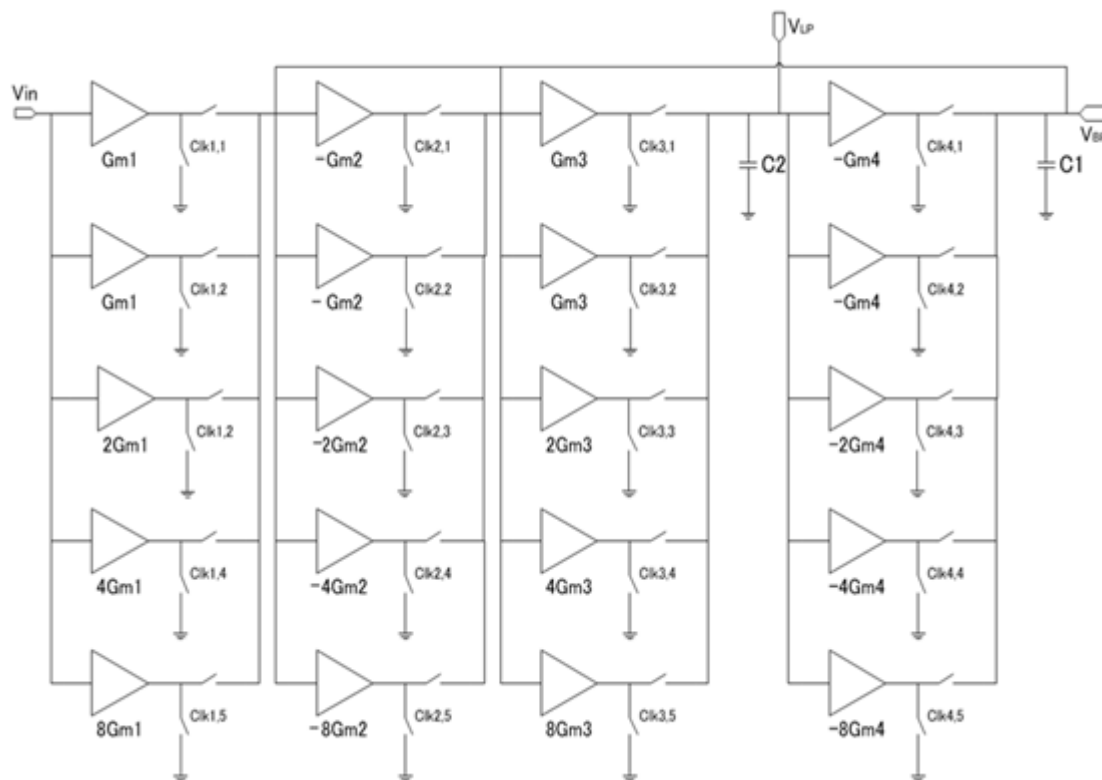


Figure 11 可変 Gm - C バンドパスフィルタ

Figure 11に可変Gm - Cバンドパスフィルタを構築するためのgmセル配列を示す。可変Gm - Cバンドパスフィルタは図6に示すgmセルをFigure 10のgm配列を置き換える。各gm値の変化によってバンドパスフィルタの伝達特性を変える。gmセルのスイッチはMOSトランジスタで構成する。

水平方向から見て、二次ローパスバンドパス出力を提供するフィルタとしてのGmブロックが接続されている。垂直方向に、それらが並列に接続されている。したがって、同じ入力、出力、容量性負荷を共有している。選択的コントロール16種類の相互コンダクタンス値を設定することができる。

したがって、いくつかの帯域幅と中心周波数の設定させることができるフィルタを得る。制御するにはフィルタパラメータは、すべての列を制御する必要はない。それは方程式によって示されるとして独立次を参照してください。計算しやすいため、

$$Gm_1 = N_1 gm \quad Gm_2 = N_2 gm$$

$$Gm_3 = N_3 gm \quad Gm_4 = N_4 gm$$

$$C_1 = M_1 C \quad C_2 = M_2 C$$

とする。中心周波数 ω_0 , Q 値, K は

$$\omega_0 = \frac{N_3 N_4}{\sqrt{M_1 M_2}} \cdot \frac{gm}{C} \quad Q = \sqrt{\frac{M_1 N_3 N_4}{M_2 N_2^2}} \quad K = \sqrt{\frac{M_2 N_1^2}{M_1 N_3 N_4}}$$

となる。

3. 中心周波数の調整

3.1. 提案手法

連続時間アナログバンドパスフィルタ設計の課題の一つは自動調整である。Gm-C フィルタを用いて Gm の値を変えることにより中心周波数と Q 値を幅広く調整できる。この節では先に前節の Switched Gm-C 積分器を用いた 2 次バンドパスフィルタの中心周波数の自動調整について説明する。

Figure 12 に提案された自動調整法はバンドパスフィルタの位相特性が示されている。バンドパスフィルタの位相特性を下式で表す。

$$\varphi(\omega) = \frac{\pi}{2} - \text{actan} \frac{\omega_i \omega_0}{Q(\omega_0^2 - \omega_i^2)}$$

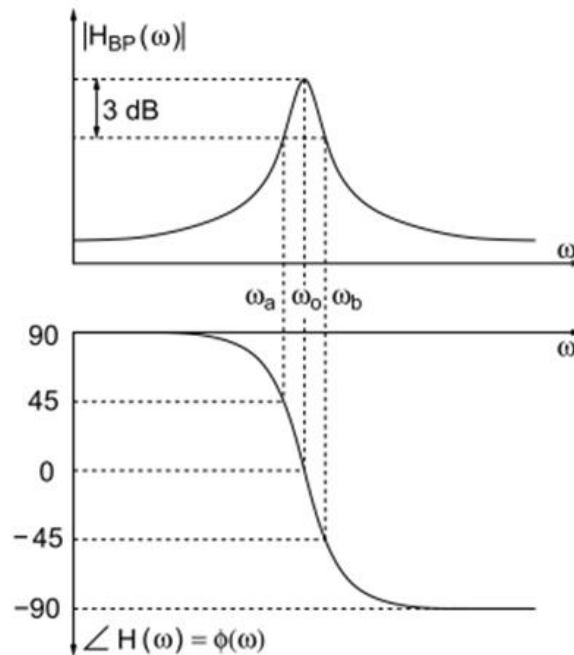


Figure 12 二次バンドパスフィルタの振幅と位相伝達関数

ここで、 ω_i 、 ω_0 はそれぞれ入力周波数とフィルタの中心周波数である。式上図に示されるように入力周波数 ω_i とバンドパスフィルタの中心周波数 ω_0 が一致にすれば入出力信号の位相差はゼロとなる。すなわち、バンドパスフィルタの中心周波数調整を入出力位相差 θ の調整に変換することで行う。

入力信号と出力信号の位相差 θ がゼロより小さければ、入力より出力の位相が進んでいる。中心周波数 ω_0 を大きくすれば位相差がゼロになる。逆に、位相差 θ はゼロより大きければ、中心周波数 ω_0 を小さくすれば良い。位相差 θ はゼロに調整されたら回路の中心周波数 ω_0 と入力周波数 ω_i が一致することになる。自動調整を実現する回路を下のブロック図に示す。

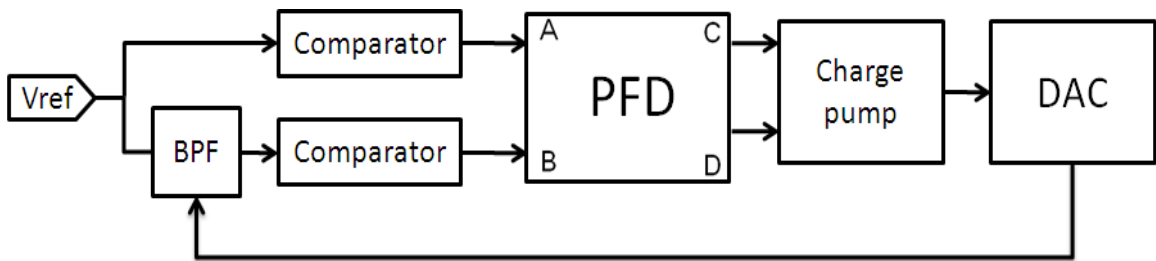


Figure 13 中心周波数調整ブロック図

参照信号 Vref（設定したい中心周波数 ω_0 の周波数の正弦波入力）と BPF の出力信号をコンパレータで比較してパルス信号に変換し、それぞれのパルス信号を位相周波数検出器(PFD)に入力する。PFD の二つ入力信号 A,B に位相差がある場合、その位相差が制御信号 C,D に変換して出力する。

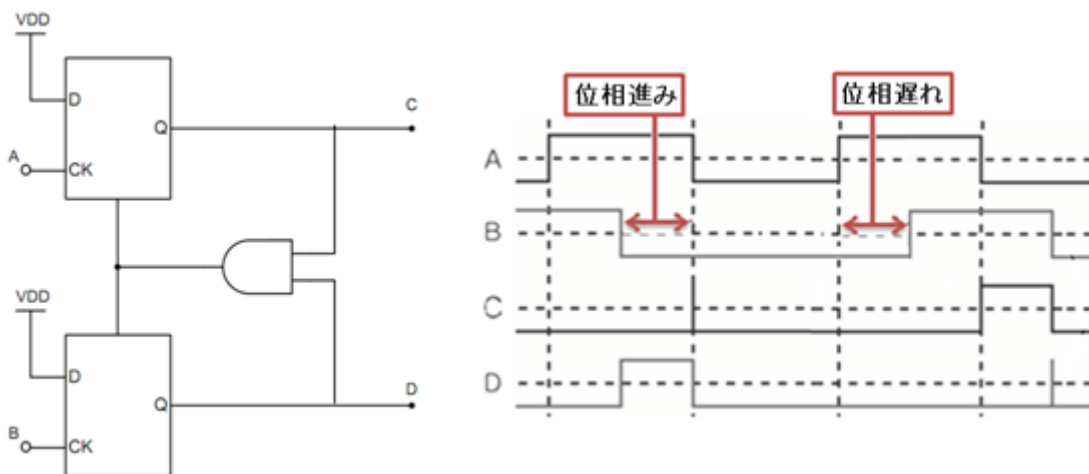


Figure 14 位相周波数検出器

比較器の出力信号 C,D がチャージポンプの電流源スイッチをコントロールしてチャージポンプの出力電圧 V_{CP} を制御する。位相差 θ とチャージポンプ出力電圧 V_{CP} の関係を下式に示す。

$$V_{CP} = \frac{\theta}{2\pi} \cdot \frac{I_{CPT}}{C}$$

位相比較器の入力信号 A, B 位相差がある限りチャージポンプの出力電圧 V_{CP} が変化し続ける。位相差 θ の値が大きいほど PFD の出力信号のデューティ比が大きいため、チャージポンプの出力電圧 V_{CP} の上昇率が高い。中心周波数と入力周波数が近く調整されるほど位相差 θ も小さくなる。チャージポンプの出力電圧 V_{CP} の変化率もだんだん緩和になっていき、入力周波数と BPF の中心周波数を一致するまでに制御する。中心周波数調整した後チャージポンプの出力電圧 V_{CP} が一定になる。PFD の出力制御信号とチャージポンプ電圧の変換を図 Figure 15 に示す。

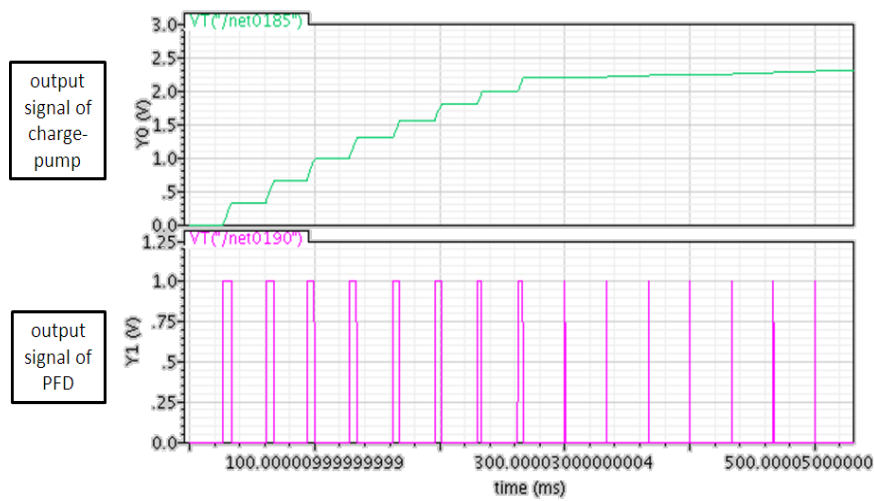


Figure 15 中心周波数制御電圧と PFD 出力信号

ADC をチャージポンプの出力電圧 V_{CP} の値を読み出す。ADC の出力信号が gm のスイッチを制御して、BPF 回路の中心周波自動調整することが出来る。計算式を下式で示す。

$$\omega_0 = \frac{N_3 N_4}{\sqrt{M_1 M_2}} \cdot \frac{gm}{C}$$

上式に示すように、 N_3 と N_4 の値を変化すれば中心周波数を変えることが出来る。すなわち、ADC の出力信号を $gm3$ と $gm4$ のスイッチを制御すれば良い。Figure 16 は自動調整回路を示す。

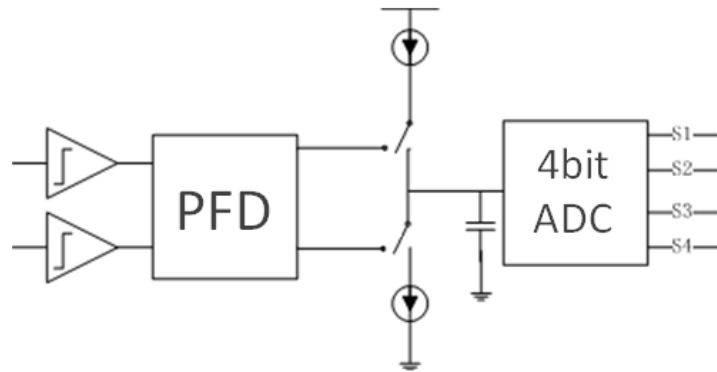


Figure 16 中心周波数調整回路

Figure 17 は自動調整回路の入出力信号である。黒枠内は調整中の出力信号が，赤枠内は調整済の出力信号である。

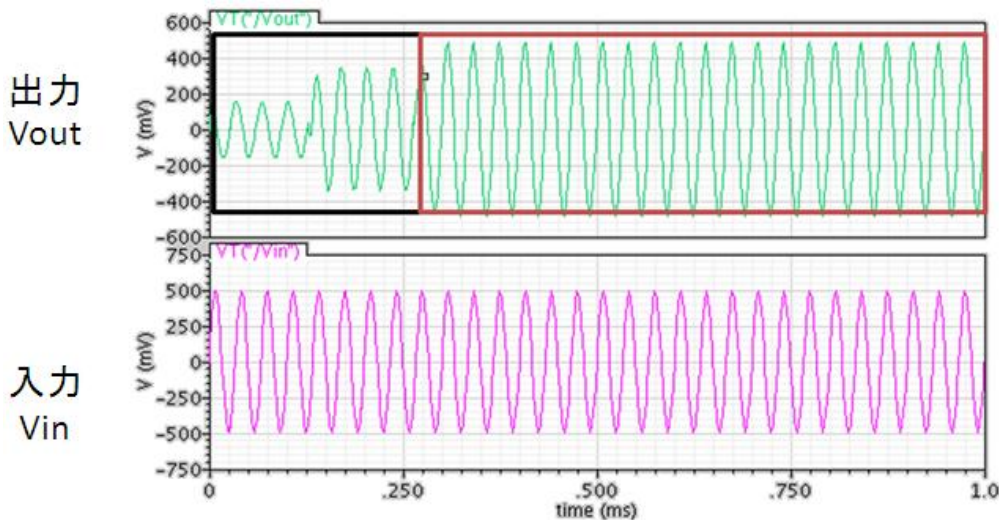


Figure 17 自動調整回路の入出力信号

3.2. 提案手法のシミュレーション

シミュレーションを行った回路では N_1 と N_2 を固定して中心周波数に関する N_3 , N_4 の値のみを制御した。今回使用したバンドパスフィルタは 2 進重みづけをした 4 つ OTA 配列で構成した。4 つのスイッチを制御すれば良いため、4bit の ADC を使用した。そのため N_3 と N_4 の値が 0 から 15 まで変換できる。 g_m の値は $5 \times 10^{-5} \text{S}$ であるため回路の中心周波数の調整範囲は 50kHz から 750kHz である。自動調整の動作を確認するために三つの正弦波を入力してバンドパスフィルタ回路の中心周波数変化を SPICE シミュレーションした結果を図 3.7 に示す。

SPICE のシミュレーション結果を表 1 に示す。100, 300, 500kHz の入力正弦波に対してフィルタの中心周波数を自動調整することを実現した。

Table 1 Frequency tuning range

f_R (KHz)	f_o (KHz)
100	99.98
300	301.95
500	524.71

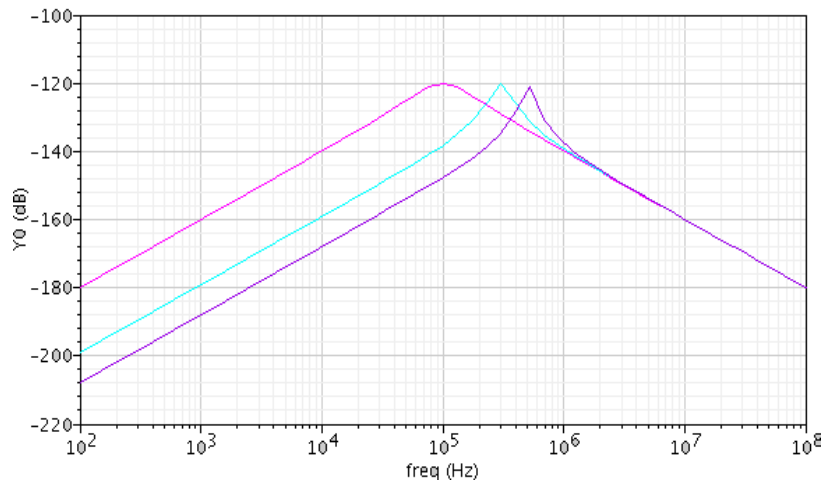


Figure 18 可変入力周波数信号のバンドパスフィルタのゲイン特性のシミュレーション結果

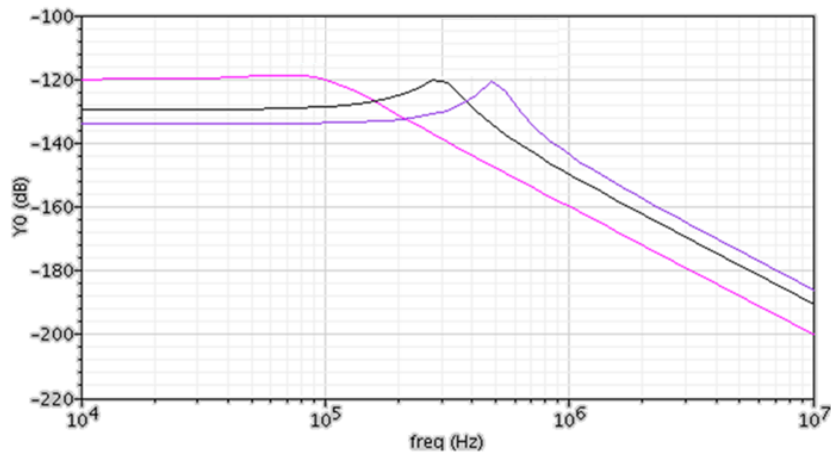


Figure 19 可変入力周波数信号のローパスフィルタのゲイン特性のシミュレーション結果

Figure 18 とに示すように SPICE のシミュレーション結果から回路は 100, 300, 500KHz の入力正弦波に対してフィルタの中心周波数を自動調整することを実現した。

4. Q 値の調整

4.1. 提案手法

自動調整機能の高い周波数フィルタは多くの電子システムに対して重要である。RF/IF 回路の研究者の目標の一つは、周辺機器にサポートし、非常に少し動作することができるワンチップ"トランシーバの実現である。一つ重要な方面はチップの上に高周波フィルタを配置することができる大規模な分散フィルタは現在使用している。しかし、オンチップの連続時間フィルタは大きな欠点がある。寄生容量とばらつきはフィルタの実装に対して重要な精度影響がある。そのため、必要な精度を得るためにフィルタが自動的に調整する必要がある。

前節では BPF 回路の中心周波数の調整について説明したが、これから回路 Q 値の調整について検討する。本提案の Q 値調整は中心周波数調整後に行う。

入力周波数と BPF 回路中心周波数が一致するとき回路の伝達関数が下に表す。

$$\begin{aligned} H(\omega_0) &= \sqrt{\frac{gm_1^2 C_2}{gm_3 gm_4}} \cdot \sqrt{\frac{gm_3 gm_4}{gm_2^2 C_2}} \\ &= \sqrt{\frac{N_1^2 M_2}{N_3 N_4}} \cdot \sqrt{\frac{N_3 N_4}{N_2^2 M_2}} \\ &= K \cdot Q \end{aligned}$$

上式からみると、入力周波数とフィルタの中心周波数が一致するとき入出力の振幅比(ゲイン)が Q 値に比例する。この関係を用いれば K を一定にすれば Q 値を所望の値に自動設定することが出来る。K は要素 N_1 , N_3 , N_4 で決まるので、それぞれの値について検討を行う。Q 値調整は中心周波数調整後に行うため、中心周波数を決める要素 N_3 , N_4 の値はすでに一定になっている。従って、残りの N_1 を一定にすれば、K を一定にすることが出来る。調整回路を Figure 20 に示す。

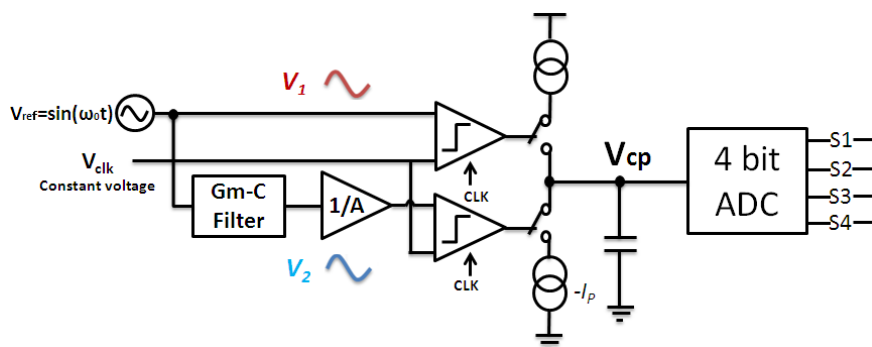


Figure 20 Q 値調整回路

Figure 20 中の V_1 と V_2 はそれぞれ下のように表すことができる。

$$V_1 = V_{ref}$$

$$V_2 = KQV_{ref} / A$$

V_1 と V_2 が等しいとき、 $Q=A/K$ となる。A を設定することにより、所望の Q 値を得られる。Q 値は所望の値より小さいとき V_2 より V_1 が大きい場合、電流がキャパシタに流れ込む量が多い。チャージポンプ出力電圧を ADC 入力電圧とし、電圧が大きくなる。ADC はチャージポンプの出力電圧を読み、gm2 のスイッチ部を制御することにより N_2 の値が小さくなる。 $Q \propto (1/N_2)$ ので、Q 値が大きく調整される。

逆に、Q 値は所望値より大きいとき V_2 より V_1 が小さい。この場合、電流がキャパシタから流れ出す量が多い。ADC に加えられる電圧が小さくなる。ADC はチャージポンプの出力電圧を読み、Gm2 のスイッチ部を制御することにより N_2 の値が大きくなる。Q 値が小さく調整される。Figure 21 はチャージポンプの Q 値の制御電圧である。

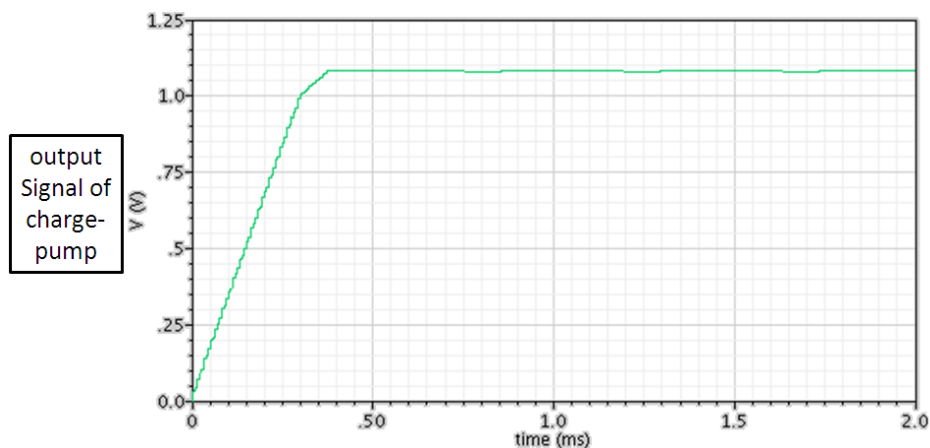


Figure 21 Q 値制御電圧

図 4.3 は自動調整回路の入出力信号である。黒枠内は調整中の出力信号が、青枠内は調整済の出力信号である。

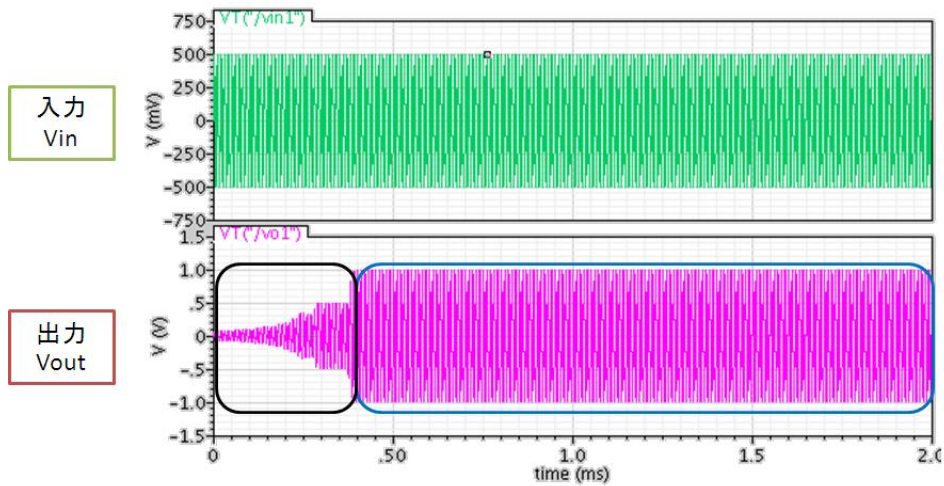


Figure 22 自動調整回路の入出力信号

4.2. 提案手法のシミュレーション

ここで行う Q 値調整のシミュレーションは中心周波数調整済みという前提である。結果は表 2 と図 4.4 に示す。入力周波数はすべて 600kHz である。 Q 値を 1,3,6 に自動調整されたことが確認できた。

Table 2 Q tuning range at center frequency of 600kHz

f_R (KHz)	Q
600	1
600	3
600	6

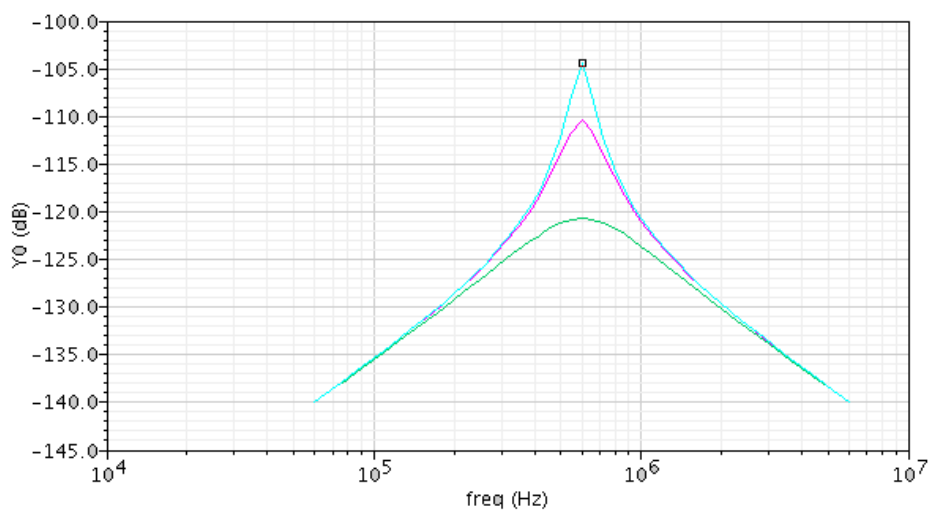


Figure 23 バンドパスフィルタ Q 値調整のシミュレーション結果

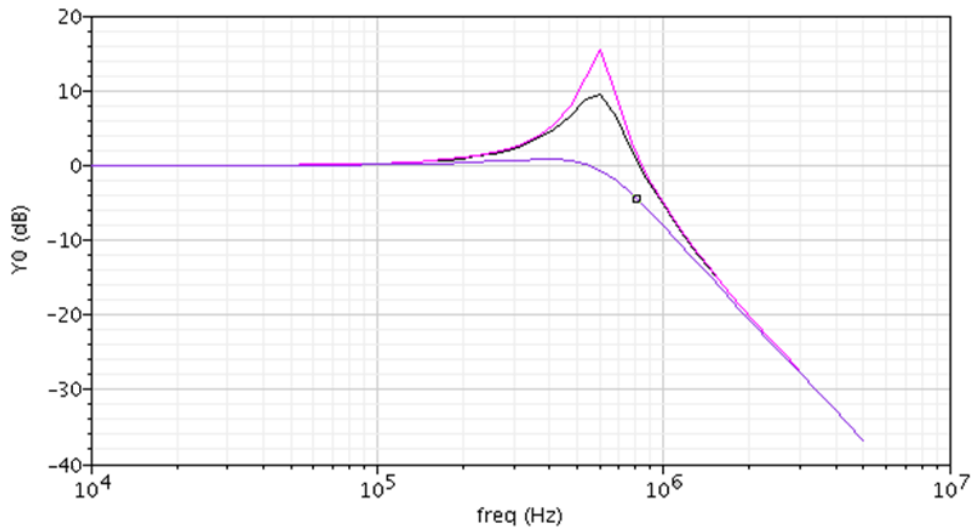


Figure 24 ローパスフィルタ Q 値調整のシミュレーション結果

5. まとめ

Gm-C 配列でバンドパスフィルタを構成し、バンドパスフィルタのパラメータをデジタル信号で制御するシステムを提案した。SPICE でのシミュレーション結果により、バンドパスフィルタの中心周波数、Q 値の自動調整を確認した。

今回の調整回路は Gm-C 整数部分のみ調整したが、今後の予定はデルタシグマ変調を使用し、Gm セルの小数部分の調整を確認していく。

参考文献

1. Pankiewicz B., Wojcikowski M., Szczepanski S., & Yichuang S, "A Field Programmable Analog Array for CMOS Continuous Time OTA-C Filter Applications", IEEE International Symposium on Circuit and Systems, 37, pp.125-136. (July 2002)
2. Zhong Yuan Chang, Haspelagh and J. Verfaillie: "A Highly Linear CMOS Gm-C band pass filter with On-Chip Frequency Tuning", IEEE Journal of Solid-State Circuits, vol.32, no.3 (March 1997)
3. Jan-Michael Stevenson, and Edgar S'anchez-Sinencio: "An Accurate Quality Factor Tuning Scheme for IF and High-Q Continuous-Time Filters", IEEE Journal of Solid-State Circuits, vol.33, no.12 (Dec. 1998)
4. A.I. Karsilayan, T. Sumesaglam, "Digital Tuning of Continuous-Time High-Q Filter", IEEE International Symposium on Circuit and Systems (July, 2002)
5. 林海軍, 田邊朋之, 傘昊, 小林春夫: 「インバータタイプGm-Cバンドパスフィルタの解析と設計」電気学会論文誌C, vol.129, no8, pp.1438-1488 (Aug. 2009)
6. P. Kallam, E. Sanchez-Sinencio, A. I. Karsilayan: "An Enhanced Adaptive Q-Tuning Scheme for a 100-MHz Full Symmetric OTA-Based Bandpass Filter", IEEE Journal of Solid-State Circuits, vol. 38, no.4, (April 2003).

第二章 電源回路高効率化の研究

1 研究背景と目的

1.1 研究背景

近年、環境問題への関心の高まりに伴って、「グリーン IT」という環境に配慮した。ITが求められるようになりました。データセンタにおける機器やシステムの省エネ化、省資源化が課題で、特にその中心をなすサーバーの省電力化が求められている。

80 PLUS はコンピュータ用電源ユニットの電力変換効率に関する規格の 1 つである。デスクトップ型、およびサーバー型のコンピュータに用いられる複数の電圧出力が求められる電源ユニットにおいて、交流入力から直流出力へ変換する際に 10%、20%、50%、100% の負荷環境下において、電源変換効率が 80% 以上の基準を満たした製品に対する認証である。であるクトップ型では ATX 電源の性能表示に用いられることが多い。80PLUS の中には、変換効率の度合いにより、図 1.1 80PLUS 認証のようにランク分けされている。

■負荷率別での変換効率







	負荷 20%	負荷 50%	負荷 100%	変換効率
 80PLUS PLATINUM	90%	92%	89%	 高 低
 80PLUS GOLD	87%	90%	87%	
 80PLUS SILVER	85%	88%	85%	
 80PLUS BRONZE	82%	85%	82%	
 80PLUS STANDARD	80%	80%	80%	

図 1.1 80PLUS 認証

1.2 N+1 冗長運転

サーバーシステム全体の信頼性を向上させるために、ある機能を実現するのに必要な最小限の装置のほかに、予備の装置も用意し、現用の装置に障害が発生した場合、予備装置で代替できるようにシステムを構成することを、冗長構成という。

N+1 冗長運転とは、電源ユニットを 2 台以上並列に接続して装置に電力を供給することで、1 台の電源ユニットが故障しても残りの電源で装置に電力を供給し続けることができる運転方法である。例えば図 1. 2 のように負荷が 100W 必要であれば、出力容量 50W の電源 2 台を並列にすれば負荷の装置は動作するが、さらにもう 1 台+1（つなぐことによって、1 台が故障しても動作を継続することを可能とした運転方式である。サーバーなどではシステムの信頼性を高めるためこのような電源構成が取られているため 80PLUS の効率は 50%で規定されている。また、実際の動作状態では装置側がフル負荷で動作することはまれで、通常は 20%~30%の負荷で動作しているので、20%負荷での効率が重視されている。本研究の課題はハーフロードの効率向上と 20%の軽負荷領域での効率をいかに向上させるかが課題である。回路トポロジだけでは実現困難な非常に高いスペックが要求されている。デジタル制御を駆使した最適制御で、ハーフロード&軽負荷時の効率を向上することが可能かを検討する。

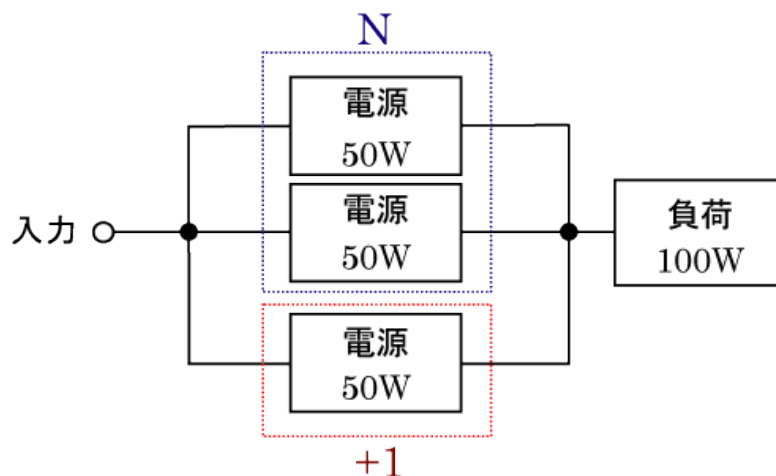


図 1. 2 N+1 冗長運転

2 電源回路構成

2.1 スイッチング電源

スイッチング電源は直流電源の一種で、商用電源または直流電源を入力し、これを半導体スイッチで高速にオンオフ（スイッチング）して可聴周波数以上の高周波の交流に変換し、再び整流平滑して安定した直流電圧をえる電源である。小型・軽量高効率を特徴とし情報機器や通信機器をはじめほとんどの電子機器の電源として使用されている。

スイッチング電源には「降圧（ステップダウン）、昇圧（ステップアップ）、昇降圧」という分類と「定電圧、定電流、定電力」という分類がある。出力電圧制御は、スイッチングレギュレータ部のデューティ比で行う。デューティ比の設定は、出力電圧の検出電圧と基準電圧を誤差増幅器によって比較しスイッチングレギュレータ部に帰還をかけることで行う。入力・出力間を絶縁する場合は、誤差増幅信号をフォトカプラであるスイッチングレギュレータ部に伝達する。

2.1.1 降圧型回路

降圧型は、電流をスイッチングして制御した後、コイルとコンデンサを使用して平滑化する。97%と高効率の回路も存在しており大電力を必要とする回路に使用されているが、PC用 ATX 電源などではコスト削減を優先するために効率は 60%程度で力率も低い電源が使われているものが多い。降圧型には「多相（マルチフェーズ）」があり、これは出力波形が直流に近くなることから、電圧・電流リップルが小さくなる。主な部品はスイッチング素子（大電力・高速スイッチング用）、コンデンサ、コイル、ダイオード（主にショットキーバリアダイオード）、フォトカプラ（出力電圧負帰還用）である。

図 2. 1 に示す回路は降圧形コンバータ (buck converter) である。スイッチがオンのとき、リアクトル L に電圧 ($V_i - V_o$) が加えられる。この期間に、リアクトル L は電圧 ($V_i - V_o$) に励磁され、磁束の増加分は

$$\Delta\phi_{on} = (V_i - V_o)T_{on} \quad (2.1)$$

となる。スイッチがオフのとき、リアクトル電流が連続のため、ダイオードがオンとなる。出力電圧がオン時と逆方向にリアクトル L に加えられる。この間、リアクトル L の磁束はリセットされ、磁束の減少分は次式となる。

$$\Delta\phi_{off} = V_o T_{off} \quad (2.2)$$

定常状態では、リアクトル L の磁束の増加分と減少分が等しくなり、降圧形コンバータの電圧変換率 M は次式のように求められる。

$$M = D \quad (2.3)$$

時比率 D が 1 より小さいため、このコンバータは直流電圧を降圧させる変換器とな

る。

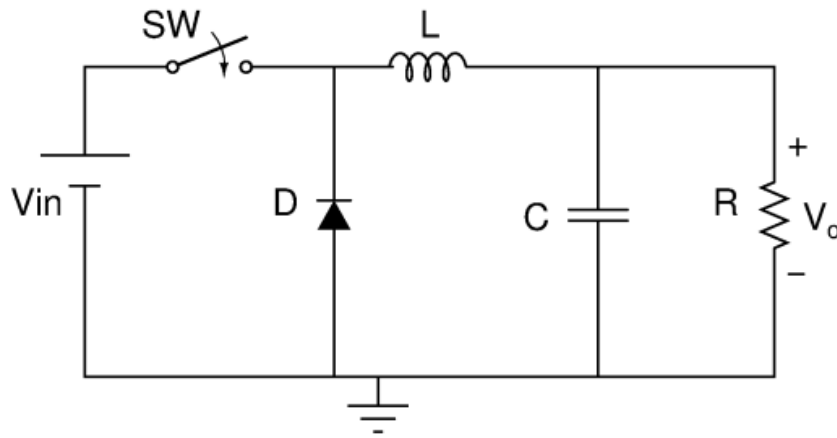


図 2.1 降圧型回路

2.1.2 昇圧型回路

昇降圧型入力よりも高い電圧または低い電圧を取り出せる。インダクタの逆起電力により負電圧を作り出すものを指すことが多いが、広義には正電圧をつくり出すことができる方式を含めることがある。フライバック式[編集]入出力がトランスにより絶縁されている方式の一種。トランス（高周波用トランス、パルストランス）にパルスを入力し、相互誘導によって出力電圧を作り出す方式である。

図 2.5 は昇圧形コンバータ (buck converter) の回路を示す。スイッチがオンのとき、入力電圧 V_i がリアクトル L に加えられる。リアクトル L は入力電圧 V_i で励磁され、オンの期間における磁束の増加分は

$$\Delta\phi_{on} = V_i T_{on} \quad (2.4)$$

と表される。スイッチオフのとき、リアクトル電流が連続のため、ダイオードがオンとなる。電圧 $(V_o - V_i)$ がオン時と逆方向にリアクトル L に加えられ、リアクトルの磁束はリセットされる。オフ期間における磁束の減少分は、

$$\Delta\phi_{off} = (V_o - V_i) T_{off} \quad (2.5)$$

となる。定常状態では、リアクトルの磁束の増加分と減少分が等しいとし、昇圧形コンバータの電圧変換率は次式のように求められる。

$$M = \frac{1}{D} \quad (2.6)$$

時比率 D_0 が 1 より小さいため、このコンバータは直流電圧を昇圧させる変換器となる。

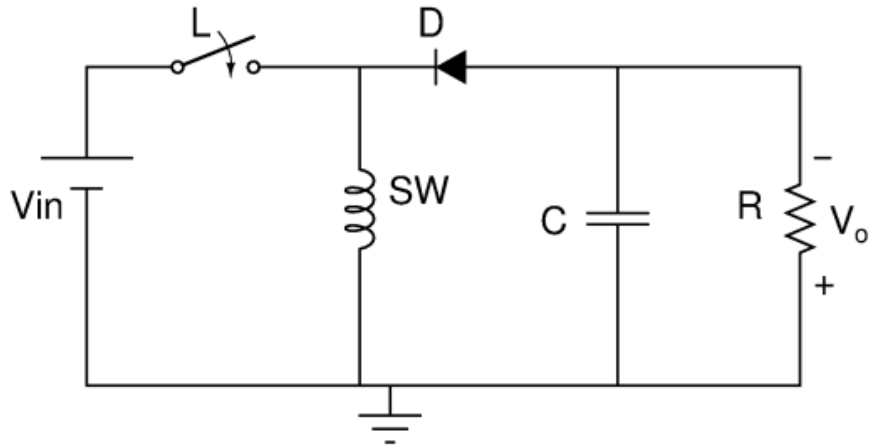


図 2.2 昇圧型回路

2.1.3 昇降圧回路

昇降圧回路は入力よりも高い電圧または低い電圧を取り出せる。

図 2.3 に昇降圧形コンバータ (buck-boost converter) の回路図を示す。スイッチがオンのとき、入力電圧 V_i がリアクトル L に加えられ、リアクトル L は励磁される。オンの期間に、リアクトル磁束の増加分は次式で表される。

$$\Delta\phi_{on} = V_i T_{on} \quad (2.7)$$

スイッチがオフの時、リアクトル電流が連続のため、ダイオードがオン状態になる。出力電圧 V_o がオン時と逆方向にリアクトル L に加えられ、リアクトルの磁束はリセットされる。この間における磁束の減少分は、

$$\Delta\phi_{off} = V_o T_{off} \quad (2.8)$$

となる。定常状態では、リアクトル磁束の増加分が等しいとおくことにより、昇降圧形コンバータの電圧変換率は次式のように求められる。

$$M = \frac{D}{D'} \quad (2.9)$$

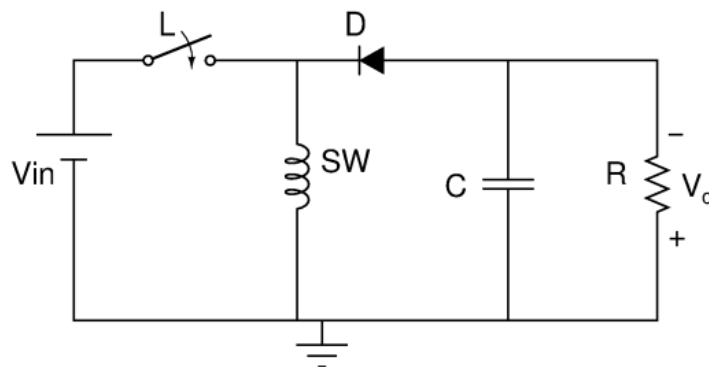


図 2.3 昇降圧型回路

2.2 力率改善回路（PFC : Power Factor Correction）

2.2.1 PFC 回路必要な要因

力率改善回路とは、電源の力率（Power Factor）を 1 に近づける回路のことである。PFC（Power Factor Correction）とよぶことが多い。

力率改善回路が必要理由は、高周波電波規制が存在するからである。この規制は、電子機器に搭載された電源（スイッチング電源）で発生する高周波電流をある制限いかに抑えることを求めるものだ。スイッチング電源への入力周波数は通常図 2. 4 のように、50Hz、もしくは 60Hz である。しかし、スイッチング電源の回路の構成上、何の工夫もしないと図 2. 5 のように、50/60Hz の 2 倍、3 倍、4 倍、5 倍、6 倍という高周波電流分が発生してしまう。コンデンサのインピーダンスは高調波電流に対して低いため、高調波電流がコンデンサに過大に流れる恐れがある。商用電源側に大量に流出すると、電力の送配電設備（進相コンデンサなど）を損傷させるなどの問題が発生する。この問題を未然に防ぐために策定されたのが高周波電流規制値である。

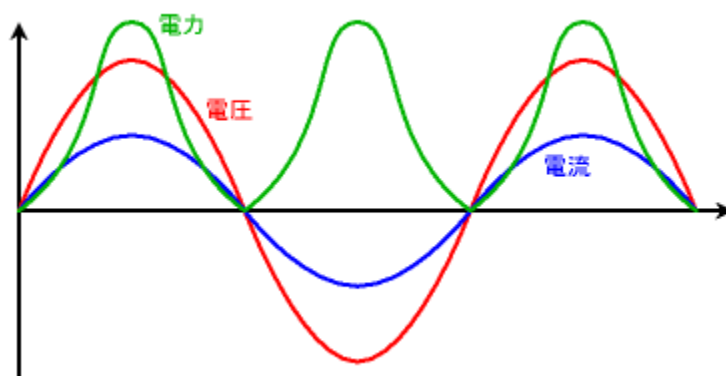


図 2. 4 理想状態の入力電圧、電流

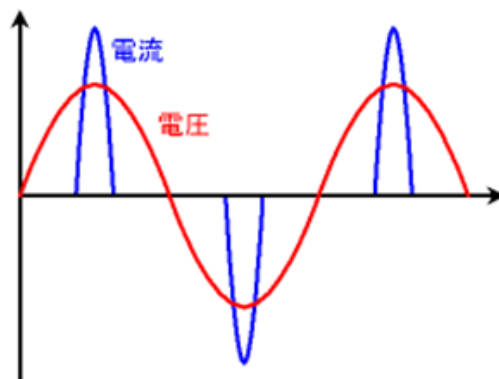


図 2. 5 実際の入力電圧、電流

なお、力率とは、交流電力の電圧と電流の位相差を ϕ とすると、力率 = $\cos \phi$ で求められる。つまり、電圧と電流の波形がいずれも正弦波のときは 1 となる。これが理想的な状態だ。電流の波形が歪めば歪むほど 1 から遠ざかる。従って、力率を 1 に近づけることは、高調波電流を低く抑えることと同義である。

スイッチング電源において高調波電流が発生する原因は、入力平滑コンデンサにある。いわゆるコンデンサ・インプット型の電源回路で起きる現象だ。商用電源の入力交流電圧は、ダイオード・ブリッジを使った整流回路の後段にある入力平滑コンデンサに印加される。これと同時に電流が流れれば問題ないが、実際はそうならない。入力交流電圧が、平滑コンデンサの端子電圧よりも低い期間は電流が流れないからだ。そして、入力交流電圧が上昇して端子電圧を超えると平滑コンデンサへの充電が始まり、電流が流れるようになる。この結果、入力電流の波形は、正弦波から大きく歪んでしまうことになる。これが、高調波電流が発生する理由である。

PFC 回路の仕事は「電流波形を下げて広げる」ことである。図 2.6 のように左側は改善前の波形である。この波形を「下げて広げる」ことで、右側のような波形となっている。左側の波形と比べると正弦波に近づいていることが分かっている。これより、力率が改善された。

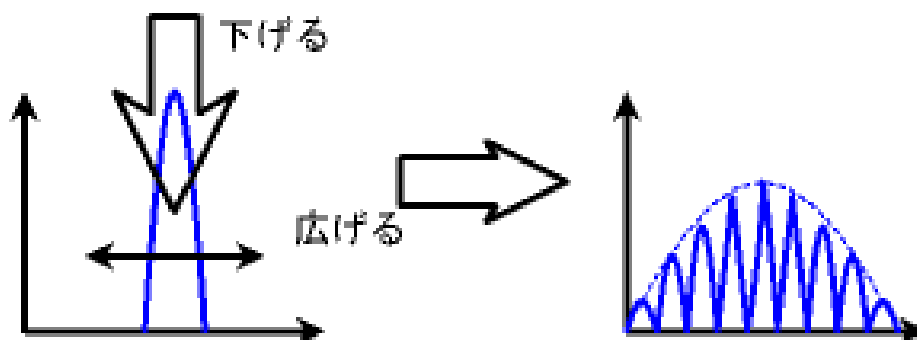


図 2.6 PFC 回路の仕事

2.2.2 PFC 回路の搭載によるメリットとデメリット

PFC 回路によって当然ながら力率が改善される。これにより、高調波の発生を抑制できる電線に必要以上に太い線を使用しなくて済む。そして、欧州では義務化されているため、PFC 回路の搭載で商品を輸出できる。入力電流波形がほぼ正弦波に近づくため、高い力率が得られる。ブレーカーが落ちにくくなる(ピーク電流が小さくなるため)といったメリットが生まれる。

しかし、PFC 搭載によるメリットばかりではない。PFC 回路搭載による回路が複雑になることで、価格が高くなる。そして、電源変換効率が低下にすることや発熱も多くなる裏面もある。

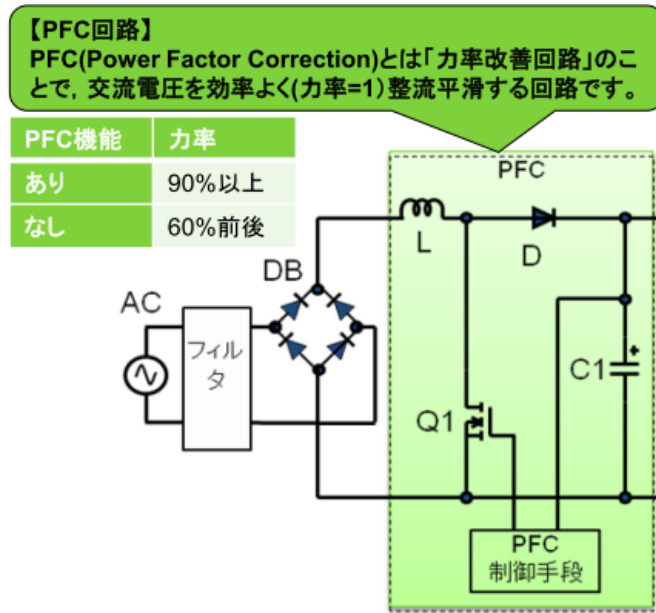


図 2. 7 PFC 回路の機能

2.2.3 PFC 回路の構成及び効率劣化された原因

上に述べたように、PFC 回路搭載により電源の変換効率が低下になること。変換効率低下する原因は主に二つ部分に分けている。

一つ目は、入力電圧より必ず高くなければならない。まず、ブリッジ整流器を省略したブリッジレス PFC の原理を見ることにする。図 2. 8 がブリッジレス PFC の構成と動作説明図である。(b) と (c) が動作を説明するための状態図である。交流 L と N 端子のうち、L 側に正弦波の正の半波が現れたときの状態が (b) で、N 側に正の半波が現れたときの状態が (c) である。

(b) において、MOSFET T_{r1} が ON しているとき、電流は①で示した経路を流れて流れる。 T_{r1} が OFF しているときは、②で示した経路を流れて流れる。

図 1 の回路は昇圧チョップパ配線形態 (トポロジー) を構成し、コンデンサ C_1 には

$$V_2 = \frac{T}{T_{OFF}} \cdot V_1 \quad (2. 10)$$

ここで T : スイッチングの周期

T_{ON} : T_{r1} との T_{r2} ON 期間

T_{OFF} : $T - T_{ON}$

の電圧が充電される。

(c) において電流は、 T_{r2} が ON しているときは①を、 T_{r2} が OFF しているときは②を流れて流れる。 C_1 には式(2. 10)で示される電圧が充電される。

T_{r1} と T_{r2} が ON/OFF を停止しているときは、 T_{r1} 、 T_{r2} それぞれのボディ・ダイオー

ドと D_1 と D_2 がブリッジ整流器を構成する。

ブリッジレス PFC で得られる電圧は、式(2. 10)が示しているように、入力電圧より必ず高くなる。たとえば、交流電圧が $AC100V \pm 15\%$ の範囲のときは、 V_2 として、 $115 \times \sqrt{2} + \alpha$ の値を選ぶ。 $115 \times \sqrt{2}$ は交流電圧のピーク値であるが、力率は低くなる。

逆に α に適当な値を入れて V_2 を高く設定すると、力率は良くなるが効率は下がる。負荷に供給する電圧として V_2 がそのまま使用可能であれば、この PFC 回路だけで電源を構成することができるが、 V_2 より低い電圧や多出力、あるいは絶縁された出力が必要な場合は、この PFC 回路の後に DC-DC コンバータを接続する必要がある。

従来のアナログ PFC の入力電圧は $85 \sim 265V$ なので、出力電圧は $265 \times \sqrt{2}$ およそ $390V$ 程度で動作させるのが一般的である。PFC は昇圧比が低い方が高効率であるが、入力電圧範囲 ($AC85 \sim 265V$) により入力電圧最大値 ($AC265V$) のピーク値以上の電圧 ($DC390V$) で制御されている。その結果、通常動作時はほぼ定格入力電圧で動作しているにも関わらず入力電圧範囲の最大値のピーク値で制御されているので効率の悪化の原因軽負荷時も同様であり軽負荷時の効率悪化の原因になっている。フォワード系の DC/DC も降圧比が低い方が高効率である。

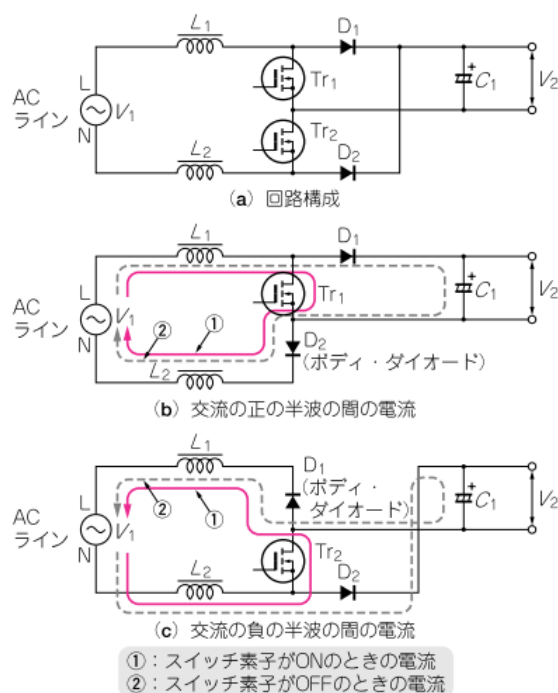


図 2.9 ブリッジレス PFC 回路の構成

これから、効率劣化の原因について分析を行う。まず、スイッチが ON となっている間、電源からコイルに電流を流れ込んでエネルギーをチャージする。コイルに電流の流れる変化分は I_{on} 式(2. 11)に示している。

$$I_{on} = \frac{1}{L} \int_0^{T_1} e_L dt \quad (2.11)$$

定常状態でコイルにかける電圧 e_L と入力電圧は同じになる。つまり、 $e_L = V_i$ により、は式(2.12)を表すことができる。

$$I_{on} = \frac{V_i}{L} \cdot T_{on} \quad (2.12)$$

逆に、スイッチは OFF の場合、コイルから電流を流れ出してエネルギーを放出する。コイルに電流の流れる変化分は I_{off} 式(2.13)を求めることができる。

$$I_{off} = \frac{V_o - V_i}{L} \cdot T_{off} \quad (2.13)$$

回路が安定する場合、スイッチの ON と OFF により、コイルの電流の変化分も同じはずである。 $I_{on} = I_{off}$ により。出力電圧と入力電圧は式(2.14)で表すことができる。式の示すように、出力電圧 V_o は必ず入力電圧 V_i の倍以上である。倍数はスイッチの ON と OFF 時間により調整ができる。スイッチの ON 時間は長いほど倍数が大きくなる。

$$V_o = \left(1 + \frac{T_{on}}{T_{off}}\right) \cdot V_i \quad (2.14)$$

昇圧により効率が下げる要因の一つはリアクトル損である。リアクトル損は巻線で発生する銅損とか鉄心で出る鉄損などを含まれている。その中に特に鉄損は昇圧倍数大きいほど損失が大きくなる。鉄損はヒステリシス損と渦電流損がある。

ヒステリシス損 P_h は鉄心の磁区が交番磁界によって磁界の向きを変えるときに損失である。次のスタインメッツの実験式で表される。ここで B_m は最大磁束密度、 k_h は比例定数、 f は周波数である。

$$P_h = k_h f B_m^{1.6} = k_h \frac{e_L^{1.6}}{f^{0.6}} \quad (2.15)$$

渦電流損 P_e は、鉄心の中に生じる渦電流によって生じる。高周波になるほど渦電流損の比率が大きくなる。

$$P_e = k_e \frac{(te_L)^2}{f^{0.6}} \quad (2.16)$$

式(2.15)と式(2.16)の示すように、コイルにかける電圧 e_L が大きいほど、ヒステリシス損と渦電流損が大きくなる。 $e_L = V_o - V_i$ から、出力電圧は入力電圧より大きいほど、損失が大きいことを導ける。

二つ目は図 2.10 に示された回路の内部損失である。図 2.11 に示すように、これらの部品の損失は周波数が高くなると共に、損失が大きくなることが分かる。PFC 回路の損失は部品損失とリップル損失がある。重負荷において、主な損失はリップル損失である。軽負荷のとき (20% 負荷率以下) 主な損失は部品損失である。特に MOSFET の

損失が大きいためである（詳しいは後 2.3.2 節で述べる）。

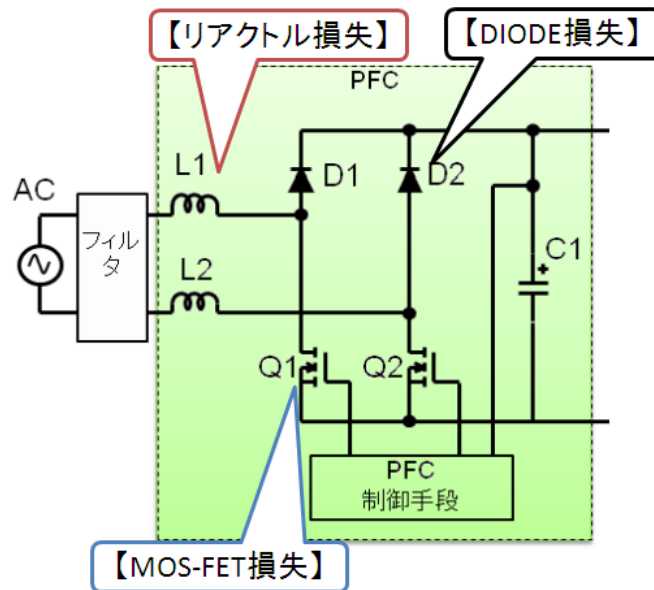


図 2. 10 PFC 回路の内部損失

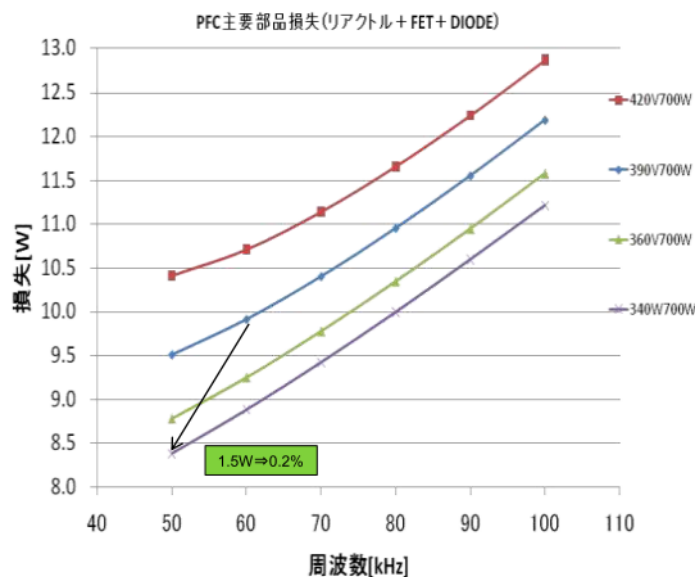


図 2. 11 PFC 主要部品損失と周波数の関係

PFC 回路の効率を改善するために、リンク電圧の最適制御方法と PWM の最適制御方法を提案した。回路トポロジの改良だけでは実現することは困難であり、非常に高い仕様が要求されている。そこで、本研究はソフトウェア上の解決方法も考えました。つまり、トポロジを変えずに、DSP を用いたデジタル制御を駆使し最適制御で電源回路ハーフロード或いは 20% 近くの軽負荷領域での効率の向上（プログラムの開発）方法を検討した。

2.3 DC/DC Converter 回路

2.3.1 DC/DC Converter 回路の紹介

テスラが主張した交流の発電送電（エジソンは直流による方式を主張した）が実施されてからおよそ 110 年経ったが、今、工場単位または大型店舗単位で直流給電を行う考え方が検討されている。家電製品も事務機器も、ほとんどが交流を直流に変換して使っている。そのため、PFC 回路の後に DC-DC コンバータを接続する必要がある。DC-DC コンバータといえばスイッチング方式が主流である。リニア方式は電力の一部を熱として捨てて必要な電圧の直流出力を得る方式。図 2.12 のように、スイッチを素早く ON/OFF 周期の時間を調節すれば、電圧をコントロールすることができる。ごく簡単にいえば、これが DC-DC コンバータの電圧変換の原理である。電流を ON/OFF するスイッチング素子として、トランジスタや MOSFET などの半導体素子が用いられる。

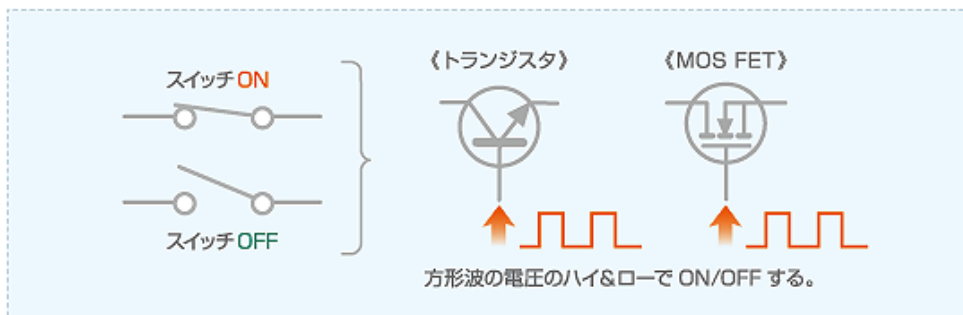
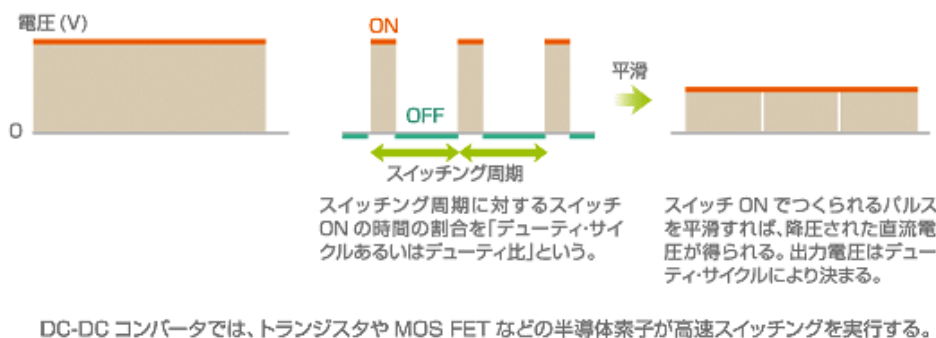
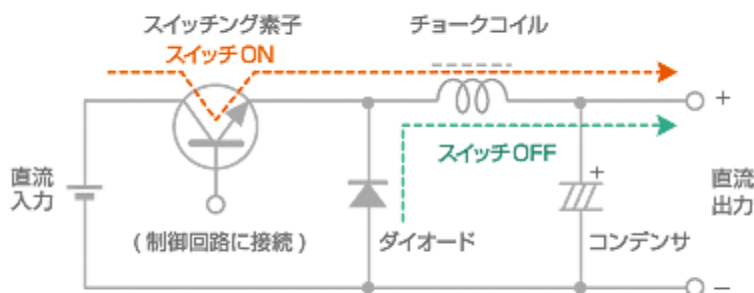


図 2.12 PWM 制御方式

最も簡単な DC-DC コンバータはチョップ方式と呼ばれるものである。チョップ方式の DC-DC コンバータはスイッチング素子とチョークコイル、コンデンサ、ダイオードを組み合わせたシンプルな回路で、直流電圧を降圧あるいは昇圧している。前章も紹介したが、図 2.13 に示すのは、チョップ方式の降圧型 DC-DC コンバータである。チョークコイルはスイッチ ON となって電流が流れ込むとエネルギーを蓄え、スイッチ OFF となったとき蓄えたエネルギーを放出して、電流変化を妨げる向きに誘導電流を流す。図では省略しているが、トランジスタのベースは制御回路と接続され、制御回路から送り込まれる方形波がスイッチングを実行する（方形波の電圧のハイ/ローによって

ON/OFF する)。スイッチ ON の時間が長いほど出力電圧は上がり、スイッチ OFF の時間が長いほど出力電圧は下がるので、ON/OFF の時間（デューティ・サイクル）を制御することで必要な出力電圧が得られる。（PWM＝パルス幅制御）。

バックコンバータ(降圧) 入力電圧>出力電圧



- ① **スイッチ ON**: 入力から出力へ流れる電流により、チョークコイルにエネルギーが蓄えられる。
- ② **スイッチ OFF**: チョークコイルは電流を保とうとして起電力を発生させ、ダイオードを通じて電流が流れて出力する。
(スイッチング素子が回路に直列接続されている。デューティ・サイクルの設定により必要な電圧に降下できる)

図 2. 13 降圧チョップ回路

2.3.2 DC/DC Converter 効率低下の原因

PFC より、DC/DC Converter の効率は優れるけど、エネルギー損失は、エネルギー変換システムの避けられない部分である。100%の効率のシステムの実現は不可能である。図 2. 14 に示された回路の内部損失である。

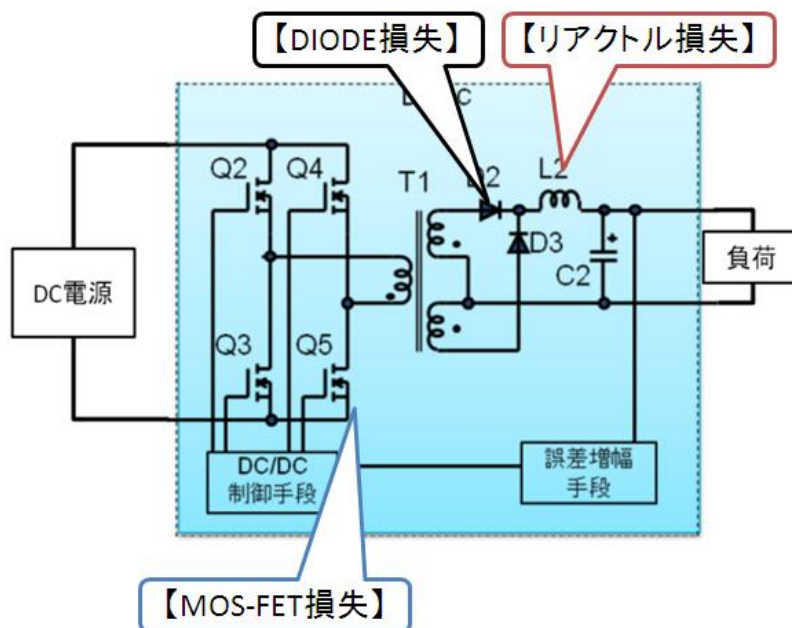


図 2. 14 DC/DC Converter の内部損失

2.3.2.1 MOSFET の電力損失

どちらも、MOSFET の損失は伝導損失とスイッチング損失の 2 種類の電力損失の影響を受ける。MOSFET は、各スイッチング区間に、回路を通じて電流を経路設定するスイッチとして機能する。伝導損失は、各特定のデバイスがオンのとき、MOSFET ($R_{DS(ON)}$) のオン抵抗、およびダイオードの順方向電圧で生成される。MOSFET の伝導損失 ($P_{COND(MOSFET)}$) は、スイッチオン区間における $R_{DS(ON)}$ 、デューティサイクル (D)、および平均 MOSFET 電流 ($I_{MOSFET(AVG)}$) の積で概算することができる。

$$P_{COND(MOSFET)}(\text{平均電流を使用}) = I_{MOSFET(AVG)}^2 \times R_{DS(ON)} \times D \quad (2.17)$$

式(2.17)は、MOSFET 伝導損失を概算するが、損失を低く予測する可能性がある。その理由は、電流波形のランプ部分が平均電流で表した値より多くの損失を生成するためである。電流波形が「より尖っている」場合、そのピーク値とバレー値(図 2.15 の I_V および I_P) の間の電流ランプの 2 乗を積分すると、より高精度な概算が得られる。

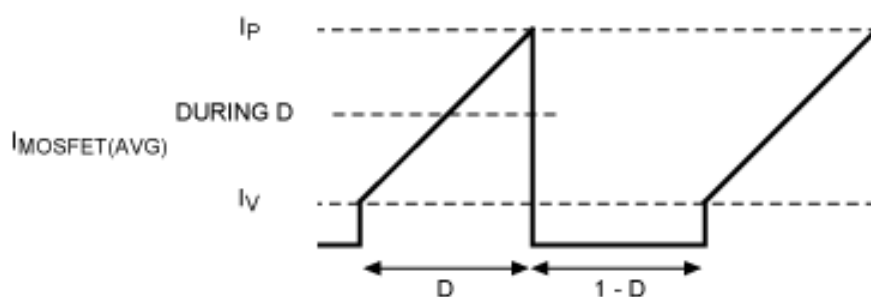


図 2.15 MOSFET の伝導損失の高精度な概算を目的とした標準ステップダウン MOSFET 電流波形

伝導損失よりも少し直感的に理解しにくいのは、MOSFET のスイッチング損失である。MOSFET のオン/オフ状態間の遷移に時間がかかるため、これらのデバイスが状態を変更するときに電力が消費される。

図 2.16 の上部では、MOSFET ドレイン-ソース電圧 (V_{DS}) およびドレイン-ソース電流 (I_{DS}) の簡略プロットが遷移時に発生するスイッチング損失の概略を示している。電圧および電流の遷移が $t_{SW(ON)}$ および $t_{SW(OFF)}$ 時に発生する。これらの時は、MOSFET 容量を充電/放電した結果である。図 2.16 に示すように、MOSFET の V_{DS} が最終オン状態値 (= $I_D \times R_{DS(ON)}$) まで下降する前に、フル負荷電流 (I_D) を送る必要がある。反対に、ターンオフ遷移は、電流が MOSFET から転送される前に V_{DS} がその最終オフ状態値まで上昇することを要求する。これらの遷移によって、電圧と電流波形の重なりが生じ、電力損失が発生する(図 2.16 の下部のプロットを参照)。

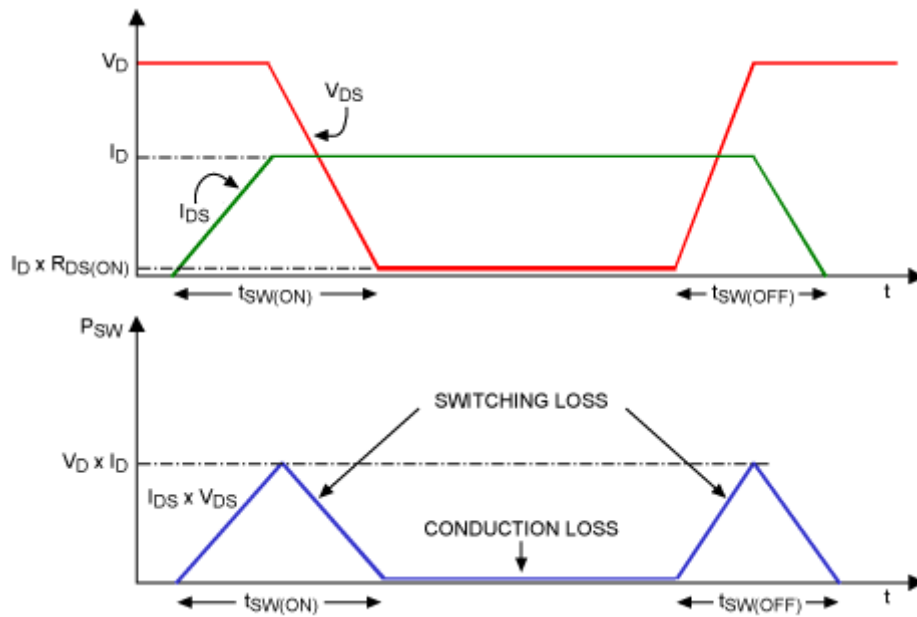


図 2.16 スイッチング損失は MOSFET のオン状態とオフ状態間の遷移

スイッチング損失は、スイッチング周波数が上昇するにつれて大きくなる。これは、遷移期間が一定量の時間を消費するため、周波数が上昇しスイッチング期間が短くなるとスイッチング期間全体のより多くの部分を消費することに注意すると理解することができる。

MOSFET のスイッチング損失($P_{SW(MOSFET)}$)は、

$$P_{SW(MOSFET)} = 0.5 \times V_D \times I_D \times (t_{SW(ON)} + t_{SW(OFF)}) \times f_s \quad (2.18)$$

ここで、 V_D はオフタイム時の MOSFET のドレイン-ソース電圧、 I_D はオンタイム時のチャネル電流、および $t_{SW(ON)}$ と $t_{SW(OFF)}$ はそれぞれターンオンおよびターンオフ遷移時間である。

2.3.2.2 ダイオードの電力損失

MOSFET と同様に、ダイオードもスイッチング損失がある。この損失はかなりの程度まで、使用するダイオードの逆回復時間(t_{RR})によって決まる。ダイオードのスイッチング損失は、順方向から逆バイアス状態への遷移時に発生する。順方向電流に起因するダイオードに存在する充電は、逆電圧が印加されると順方向電流の異極性の電流スパイク($I_{RR(PEAK)}$)が発生するため、印加ジャンクションから一掃される必要がある。この動作によって、逆電圧が逆回復時にダイオードに印加されるため、 $V \times I$ の電力損失が発生する。図 2.17 は、PN ダイオードの逆回復期間の簡略プロットを示している。

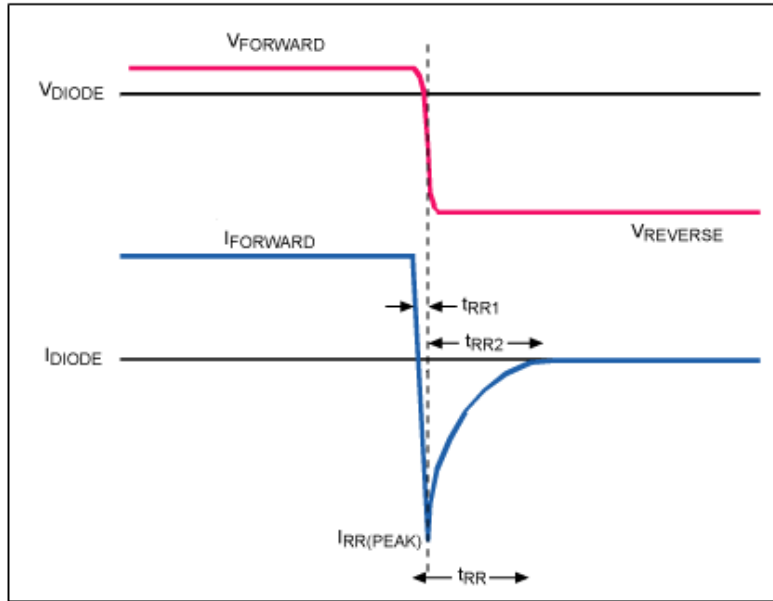


図 2.17 ダイオードに逆電圧が印加される場合

ダイオードの逆回復特性が既知の場合、次式でダイオードのスイッチング電力損失 ($P_{SW(DIODE)}$) が求められる。

$$P_{SW(DIODE)} = 0.5 \times V_{REVERSE} \times I_{RP(PEAK)} \times t_{RR2} \times f_s \quad (2.19)$$

ここで、 $V_{REVERSE}$ はダイオードに対する逆バイアス電圧、 $I_{RR(PEAK)}$ はピーク逆回復電流、および t_{RR2} は I_{RR} ピークの後の逆回復時間の部分である。ステップダウンコンバータの場合、 V_{IN} は MOSFET のターンオン時にダイオードを逆バイアスする。

2.3.2.3 インダクタの電力損失

インダクタの電力損失は、巻線損失とコア損失という、2つの基本現象によって説明される。巻線損失は、インダクタを形成する巻線コイルの DC 抵抗 (DCR) に起因し、コア損失はインダクタの磁気的特性によって決定される。DCR は以下の抵抗式で定義される。

$$DCR = \rho \frac{l}{A} \quad (2.20)$$

ここで、 ρ は巻線材料の抵抗性、 l は線長、および A は線の断面積である。

DCR は、線の長さが長いほど増加し、線の厚さが厚いほど減少する。この原理を標準的なインダクタに適用し、さまざまな誘電値やケースサイズの場合に予測されることを決定することができる。固定容量値の場合、インダクタのケースサイズが小さくなると DCR が増加する傾向がある。その理由は、同じ巻数を入れるために線の断面積を小さくする必要があるためである。特定のインダクタケースサイズの場合、通常、容量が小さくなると DCR は減少する。その理由は巻数が少ないほど、より短くてより大きな

口径の線が可能になるためである。DCR および平均インダクタ電流(トポロジに依存)がわかると、インダクタ抵抗の電力損失(PL(DCR))は次のように概算することができる。

$$P_{L(DCR)} = I_{L(AVG)}^2 \times DCR \quad (2.21)$$

ここで、 $I_{L(AVG)}$ はインダクタを流れる平均 DC 電流である。ステップダウンコンバータの場合、平均インダクタ電流は DC 出力電流である。DCR の振幅はインダクタ抵抗電力損失にじかに影響するが、この電力損失はインダクタ電流の 2 乗に比例するため、DCR を最小化することが重要となる。平均インダクタ電流(上記の式を参照)を使用して $P_{L(DCR)}$ を計算すると、インダクタ電流の三角形状のため、実際に発生するより多少少ない損失が予測される。このアプリケーションノートの前半で説明した MOSFET 伝導損失の計算と同様に、インダクタ電流波形の 2 乗を積分すると、より高精度の結果が得られる。より高精度であるが、より複雑でもある式は次のようになる。

$$P_{L(DCR)} = [I_{L(AVG)}^2 + (I_P - I_V)^2 / 12] \times DCR \quad (2.22)$$

ここで、 I_P および I_V はインダクタ電流波形のピークおよびバレー点である。

インダクタのコア損失は、伝導損失より簡単でなく、測定がより難しくなる。コア損失は、コア内で変化する磁束の直接的な結果であるヒステリシスと渦電流損失で構成されている。

ヒステリシス損失は、各 AC ハーフサイクルのコア磁気双極子の再配置で消費される電力に由来し、磁場極性の変化時に双極子同士が摩擦するときの「摩擦性」損失として見なすことができる。周波数と磁束密度に直接比例する。

反対に、渦電流損失は、コア領域にある時間変化する磁束によって発生する。ファラデーの法則によれば、コア内の時間変化する磁束は時間変化する電圧を生成する。次に、この変化する電圧によって、局在化した電流が発生し、コア抵抗性に依存する I^2R 損失を生成する。コア材料は、コア損失の振幅に大幅に関与し、複数の材料タイプが利用可能である。

コア損失は、コアの磁束密度(B)のピーク変化を計算し、次に、インダクタまたはコアメーカー(可能な場合)によって提供される B (コア磁束)対コア損失(および周波数)のプロットを参考にして概算することができる。ピーク B は、複数の方法で計算することができ、多くの場合、インダクタのデータシートのコア損失曲線の横に式が記載されている。別の方法として、コアの面積と巻数が既知の場合、次式でピークコア磁束を概算することができる。

$$B = \frac{L \times \Delta I \times 10^8}{2 \times A \times N} \quad (2.23)$$

ここで、B はピークコア磁束(gauss)、L はコイルインダクタンス(Henry)、 ΔI はピークトゥピークインダクタリップル電流(amp)、A はコア断面積(cm^2)、および N は巻数である。

2.3.2.4 コンデンサの電力損失

理想的なコンデンサモデルと違って、コンデンサの実際の物理的特性は複数の損失メカニズムを発生させる。これらの損失は、直列抵抗、リーク、および誘電損失の3つの損失現象で特徴付けられる。

コンデンサの抵抗損失は明白です。各スイッチングサイクル時に電流がコンデンサに流入/流出するため、コンデンサの金属端子およびプレートの固有抵抗(R_C)は、抵抗電力損失を消費する。リークは、コンデンサの絶縁(R_L)の(非常に高いが)有限の抵抗によって、コンデンサの「両端に」流れる小電流として説明される。誘電損失は、より複雑で、AC電圧の印加時に誘電性分子がコンデンサの変化する電界によって偏極したときに消失されるエネルギーを含む。

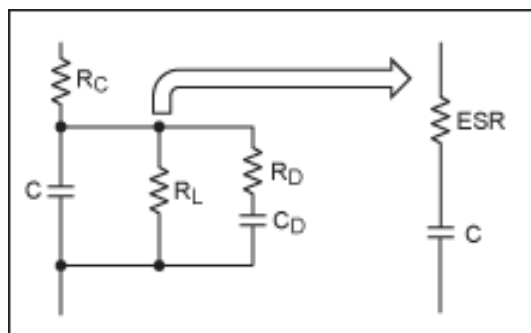


図 2. 18 等価直列抵抗(ESR)モデル

図 2. 18 はコンデンサの一般的な損失モデルは等価直列抵抗(ESR)モデルに簡略化されている。これら3つの損失はすべて、コンデンサの標準損失モデルに表されており(図 2. 18 の左側)、抵抗を使用して各損失メカニズムを示している。コンデンサに蓄えられたエネルギーに対する、各損失で提示される分数の電力損失は、損失係数(DF)、または損失角正接 δ と呼ばれる。各損失メカニズムの DF は、各損失メカニズムがそれぞれモデルに挿入されたときにコンデンサのインピーダンスの実数部を虚数部と比較演算して求められる。

損失モデルの簡略化のために、図 2. 18 の接触抵抗、リーク、および誘電損失は、「等価直列抵抗」(ESR)と呼ばれる個別の有効電力損失要素に一括される。ESR は、コンデンサの全有効電力損失に関与するコンデンサのインピーダンスの部分として定義される。ESR と周波数の依存性は、以下の簡略化した ESR 式で検証される。

$$ESR = \frac{DF_R}{2\pi fC} + \frac{DF_L}{2\pi fC} + \frac{DF_D}{2\pi fC} = R_C + \frac{1}{R_L(2\pi fC)^2} + \frac{DF_D}{2\pi fC} \quad (2. 24)$$

しかし、ESR のプロットが入手可能でない場合は、ESR は次式で概算される。

$$ESR \approx \frac{DF}{2\pi fC} \quad (2. 25)$$

ここで、 DF_R 、 DF_L 、および DF_D は、それぞれ接触抵抗、リーク、および誘電損失の固有損失係数である。この式を使用し、印加する信号の周波数が増大すると、高周波数で接触抵抗が優勢になる特定のポイントまで、リーク損失と誘電損失の両方が減少することがわかる。

各スイッチングサイクルで入力/出力コンデンサが ESR から AC 電流を充電/放電するため、 ESR 値の取得に使用する方法に関係なく、高い ESR が効率を低減させることは直感的に理解することができる。これによって、 $I^2 \times R_{ESR} I^2$ の電力損失が発生する。この電力損失($P_{CAP(ESR)}$)は次式で計算される。

$$P_{CAP(ESR)} = I_{CAP(RMS)}^2 \times ESR \quad (2.26)$$

ここで、 $I_{CAP(RMS)}^2$ は、コンデンサを流れる電流の RMS 値である。明らかに、コンデンサの電力損失を小さくするために、加えられる周波数と出力電圧リップルを下げたほうが良いである。

3 提案方法と実験用ツール

前節述べたように、PFC 回路の損失は主に二つの原因である。一つ目は、入力電圧より、出力電圧がずっと大きいである。PFC AC/DC 回路の出力電圧(リンク電圧)が低いほうが高効率であるが、入力電圧範囲(AC 90-265V)により入力電圧最大(AC 265V)のピーク値($265\sqrt{2}=375\text{V}$)以上の電圧(390V)で制御されている。その結果、通常のリンク電圧は常に入力電圧範囲の最大値のピーク値(390V)で制御しているので効率の悪化の原因になっている。

本研究は DSP を用いてリンク電圧制御での効率改善効果を検討する。つまり、入力電圧、出力電流をモニタリングして、リンク電圧の最適制御方法で効率の改善を行う。

二つ目は、回路の内部損失である。主に MOSFET 損失、インダクタ損失、コンデンサ損失である。式(2. 18)、(2. 22)、(2. 25)により、インダクタの損失は材料、面積、長さなどで決められるため、ここでは検討しない。MOSFET の損失とコンデンサの損失両方ともスイッチング周波数に関係があることが式で示される。

$$P_{CAP} \propto \frac{1}{f} P_{MOSFET} \propto f \quad (2. 27)$$

軽負荷の場合、電源回路の固定周波数の PWM 制御での MOS スイッチロスにより、効率が大幅に劣化される。ここで、本研究は PFC 部に対して同商用周波数の 1 周期内で PWM 周波数を変更することで効率化 UP となるかを検討し、効果がある場合には、その制御方法のプログラム開発を検討する。

3.1 開発ツール CCS v5(Code Composer Studio v5)

CCS v5(Code Composer Studio v5)は TI が提供する組み込みプロセッサの統合開発環境、より低価格で幅広い製品群に対応し、小型化、高速化、拡張性を強化している。



図 3. 1 Code Composer Studio v5

Code Composer Studio v5 の主な機能

組込みアプリケーション開発、デバッグツールを搭載

- コード・エディタ
- コンパイラ、リンカ
- プロジェクト・ビルド
- デバッグ
 - ▶ リアルタイム・モードによる、タイミング要求が厳しい割り込み処理を実行中にバックグラウンド処理のみ停止が可能
 - ▶ マルチコアに対応（実行・停止・ステップ動作の同期処理、1 つの CPU のトリガ条件から他の CPU を停止するクロストリガ処理）
 - ▶ 高度なハードウェア・ブレークポイント、ウォッチポイント、統計カウンタ複雑な処理、性能計測、活動状態モニタ等のトレースが可能
 - ▶ システム・トレース(STM) による、追加ソフトウェアを介在しないシステム動作の可視化が可能
- プロファイラ
- シミュレータ

CCS は TI のエンベデッド・プロセッサ向けの統合開発環境である。CCS には、組込みアプリケーションの開発とデバッグに必要なツールが含まれている。TI の各デバイス・ファミリ向けのコンパイラ、ソース・コード・エディタ、プロジェクト・ビルド環境、デバッグ、プロファイラ、シミュレータなど、多数の機能が含まれている。CCS IDE には、アプリケーションの開発フローをステップごとに実行できる、単一のユーザ・インターフェイスが備わっています。使い慣れたツールとインターフェイスを使用することで、ユーザはすぐに開発を始めて、高度な生産性ツールを利用して、アプリケーションに機能を追加することも可能です。

マイコン、プロセッサには、プログラミングコードの作成のための編集、コンパイラ、プロファイラ、プロジェクト・ビルド、シミュレータ・エミュレータによるデバッグ等々のソフトウェアの開発環境が必要である。これらのツールの総合的に揃えた開発環境を一般略称としては IDE (Integrated Development Environment) と呼ばれ、TI は自社の組込みプロセッサ製品群に対応した IDE として、Code Composer Studio(コード・コンポーザ・スタジオ、略して CCS とよく呼ばれています) を提供している。

3.2 C2000 シリーズ DSP

電源システムの簡単な構成としては、アナログ制御方式と、デジタル方式の 2 種類に分けられる。アナログ制御は連続的な信号を入力してから出力段のドライバを制御する。またデジタル制御は、一定間隔でサンプリングされデジタル化された値を用いて処理および制御を行う。デジタル制御については、また 2 種類の構成があり、特定用途向けにハードウェアし高速な応答を可能にしたものと、全てソフトウェアで柔軟な設計が可能にした 2 種類のものがある。今回の実験で我々は C2000 シリーズの DSP を用い、効率の向上を実現するつもりである。TI の C2000 シリーズは、すべてソフトウェアにて実現しているため、生産開始後の柔軟な仕様変更、新しい機能の追加、メンテナンス性の向上にも対応できる。通信機器（バックプレーンボード）・システム構成例では、従来、各用途向けに Pin 配置等を変えたボードが必要でしたが、DSP で制御を行う事でコンパクトな設計を可能にする。C2000 DSP の特長は以下にある。

- デジタル電源制御に最適な Flash 内蔵 32bit DSP
- 様々な電源トポロジをサポートする柔軟かつ高分解能(150psec)PWM 出力
- 超高速 AD コンバータと高速割り込み応答により、高速な制御ループが可能
そして、DSP を用いた電源システムは以下の利点はある。

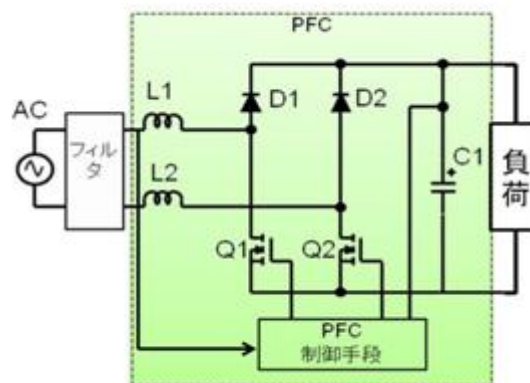
コスト削減：共通プラットフォーム化により、新製品を開発期間の短縮化が可能になる。ノイズ・温度耐性の向上、および多系統の電源制御を実現することによるボード面積、部品点数削減される。

高品質：システム状況に合わせた動的な制御・設定により高効率化を実現する。プログラミングによる設計の柔軟性により、設計変更が容易にする。アナログで実現できない補償器を実現できる。最終機能テスト時での較正が可能、また、温度、ばらつきや経年変化の影響を低減される。継続的な品質向上のための変数監視が可能になる。

高信頼性：監視機能内蔵されるため、診断、故障予測のレポートが可能になる。

3.3 実験用ボード

3.3.1 BLPFC AC/DC 回路 (Bridgeless Power Factor Correction AC/DC)



(a) 開発ボード外見

(b) BLPFC 開発ボード回路図

図 3. 2TI 製ブリッジレス PFC 開発用ボード

今回実験使った高電圧ブリッジレス PFC 開発キットは、Piccolo マイコンを使用して 300W の高効率ブリッジレス PFC ステージを制御する。この EVM の付属品には、AC ラインの半サイクル RMS 測定値に基づく高速フィード・フォワード (FF) 制御ループが含まれている。この EVM は 85V ~ 265V の汎用 AC ライン入力で作動できるように設計されており、390V DC の安定化出力を提供できる。外部電源からデジタル回路に電力を供給するオプションもある。PFC 補正 AC から高効率 DC へのトポロジ式を構築することができる。

ボードの特徴

- Input Voltage(AC line): 85V(Min)to 265V(Max)、47~63Hz
- **400Vdc Output**
- 300 Watts Output Power
- Full Load efficiency greater than 93%.
- Power factor at 50% or greater load – 0.98(Min)
- **PWM frequency 200kHz**

上記のように、リンク電圧 (出力電圧と同じことである。PFC の出力電圧は DC/DC ボードの入力電圧となるため、リンク電圧とも呼ばれる) と PWM 周波数が固定されている。

3.3.2 PSFB DC/DC 回路部分 (Phase Shift Full Bridge DC/DC)

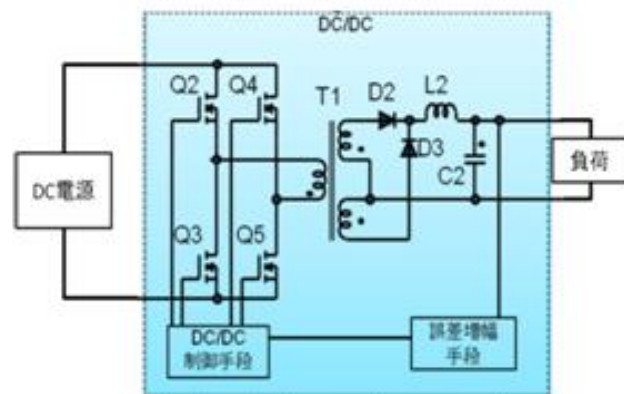
実験はTI製のブリッジレス PFC 開発ボードを使用した。TMS320F28027 (DSP) で PSFB DC/DC を制御している。回路の基本仕様は次に示す。

- 400V DC input(370Vdc to 410Vdc operation),
12V DC output
- Peak efficiency greater than 95%
- 50A(600Watt)rated output
- Phase Shifted Full-Bridge Circuit topology
- 100kHz switching frequency

上記のように、PWM 周波数が規定されている。



(a) 開発ボード外見



(b) PSFB DC/DC 開発ボード回路図

図 3.3 TI 製デジタル制御フェーズ・シフト・フル・ブリッジ DC/DC コンバータ開発用ボード

3.4 BLPFC AC/DC の実装回路と制御ブロック

図 3. 4は C2000DSP を用いた BLPFC システムを示されている。入力 AC 電圧は EMI フィルタと突入電圧制御リレーを通して PFC コンバータに印加された。PFC は二つのブーストコンバータに構成され、入力電圧周期の半分の間に昇圧モードで交互に動作する。一ライン・サイクルの間、コンバータは AC 入力を DC 出力電圧に変換する。インダクタ L_1 は、MOSFET スイッチ Q_1 、電流検出トランス CT_1 及びダイオード D_1 は一つの昇圧ステージを構成し、 L_2 、 Q_2 、 CT_2 と D_2 はほかの昇圧ステージを構成する。昇圧コンバータの出力におけるキャパシタ C_b はエネルギーリザーバとして、PFC の負荷 R_L に応じた DC 電圧を提供する。図 3. 4 は C2000 のマイクロコントローラ (MCU) を用いた BLPFC コンバータの完全な制御のために必要なすべてのインターフェイス信号を示している。MCU は、5つのフィードバック信号、2つの PWM 出力と 1つの GPIO 出力を使用してハードウェアを制御する。入力電圧 (V_{in_L} & V_{in_N})、2 PFC スイッチ電流 (I_{sw1} 、 I_{sw2})、とブースト・出力電圧 (V_{bus} 用)。これらの信号は検出され MCU にフィードバックする。

ADC チャンネル検出された DC バス電圧はリファレンス電圧バス電圧 V_{ref} と比較される。得られた誤差信号 E_v は電圧ループコントローラ G_v を入力され、バス電圧の基準レベルを調整する。電圧制御 G_v は 2 極 2 ゼロ (2P2Z) の補償がつけられている。 G_v の出力 (図 3. 4 にローマ字 A で表示されている) は PFC コンバータによる動力伝達の量に比例する。この出力 A は 3 つのパラメータ (図 3. 4 に B, C と K_m で表示されている) に乗算され、PFC 電流制御ループの基準電流指令 I_{ref} に形成する。B 信号は PFC システムの迅速なフィード・フォワード制御を可能にするため、入力電圧実行値の逆数の 2 乗である。信号 C は整流された入力電圧を比例し、電圧制御出力 A を変調して PFC 入力電流と入力電圧の形状を同じようにする。パラメータ K_m は乗算器の利得と呼ばれ、PFC コンバータの全入力電圧範囲に応じる I_{ref} の範囲を調整するために使用される。乗算器の出力は、平均インダクタ電流 I_{refL} の制御の基準信号を提供する。しかし、BLPFC システムのフィードバック電流はブースト・インダクタから (L_1 & L_2) ではなく、スイッチ (Q_1 と Q_2) からのものである。これは平均インダクタ電流制御のための基準信号 I_{refL} が使われる前に必ず変換さなければならないことを意味する。図 3. 4 には I_{refL} と I_{ref} の間の変換ブロックで示されます。PFC 電流制御ループのための基準電流は ADC チャンネル通して検出された PFC のスイッチング電流 I_{pfc} と比較する。得られる電流誤差信号 E_i は入力電流ループコントローラ G_c の入力とする。 G_c は PFC デューティ比指令 d を生成し、電流スイッチが基準電流 I_{ref} を追跡するようになる。

電圧および電流ループコントローラを実装することに加えて、C2000 MCU は感知線と中性点間の電圧信号を使って入力電圧の極性 (+ve & -ve の半周期) を決定し、整流された入力電圧、入力電圧 RMS 値、入力周波数算出する。入力電圧の極性に基づいて、C2000 コントローラ適切な PFC スイッチ電流 (I_{sw1} または I_{sw2}) を選択し、PFC 電流

帰還電流 I_{pfc} として使用される。極性情報は、適当な PFC スイッチ (Q1 及び Q2) の設定と PWM モード (ブースト PFC) または強制 ON モードの設定に使われる。これらのすべてのタイムクリティカルな高速サンプリングループ機能は高周波で C2000 マイクロコントローラの高速 CPU、割り込み、PWM モジュールとオンチップ 12 ビット ADC モジュールによって実現する。

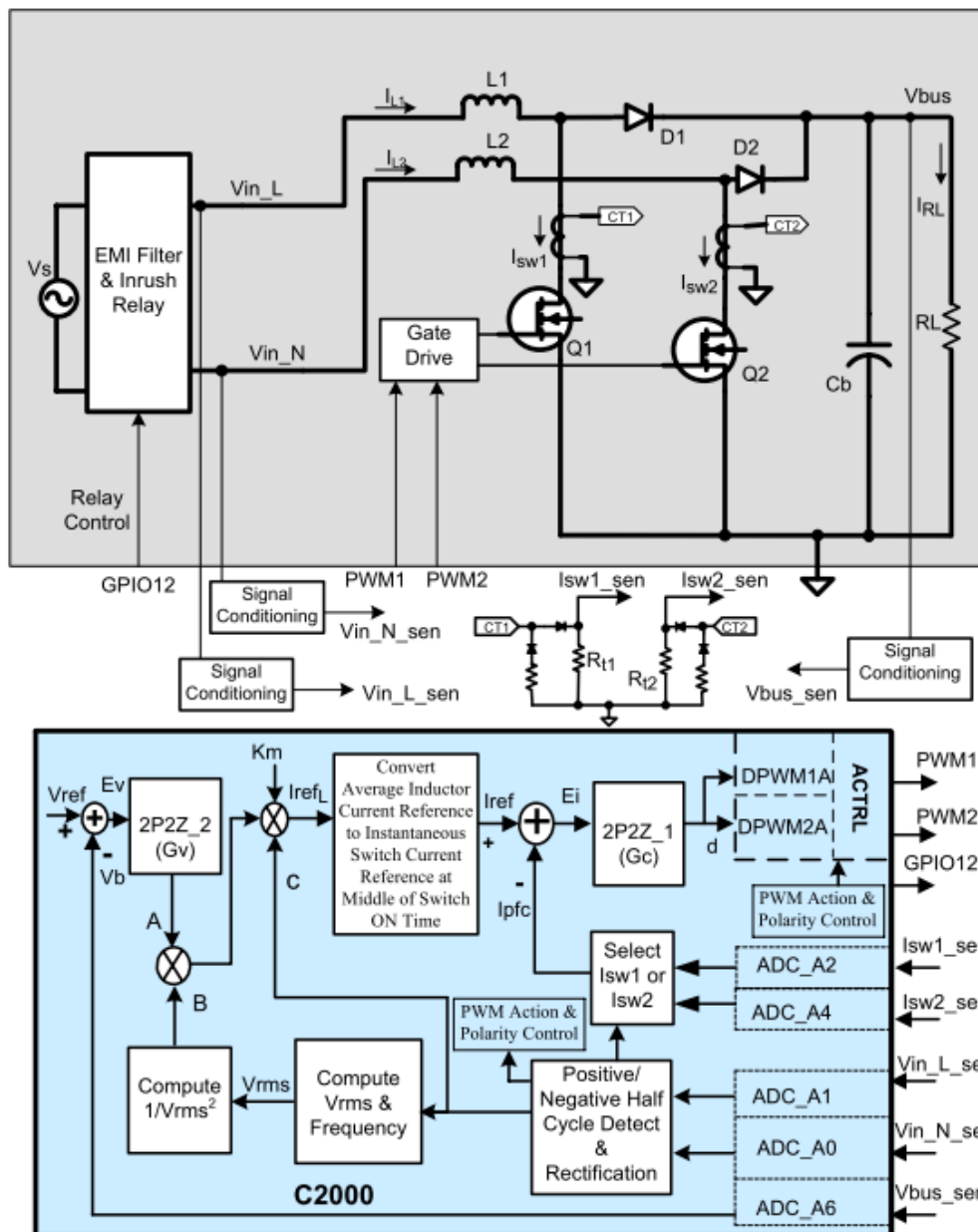


図 3. 4Bridgeless PFC Converter Control using C2000 Micro-controller

3.4.1 PSFB DC/DC の実装回路と制御ブロック

図 3. 5 は BL PFC の全体なソフトウェアフローを示されている。主要高速 ISR (100kHz) はアセンブリ環境で実行される。しかし、遅い ISR (10kHz) が C 環境から実行される。この遅い ISR は、高速 ISR によって割り込みを作っている。このプロジェクトには C コードを使ってアプリケーションのメイン支援プログラムとする。そして、すべてのシステム管理タスク、意思決定、知能、ホストとの相互作用を担当する。アセンブリコードはすべての厳密な重要な制御コードが実行され、高速割り込みサービスルーチン (ISR) に制限されています。例えば、ADC 値を読み取ると、入力周期と極性を検出、ライン電圧整流、制御計算、および PWM の更新を感知はアセンブリコードに担当させる。遅い ISR に行ける RMS 電圧と入力電圧の周波数算出は C 環境である。

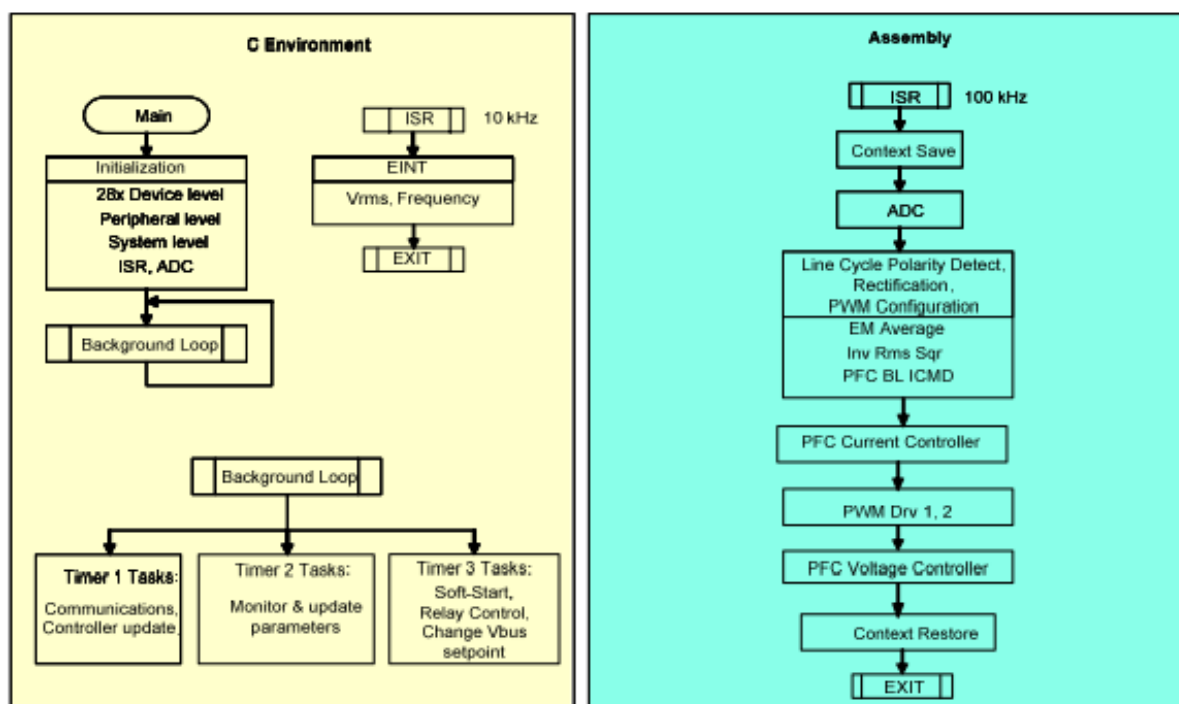


図 3. 5BL PFC ソフトウェアフロー図

図 3. 6 モジュールに使用されるカラーコーディングに注意する。'ダークブルー'でブロックは C2000 コントローラ内のオンチップ・ハードウェアモジュールを表している。'ブルー'のブロックは、これらのモジュールに関連付けられているソフトウェアドライバである。'黄色'のブロックは、さまざまな信号に行う計算の一部である。電圧および電流ループに使用されるコントローラは、2 極 2 零補償器の形態を有する。しかしながら、これらは、例えば PI、PID、3 極-3-ゼロまたはアプリケーションに適した任意の他のコントローラのような他の形態とすることができる。モジュラーライブラリ構造は

図 3. 6 に示すように、完全なシステムソフトウェアフローを視覚化し、理解することが便利になる。また、様々な機能を簡単に使用と追加/削除することができる。

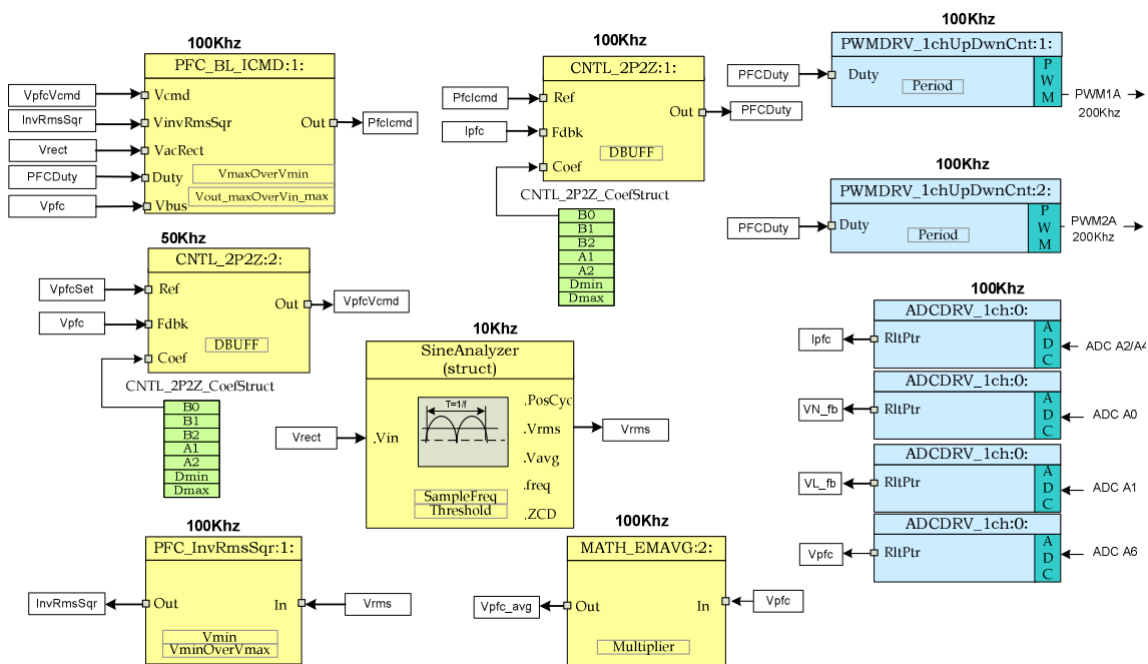


図 3. 6 ソフトブロック

3.4.1.1 PFC_BL_ICMD.asm

3.4.1.2 CNTL_2P2Z.asm

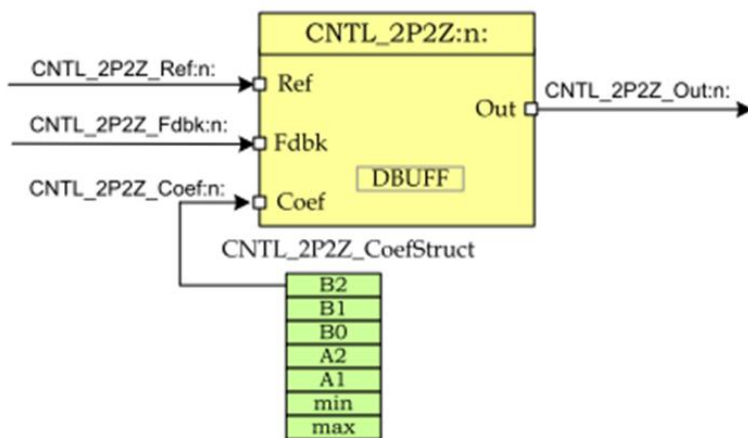


図 3. 7CNTL_2P2Z ブロック

2 極 2 ゼロ制御ブロックは、プログラマブル出力飽和で IIR フィルタ構造を用いて二次制御則を実装する。このタイプのコントローラは 2 つの遅延ラインが必要：入力データ及び出力データ、そしてそれぞれ 2 つの要素から構成される。基本 2P2Z 制御則の離散伝達関数は

$$\frac{U(z)}{E(z)} = \frac{b_2 z^{-2} + b_1 z^{-1} + b_0}{1 - a_1 z^{-1} - a_2 z^{-2}} \quad (3.1)$$

以下に示すように 2P2Z 制御則をグラフィカルに表すことができる

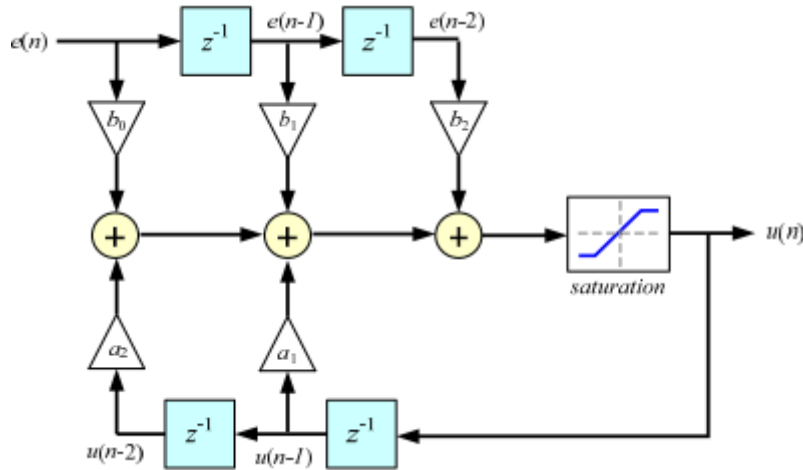


図 3. 82P2Z 制御則

3.4.1.3 SineAnalyzer.h

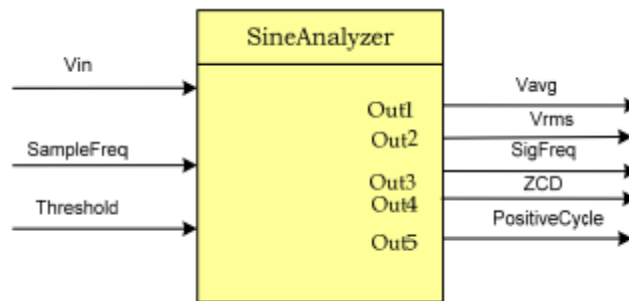


図 3. 9SineAnalyzer.h ブロック

このモジュールは、サンプリングされた正弦波入力を蓄積、しきい値交差点をチェックし、RMS と入力正弦波の平均値を計算する。このモジュールは、正弦波の周波数を計算し、ゼロ（又は閾値）交差点を示すことができる。

このモジュールは、以下の入力を期待している：

1) 正弦波 (Vin)：これは ADC でサンプリングされた信号である。このモジュールはオフセットなしの入力として整流された正弦波と想定している。

2) しきい値 (スレッシュホールド)：閾値の設定により、入力信号のクロスオーバーを検出することができる。デフォルトのしきい値はゼロに設定される。

3) サンプリング周波数 (SampleFreq)：この入力の周波数(15Q)は、入力正弦波のサンプリング周波数に設定される。

マクロ呼び出し時には、入力正弦波 (V_{in}) は信号がスレッショルド値を超えているかどうかをチェックされる。イベントクロスオーバーが発生した後は、連続したサインサンプルポイントを介して別のしきい値のクロスが発生するまで蓄積されている。累積値は入力信号の平均値と RMS 値の計算ために使用される。モジュールは、2つの閾値交差の間のサンプルの点を追跡し、信号のサンプリング周波数 ($SampleFreq$ 入力) と共に入力正弦波の周波数を計算するために使用される。

このモジュールは、次の出力を生成する：

- 1) 正弦波 (V_{rms}) の RMS 値：出力は正弦波入力信号の RMS 値である。RMS 値が計算され、すべてのしきい値交差点で更新される。
- 2) 正弦波 (実効値) の平均値：出力は正弦波入力信号の平均値である。平均値が閾値毎にクロスオーバー一点で計算され、更新される。
- 3) 信号周波数 ($SigFreq$)：出力は正弦の周波数である。周波数が計算され、すべてのしきい値交差点で更新される。

3.4.1.4 PFC_InvRmsSqr.asm

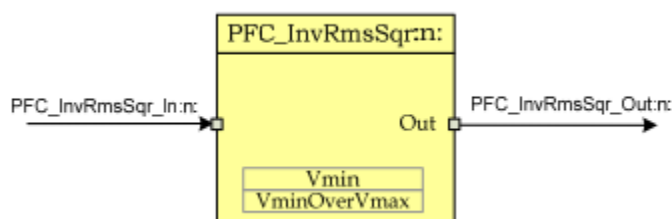


図 3. 10 PFC_InvRmsSqr.asm ブロック

このモジュールには、2つの内部データ変数を使用し、レンジとスケーリングを指定する。内部の変数は力率補正 (PFC) ステージのハードウェア設計に依存する。モジュールを使用する方法は下のよう示されている。

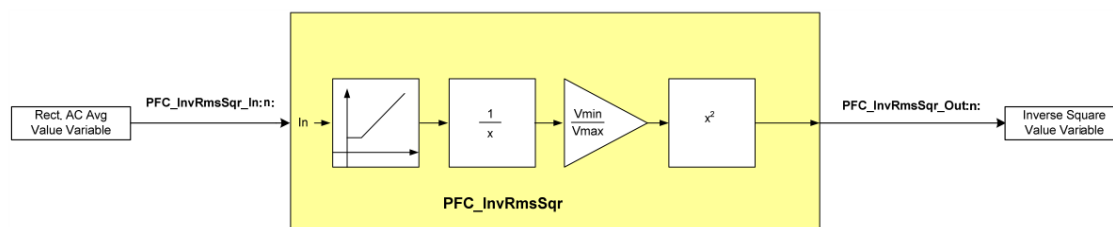


図 3. 11 モジュールのワークフロー

3.4.1.5 MATH_EMAVG.asm

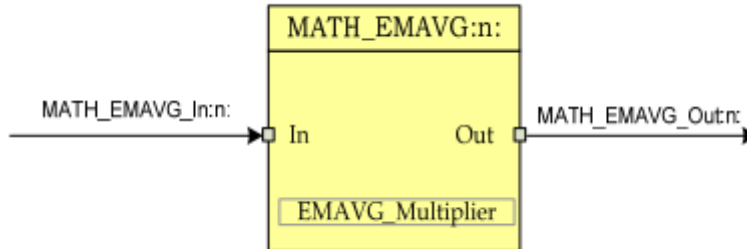


図 3. 12 MATH_EMAVG.asm ブロック

このソフトウェア・モジュールの指数移動するデータの格納するところは MATH_EMAVG_In:n: で指される。結果は 32 ビットの位置で MATH_EMAVG_Out によって指される。

時間領域の関数は次のように表すことができる。

$$EMA(n) = (\text{Input}(n) - EMA(n - 1)) * \text{Multiplier} + EMA(n - 1) \quad (3. 2)$$

ここで、Input(n) はサンプル入力データである、

EMA(n) は時刻(n)指数移動平均値である、

EMA(n - 1) は時刻(n - 1)の指数移動平均値である、

Multiplier は指数移動平均値で使用される重み係数。

z 領域の式は次で示される

$$\frac{\text{Output}}{\text{Input}} = \frac{\text{Multiplier}}{1 - (1 - \text{Multiplier})z^{-1}} \quad (3. 3)$$

以下の図はこのブロックに操作さ演算機能を示している。

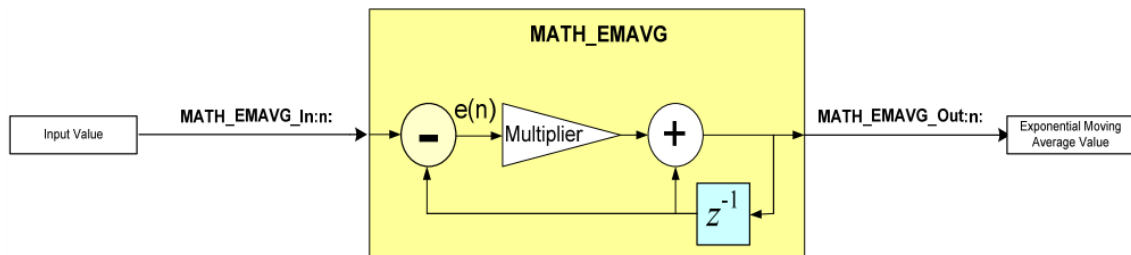


図 3. 13 MATH_EMAVG.asm 演算ブロック

3.4.1.6 PWMDRV_1ch_UpDwnCnt.asm

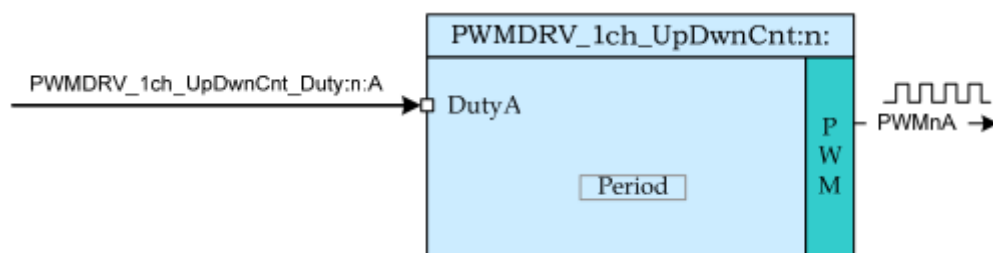


図 3.14 PWMDRV_1ch_UpDwnCnt.asm ブロック

このハードウェア・ドライバ・モジュールは対応する PWM 構成ファイルと組み合わせて使用される場合、入力変数 DutyA で PWM チャンネル A を駆動する。

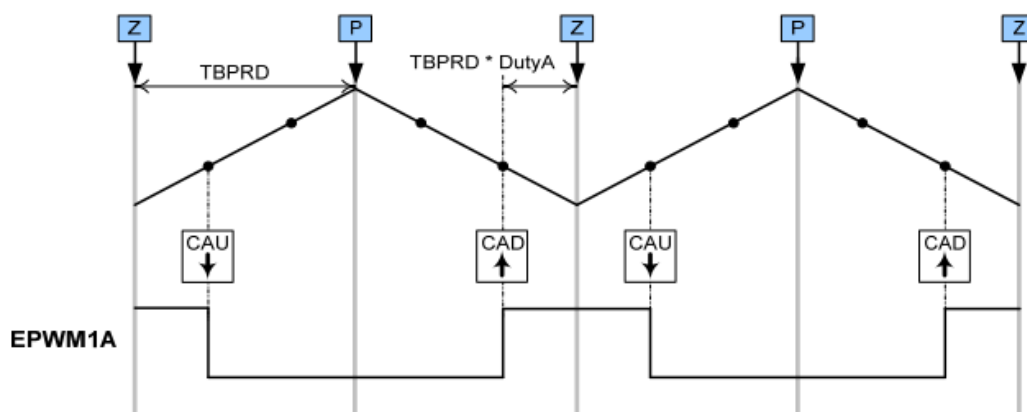


図 3.15 ePWM モジュールと PWM の生成

3.4.1.7 ADCDRV_1ch:n:

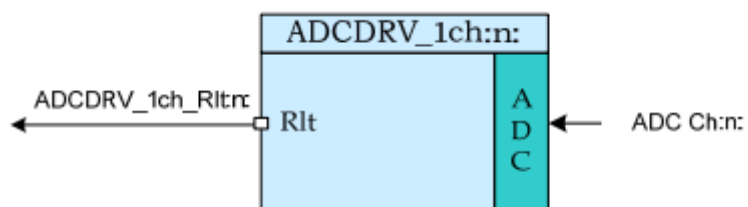


図 3.16 ADCDRV_1ch:n:ブロック

このアセンブラマクロは内部ADCモジュールの結果レジスタ Register:n:から結果を読み込み、出力端に結果を送る。出力は 0–1.0 に正規化され、最小ドライバ出力電圧は 0.0、最大フルスケール電圧は+1.0 を読む。結果はネット端末に指し示されたメ

モリ位置に格納される。

3.5 Phase Shifted Full Bridge(PSFB)の実装回路と制御ブロック

図 3. 17 は C2000DSP を用いた PSFB システムブロック図を示されている。PSFB DC-DC コンバータは高い DC 電圧をステップダウンするために頻繁に使用される。またはサーバーの電源、通信整流器、バッテリー充電システム、再生可能エネルギーシステムのような高電力アプリケーションに媒体に絶縁を提供する。従来マイクロコントローラは、これらのシステムの監視または通信タスクを実行することに制限されている。高パフォーマンスのマイクロコントローラの可用性とデバイスは、従来のマイクロコントローラの機能を処理することに加え、これらのシステムの制御ループを閉じるためのマイクロコントローラを使用できるようになった。デジタル電力制御への遷移は、以前ハードウェアで実装された機能を現在ソフトウェアで実現されることである。これにより、システムに追加され、柔軟性に加え、かなりのシステムを簡素化される。これらのシステムは異なる条件下でパワーステージを最適に制御し、システムレベルのインテリジェンスを提供するために高度な制御方式を実装することができる。

PSFB コンバータは 4 つのパワー電子スイッチ (MOSFET や IGBT) で構成される。絶縁トランス、ダイオード整流器の一次側のフルブリッジを形成する。また、MOSFET スイッチは二次側の同期整流 (SR) のために切り替わる。このトポロジでは、すべてのスイッチング素子は低スイッチング損失と効率的なコンバータになり、ゼロ電圧スイッチング (ZVS) を切り替えることができる。負荷条件に基づいて、一次側のスイッチのデッド時間を変更することによって、フルブリッジの足、ゼロまたは低電圧或いはほかの足のスイッチのバレースイッチングの ZVS を全負荷範囲で達成する。

このような孤立したトポロジでは、信号の整流が二次側でしなければならぬ。低出力電圧および/または高出力電流定格を備えたシステムの場合、ダイオード整流の代わりに同期整流をすると損失を回避することによって可能な限り最高のパフォーマンスを実現ができる。

DC-DC コンバータシステムは電圧モード制御 (VMC)、平均電流モード制御 (ACMC) またはピーク電流モード制御 (PCMC) のような種々のモードで制御される。異なる制御モードで同じパワーステージを制御するために、制御回路の再設計とパワーステージ検知回路の変更が必要である。マイクロコントローラベースのシステムでは以上の変動は必要無し、同じ設計に基づいて実験することができる。PSFB キットは VMC と PCMC 制御方式を実装されている。ここで、我々は VMC 制御方式のみを検討する。

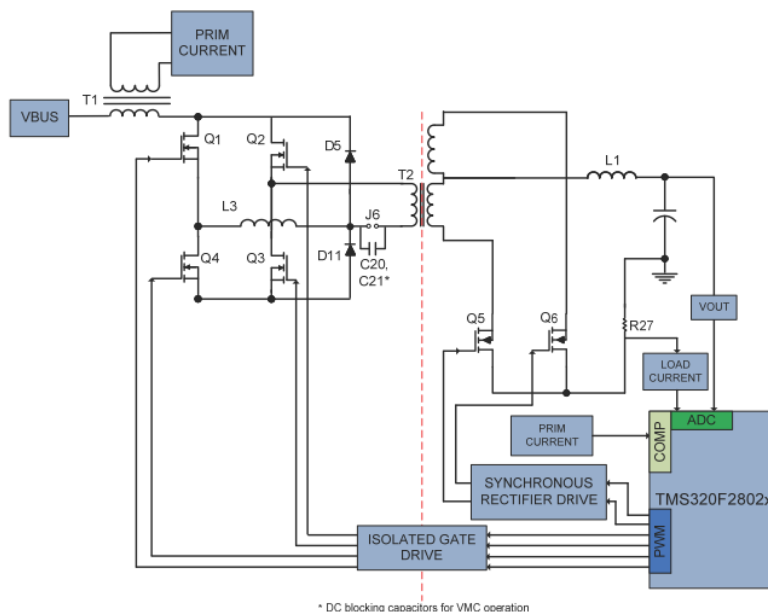


図 3.17 PSFB システムブロック図

図 3.18 は相の単純化した PSFB 回路を示している。MOSFET スイッチ Q_A 、 Q_B 、 Q_C 、 Q_D はトランス T_1 の 1 次側のフルブリッジを形成している。 Q_A および Q_B は、互いに位相がずれてデューティ 50% と 180 度に切り替えられる。同様に、 Q_C 及び Q_D は、互いに位相がずれてデューティ 50% と 180 度に切り替えられる。フルブリッジの足 Q_C — Q_D の PWM スイッチ信号は Q_A — Q_B の信号に対して位相シフトしている。この位相シフト量は順番に伝達されるエネルギーの量を決定し、斜めのスイッチ間のオーバーラップの量を決定する。 D_1 と D_2 は二次側のダブル整流を提供する。 L_o 及び C_o は出力フィルタを構成する。インダクタ L_R と MOSFET 容量はトランスの漏れインダクタンスに共振動作を提供し、ゼロ電圧スイッチング (ZVS) を容易にする。トランス T_1 の両側に 2 つの異なるグラウンド G_1 と G_2 に注意してください。図 3.19 は図 3.18 のシステムのスイッチング波形を示している。

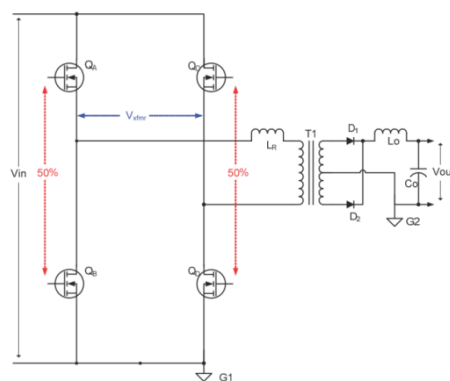


図 3.18 Phase Shifted Full Bridge 回路

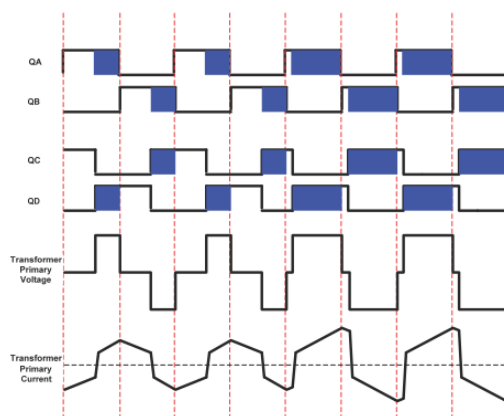


図 3. 19 PSFB PWM 波形

3.5.1.1 ソフトウェアの概要 - VMC

HVPSFB_VMC プロジェクトは「C-background/ASM-ISR」のフレームワークを利用した。アプリケーションのメイン支援プログラムとして主に C コードを使用し、すべてのシステム管理タスク、意思決定、インテリジェンスおよびホストとの対話を担当していた。アセンブリコードは、厳密にすべての重要な制御コードを実行し、一般的に、これは ADC の読取り、制御計算、および PWM と DAC の更新が含まれている ISR (割り込み機能) などに限定されている。図 3. 20 このプロジェクトのための一般的なソフトウェアのフローを示している。

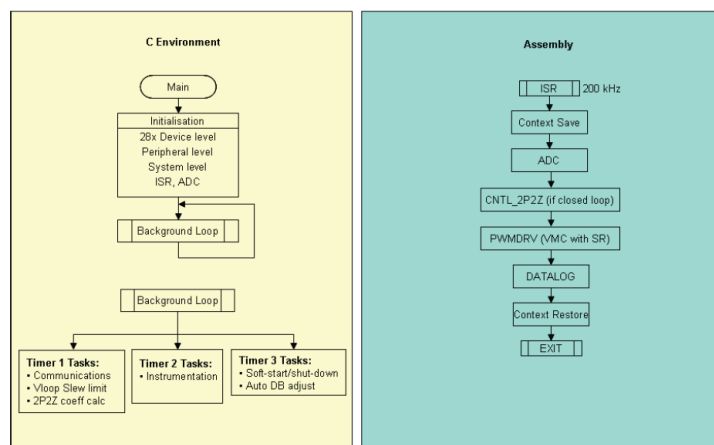


図 3. 20 VMC ソフトウェアフロー

図 3. 21 に 2 極の 2 つの零コントローラは、電圧ループのために使用される。アプリケーションの制御ループ要件 PI のようないくつかの他のコントローラ・ブロック、3 極 3 - ゼロ等に応じて使用することもできる。図に見られるように、電圧ループ・ブロックは 100 KHz で実行される。CNTL2P2Z は IIR フィルタ構造の 2 次補償器である。この関数はすべての周辺機器とは独立であり、従って CNF 関数呼び出しが必要がない。

システムは1つの電圧帰還ループによって制御される。図 3. 20 VMC ソフトウェアフロー制御ブロックが実行される速度を示した。例えば、電圧コントローラは 100kHz の速度で実行される (PWM スイッチング周波数と同じ)。検知された出力電圧 (Adc_Vfbout) は電圧制御における電圧基準指令 (VfbSetSlewed) と比較される。電圧制御回路の出力は直接にフルブリッジの二つの脚部の PWM 信号の位相シフトを制御する。これはフルブリッジの二脚のオーバーラップ量を決定し、出力電圧が調整される。dbAtoP_leg と dbPtoA_leg 値はデッドバンド値を提供し、負荷範囲にわたって ZVS/ LVS を達成するために使用される。

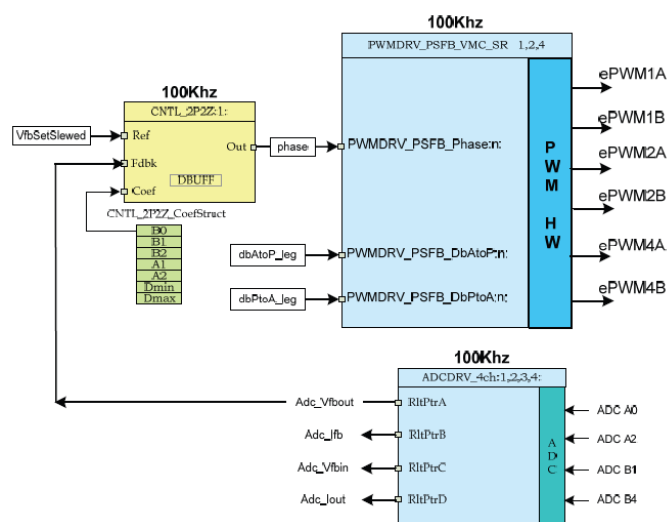


図 3. 21 VMC コントロール・フロー

4 実験結果

実験の進め方は三つステップで行う。ステップ 1 はリンク電圧の効率改善効果の検証である。まずは PFC+DC/DC でリンク電圧を制御することでの改善効果の程度を算出し、そして実際のボードで検証し、入力電圧、出力電流をモニタリングして、リンク電圧の最適制御方法を確立する。

ステップ 2 は PWM 周波数の制御での効率改善効果を検証である。PFC と DC/DC、それぞれについて PWM 周波数を制御での改善効果を算出し、入力電圧、出力電流をモニタリングして、PWM 周波数 (リンク電圧) の最適御方法を確定する。

ステップ 3 は PFC と DC/DC コンバータに対して同様に商用周波数の 1 周期内で PWM 周波数を変更することで効率化 UP となるかを検討し、効果がある場合には、その制御方法 (プログラム) を開発する。

4.1 BLPFC AC/DC 回路のリンク電圧最適可変 (@ 50% 負荷)

2.2.3 節はリンク電圧により効率劣化の原因について説明した。その解決案はリンク

電圧を下げることである。

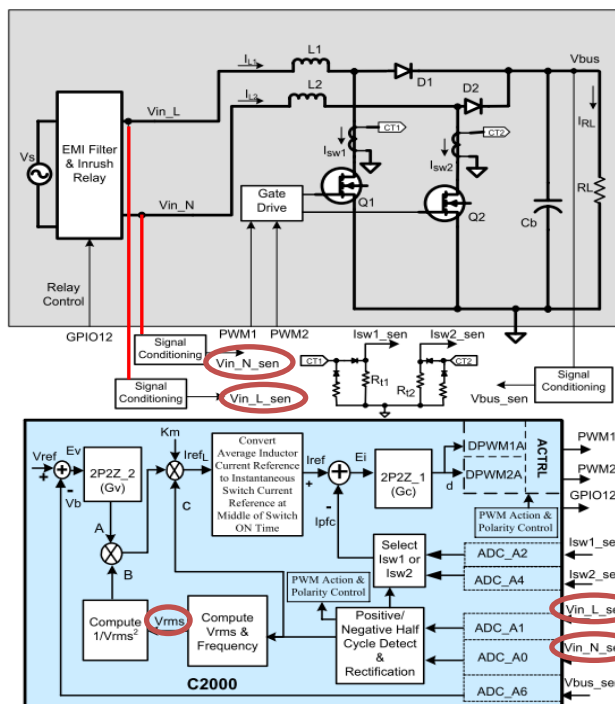


図 4. 1 PFC の信号フロー

図 4. 1 の信号フロー図に示すようにまずは入力電圧（Vin_L_sen と Vin_N_Sen）を検出する。そして、AD 変換器はアナログの入力電圧をデジタルの信号に変換し、DPS に取り込む。DSP 内部計算により実行値（Vrms）を算出し、最適昇圧比の積でリンク電圧を求められる。

$$\text{リンク電圧} = \text{最適昇圧比} \times V_{rms}$$

上記に基づきプログラムを作り実験を行なった結果は図 4. 2 図 4. 2 に表す。

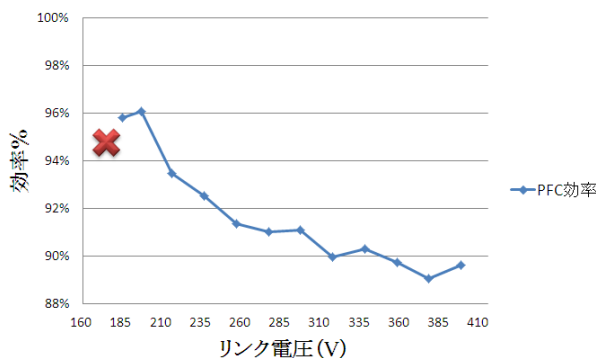


図 4. 2 リンク電圧に対応するハーフロードの PFC ボード出力効率

図に示すようにハーフロードの場合、仕様に規定された 400V のリンク電圧より、電圧を下げほど効率は向上することが確認できた。つまり、リンク電圧の最適制御により

の効率の改善効果を検証できた。入力電圧 100V における最適リンク電圧は 200V を求めた。

次はリンク電圧が 190V 以下になると NG になる原因について説明する。2.2.3 節説明したように PFC は昇圧回路のため、出力は入力最大値 $100\sqrt{2}$ 以上しなければならない。つまり、リンク電圧は 142V 以上にすることである。それに、ボードの従来設定されている出力電圧は 400V である。このボードの設定により、リンク電圧は 190V 以下になると出力電圧が不安定になり、ノイズも出ていた。以上の原因で、最適昇圧比を 2 に決まった。

4.2 BLPFC AC/DC 回路スイッチ PWM 周波数最適可変(@ 5%~20%負荷)

2.3.2 節はスイッチ PWM 周波数と回路内部損失の関係について述べた。軽負荷の場合、電源回路は固定周波数の PWM 制御での MOSFET のスイッチングロスにより効率が大幅に劣化する。そこでデジタル制御で PWM スwitching 周波数を可変にし、PFC 回路の効率向上を検討する。以下は実験結果を示す。

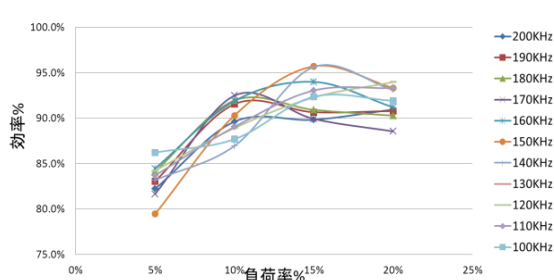


図 a 周波数により効率の変化@400V

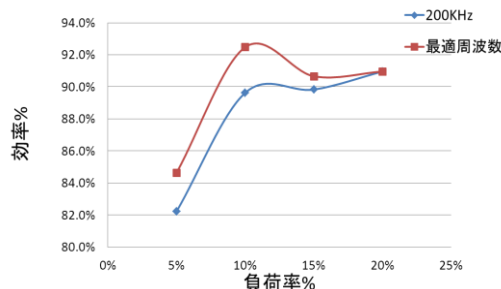


図 b 最適変化と従来の効率の比較

図 4.3 リンク電圧 400V の効率検討

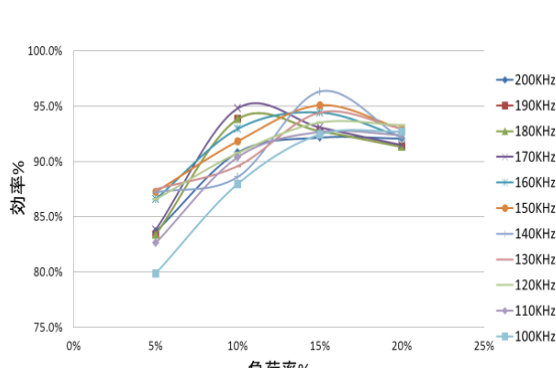


図 a 周波数により効率の変化@350V

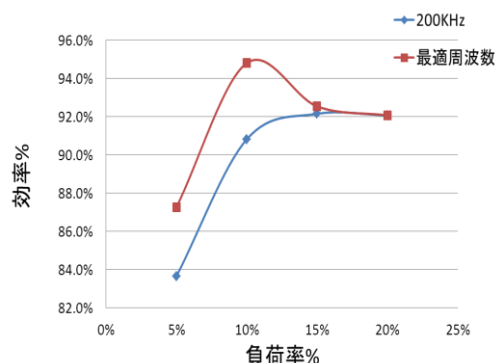


図 b 最適変化と従来の効率の比較

図 4.4 リンク電圧 350V の効率検討

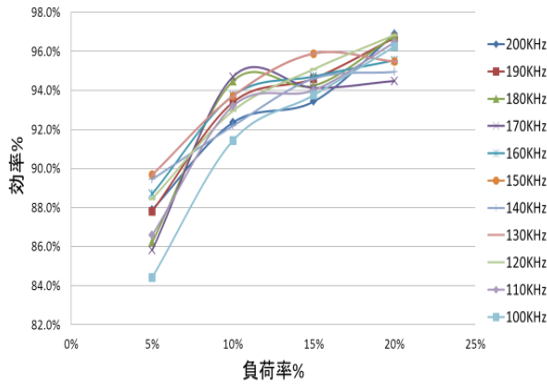


図 a 周波数により効率の変化@300V

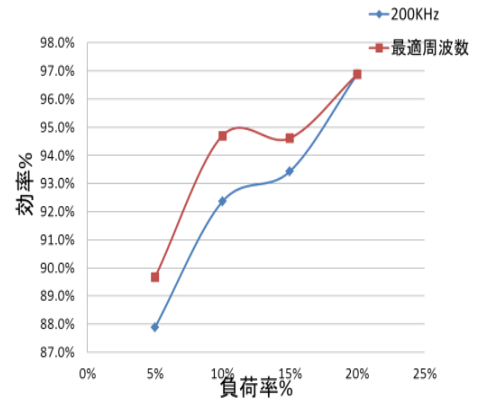


図 b 最適変化と従来の効率の比較

図 4.5 リンク電圧 300V の効率検討

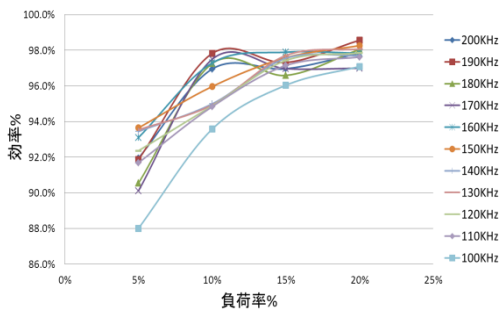


図 a 周波数により効率の変化@250V

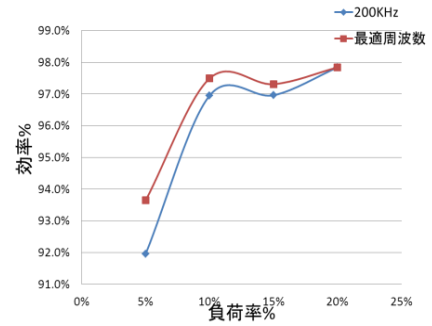


図 b 最適変化と従来の効率の比較

図 4.6 リンク電圧 250V の効率検討

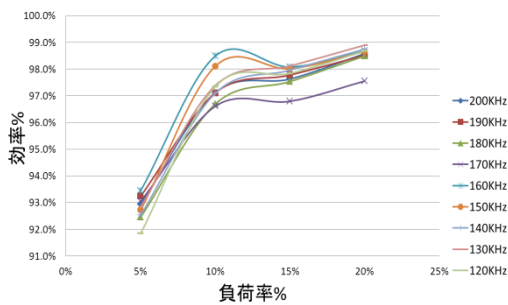


図 a 周波数により効率の変化@200V

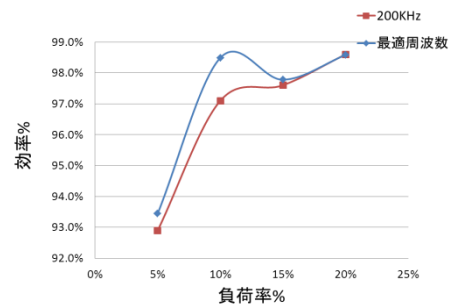


図 b 最適変化と従来の効率の比較

図 4.7 リンク電圧 200V の効率検討



図 a PFC 正常動作の入力電流波形

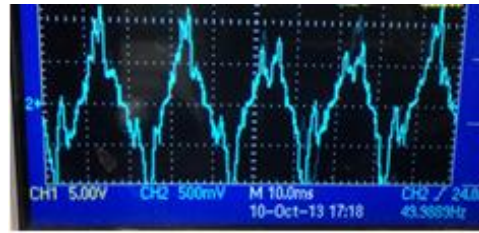


図 b PWM 周波数 100kHz 以下にな

スレ誤動作が発生

図 4. 8 図 4. 8PFC の正常動作電流と誤動作の電流

今回の実験は 100kHz~200kHz の間 10kHz ずつ変化した。図 4. 8 図 4. 8PFC の正常動作電流と誤動作の電流に示すように、PWM 周波数は 100kHz 以下になると電流の波形が大分劣化され、PFC 回路の力率の機能が失ってしまった。そのため、今回の実験で PWM 周波数 100kHz 以下の場合には検討しない。

図 4. 9 はリンク電圧と PWM 周波数の最適制御二つ手法を合わせた制御手法により得られた結果である。図の通り、提案手法は従来手法より、大幅の効率改善を検証できた。軽負荷の場合の PWM 周波数範囲を Table 3 で示した。

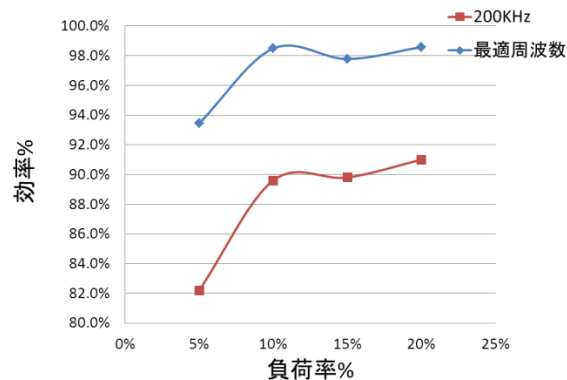


図 4. 9 最適制御の効率と従来効率の比較

Table 3 最適 PWM 周波数範囲

Load Rate(%)	PWM 周波数(kHz)
5% - 10%	150kHz
10% - 15%	170kHz
15% - 20%	190kHz
20%~	200kHz

4.3 PSFB DC/DC 回路スイッチ PWM 周波数最適可変(@ 5%~20%負荷)

4.2 節同様に PSFB DC/DC 回路にて、従来 100kHz の固定 PWM スwitchング周波数を可変にし、回路の効率向上を検討する。

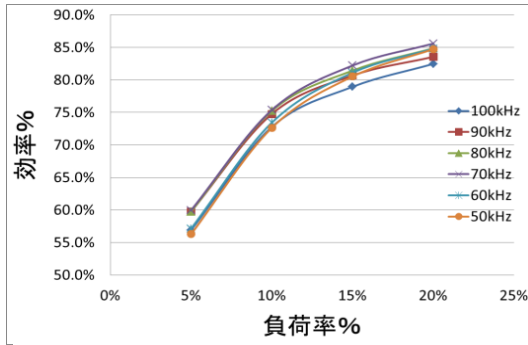


図 a 軽負荷の時 PWM 周波数に応じる PSFB DC/DC ボード効率

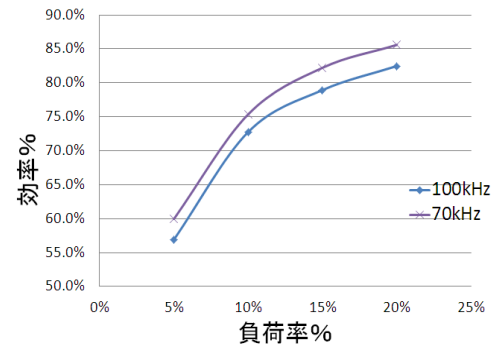


図 b DC/DC ボード従来効率と最適制御

図 4.10 最適制御の効率と従来効率の比較

仕様に規定されたスイッチング周波数は 100kHz である。軽負荷の場合では、図 4.10 が示すようにスイッチング周波数 100kHz は最適ではない。この図に基づき、出力電流をモニタし、PWM スwitchング周波数を可変にした。

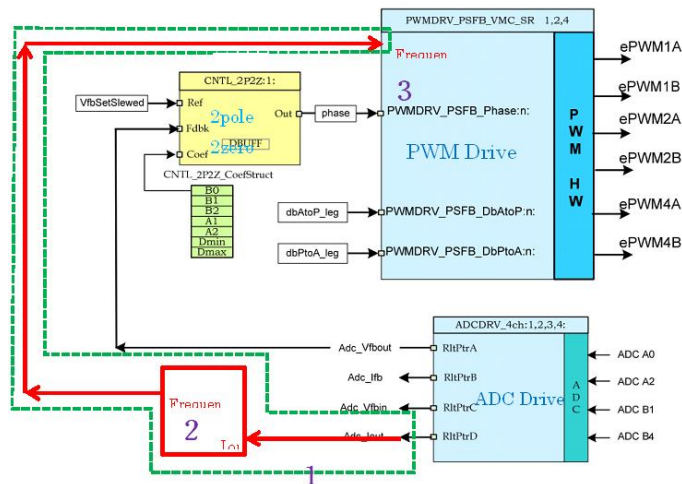


図 4.11 コントロールフローチャット

エラー! 参照元が見つかりません。の赤い部分は提案手法により追加したコントロール部分である。DC/DC ボードの出力電圧は 12V に固定されているため、電流のモニタすることで出力電力得られる。つまり、出力電流に応じて PWM 周波数を制御すれば良い。図 4.12 はプログラムのフローチャートを示した。

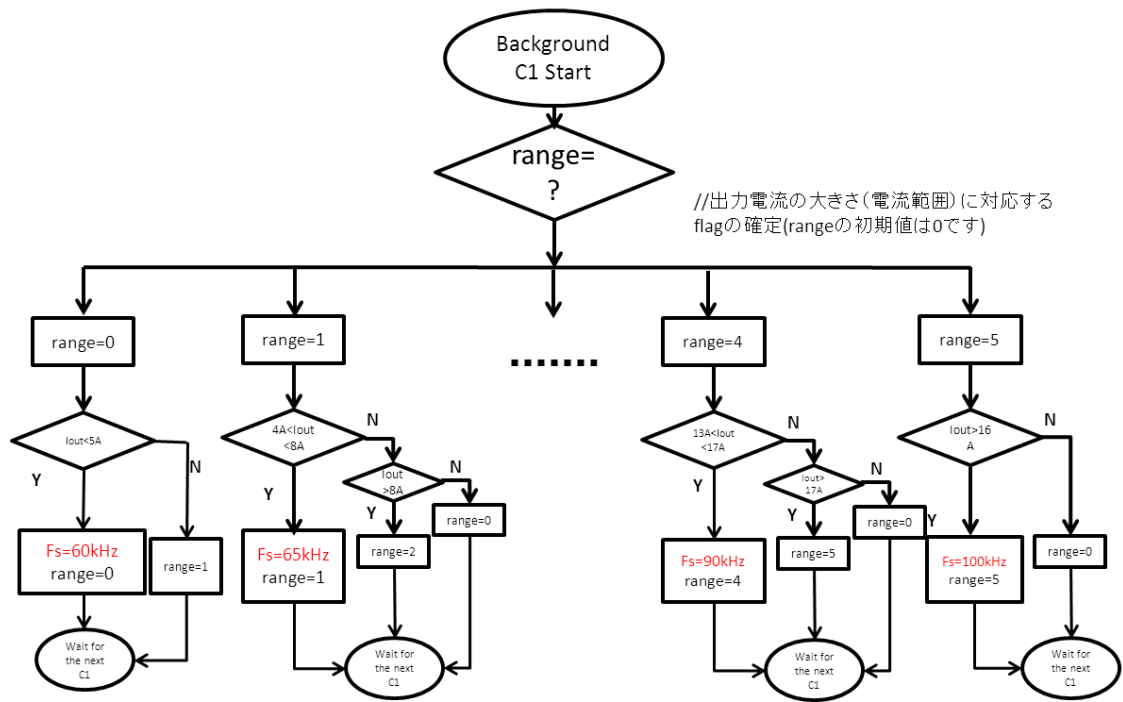


図 4.12 フローチャート

5 まとめ

本研究では TI 社の C2000 シリーズの DSP を用いて電源回路の軽負荷場合の効率向上方法を検討し、そして改善効果を示した。

DSP や CPU の製造コストが低減し、これからの電源回路をプロセスコントローラで制御するのが主流になっていくと考えられる。本研究を通じて DSP デジタル制御のメリットは以下のようになることが判明した。

- 柔軟性 (Flexible)

電源回路のハードウェアを変えずにソフトウェア上でリンク電圧と PWM 周波数を変えることが容易に実現できる。軽負荷の場合 PWM と PFM 制御を切り替える必要はなく、ハードウェア構成が簡素化できる。

- 可視化 (Visible)

リンク電圧や PWM 周波数の可変部分をソフトウェア上で関数化し、モジュールとしてシステムに付け加えることができる。それらの制御関数は式として明示でき、修正や変更も容易に可能である。

本研究で解決すべき問題点。

- 本研究に BLPFC AC/DC ボードの入力電圧は 100V であるが、高い入力電圧 (250V~265V) での効率向上効果を未確認である。
- 二つの開発ボードにテストピンをつけて回路動作の分析を行なう予定である。

参考文献

1. TMS320C1x/C2x/C2xx/C5x アセンブリ言語ツール ユーザーズ・マニュアル, TEXAS INSTRUMENTS (1996)
2. HVブリッジレス PFC 開発用キット <http://www.tij.co.jp/tool/jp/tmdshvblpfkit>
3. HV フェーズ・シフト・フル・ブリッジ 開発用キット <http://www.tij.co.jp/tool/jp/tmdshvpsfbkit>
4. Hata Naotaka, Takahiko Shimada, "Loss calculation of power inductor in DC/DC converter circuit," 技術時報 2009, No 21.
5. Shu Fan Lim, Ashwin M Khambadkone, "A Multimode Digital Control Scheme for Boost PFC with Higher Efficiency and Power Factor at Light Load", Applied Power Electronics Conference and Exposition (APEC), P.291 - 298, Feb. 2012.
6. Mohammad K. Alghamdi, Anas A. Hamoui, "A Spurious-Free Switching Buck Converter Achieving Enhanced Light-Load Efficiency by Using a $\Delta\Sigma$ -Modulator Controller With a Scalable Sampling Frequency", IEEE Journal of Solid-State Circuits, P. 841 – 851, April 2012
7. 原田耕作, 二宮保, 顧文健, "スイッチングコンバータの基礎" コロナ社、 1997.

謝辞

本論文を作成するにあたり、指導教官の群馬大学大学院工学研究科小林春夫教授から二年間に渡り丁寧且つ熱心なご指導を賜りました。ここに深く感謝の意を表します。また群馬大学、高井伸和準教授、小堀康功客員教授、落合政司教授には有益な助言を頂き、心より感謝いたします。副査を担当して頂いた伊藤直史准教授に深く感謝致します。共同研究を通じて様々なご指導、アドバイス頂きましたサンケン電気株式会社の鈴木庸弘様、麻生真司様に大変感謝しております。研究生活面でお世話になりました石川信宣技官に感謝いたします。群馬大学小林研究室及び高井研究室の皆様には有益な助言と議論をして頂き本研究を行う上で大変良い刺激になりました。ここに感謝いたします。最後に、本研究に対して沢山の有益な機会を与えて下さった関係者の皆様に心より感謝申し上げます。

発表論文

1. Guanglei Jin, Hao Chen, ChuanGao, Yunpeng Zhang, Haruo Kobayashi, Nobukazu Takai, Kiichi Niitsu, Khayrollah Hadidi, "Digitally-Contolled Gm-C Bandpass Filter", IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).
2. 靳 光磊、陳昊、高川、張雲鵬、小林春夫、高井伸和、新津葵一「連続時間アナログフィルタのデジタル自動調整法の一提案」電気学会 電子回路研究会、ECT-12-038、横須賀 , 2012.3.30.
3. 靳 光磊、陳昊、高川、張雲鵬、小林春夫、高井伸和、新津葵一, 「アナログフィルタの自動調整法の一考察」, 電気学会東京支部栃木・群馬支所合同研究発表会, ETG-11-20, 2012.2.29
4. 張云鵬、靳 光磊、陳昊、高川、高井伸和、小林春夫、新津葵一, 「アナログフィルタの自動調整法の一考察」, 電気学会東京支部栃木・群馬支所合同研究発表会, ETG-11-29, 2012.2.29.
5. 高川, ジン・コウライ*, 李慕容 (群馬大学), 落合政司, 鈴木庸弘, 麻生真司 (サンケン電気), 小堀康功, 小林春夫, 高井伸和, 志水勲 (群馬大学)「C2000 シリーズ DSP 用いたスイッチング電源回路軽負荷場合の効率向上手法の検討」電気学会東京支部栃木・群馬支所合同研究発表会 ETT-12-5, 2013.2.28.
6. Guanglei Jin, Hao Chen, Chuan Gao, Yunpeng Zhang, Haruo Kobayashi, Nobukazu Takai, "Digital Auto-Tuning for Center Frequency and Q-Factor of Analog Band-Pass Filter", 5th International Conference on Advanced Micro-Device Engineering (AMDE2013), P69, Dec. 19, 2013.
7. ジン 光磊, 「DSP 用いたスイッチング電源回路軽負荷場合の効率向上手法の検討」第 56 回システム LSI 合同ゼミ, 早稲田大学 (2014 年 1 月 18 日)