

平成25年度 修士論文

時間信号測定回路の研究

指導教員 小林 春夫 教授

群馬大学大学院工学研究科
電気電子工学専攻

平林 大樹

目次

第1章	序論	3
1.1	研究背景.....	3
1.2	研究目的.....	4
第2章	時間信号測定回路について	5
2.1	タイムディジタイザ回路.....	5
2.2	基本タイムディジタイザ回路.....	6
第3章	自己校正機能を備えたフラッシュ型タイムディジタイザ回路	7
3.1	概要.....	7
3.2	リング発振器.....	8
3.3	自己校正機能を備えたフラッシュ型タイムディジタイザ回路.....	9
3.4	自己校正モード.....	10
3.5	通常モード.....	12
3.6	シミュレーションによる動作確認.....	14
第4章	デルタシグマ型タイムディジタイザ回路	17
4.1	概要.....	17
4.2	デルタシグマ型タイムディジタイザ回路.....	18
4.3	シミュレーションによる動作確認.....	21
第5章	実装による提案技術の検証	24
5.1	Programmable System-on-Chip.....	24
5.2	自己校正機能を備えたフラッシュ型タイムディジタイザ回路の実装.....	25
5.3	自己校正機能を備えたフラッシュ型タイムディジタイザ回路の測定結果.....	29
5.4	デルタシグマ型タイムディジタイザ回路の実装.....	33
5.5	デルタシグマ型タイムディジタイザ回路の測定結果.....	35
第6章	デルタシグマ型タイムディジタイザ回路を用いた位相ノイズ測定	39
6.1	概要.....	39
6.2	位相ノイズ.....	41
6.3	位相ノイズ測定原理.....	42
6.4	シミュレーションによる検証.....	45

6.5 単一正弦波の位相変動シミュレーション.....	46
6.6 正弦波合成の位相変動シミュレーション.....	48
第7章 結論.....	49
謝辞.....	51
参考文献.....	52
業績.....	54

第 1 章 序論

1.1 研究背景

半導体製造プロセスの微細化に伴い、すなわち、「信号エッジの時間方向精度の方が、電圧方向の精度よりも優れている」というパラダイムシフトに直面している。このような状況により、タイムディジタイザ回路（Time-to-Digital Converter：TDC）や時間差増幅回路（Time Difference Amplifier：TDA）のような時間方向の信号処理を行う時間分解能型回路が近年注目されている。

TDC は 2 つのデジタル信号の立ち上がりエッジの入力時間差をデジタル値に変換する回路であり、時間分解能型アナログ回路のキーコンポーネントとなっている。

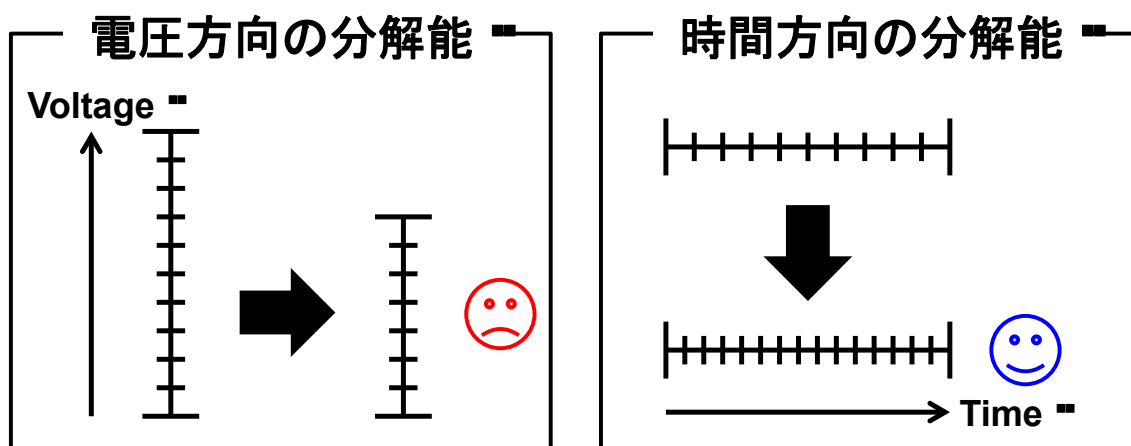


図 1.1 半導体製造プロセスの微細化による電圧方向の分解能と時間方向の分解能

1.2 研究目的

TDC のアプリケーションとしては、完全デジタル位相同期回路 (All-Digital Phase Locked Loop) の位相比較器やセンサインターフェース回路、変調回路、復調回路、TDC ベースの ADC (Analog-to-Digital Converter)、時間差テスト回路など、多岐にわたっている。そのため、TDC の高性能化はこれらの回路の高性能化に繋がる。そこで本研究では、TDC の高性能化に関する研究を行った。特に TDC の「線形性」と「時間分解能」に着目し、下記に示す技術を提案した。

1. 自己校正機能を備えたフラッシュ型タイムディジタイザ回路
2. デルタシグマ型タイムディジタイザ回路

さらに、デルタシグマ型タイムディジタイザ回路の新たなアプリケーションとして、下記に示す技術を提案した。

3. デルタシグマ型タイムディジタイザ回路を用いた位相ノイズ測定

これらの提案技術の有効性について、SPICE シミュレーションによる検証を行った。1 と 2 の回路については、マイクロコントローラを用いた試作も行い、検証を行った。

第 2 章 時間信号測定回路

2.1 タイムディジタイザ回路

時間信号測定回路として、本研究ではタイムディジタイザ回路 (TDC) を用いる。TDC の概念を図 2.1 に示す。TDC は 2 つのデジタル信号の立ち上がりエッジの入力時間差 ΔT をデジタル値 $Dout$ に変換する回路である。そのため、出力のデジタル値 $Dout$ の測定により、入力時間差 ΔT を測定できる。その実現回路には、周波数のクロックをカウントする方式など様々な方式が提案されている。TDC は電圧振幅の大きさに依存せずに、時間というアナログ信号を計測することができるため、近年注目を集めている。

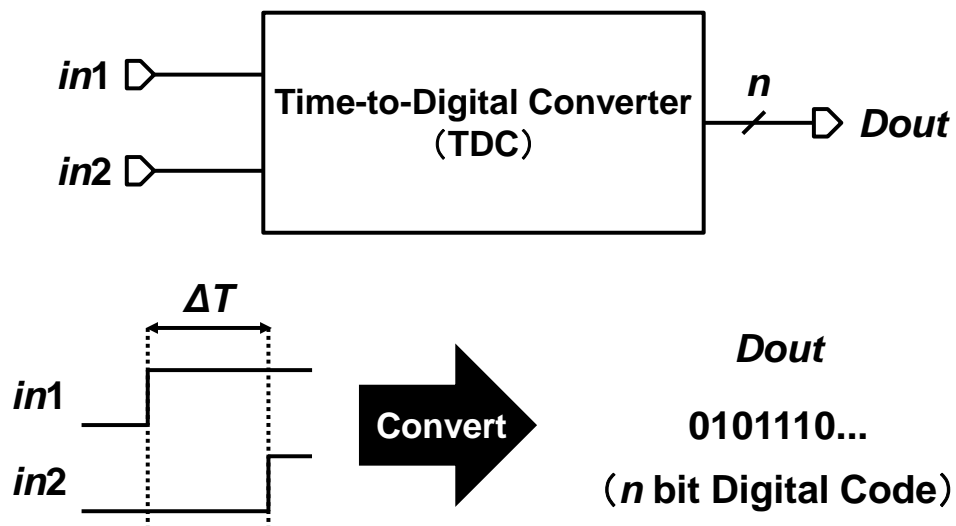


図2.1 TDCの動作概念

2.2 基本タイムデジタルタイザ回路

基本TDCとして使われているフラッシュ型タイムデジタルタイザ回路 (Flash TDC) の構成を図2.2に示す。構成としては、*START* 信号を入力する信号経路に遅延素子を挿入したディレイライン、Dフリップフロップ、エンコーダからなる。入力された*START* 信号は直列に接続された遅延素子を通り、遅延素子を通した後の各々の信号がDフリップフロップのD入力端子へと入力される。このとき入力された*START* 信号は遅延素子 τ の整数倍だけ遅延させられ、*STOP* 信号の立ち上がりのタイミングで各Dフリップフロップの状態がラッチされる。これにより求める信号間の時間差 ΔT が遅延素子何段に相当するかがわかる。Dフリップフロップからの出力は温度計コード出力として得られ、それが*START* 信号と*STOP* 信号の時間差となる。その信号をエンコーダに通すことで時間差に比例したデジタル出力*Dout* を得ることができる。n段のFlash TDCでの時間分解能は τ であり、測定可能範囲は $n \cdot \tau$ である。

Flash TDCはインバータやDフリップフロップといったデジタル回路のみで構成することができる。そのため、半導体製造プロセスの微細化に伴い、時間分解能やサンプリング周波数等の向上による高性能化や、回路面積の縮小による低コスト化が期待できる。

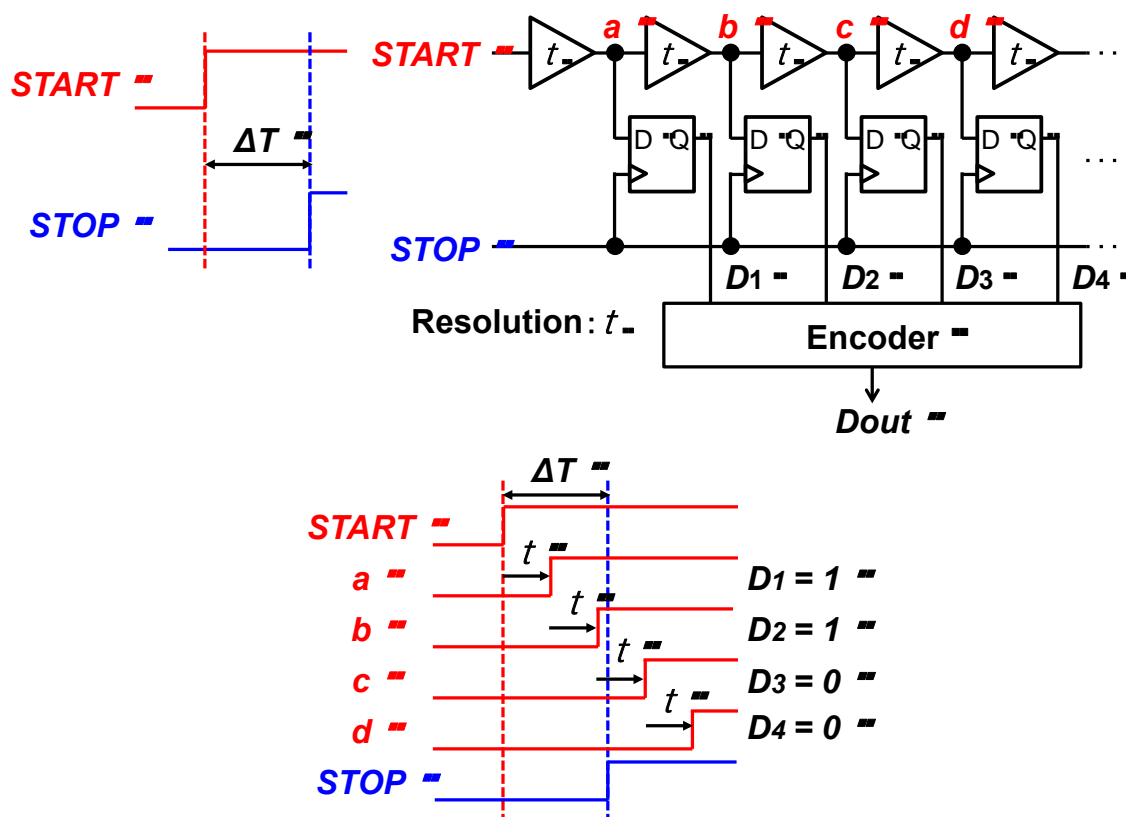


図2.2 基本TDC (Flash TDC) の構成

第3章 自己校正機能を備えた

フラッシュ型タイムディジタイザ回路

3.1 概要

TDCの実装を考えたとき、各遅延素子には製造ばらつきが発生する。この製造ばらつきは「相対ばらつき」と「絶対ばらつき」を引き起こす。遅延素子にばらつき ($\Delta\tau$) がある場合のFlash TDCとそのタイミングチャートを図3.1に示す。遅延素子のばらつきによって、実際のTDCの出力は、理想的な出力とは異なる場合がある。このように、遅延素子のばらつきはTDCの性能に悪影響を及ぼす。「相対ばらつき」はTDCの非線形性の原因となり、「絶対ばらつき」は入力レンジのずれの原因となる。

本研究ではFlash TDCの「相対ばらつき」に着目した。相対ばらつきを測定し、出力のデジタル誤差補正を行うことで、Flash TDCの高線形性化を目指す。

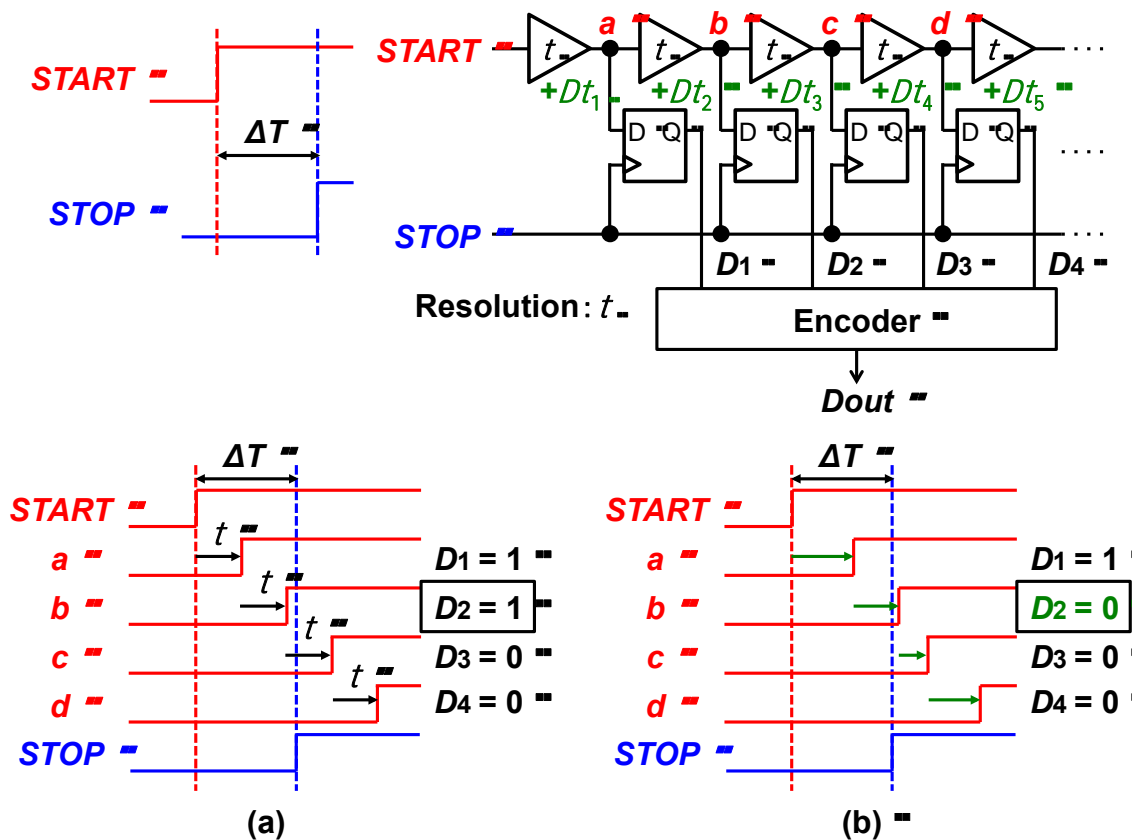


図3.1 製造ばらつきを考慮したTDCとそのタイミングチャート

(a) 製造ばらつきなし (b) 製造ばらつきあり

3.2 リング発振器

ここでは、提案TDCで使用するリング発振器について説明を行う。リング発振器とは全体として負（-1以下）のゲインを持つ複数個の遅延要素（典型的には奇数個のインバータ）をリング状に結合した構成をもつ発振回路である。奇数個のインバータを用いることで、各インバータの出力が鎖状に次のインバータに入力され、最終段のインバータの出力は初段のインバータに入力されることになり、全体としてリング構造になっている。奇数個のインバータ鎖は全体として入力の論理否定となる。各インバータは有限の遅延時間をもつので、初段のインバータへの入力から有限の遅延時間後に最終段のインバータが初段入力の論理否定を出力し、これが再び初段インバータの入力になる。このプロセスが繰り返されることで発振する。

図3.2のように遅延時間 τ のインバータと遅延時間 τ' のバッファを接続した場合を考える。 V_1 がHighになると、 V_2 ではインバータを通るため、 τ' 遅れて反転しLowになる。 V_2 がLowになると、 V_1 ではバッファを通るため、 τ 遅れてLowになる。 V_1 がLowになると、 V_2 ではインバータを通るため、 τ' 遅れて反転しになる。 V_2 がHighになると、 V_1 ではバッファを通るため、 τ 遅れてHighになる。これが1周期の流れである。従って、発振周期 T 、発振周波数 f は以下のようになる。

$$T = 2(\tau + \tau') \quad (3.1)$$

$$f = \frac{1}{2(\tau + \tau')} \quad (3.2)$$

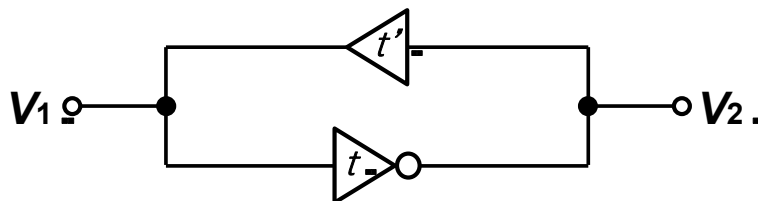


図3.2 リング発振器

3.3 自己校正機能を備えたフラッシュ型タイムディジタイザ回路

Flash TDCの高線形性化のために、自己校正機能を備えたFlash TDCを提案する。このTDCは2つのリング発振器を利用して非線形性を補正するための自己校正回路を搭載している。図3.3に提案する自己校正機能を備えたFlash TDCの構成を示す。この回路はディレイラインにインバータを取り付け、リング発振器として動作させるモード（自己校正モード）と、リング発振器を用いずに通常のFlash TDCとして動作させるモード（通常モード）の2つのモードを持つ。それぞれのモードはマルチプレクサによって制御している。*STOP* 信号を入力するラインではインバータとバッファを図3.3のように取り付けリング発振器構成とすることによりクロックを生成する。ここで、2つのリング発振器の周波数は無関係であることに注意する。

- ・ 自己校正モード：ディレイラインにインバータを取り付け2つのリング発振器として動作させる
- ・ 通常モード：*START* と *STOP* を入力とする通常Flash TDCとして動作させる

自己校正モードはTDCの線形性をテストするモードであり、通常モードは自己校正モードの結果から非線形性を導き、TDC出力を補正するモードである。それぞれの動作について説明する。

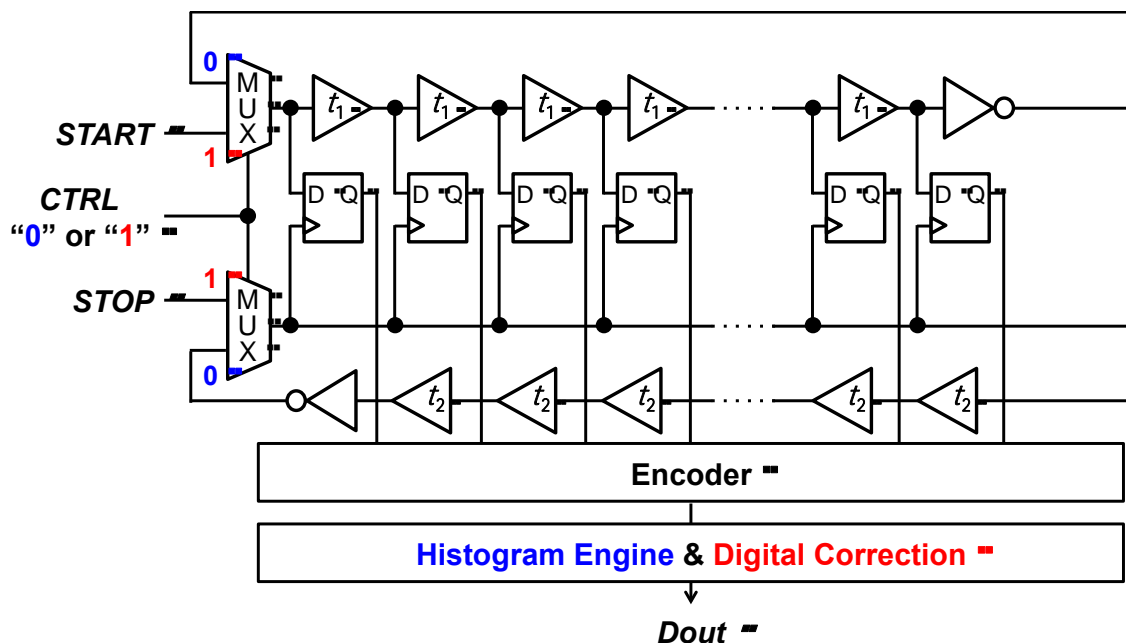


図 3.3 自己校正機能を備えた Flash TDC

3.4 自己校正モード

図 3.4 に自己校正モード時の動作を示す。TDC の非線形性をテストする自己校正モードでは *CTRL* 信号に 0 を入力することで、2つのディレイラインをリング発振器として発振させる。また、ヒストグラムエンジンを用いて出力することで線形性のテストを行う。これは2つのリング発振器が同期していない（無相関）ことを利用している。

2つのリング発振器の周波数が無相関である場合、Flash TDC には様々な時間差の信号が入力される。その出力をヒストグラムエンジンに入力し、ヒストグラムを取得する。遅延ばらつきによって遅延値が大きくなると、その出力でのヒストグラムの頻度も大きくなる。遅延ばらつきによって遅延値が小さくなると、その出力での頻度も小さくなる。そのため、*START* と *STOP* に信号を入力することなく、ヒストグラムの情報のみから非線形性のテストが可能となる。

遅延素子のばらつきとヒストグラムの関係を図 3.5 に示す。遅延素子にばらつきがない場合、充分多くの点数をとることでヒストグラムの各デジタルコードの頻度が等しくなる。一方、遅延素子にばらつきがある場合、充分多くの点数をとることでヒストグラムの各デジタルコードの頻度は遅延素子のばらつきに対応したものとなる。従って、この方法を用いることで遅延素子の相対ばらつきによる TDC の非線形性が把握でき、その結果を通常モードのデジタル誤差補正に用いる。

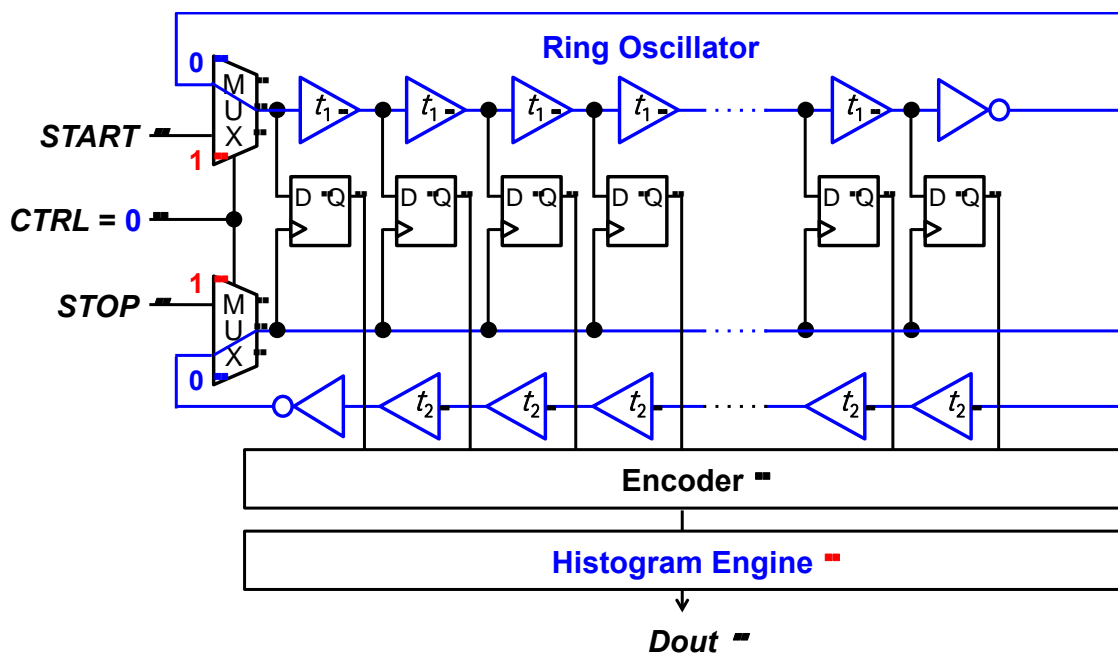


図 3.4 自己校正モード時の提案 TDC

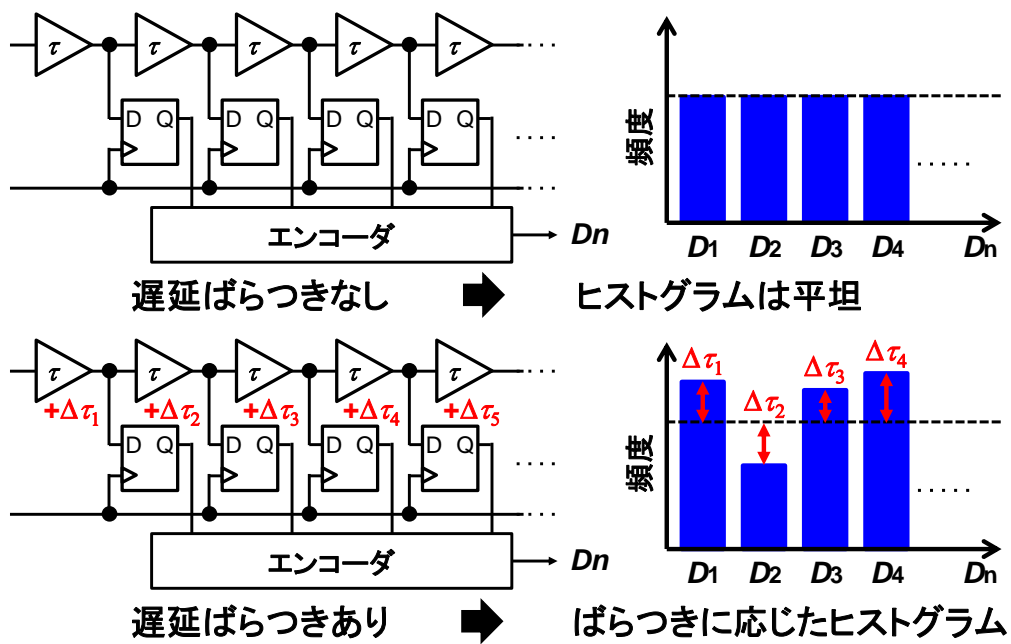


図 3.5 遅延素子のばらつきとヒストグラムの関係

3.5 通常モード

図3.6に通常モード時の動作を示す。通常モードでは $CTRL$ 信号に1を入力することで、通常のFlash TDCとして動作させる。テストモードで得た非線形性の情報から出力をデジタル誤差補正することで、高線形性のTDC出力を得る。

デジタル誤差補正には次式を用いる。

$$Dout(N) = \frac{\sum_{i=1}^N F(i)}{\sum_{i=1}^{FS} F(i)} \times FS \quad (3.3)$$

N は校正する出力の番号、 $Dout(N)$ は N 番目の校正後出力、 $F(i)$ は自己校正モードでの i 番目遅延素子の測定回数、 FS は出力最大デジタル値（Full Scale）である。ヒストグラムから遅延ばらつきの比率を算出し、フルスケールを掛けて出力値としている。提案する自己校正機能を備えたFlash TDCの全体の動作を図3.7に示す。

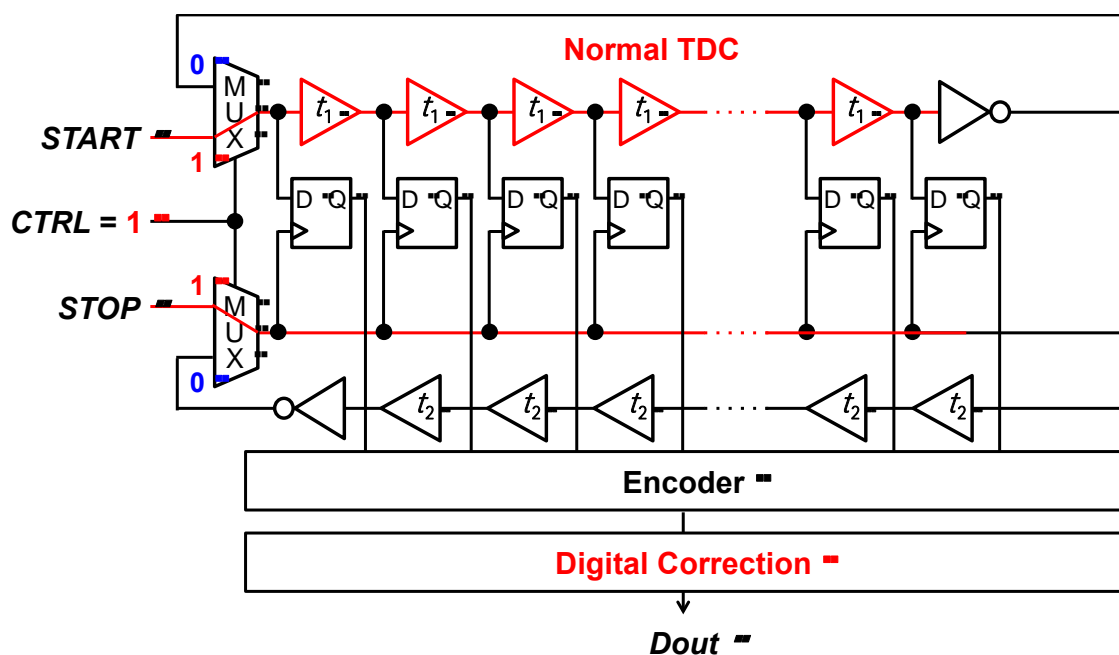


図 3.6 通常動作モード時の提案 TDC

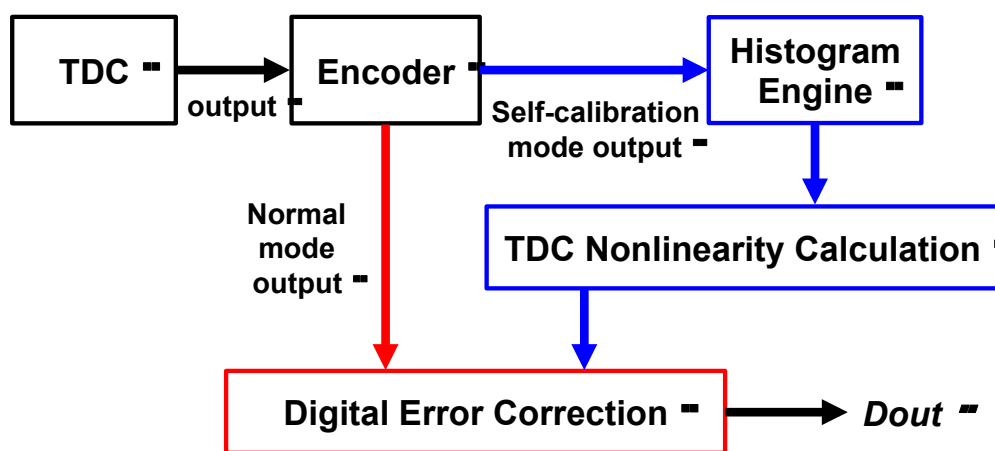


図3.7 提案TDCの全体の動作

3.6 シミュレーションによる動作確認

提案する自己校正機能を備えた Flash TDC について、ヒストグラムと遅延素子の遅延時間 τ の相関をシミュレーションによって検証した。シミュレーションツールには Spectre を使用した。シミュレーションは 90nm CMOS プロセスで行い、使用する電源電圧は 1.2V とした。シミュレーション回路を図 3.8 に示す。ディレイラインは 8 段としており、遅延素子には理想遅延を用いている。自己校正モード時の *START* 側のクロック周波数は 557MHz、*STOP* 側のクロック周波数は 701MHz としており、理想のクロック信号を *START*、*STOP* に入力しているため、リング発振器構成とはしていない。この 2 つの周波数は素数であり、無相関となるように選んでいる。エンコーダは 1 と 0 の切り替わり点のみ 1 を出力するような構成としている。ヒストグラムはシミュレーション時間 10 μ s のうち、全て 0 及び全て 1 とならない点のみ取得している。

最初に、理想遅延の遅延時間 τ を全て 100ps としたヒストグラムを図 3.7 に示す。データ数は 3,142 点である。図 3.9 より、遅延時間 τ が全て等しい場合、ヒストグラムは平坦であることが確認できた。

次に、理想遅延の遅延時間 τ のうち、5 番目以外の遅延素子を 100ps、5 番目の遅延素子 τ_5 のみ 500ps としたヒストグラムを図 3.10 に示す。データ数は 4,684 点である。図 3.10 より、対応する出力 D_5 は他の出力の 5 倍の測定回数となっているため、遅延素子とヒストグラムの相関を確認した。この非線形 TDC に (3.3) 式のデジタル誤差補正を行い、補正前及び補正後の出力特性を図 3.11 に示す。図 3.11 より、デジタル誤差補正の効果が確認できる。

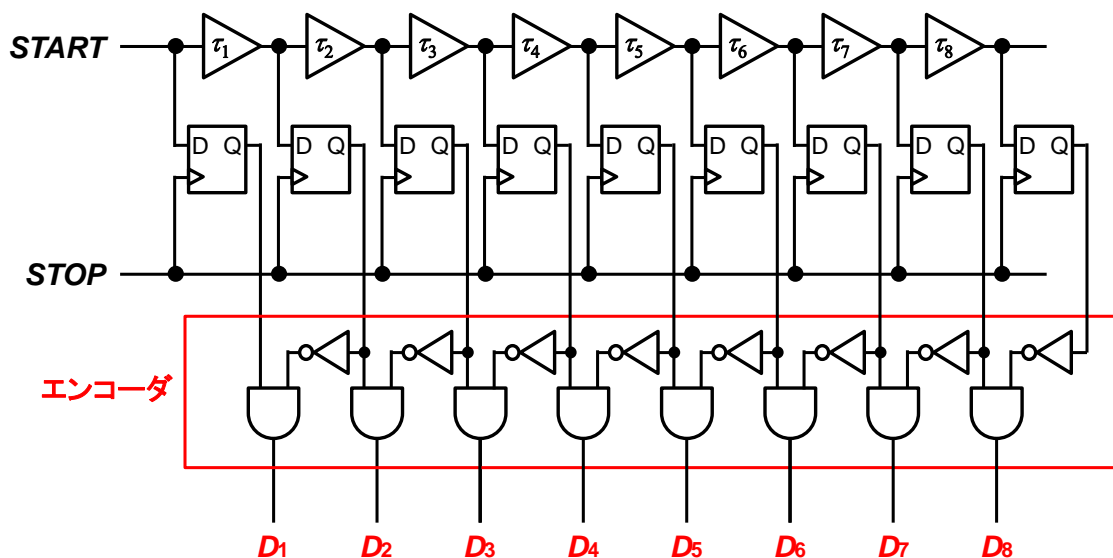


図 3.8 自己校正機能を備えた Flash TDC のシミュレーション回路

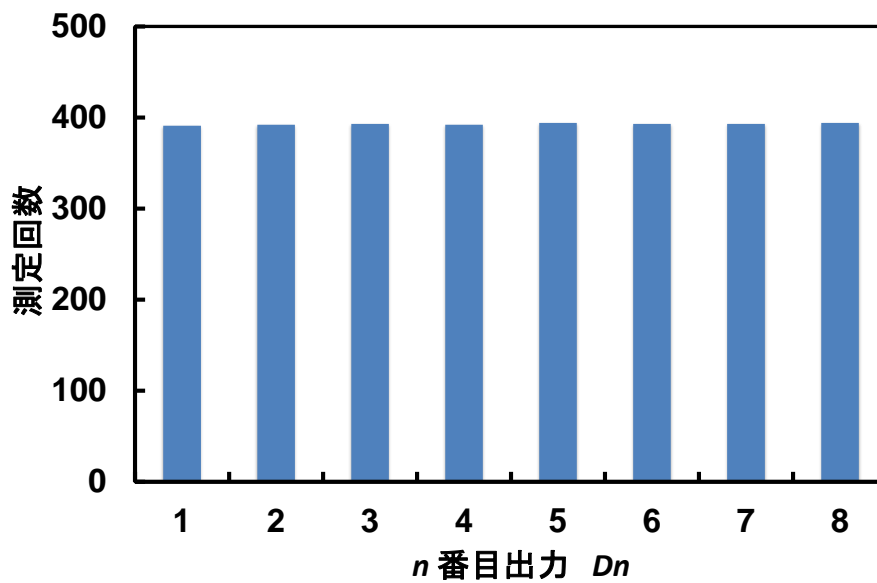


図 3.9 遅延時間 τ を全て 100ps としたヒストグラム

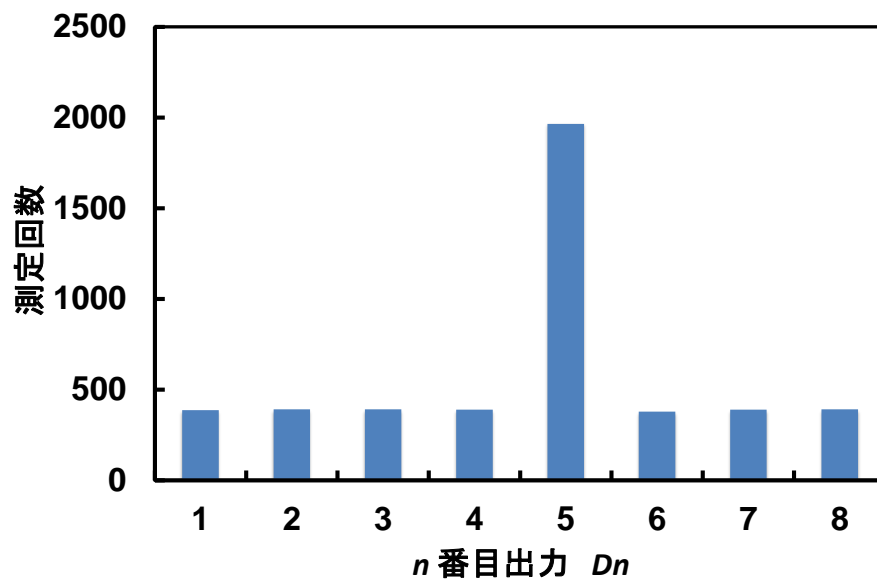


図 3.10 5 番目の遅延素子のみ 500ps としたヒストグラム

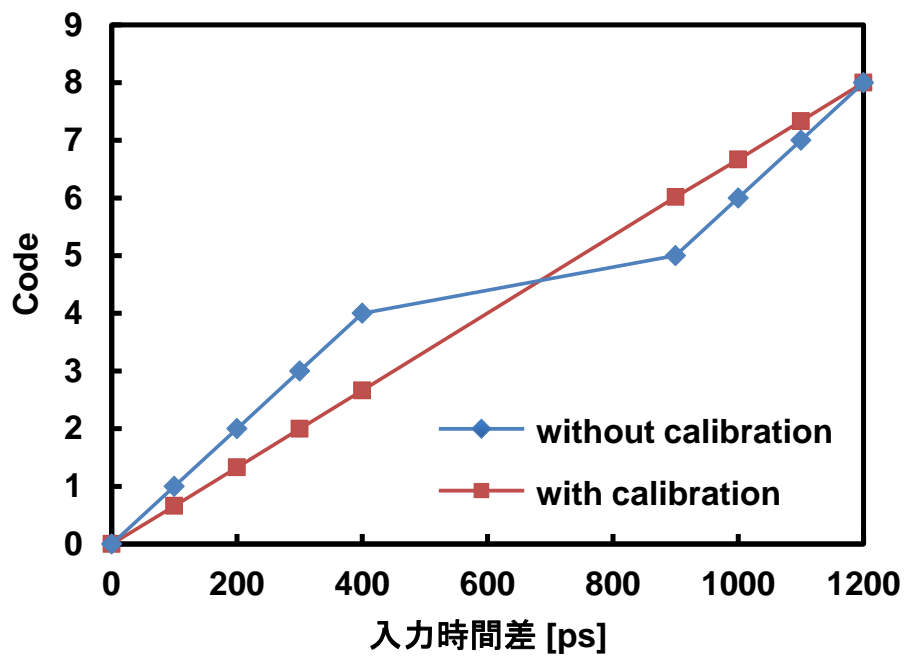


図 3.11 デジタル誤差補正前後の出力特性

第4章 デルタシグマ型タイムディジタイザ回路

4.1 概要

これまでに述べてきたFlash TDCは、任意の信号であっても1回の入力で計測を行うことが可能であるというメリットがある。しかしその反面で、時間分解能が遅延素子の遅延値 τ で決まってしまうことや、入力レンジを増やす場合に多くの素子が必要になってしまうというデメリットがある。ここでは任意の信号ではなく繰り返し信号を測定すること(図4.1)を目的とし、デルタシグマ型タイムディジタイザ回路($\Delta\Sigma$ TDC)の実現を目指す。 $\Delta\Sigma$ TDCでは任意の信号を測定することはできないが、繰り返し信号であれば測定時間に比例して高精度に測定を行うことが可能となる。さらに、用いる回路要素も少なくなるため、回路規模も小さくすることが可能である。

$\Delta\Sigma$ TDCのアプリケーションとしては、ダブルデータレートメモリの時間差テストや、第6章で述べる位相ノイズの測定が挙げられる。

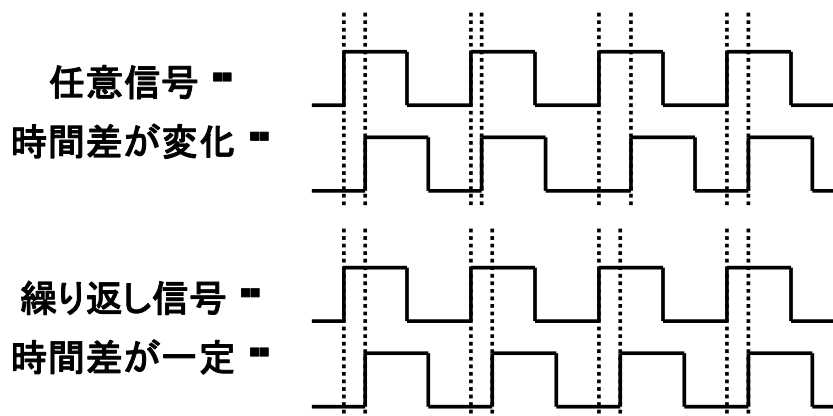


図4.1 任意信号と繰り返し信号

4.2 デルタシグマ型タイムディジタイザ回路

提案する $\Delta\Sigma$ TDCの全体構成を図4.2に示す。 $\Delta\Sigma$ TDCは図4.3のような積分制御のフィードバック構成となっており、遅延素子 τ 、マルチプレクサ (MUX)、位相比較器、アナログ積分器、コンパレータによって構成されている。2つの同じ周波数の繰り返しクロック信号を $CLK1$ と $CLK2$ に入力すると、立ち上がりエッジの時間差 ΔT に比例したデジタル値が $Dout$ に現れる。そのため、時間差の測定が可能となる。

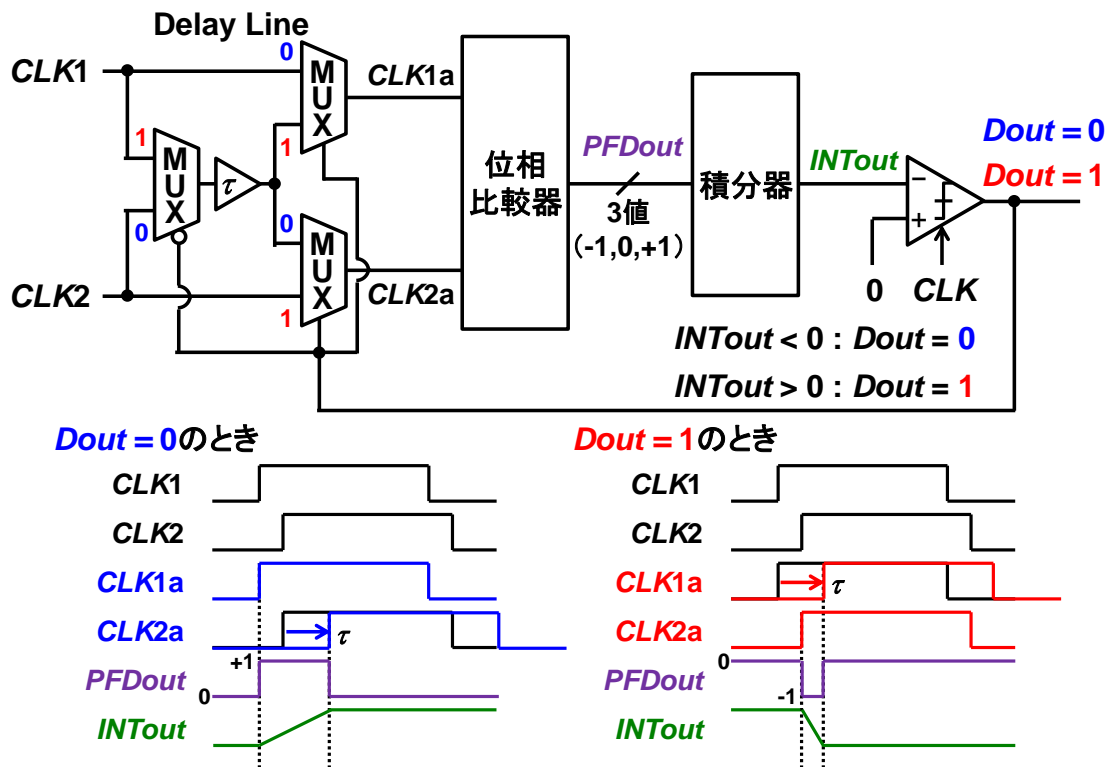


図4.2 $\Delta\Sigma$ TDCのブロック図

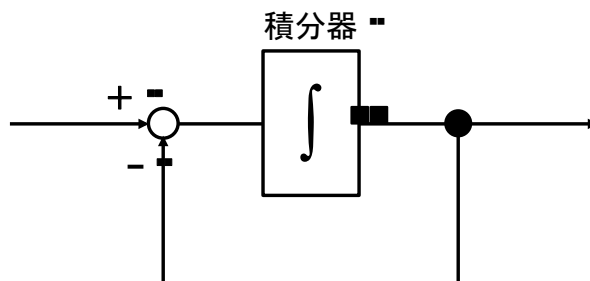


図4.3 積分制御のフィードバック構成

次に、 $\Delta\Sigma$ TDC の動作について説明する。入力された $CLK1$ 、 $CLK2$ はそれぞれマルチプレクサによって、比較器出力 $Dout$ に応じて経路が制御される。マルチプレクサを通過後の信号は、位相比較器によりこれらの信号の時間差に応じたパルスを出力する。その後、その出力パルス幅に応じた電圧に変換し、電圧モードで積分して出力する。さらに、積分器の出力をコンパレータによりゼロと比較し、最終的な出力 $Dout$ を求める。 $CLK1$ の立ち上がりタイミングが速い場合には時間差を求めたときに正となるため、積分後のコンパレータ出力は 1 となり、次のクロックでは $CLK1$ は遅延の経路、 $CLK2$ はそのまま信号を通す経路がそれぞれ選択される。 $CLK2$ が速い場合には時間差を求めたときに負となるため、積分後のコンパレータ出力は 0 となり、選択される経路はさきほどの場合とは逆となる。タイミングチャートは図 4.2 に示したようになる。

図 4.4 に $\Delta\Sigma$ TDC の時間差 ΔT と出力 $Dout$ の関係を示す。時間差がプラス ($CLK1$ が $CLK2$ よりも早い) のとき、出力 $Dout$ の 1 の数は多くなり、時間差がマイナス ($CLK2$ が $CLK1$ よりも早い) のとき、出力 $Dout$ の 1 の数は少なくなる。時間差がゼロのとき、出力 $Dout$ の 1 の数と 0 の数は等しくなる。図 4.5 に $\Delta\Sigma$ TDC の出力特性と測定可能範囲を示す。入力の時間差に比例して 1 が出力されるため、出力 $Dout$ の 1 の数からクロック間の立ち上がり時間差 ΔT を測定することができる。入力クロックの時間差 ΔT の測定可能範囲は、

$$-\tau < \Delta T < \tau \quad (4.1)$$

となる。また、時間分解能 R は遅延素子 τ と出力 $Dout$ の全体の数 (1 の数と 0 の数の合計) N_{DATA} で決定され、

$$R = \frac{2\tau}{N_{DATA}} \quad (4.2)$$

と表される。そのため、積分型 ADC (Analog-to-Digital Converter) と同様に、測定時間が長いと高時間分解能で時間差 ΔT を測定することができる。

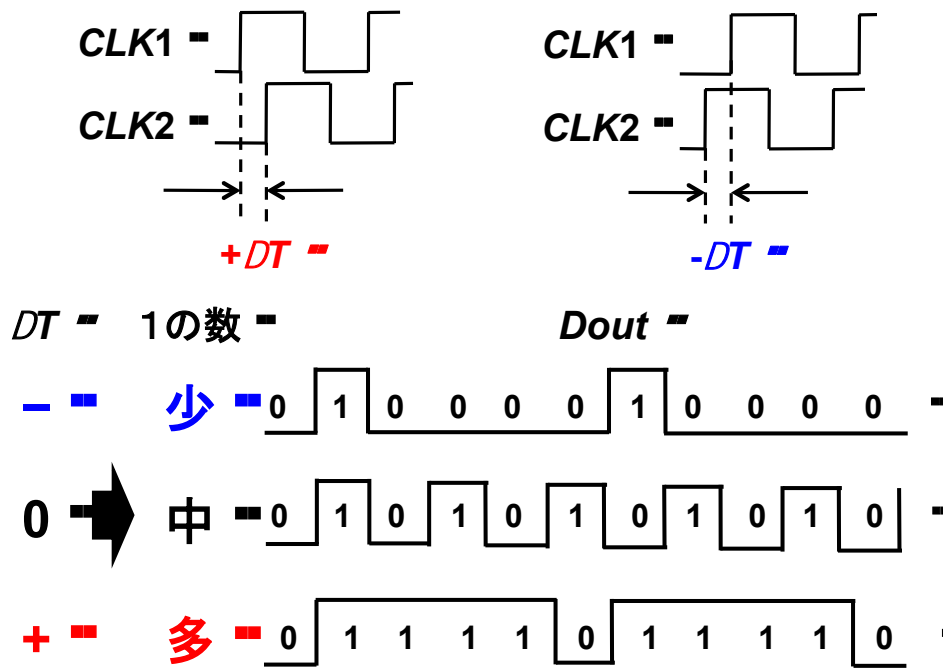


図4.4 ΔΣ TDCの時間差 ΔT と出力 $Dout$ の関係

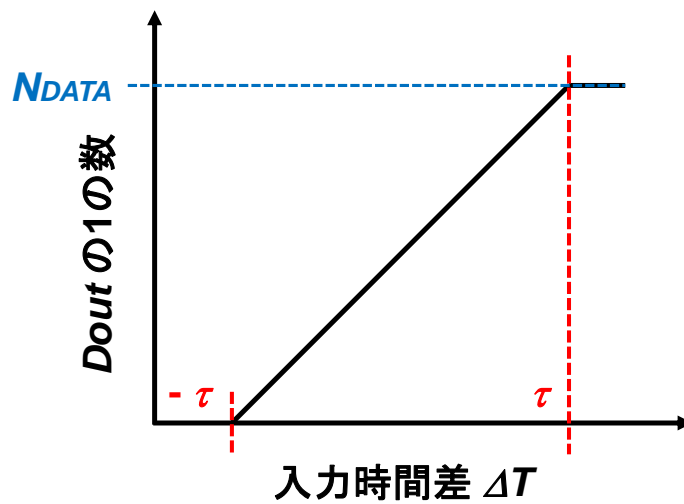


図4.5 ΔΣ TDCの出力特性と測定可能範囲

4.3 シミュレーションによる動作確認

提案する $\Delta\Sigma$ TDCの動作を、シミュレーションによって検証した。シミュレーションツールには Spectre を使用した。シミュレーションは 180nm CMOS プロセスで行い、使用する電源電圧は 1.8V とした。シミュレーション回路の全体図を図 4.6 に示す。遅延素子の遅延時間 τ は 1ns であり、積分器の抵抗 R は 10k Ω 、キャパシタ C は 10pF である。ディレイラインと積分器は疑似差動構成としている。入力クロックの周波数は 10MHz とし、時間差 ΔT を -1ns から $+1\text{ns}$ まで 0.1ns 刻みで変化させた。また、出力 $Dout$ の全体の数 N_{DATA} は 40 点となるようにした。このとき、はじめに積分器のスイッチをオンにすることでキャパシタに溜まっている電荷を放電しておくことに注意する。

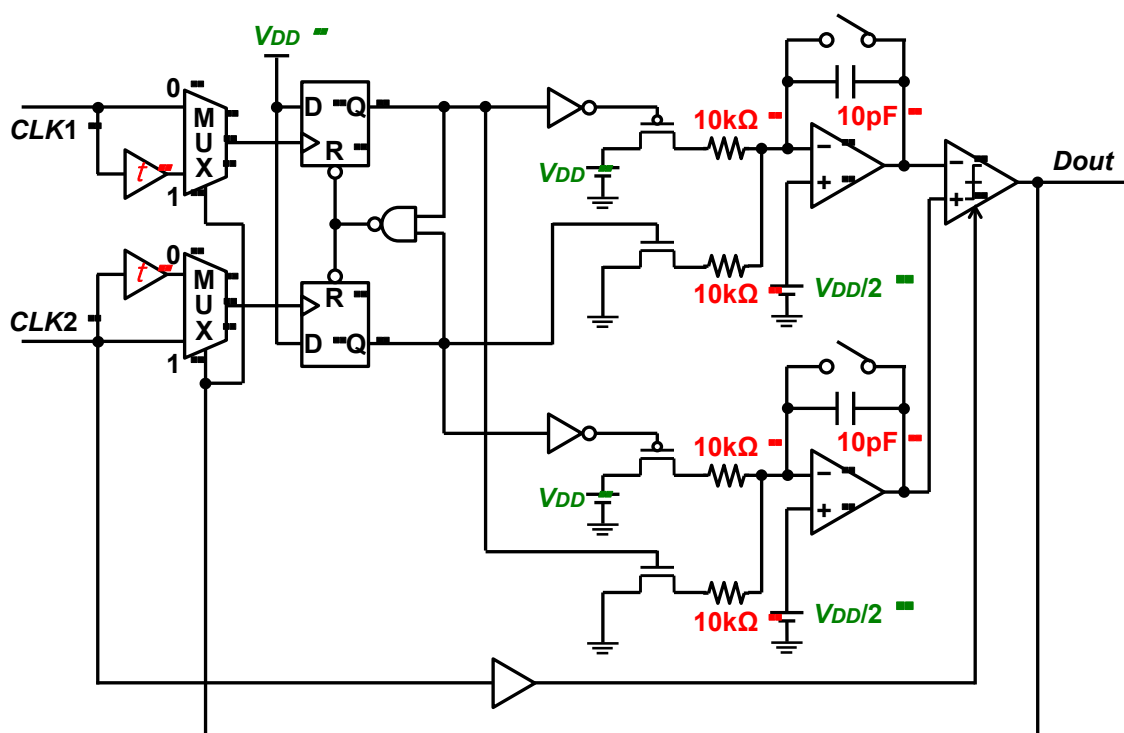


図 4.6 $\Delta\Sigma$ TDC のシミュレーション回路図

以上の条件で $\Delta\Sigma$ TDC のシミュレーションを行い、時間差 ΔT が -0.2ns から $+0.2\text{ns}$ のときの出力 $Dout$ の波形を図 4.7 に示し、入力クロックの時間差 ΔT に対する 1 が出力された数をプロットしたものを図 4.8 に示す。この結果から、クロック間の立ち上がりタイミング間隔により 1 の出力される回数が増え、時間差がプラス側 ($CLK1$ が早い) になるほど $Dout$ の 1 の数は増え、その値が線形に変化していることが確認できる。今回は遅延素子の遅延時間 τ を 1ns としているため、それ以上の時間差 ΔT を持つ入力クロックの場合、出力結果は全て 0 もしくは 1 となってしまう、測定は不可能となる。また、出力 $Dout$ の全体の数 N_{DATA} は 40 点であるため、時間分解能 R の理論値は 0.05ns である。今回のシミュレーションにおいて時間差 ΔT は 0.1ns 刻みで変化させているため、図 4.8 の出力特性は完全に線形となっている。

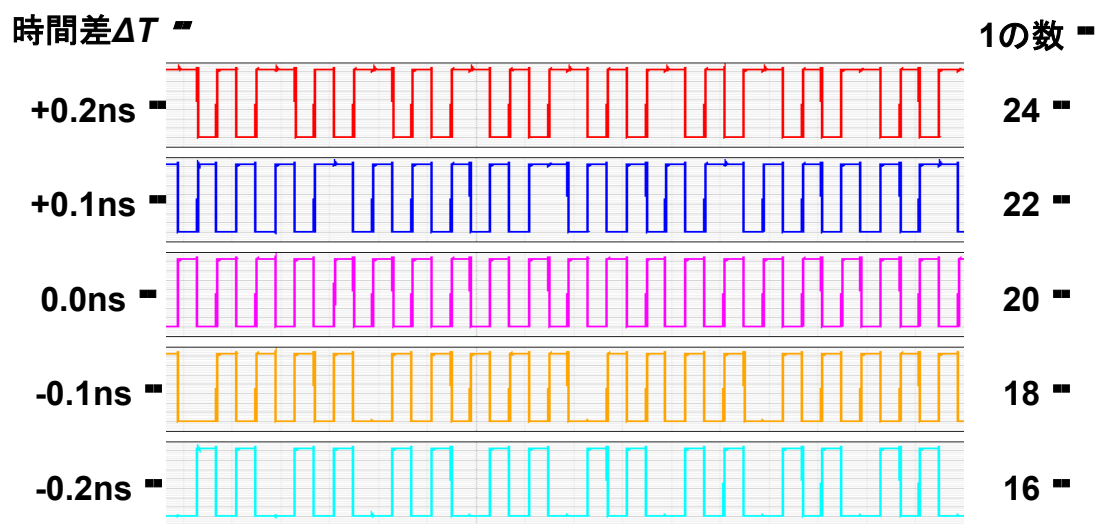


図 4.7 $Dout$ の波形 ($-0.2\text{ns} < \Delta T < +0.2\text{ns}$)

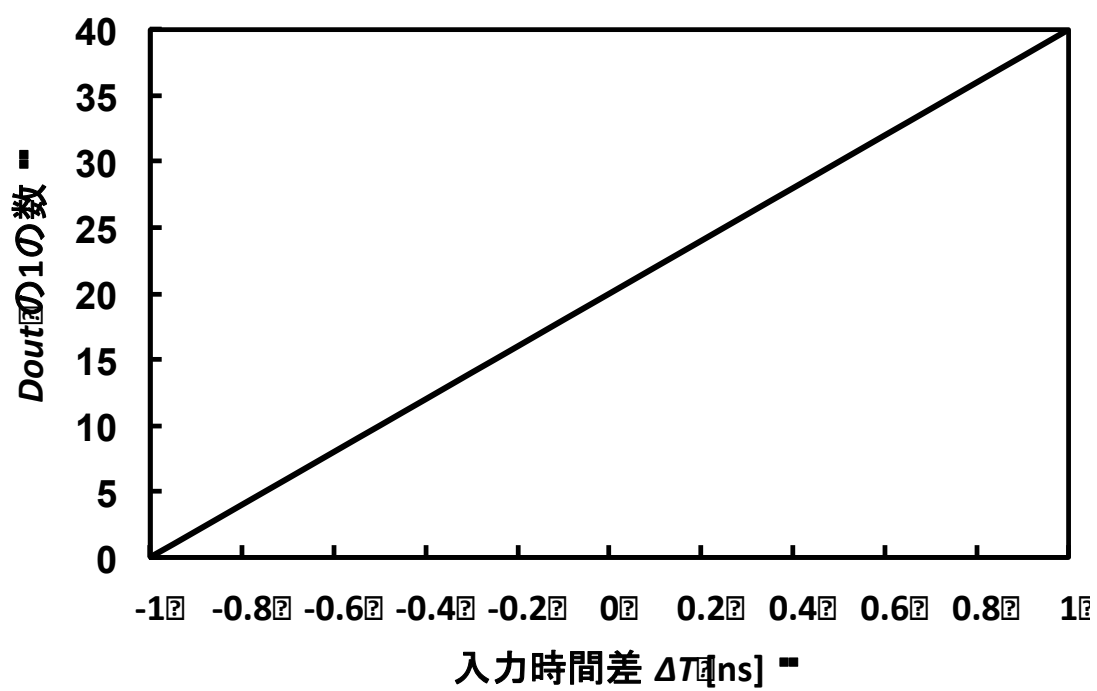


図 4.8 $\Delta\Sigma$ TDC の出力特性

第5章 実装による検証

5.1 Programmable System-on-Chip

第3章、第4章で述べた提案 TDC を検証するために、Programmable System-on-Chip (PSoC) を用いた。PSoC とはサイプレス・セミコンダクター社 (Cypress Semiconductor Corporation.) が製造しているマイクロコントローラである。PSoC の内部には OP アンプ等のアナログ素子とロジック等のデジタル素子が混在しており、それら自由に組み合わせることで所望の SoC を実現できる。PSoC で回路を実現するメリットとしては、次のようなことが挙げられる。

- ・低コスト
- ・開発期間が短い
- ・オンチップでデバックと修正が可能
- ・測定結果を容易に出力可能

そこで本章では、自己校正機能を備えた Flash TDC と $\Delta\Sigma$ TDC の PSoC 実装と測定結果について示す。

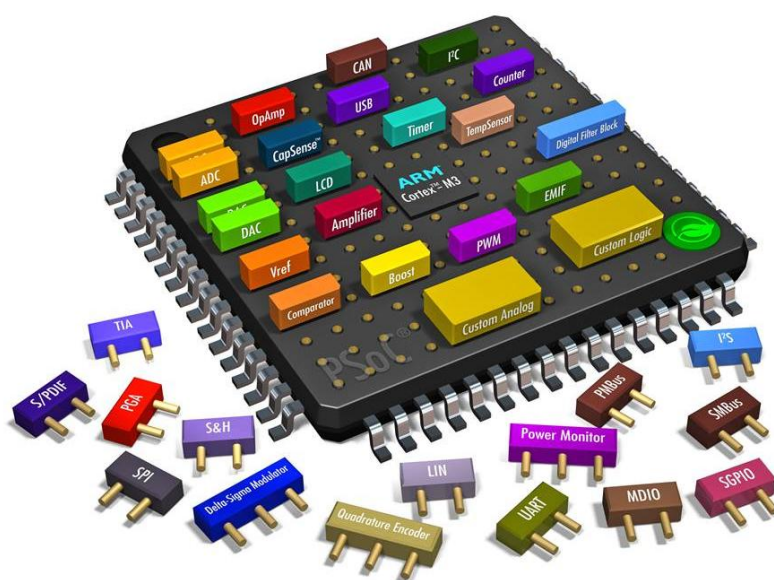


図 5.1 PSoC のモデル図

5.2 自己校正機能を備えたフラッシュ型タイムディジタイザ回路の実装

はじめに、自己校正機能を備えたFlash TDCの実装について述べる。図5.2に自己校正機能を備えたFlash TDCを実装したPSoCの写真を示す。遅延素子に用いる抵抗、可変容量キャパシタを外付けしている。可変容量キャパシタによって遅延値を自由に変更可能である。

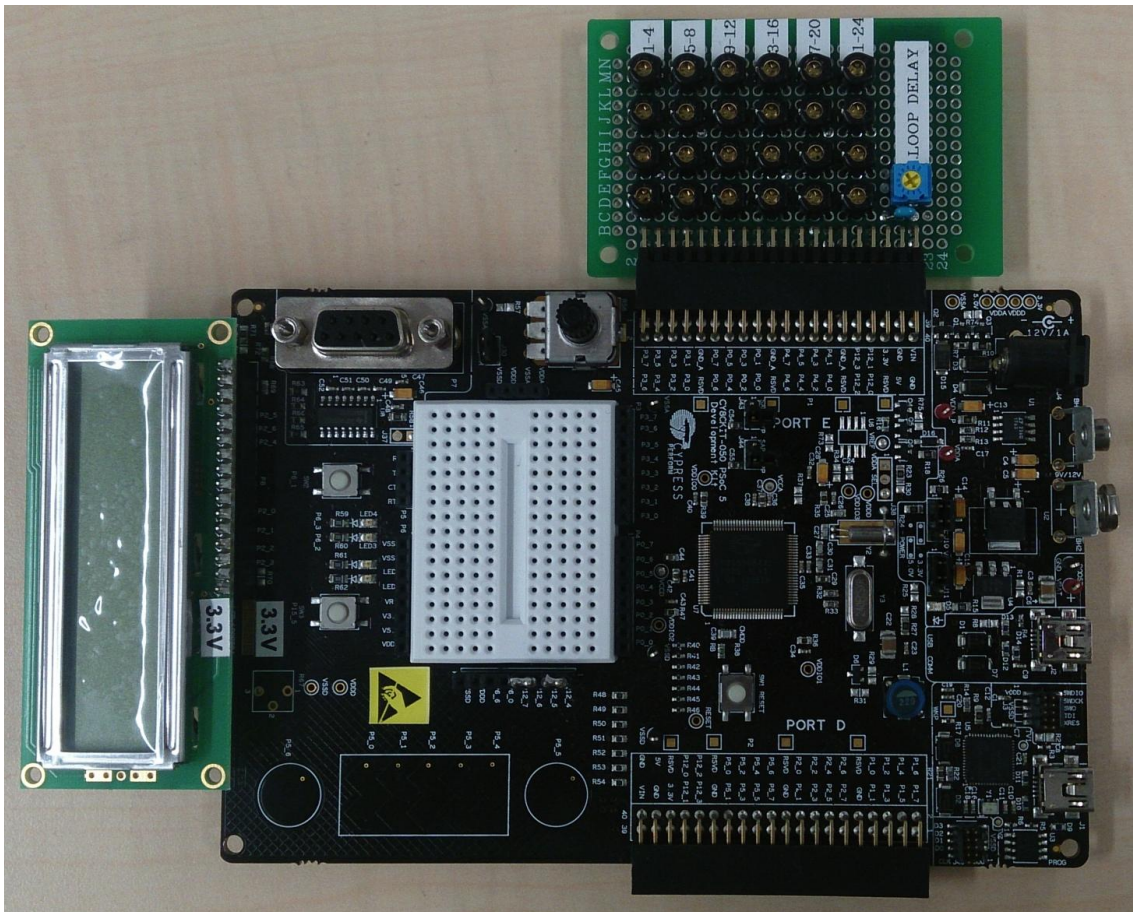


図5.2 自己校正機能を備えたFlash TDCを実装したPSoC

PSoCに実装したTDCのブロック図を図5.3に示す。電源電圧は3.3Vである。遅延素子は24段としており、それぞれの遅延素子が抵抗と可変容量キャパシタによって構成されている。START入力側のディレイラインの後段についている遅延素子はリング発振器の周波数を可変にするために付けている。STOP入力側にはPSoCで生成したクロックを直接入力できるため、リング発振器構成としていない。ヒストグラムの情報は、エンコーダ後段のレジスタに保存するように設定している。

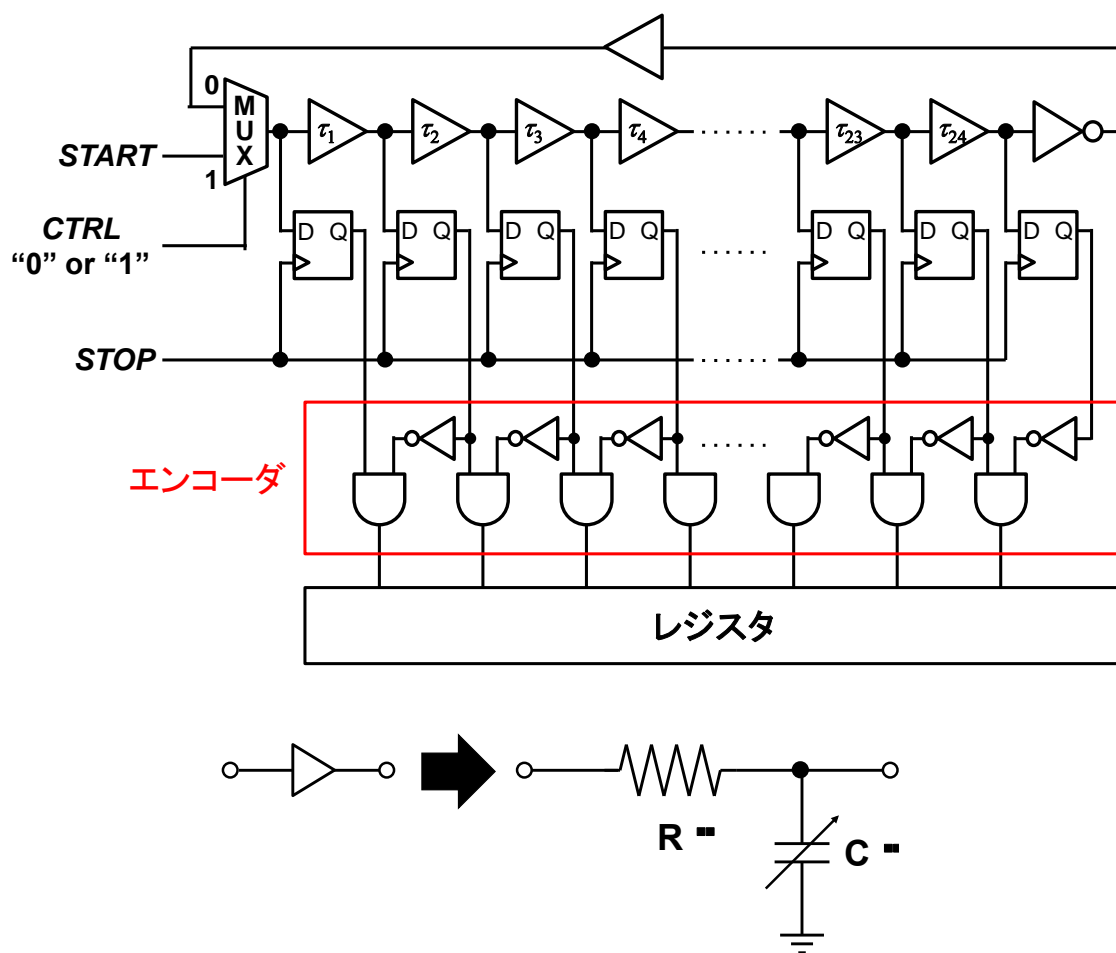


図5.3 PSoCに実装したTDCのブロック図

PSoC内部の実際の回路図を図5.4、図5.5、図5.6に示す。

図5.4はTDC全体図である。図5.3のエンコーダまでの回路が実装されている。それぞれのピンからPSoC外部のRC回路を通して遅延させている。

図5.5はエンコーダ回路の一部であり、これと同じものが他に2つある。PSoC内部のロジックを使用して0と1切り替わり点でのみ1を出力させる。この出力データはレジスタに保存され、パソコンに取り込むことが可能である。今回は非線形性の計算及びデジタル誤差補正はパソコン上でやっている。

図5.6はTDCの動作検証のための制御回路である。*START* 信号と*STOP* 信号はパルス幅変調回路（Pulse Width Modulation : PWM）を用いて生成している。PSoC内部で生成した48MHzのクロックを分周し、20.8nsずつずらしたものを入力クロックとして使用している。

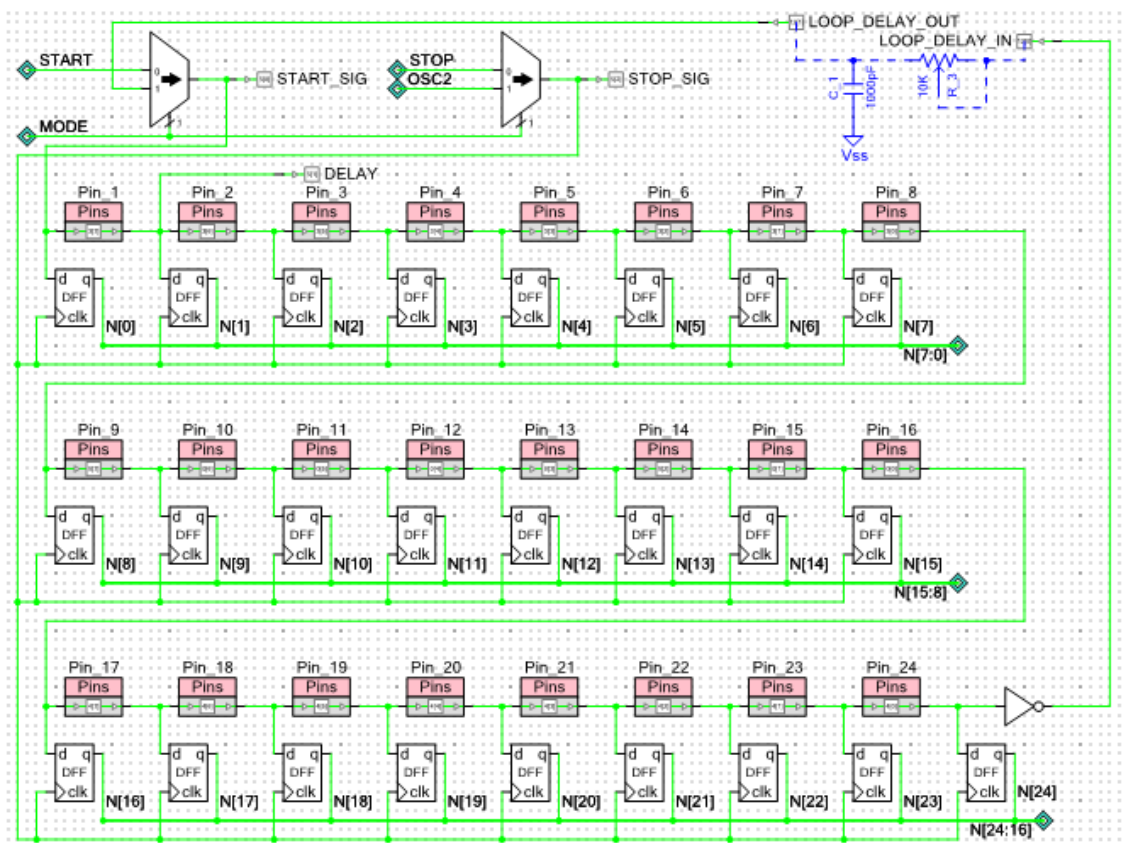


図5.4 PSoC内部回路 (TDC全体回路)

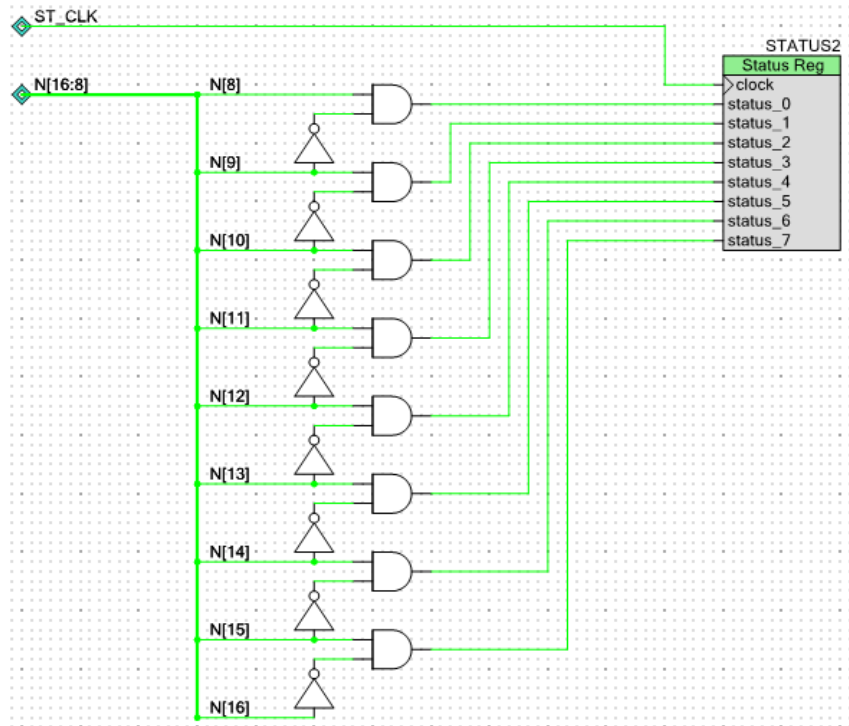


図5.5 PSoC内部回路 (エンコーダ回路の一部)

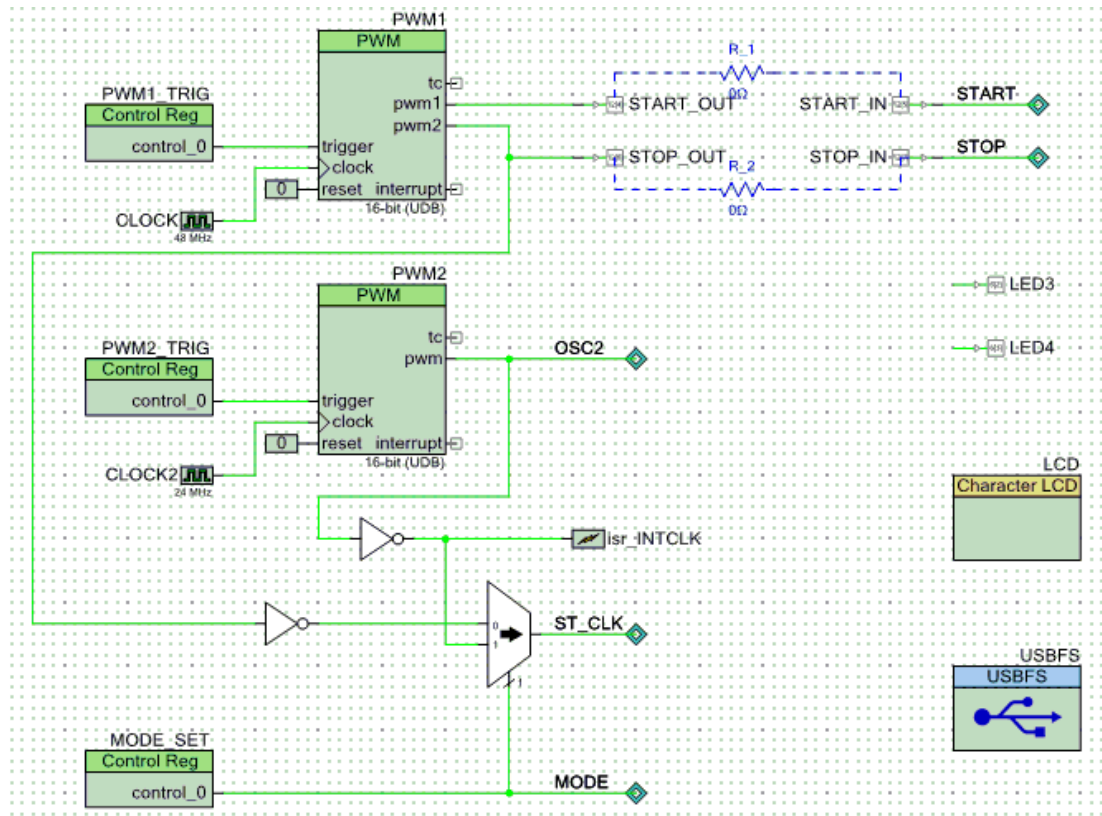


図5.6 PSoC内部回路 (入力クロック制御回路)

5.3 自己校正機能を備えたフラッシュ型タイムディジタイザ回路

の測定結果

まず、自己校正モードでの測定結果について述べる。ヒストグラムは*STOP* 信号の立ち上がり10万回のうち、全て0及び全て1となる出力を除いた40,934回のデータを使用した。図5.7に各遅延素子の遅延時間とヒストグラムを正規化し、グラフにまとめたものを示す。このグラフの各遅延素子の遅延時間は通常モードで測定したものである。グラフより、各遅延素子の遅延時間とヒストグラムの間には強い相関があることを確認できる。図5.8に各遅延素子の遅延時間とヒストグラムの誤差を示す。最大誤差は14番目の遅延素子での約13%となっている。この誤差の原因としては、ヒストグラム取得の際の測定回数の不足や、通常モードでの遅延値測定の際の誤差が考えられる。

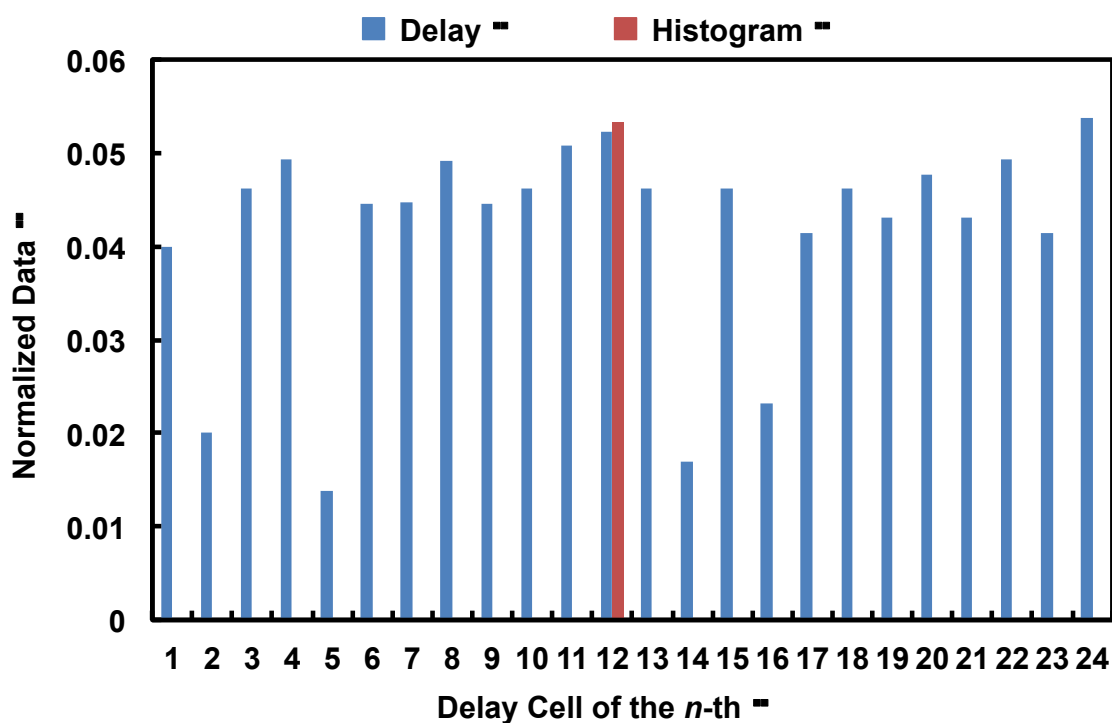


図5.7 各遅延素子の遅延時間とヒストグラム

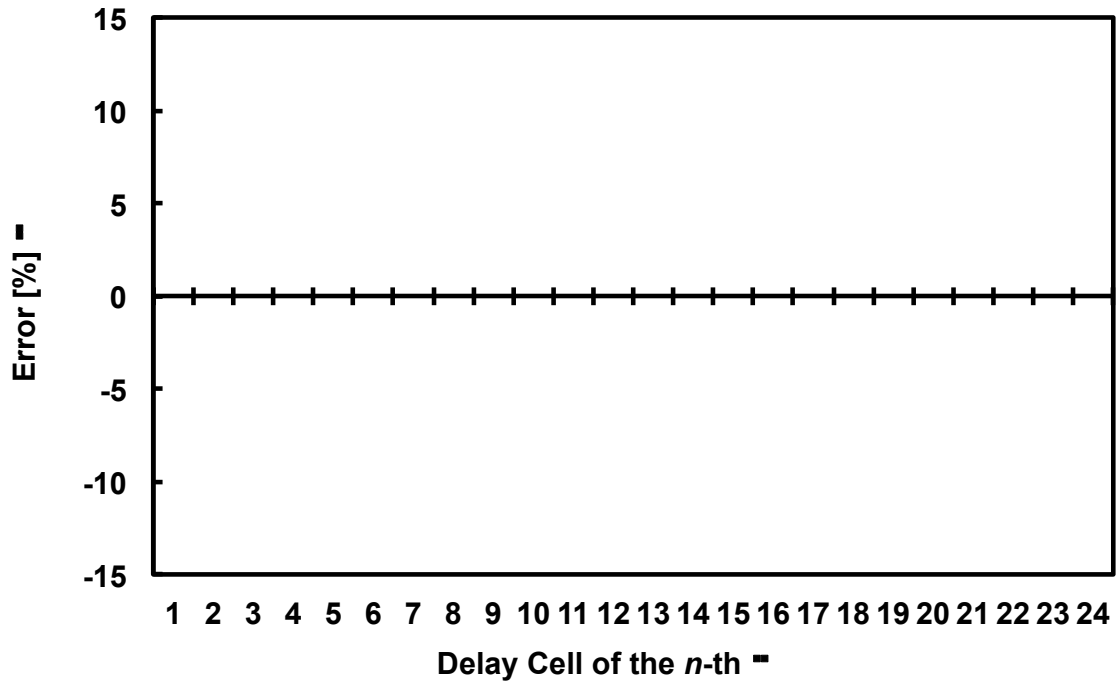


図5.8 各遅延素子の遅延時間とヒストグラムの誤差

次に、通常モードでの測定結果について述べる。通常モードで測定したTDCについて、自己校正前後の出力特性を図5.9に示す。デジタル誤差補正の式は第3章の(3.3)式を用いた。

以上の結果について、提案自己校正方法の評価を定量的に行う。本評価では、最小二乗法を用いて線形近似直線を求め、そこから積分非直線性 (Integral Non-Linearity: INL) を計算する。INLは測定結果と線形近似直線との累積誤差を示す指標であり、0に近いことが望ましい。線形近似直線のゲインとオフセットは以下の式で表すことができる。

$$gain = \frac{N \cdot K_4 - K_1 \cdot K_2}{N \cdot K_3 - K_1^2} \quad (5.1)$$

$$offset = \frac{K_2}{N} - gain \cdot \frac{K_1}{N} \quad (5.2)$$

ここで $N=24$ であり、 K_1 から K_4 はそれぞれ以下の式で表すことができる。

$$K_1 = \sum_{i=0}^{N-1} i \quad (5.3)$$

$$K_2 = \sum_{i=0}^{N-1} S(i) \quad (5.4)$$

$$K_3 = \sum_{i=0}^{N-1} i^2 \quad (5.5)$$

$$K_4 = \sum_{i=0}^{N-1} i \cdot S(i) \quad (5.6)$$

i は入力時間差であり、 $S(i)$ はそのときの出力数である。(5.1)式から(5.6)式より、INL を計算する式は以下のようなになる。

$$\text{INL}(i) = \frac{S(i) - (\text{gain} \cdot i + \text{offset})}{\text{gain}} \quad (5.7)$$

この式から求めた INL を図 5.10 に示す。INL の最大値は補正前の約 60%から約 17%まで低減でき、提案手法の有効性を確認した。今回はデジタル誤差補正をパソコン上で行ったが、デジタルシグナルプロセッサ等を用いて補正を行うことを目標としている。

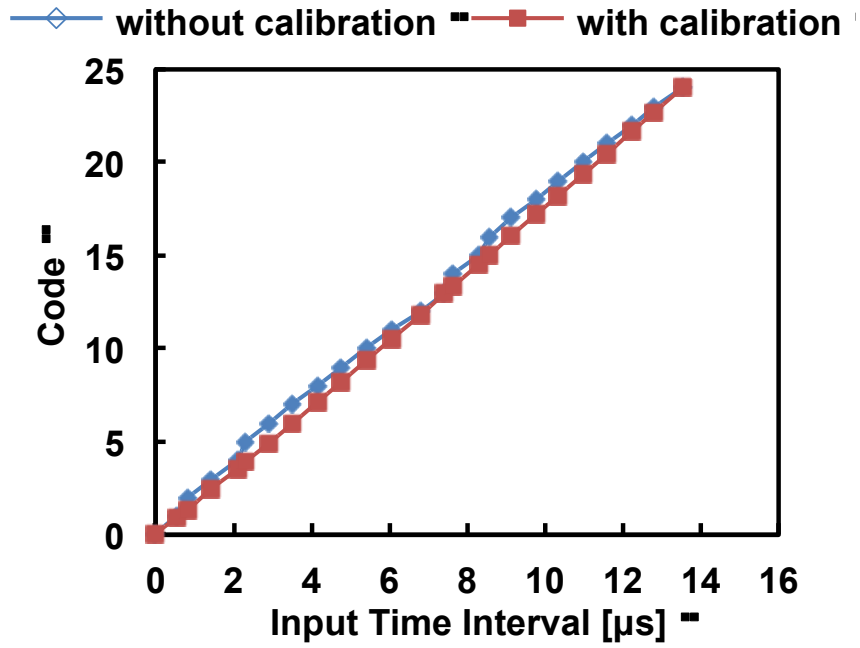


図 5.9 自己校正前後の出力特性

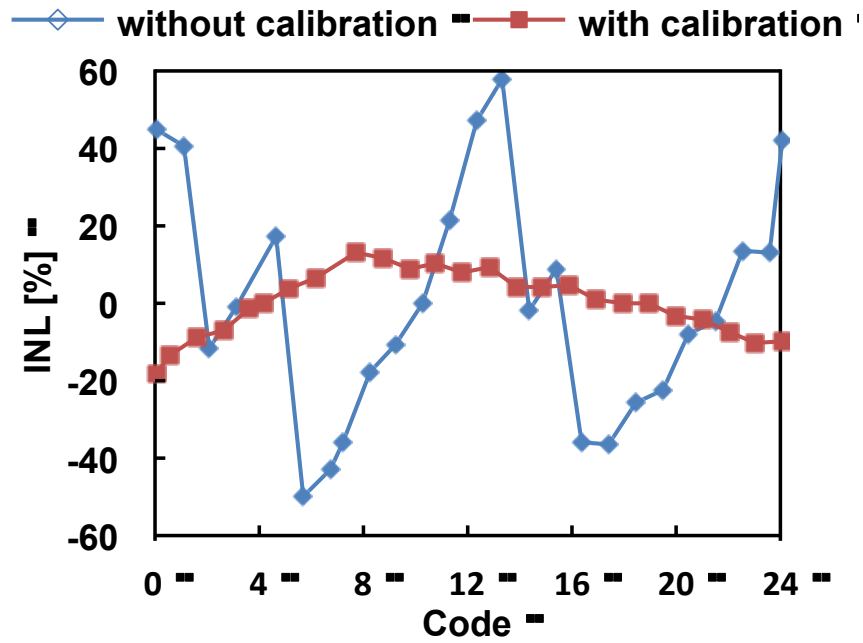


図 5.10 自己校正前後の INL

5.4 デルタシグマ型タイムディジタイザ回路の実装

次に、 $\Delta\Sigma$ TDCの実装について述べる。図5.10に $\Delta\Sigma$ TDCを実装したPSoCの写真を示す。遅延素子と積分器に用いる抵抗、キャパシタを外付けしている。

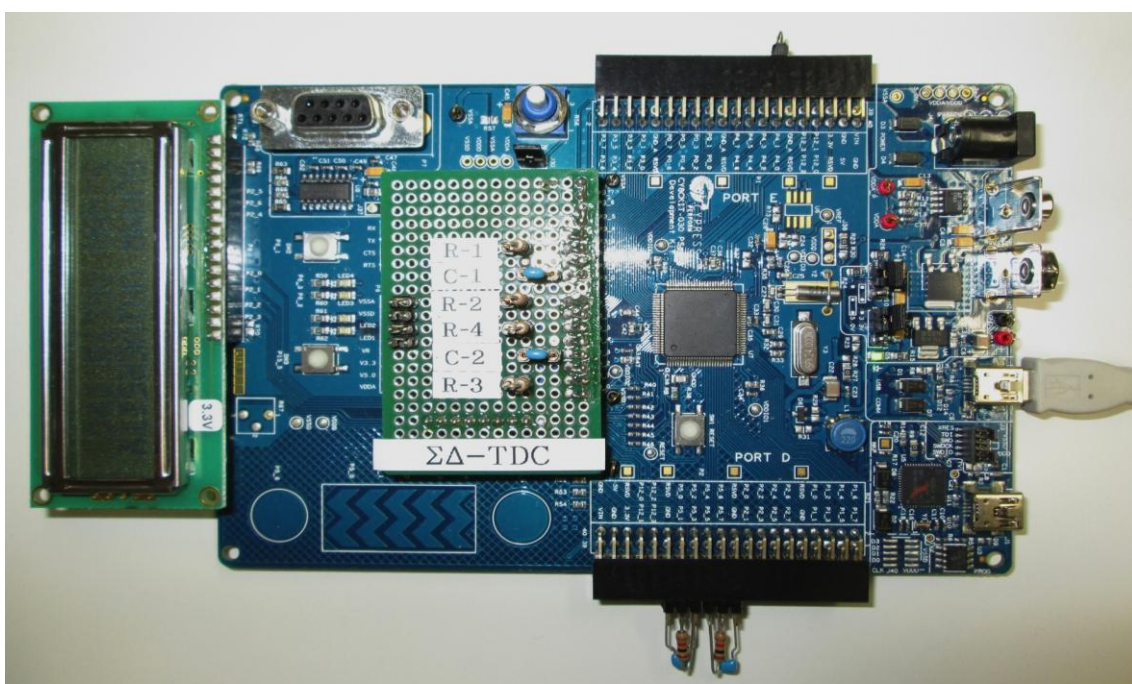


図5.10 $\Delta\Sigma$ TDCを実装したPSoC

PSoCに実装した $\Delta\Sigma$ TDCのブロック図を図5.11に示す。電源電圧 V_{DD} は3.3Vであり、積分器に用いている $V_{DD}/2$ は1.65Vである。第4章の図4.6で示した $\Delta\Sigma$ TDCのシミュレーション回路図と同様に、ディレイラインと積分器は疑似差動構成としている。出力部にはカウンタを2つ用いており、出力 $Dout$ の全体の数（1の数と0の数の合計） N_{DATA} と出力 $Dout$ の1の数をカウントする。この2つのカウンタから出力 $Dout$ の1の数の割合が分かり、時間差 ΔT が測定可能となる。カウンタの情報はパソコンに取り込み、取り扱うことができる。

図5.12に図5.11の回路を実装したPSoCの内部回路を示す。遅延素子 τ は約5 μ sであり、積分器に用いている抵抗 R は10k Ω 、キャパシタ C は0.1 μ Fである。この回路の動作検証として用いるクロックはPSoC内部で生成しており、それぞれの信号は48MHzのクロックを41.7nsずつずらして使用している。カウンタの最高カウント数は65,535点であり、今回の実装では65,535点以上のデータは測定できない。

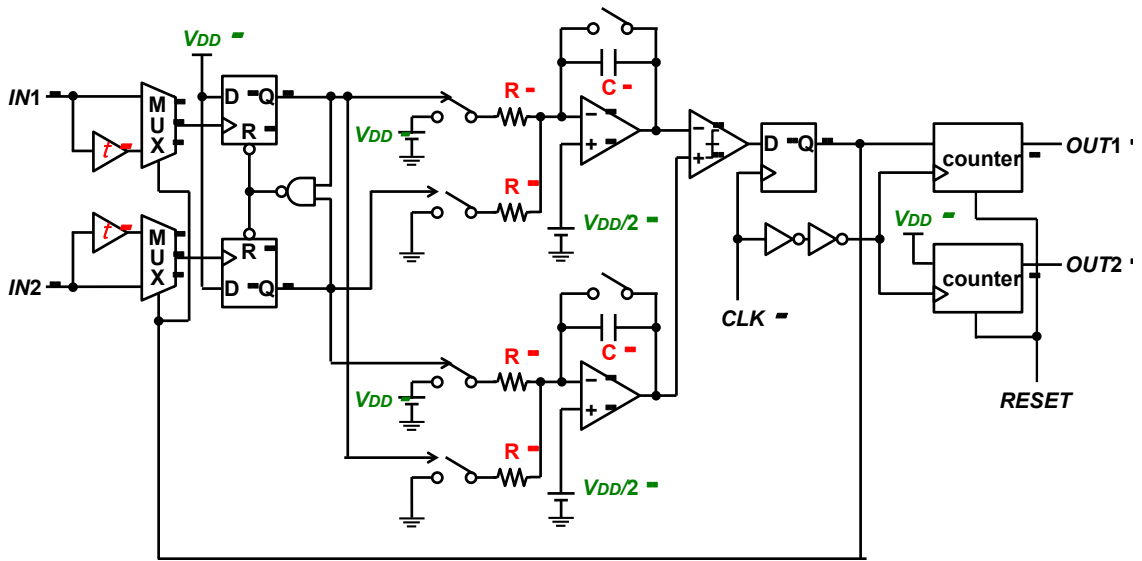


図5.11 PSoCに実装したTDCのブロック図

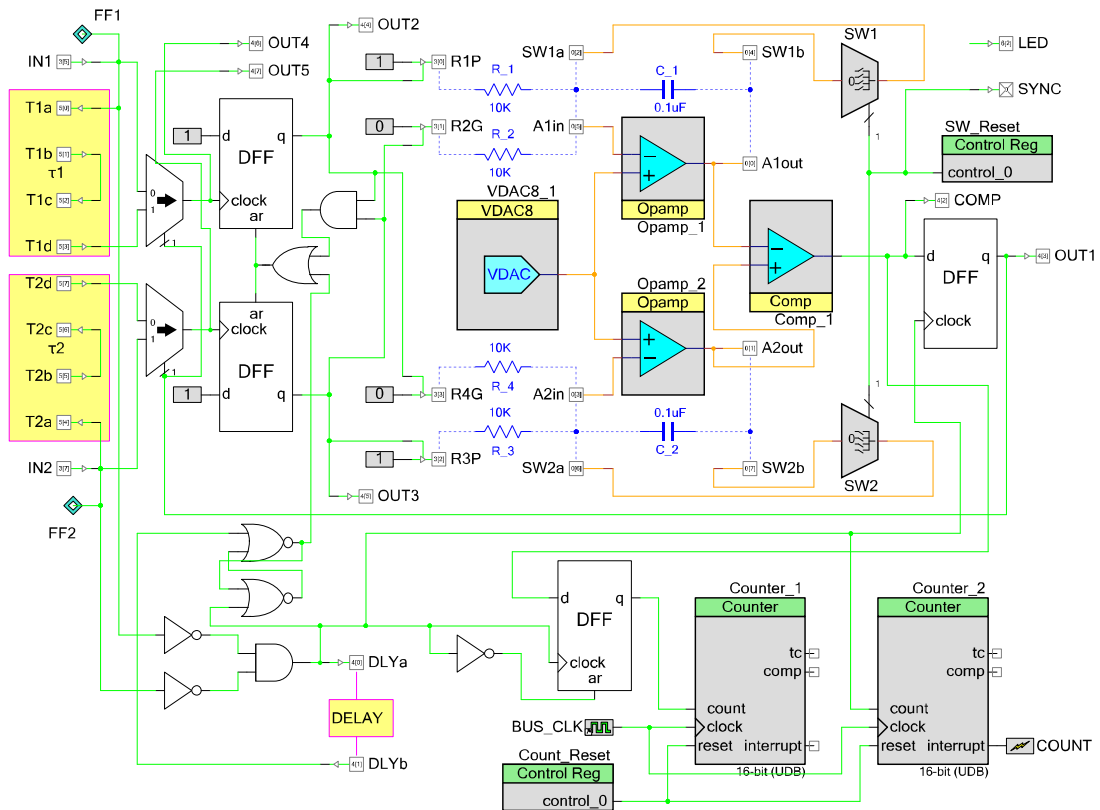
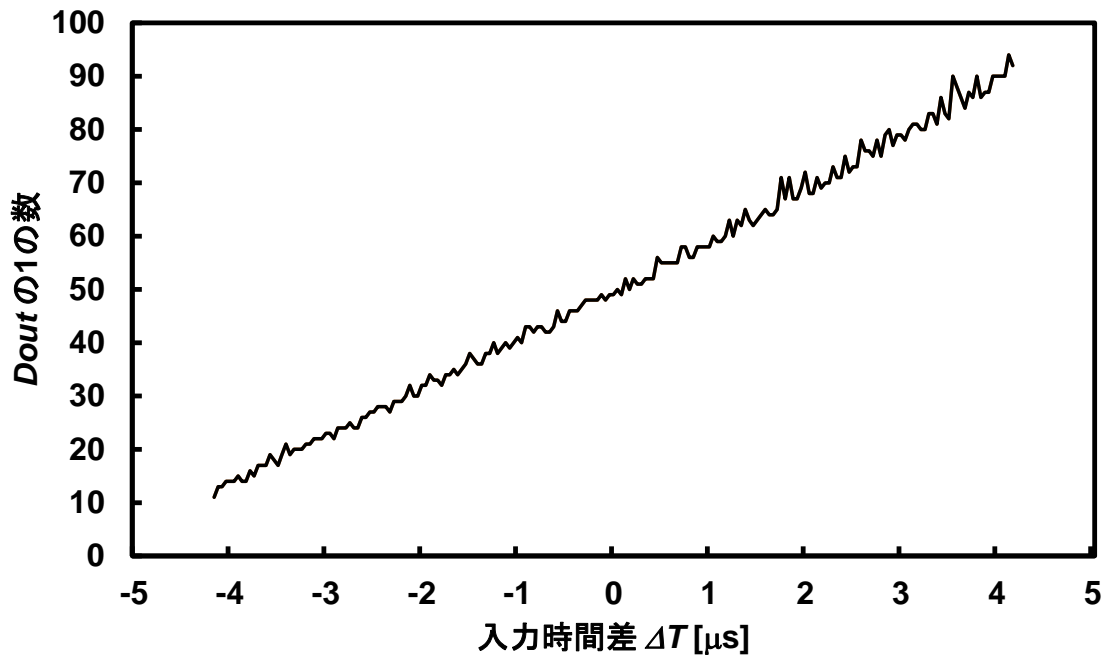


図5.12 PSoC内部回路

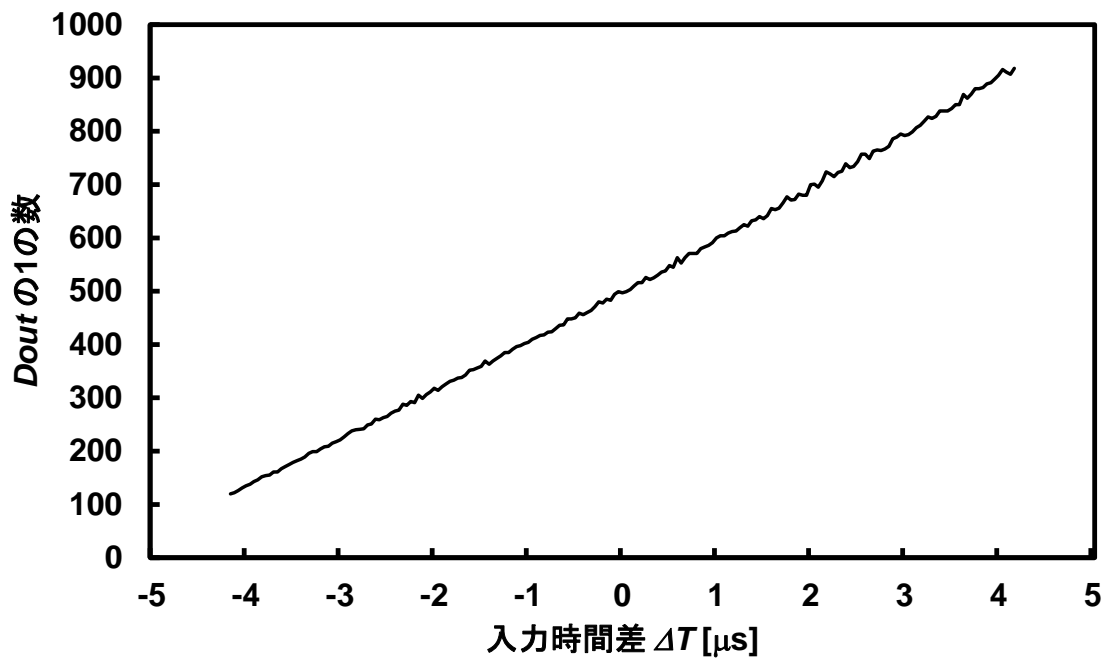
5.5 デルタシグマ型タイムディジタイザ回路の測定結果

$\Delta\Sigma$ TDCの測定結果として、出力 $Dout$ の全体の数（1の数と0の数の合計） $N_{DATA} = 100$ 、 $N_{DATA} = 1,000$ 、 $N_{DATA} = 65,535$ のときの出力特性を図5.13に示す。図5.13について、式(5.7)を用いてINLの評価を行ったものを図5.14に示す。それぞれの N_{DATA} のときの時間分解能の理論値は $N_{DATA} = 100$ のとき100ns、 $N_{DATA} = 1,000$ のとき10ns、 $N_{DATA} = 65,535$ のとき153psである。

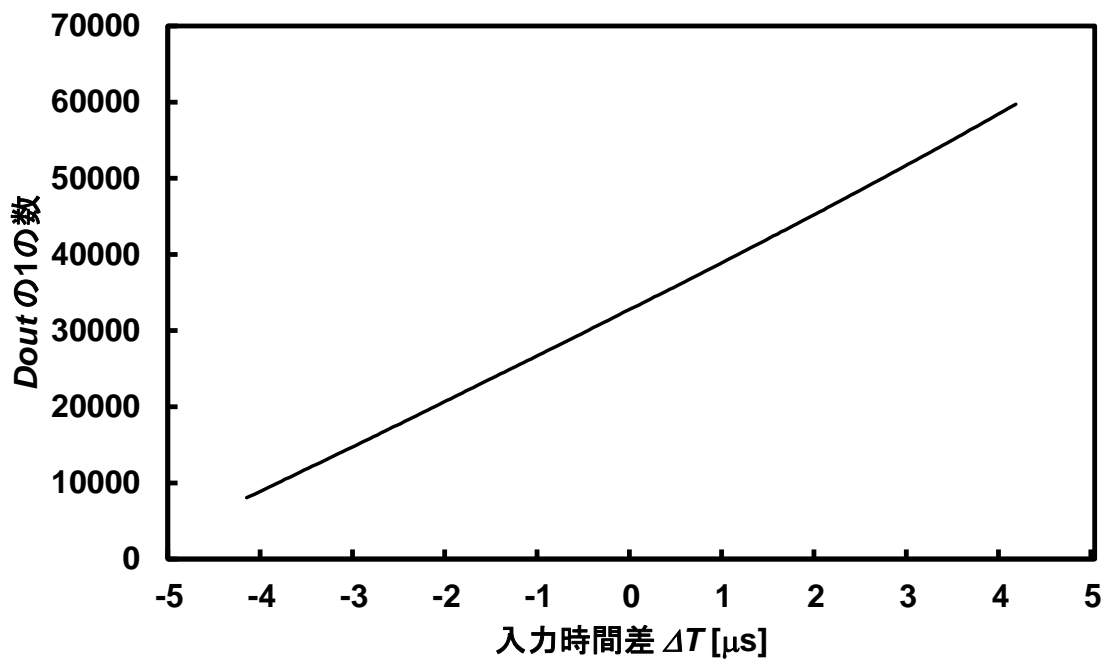
$N_{DATA} = 100$ では出力が少ないため、分解能が十分に得られていない。そのため、INLも大きくなってしまっている。出力を増やすことで高時間分解能となり、誤差の減少が確認できる。



(a) $N_{DATA} = 100$ のときの出力特性



(b) $N_{DATA} = 1000$ のときの出力特性



(c) $N_{DATA} = 65,535$ のときの出力特性

図 5.13 $\Delta\Sigma$ TDC の出力特性

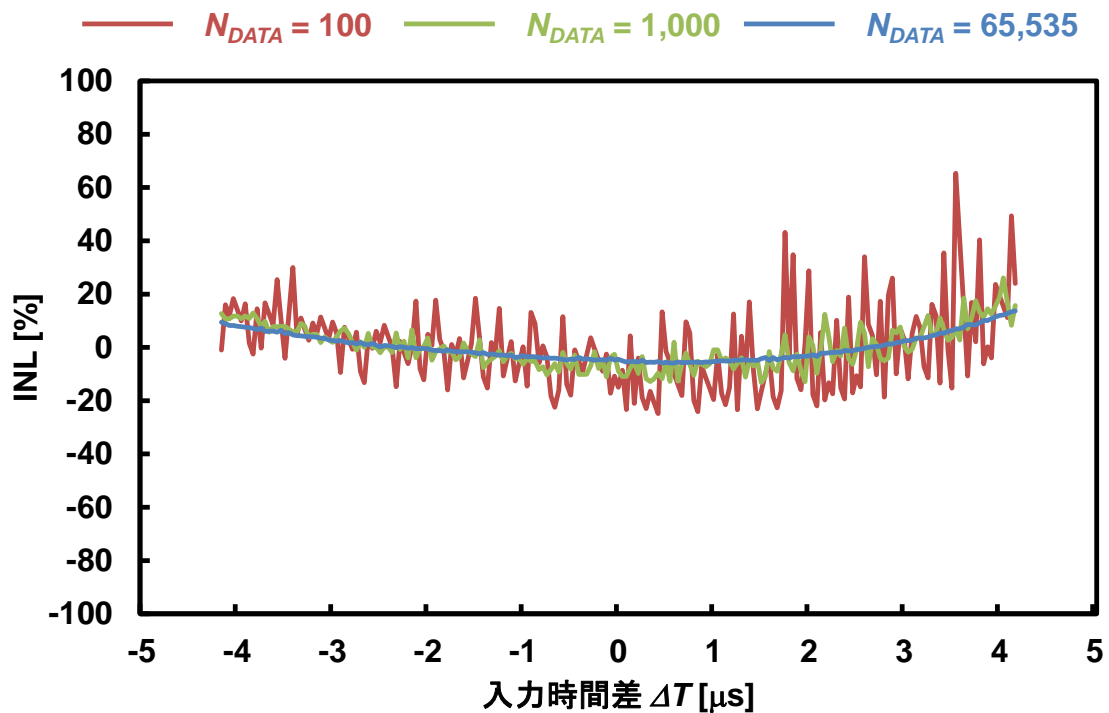


図 5.14 $\Delta\Sigma$ TDC の INL

図 5.14 より、出力 D_{out} の全体の数（1 の数と 0 の数の合計） $N_{DATA} = 65,535$ のときでも INL はフルスケールで約 20% となっている。この非線形性は積分器や遅延素子等、内部回路のミスマッチが原因であると考えられる。そこで、線形性自己校正を提案する。これは PSoC 内部の正確な時間差のクロックを使用しているため、実現できると考えられる。自己校正により、線形性の向上と測定値の絶対値の保証というメリットがある。

線形性自己校正の手順を図 5.15 に示す。正確な入力時間差 ΔT で出力特性をとり、その出力特性から理想線形直線を求める。理想線形直線から出力特性の逆関数を求めることで、測定結果に逆関数を掛けることで測定結果の線形性自己校正を行う。

測定値の絶対値の保証は、 $\Delta\Sigma$ TDC の入力範囲 τ の推定によって可能である。出力特性の D_{out} が全て 0、全て 1 となったときの入力時間差 ΔT を調べる（図 5.16）。式(4.2)より、このときの ΔT が遅延素子 τ に相当する。これらの線形性自己校正は、全体の出力特性をとることのみで簡単に行うことができる。

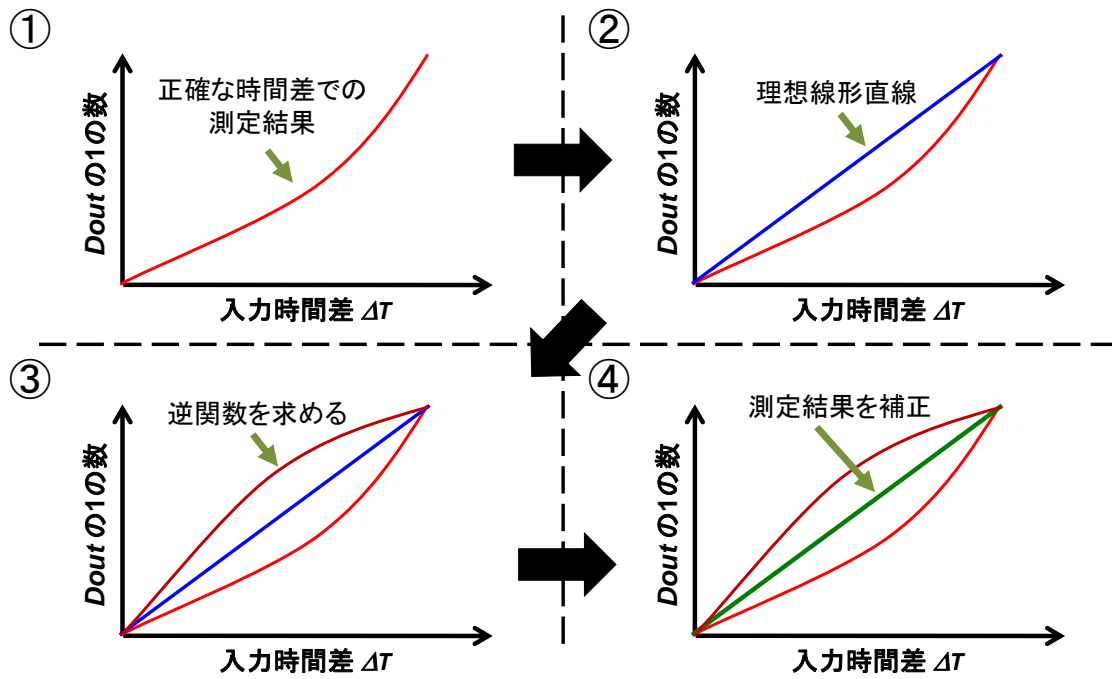


図 5.15 線形性自己校正の手順

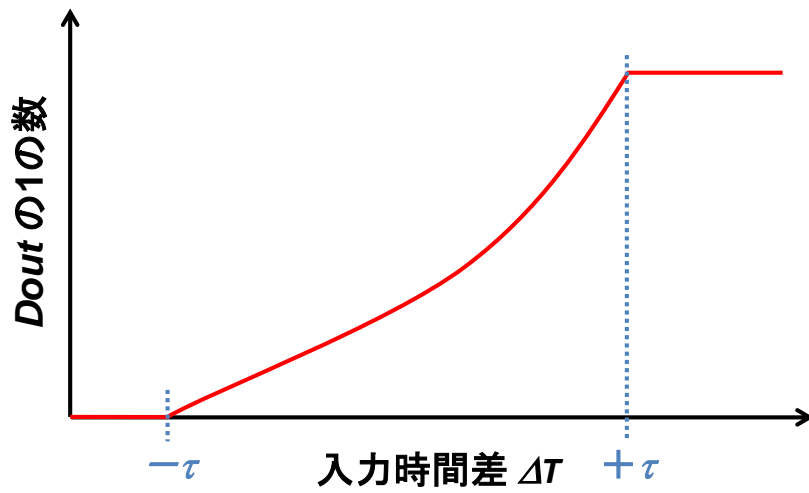


図 5.16 入力範囲 τ の推定

第6章 デルタシグマ型タイムディジタイザ回路を用いた位相ノイズ測定

6.1 概要

これまでの章では、 $\Delta\Sigma$ TDC について説明してきた。本章では $\Delta\Sigma$ TDC のアプリケーションとして、位相ノイズ測定を提案する。

近年、半導体製造プロセスの微細化に伴い、トランジスタ 1 つあたりの半導体製造コストは減少しているが、テストコストは増加している (図 6.1)。それに伴い、低コスト・高品質であるテスト技術が要求される。PLL (Phase Locked Loop) をテストするとき重要となるのが、ジッタ・位相ノイズの評価である。

従来の位相ノイズ測定はスペクトラムアナライザを用いている。しかし、スペクトラムアナライザは高価であり、テスト時間も長いため、非常に高コストとなってしまう。さらに、従来の手法ではオフチップの測定となるため、被測定信号に雑音が乗ることで低品質テストとなってしまう。

オンチップでジッタ・位相ノイズを試験する回路はすでに提案されているが、オンチップ・ジッタ測定回路では、周波数特性を得るのが困難である。また、Flash TDC を用いた位相ノイズ測定も提案されているが、Flash TDC では測定分解能を高くすることが困難である。

そこで、低コスト・高品質の位相ノイズ測定を可能にするために、 $\Delta\Sigma$ TDC を用いる手法を提案する。 $\Delta\Sigma$ TDC の出力波形を高速フーリエ変換 (Fast Fourier Transform : FFT) することのみで位相ノイズを測定できるため、大幅な低コスト化を図れる。また、 $\Delta\Sigma$ TDC は高時間分解能であり、オンチップで実装できるため、高品質化も図れる。

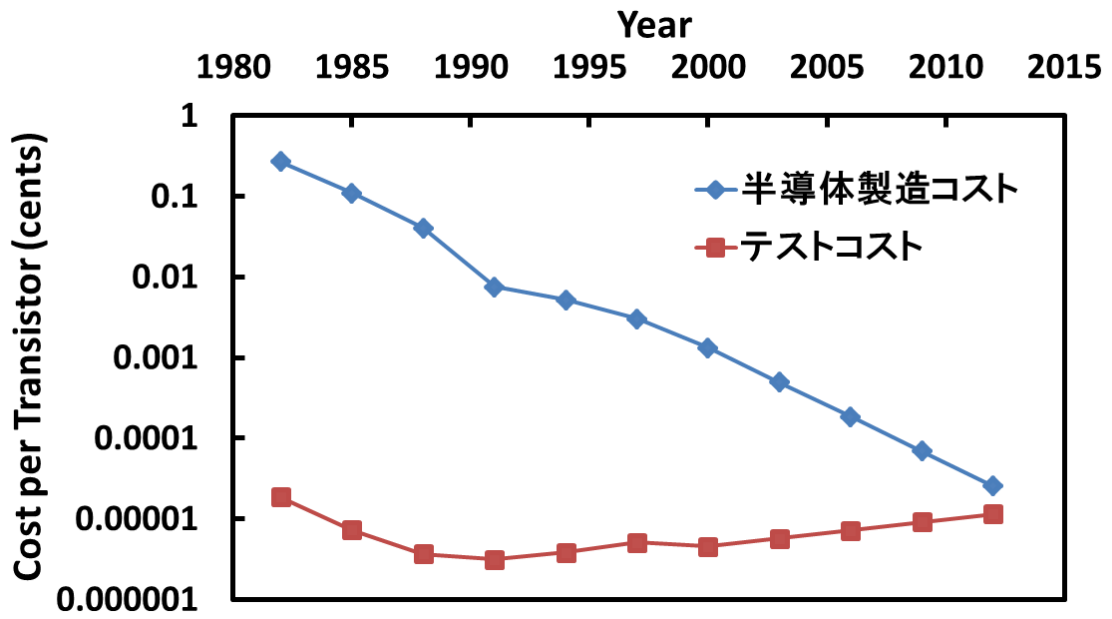
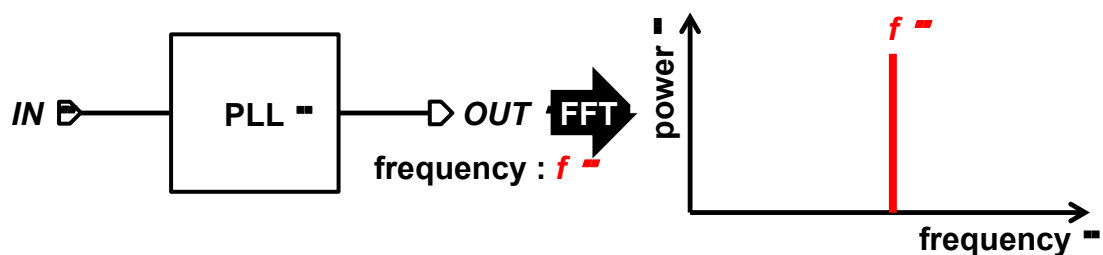


図 6.1 シリコンコストの減少とテストコストの増加

6.2 位相ノイズ

理想的な PLL の出力信号のスペクトルと実際の PLL の出力信号のスペクトルを図 6.2 に示す。理想的には所望のキャリア周波数のみに信号スペクトルを持つことが望ましいが、発振器のノイズ成分により側波帯成分が生じる。この側波帯に生じるスペクトルが位相ノイズである。位相ノイズはシステムの誤動作を引き起こす恐れがあるため、測定・テストが必要となる。

Ideal Phase-Locked Loop (PLL)



Actual Phase-Locked Loop (PLL)

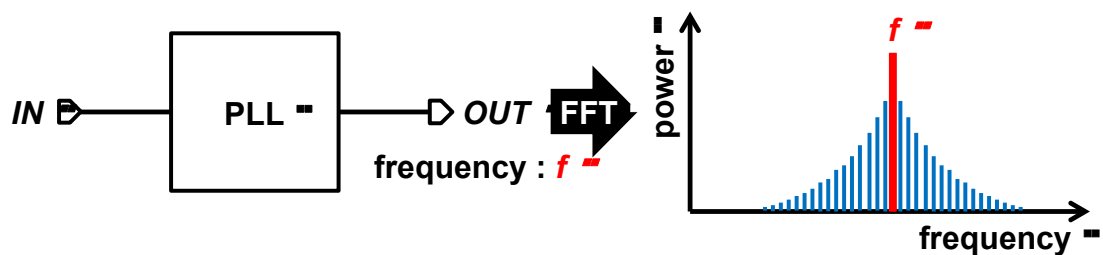


図 6.2 理想的な PLL と実際の PLL の出力信号スペクトル

6.3 位相ノイズ測定原理

$\Delta\Sigma$ TDC を用いた位相ノイズの測定原理を図 6.3 に示す。位相ノイズがない信号の場合、2つの入力クロック $CLK1$ と $CLK2$ の時間差は常に一定であるため、 $\Delta\Sigma$ TDC の出力スペクトルは DC 成分のみ出現する。ノイズフロアの成分は $\Delta\Sigma$ 変調によってノイズシェープがかかるため、周波数が高くなるにつれてフロアが上昇する。しかし、入力クロックに位相ノイズが存在する場合、2つの入力クロックの時間差はクロック周期毎に変化する。したがって、 $\Delta\Sigma$ TDC の出力スペクトルには2つの入力クロックの時間差の変動が現れることになるため、位相ノイズの測定が可能となる。

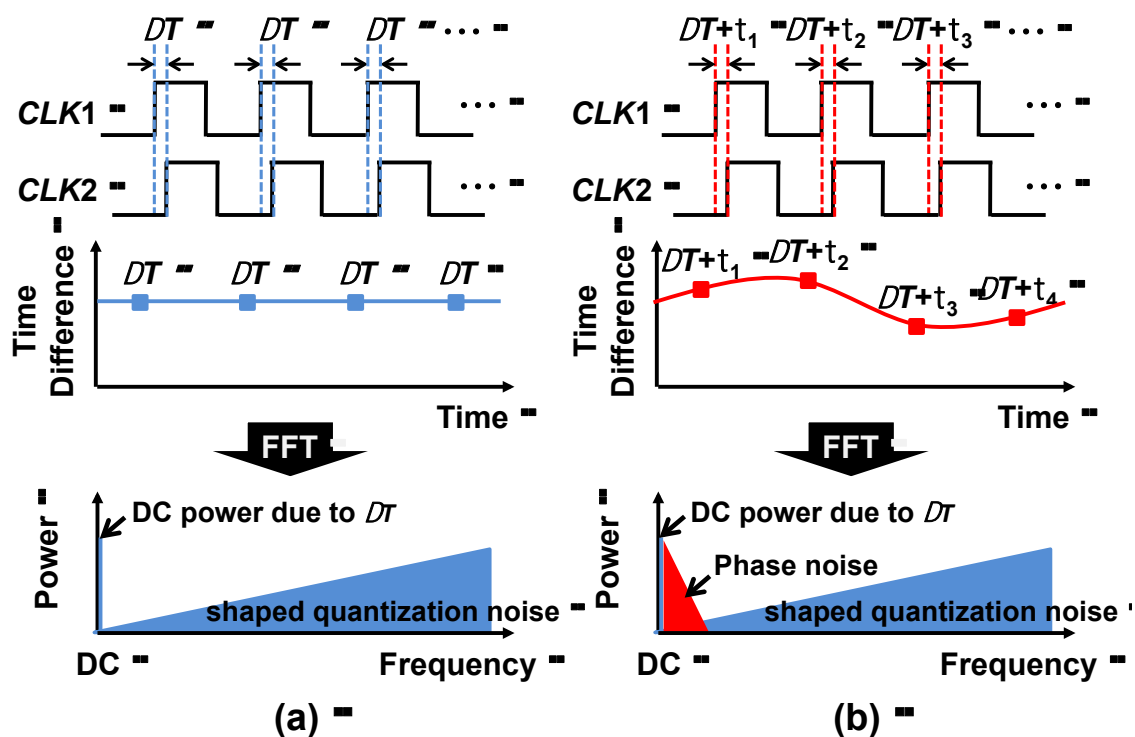
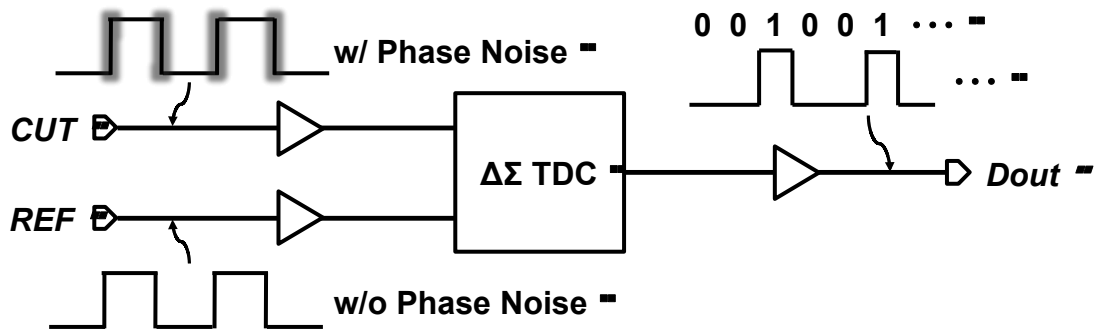


図 6.3 $\Delta\Sigma$ TDC を用いた位相ノイズの測定原理

(a) 位相ノイズなし (b) 位相ノイズあり

図 6.4 に $\Delta\Sigma$ TDC を用いた位相ノイズ測定の構成を示す。位相ノイズを含む被試験クロック CUT (Clock Under Test) と位相ノイズの少ない基準クロック REF との時間差を $\Delta\Sigma$ TDC により測定する。 $\Delta\Sigma$ TDC の出力信号から得られるデジタル値を FFT することで、 CUT の位相ノイズを測定できる。ここでは、数式を用いて位相ノイズが測定できることを示す。



Zero-cross variation function $t(m)$

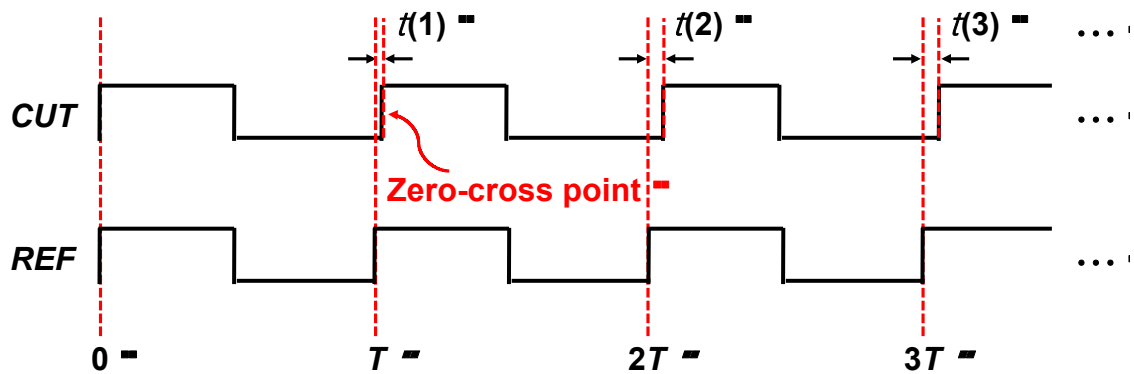


図 6.4 $\Delta\Sigma$ TDC を用いた位相ノイズ測定の構成およびゼロクロス点変動関数 $\tau(m)$

図 6.4 において、2 つのクロック CUT と REF の周期を T とした時、 CUT の正弦波近似は以下の式で表すことができる。

$$CUT \approx \sin(2\pi f_{in}t + \phi(t)) \quad (6.1)$$

(where, $f_{in} = 1/T$)

$\phi(t)$ は位相である。また、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ とすると、立ち上がりエッジの m 番目のゼロクロス点は次のようになる。

$$2\pi f_{in}(mT + \tau(m)) + \phi(mT) = 2\pi m \quad (6.2)$$

$$\therefore \phi(mT) = -2\pi f_{in}\tau(m) \quad (6.3)$$

$\phi(mT)$ が時間領域で表した位相ノイズである。したがって式(6.3)より、 $\tau(m)$ の成分によって位相ノイズが決定される。

$\tau(m)$ が単一正弦波の位相変動である場合を考える。このとき、

$$\tau(m) = T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \quad (6.4)$$

と表すことができる。ここで、 α_j は定数、 ω_j は単一正弦波位相変動の角周波数である。このとき、 $\phi(mT)$ は

$$\phi(mT) = -2\pi\alpha_j \cdot \sin(\omega_j \cdot mT) \quad (6.5)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \quad (6.6)$$

となる。式(6.6)は $\Phi(\omega_j)$ は周波数領域で表した位相ノイズである。以上より、式(6.4)の $\tau(m)$ より位相ノイズ $\Phi(\omega_j)$ を求めることが可能であることが分かる。

次に、 $\tau(m)$ が正弦波合成の位相変動の場合を考える。このときも同様に、 $\tau(m)$ と $\phi(mT)$ より $\Phi(\omega_j)$ を求めると、

$$\tau(m) = \sum_{j=1}^N T \cdot \alpha_j \cdot \sin(\omega_j \cdot mT) \quad (6.7)$$

$$\phi(mT) = -2\pi \sum_{j=1}^N \alpha_j \cdot \sin(\omega_j \cdot mT) \quad (6.8)$$

$$\therefore \Phi(\omega_j) = \frac{1}{2}(2\pi\alpha_j)^2 \quad (6.9)$$

となる。以上のことから、シグマデルタTDCの出力をFFT解析し、 $\tau(t)$ の周波数スペクトル $\tau(\omega)$ を得ることができれば、 $\tau(\omega)$ より $\Phi(\omega)$ を求めることが可能である。

6.3 シミュレーションによる検証

提案する位相ノイズ測定について、シミュレーションによって検証した。シミュレーションツールには Spectre を使用した。シミュレーションは 180nm CMOS プロセスで行い、使用する電源電圧は 1.8V とした。シミュレーション回路は図 6.4 のようになっており、図 6.4 の $\Delta\Sigma$ TDC には第 4 章の図 4.6 の回路を使用している。遅延素子の遅延時間 τ は 500ps である。入力クロック *CUT* と *REF* の周波数は 10.24MHz とし、入力クロック *CUT* を Verilog-A 言語で記述することで位相変動を与えた。 $\Delta\Sigma$ TDC の遅延素子 τ は 500ps となるように設計した。また、 $\Delta\Sigma$ TDC の出力で得られるデータ点数は 4096 点とした。第 4 章の式(4.3)より、測定分解能は 244fs と求めることができる。クロックの位相変動は、単一正弦波および正弦波合成の 2 つのシミュレーションを行った。

$\Delta\Sigma$ TDC の入出力特性を図 6.5 に示す。図 6.5 より、出力の 1 の数が 1 つ変化するときの入力時間差 ΔT の変化は約 245ps であり、測定分解能の理論値とほぼ一致する。

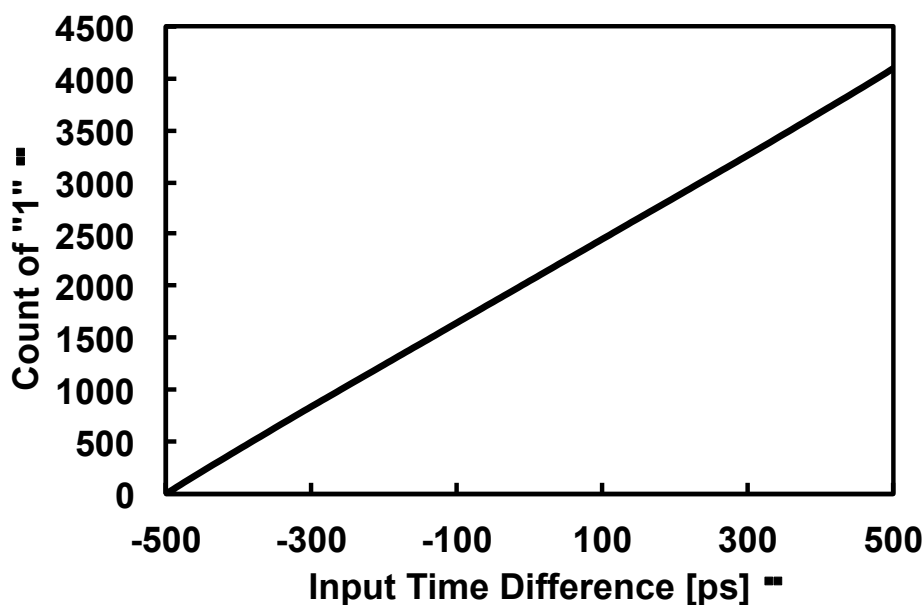


図 6.5 $\Delta\Sigma$ TDC の入出力特性

6.4 単一正弦波の位相変動シミュレーション

入力クロック *CUT* のエッジに、単一正弦波の位相変動を加えてシミュレーションを行った。図 6.6 は入力クロック *CUT* に 10 kHz の単一正弦波位相変動を加えた時の、立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ とその FFT 解析結果を示している。図 6.6 より、入力クロック *CUT* が 10 kHz の周波数で位相変動をしていることが分かる。また、高調波成分については十分小さい値である。この時の $\Delta\Sigma$ TDC の出力データの FFT 解析結果を図 6.7 に示す。 $\Delta\Sigma$ TDC の出力においても 10 kHz のスプリアスが現れていることが分かる。入力クロックの位相変動に現れていた高調波成分はノイズフロアに埋もれてしまうため、スプリアスは得られていない。

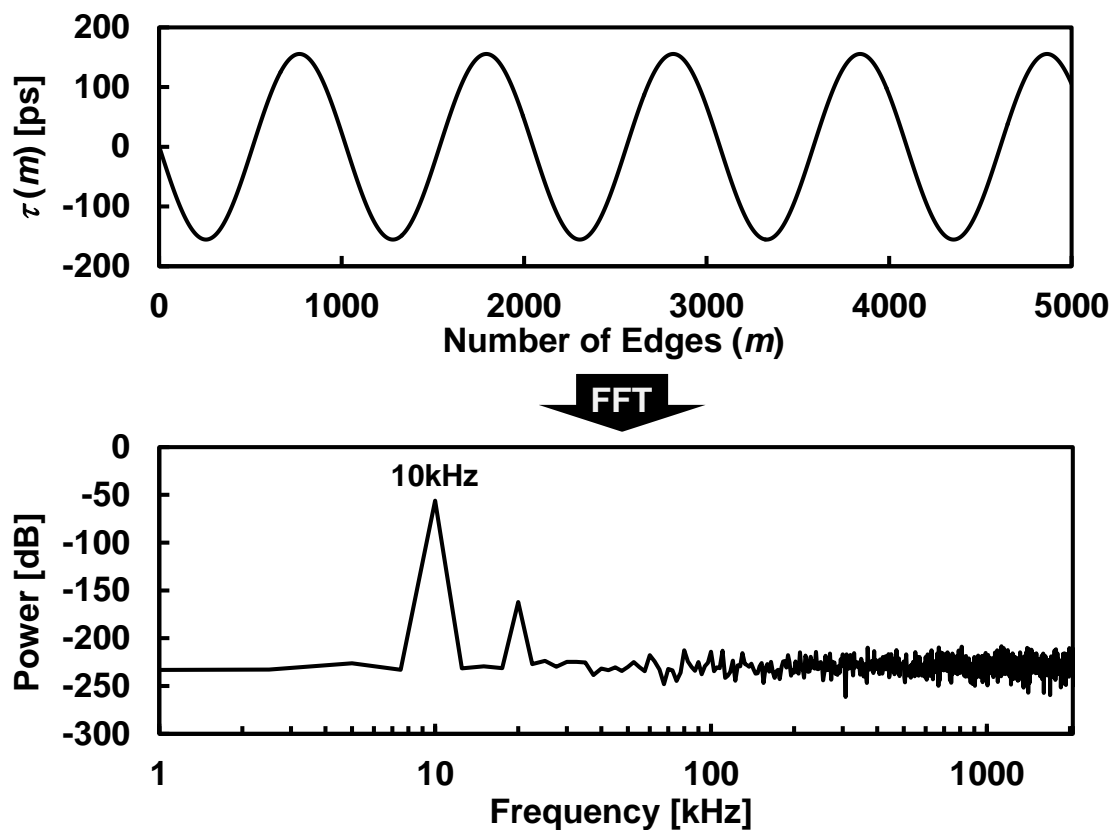
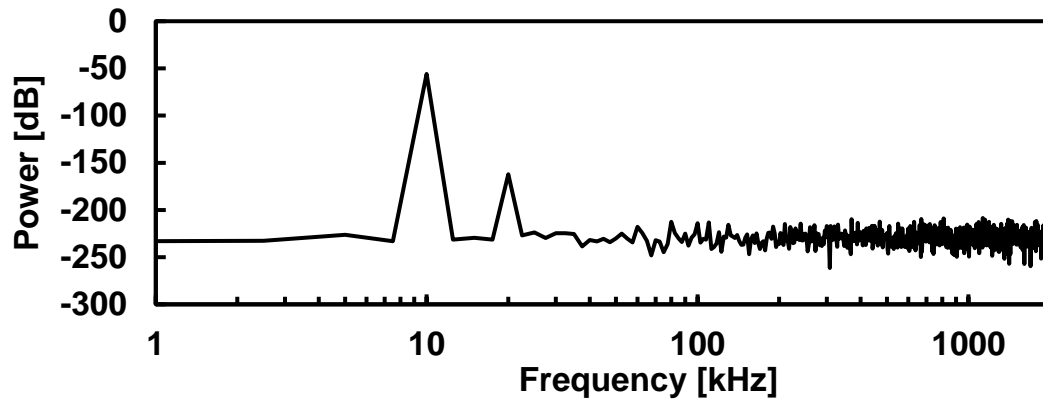


図 6.6 入力クロックのスペクトル

CUTのスペクトル



Doutのスペクトル

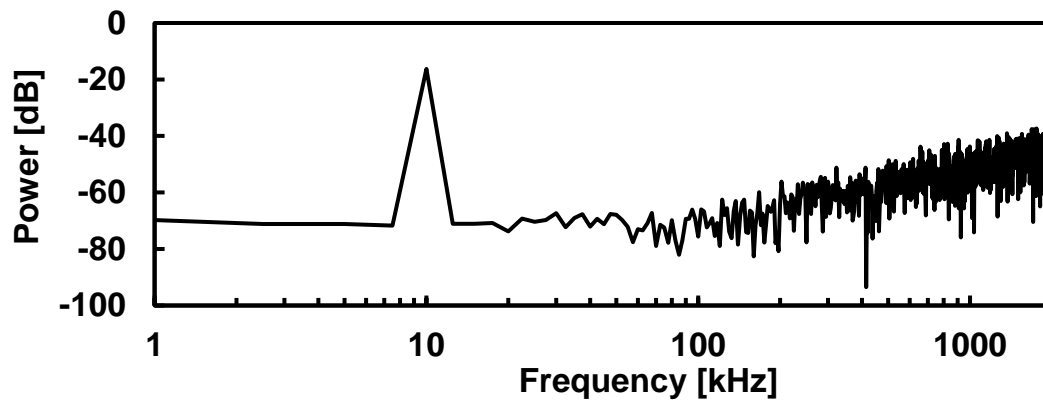


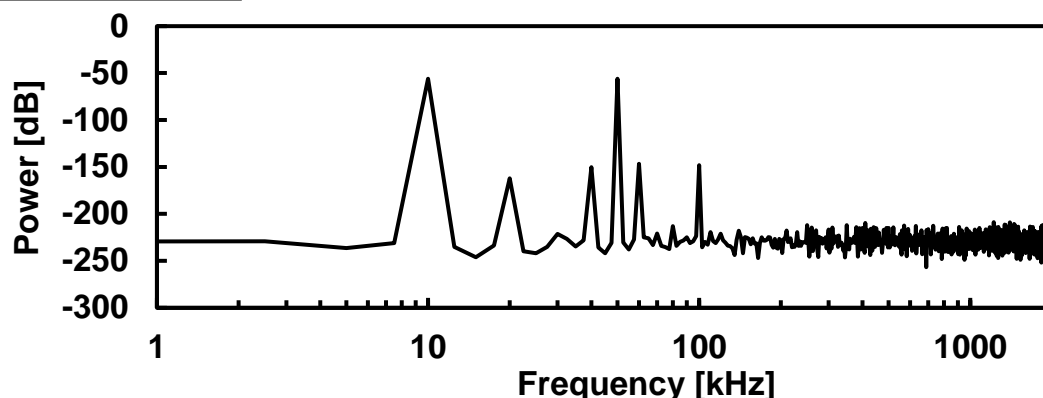
図 6.7 単一正弦波（10kHz）の位相ノイズ測定結果

6.5 正弦波合成の位相変動シミュレーション

実際の位相ノイズには複数の周波数成分が含まれている。そのため、入力クロック CUT のエッジに2つの正弦波合成の位相変動を加えてシミュレーションを行った。図 6.8 に、入力クロック CUT に 10 kHz と 50 kHz の正弦波合成位相変動を加えた時の立ち上がりエッジのゼロクロス点変動関数 $\tau(m)$ の FFT 解析結果および、 $\Delta\Sigma$ TDC の出力データの FFT 解析結果を示す。図 6.8 より、入力クロック CUT に複数の位相変動成分が含まれている場合でも、 $\Delta\Sigma$ TDC の出力を FFT 解析することで、入力クロック CUT の位相変動を測定できることが分かる。つまり、入力クロックの位相ノイズが測定できている。

以上の結果より、複数の周波数成分を含む位相ノイズが測定できているため、 $\Delta\Sigma$ TDC を用いた位相ノイズの測定は可能であることが確認できた。

CUTのスペクトル



Doutのスペクトル

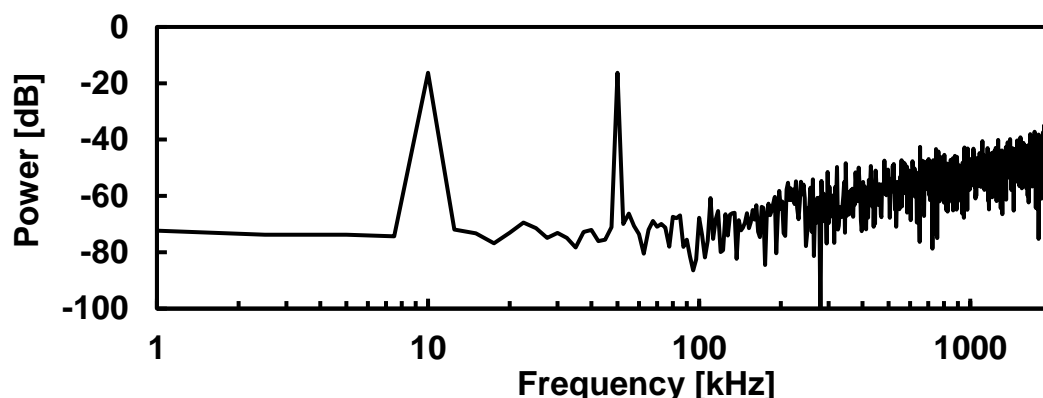


図 6.8 正弦波合成 (10kHz と 50kHz) の位相ノイズ測定結果

第7章 結論

本研究では、時間信号測定回路の研究として以下の3つを提案した。

1. 自己校正機能を備えたフラッシュ型タイムデジタル回路
2. デルタシグマ型タイムデジタル回路
3. デルタシグマ型タイムデジタル回路を用いた位相ノイズ測定

自己校正機能を備えたフラッシュ型タイムデジタル回路は、フラッシュ型タイムデジタル回路にリング発振器を付けた構成となっている。自己校正モードで得たヒストグラム情報をもとに、通常モードでのフラッシュ型タイムデジタル回路の出力を補正することができる。そのため、非線形性を低減でき、高性能タイムデジタル回路の実現が可能となる。8段の自己校正機能を備えたフラッシュ型タイムデジタル回路の動作を90nm CMOS プロセスを使用したシミュレーションによって検証した。また、24段の自己校正機能を備えたフラッシュ型タイムデジタル回路の動作を、マイクロコントローラである PSoC を用いて実装し、測定によって検証した。測定の結果、約60%の線形性誤差を約17%まで低減できた。

デルタシグマ型タイムデジタル回路は、従来のフラッシュ型タイムデジタル回路とは異なり、繰り返し信号を測定する回路である。遅延素子 τ 、マルチプレクサ (MUX)、位相比較器、アナログ積分器、コンパレータによって構成されている。測定時間を長くすることで、高時間分解能となる。さらに、回路量も小さいというメリットもある。デルタシグマ型タイムデジタル回路の動作を180nm CMOS プロセスを使用したシミュレーションによって検証した。また、PSoC を用いて実装し、測定によって検証した。測定の結果、測定時間を長くすることによる時間分解能の向上を確認した。さらに、線形性自己校正手法についても提案した。

デルタシグマ型タイムデジタル回路を用いた位相ノイズ測定は、デルタシグマ型タイムデジタル回路の新たなアプリケーションとして提案した。従来の位相ノイズ測定にはスペクトラムアナライザが必要であり高コストであった。そこで、提案手法ではデルタシグマ型タイムデジタル回路をオンチップに実装することで、低コスト、高時間分解能の位相ノイズ測定が実現できる。原理としては、位相ノイズを含む被試験クロックと位相ノイズの少ない基準クロックとの時間差をデルタシグマ型タイムデジタル回路に入力する。そのときの出力信号から得られるデジタル値をフーリエ変換することで、被試験クロックの位相ノイズを測定できる。デルタシグマ型タイムデジタル回路を用

いた位相ノイズ測定について、180nm CMOS プロセスを使用したシミュレーションによって検証した。入力クロックに単一正弦波及び正弦波合成の位相ノイズを与え、出力波形を高速フーリエ変換したところ、同じ位置にスペクトルが立ち、スペクトルのパワーは理論式と一致していることを確認した。

以上の取り組みにより、時間信号測定回路の研究として、時間信号測定回路の高性能化及び時間信号測定回路を用いた新しいアプリケーションの開発を達成することができた。

謝辞

本研究を進めるに当たり、3年間懇切丁寧に御指導・御鞭撻を頂きました、群馬大学大学院工学研究科、小林春夫教授に心より感謝申し上げます。主査をして頂き、有益な助言を頂きました本島邦行教授に心より感謝いたします。副査をして頂き、有益な助言を頂きました高井伸和准教授に心より感謝いたします。

また、鶴岡高等専門学校、加藤健太郎准教授及び名古屋大学、新津葵一講師には大変有意義な助言を頂きました。心より感謝いたします。研究室、研究生活面でお世話になりました、石川信宣技官に感謝いたします。

群馬大学小林研究室、高井研究室の方々には有益な助言、議論をして頂き、本研究を行う上で大変良い刺激になりました。ここに感謝いたします。

本研究に対し大変有意義なご意見・ご討論を頂きました松浦達治氏、山口隆弘氏、及びSTARCの小林修氏をはじめとするアナログテスト容易化研究グループの関係者の皆様に心より感謝申し上げます。

最後に、本研究に対して沢山の有益な機会を与えて下さいました関係者の皆様に心より御礼申し上げます。

参考文献

- [1] Robert Bogdan Staszewski, et. al., “All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS”, IEEE JSSC, pp.2278-2291, Dec. 2004.
- [2] S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. Yamaguchi, K. Niitsu, “Stochastic TDC Architecture with Self-Calibration,” IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [3] K. Katoh, et. al., “An Analysis of Stochastic Self-Calibration of TDC Using Two Ring Oscillators”, IEEE 22nd Asian Test Symposium, Yilan, Taiwan (Nov. 2013).
- [4] 土井佑太・伊藤聡志・西村繁幸・李恩思・小林春夫・高井伸和（群馬大学）：「確率的時間デジタル回路の自己校正技術」，電気学会電子回路研究会，ECT-13-043，明治大学（2013年3月7日）
- [5] K. Katoh, Y. Doi, S. Ito, H. Kobayashi, E. Li, N. Takai, O. Kobayashi, “An Analysis of Stochastic Self-Calibration of TDC Using Two Ring Oscillators”, 22nd IEEE Asian Test Symposium, Yilan, Taiwan, (Nov. 18-21, 2013).
- [6] S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu, “Stochastic TDC Architecture with Self-Calibration,” IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [7] H. Kobayashi, H. Yagi, T. Komuro, H. Sakayori, “Algorithms for Digital Correction of ADC Nonlinearity”, IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, E86-A, no. 2, pp.504-508 (Feb. 2003).
- [8] J. Moreira, H. Werkmann, “An Engineer’s Guide to Automated Testing of High-Speed Interfaces”, Artech House (2010)
- [9] 上森聡史，土井佑太，小林春夫，小林修，松浦達治，新津葵一，「シグマデルタ型タイムデジタル回路の検討」電気学会電子回路研究会，ECT-11-077，長崎（2011年10月20日）

- [10] 石井正道、上森聡史、小林春夫、土井佑太、小林修、松浦達治、新津葵一、「デジタル信号時間差測定用回路の構成の検討」第66回FTC研究会、大分（2012年1月20日）
- [11] K. Niitsu, et. al., “A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges”, in Proc. IEEE Symposium on VLSI Circuits, Jun. 2012, pp. 142-143.
- [12] K. Niitsu, et. al., “An On-Chip Timing Jitter Measurement Circuit Using a Self-Referenced Clock and a Cascaded Time Difference Amplifier with Duty-Cycle Compensation”, in Proc. IEEE Asian Solid-State Circuits Conference, Nov. 2011, pp. 201-204.
- [13] T. Nakura, et. al., “Impact of All-Digital PLL on SoC Testing”, in Proc. IEEE Asian Test Symposium, Nov. 2012, pp. 252-257.
- [14] S. Uemori, et. al., “Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement”, in Proc. IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, May 2012, pp. 67-72.
- [15] S. Uemori, et. al., “Multi-bit Sigma-Delta TDC Architecture with Self-Calibration”, in Proc. IEEE Asia Pacific Conference on Circuits and Systems, Dec. 2012, pp. 671-674.

業績

- [1] Satoshi Uemori, Masamichi Ishii, Haruo Kobayashi, Daiki Hirabayashi, Yuta Arakawa, Yuta Doi, Osamu Kobayashi, Tatsuji Matsuura, Kiichi Niitsu, Yuji Yano, Tatsuhiko Gake, Takahiro J. Yamaguchi, Nobukazu Takai, "Multi-bit Sigma-Delta TDC Architecture with Improved Linearity," *Journal of Electronic Testing : Theory and Applications*, Springer, Published online (04 Oct. 2013).Volume 29, Issue 6, pp.879-892 (Dec. 2013)
- [2] Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi, Osamu Kobayashi, Masanobu Tsuji, Sadayoshi Umeda, Ryoji Shiota, Noriaki Dobashi, Masafumi Watanabe, Tatsuji Matsuura, Kiichi Niitsu, Takahiro J. Yamaguchi, Nobukazu Takai and Isao Shimizu, "Phase Noise Measurement and Testing with Delta-Sigma TDC," *The 4th IEICE International Conference on Integrated Circuits Design and Verification*, Ho Chi Minh City, Vietnam (Nov. 15-16, 2013).
- [3] Yusuke Osawa, Daiki Hirabayashi, Naohiro Harigai, Haruo Kobayashi, Osamu Kobayashi, Kiichi Niitsu, Takahiro J. Yamaguchi, Nobukazu Takai, "Phase Noise Measurement with Delta-Sigma TDC," *5th International Conference on Advanced Micro-Device Engineering (AMDE2013)* Kiryu, Japan (Dec. 19, 2013)
- [4] Daiki Hirabayashi, Takeshi Chujo, Haruo Kobayashi, Kentaroh Katoh, Koshi Sato, "Implementation of Time-to-Digital Converter with Self-Calibration," *5th International Conference on Advanced Micro-Device Engineering (AMDE2013)* Kiryu, Japan (Dec. 19, 2013)
- [5] Satoshi Uemori, Masamichi Ishii, Haruo Kobayashi, Yuta Doi, Osamu Kobayashi, Tatsuji Matsuura, Kiichi Niitsu, Fumitaka Abe, Daiki Hirabayashi, "Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement", *IEEE International Mixed-Signals, Sensors, and Systems Test Workshop*, Taipei, Taiwan (May 2012).

- [6] Satoshi Uemori, Masamichi Ishii, Haruo Kobayashi, Yuta Doi, Osamu Kobayashi, Tatsuji Matsuura, Kiichi Niitsu, Yuta Arakawa, Daiki Hirabayashi, Yuji Yano, Tatsuhiro Gake, Nobukazu Takai, Takahiro J. Yamaguchi, "Multi-bit Sigma-Delta TDC Architecture with Self-Calibration," IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).
- [7] 中條剛志, 平林大樹, 加藤健太郎, 李从兵, 李恩思, 小林佑太朗, 王俊善, 佐藤幸志, 小林春夫 「フラッシュ型タイムデジタル回路のヒストグラム法による自己校正の実験検証」 電気学会 電子回路研究会 ECT-14-006 金沢 (2014年1月23日)
- [8] 河内 智、平林 大樹、荒川 雄太、石井 正道、上森 聡史、佐藤 幸志、小林 春夫、志水 勲、高井伸和、新津 葵一, “デジタル信号タイミング試験用 BOST のアナログ FPGA 実現の検討,” 第68回 FTC 研究会, 秋田 (2013年1月10日-12日)
- [9] 大澤優介, 針谷尚裕, 平林大樹, 新津葵一, 小林 修, 山口隆弘, 小林春夫 「シグマデルタ TDC を用いた位相ノイズ測定手法 (1) -システムレベル検討-」 第3回電気学会東京支部栃木・群馬支所合同研究発表会 ETT-12-82, ETG-12-82 宇都宮 (2013年2月28日-3月1日)
- [10] 平林大樹, 針谷尚裕, 大澤優介, 新津葵一, 小林 修, 山口隆弘, 小林春夫 「シグマデルタ TDC を用いた位相ノイズ測定手法 (2) -回路レベル検討-」 第3回電気学会東京支部栃木・群馬支所合同研究発表会 ETT-12-83, ETG-12-83 宇都宮 (2013年2月28日-3月1日)
- [11] 平林大樹, “デジタル信号タイミング試験用マルチビット TDC 回路アーキテクチャ” STARC シンポジウム、学生ポスターセッション、横浜 (2013年1月31日)
- [12] 平林 大樹、荒川 雄太、河内 智、石井 正道、上森 聡史、佐藤 幸志、小林 春夫、新津 葵一、高井 伸和 「デジタル信号タイミング試験用 BOST の検討」 電気学会 電子回路研究会, ECT-12-069, 熊本 (2012年10月4日)
- [13] 伊藤聡志、須釜裕太、平林大樹、西村繁幸、小林春夫、高井伸和、新津葵一 「高性能タイムデジタル回路」 第2回電気学会東京支部栃木・群馬支所合同研究発表会 ETG-11-5 桐生 (2012年2月29日-3月1日)