

平成25年度 修士論文

広帯域低雑音増幅回路の研究

指導教員 馬場 清一 客員教授

群馬大学大学院工学研究科  
電気電子工学専攻

興 大樹

第1章 序論.....	4
1.1 研究背景と目的.....	4
1.2 RF トランシーバの基本構成と低雑音増幅器.....	6
1.3 低雑音増幅器の役割と要求される特性.....	7
1.5 低雑音増幅器の性能指標.....	8
1.6 本論文の構成.....	8
1.7 まとめ.....	9
第2章 従来回路の原理解析.....	10
2.1 フィードフォワードノイズキャンセル低雑音増幅器.....	10
2.1.1 概要.....	10
2.1.2 ノイズキャンセル技術.....	11
2.1.3 入力整合条件と雑音性能間のトレードオフの解消.....	13
2.1.4 歪みキャンセル技術.....	14
2.1.5 小信号電圧利得.....	15
2.1.6 技術的課題.....	16
2.1.7 シミュレーション.....	16
2.2 無信号フィードバック低雑音増幅器.....	18
2.2.1 低雑音増幅器における線形性-消費電力間のトレードオフ.....	19
2.2.2 概要.....	20
2.2.3 無信号フィードバックによるサブアンプ $g_{\text{mfb}}$ の低消費電力化.....	21
2.2.4 サブアンプ $g_{\text{mfb}}$ による低雑音化.....	21
2.2.5 雑音および小信号成分の概要.....	22
2.2.6 無信号フィードバックを適用した LNA.....	23
2.2.7 シミュレーション.....	24
2.3 まとめ.....	26
第3章 信号抑制フィードフォワードノイズキャンセル低雑音増幅器の提案.....	27
3.1 概要.....	27
3.2 小信号抑制技術.....	27
3.3 ノイズキャンセル技術.....	28
3.4 歪みキャンセル技術.....	33
3.5 帰還抵抗 $R_{\text{f2}}$ と消費電力と雑音性能の関係.....	35
3.6 小信号電圧利得.....	35
3.7 入力整合条件と雑音性能の独立.....	35
3.8 シミュレーション検討.....	36
3.9 まとめ.....	39
第4章 容量帰還型信号抑制フィードフォワードノイズキャンセル低雑音増幅器の提案.....	40

4.1 概要.....	40
4.2 ノイズキャンセル条件と信号抑制条件.....	40
4.3 シミュレーション検討.....	42
4.4 まとめ.....	48
第5章 結論.....	49
付録.....	50
A.1 直流電流カット用コンデンサ.....	50
A.1.1 概要.....	50
A.1.2 シミュレーション検討.....	50
A.1.3 まとめ.....	52
参考資料.....	53
研究業績.....	55
謝辞.....	58

# 第1章 序論

## 1.1 研究背景と目的

現在、集積回路の製造・設計技術の進歩によって、携帯電話や無線 LAN(Local Area Network)、無線 PAN(Personal Area Network)など多くの無線サービスが急速に増加している。図 1-1 に示すように使用されている無線通信規格は、通信速度、距離などにより多様化し、広帯域の周波数帯が使用されているため[1-5]、これに対応した広帯域 RF トランシーバ回路の実現が期待されている。

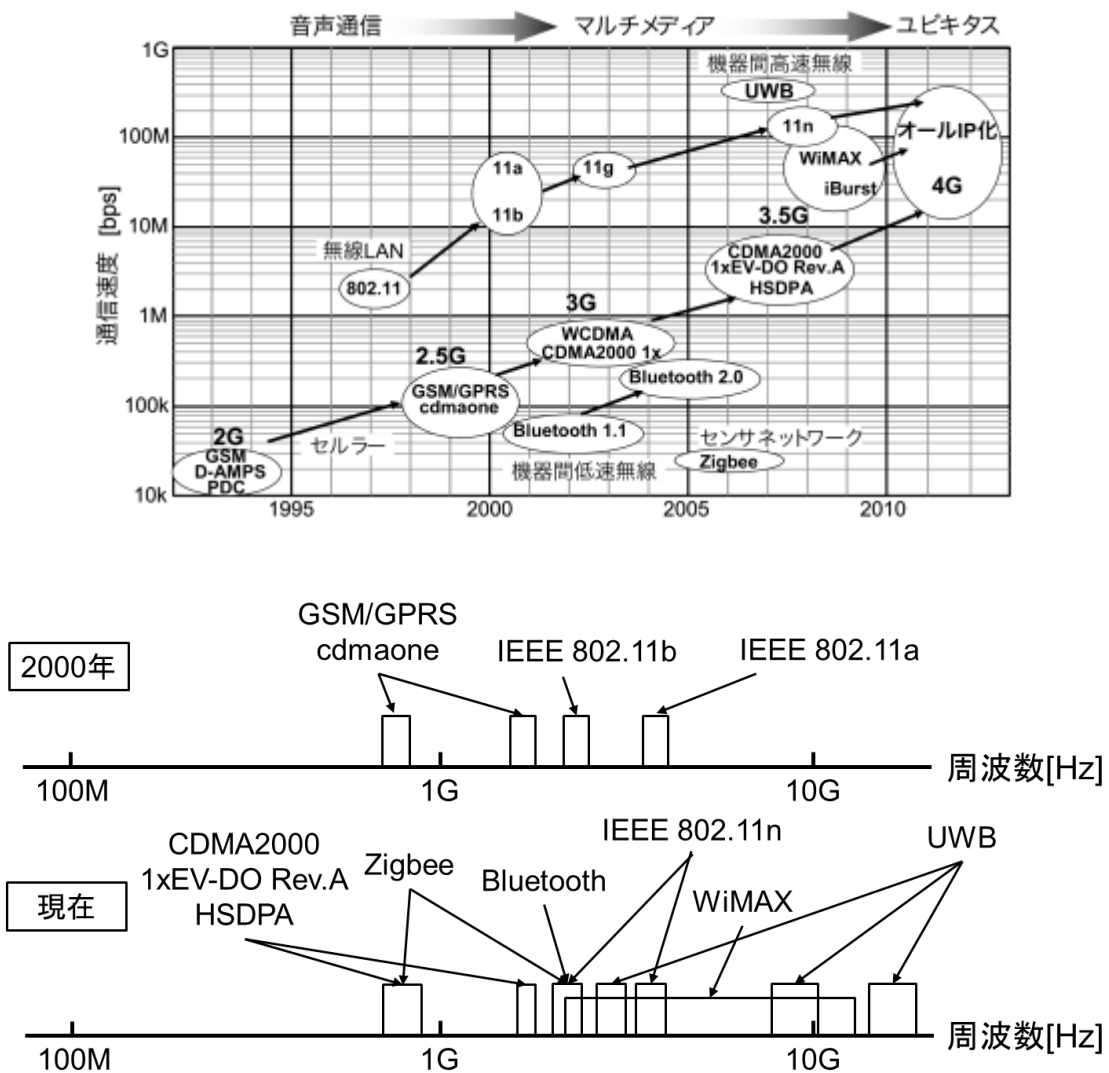


図 1-1. 無線通信の発展と使用周波数帯

図1-2にCMOSプロセスの微細化による高速化と電源電圧の低下を示す[6-8]。従来、GHz帯での高速アナログ集積回路は基本素子であるトランジスタに広域遮断周波数 $f_t$ の高い化合物半導体のGaAsやSiGeバイポーラ、BiCMOSプロセス技術が用いられてきた[6-9]。しかしムーアの法則に従いCMOSプロセスの微細化によって、MOSトランジスタの高周波動作化が可能になり、高集積化とCMOSロジックICの大量生産による低コスト化から、高速アナログ回路であるRFトランシーバ回路においても微細CMOSプロセス技術の適用が前提となっており、ベースバンドデジタル処理回路部と統合しCMOS無線通信システムLSIとして1チップモノリシックIC化の実現が強く期待されている[6,9-11]。この微細化は、デジタル回路の高性能化に有効であるが、トランジスタの耐圧が低下し、電源電圧を下げなくてはならないため、増幅回路の性能確保が難しくなっている。

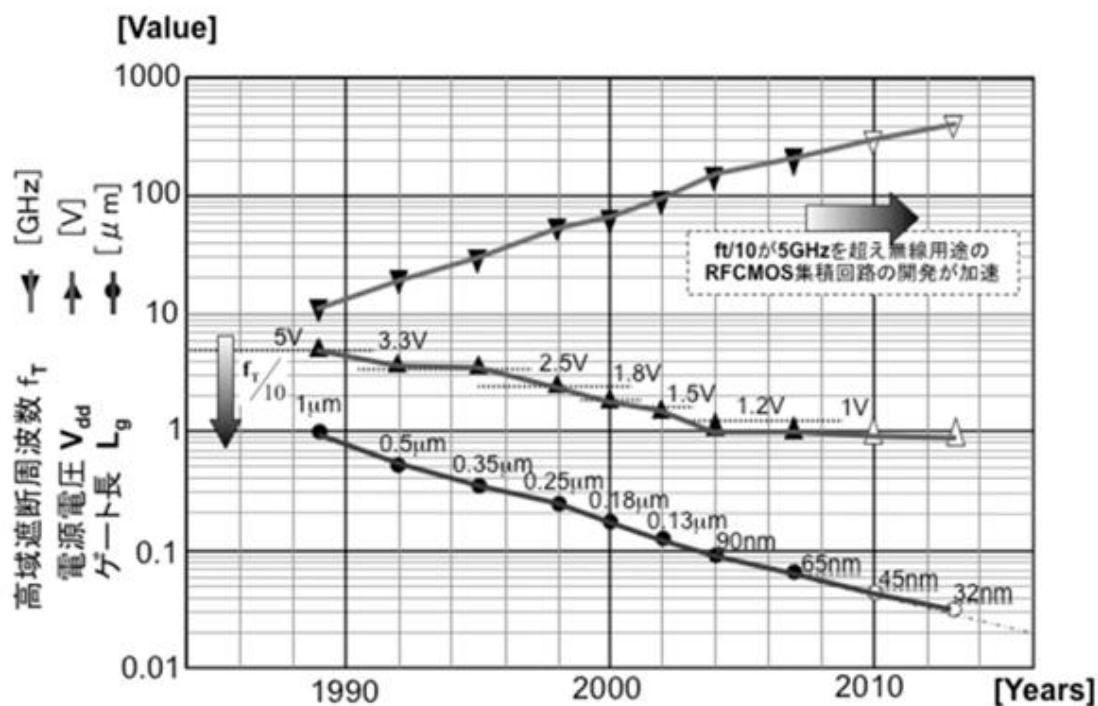


図 1-2. CMOS プロセスの微細化による高速化と電源電圧の低下

RF トランシーバ回路のキーコンポーネントとして低雑音増幅回路(LNA:Low Noise Amplifier)があげられる。LNAは受信用の回路である。LNAはRFトランシーバ回路においては消費電力が小さい傾向にあるが、受信動作のため常に動作しており継続的に電力を消費する。以上の背景を踏まえ、LNAの低消費電力技術について検討を行う。

## 1.2 RF トランシーバの基本構成と低雑音増幅器

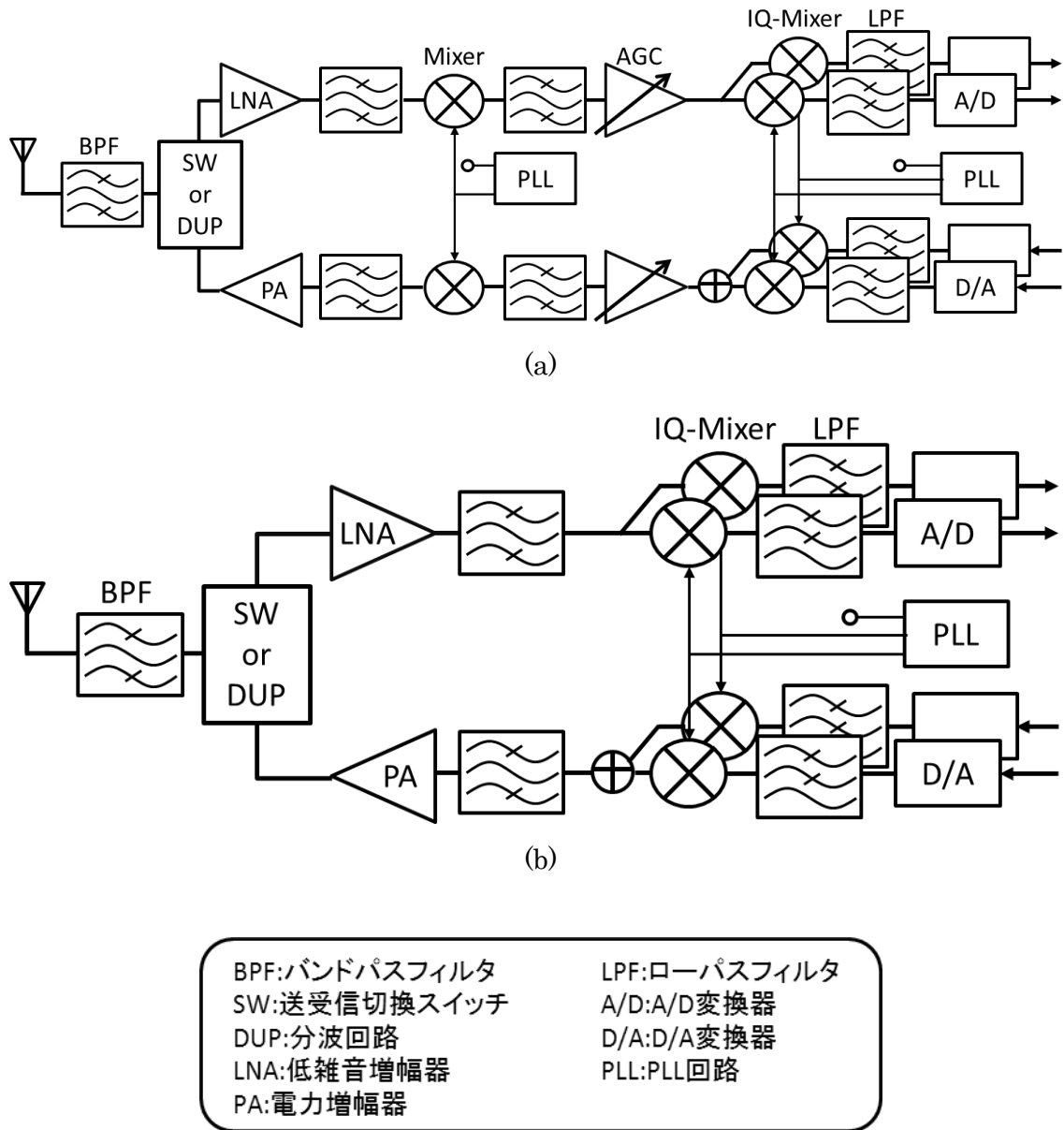


図 1-3. RF トランシーバ回路ブロック図

(a) スーパーヘテロダイン方式 (b) ダイレクトコンバージョン方式

図 1-3 に RF トランシーバの基本構成を示す。従来はミキサによって一度 IF 信号に変換して変復調を行うスーパーヘテロダイン方式(図 1-3(a))が用いられてきたが IF 段でのイメージ除去用のフィルタの集積化が困難なため、現在トランシーバ IC には、ダイレクトコンバージョン方式(図 1-3(b))が多く用いられている。この方式ではミキサで

直接ベースバンド信号へ変換するため IC に外付けのイメージ除去用フィルタが不要になり、RF フロントエンド部へ集積化することが可能である[8,9,11]。

### 1.3 低雑音増幅器の役割と要求される特性

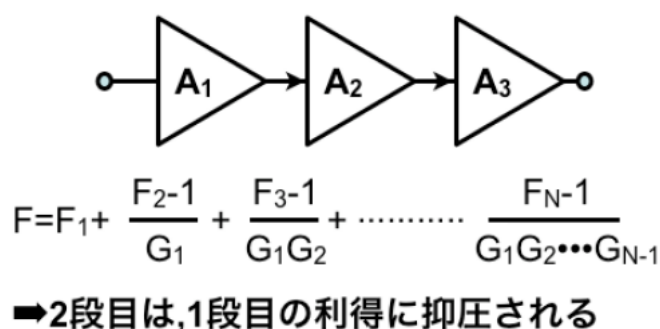


図 1-4. カスケード接続の雑音指数導出のためのフリスの式

図 1-4 に受信回路系全体の雑音指数を示す。この式は一般的にフリスの式と呼ばれ、前提として各段間は  $50\Omega$  で整合されている。この式はカスケード接続された系全体の導出に用いられる。受信回路系における  $F_1$  は初段である LNA の雑音指数であり、以下後段について記述されている。 $G_1$  は初段有効電力値であり、こちらも以下、後段について記述されている。この受信回路系の全体の雑音指数から読み取れることは、全体の雑音指数に対して支配的なのは、初段の雑音指数であるということである。

RF トランシーバにおける LNA は、受信部の初段に位置する増幅回路で、アンテナから受信した微弱な信号を増幅する回路である。微弱な信号を増幅することから、雑音・歪みを付加することなく、そして後段での雑音の影響を受けないようにするため高利得な特性が求められる。

LNA の前段アンテナ入力部には TDD(Time Division Duplex:時間分割複信)システムに、送受信切り替えスイッチが用いられ、FDD(Frequency Division Duplex:周波数分割複信)には送受信の周波数が異なるため、これを選択するフィルタの役割も兼ねるデュプレクサが用いられる。よって前段の送受信切り替えスイッチまたはデュプレクサと整合をとるため、LNA の入力インピーダンスは  $50\Omega$  整合をとる必要がある。また所望信号以外にデュプレクサを介して PA(Power Amplifier:電力増幅器)から送信される信号のクロストークやアンテナから入ってくる妨害信号が LNA に入力される。この妨害信号そのもののほかに、妨害信号のミキシングによって発生するトーンが受信機の感度を劣化させてしまうため、高線形性が要求される。

LNA の後段に接続される回路の考慮も LNA の特性を決める上で重要である。スーパーヘテロダイン方式では、イメージ除去用の BPF(Band Pass Filter:バンドパスフィ

ルタ)が後段に接続されるため  $50\Omega$  の低負荷インピーダンスを駆動する必要がある。ダイレクトバージョン方式では、直接ミキサが接続される。

## 1.5 低雑音増幅器の性能指標

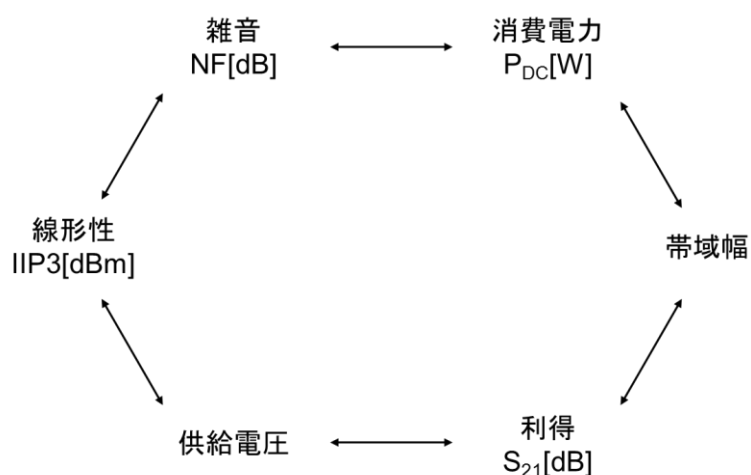


図 1-6. LNA における性能指標とトレードオフ

図 1-6 に LNA の性能指標とトレードオフの関係を示す[12]。雑音では信号電力と雑音電力との比を表す SNR(Signal to Noise Ratio)が増幅器の入力から出力でどれだけ悪化したかを表す NF(Noise Figure)が使用される。入力整合、利得では入射波の電力の反射と等価の比を与える S パラメータを用い、入力整合には反射係数を示す S11 が用いられ、利得(Gain)には入力電力に対する出力電力の比を示す S21 が使用される。

## 1.6 本論文の構成

第 2 章では従来のノイズキャンセル LNA[13]および低消費電力 LNA[14, 15]について、原理解析を行うとともに回路シミュレーションにより設計指針を把握する。

第 3-4 章では信号抑制フィードフォワード LNA の提案し、原理解析およびシミュレーションにより、その有効性を実証する。

第 5 章では本論文で行ったことをまとめて結論とした。



## 1.7 まとめ

本章ではまず研究背景について述べ、本研究の目的は無線通信の送受信を司る RF トランシーバ回路のキーコンポーネントである LNA の低消費電力化の検討を行うことを述べた。また、LNA の性能指標及びそのトレードオフの関係を示した。

## 第2章 従来回路の原理解析

### 2.1 フィードフォワードノイズキャンセル低雑音増幅器

この節では、一般的な広帯域向け低雑音化技術として使用されているフィードフォワード型ノイズキャンセル LNA[13]について述べる。

#### 2.1.1 概要

一般的に広帯域向けの LNA は雑音性能と入力整合間にトレードオフが発生する。雑音性能は増幅に使用される MOSFET のトランスコンダクタンス  $g_m$  を大きくするほど、良い性能となる。対して入力整合では伝送線路の特性インピーダンス  $R_s$  と  $g_m$  との間に条件が存在する。これにより  $g_m$  が自由な値をとることができず、雑音性能を制限する。これを解決したのが、フィードフォワード型のノイズキャンセル LNA である。「入力信号の増幅」および「入力整合条件を満たすこと」を目的とするメインアンプ段と、「メインアンプで発生する雑音をキャンセルする」ノイズキャンセル段で構成される。この構成にすることにより、異なるパラメータを用いてそれぞれ入力整合条件と低雑音化を実現できる。

図 2-1 に回路図を示す。フィードフォワード型ノイズキャンセル LNA はマッチングデバイス  $M_i$  と帰還抵抗  $R_f$  によるメインアンプ段とノイズキャンセルアンプ  $A_{v,c}$  と加算器によるノイズキャンセル段で構成される。マッチングデバイス  $M_i$  により入力整合条件を成立させ、ノイズキャンセル段で低雑音化を実現させている。ノイズキャンセル効果はマッチングデバイス  $M_i$  のチャネル雑音（全体から見てもっとも支配的な雑音）を対象とし、帰還抵抗  $R_f$  やノイズキャンセル段で発生したノイズはキャンセルすることはできない。

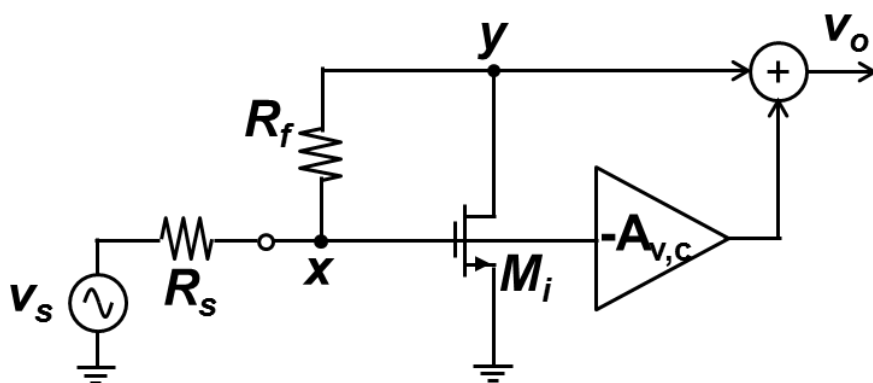


図 2-1 フィードフォワード型ノイズキャンセル LNA

## 2.1.2 ノイズキャンセル技術

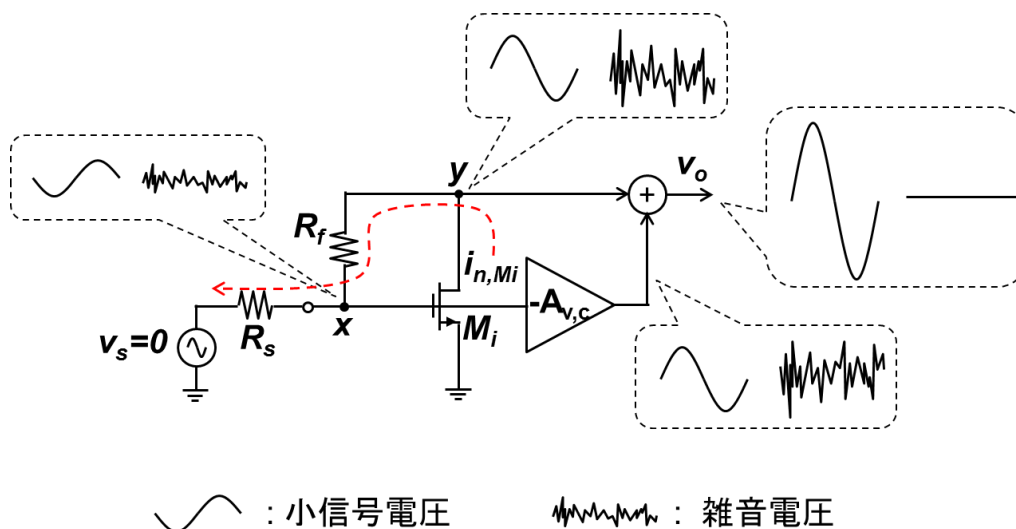


図 2-2 フィードフォワード型ノイズキャンセル LNA の雑音解析

マッチングデバイス  $M_i$  で発生する雑音をノイズキャンセルアンプ  $A_{v,c}$  を用いて反転増幅し、メインアンプ段の出力と加算することでノイズキャンセルする。

図 2-2 にフィードフォワード型ノイズキャンセル LNA 回路の信号成分と雑音成分の概要を示す。なお、ここではマッチングデバイス  $M_i$  のチャネル雑音電流源  $i_{n,M_i}$  のみを入力とする ( $v_s=0$  とする)。チャネル雑音電流  $i_{n,M_i}$  はノード  $y$ 、帰還抵抗  $R_f$  ノード  $x$ 、 $R_s$  を通ってグラウンドへと流れる。このときノード  $x$  とノード  $y$  に次式のような雑音電圧  $v_{n,x}$  と  $v_{n,y}$  が発生する。

$$v_{n,x} = R_s i_{n,M_i} \quad (2-1)$$

$$v_{n,y} = (R_s + R_f) i_{n,M_i} \quad (2-2)$$

ノード  $x$  の雑音電圧  $v_{n,x}$  はノイズキャンセルアンプ  $A_{v,c}$  によって反転増幅され、ノード  $y$  の雑音電圧  $v_{n,y}$  と加算される。これにより出力雑音電圧  $v_{n,o}$  においてノイズがキャンセルされる。出力雑音電圧  $v_{n,o}$  は次式のように表される。

$$v_{n,o} = (R_s + R_f - A_{v,c} R_s) i_{n,M_i} \quad (2-3)$$

出力雑音電圧  $v_{n,o}=0$  とするノイズキャンセルアンプ  $A_{v,c}$  の電圧利得を  $A_{v,c,n}$  とすると。式(2-3)より

$$A_{v,c,n} = \frac{R_s + R_f}{R_s} = 1 + \frac{R_f}{R_s} \quad (2-4)$$

となる（ノイズキャンセル条件）。ノイズキャンセルアンプ  $A_{v,c}$  がノイズキャンセル条件を満たすとき（つまり  $A_{v,c} = A_{v,c,n}$ ）、低雑音化が実現できる。

ノイズキャンセル段はNMOSを2個縦列接続したものによって構成される（図2-3）。まずNMOSの縦列接続とノイズキャンセル段との対応を述べる。図2-4に対応の概要を示す。ノイズキャンセル段は「入力  $v_y$  が  $M_3$  のゲート端子を入力されるソースフォロワ回路」と「 $M_2$  に  $v_x$  が入力され、負荷  $1/g_{m3}$  を有するソース接地増幅回路」によって構成される。ソースフォロワ回路によって  $v_y$  が1倍で出力され、ソース接地増幅回路によって  $v_x$  が  $-g_{m2}/g_{m3}$  倍で出力される。したがって

$$v_o = v_{o1} + v_{o2} = v_y - \frac{g_{m2}}{g_{m3}} v_x \quad (2-5)$$

となる。図2-1において

$$v_o = v_y - A_{v,c} v_x \quad (2-6)$$

であるので式(2-5)と式(2-6)を比較すると  $A_{v,c} = g_{m2}/g_{m3}$  となる。したがってノイズキャンセル条件(式(2-4))は次式のように書き換えられる。

$$A_{v,c,n} = \frac{g_{m2}}{g_{m3}} = 1 + \frac{R_f}{R_s} \quad (2-7)$$

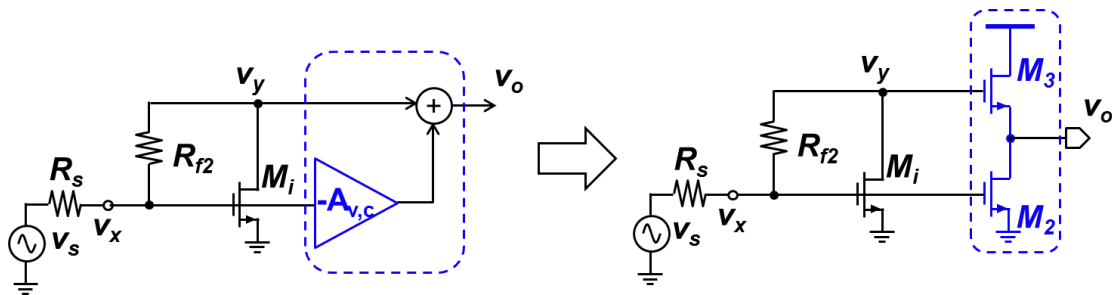


図2-3 ノイズキャンセル部をNMOSで構成

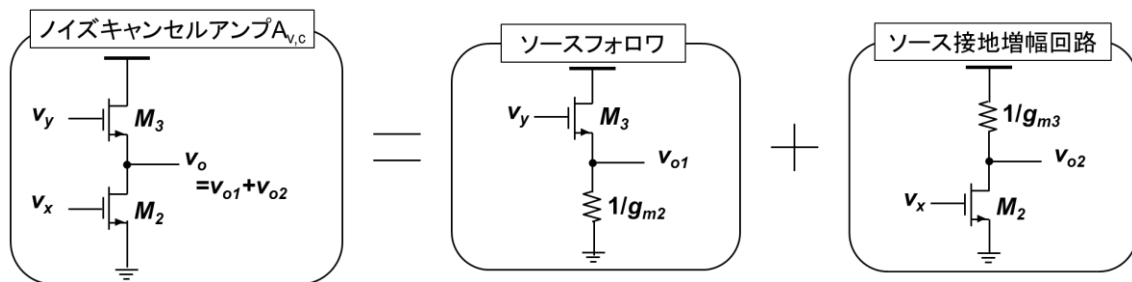


図2-4 ノイズキャンセル部の概要

ノイズキャンセル部を NMOS で構成した場合の雑音指数  $F$  について述べる。図 2-5 に各雑音源を含めた小信号等価回路を示す。雑音指数  $F$  は次式で表される。

$$F = 1 + \left| \frac{R_S + R_f - A_{v,c} R_S}{A_{v,core}} \right|^2 \frac{\gamma g_{mi}}{R_S} + \left| \frac{1 + g_{mi} R_S}{A_{v,core}} \right| \frac{R_f}{R_S} + \left| \frac{1 + g_{mi} R_S}{g_{m3} A_{v,core}} \right| \frac{\gamma (g_{m2} + g_{m3})}{R_S} \quad (2-8)$$

式(2-8)において第 2 項目がマッチングデバイス  $M_i$  による項、第 3 項目が帰還抵抗  $R_f$  による項、第 4 項目がノイズキャンセルアンプ  $g_{m2}$  と  $g_{m3}$  による項である。式(2-8)にノイズキャンセル条件(式(2-4))を代入すると次式のようにになる。

$$F = 1 + 0 + \left| \frac{2}{A_{v,core}} \right| \frac{R_f}{R_S} + \left| \frac{2}{g_{m3} A_{v,core}} \right| \frac{\gamma (g_{m2} + g_{m3})}{R_S} \quad (2-9)$$

第 2 項目に注目する。ノイズキャンセル条件(式(2-4))を代入すると、この項がゼロになることがわかる。これにより雑音指数においてもノイズキャンセルが行われることが確認できる。

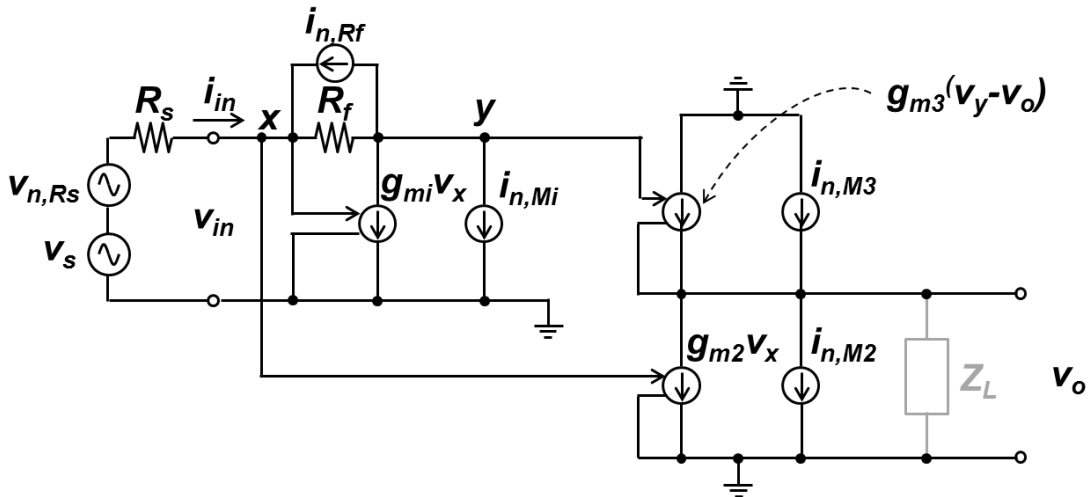


図 2-5 雑音源を含めた小信号等価回路

### 2.1.3 入力整合条件と雑音性能間のトレードオフの解消

図 2-5 において入力インピーダンス  $Z_{in} = v_{in}/i_{in}$  である(小信号成分のみを考慮し、雑音成分は考慮しない)。また、 $i_{in} = g_{mi} v_{in}$  である。したがって入力インピーダンス  $Z_{in}$  および入力整合条件は次式のようにになる。

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{v_{in}}{g_{mi} v_{in}} = \frac{1}{g_{mi}} = R_S \quad (2-10)$$

ここで式(2-7)と式(2-10)に注目する。式(2-4)ではノイズキャンセルアンプ  $A_{v,c} = g_{m2}/g_{m3}$  を調整することにより雑音性能を改善し、式(2-10)はマッチングデバイス  $M_i$  のトラン

スコンダクタンス  $g_{mi}$  を調整することにより入力整合条件を満たすことを示している。ここで重要なのはこれらの条件がそれぞれ独立していることである。これにより広帯域向けの回路でありながら、低雑音かつ入力整合条件を満たすことができる。

### 2.1.4 歪みキャンセル技術

ノイズキャンセルと同様にノイズキャンセルアンプ  $A_{v,c}$  を用いて歪みもキャンセルできる。キャンセルする歪みはマッチングデバイス  $M_i$  で発生するものである（ノイズキャンセルアンプ  $A_{v,c}$  で発生する歪みはキャンセルすることができない）。歪みキャンセルの概要を図 2-6 に示す。ここで非線形電流  $i_{NL}$  (NL: Non Linear) はマッチングデバイス  $M_i$  のゲート - ソース間電圧  $v_{GS}$  をドレイン - ソース電流  $i_{DS}$  に変換する際の非線形成分を表す。具体的にはゲート - ソース間電圧  $v_{GS}$  をテイラー展開したときの 2 次以上の項を表す。

$$i_{DS} = g_{mi}v_{in} + \alpha_1 v_{in}^2 + \alpha_2 v_{in}^3 + \dots = g_{mi}v_{in} + I_{NL} \quad (2-11)$$

$\alpha_n$  ( $n=1, 2, 3, \dots$ ) はテイラー展開によって生じる適当な係数である。歪みキャンセルの原理はノイズキャンセルとほぼ同様である。非線形電流  $i_{NL}$  が帰還抵抗  $R_f$ ,  $R_S$ , グラウンドの経路を流れて、ノード  $x$  と  $y$  に非線形電圧  $v_{NL,x}$  と  $v_{NL,y}$  が発生する。

$$v_{NL,x} = R_S i_{NL} \quad (2-12)$$

$$v_{NL,y} = (R_S + R_f) i_{NL} \quad (2-13)$$

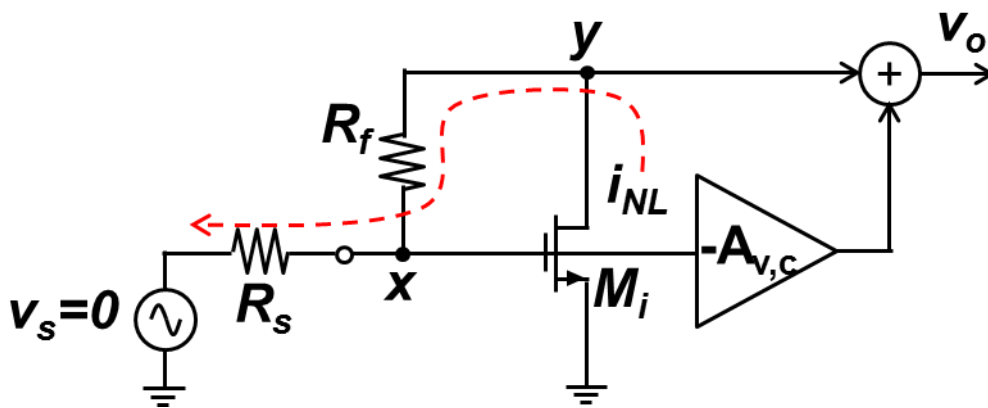


図 2-6 歪みキャンセルの概要

ノード  $x$  の非線形電圧  $v_{NL,x}$  はノイズキャンセルアンプ  $A_{v,c}$  によって反転増幅され、ノード  $y$  の非線形電圧  $v_{NL,y}$  と加算されることにより、出力非線形電圧  $v_{NL,o}$  において歪みキャンセルが行われる。出力非線形電圧  $v_{NL,o}$  は次式のように表される。

$$v_{NL,o} = (R_S + R_f - A_{v,c}R_S)i_{NL} \quad (2-14)$$

出力非線形電圧  $v_{NL,o}=0$  とするノイズキャンセルアンプ  $A_{v,c}$  の電圧利得を  $A_{v,c,NL}$  とすると式(2-14)より

$$A_{v,c,NL} = \frac{R_S + R}{R_S} = 1 + \frac{R}{R_S} \quad (2-15)$$

となる（歪みキャンセル条件）。ノイズキャンセルアンプ  $A_{v,c}$  が歪みキャンセル条件を満たすとき、高線形性が実現できる。 $i_{NL}$  は式(2-11)より入力  $v_{in}$  の関数なので、実際の歪みキャンセル条件は式(2-15)よりずれる。

### 2.1.5 小信号電圧利得

図 2-3 よりノード  $x$  から出力電圧  $v_o$  への伝達関数  $A_v = v_o/v_x$  は次式のようになる。

$$A_v = \frac{v_o}{v_x} = 1 - g_{mi}R_f - A_{v,c} \quad (2-16)$$

またノード  $x$  の電圧  $v_x$  は入力  $v_s$  を用いると

$$v_x = \frac{v_s}{1 + g_{mi}R_S} \quad (2-17)$$

となる。式(2-16)および式(2-17)よりこの回路全体の小信号電圧利得  $A_{v,total} = v_o/v_s$  は

$$A_{v,total} = \frac{v_o}{v_s} = \frac{1 - g_{mi}R_f - A_{v,c}}{1 + g_{mi}R_S} \quad (2-18)$$

となる。ノイズキャンセルアンプの電圧利得  $A_{v,c}$  は  $A_{v,c} = g_{m2}/g_{m3}$  なのでこれを式(2-18)に代入すると、この回路の小信号電圧利得  $A_{v,total}$  は

$$A_{v,total} = \frac{v_o}{v_s} = \frac{1 - g_{mi}R_f - g_{m2}/g_{m3}}{1 + g_{mi}R_S} \quad (2-19)$$

となる。

## 2.1.6 技術的課題

本回路は広帯域で入力整合条件を満たしつつ、低雑音化を実現した回路であるが、ノイズキャンセルアンプ  $A_{v,c}$  により消費電力が大きくなりやすいという課題を抱えている。

## 2.1.7 シミュレーション

図 2-7 にシミュレーション回路を示す。メインアンプは容量  $C_S$ ,  $C_1$ , 抵抗  $R_{B1}$ ,  $R_f$ , NMOS  $M_{ia}$ ,  $M_{ib}$ , 定電圧源  $V_{B1}$ ,  $V_{DD1}$  でノイズキャンセル段は容量  $C_2$ ,  $C_3$ ,  $C_L$ , 抵抗  $R_{B2}$ ,  $R_{B3}$ , NMOS  $M_2$ ,  $M_3$ , 定電圧源  $V_{B2}$ ,  $V_{B3}$ , 定電流源  $i_{res}$  によって構成される。今回の検証ではメインアンプに gm-boost 構造を用いた。容量  $C_S$ ,  $C_1$ ,  $C_2$ ,  $C_3$  は直流電流が流れるのを阻止するために付いており、小信号的な特性についての変化はほぼ無視できる。定電圧源  $V_{B1}$ ,  $V_{B2}$ ,  $V_{B3}$ , 抵抗  $R_{B1}$ ,  $R_{B2}$ ,  $R_{B3}$  はそれぞれの NMOS のゲートバイアスを固定するために付いている。定電流源  $i_{res}$  は  $M_2$  および  $M_3$  のトランスコンダクタンス  $g_{M2}$ ,  $g_{M3}$  を調整するために付いている。小信号電圧源  $v_s$  が入力で  $R_s$  は伝送線路の特性インピーダンス ( $R_s=50\ \Omega$ ) である。シミュレーションには Cadence 社 Spectre TSMC 0.90 $\mu\text{m}$  CMOS プロセスを用いた。各素値は  $C_S = C_1 = C_2 = C_3 = 1\text{ nF}$ ,  $(W/L)_{M_{ia}} = (W/L)_{M_{ib}} = 47\ \mu\text{m}/130\text{ nm}$ ,  $R_f = 370\ \Omega$ ,  $V_{DD1} = 1.2\text{ V}$ ,  $V_{B1} = 550\text{ mV}$ ,  $R_{B1} = 50\text{ k}\Omega$ ,  $(W/L)_{M_3} = 25\ \mu\text{m}/130\text{ nm}$ ,  $V_{DD2} = 1.2\text{ V}$ ,  $R_{B2} = R_{B3} = 50\text{ k}\Omega$ ,  $V_{B2} = 50\text{ k}\Omega$ ,  $C_L = 1\text{ pF}$ , とした。 $(W/L)_{M_2}$  はノイズキャンセルアンプ  $A_{v,c}$  の利得を変化させるため、適宜調整した。

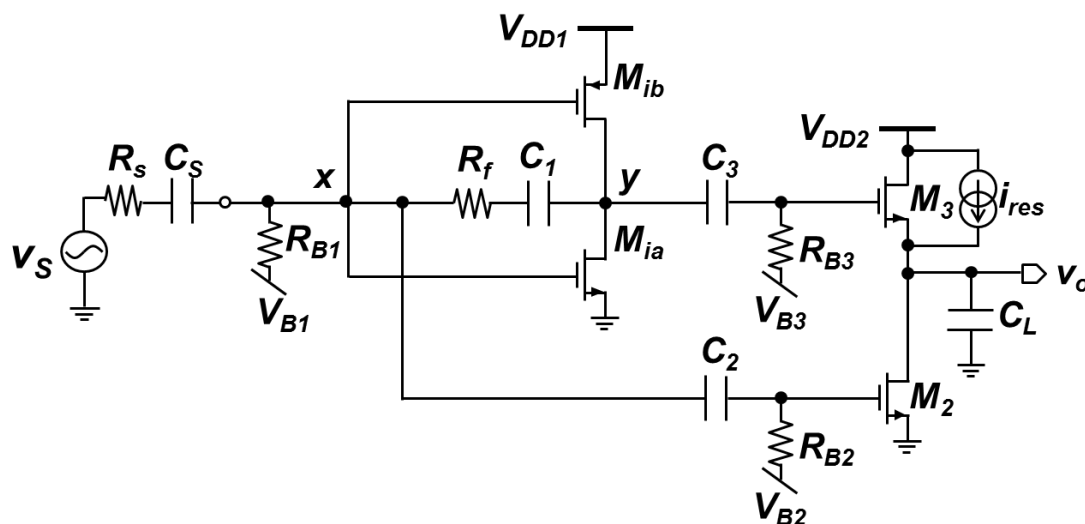


図 2-7 シミュレーション回路



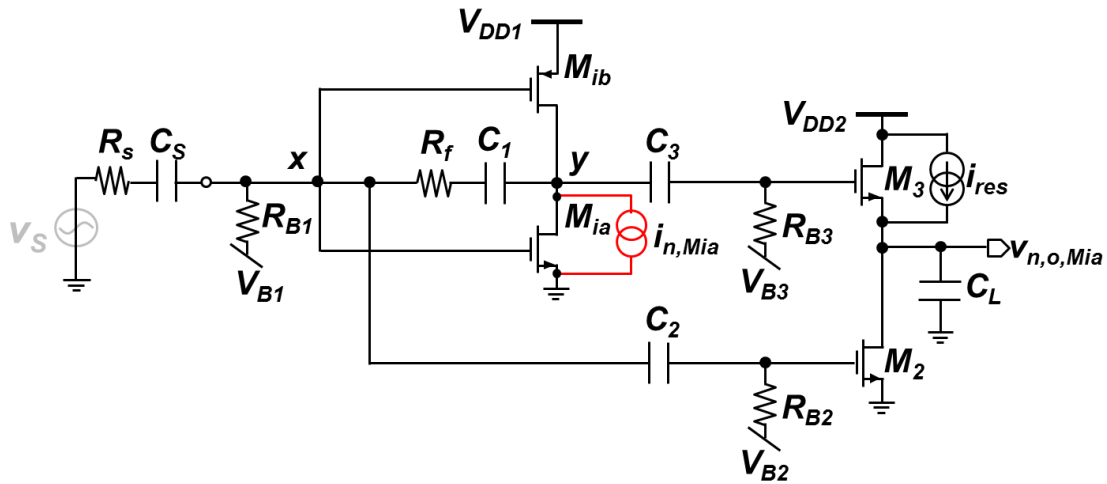


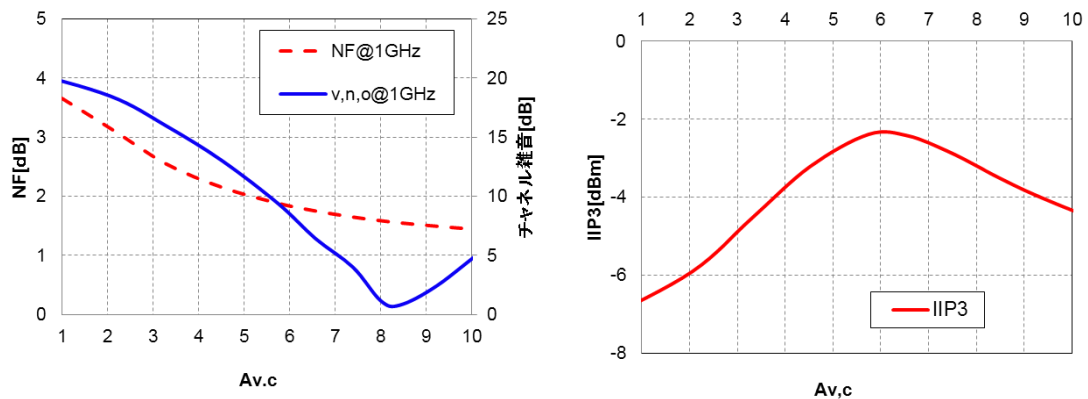
図 2-8 ノイズキャンセル効果確認のためのシミュレーション回路

最初にノイズキャンセルの原理確認として 2 種類のシミュレーションを行った。① NMOS  $M_{ia}$  のチャネル雑音電流のモデル  $i_{n,Mia}$  を入力とし、ノイズキャンセルアンプの電圧利得  $A_{v,c}$  を 1 から 10 まで変化させたときの出力雑音電圧  $v_{n,o,Mia}$  を AC 解析でシミュレーションした(図 2-8)。②図 2-7 の回路で SP 解析を行い、ノイズキャンセルアンプの利得  $A_{v,c}$  を 1 から 10 まで変化させたときの NF をシミュレーションした。それぞれのシミュレーション結果をそれぞれ図 2-9(a)に示す。 $v_{n,o,Mi}$  および NF の値は 1GHz のものとする。

図 2-9(a)より、ノイズキャンセルアンプ  $A_{v,c}=8.2$  程度で出力雑音電圧  $v_{n,o,Mia}$  が最低値を取っていることがわかる (NF に関しては回路の電圧利得も関係してくるため、最適点は出てこない)。これは式(2-7)を用いたノイズキャンセル条件の計算値  $A_{v,c}=8.4$  とほぼ一致している。

次に歪みキャンセルについても同様にノイズキャンセルアンプの利得  $A_{v,c}$  を 1 から 10 まで変化させたときの IIP3 の変化を QPSS 解析によってシミュレーションした。入りに 79MHz と 81MHz の 2 トーン信号を入力し、79MHz を基本波、77MHz を 3 次高調波とした。シミュレーション結果を図 2-9(b)に示す。図 2-9(b)より歪みキャンセル条件が  $A_{v,c}=6$  程度であることがわかる。

最後にノイズキャンセルの利得  $A_{v,c}$  を 2.1、5.7、8.4(ノイズキャンセル条件)、11 にしたときの NF および S パラメータ  $S_{21}$ 、 $S_{11}$  の周波数特性をシミュレーションした。図 2-10 がシミュレーション結果である。 $A_{v,c}=8.41$  時に広帯域で NF=1.5dB を実現している。このとき IIP3=-3.46dBm、消費電力は 13.5mW であった。



(a) NF vs  $A_{v,c}$  と  $v_{n,o,Mia}$  vs  $A_{v,c}$

(b) IIP3 vs  $A_{v,c}$

図 2-9 シミュレーション結果

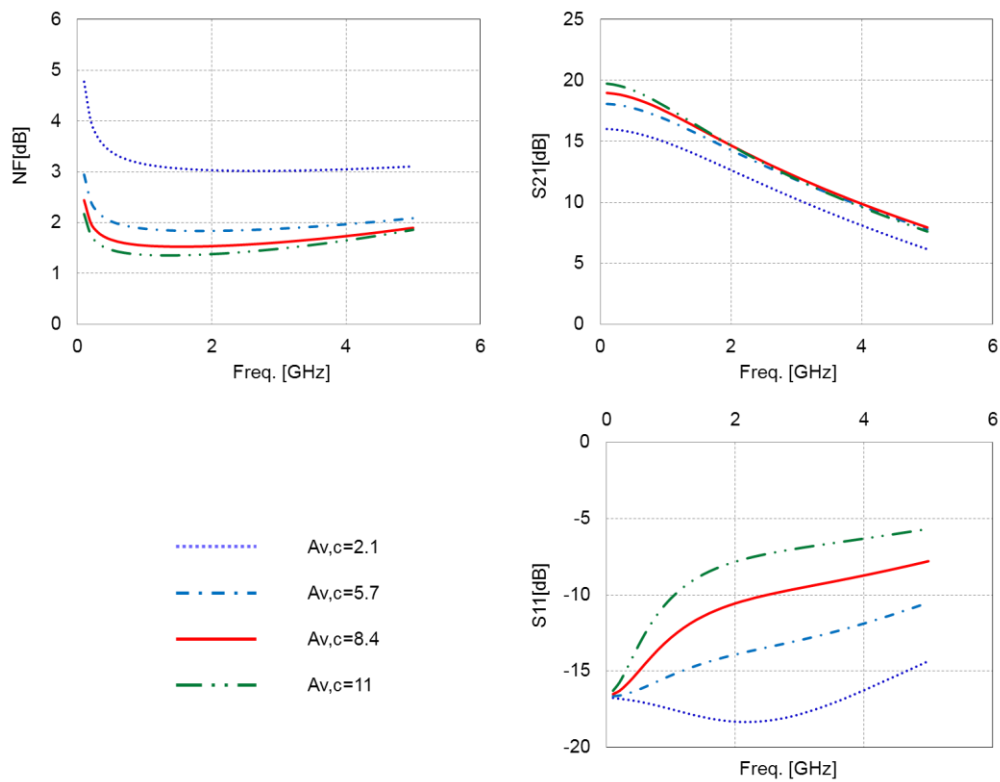


図 2-10 シミュレーション結果 (NF, S21, S11 の周波数特性)

## 2.2 無信号フィードバック低雑音増幅器

この節では広帯域向けの低消費電力雑音低減技術である無信号フィードバックを用いた LNA[14, 15]の原理解析およびシミュレーションについて述べる。

## 2.2.1 低雑音増幅器における線形性－消費電力間のトレードオフ

原理解析に入る前に、LNA における線形性－消費電力間のトレードオフについて述べる。式(2-20)は飽和領域における NMOS のゲート－ソース間電圧  $V_{GS}$  とドレイン電流  $I_D$  の簡易的な関係式  $I_D(V_{GS})$  は以下の通りである。

$$I_D(V_{GS}) = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2-20)$$

$\mu_n$  は電子の易動度、 $C_{ox}$  は単位面積あたりのゲート容量、 $V_{GS} - V_{TH}$  はオーバードライブ電圧である。式(2-20)をテイラー展開したものが次式である。

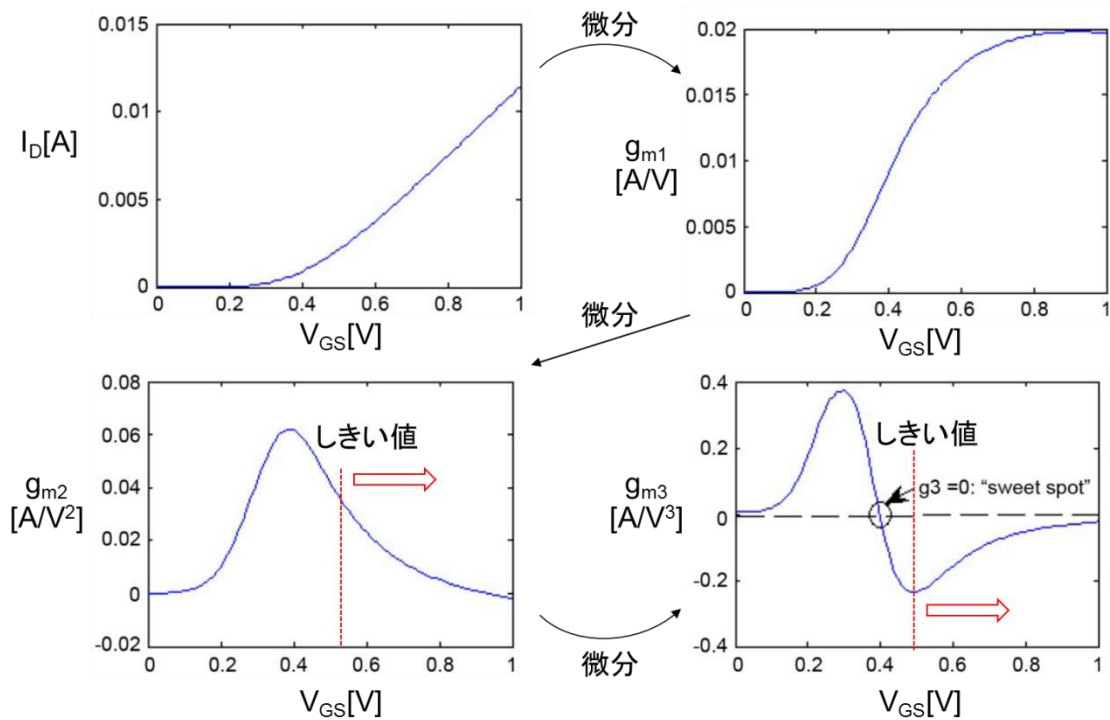
$$\begin{aligned} I_D(V_{GS} + \Delta V_{GS}) &= I_D(V_{GS}) + \frac{\partial I_D(V_{GS})}{\partial V_{GS}} \Delta V_{GS} + \frac{1}{2} \frac{\partial^2 I_D(V_{GS})}{\partial V_{GS}^2} (\Delta V_{GS})^2 \\ &\quad + \frac{1}{6} \frac{\partial^3 I_D(V_{GS})}{\partial V_{GS}^3} (\Delta V_{GS})^3 + \dots \end{aligned} \quad (2-21)$$

各項の係数は式(2-20)を  $V_{GS}$  で偏微分を行っていったものである（今回はドレイン電流  $I_D$  の式に簡易的なものを用いたので 3 次以降の係数がゼロになるが、実際には 3 次以降の係数も存在する）。

$$\frac{\partial I_D(V_{GS})}{\partial V_{GS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) = g_m \quad (2-22)$$

$$\frac{\partial^2 I_D(V_{GS})}{\partial V_{GS}^2} = \mu_n C_{ox} \frac{W}{L} = g_{m2} \quad (2-23)$$

各項の係数を  $V_{GS}$  に対してプロットしたものが図 2-11 である。ここで 2 項目以降の成分に注目する。今、MOS のサイズ  $W/L$  を一定として、オーバードライブ電圧  $V_{GS} - V_{TH}$  の値を大きくしていった場合を考える。このとき、式(2-22)と式(2-23)を比較すると、1 次の係数  $g_{m1}$  (線形成分)のみが大きくなり、 $g_{m2}$  (非線形成分)の値は変化がないことがわかる(実際には図 2-11 のように  $g_{m2}$  は減少していく)。つまり、MOS のサイズ  $W/L$  を一定でオーバードライブ電圧  $V_{GS} - V_{TH}$  を大きくすると MOS の線形性が高くなることがわかる。一方、式(2-21)より、直流ドレイン電流  $I_D(V_{GS})$  が大きくなることがわかる。この直流ドレイン電流  $I_D(V_{GS})$  が増加するほど消費電力が大きくなるので、オーバードライブ電圧  $V_{GS} - V_{TH}$  を大きくすると消費電力が大きくなることがわかる。以上をまとめると、MOS のサイズ  $W/L$  が一定のとき、オーバードライブ電圧  $V_{GS} - V_{TH}$  を大きくすると、線形性が高くなるが消費電力も大きくなる。LNA では低雑音であると同時に、高線形性であることも望まれるためここで消費電力と線形性の間にトレードオフが発生する。



参考『Linearization Techniques for CMOS Low Noise Amplifiers: A Tutorial』

図 2-11  $V_{GS}$  に対するトランスダクタンス値の変化

## 2.2.2 概要

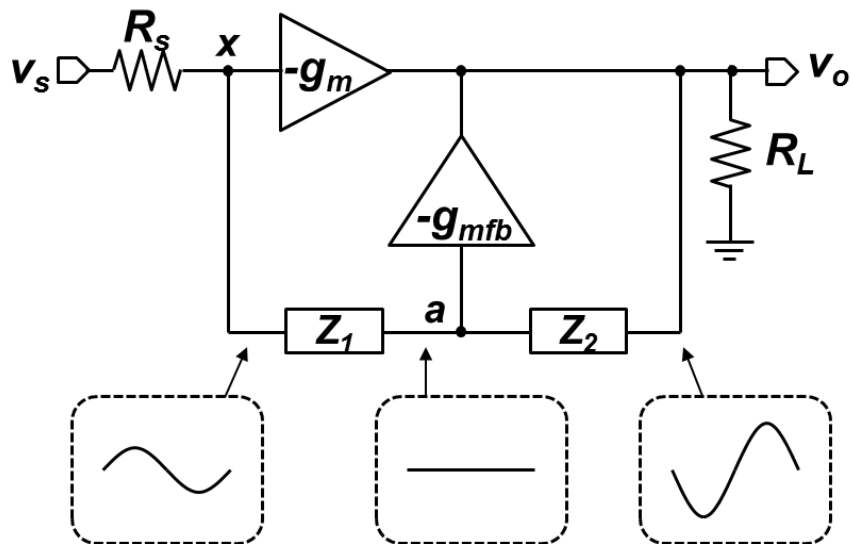


図 2-12 無信号フィードバック LNA のブロック図

LNA における消費電力と線形性間のトレードオフについて述べたが、このトレードオフを緩和したのが無信号フィードバック技術である。図 2-12 に無信号フィードバックを適用した LNA のブロック図を示す。入出力で位相が反転するメインアンプ（トランスコンダクタンスセル  $g_m$ ）、抵抗  $R_L$ 、ノイズ低減用のサブアンプ  $g_{mfb}$ 、無信号フィードバック部  $Z_1$  および  $Z_2$  で構成される。トランスコンダクタンスセル  $g_m$  および  $g_{mfb}$  は MOS によって実現される。この技術は「無信号フィードバックによるサブアンプ  $g_{mfb}$  の低消費電力化」と「サブアンプ  $g_{mfb}$  への雑音成分のフィードバックによる低雑音化」により成り立つ。

### 2.2.3 無信号フィードバックによるサブアンプ $g_{mfb}$ の低消費電力化

無信号フィードバックとは負の利得を持つメインアンプ  $g_m$  と  $R_L$  により位相が反転した入出力を 2 つのインピーダンス  $Z_1$  および  $Z_2$  を介することでノード a の小信号成分  $v_a$  を打ち消し、サブアンプ  $g_{mfb}$  で発生する消費電力を低減させる技術である。ノード a の小信号成分  $v_a$  を打ち消すため、 $Z_1$  と  $Z_2$  は特定の比を持つ。 $v_a$  は以下の式で表される（無信号条件）。

$$v_a = v_x + \left( v_o - \frac{v_o - v_x}{Z} \right) Z_1 = \left( \frac{Z_2 - A_v Z_1}{Z} \right) v_x \quad (2-24)$$

$Z = Z_1 + Z_2$ 、 $A_v$  はメインアンプの電圧利得で  $A_v = -v_o/v_x$  である。式(2-24)においてメインアンプの電圧利得  $A_v$  が  $Z_2/Z_1$  と一致したとき、 $v_a = 0$  となり小信号成分がキャンセルされる。「 $Z_1$  および  $Z_2$  に電流が流れ込まない」かつ  $v_a = 0$  のとき、メインアンプの単体での電圧利得  $A_{v,core}$  は

$$A_{v,core} = G_m R_L = \frac{Z_2}{Z_1} \quad (2-25)$$

で表される。

ノード a の信号はサブアンプ  $g_{mfb}$  への入力端子(実回路では NMOS のゲート)に入力される。ここでも前節で述べたとおり、MOS における線形性と消費電力間のトレードオフが存在している。ここで  $v_a = 0$  にすることにより  $g_{mfb}$  で発生する非線形成分が回路全体へ与える影響を小さくできる（理想的にはゼロ）。これによりノード a の大信号成分  $V_a$  を小さくすることができ、線形性と消費電力間のトレードオフを緩和できる。

### 2.2.4 サブアンプ $g_{mfb}$ による低雑音化

図 2-13 は図 2-12 に雑音源とその経路を追加したものである。 $i_{n,gm}$  および  $i_{n,gmfb}$  はそれぞれメインアンプ  $g_m$  とサブアンプ  $g_{mfb}$  で発生するチャネル雑音電流である。一般的なフィードバック LNA と同様の原理で雑音を低減する。雑音電流  $i_{n,gm}$ 、 $i_{n,gmfb}$  は出力か

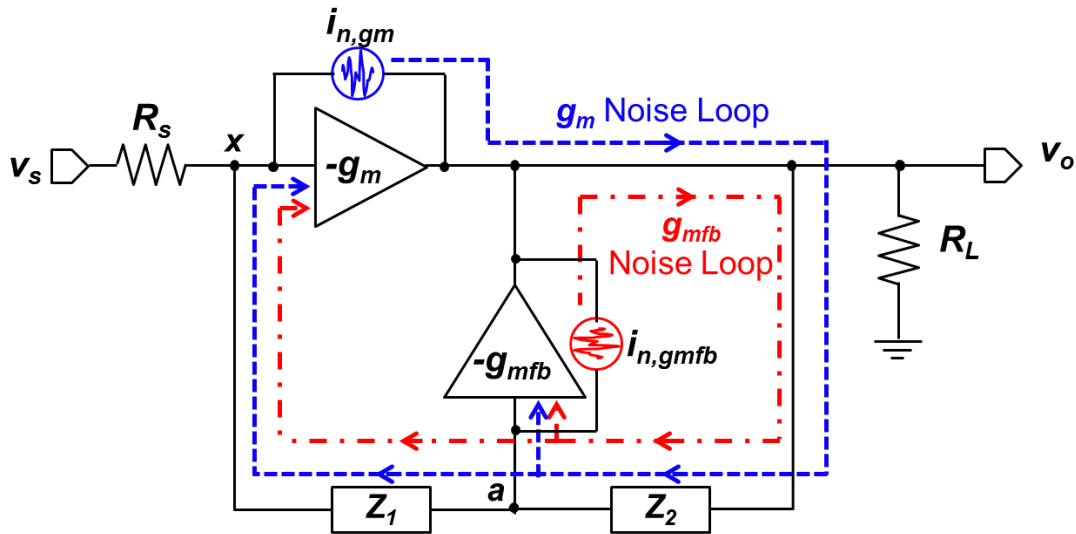


図 2-13 雑音源とその経路

ら  $Z_2$  を介してサブアンプ  $g_{mfb}$  にフィードバックされる。サブアンプ  $g_{mfb}$  の利得を大きくしていくと出力の雑音電圧が低減する。同様に出力から  $Z_2, Z_1$  を介してメインアンプ  $g_m$  にもフィードバックされる。メインアンプ  $g_m$  の利得を大きくしていくと出力における雑音が低減する。サブアンプとメインアンプでそれぞれ利得を大きくしていったときに同様の雑音低減効果が得られるが、先に述べた無信号フィードバックによる低消費電力効果を得られるのはサブアンプ  $g_{mfb}$  のみであるので、今回はサブアンプ  $g_{mfb}$  に注目して雑音解析を進めていく。

雑音解析を行うため、雑音電流源  $i_{n,gm}$  および  $i_{n,gmfb}$  のみの入力とした場合を考える。このときの出力  $v_o$  での雑音電圧を  $v_{n,o}$  とすると

$$\begin{aligned}
 v_{n,o} &= \frac{A_v}{g_m + g_{mfb}} i_{n,gm} + \frac{A_v}{g_m + g_{mfb}} i_{n,gmfb} \\
 &= \frac{A_v}{g_m + g_{mfb}} (i_{n,gm} + i_{n,gmfb})
 \end{aligned}
 \tag{2-26}$$

となる。 $A_v$  は回路全体の電圧利得で  $A_v = v_o / v_s$  とする。1 項目は  $i_{n,gm}$  による雑音電圧、2 項目は  $i_{n,gmfb}$  による雑音電圧を表す。式(2-26)より出力雑音電圧  $v_{n,o}$  は  $g_{mfb}$  に反比例の関係であることがわかる。 $g_{mfb}$  を大きくしていくことで雑音性能を改善できる。

## 2.2.5 雑音および小信号成分の概要

ここまでのまとめとして各ノードの小信号成分と雑音成分を簡易的に述べる。図 2-14 は出力  $v_o$  から  $Z_1, Z_2, R_s$  を経由して  $v_s$  までの経路の小信号成分と雑音成分の概要である。小信号成分は「入力  $v_s$ 」と「 $v_s$  と反転した位相を持つ出力  $v_o$ 」を  $Z_1, Z_2$  を用いてノード  $a$  の小信号成分  $v_a$  をキャンセルしている。雑音成分については、入力雑音電圧  $v_{n,s} =$

0 なので出力雑音電圧  $v_{n,o}$  を  $Z_2$  と  $(Z_1+R_s)$  で分圧したものがノード a の雑音電圧  $v_{n,a}$  となる。 $R_s$ 、 $Z_1$  が共にゼロ以上なので、 $Z_2/Z_1$  がどのような比であっても雑音成分がフィードバックされることがわかる。以上より「無信号フォードバックによる低消費電力効果」と「サブアンプ  $g_{mfb}$  への雑音成分のフィードバックによる低雑音効果」が同時に得られることがわかる。

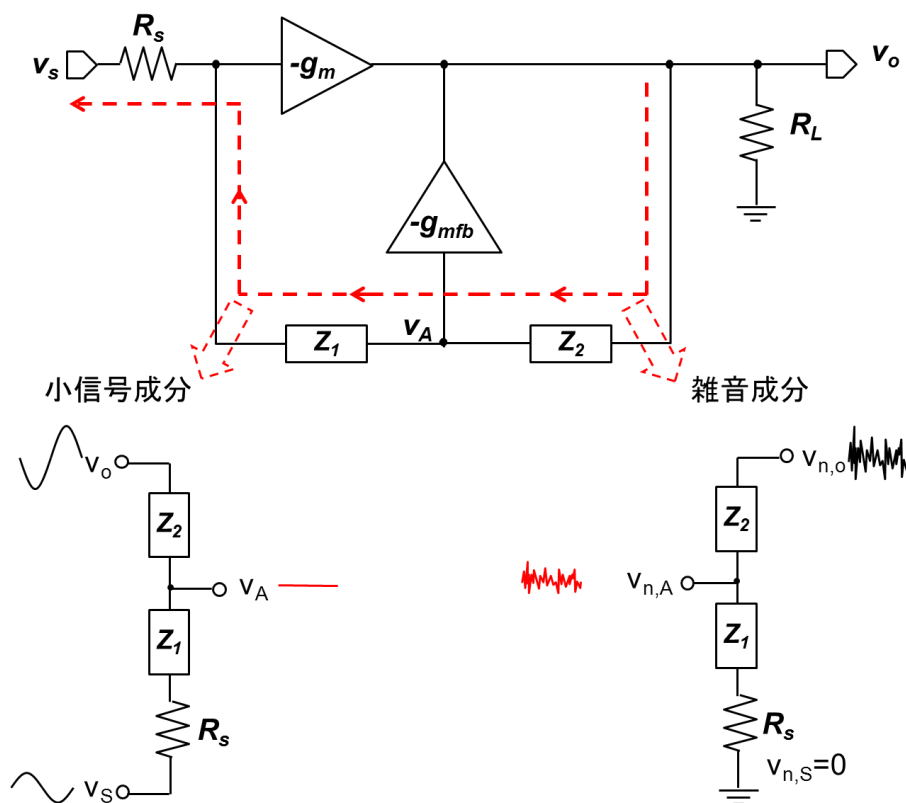


図 2-14 小信号成分と雑音成分の概要

## 2.2.6 無信号フィードバックを適用した LNA

図 2-15 が無信号フィードバック LNA の実回路である。 $R_s$  は伝送線路の特性インピーダンス( $R_s=50\Omega$ )、 $R_f$ 、 $R_L$ 、 $R_{B1}$ 、 $C_s$ 、 $C_f$ 、 $V_{B1}$ 、 $M_A$  がメインアンプ(図 2-12 の  $g_m$ 、 $R_L$  に相当)、 $R_{B2}$ 、 $V_{B2}$ 、 $M_{fb}$  サブアンプ(図 2-12 の  $g_{mfb}$  に相当)、 $C_i$ 、 $C_o$  が無信号負帰還部(図 2-12 の  $Z_1$ 、 $Z_2$  に相当)である。今回は無信号負帰還部を容量で構成した。容量を使用することのメリットは低雑音化を実現できること、デメリットは周波数帯域が狭くなることあげられる。抵抗で構成すると、雑音性能が悪くなるが周波数帯域が広がる。実回路における各特性式は次のようになる。

$$Z_{in} = \frac{1}{sC_s} + \frac{Z_f + R_L + \frac{Z_f R_L}{Z_i + Z_o} (1 + g_{mfb} Z_i)}{\left(1 + \frac{Z_f}{Z_i + Z_o}\right) \{1 + R_L (g_{mA} + g_{mfb})\}} \quad (2-27)$$

$$A_v = -R_L \frac{g_{mA}Z_F - 1 + \frac{Z_F}{Z_i + Z_o}(g_{mfb}Z_o - 1)}{Z_S + Z_F + R_L\{1 + (g_{mA} + g_{mfb})Z_S\} + \frac{Z_F}{Z_i + o}\{Z_S + R_L(1 + g_{mA}Z_S) + g_{mfb}R_L(Z_S + Z_i)\}} \quad (2-28)$$

$$v_A = \frac{sR_{B2}(v_{in}C_i + v_oC_o)}{1 + sR_{B2}(C_i + C_o)} \quad (2-29)$$

$$NF \approx 1 + \frac{\gamma}{(g_m + g_{mfb})R_S} + \frac{R_s}{R_f} + \frac{Z_i^2}{R_S R_{B2}} \quad (2-30)$$

$Z_i = 1/sC_i$ ,  $Z_o = 1/sC_o$ ,  $Z_f = R_f + 1/sC_f$  とする。式(2-29)において、 $v_o/v_{in} = -C_i/C_o$  のとき  $v_A = 0$  となる(無信号条件)。また無信号条件は単純に容量の比で決まり、周波数特性を持たないことがわかる。式(2-30)の 2 項目に注目する。2 項目は  $M_A$  および  $M_{fb}$  のチャネル雑音源による項である。この項は  $g_{mfb}$  に反比例しており、サブアンプによる低雑音効果があることがわかる。

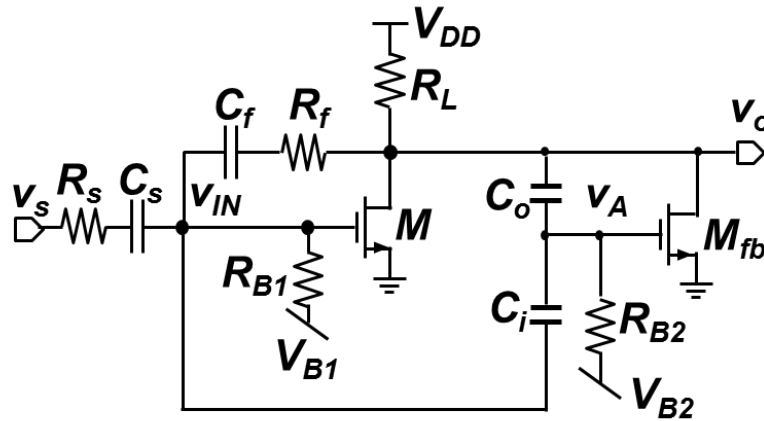


図 2-15 無信号フィードバック LNA の実回路

## 2.2.7 シミュレーション

$g_{mfb}$  を大きくしていったときに雑音低減効果が表れているか確認を行った。シミュレーション回路は図 2-16 である。 $C_{a1}$  は直流電流カットのため、 $L_a$  および  $V_{B3}$  は  $M_{fb}$  のドレイン電圧を確保するためのものである。シミュレーションには Cadence 社 Spectre 180nmCMOS プロセスを用いた。各素子の素子値は以下の通りである。 $C_S = C_f = C_{a1} = 1\text{nF}$ ,  $(W/L)_{MA} = 180\mu\text{m}/180\text{nm}$ ,  $R_f = 370\Omega$ ,  $R_{B1} = R_{B2} = 10\text{k}\Omega$ ,  $R_L = 150\Omega$ ,  $V_{DD} = 1.1\text{V}$ ,  $V_{B1} = 600\text{mV}$ ,  $V_{B2} = 520\text{mV}$ ,  $V_{B3} = 560\text{mV}$  である。 $g_{mfb}$  を 0, 15, 40mS と変化させたときの S パラメータ  $S_{21}$ ,  $S_{11}$  と NF の周波数特性の変化および IIP3 の変化をシミュレーションした。 $C_i$  および  $C_o$  は  $g_{mfb}$  の変化に応じてそれぞれ次のように設定した。 $G_{mfb}=0\text{mS}$  のとき  $C_i=1.2\text{pF}$ ,  $C_o=400\text{fF}$ ,  $G_{mfb}=15\text{mS}$  のとき  $C_i=1.2\text{pF}$ ,  $C_o=360\text{fF}$ ,  $G_{mfb}=40\text{mS}$  のとき  $C_i=1.2\text{pF}$ ,  $C_o=300\text{fF}$  である。



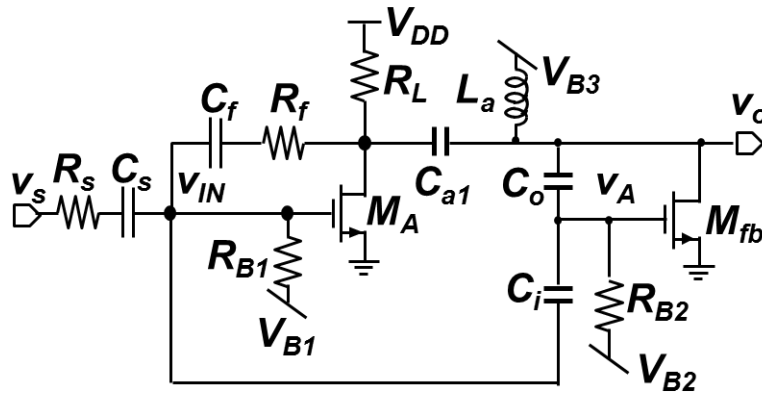


図 2-16 シミュレーション回路

図 2-17 がシミュレーション結果である。NF の周波数特性に注目すると  $g_{mfb}$  を大きくしていったときに NF が低く（雑音性能が良く）なっていくことがわかる。また同様に IIP3 が高く（線形性が良く）なっていくこともわかる。これは非線形成分も雑音成分と同様に  $g_{mfb}$  にフィードバックされているためである。消費電力はそれぞれ 4.05mW, 4.47mW, 5.33mW である。

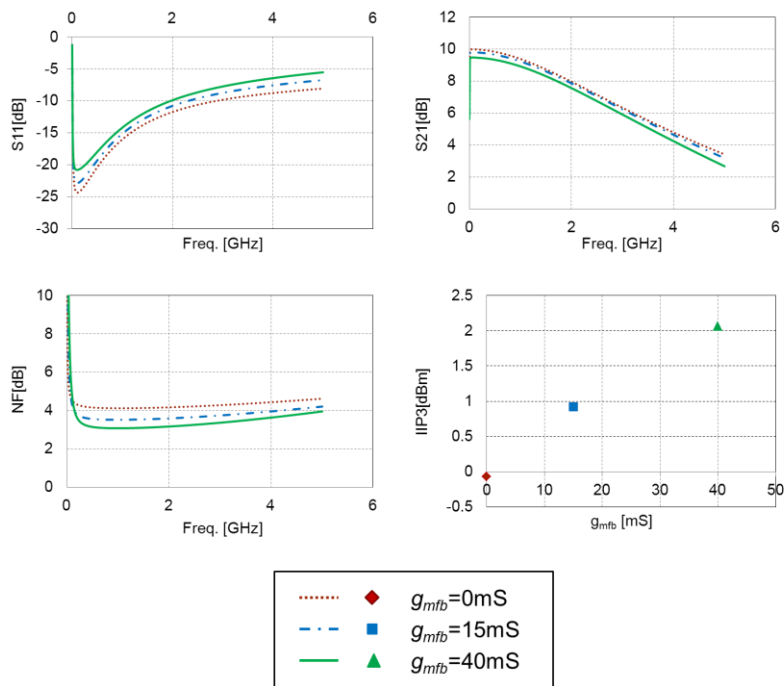


図 2-17 S21, S11, NF の周波数特性および IIP3 のシミュレーション結果

## 2.3 まとめ

本章では従来回路として広帯域向けノイズキャンセリング LNA と広帯域向け低消費電力低雑音 LNA の原理解析および原理確認シミュレーションを行った。

## 第 3 章 信号抑制フィードフォワードノイズキャンセル低雑音増幅器の提案

第 2 章で紹介した無信号フィードバック技術をフィードフォワード型ノイズキャンセル低雑音増幅器へ応用した信号抑制フィードフォワードノイズキャンセル低雑音増幅器を提案する。

### 3.1 概要

図 3-1 に提案回路の概要を示す。この回路は従来のフィードフォワード型ノイズキャンセル LNA をベースに無信号技術を応用した信号抑制技術を取り入れることにより、前者のノイズキャンセル効果と後者の低消費電力効果の両方の特性を持つ。また従来のフィードフォワード型ノイズキャンセル LNA と面積が変わらない。これにより同じ回路面積でありながら、消費電力と雑音性能の間に自由度を持たせることを可能にした。マッチングデバイス  $M_i$ 、帰還抵抗  $R_{f1}$ 、 $R_{f2}$  によるメインアンプ段とノイズキャンセルアンプ  $A_{v,c}$  と加算器によるノイズキャンセル段により構成される。マッチングデバイス  $M_i$  は従来回路と同様に入力整合条件を満たすために用いられる。帰還抵抗  $R_{f1}$  および  $R_{f2}$  はノイズを帰還するためのものである。 $R_{f2}$  はノード a の小信号電圧  $v_a$  の大きさ決定し、ノイズキャンセルアンプ  $A_{v,c}$  の消費電力を調整できる。また、 $R_{f2}$  は雑音性能にも影響を与える。

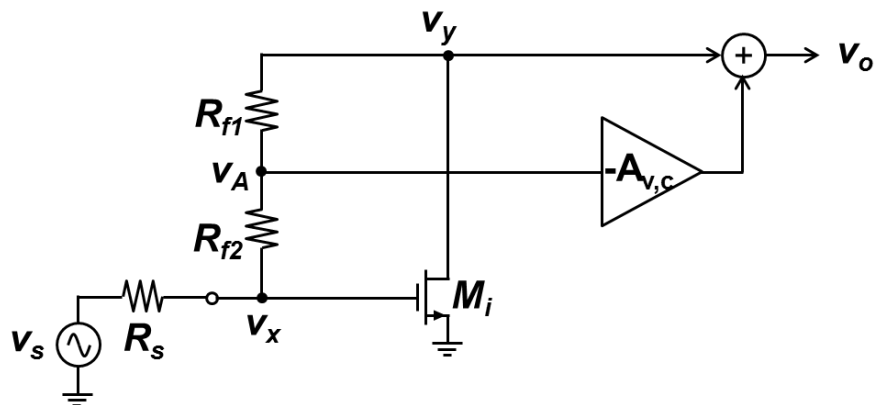


図 3-1 提案回路の概要

### 3.2 小信号抑制技術

この技術はノイズキャンセルアンプ  $A_{v,c}$  への小信号入力  $v_a$  を抑えることで  $A_{v,c}$  で発生する非線形性への考慮を減らし、結果として  $A_{v,c}$  で発生する消費電力を減らす技術である。図 3-2 に各ノードの小信号電圧の概要を示したものである。帰還抵抗  $R_{f2}$  を用いて  $v_a$  を抑制し、 $v_x$  よりも小さくし ( $v_x$  は従来回路で  $A_{v,c}$  に入力されていた小信号電圧)、帰

還抵抗  $R_{f1}$  でメインアンプ段の利得を稼ぐ。  $v_a$  は次の式で表される。

$$v_a = (1 - R_{f2}g_{mi})v_x \quad (3-1)$$

式(3-1)より  $|v_x| < |v_a|$  となるのは  $0 < R_{f2}g_{mi} < 2$  である。しかし、  $1 < R_{f2}g_{mi} < 2$  の範囲では  $v_a$  が  $v_y$  の逆位相となり、特性を悪化させるため使用しない。以上より実際に使用する範囲は  $0 < R_{f2}g_{mi} < 1$  となる。  $M_i$  は入力整合条件を満たすため、固定の値を持つ必要がある。したがってここでは  $R_{f2}$  を変化させることで  $v_a$  を調整し、それに応じたノード a の大信号電圧  $V_a$  を設定し、  $A_{v,c}$  の消費電力を調整する。

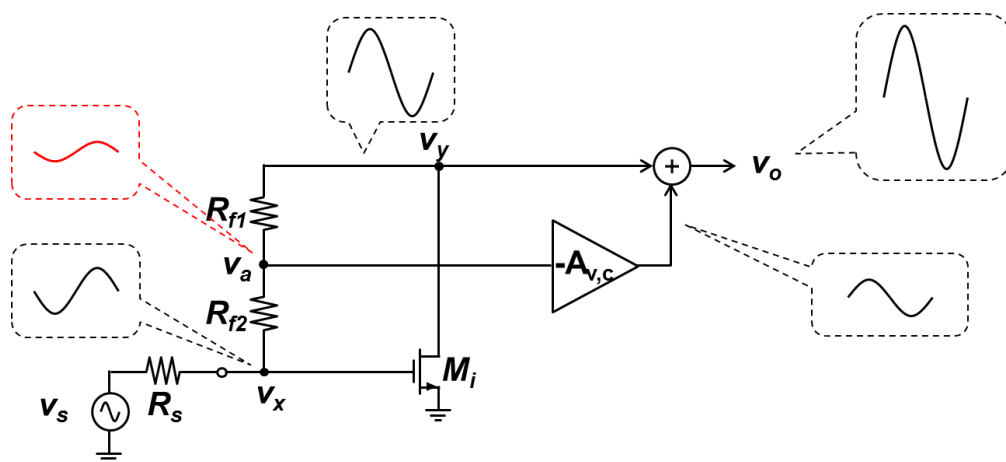


図 3-2 小信号成分の概要

### 3.3 ノイズキャンセル技術

従来のフィードフォワードノイズキャンセル低雑音増幅器と同様にノイズキャンセルアンプ  $A_{v,c}$  を用いて出力でノイズをキャンセルする。

マッチングデバイス  $M_i$  のチャネル雑音電流  $i_{n,M_i}$ 、帰還抵抗  $R_{f1}$  の熱雑音  $i_{n,R_{f1}}$  および帰還抵抗  $R_{f2}$  の熱雑音  $i_{n,R_{f2}}$  について別々に雑音解析を行っていき、最後にそれらすべての雑音源を考慮した雑音解析を行う。

マッチングデバイス  $M_i$  のチャネル雑音電流  $i_{n,M_i}$  についての雑音解析を述べる。図 3-3 は図 3-1 にチャネル雑音電流源  $i_{n,M_i}$  およびその経路を追加したものである。入力が  $i_{n,M_i}$  のみの場合を考える。  $i_{n,M_i}$  はノード y、帰還抵抗  $R_{f1}$ 、  $R_{f2}$ 、伝送線路の特性インピーダンス  $R_s$  を通りグラウンドへと流れる。このときノード y、ノード a および出力にそれぞれ雑音電圧  $v_{n,y,M_i}$ 、  $v_{n,a,M_i}$  および  $v_{n,o,M_i}$  が発生する。

$$v_{n,y,M_i} = (R_s + R_{f1} + R_{f2})i_{n,M_i} \quad (3-2)$$

$$v_{n,a,M_i} = (R_s + R_{f2})i_{n,M_i} \quad (3-3)$$

$$v_{n,o,Mi} = v_{n,y,Mi} - A_{v,c}v_{n,a,Mi} \quad (3-4)$$

上の式より  $v_{n,o,Mi}=0$  とするノイズキャンセルアンプの利得を  $A_{v,c,Mi}$  とすると

$$A_{v,c,Mi} = 1 + \frac{R_{f1}}{R_s + R_{f2}} \quad (3-5)$$

となり、これを  $i_{n,Mi}$  についてのノイズキャンセル条件とする。

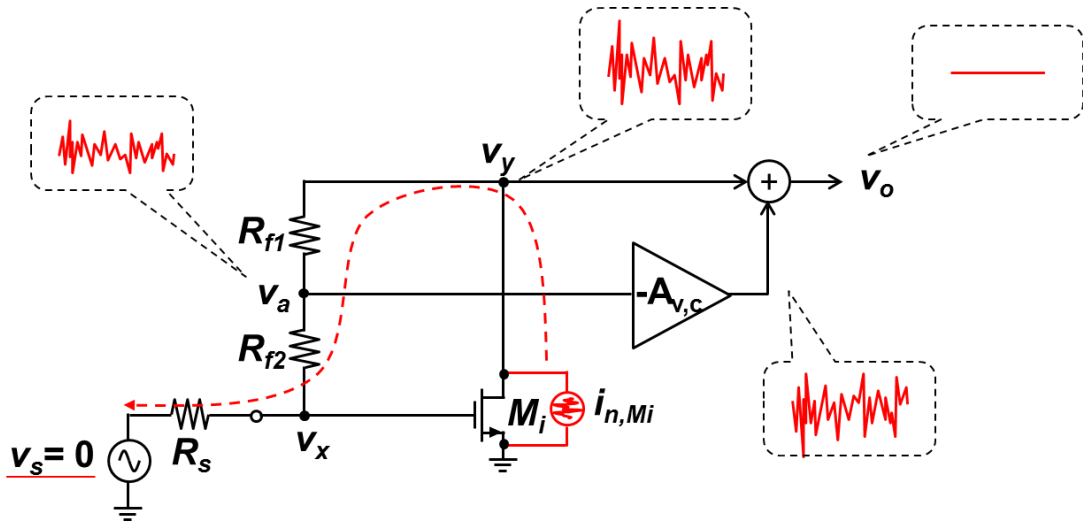


図 3-3  $i_{n,Mi}$  の経路と各ノードの雑音電圧の概要

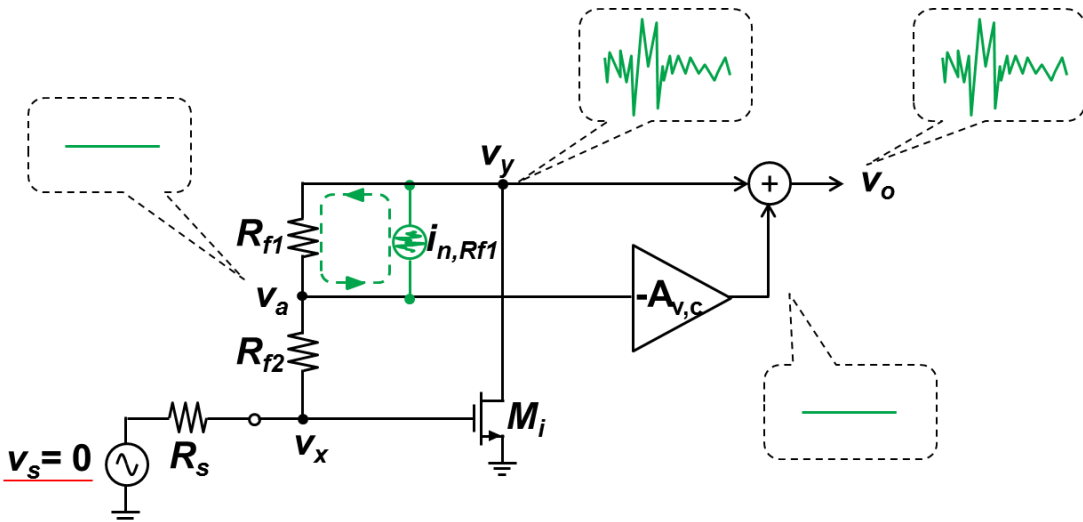


図 3-4  $i_{n,Rf1}$  の経路と各ノードの雑音電圧の概要

帰還抵抗  $R_{f1}$  の熱雑音電流源  $i_{n,Rf1}$  についての雑音解析を述べる。図 3-4 は図 3-1 に熱雑音電流源  $i_{n,Rf1}$  およびその経路を追加したものである。入力が  $i_{n,Rf1}$  のみの場合を考える。 $i_{n,Rf1}$  は  $R_{f1}$  を流れるように循環する。このときのノード  $y$ 、ノード  $a$ 、出力の雑音電

圧を  $v_{n,y,Rf1}$ ,  $v_{n,a,Rf1}$  および  $v_{n,o,Rf1}$  とすると

$$v_{n,a,Rf1} = 0 \quad (3-6)$$

$$v_{n,y,Rf1} = R_{f1}i_{n,Rf1} \quad (3-7)$$

$$v_{n,o,Rf1} = v_{n,y,Rf1} + (-A_{v,c})v_{n,a,Rf1} \quad (3-8)$$

となる。上式をまとめると

$$v_{n,o,Rf1} = R_{f1}i_{n,Rf1} \quad (3-9)$$

となる。以上より、 $v_{n,y,Rf1}$  がそのまま出力されることがわかる。

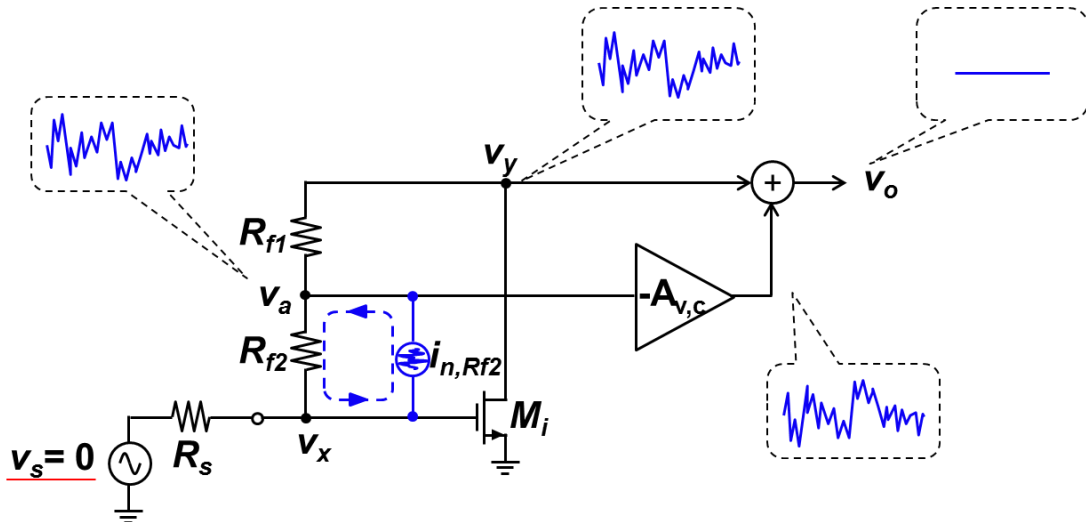


図 3-5  $i_{n,Rf2}$  の経路と各ノードの雑音電圧の概要

帰還抵抗  $R_{f2}$  の熱雑音電流源  $i_{n,Rf2}$  についての雑音解析を述べる。図 3-5 は図 3-1 に熱雑音電流源  $i_{n,Rf2}$  およびその経路を追加したものである。入力が  $i_{n,Rf2}$  のみの場合を考える。 $i_{n,Rf2}$  は  $R_{f2}$  を流れるように循環する。このときのノード  $y$ , ノード  $a$ , 出力の雑音電圧を  $v_{n,y,Rf2}$ ,  $v_{n,a,Rf2}$  および  $v_{n,o,Rf2}$  とすると

$$v_{n,a,Rf2} = R_{f2}i_{n,Rf2} \quad (3-10)$$

$$v_{n,y,Rf2} = R_{f2}i_{n,Rf2} \quad (3-11)$$

$$v_{n,o,Rf2} = v_{n,y,Rf2} + (-A_{v,c})v_{n,a,Rf2} \quad (3-12)$$

となる。上式をまとめると

$$v_{n,o,Rf2} = (1 - A_{v,c})R_{f2}i_{n,Rf2} \quad (3-13)$$

となる。式(3-13)より  $A_{v,c}=1$  のとき  $v_{n,o,Rf2}=0$  となり、 $R_{f2}$  による出力雑音電圧がゼロとなることがわかる( $i_{n,Rf2}$  についてのノイズキャンセル条件)。

マッチングデバイス  $M_i$  および帰還抵抗  $R_{f1}$ ,  $R_{f2}$  の雑音電流源  $i_{n,Mi}$ ,  $i_{n,Rf1}$ ,  $i_{n,Rf2}$  を同時に考慮した場合のノイズキャンセル条件を考える。図 3-6 は 3 つの雑音電流源を考慮した場合の各ノードの雑音電圧の概要である。出力雑音電圧  $v_{n,o,all}$  は

$$\begin{aligned} |v_{v,o,all}|^2 \\ = 4kTB \left\{ (R_S + R_{f1} + R_{f2} - A_{v,c})^2 \gamma g_{mi} + R_{f1} + |1 - A_{v,c}|^2 R_{f2} \right\} \end{aligned} \quad (3-14)$$

となる。 $k$  はボルツマン定数( $k=1.38 \times 10^{-23}$ ),  $T$  は絶対温度、 $B$  は帯域幅、 $\gamma$  はチャネル雑音係数で  $\gamma=2/3$  である。式(3-13)より  $v_{n,o,all}$  を最小にするノイズキャンセル条件  $A_{v,c,all}$  は

$$A_{v,c,all} = \frac{(R_S + R_{f1} + R_{f2})(R_S + R_{f2})\gamma g_{mi} + R_{f2}}{(R_S + R_{f2})^2 \gamma g_{mi} + R_{f2}} \quad (3-15)$$

となる。

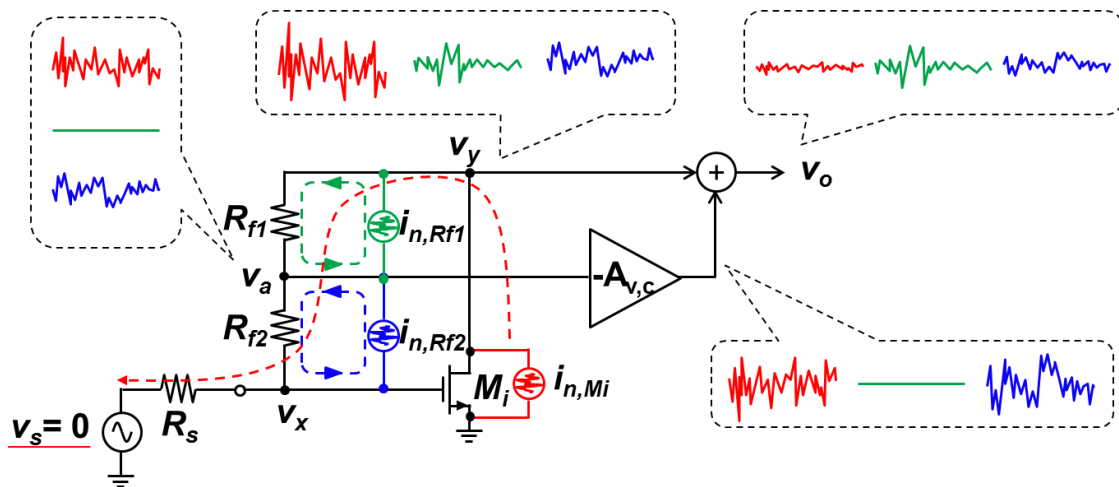


図 3-6 3 つの雑音電流源と各ノードの雑音電圧の概要

ノイズキャンセルアンプ  $A_{v,c}$  を実素子で構成した場合の雑音解析を述べる。図 3-7 が実際の回路構成である。 $A_{v,c}$  は従来のフィードフォワード型ノイズキャンセル LNA 同様に  $M_2$ ,  $M_3$  による NMOS の縦列接続で実現される。「 $M_2$  のゲート端子を入力とし、負荷  $1/g_{m3}$  を有するソース接地増幅回路」と「 $M_3$  のゲート端子を入力とし、負荷  $1/g_{m2}$  を有するソースフォロワ」の組み合わせであることも同様に、 $A_{v,c}=g_{m2}/g_{m3}$  となる (図 2-3, 2-4 参照)。図 3-8 に小信号等価回路を示す。図 3-8 より回路全体の雑音指数  $F_{total}$  は次式で表される。

$$F_{total} = 1 + F_{Mi} + F_{Rf1} + F_{Rf2} + F_{gM2+gM3} \quad (3-16)$$

$$F_{Mi} = \left| \frac{R_S + R_{f1} + R_{f2} - A_{v,c}(R_S + R_{f2})}{A_{v,core}} \right|^2 \frac{\gamma g_{mi}}{R_S} \quad (3-17)$$

$$F_{Rf1} = \left| \frac{1 + g_{mi}R_S}{A_{v,core}} \right|^2 \frac{R_{f1}}{R_S} \quad (3-18)$$

$$F_{Rf2} = \left| \frac{(1 + g_{mi}R_S)(1 - A_{v,c})}{A_{v,core}} \right|^2 \frac{R_{f2}}{R_S} \quad (3-19)$$

$$F_{(gM2+gM3)} = \left| \frac{1 + g_{mi}R_S}{g_{m3}A_{v,core}} \right|^2 \frac{\gamma(g_{m2} + g_{m3})}{R_S} \quad (3-20)$$

$F_{Mi}$ ,  $F_{Rf1}$ ,  $F_{Rf2}$ ,  $F_{(gM2+gM3)}$ はそれぞれ雑音電流源  $i_{n,Mi}$ ,  $i_{n,Rf1}$ ,  $i_{n,Rf2}$ ,  $i_{n,gM2}+i_{n,gM3}$  によって生じる項である。 $A_{v,core}$  はメインアンプの電圧利得で  $A_{v,core}=v_y/v_x=1-(R_{f1}+R_{f2})g_{mi}$  である。式(3-17)について  $A_{v,c}$  が  $i_{n,Mi}$  に関するノイズキャンセル条件(式(3-5))を満たすとき  $F_{Mi}=0$  となることがわかる。式(3-19)においても、 $A_{v,c}$  が  $i_{n,Rf2}$  に関するノイズキャンセル条件(式(3-12))を満たすとき  $F_{Rf2}=0$  となることがわかる。

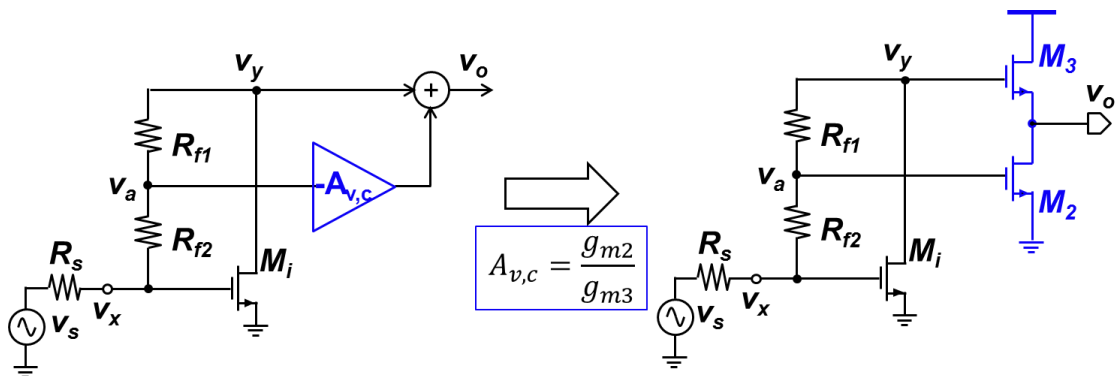


図 3-7 ノイズキャンセルアンプ  $A_{v,c}$  を実素子で構成したときの回路図



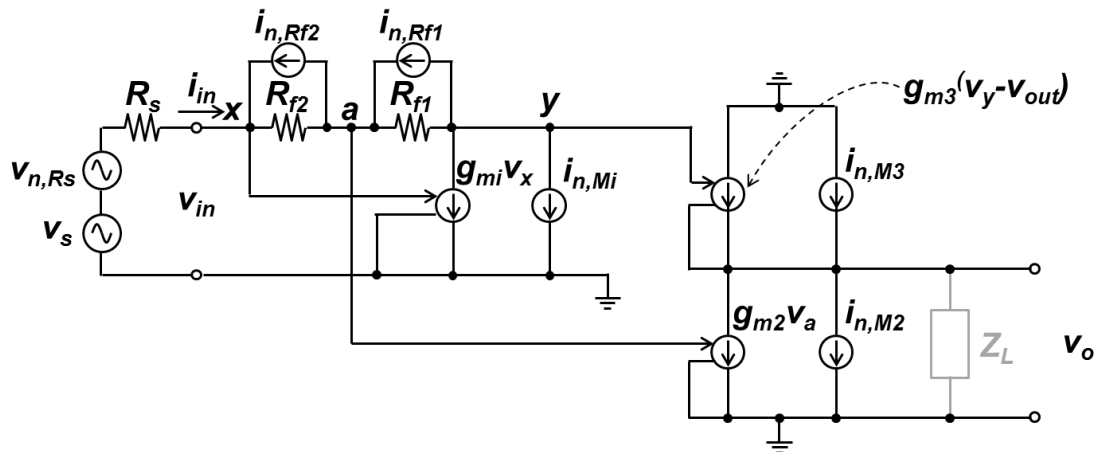


図 3-8 雑音電流源を含めた小信号等価回路図

$A_{v,c}$  の変化による各項の変化の概要を把握するため、Excel による計算シミュレーションを行った。素子値は  $R_{f1} = 350 \Omega$ ,  $R_{f2} = 20 \Omega$ ,  $g_{mi} = 20\text{mS}$ ,  $R_s = 50 \Omega$ ,  $g_{m2} = 6.6\text{mS}$  とし、 $g_{m3}$  の値を変化させることで  $A_{v,c}$  を変化させた。シミュレーション結果を図 3-8 に示す。図 3-9 より  $F_{\text{total}}$  が最低値をとるときの  $A_{v,c}$  が 4 程度であることがわかる。 $A_{v,c}$  をブロック図として導出した出力雑音電圧のノイズキャンセル条件(式(3-15))による計算値  $A_{v,c}=4.8$  からずれていることがわかる。一般的に  $F$  には回路全体の利得が関係し、 $A_{v,c}$  を変化させたことで回路全体の利得が変化したためである。

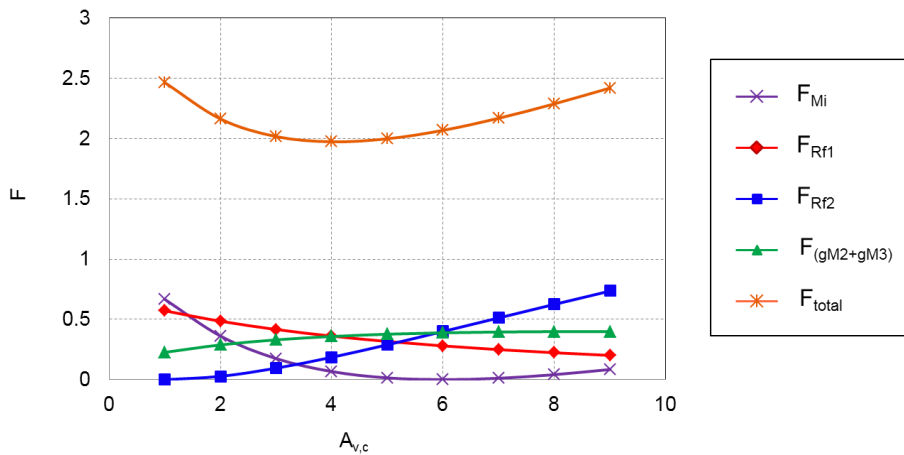


図 3-9  $A_{v,c}$  を変化させたときの  $F$  の変化

### 3.4 歪みキャンセル技術

歪みについても従来のフィードフォワードノイズキャンセル低雑音増幅器と同様にキャンセルできる。図 3-10 はマッチングデバイス  $M_i$  のゲート-ソース電圧  $v_{gs}$ (図 3-10 における  $v_x$ ) に対するドレイン-ソース間電流  $i_{DS}$  の非線形性を非線形電流源  $i_{NL}$  として回路に追加したものである。具体的には  $i_{DS}$  を  $v_{gs}$ (つまり  $v_x$ ) でテイラー展開した場合の 2

次以降の項を指す。  $i_{NL}$  は次式のように定義する。

$$i_{DS} = g_{mi}v_x + \frac{1}{2}g_{m2}v_x^2 + \frac{1}{6}g_{m3}v_x^3 + \dots = g_{mi}v_x + I_{NL} \quad (3-21)$$

解析のため入力を  $i_{NL}$  のみとし、  $v_s=0$  の場合を考える。  $i_{NL}$  は帰還抵抗  $R_{f1}$ 、  $R_{f2}$ 、  $R_s$  を経由してグラウンドへと流れる。このときノード  $y$  と  $a$  に非線形電圧  $v_{NL,y}$ 、  $v_{NL,a}$ 、  $v_{NL,o}$  が発生する。

$$v_{NL,a} = (R_s + R_{f2})i_{NL} \quad (3-22)$$

$$v_{NL,y} = (R_s + R_{f1} + R_{f2})i_{NL} \quad (3-23)$$

$$v_{NL,o} = v_{NL,y} + (-A_{v,c})v_{NL,a} \quad (3-24)$$

上式より次の式が導き出される。

$$v_{NL,o} = \{(R_s + R_{f1} + R_{f2}) - A_{v,c}(R_s + R_{f2})\}i_{NL} \quad (3-25)$$

式(3-25)より  $M_i$  の歪みキャンセル条件  $A_{v,c,NL}$  は

$$A_{v,c,NL} = 1 + \frac{R_{f1}}{R_s + R_{f2}} \quad (3-26)$$

であることがわかる。このとき  $M_i$  で発生する非線形電流を理想的にゼロにすることができ、回路全体の線形性が向上する。実回路においては  $i_{NL}$  は式(3-21)より入力  $v_{in}$  の関数なので、本回路の歪みキャンセルも従来のフィードフォワード型ノイズキャンセル LNA と同様に実際の歪みキャンセル条件は式(3-26)よりずれる。

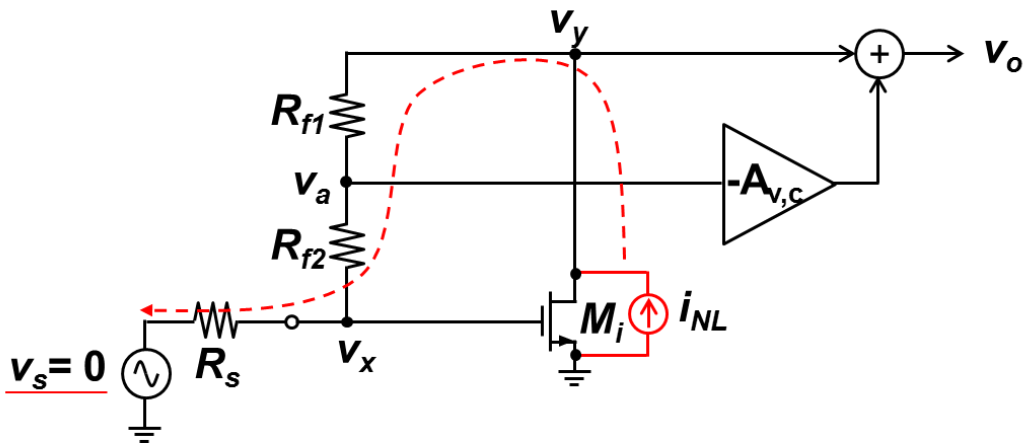


図 3-10 マッチングデバイス  $M_i$  の非線形電流とその経路

### 3.5 帰還抵抗 $R_{f2}$ と消費電力と雑音性能の関係

前述のとおり、本技術では信号抑制による低消費電力化とノイズキャンセル技術による低雑音化が組み合わさっている。両者ともに帰還抵抗  $R_{f2}$  が関係しており、 $R_{f2}$  の値を調整することにより、消費電力と雑音性能間に自由度が発生する。

消費電力については式(3-1)に注目する。この式は  $0 < R_{f2}g_{mi} < 1$  の範囲で  $R_{f2}$  を大きくするとノード a の小信号電圧  $v_a$  が小さく(つまりノイズキャンセルアンプ  $a_{v,c}$  の消費電力が小さく)なることを示す。雑音性能に関しては式(3-13)に注目する。この式は  $R_{f2}$  が小さいほど出力雑音電圧  $v_{n,o,R_{f2}}$  が小さい(つまり雑音性能が良い)ことを示す。

以上を踏まえて、 $R_{f2}$  の素子値を変えることにより、雑音性能と消費電力を調整できる。

### 3.6 小信号電圧利得

電圧利得について述べる。図 3-1 よりノード a, y, o の小信号電圧  $v_a, v_y, v_o$  は次式のように表される。

$$v_a = \frac{1 - g_{mi}R_{f2}}{1 + g_{mi}R_s} v_s \quad (3-27)$$

$$v_y = \frac{1 - g_{mi}(R_{f1} + R_{f2})}{1 + g_{mi}R_s} v_s \quad (3-28)$$

$$v_o = v_y - A_{v,c}v_a \quad (3-29)$$

以上よりこの回路の電圧利得  $A_v(=v_o/v_s)$  は

$$A_{v,total} = \frac{1 - g_{mi}(R_{f1} + R_{f2}) - A_{v,c}(1 - R_{f2}g_{mi})}{1 + g_{mi}R_s} \quad (3-30)$$

となる。

### 3.7 入力整合条件と雑音性能の独立

入力整合条件について考える。この回路の入力インピーダンス  $Z_{in}$  は

$$Z_{in} = \frac{1}{g_{mi}} \quad (3-31)$$

であるので伝送線路の特性インピーダンスを  $R_s$  とすると入力整合条件は

$$Z_{in} = \frac{1}{g_{mi}} = R_s \quad (3-32)$$

となる。入力整合条件をマッチングデバイス  $M_i$  で、雑音性能を  $A_{v,c}(=g_{m2}/g_{m3})$  でそれぞれ独立して確保するという従来回路と同じ利点を有していることが確認できる。

### 3.8 シミュレーション検討

図 3-11 にシミュレーション回路を示す。メインアンプ段は容量  $C_S, C_1$ , 抵抗  $R_{B1}, R_{f1}, R_{f2}$ , NMOS  $M_{ia}, M_{ib}$ , 定電圧源  $V_{B1}, V_{DD1}$  でノイズキャンセル段は容量  $C_2, C_3, C_L$ , 抵抗  $R_{B2}, R_{B3}$ , NMOS  $M_2, M_3$ , 定電圧源  $V_{B2}, V_{B3}$ , 定電流源  $i_{res}$  によって構成される。信号抑制部は  $R_{f1}$  と  $R_{f2}$  により構成される。容量  $C_S, C_1, C_2, C_3$  は直流電流が流れるのを阻止するために付いており、小信号的な特性についての変化はほぼ無視できる。定電圧源  $V_{B1}, V_{B2}, V_{B3}$ , 抵抗  $R_{B1}, R_{B2}, R_{B3}$  はそれぞれの NMOS のゲート端子にバイアスするために付いている。定電流源  $i_{res}$  は  $M_2$  および  $M_3$  のトランスコンダクタンス  $g_{m2}, g_{m3}$  を調整するために付いている。 $v_s$  は入力で  $R_S$  は伝送線路の特性インピーダンス ( $R_S=50\Omega$ ) である。シミュレーションには Cadence 社 Spectre TSMC 0.90 $\mu$ m CMOS プロセスを用いた。各素子の素子値は  $C_S = C_1 = C_2 = C_3 = 1\text{nF}$ ,  $(W/L)_{M_{ia}} = (W/L)_{M_{ib}} = 47\mu\text{m}/130\text{nm}$ ,  $V_{DD1} = 1.2\text{V}$ ,  $V_{B1} = 550\text{mV}$ ,  $R_{B1} = 50\text{k}\Omega$ ,  $(W/L)_{M_3} = 25\mu\text{m}/130\text{nm}$ ,  $V_{DD2} = 1.2\text{V}$ ,  $R_{B2} = R_{B3} = 50\text{k}\Omega$ ,  $C_L = 1\text{pF}$  のように設定した。また  $(W/L)_{M_2}$  はノイズキャンセルアンプ  $A_{v,c}$  の利得を変化させるため適宜調整した。 $R_{f1}$  と  $R_{f2}$  はメインアンプ段の特性の変化を防ぐため  $R_{f1}+R_{f2} = 370\Omega$  一定となるように設定した。 $V_{B2}$  および  $V_{B3}$  は各  $R_{f1}$  および  $R_{f2}$  に対して、 $M_2$  と  $M_3$  が飽和領域で動作するよう設定した。従来のフィードフォワード型ノイズキャンセル LNA と異なる点は  $M_2$  のゲートへの入力信号である。従来回路では図 3-11 のノード  $x$  が入力されていたが、本回路は信号抑制部  $R_{f1}$  と  $R_{f2}$  の間のノード  $a$  から入力される。

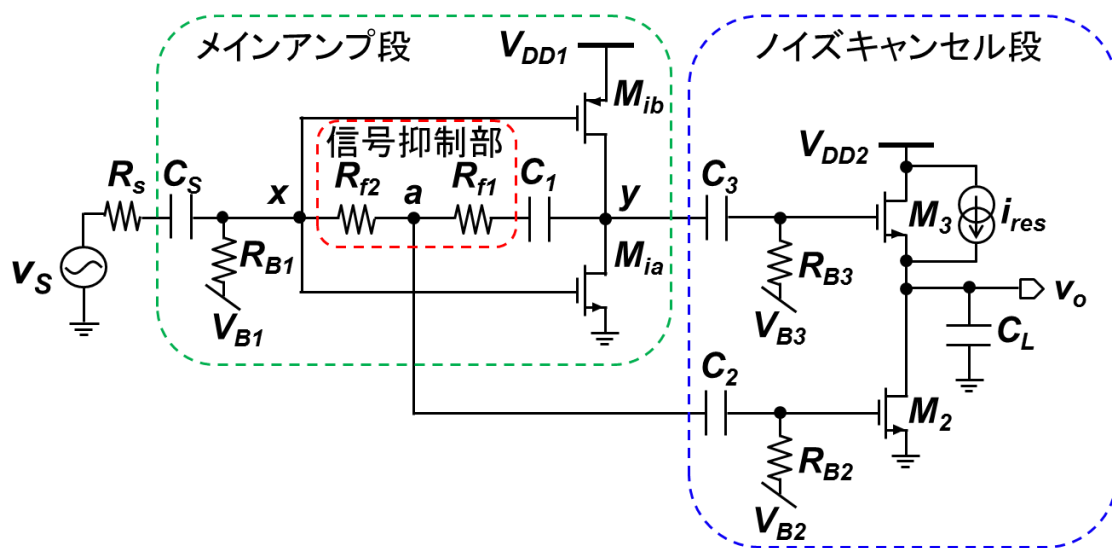


図 3-11 シミュレーション回路

信号抑制部の検証を行った。 $R_{f1}+R_{f2} = 370\Omega$  一定の条件で、 $R_{f2}$  を  $0\Omega$  から  $50\Omega$  を変化させたときのノード  $a$  の小信号成分をシミュレーションした。入力  $v_s$  は小信号電圧

振幅 23mV、周波数が 849MHz とした。図 3-12 にシミュレーション結果を示す。この結果より  $R_{f2}$  が大きくなるにつれて  $v_a$  が小さくなっていくことがわかる。

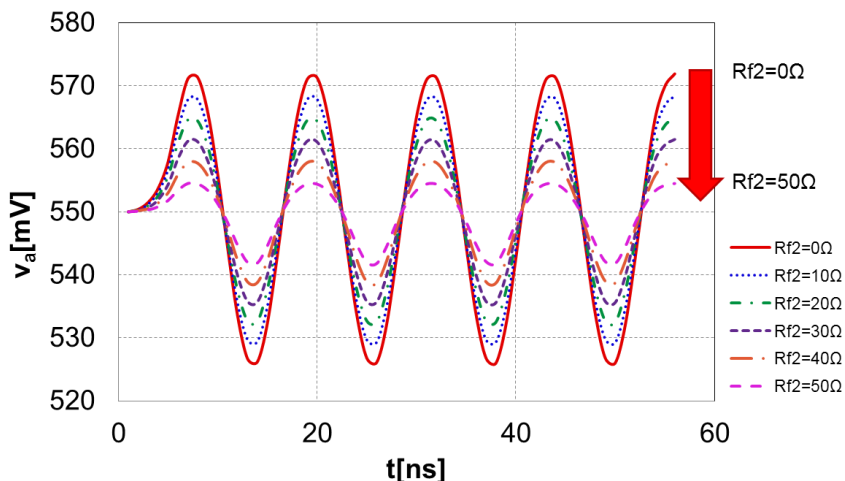
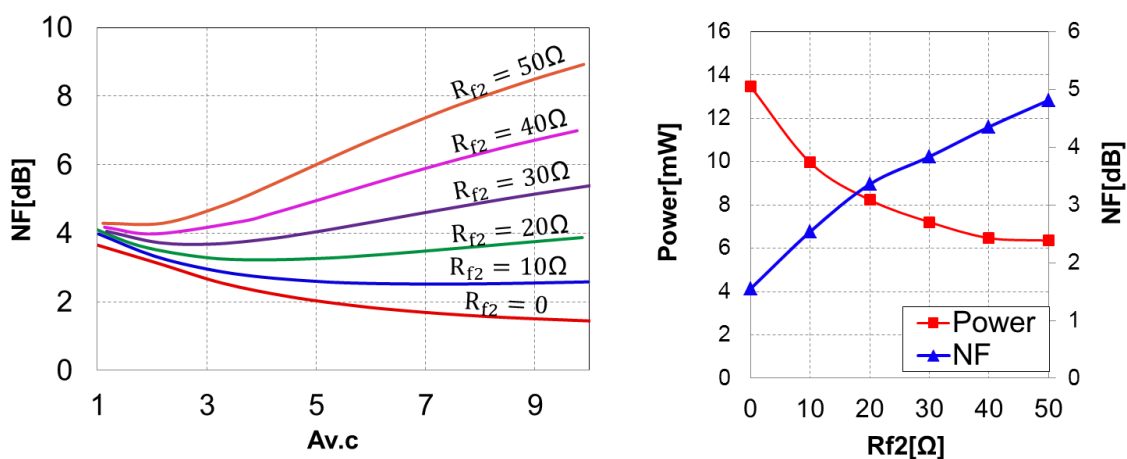


図 3-12  $v_a$  のトランジェント波形

ノイズキャンセルの検証を行った。 $A_{v,c}$  と  $R_{f2}$  を変化させたときの NF をシミュレーションした。シミュレーション結果を図 3-13(a)に示す。NF は周波数が 1GHz のときの値である。 $R_{f2}$  が小さいほど NF が小さい（雑音性能が改善されている）ことがわかる。また図 3-13(b)は、各  $R_{f2}$  におけるノイズキャンセル点での NF(周波数 1GHz)とその時の消費電力を表す。 $R_{f2}$  を小さくすれば NF が小さく（雑音性能が良く）なり、 $R_{f2}$  を大きくすれば消費電力が小さくなることがわかる。



(a)  $A_{v,c}$  に対する NF の変化

(b)  $R_{f2}$  に対する消費電力と NF の関係

図 3-13 シミュレーション結果

次に歪みキャンセルの検証を行った。 $R_{f1}=350\Omega$ ,  $R_{f2}=20\Omega$ として  $A_{v,c}$  を変化させたときの IIP3 の変化をシミュレーションした。79MHz と 81MHz の 2 トーン信号を入力とし、79MHz を基本波、77MHz を 3 次相互変調歪みとした。

シミュレーション結果を図 3-14 に示す。今回の結果では歪みキャンセル条件が式 (3-26) とほぼ一致した。

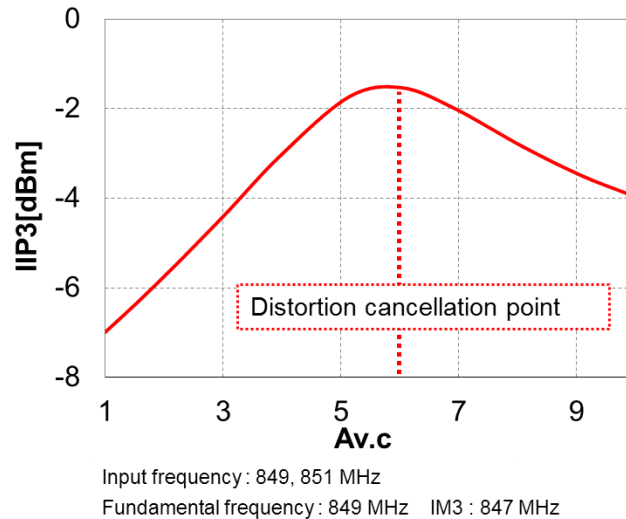
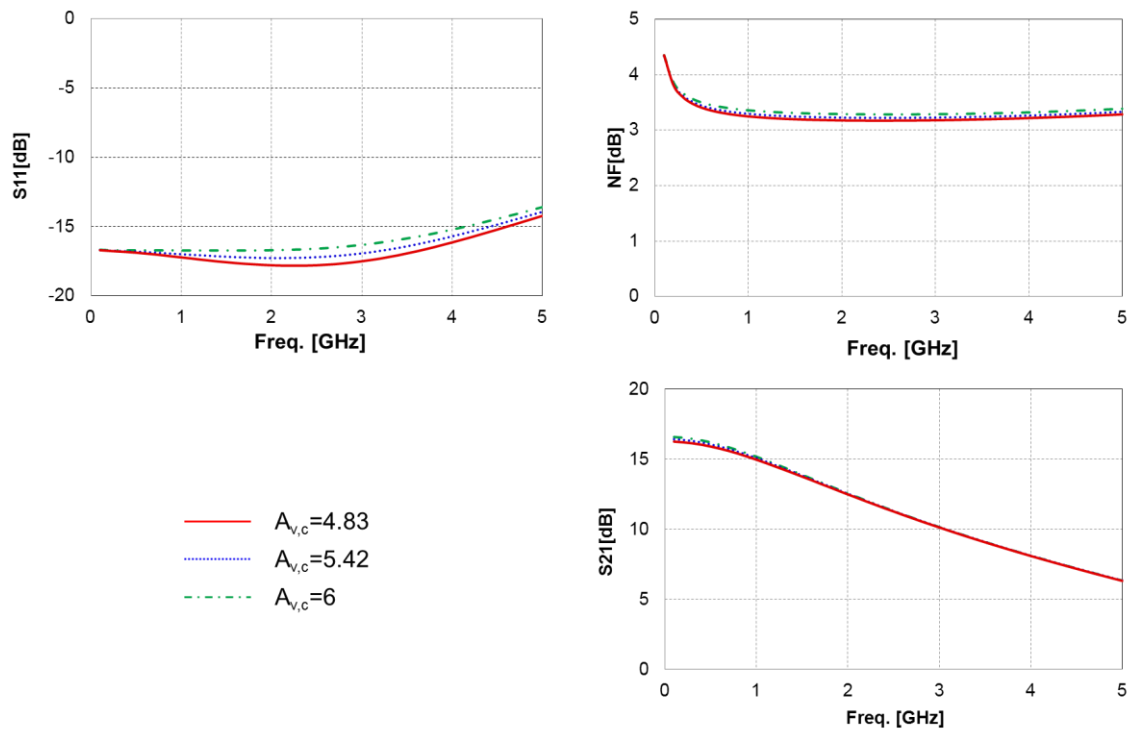
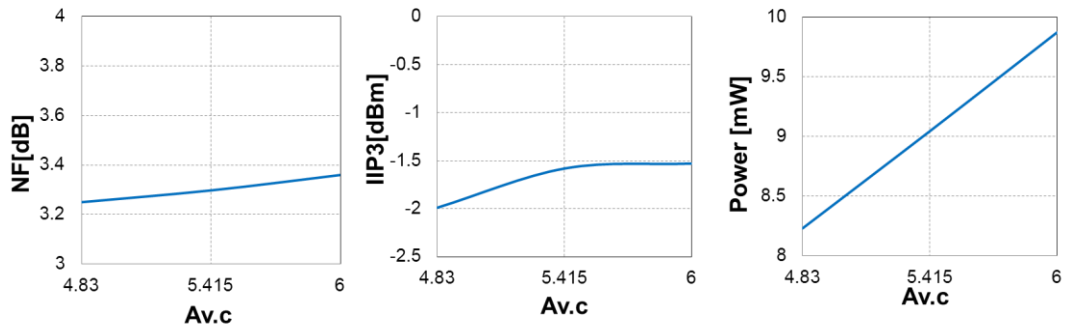


図 3-14  $A_{v,c}$  に対する IIP3 の変化

設計の一例として、 $R_{f1} = 350\Omega$ ,  $R_{f2} = 20\Omega$ とした場合の S パラメータ S11, S21 および NF をシミュレーションした。基本的なパラメータは前述のとおりである。 $A_{v,c}$  についてはノイズキャンセル条件  $A_{v,c} = 4.83$  と歪みキャンセル条件  $A_{v,c} = 6$ 、その中間値  $A_{v,c} = 5.42$  の三種類を設定した。S パラメータおよび NF の周波数特性のシミュレーション結果を図 3-15(a)に示す。次に各  $A_{v,c}$  における 1GHz 時の NF、IIP3、消費電力のシミュレーション結果図 3-15(b)を示す。IIP3 については 79MHz と 81MHz の 2 トーン信号を入力とし、79MHz を基本波、77MHz を 3 次相互変調歪みとした。図 3-15(a)より各  $A_{v,c}$  による S パラメータの違いはほぼないことがわかった。IIP3 についてもほぼ同じことが言える。しかし消費電力では差が出ており、 $A_{v,c}$  が 4.83 と 6 の場合を比較すると 1.64mW 差が出た ( $A_{v,c} = 4.83$  を基準とすると  $A_{v,c} = 6$  のとき消費電力は 19%増加した)。今回のシミュレーション結果では  $A_{v,c}$  はノイズキャンセル条件を満たすとき、消費電力の点で良いという結果が得られた。



(a) S11, NF, S21 の周波数特性



(b) 各  $A_{v,c}$  に対する NF, IIP3, 消費電力の変化

図 3-15 シミュレーション結果

### 3.9 まとめ

本章では信号抑制フィードフォワード型ノイズキャンセル LNA を提案した。ノイズキャンセルアンプに入力する小信号成分を抑えることで、従来のフィードフォワード型ノイズキャンセル LNA と同面積でかつ消費電力と雑音性能間に自由度を持たせることを目標とした。またシミュレーションを用いて消費電力と雑音性能間のトレードオフを検証した。

## 第 4 章 容量帰還型信号抑制フィードフォワードノイズキャンセル低雑音増幅器の提案

本章では第 3 章で提案した信号抑制フィードフォワードノイズキャンセル LNA のバリエーションとして容量帰還型の信号抑制フィードフォワードを紹介する。

### 4.1 概要

第 3 章では従来のフィードフォワード型ノイズキャンセリング LNA に帰還信号  $R_{f2}$  を追加した信号抑制フィードフォワード型ノイズキャンセリング LNA (図 3-1) を紹介した。これはノイズキャンセルアンプ  $A_{v,c}$  への入力小信号を小さくすることで、消費電力と雑音性能間に自由度を与えることを可能にした。しかし、マッチングデバイス  $M_i$  のチャネル熱雑音電流  $i_{n,M_i}$  による雑音電圧と  $R_{f2}$  の熱雑音  $i_{n,R_{f2}}$  による雑音電圧の二つがノイズキャンセルアンプに入力されることにより、それぞれ異なるキャンセル点を持つ (第 3 章(3)参照)。 $R_{f2}$  を大きくすると消費電力は小さくなっていくが、ノイズキャンセルのバランスが取れず雑音性能が悪化する。これが消費電力と雑音性能間の自由度へのボトルネックとなっていた。 $A_{v,c}$  の入力部分に雑音が小さい容量を用いることによりボトルネックの解消を目指した。図 4-1 に容量帰還を用いた信号抑制フィードフォワードノイズキャンセル低雑音増幅器を示す。帰還抵抗  $R_f$  に並列に直列接続した帰還容量  $C_{f1}$  と  $C_{f2}$  を追加した。 $C_{f1}$  と  $C_{f2}$  の間 (ノード a) を  $A_{v,c}$  への入力とする。これにより  $A_{v,c}$  への入力小信号を抑えつつ、入力される雑音を  $i_{n,M_i}$  による雑音電圧のみにすることを可能にした。

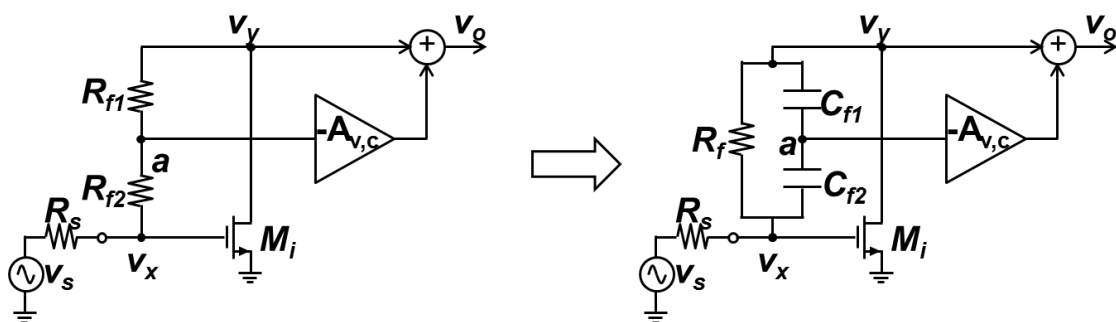


図 4-1 抵抗帰還形信号抑制フィードフォワード LNA から  
容量帰還型信号抑制フィードフォワードノイズキャンセル LNA へ

### 4.2 ノイズキャンセル条件と信号抑制条件

原理は抵抗帰還型信号抑制フィードフォワードノイズキャンセル LNA とほぼ同様である。ここではノイズキャンセル条件と信号抑制条件を新たに導出する。



ノイズキャンセル条件を導出する。図 4-2 に雑音解析用の回路図および雑音成分の概要を示す。 $C_{f1}$  および  $C_{f2}$  からの雑音は無視した。また、 $R_f$  による雑音は抵抗帰還型信号抑制フィードバック LNA と同様に 1 倍で出力され、ノイズキャンセルと無関係であるため省略した。

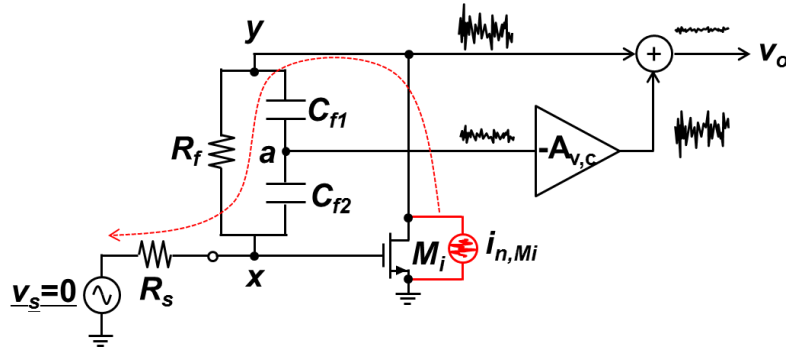


図 4-2 雑音解析用の回路図および雑音成分の概要

入力を  $M_i$  のチャネル雑音電流  $i_{n,Mi}$  のみとした場合を考える。 $i_{n,Mi}$  はノード  $y$ ,  $R_f$  もしくは  $C_{f1}$  と  $C_{f2}$ , ノード  $x$ , 伝送線路の特性インピーダンス  $R_s$  を通りグラウンドへと流れる。このとき、ノード  $a$  とノード  $y$  に雑音電圧  $v_{n,a,Mi}$ ,  $v_{n,y,Mi}$  が発生する。各雑音電圧  $v_{n,a,Mi}$ ,  $v_{n,y,Mi}$ ,  $v_{n,o}$  は次式のようになる。

$$v_{n,a} = \left\{ R_s + \frac{\frac{R_f C_{f1}}{C_{f1} + C_{f2}}}{1 + j\omega R_f \frac{C_{f1} C_{f2}}{C_{f1} + C_{f2}}} \right\} i_{n,Mi} \quad (4-1)$$

$$v_{n,y} = \left\{ R_s + \frac{R_f}{1 + j\omega R_f \frac{C_{f1} C_{f2}}{C_{f1} + C_{f2}}} \right\} i_{n,Mi} \quad (4-2)$$

$$v_{n,o} = v_{n,y} - A_{v,c} v_{n,a} \quad (4-3)$$

$v_{n,o}=0$  とする  $A_{v,c}$  は

$$A_{v,c} = \frac{R_s + \frac{R_f}{1 + j\omega R_f \frac{C_{f1} C_{f2}}{C_{f1} + C_{f2}}}}{R_s + \frac{\frac{R_f C_{f1}}{C_{f1} + C_{f2}}}{1 + j\omega R_f \frac{C_{f1} C_{f2}}{C_{f1} + C_{f2}}}} \quad (4-4)$$

となり、これがノイズキャンセル条件である。 $\omega = 0$  と  $\omega = \infty$  の場合の  $A_{v,c}$  をそれぞれ

れ  $A_{v,c,\omega=0}$ 、 $A_{v,c,\omega=\infty}$  とすると

$$A_{v,c,\omega=0} = \frac{R_s + R_f}{R_s + \frac{R_f C_{f1}}{C_{f1} + C_{f2}}} \quad (4-5)$$

$$A_{v,c,\omega=\infty} = \frac{R_s}{R_s} = 1 \quad (4-6)$$

となる。

次に信号抑制条件を導出する。 $v_a$  は小信号解析より次式のように導かれる。

$$v_a = \frac{C_{f1} v_x - C_{f2} v_y}{C_{f1} + C_{f2}} = \frac{C_{f1} - C_{f2} A_{v,\text{main}}}{C_{f1} + C_{f2}} v_x \quad (4-7)$$

で表される。ただし  $A_{v,\text{main}}$  はメインアンプ段の利得で、 $A_{v,\text{main}} = v_y/v_x$  ( $v_x, v_y$  はそれぞれノード x, y の小信号電圧) である。式(4-7)より  $|v_a| < |v_x|$  となる条件は以下の通りである。

$$-1 < \frac{C_{f1} - A_v C_{f2}}{C_{f1} + C_{f2}} < 1 \quad (4-8)$$

信号を抑制する条件は式(4-8)のとおりであるが、

$$-1 < \frac{C_{f1} - A_v C_{f2}}{C_{f1} + C_{f2}} < 0 \quad (4-9)$$

の範囲は、 $v_a$  がノイズキャンセルアンプ  $A_{v,c}$  により反転増幅された信号が  $v_y$  と逆の位相となり利得を悪化させるため使用しない。実際に使用する条件 (信号抑制条件) は次の通りである。

$$0 < \frac{C_{f1} - A_v C_{f2}}{C_{f1} + C_{f2}} < 1 \quad (4-10)$$

$C_{f1}$  および  $C_{f2}$  を式(4-10)の条件を満たすよう設定することにより、 $|v_a| < |v_x|$  となり低消費電力効果を得ることができる。

### 4.3 シミュレーション検討

図 4-3 にシミュレーション回路を示す。シミュレーションには Cadence 社 Spectre TSMC 0.90 $\mu\text{m}$ CMOS プロセスを用いた。各素子の素子値は以下の通りである。 $C_s = C_1 = C_2 = 1\text{nF}$ ,  $(W/L)_{M1a} = 30\mu\text{m}/130\text{nm}$ ,  $(W/L)_{M1b} = 51.4\mu\text{m}/130\text{nm}$ ,  $V_{DD1} = 1.2\text{V}$ ,  $(W/L)_{M3} = 25\mu\text{m}/130\text{nm}$ ,  $V_{DD2} = 1.5\text{V}$ ,  $R_{B1} = R_{B2} = 50\text{k}\Omega$ ,  $V_{B1} = 536\text{mV}$ ,  $V_{B2} = 1.2\text{V}$ ,  $C_{f1} = 111\text{fF}$ ,  $C_{f2} = 1\text{pF}$ ,  $(W/L)_{M2}$  はノイズキャンセルアンプ  $A_{v,c}$  の利得を変化させるため適宜調整した。 $C_{f1}$  および  $C_{f2}$  の値は  $v_x = 9.2v_a$  ( $f = 851\text{MHz}$  時) となるように設定した。式(4-5)より導出されるノイズキャンセル条件は  $\omega = 0$  のとき  $A_{v,c} = g_{m2}/g_{m3} = 8$  である。

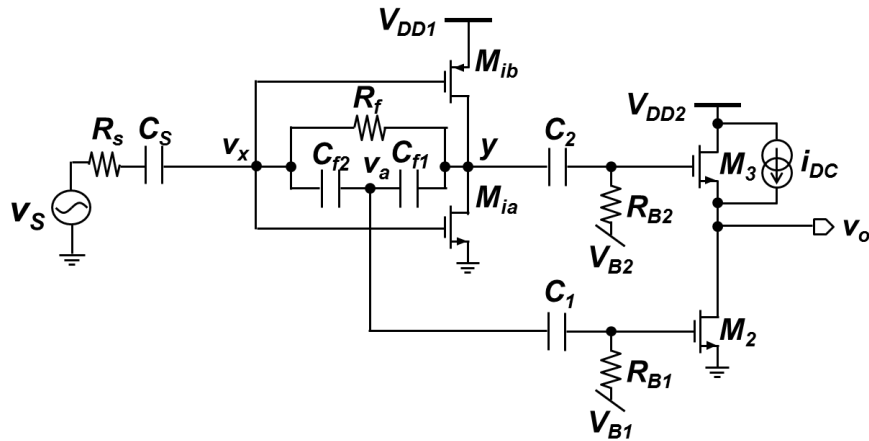


図 4-3 提案回路のシミュレーション回路

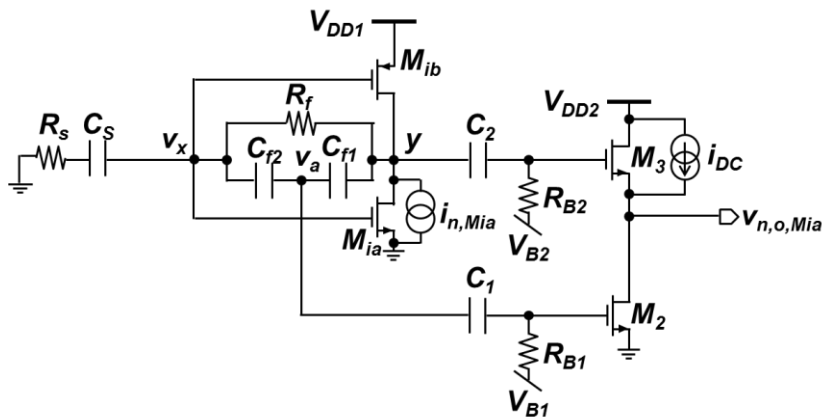


図 4-4 提案回路の雑音解析用シミュレーション回路

ノイズキャンセルの検証を行った。ノイズキャンセル検証用のシミュレーション回路を図 4-4 に示す。図 4-4 では入力を  $M_{ia}$  のチャネル雑音電流源モデルである  $i_{n,Mia}$  とした。このとき出力電圧が  $i_{n,Mia}$  による出力雑音電圧  $v_{n,o,Mia}$  となる。 $A_{v,c}$  を変化させたときの図 4-3 における NF、図 4-4 における出力雑音電圧  $v_{n,o,Mia}$  をシミュレーションした。図 4-5 にシミュレーションを示す。NF では明確なキャンセル点に分かりにくい、 $v_{n,o,Mia}$  では  $A_{v,c}=7.1$  程度で最低値となっており、計算値とやや誤差があるがキャンセル点を確認できた。

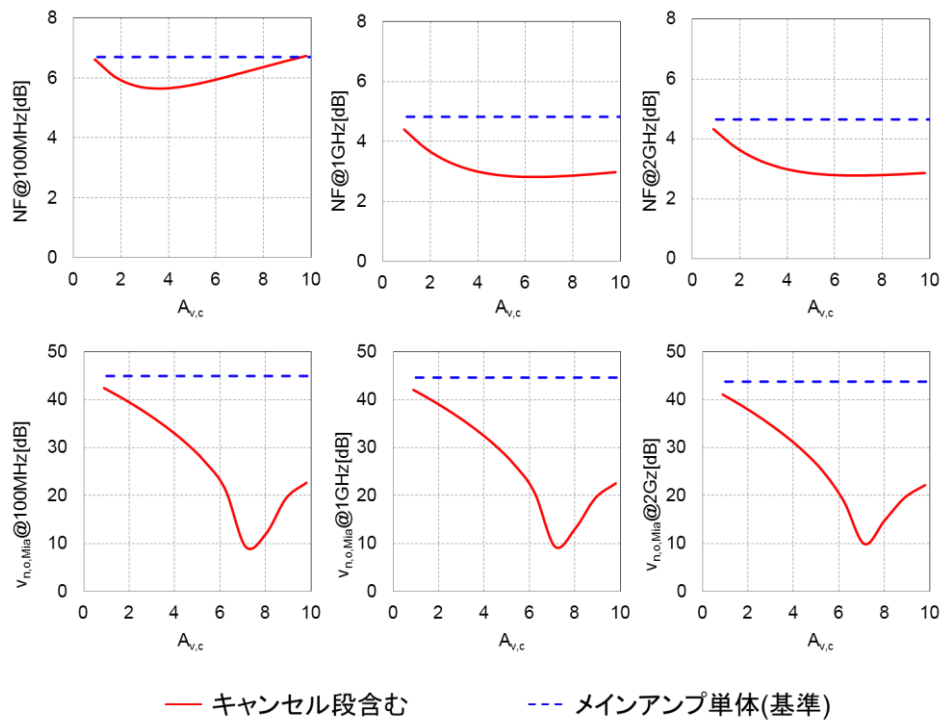


図 4-5 提案回路の  $A_{v,c}$  に対する NF と  $v_{n,o,Mia}$  [dB] のシミュレーション結果

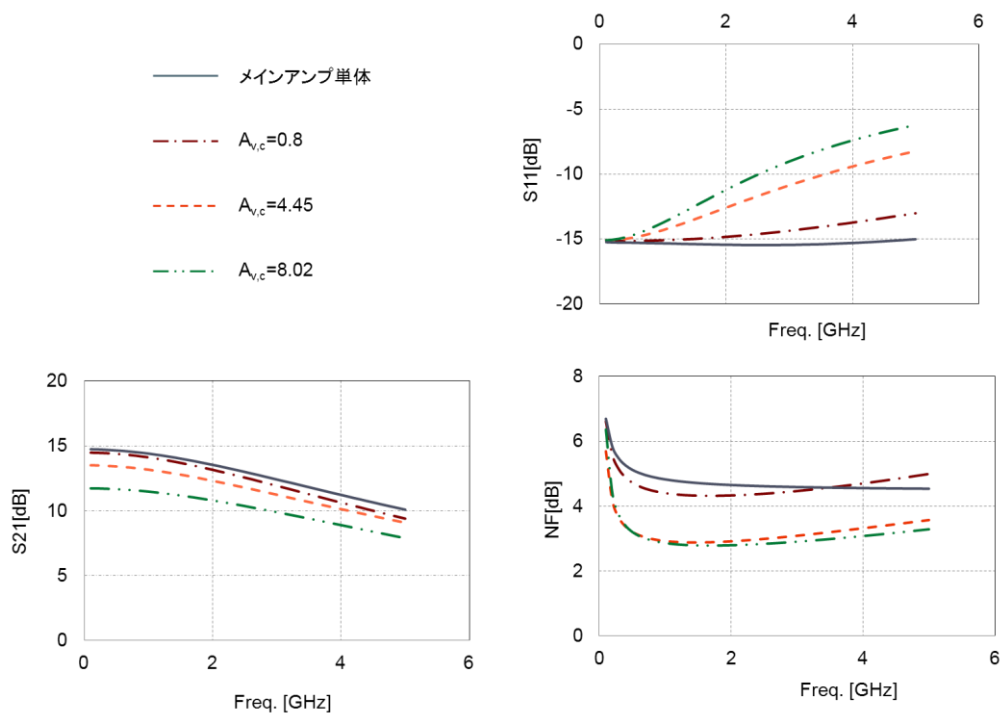
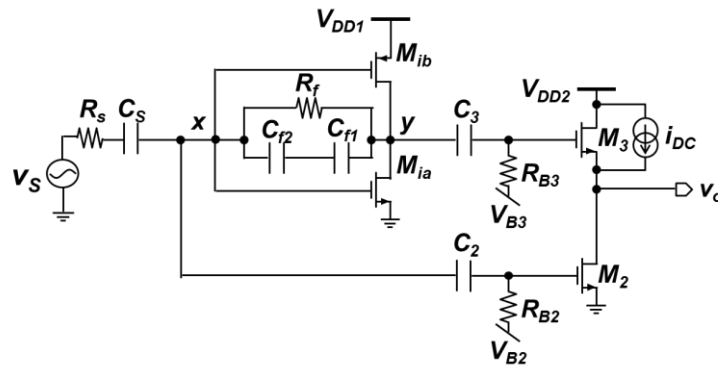


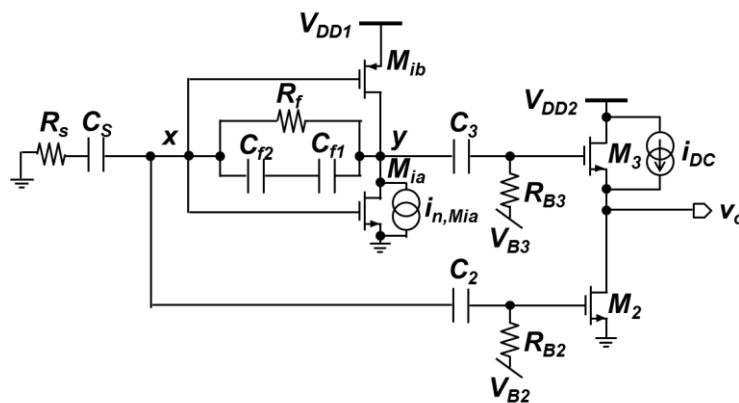
図 4-6 提案回路の各  $A_{v,c}$  における  $S_{11}$  [dB],  $S_{21}$  [dB], NF の周波数特性のシミュレーション結果

各  $A_{v,c}$  における周波数特性を図 4-6 に示す。S21 に注目する。 $A_{v,c}$  を大きくしていくと利得が下がっていくことが分かる。これは  $g_{m2}$  を大きくすることにより、 $g_{m3}$  と  $1/g_{m2}$  によるソースフォロワー(図 2-4 参照)の利得が下がることが原因である。

次に従来のフィードフォワードノイズキャンセル LNA との比較を行った。図 4-7 に比較用の従来のフィードフォワード型ノイズキャンセル LNA のシミュレーション回路を示す。容量帰還型フィードフォワードノイズキャンセル LNA と比較を行うため、メインアンプ段の帰還部に容量  $C_{f1}$ 、 $C_{f2}$  を追加した。パラメータは  $V_{B1}$  および  $(W/L)_{M3}$  を除いて前述のシミュレーションと同様のものを使用した。 $V_{B1}=600\text{mV}$  とした。 $(W/L)_{M3}$  はノイズキャンセルアンプの利得に応じたものに再調整した。式(2-7) より導出されるノイズキャンセル条件は  $A_{v,c}=8$  である。シミュレーション結果を図 4-8、4-9 に示す。図 4-8 によりシミュレーションにおけるノイズキャンセル条件が  $A_{v,c}=8.4$  であることが分かる。



(a)従来回路のシミュレーション回路



(b)従来回路の雑音解析用のシミュレーション回路

図 4-7 比較用の従来型フィードフォワード型ノイズキャンセル LNA の回路図

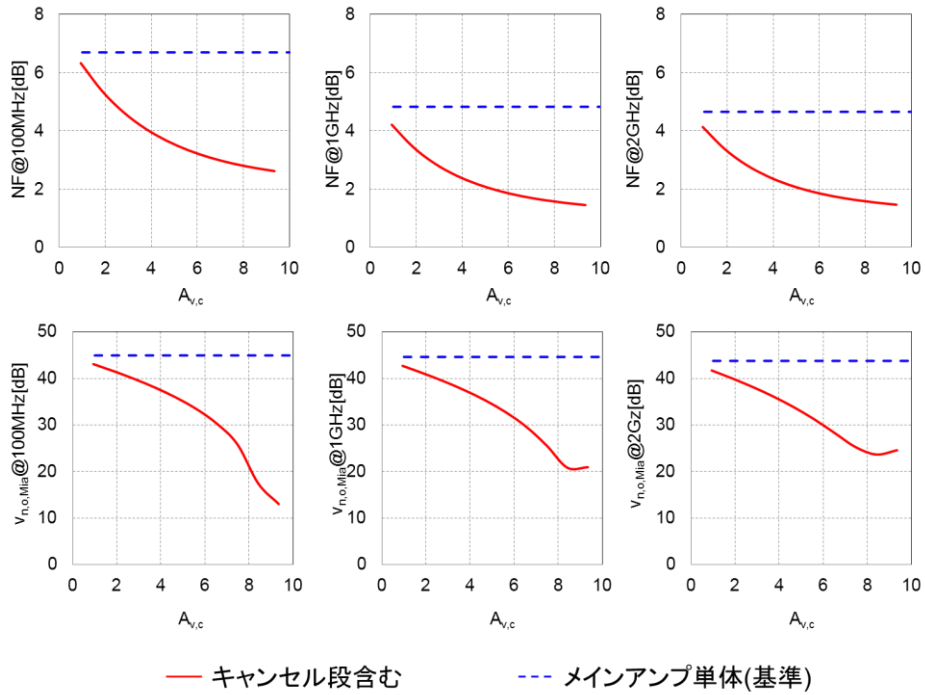


図 4-8 従来回路の  $A_{v,c}$  に対する NF[dB] および  $V_{n,o,Mia}$ [dB] のシミュレーション結果

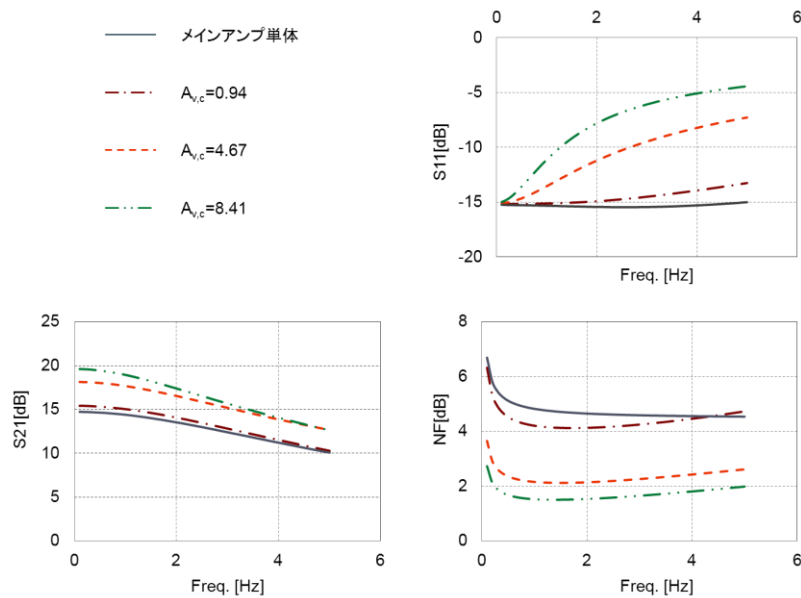


図 4-9  $A_{v,c}$  を変化させたときの従来回路における周波数特性のシミュレーション結果(周波数特性)

以上のシミュレーションを踏まえて、提案回路と従来回路の  $A_{v,c}$  に対する消費電力、NF, S21, S11 の比較を図 4-10 に示す。提案回路のほうが  $A_{v,c}$  の変化に対して消費電力

が抑えられていることがわかる。しかし NF は従来回路のほうがすぐれている。これは S21 (利得) で差が付いたためである (一般的に S21 が大きいほうが NF が小さくなる)。

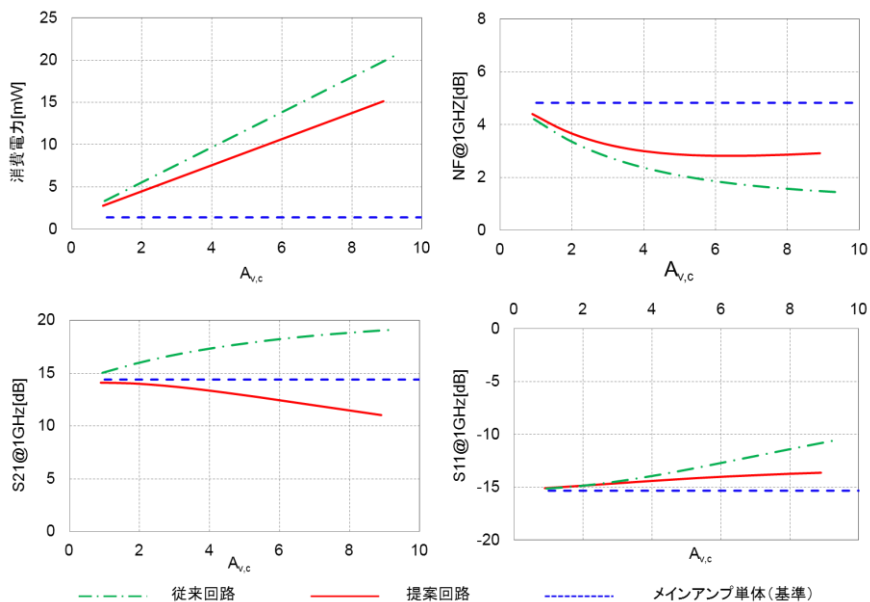


図 4-10 提案回路と従来回路の比較  
( $A_{v,c}$  に対する消費電力[mW], NF[dB], S21[dB], S22[dB].)

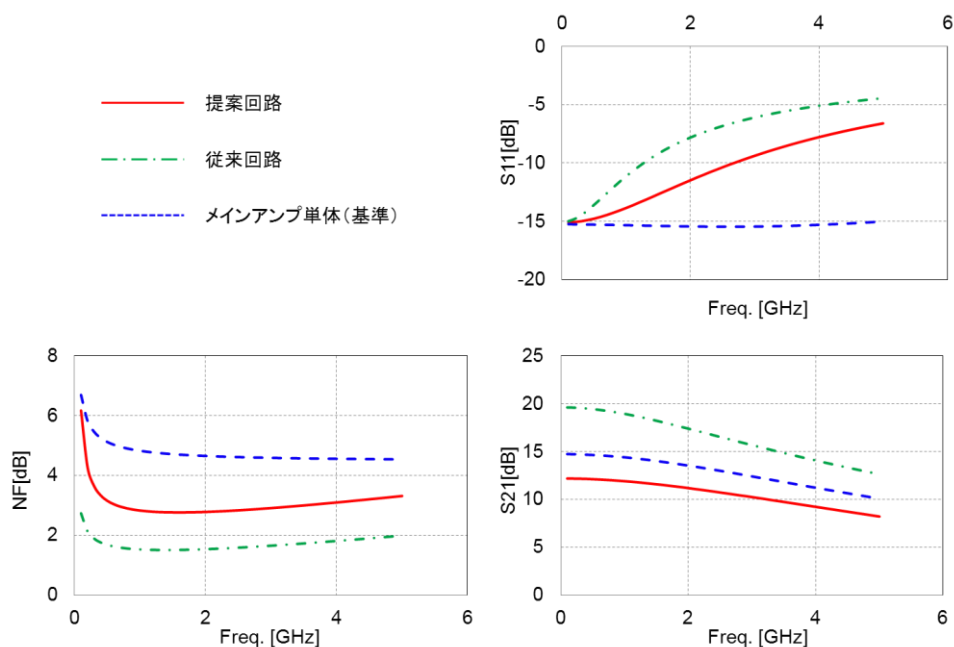


図 4-11 キャンセル点における提案回路と従来回路とメインアンプ単体の周波数特性

表 4-1 ノイズキャンセル点における提案回路と従来回路の比較

パラメータ	提案回路	従来回路
BW[GHz]	3.94	2.08
Gain[dB]	12.2	19.6
NF[dB]	2.76	1.52
IIP3[dBm]	8.17	-1.36
Power[mW]	12.4	18.8
FOM <sup>a</sup>	9.53	2.08

$${}^aFOM = \frac{G[abs] \cdot IIP3[mW] \cdot BW[GHz]}{Power[mW] \cdot (NF - 1)[abs]} \quad [16]$$

ノイズキャンセル点（提案回路では  $A_{v,c}=7.1$ ，従来回路では  $A_{v,c}=8.4$ ）での周波数特性の比較を図 4-11 に示す。また表 4-1 にノイズキャンセル点における特性値の比較を示す。本シミュレーションにおいては提案回路:FOM=9.53，従来回路:FOM=2.08 となり、提案回路の有用性を示すことができた。

#### 4.4 まとめ

本章では信号抑制フィードフォワード型ノイズキャンセル LNA のバリエーションとして容量帰還を用いた信号抑制フィードフォワード LNA を提案した。ノイズキャンセルアンプへ入力されるノイズを容量を用いて帰還することにより、抵抗を用いた場合に比べて雑音性能を改善することを目的とした。Spectre 90nm プロセスを用いたシミュレーションにより、提案回路のノイズキャンセル動作の確認および、ほぼ同条件になるよう構成しなおした従来のフィードフォワードノイズキャンセル LNA と比較を行い、その有効性を確認した。



## 第 5 章 結論

本論文では、従来回路の原理解析および設計指針の把握、従来のフィードフォワードノイズキャンセル LNA の低消費電力低雑音化技術を目的とした信号抑制フィードフォワードノイズキャンセル LNA の提案および検討を行った。提案回路では、ノイズキャンセルアンプの小信号入力成分を抑えることでノイズキャンセルアンプの低消費電力化を可能にした。ノイズ帰還部を抵抗で構成した場合は、従来のフィードフォワードノイズキャンセル LNA と同面積で雑音性能—消費電力間に自由度を持たせることが可能である。しかし、帰還に用いた抵抗による雑音成分がボトルネックとなった。これを解決するため、ノイズ帰還部を容量で構成したものを提案した。帰還部を容量で構成することにより、ボトルネックを解消し、雑音性能の大幅な改善を可能にした。上記 2 種の提案回路を Cadence 社 Spectre TSMC 0.90 $\mu$ m CMOS プロセスを用いて検証し、その有効性を示した。今後の課題として、提案回路の設計の最適化を行う。

## 付録

### A.1 直流電流カット用コンデンサ

#### A.1.1 概要

本論文ではシミュレーションを行う際、直流電流をカットするためにコンデンサを用いた（図 2-7 の  $C_s$ ,  $C_1$ ,  $C_2$ ,  $C_3$  など）。このコンデンサが小信号へ与える影響を検証した。

#### A.1.2 シミュレーション検討

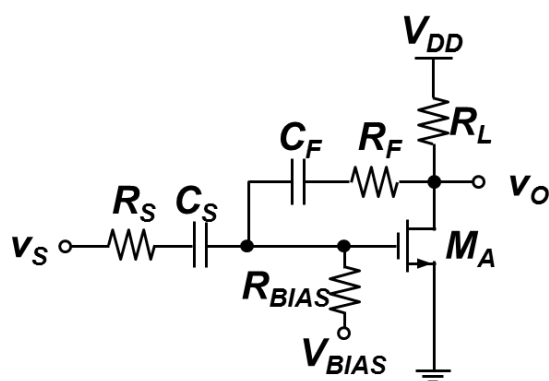


図 A-1 シミュレーション回路

図 A-1 にシミュレーション回路を示す。基本的な抵抗帰還型 LNA に直流電圧カットコンデンサ  $C_s$  および  $C_F$  が付いている。まず、 $C_s$  を変化させたときの  $S$  パラメータをシミュレーションした。プロセスは Cadence 社 Spectre TSMC0.18 $\mu\text{m}$  プロセスを使用した。 $R_s=50\ \Omega$ ,  $R_{bias}=10\ \text{k}\Omega$ ,  $R_F=578.5\ \Omega$ ,  $R_L=70\ \Omega$ ,  $C_F=1\ \text{nF}$ ,  $V_{DD}=1.8\ \text{V}$ ,  $V_{bias}=0.6\ \text{V}$  に設定し、 $C_s$  を  $1\ \text{pF}$  から  $1\ \text{nF}$  まで変化させた。シミュレーション結果を図 A-2 に示す。シミュレーション結果より、 $C_s=1\ \text{nF}$  程度から特性が安定していることが分かる（グラフには示していないが、 $C_s$  を  $1\ \text{nF}$  以上でほぼ同じ特性が得られた）。

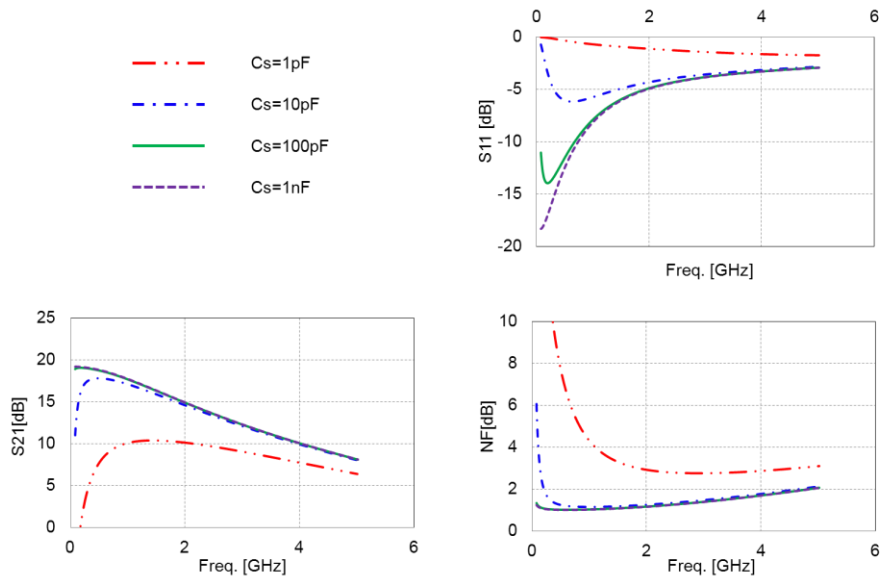


図 A-2 シミュレーション結果

次に  $C_F$  についても同様の検証を行った。シミュレーション回路は同様に図 A-1、プロセスも同様に TSMC180nm を使用した。 $R_s=50\ \Omega$ ,  $R_{bias}=10k\ \Omega$ ,  $R_F=578.5\ \Omega$ ,  $R_L=70\ \Omega$ ,  $C_s=1nF$ ,  $V_{DD}=1.8V$ ,  $V_{bias}=0.6V$  に設定し、 $C_F$  を  $1pF$  から  $1nF$  まで変化させた。シミュレーション結果を図 A-3 に示す。シミュレーション結果より  $C_F$  が  $1nF$  程度から特性が安定していることが分かる。

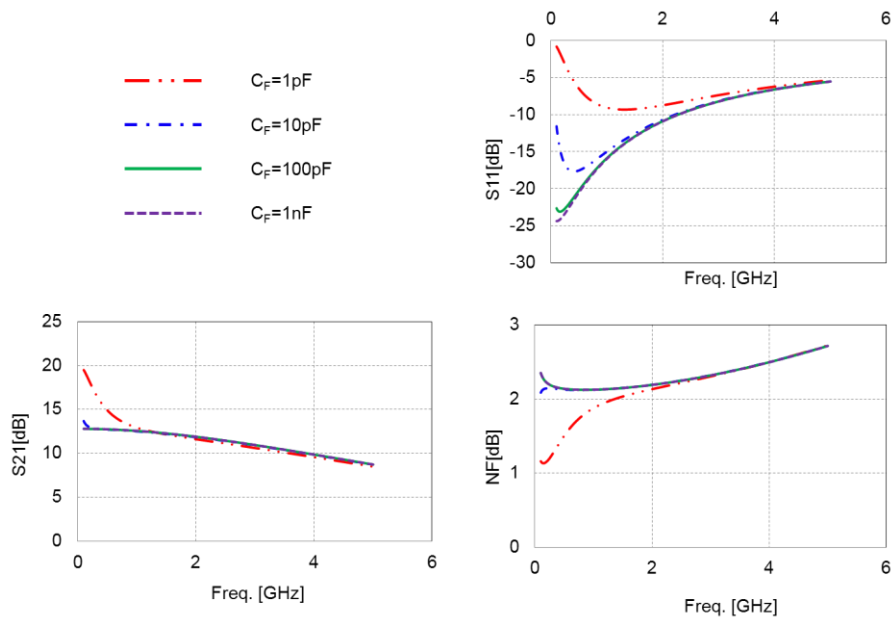


図 A-2 シミュレーション結果

### A.1.3 まとめ

以上の結果より直流電流カット用のコンデンサは  $1\text{nF}$  以上あれば十分であることが分かった。この結果を踏まえて本論文では  $1\text{nF}$  の容量値を持つものを直流電流カット用コンデンサとして用いた。

## 参考資料

- [1] 総務省 “総務省電波利用ページ”  
<http://www.tele.soumu.go.jp/j/adm/freq/index.htm>
- [2] 新田隆夫 “移動通信をめぐる最近の動向”, MWE 2007 Microwave Workshop Digest Opening Ceremony pp 3~11.
- [3] 阪田史郎 “UWB/ワイヤレス USB 教科書”, インプレス、2006 年
- [4] 阪田史郎 “IEEE 無線通信規格を整理する”, アットマークアイティ  
[http://www.atmarkit.co.jp/fnetwork/index/index\\_ieee.html](http://www.atmarkit.co.jp/fnetwork/index/index_ieee.html)
- [5] Kazuhiro Uehara, “Trends in Broadband Wireless Communication Systems and Software Defined Radios”, Interdisciplinary Information Sciences, Vol.12, No.2, pp.163-172, 2006
- [6] ITRS Roadmap, <http://www.itrs.net/>
- [7] Y. Taur, “CMOS design near the limit of scaling”, IBM J. RES. & DEV.VOL. 46 NO.2/3 pp213-222, MARCH/MAY 2002.
- [8] 益一哉 “Si RF CMOS 集積回路の展望”, MWE 2007 Microwave Workshop Digest pp132-142
- [9] P. Bacon, C. Mohan, D. Fryklund and P.Zampardi, “Semiconductor Trends in Wireless Handsets”, Microwave journal, pp.22-56, June, 2005
- [10] 日経エレクトロニクス 日経 BP 社 2006 年 1 月 30 日号 pp88-109.
- [11] A. A. Abidi, “RF CMOS Comes of Age”, IEEE JSSC, Vol.39, NO.4, pp.549-561, April. 2004
- [12] 黒田忠広, “RF マイクロエレクトロニクス”, 丸善株式会社, pp5, 2002
- [13] Federico Bruccoleri, Eric A. M. Klumperink, Member, IEEE, and Bram Nauta, Senior Member, IEEE, “Wide-Band CMOS Low-Noise Amplifier Exploiting Thermal Noise Canceling,” IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 39, NO.2 (Feb. 2004).
- [14] Chin-Fu Li, Shih-Chieh Chou, Guan-Hong Ke, and Po-Chiun Huang, Member, IEEE, “A Power-Efficient Noise Suppression Technique Using Signal-Nulling Feedback for Low-Noise Wideband Amplifiers,” IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, II:EXPRESS BRIEFS, VOL. 59, (Jan. 2012).
- [15] Chin-Fu Li, Shih-Chieh Chou, and Po-Chiun Huang, Department of Electrical Engineering, National Tsing Hua University, Hsinchu, Taiwan, “A Noise-Suppressed Amplifier with a Signal-Nulling Feedback for Wideband Applications” IEEE Asian Solid-State Circuits Conference, November 3-5, 2008
- [16] A. Amer, E. Hegazi, and H. Ragai, “A low-power wideband CMOS LNA for WiMAX,”

IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 54, no. 1, pp 4-8, Jan. 2007

## 研究業績

### 学会発表

1. Naohiro Harigai, Kiichi Niitsu, Daiki Oki, Masato Sakurai, Takahiro J. Yamaguchi, Haruo Kobayashi, "A Twistedly-Cascaded Time Difference Amplifier for High Robustness Against Process Variation," International Conference on Solid State Devices and Materials (SSDM 2011), Nagoya, (Sept. 29, 2011).
2. Masato Sakurai, Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Takahiro J. Yamaguchi, and Haruo Kobayashi, "Analysis of Jitter Accumulation in Interleaved Phase Frequency Detectors for High-Accuracy On-Chip Jitter Measurements," International SoC Design Conference (ISOCC 2011), (Nov. 2011).
3. Masato Sakurai, Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Takahiro J. Yamaguchi, Haruo Kobayashi, "A Study on Jitter Accumulation in Interleaved Phase Frequency Detectors for High-Accuracy On-Chip Jitter Measurements," AMDE2011, Kiryu, Japan, (Dec. 8, 2011)
4. Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Masato Sakurai, Osamu Kobayashi, Takahiro J. Yamaguchi, Haruo Kobayashi, "A Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock Edges," 2012 Symposium on VLSI Circuits, Honolulu, Hawaii (Jun 2012).
5. 興大樹, 小林春夫, 新津葵一, 高井伸和 (群馬大学), 壇徹, 高橋伸夫, 内藤智洋, 北村真一, 坂田浩司 (三洋半導体), 「低雑音増幅器の歪解析」, 第2回電気学会東京支部栃木・群馬支所合同研究発表会, 桐生市民文化会館 (2012年2月29日, 3月1日)
6. Yohei Tan, Daiki Oki, Yu Liu, Zachary Nosker, Haruo Kobayashi, Osamu Kobayashi, Tatsuji Matsuura, Atsuhiko Katayama, Li Quan, Ensi Li, Kiichi Niitsu, Nobukazu Takai, Gunma University, Semiconductor Technology Academic Research Center (STARC), "Self-Calibration Technique of Pipeline ADC Using Cyclic Configuration," AMDE2013, Kiryu, Japan, (Dec. 17, 2012)
7. Kiichi Niitsu, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Masato Sakurai, Osamu Kobayashi, Takahiro J. Yamaguchi, Haruo Kobayashi, "Design of a Clock Jitter Reduction Circuit Using Gated Phase Blending Between Self-Delayed Clock

Edges," IEEE/ACM Asia and South Pacific Design Automation Conference (ASP-DAC 2013), Yokohama (Jan. 2013).

8. 針谷尚裕\* (群馬大学), 新津葵一 (名古屋大学), 平林大樹, 興 大樹, 櫻井正人, 大澤優介 (群馬大学), 小林 修 (STARC), 山口隆弘, 小林春夫 (群馬大学), 「自己遅延クロックエッジ間のゲーテッド位相ブレンディングを用いたクロックジッタ低減回路」, 第 3 回電気学会東京支部栃木・群馬支所合同研究発表会, 宇都宮大学工学部 (2013 年 2 月 28 日, 3 月 1 日)

9. 河内 智\*, 興 大樹 (群馬大学), 馬場清一, 壇 徹, 高橋伸夫 (三洋半導体), 小林春夫, 高井伸和, 志水 勲 (群馬大学), 「デュアルバンド CMOS LNA 回路の検討」, 第 3 回電気学会東京支部栃木・群馬支所合同研究発表会, 宇都宮大学工学部 (2013 年 2 月 28 日, 3 月 1 日)

10. 興 大樹, 河内智 (群馬大学), 馬場清一, 壇徹, 高橋伸夫 (三洋半導体), 小林春夫, 高井伸和 (群馬大学), 新津葵一 (名古屋大学), 「信号成分なしフィードバック (Signal-nulled Feedback) 低雑音増幅器の雑音解析」, 第 53 回システム LSI 合同ゼミ、東京農工大学 (2013 年 1 月 26 日)

11. 興大樹, 河内智, Li CongBing, 神山雅貴 (群馬大学), 馬場清一, 壇徹, 高橋伸夫, 坂田浩司 (三洋半導体) 小林春夫, 高井伸和 (群馬大学), 「Signal-Suppression Feed-forward を用いた広帯域 LNA の低消費電力ノイズキャンセル技術」, 第 33 回 シリコンアナログ RF 研究会, 湯河原 (2013 年 8 月 28 日)

12. Daiki Oki, Satoru Kawauchi, Congbing Li, Masataka Kamiyama, Seiichi Banba, Toru Dan, Nobuo Takahashi, Koji Sakata, Haruo Kobayashi and Nobukazu Takai, "A Power-Efficient Noise canceling Technique Using Signal-Suppression Feed-Forward for Wideband LNAs", The 4th IEICE International Conference on Integrated Circuits Design and Verification, Ho Chi Minh City, Vietnam (Nov. 15-16, 2013).

13. Daiki Oki, Satoru Kawauchi, Congbing Li, Masataka Kamiyama, Seiichi Banba, Toru Dan, Nobuo Takahashi, Koji Sakata, Haruo Kobayashi and Nobukazu Takai, "A Power-Efficient Noise canceling Technique Using Signal-Suppression Feed-Forward for Wideband LNAs", AMDE2013, Kiryu, Japan, (Dec. 19, 2013)



## 論文

1. Kiichi Niitsu, Masato Sakurai, Naohiro Harigai, Daiki Hirabayashi, Daiki Oki, Takahiro J. Yamaguchi, Haruo Kobayashi, "An Analytical Study on Jitter Accumulation in Interleaved Phase Frequency Detectors for High-Accuracy On-Chip Jitter Measurements," *Key Engineering Materials*, vol.534, pp.197-205 (2013)
2. Yohei Tan, Daiki Oki, Yu Liu, Yukiko Arai, Zachary Nosker, Haruo Kobayashi, Osamu Kobayashi, Tatsuji Matsuura Zhixiang Yang, Atsuhiko Katayama, Li Quan, Ensi Li, Kiichi Niitsu, Nobukazu Takai, "Self-Calibration Technique of Pipeline ADC Using Cyclic Configuration," *Key Engineering Materials*. vol.596, pp.181-186 (2014).

## 謝辞

本研究を進めるに当たり、2年間懇切丁寧なご指導をいただきました、馬場清一客員教授（群馬大学大学院工学研究科）に心より深く感謝の意を表します。主査を担当していただき、助言をいただきました小林春夫教授（群馬大学大学院工学研究科）に心より感謝いたします。副査をしていただき、助言をいただきました高井伸和准教授（群馬大学大学院工学研究科）に心より感謝いたします。

共同研究としてご指導・ご助言をいただきました三洋半導体株式会社の皆様、高橋伸夫氏（群馬大学）に心より感謝いたします。研究に関するご指導・ご助言をいただきました新津葵一講師（名古屋大学）に感謝いたします。研究室、研究生活面でお世話になりました、石川信宣技官に感謝いたします。

安部文隆氏、平林大樹氏、宮崎雄太氏（群馬大学小林研究室）、新井直樹氏、神山透氏、堺昂浩氏、都木新太郎氏（群馬大学高井研究室）有益な助言、議論をしていただき、本研究を行う上で大変良い刺激になりました。感謝いたします。研究を共に進めてきた河内智氏、神山雅貴氏（群馬大学小林研究室）に感謝いたします。また、小林研究室および高井研究室の皆様方のご協力に深く感謝いたします。