

平成25年度 修士論文

アナログ回路の校正技術の研究

指導教員 小林 春夫 教授

群馬大学大学院工学研究科
電気電子工学専攻

宮崎 雄太

| | | |
|-------|---------------------------------------|----|
| 第1章 | 序章 | 5 |
| 1.1 | 研究背景 | 5 |
| 1.2 | 目的と結果 | 6 |
| 第2章 | TDCの基本原理 | 7 |
| 2.1 | TDC | 7 |
| 2.1.1 | TDCの構成と概要 | 7 |
| 2.1.2 | TDCの動作 | 8 |
| 2.2 | $\Delta\Sigma$ TDC | 9 |
| 2.2.1 | $\Delta\Sigma$ TDCの構成 | 9 |
| 2.2.2 | $\Delta\Sigma$ TDCの動作 | 10 |
| 2.3 | マルチビット $\Delta\Sigma$ TDC | 11 |
| 2.3.1 | マルチビット $\Delta\Sigma$ TDCの構成 | 11 |
| 2.3.2 | マルチビット $\Delta\Sigma$ TDCの動作 | 12 |
| 第3章 | $\Delta\Sigma$ TDCを構成する回路及びシミュレーション解析 | 13 |
| 3.1 | クロックの遅延選択回路 | 13 |
| 3.1.1 | ディレイライン | 13 |
| 3.1.2 | ディレイラインのシミュレーション解析 | 14 |
| 3.1.3 | 遅延素子 τ | 15 |
| 3.2 | 位相比較器 | 16 |
| 3.2.1 | NAND型位相比較器 | 16 |
| 3.2.2 | NAND型位相比較器のシミュレーション解析 | 19 |
| 3.3 | オペアンプ型チャージポンプ | 20 |
| 3.4 | 比較器(コンパレータ) | 22 |
| 3.4.1 | クロック同期型コンパレータ | 23 |
| 3.4.2 | クロック同期型コンパレータのシミュレーション解析 | 24 |
| 3.5 | フラッシュ型AD変換器 | 24 |
| 3.5.1 | マルチビット $\Delta\Sigma$ TDCでのFlash ADC | 24 |
| 3.5.2 | Flash ADCのシミュレーション解析 | 25 |
| 第4章 | $\Delta\Sigma$ TDCのシミュレーション解析 | 27 |
| 4.1 | 1ビット $\Delta\Sigma$ TDCの様々な入力に対する出力波形 | 27 |
| 4.1.1 | CLK1がCLK2より2.5ns早い場合 | 28 |
| 4.1.2 | CLK1がCLK2より1ns早い場合 | 29 |
| 4.1.3 | CLK1とCLK2に位相差がない場合 | 29 |
| 4.1.4 | CLK1がCLK2より1ns遅い場合 | 30 |
| 4.1.5 | CLK1がCLK2より2.5ns遅い場合 | 30 |

| | | |
|------------|--|-----------|
| 4.1.6 | 1ビット $\Delta\Sigma$ TDCのCLK1,CLK2の時間差と出力Doutの関係 | 31 |
| 4.2 | マルチビット $\Delta\Sigma$ TDCの様々な入力に対する出力波形 | 32 |
| 4.2.1 | Flash ADCのダイナミックレンジ | 33 |
| 4.2.2 | CLK1がCLK2より2.5ns早い場合 | 34 |
| 4.2.3 | CLK1がCLK2より1ns早い場合 | 34 |
| 4.2.4 | CLK1とCLK2に位相差がない場合 | 35 |
| 4.2.5 | CLK1がCLK2より1ns遅い場合 | 36 |
| 4.2.6 | CLK1がCLK2より2.5ns遅い場合 | 36 |
| 4.2.7 | 3ビット $\Delta\Sigma$ TDCのCLK1,CLK2の時間差と出力Dout1~7の関係 | 37 |
| 第5章 | 校正技術の検討 | 39 |
| 5.1 | Data Weighted Averaging (DWA) | 39 |
| 5.1.1 | Data Weighted Averaging とブロック図 | 39 |
| 5.1.2 | エンコーダ | 41 |
| 5.1.3 | レジスタ | 41 |
| 5.1.4 | バレルシフタ | 42 |
| 5.1.5 | 加算器 | 43 |
| 5.1.6 | DWAのシミュレーション解析 | 45 |
| 5.2 | 並び替えアルゴリズム(Sorting Algorithm) | 46 |
| 5.2.1 | 並び替えアルゴリズムのフローチャート | 47 |
| 5.2.2 | 並び替え・組み合わせを実現する回路のブロック図 | 49 |
| 5.2.3 | 発振周波数測定カウンタ | 50 |
| 5.2.4 | 周波数測定データメモリ | 51 |
| 5.2.5 | 総当たりデジタル比較器 | 52 |
| 5.2.6 | 加算器 | 54 |
| 5.2.7 | 組合せ決定回路 | 55 |
| 5.2.8 | 組合せデータメモリ | 57 |
| 5.2.9 | 組合せ適用回路 | 58 |
| 5.2.10 | 並び替えアルゴリズムのシミュレーション | 59 |
| 5.3 | 校正手法を用いたシミュレーション解析 | 59 |
| 5.3.1 | Matlabシミュレーション結果 | 59 |
| 5.3.2 | SPICEシミュレーション解析 | 65 |
| 第6章 | 並び替えアルゴリズムのDA変換器の適用 | 67 |
| 6.1 | セグメント型電流源DA変換器 | 67 |
| 6.2 | 提案自己校正手法 | 68 |
| 6.2.1 | 電流源の校正手法 | 68 |
| 6.2.2 | 数値検証 | 69 |

| | | |
|-----------|-------------------|----|
| 6.2.3 | DAC 線形性の検討 | 69 |
| 6.2.4 | 自己校正の手順..... | 70 |
| 6.2.5 | 回路構成..... | 71 |
| 6.2.6 | CPU とメモリの働き | 74 |
| 第7章 | まとめ..... | 76 |
| 謝辞 | | 78 |
| 参考文献 | | 79 |
| 本研究に関する業績 | | 80 |

第1章 序章

1.1 研究背景

図 1.1 に示すように、近年、半導体の微細化により、素子の集積度が増し、大規模集積回路 (LSI) は VLSI (Very LSI) や ULSI (Ultra LSI) と呼ばれる言葉も誕生するほど半導体の面積縮小、高速化、省電力化が進んでいる。しかし、この進化に伴い、LSI のテスト点数の増大、評価の精細化が必要となり、テストコストの増大が顕著化している。そのためテストコストを減らすためのテスト容易化手法が注目されている。しかし、テスト容易化手法について取り組まれているのは国内では少数である。そこで本論文では、TDC と呼ばれる、デジタル信号の間の時間差を測定する回路に着目し、実用化に対する課題を解決するための新たな技術を提案し、テスト回路を設計・シミュレーション解析し効果を確認する。

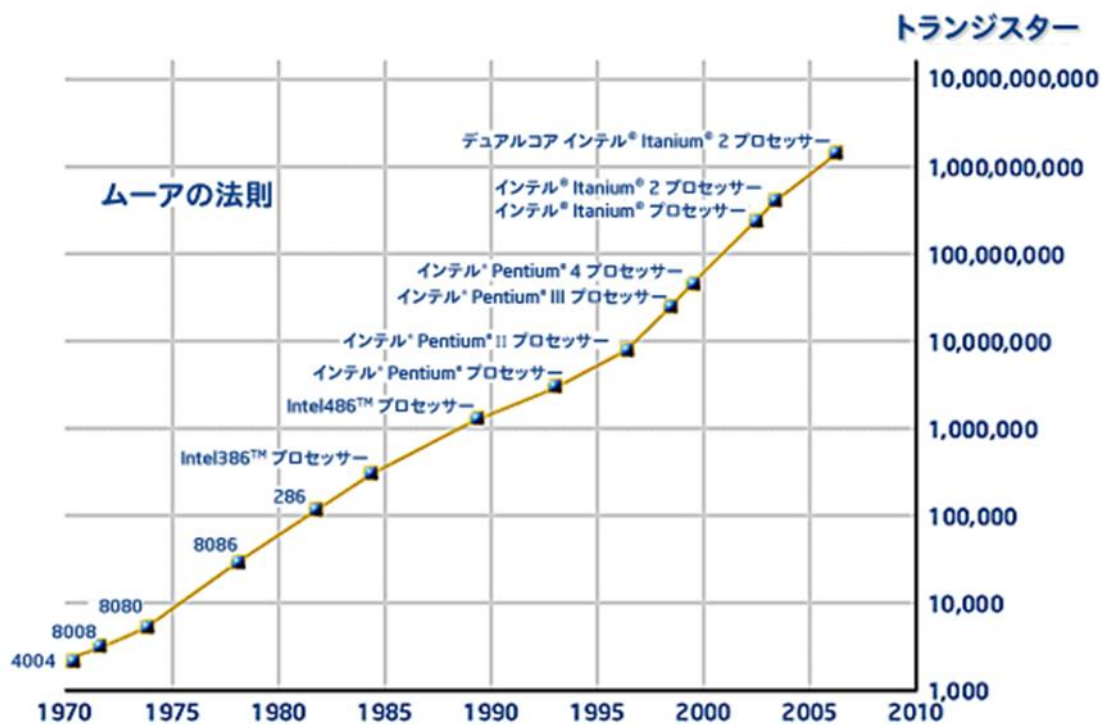


図 1.1 ムーアの法則

1.2 目的と結果

本研究では2つのクロックの時間差を測定する $\Delta \Sigma$ TDCを回路レベルで設計・解析すること、また、マルチビット $\Sigma \Delta$ TDCに対する、従来の自己校正手法との組合せも考慮に入れた新たな自己校正技術の適用を目的とし、更にこの自己校正手法を他アプリケーション(ここではDA変換器)にも適用を考える。

(1) マルチビット $\Delta \Sigma$ TDC

Delay Lineを増やしコンパレータとしてエンコーダを省いたフラッシュ型AD変換器を用いたマルチビット構成の $\Delta \Sigma$ TDCの提案及び検討した結果を報告する。マルチビット化することによる測定時間の短縮を目標とし、その有効性をシミュレーションにより確認した。

(2)新規の自己校正手法(並び替えアルゴリズム)の適用

マルチビット化することによる問題点の一つとして、用いる遅延セルに遅延誤差がある場合には出力に非線形性が現れてしまうということがあげられる。したがって入力信号間の時間差測定において、出力が非線形だと測定結果の誤差要因となってしまう。そこで、素子の大きさを測り、組み合わせ、並び替える方法を取る、並び替えアルゴリズムを用いる手法を提案する。また、Data Weighted Averaging (データ加重平均)との組合せについても検討した。

(3)並び替えアルゴリズムの他アプリケーションの適用

並び替えアルゴリズムを本論文ではDA変換器に適用し、効果を検証する。

第2章 TDC の基本原理

タイムデジタイザ回路(TDC: Time to Digital Converter)とは被測定信号の時間というアナログの物理量をデジタル出力する回路である。2 信号間の時間差や信号パルスの時間間隔を測り、それをデジタル値として出力するなどの用途があげられる。本章では TDC の構成と動作及び、 $\Delta \Sigma$ TDC について述べる。

2.1 TDC

2.1.1 TDC の構成と概要

はじめに TDC 回路の構成図を図 2.1 に示す。

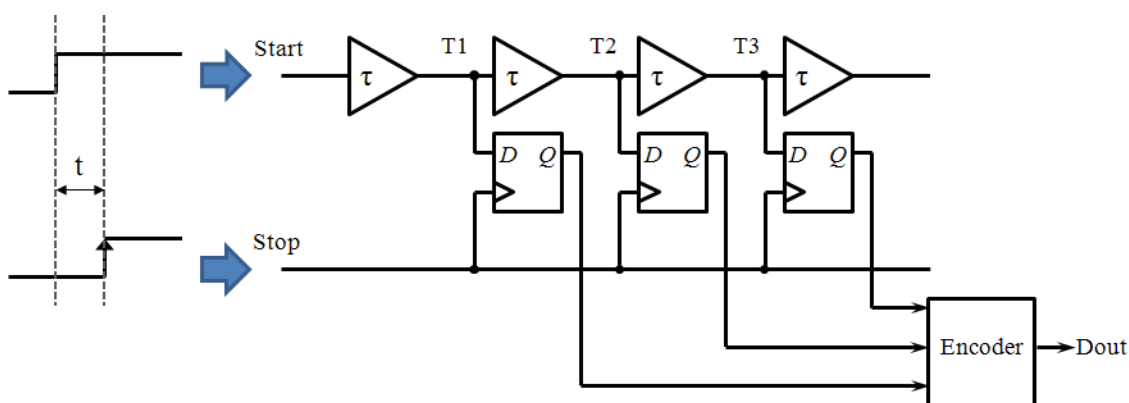


図 2.1 TDC の構成図

時間間隔の測定に用いられる回路が TDC(Time-to-Digital Converter) である。基本的な TDC の構成を図 2.1 に示す。回路の大部分をインバータや D Flip-Flop といったデジタル回路のみで構成することが出来る。動作としては Start 信号を入力する信号経路に遅延バッファを挿入した Delay Line, D Flip-Flop からなる。入力された Start 信号は直列に接続された遅延素子を通り、遅延素子を通した後の各々の信号が D Flip-Flop の入力 D へと入力される。このとき入力された Start 信号はバッファ遅延 τ の整数倍(バッファ数)だけ遅延させられ、Stop 信号の立ち上がりのタイミングで各 D Flip-Flop の状態がラッチされる。これにより求める信号間の時間差がバッファ遅延何段に相当するかが分かる。その信号をエンコーダに通すことで時間差をデジタル出力 Dout として得ることができる。

2.1.2 TDC の動作

Start 信号は遅延回路を通り、それぞれの D Flip-Flop の D に入力される。Stop 信号の立ち上がりエッジに反応し各 D Flip-Flop からデータ部の値が出力されエンコーダでデジタルデータに変換される。この Flip-Flop 出力(D0,D1,D2...)はアルファ符号になる。ここでアルファ符号コードとは、一進法符号(単進符号)または温度計符号(この場合アルファ符号コードにおける 1 と 0 が逆)とも呼ばれる、正の整数を表す可変長符号の一つである。アルファ符号の例を以下に示す。

対象となる数 出力 とすると、

| | |
|---|---------|
| 1 | 1 |
| 2 | 01 |
| 3 | 001 |
| 4 | 0001 |
| 5 | 00001 |
| 6 | 000001 |
| 7 | 0000001 |
| ⋮ | |

このように、ある点を境に連続した 0 と連続した 1 が切り替わるコード構成のことを言う。この 0(本論文では「Low」)と 1(本論文では「High」)が切り替わった出力(Q)の値は、Stop 信号の立ち上がるタイミングであることを指し示す。よって、立ち上がるまでの遅延段数が分かるので、信号の立ち上がりエッジの時間差を求めることができる。

図 2.2 に図 2.1 における Start 信号、Stop 信号、T0、T1、T2、T3 の信号のタイミングチャートを示す。

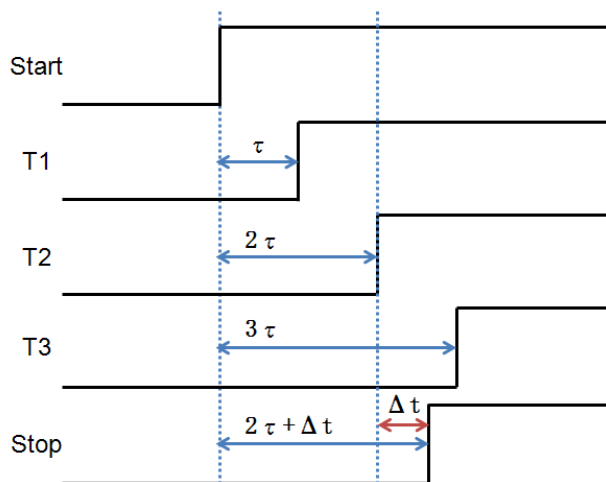


図 2.2 各信号におけるタイミングチャート

図 2.2 のタイミングで Stop 信号が入力されると、その立ち上がりエッジで各 D Flip-Flop から次の値が出力される。

D0 = Low, D1 = Low, D2 = High, …

この D Flip-Flop 出力(D0,D1,D2…)の 0 の数から、2 信号間の時間差を求められる。この関係を式で表す。インバータの遅延時間 τ 、誤差を Δt 、出力が High である D Flip-Flop の数を n 、測定したい 2 信号間の時間差を T とすると、

$$T = n\tau + \Delta t \quad (2.1)$$

である。また、遅延回路のインバータの段数を n 、測定可能時間を T_{max} とすると

$$\tau_{max} = n\tau \quad (2.2)$$

である。このことから測定できる時間差は遅延時間 τ となる。又測定可能時間は遅延回路と D Flip-Flop の数に比例する事がわかる。

しかし、測定したい時間差が τ の倍数でない場合誤差が生じてしまい、正しい計測を行うことが出来ない。更に測定可能時間が遅延回路と D Flip-Flop の数に依存するのでそれ以上の時間差の計測は不可能である。

測定精度を向上するためには遅延時間 τ を小さくし、測定可能時間を増幅するためには素子数を増やせば可能であるが、よりコストがかかってしまう。

2.2 1 ビット $\Delta \Sigma$ TDC

従来の TDC は時間分解能が τ により決まってしまう、計測可能時間を大きくするために素子数を増加させ回路規模が増大してしまう。それに対し $\Delta \Sigma$ TDC では 2 つの繰り返しかロック間の時間差を短いテスト時間で高精度に簡易的な回路のみで実現し計測する。

2.2.1 1 ビット $\Delta \Sigma$ TDC の構成

以下に $\Delta \Sigma$ TDC の構成図を図 2.3 に示す。

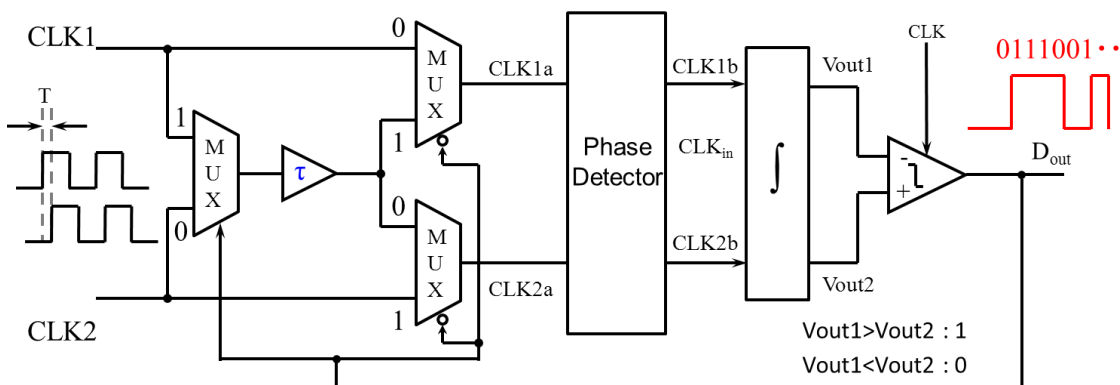


図 2.3 $\Delta \Sigma$ TDC の構成図

偶数個の多段インバータによる遅延素子、マルチプレクサ、位相比較器、積分器、比較器から構成される。この回路はクロック信号 CLK1 と CLK2 の立ち上がりの時間差を測定する回路である。

2.2.2 1 ビット $\Delta \Sigma$ TDC の動作

CLK1 と CLK2 はそのまま通過する経路か、遅延素子を通過する経路のどちらかをコンパレータの出力 Dout の結果により選択される。マルチプレクサには出力 Dout がフィードバックされており、Dout = Low で CLK1 はそのまま通過する経路を、CLK2 は遅延素子を通過する経路を選択される。Dout = High の場合、CLK1 は遅延素子を通過する経路を、CLK2 はそのまま通過する経路を選択される。

$\Delta \Sigma$ TDC のタイミングチャートを図 2.4 に示す。位相比較器では CLK1a と CLK2a の位相差を出力する。CLK1a, CLK2a どちらが先に立ち上がるかで出力結果は異なってくる。CLK1a が先に立ち上がる場合、CLK1b に位相差が出力され CLK2b に位相比較器がリセットされる時間だけパルスが出力される。CLK2a が先に立ち上がる場合は CLK2b に位相差が出力され CLK1b に位相比較器がリセットされる時間だけパルスが出力される。積分器では差動対となっており、位相差分を積分し Vout1 と Vout2 を出力する。その後 Vout1 と Vout2 の大小関係から比較器で Dout を出力する。CLK1 が先に立ち上がる場合、Vout1 が正、Vout2 が負となり、比較器での比較結果から High が Dout から出力される。逆に CLK2 が先に立ち上がる場合、Vout1 が負、Vout2 が正となり比較結果から Low が Dout から出力される。最終的には Dout から出力された High の数からクロック間の時間差を求める。

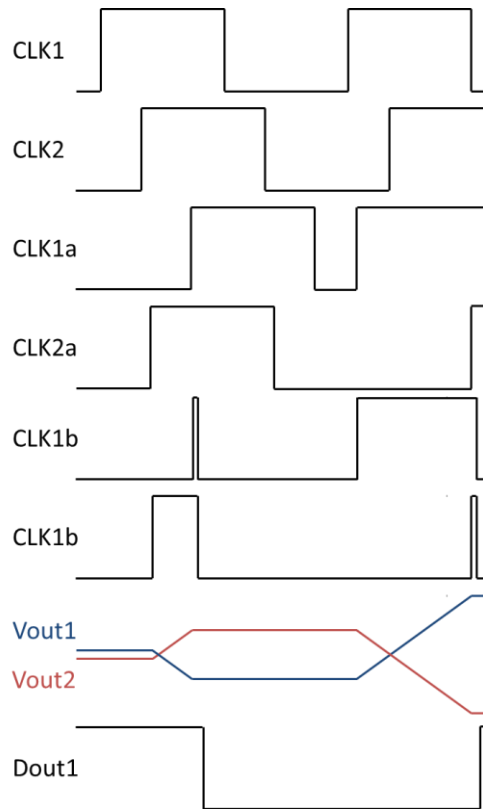


図 2.4 1 ビット $\Delta \Sigma$ TDC のタイミングチャート

2.3 マルチビット $\Delta \Sigma$ TDC

比較器での比較をマルチビットにし、遅延素子を増やすことで 1 ビットの $\Delta \Sigma$ TDC よりも高分解能で時間差を測定できる。

2.3.1 マルチビット $\Delta \Sigma$ TDC の構成

マルチビット $\Delta \Sigma$ TDC の構成図を図 2.5 に示す。

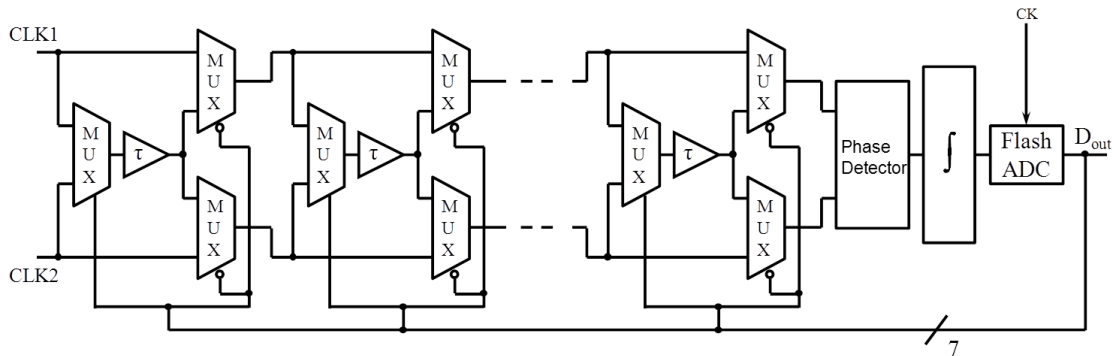


図 2.5 マルチビット $\Delta \Sigma$ TDC の構成図

マルチビット $\Delta \Sigma$ TDC の構成図を図 2 に示す。マルチビット $\Delta \Sigma$ TDC の構成として、比較器に Flash 型の AD 変換器を使用する。Dout は温度計コードとしてビット分だけ出力される。出力の数は N ビットの場合 $2^N - 1$ となり、遅延素子とマルチプレクサも同数となる。単一ビットでの遅延素子の遅延時間を τ_1 とするなら N ビットの遅延素子の遅延時間 τ_N は次式で表される。

$$\tau_N = \frac{\tau_1}{2^N - 1} \quad (2.3)$$

これにより単一ビットに比べより高分解能になり、高精度で測定が可能になる。測定可能時間は単一ビットと同値になる。

2.3.2 マルチビット $\Delta \Sigma$ TDC の動作

動作は単一ビット同様 CLK1,CLK2 の時間差を Dout で出力される。温度計コードとしての出力結果により CLK1,CLK2 の遅延経路が選択される。単一ビットとは違い、入力信号の遅延は Flash 型の AD 変換器の出力結果によって変化する。

CLK1 の遅延経路は Dout の High の数に比例して増加する。逆に CLK2 の遅延経路は Dout の Low の数に比例する。CLK1a,CLK2a はひとつの τ に対して Dout の出力に応じて $\tau, 2\tau, 3\tau \dots$ の遅延が加算され単一ビットに比べ、高分解能になっている。詳しくは第 4 章 2 節で述べる。

第3章 $\Delta \Sigma$ TDC を構成する回路 及びシミュレーション解析

この章では第2章で述べた $\Delta \Sigma$ TDC のを構成する回路及び回路設計・シミュレーション解析について述べる。

本研究では VDEC(VLSI Design and Education Center 大規模集積システム設計教育研究センター)を利用し回路設計を行った。TSMC0.9 μ m CMOS プロセスのデザインルールで設計を行った。回路シミュレータ(SPICE)は Cadence 社の spectre を使用しシミュレーション解析を行った。

各回路シミュレーションでの VDD(電源電圧)は 1.8V として行った。また配線による抵抗や容量等の寄生素子は考慮していない。今回計測に使うクロックの周波数は 10MHz とし、High=1.8V、Low=0V としている。なお、指定のないすべての PMOS と NMOS のゲートサイズは、PMOS のゲート長 L/ゲート幅 W は 0.18 μ m/2.25 μ m、NMOS のゲート長 L/ゲート幅 W は 0.18 μ m/0.75 μ m とする。

3.1 クロックの遅延選択回路

$\Delta \Sigma$ TDC のクロックの遅延選択回路について説明する。この回路はディレイライン、マルチプレクサから構成される。

3.1.1 ディレイライン

ディレイラインの動作について図 3.1 に示す。ディレイラインは複数のインバータで構成できる。

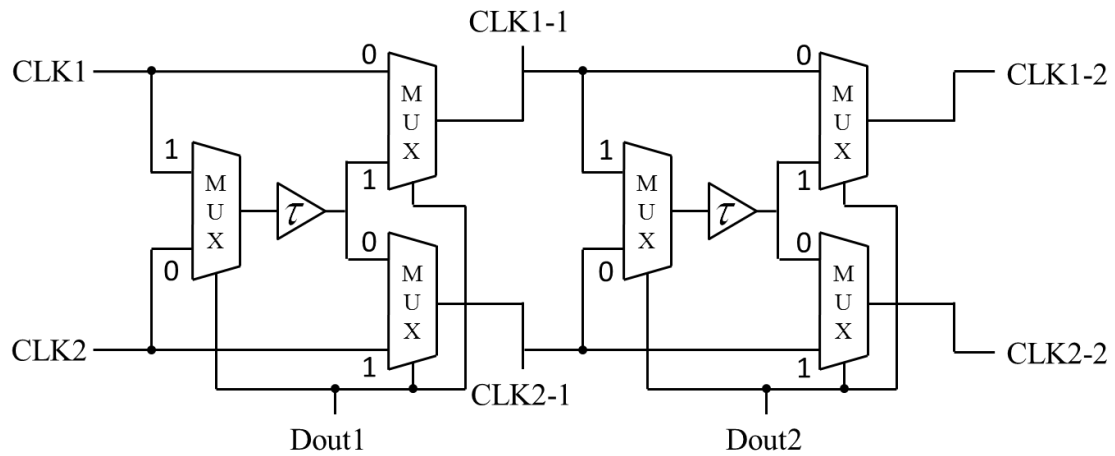


図 3.1 マルチプレクサの動作

ディレイラインはマルチプレクサの制御信号により 2 入力のうちどちらかが選択され、後段へ出力される回路である。その後の信号をそれぞれ CLK1-1,CLK2-1 とし、その後段の出力は CLK1-2、CLK2-2 とする。例えば、3 ビットであれば、7つの遅延選択により、CLK1 と CLK2 の経路が確定する。

3.1.2 ディレイラインのシミュレーション解析

図 3.2 はディレイラインのシミュレーション結果。図 3.1 の 1 段目の遅延セルを 1ns、2 段目の遅延セルを 2ns とし、1 段目を CLK1 が、2 段目を CLK2 が通るとすれば、CLK1 と CLK1-2 との差は 1.31ns、CLK2 と CLK2-2 の差は 2.32ns で、ほぼ 1ns ずれて出力されていることが分かる。また、この 0.31~0.32ns の遅延はマルチプレクサによるものである。

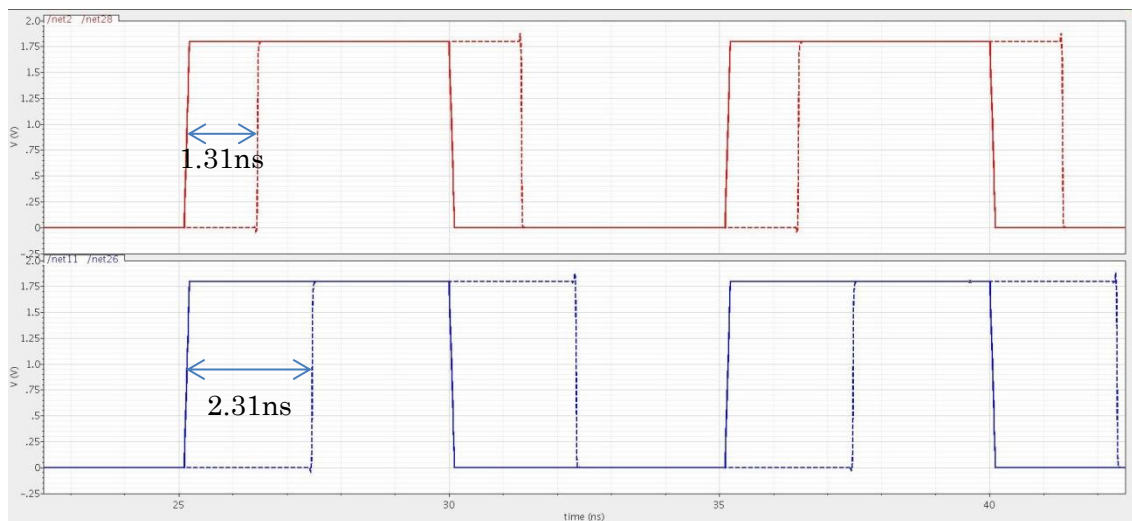


図 3.2 ディレイラインの動作確認

3.1.3 遅延素子 τ

第2章で示した $\Delta \Sigma$ TDC の遅延素子 τ をトランジスタレベルで図 3.3 に示す。

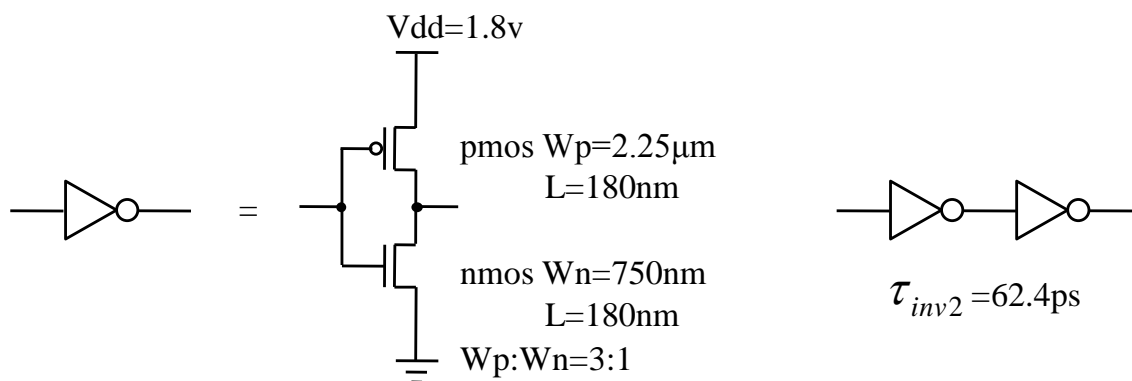


図 3.3 CMOS インバータの回路図

遅延素子 τ は MOS トランジスタのゲート遅延を利用しており、総数 32 個の CMOS インバータを直列に接続し、遅延させている。遅延素子 τ の遅延値は 1ns を想定し製造工程のばらつきや温度などの影響は考慮していない。以下 CMOS インバータの個数について説明する。

1 段の CMOS インバータの遅延時間 τ_{inv} は次式で表される。

$$\tau_{inv} \propto \frac{C_{load} V_{dd}}{\mu C_{ox} (W/L) (V_{dd} - V_{th})^\alpha} \quad (3.1)$$

ここで μ はキャリアの移動度、 C_{load} はインバータの出力負荷容量、 C_{ox} は単位面積あたりのゲート酸化膜容量、 W はゲート幅、 L はゲート容量、 V_{dd} は電源電圧、 V_{th} は MOS トランジスタのしきい値、 α は短チャネル効果に依存し 1~2 の値をとる。遅延素子内のインバータは 32 個すべて図 3.2 に示した大きさと構成されているので格段の出力負荷容量 C_{load} は等しく次式のように表される。

$$C_{load} = C_{ox} WL \quad (3.2)$$

式(3.2)を式(3.1)に代入して整理すると

$$\tau_{inv} \propto \frac{L^2 V_{dd}}{\mu (V_{dd} - V_{th})^\alpha} \quad (3.3)$$

となる。

遅延回路は偶数個のインバータから構成されるので、インバータ 2 個の遅延を測った。遅延時間の求め方として、電源電圧の中間である 0.9V での入力電圧と出力電圧との時間差を測った。

3.2 位相比較器

この節では NAND 型位相比較器の構成及びシミュレーション解析について述べる。

3.2.1 NAND 型位相比較器

NAND 型位相比較器は 2 つのリセット付き D Flip-Flop と NAND 回路を用いた構成となっている。位相比較器では遅延回路の出力 CLK1a,CLK2a の位相差を CLK2 出力する。

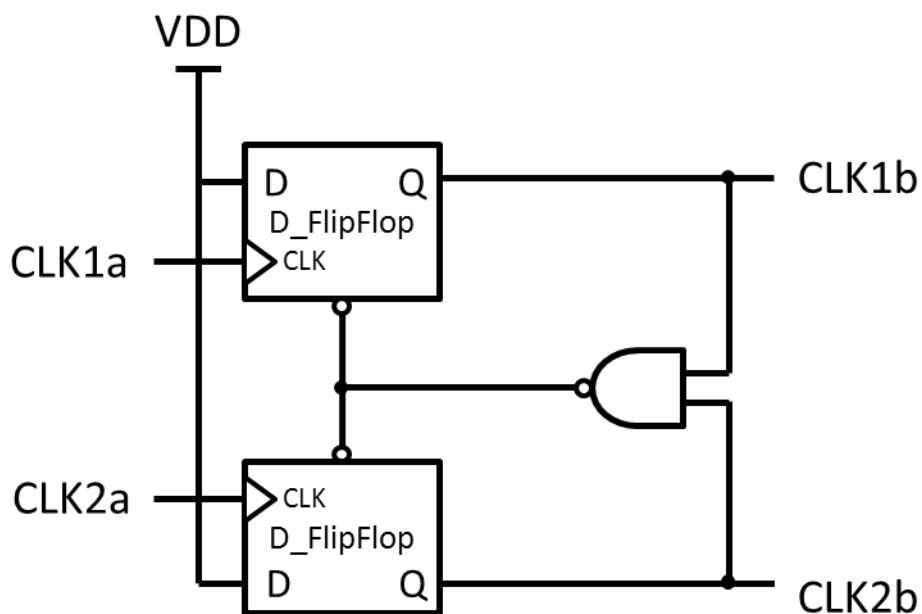


図 3.4 NAND 型位相比較器

図 3.4 で示した回路に使用した非同期型リセット付き D Flip-Flop の回路図を図 3.5 に示す。また、図 3.5 で用いた CMOS スイッチの構成を図 3.6、図 3.7 に示す。

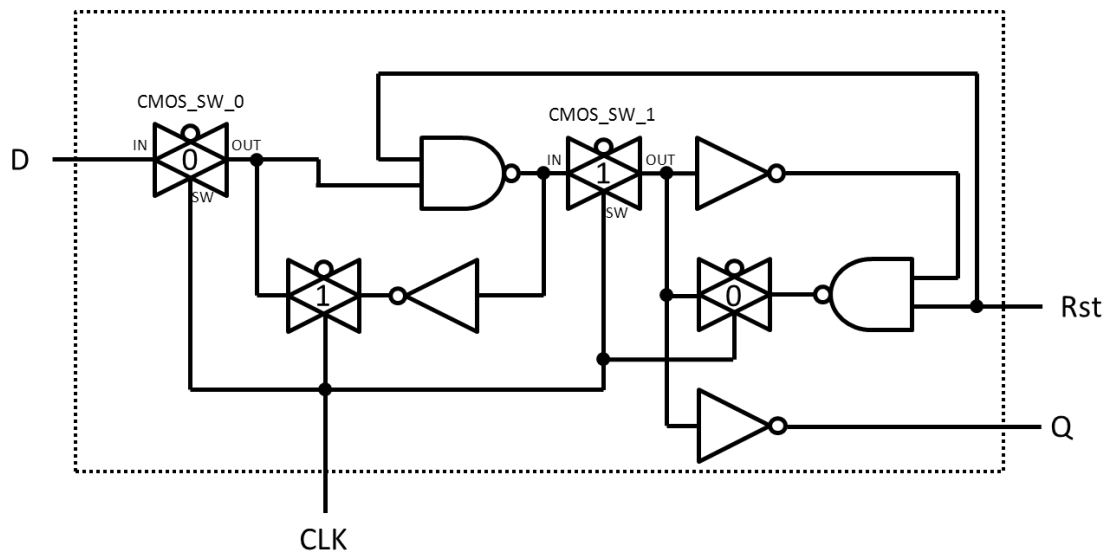


図 3.5 非同期型リセット付き Flip-Flop

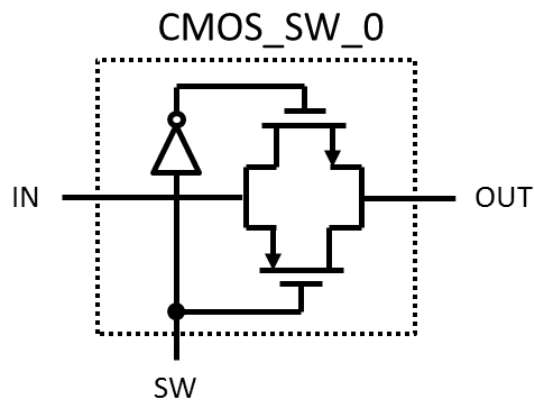


図 3.6 入力が”Low”のとき導通する CMOS スイッチの構成

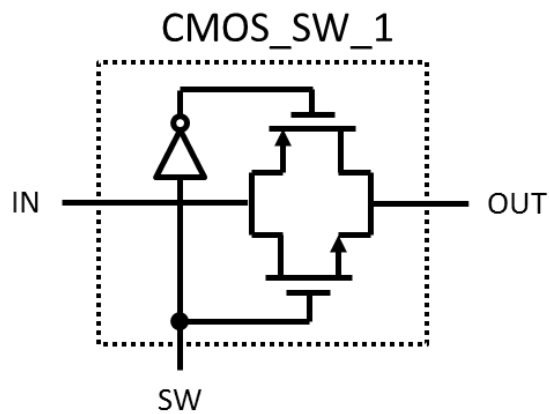


図 3.7 入力が”High”のとき導通する CMOS スイッチの構成

リセット付き D Flip-Flop のリセット信号で RST に Low が入力されると出力は強制的に Low になる。図 3.4 において D Flip-Flop の上段下段の DFF の入力 D には High が入力されており、初期状態では 2 つの出力とも Low とする。この状態で CLK1a の信号が先に立ち上がると上段 DFF の出力 Q を Vout1 とし、Vout1 は入力信号である High が出力される。その後 CLK2a の信号が立ち上がると下段 DFF の出力 Q を Vout2 とし、Vout2 は High が出力される。このとき NAND 論理によって入力 2 つとも High になるので RST の信号が Low となり、上段下段とも出力が Low になる。したがって Vout1 は CLK1a の信号が立ち上がってから CLK2a の信号が立ち上がるまでの期間 (CLK1a と CLK2a の位相差) において High となる。Vout2 は CLK2a の信号が立ち上がってから、NAND 回路から Low が出力され上段下段の出力 Q が Low になるまでの間、High を出力する。このパルスの幅は NAND 論理の遷移時間と D Flip-Flop のリセット時間の合計である。同様に CLK2a が先に立ち上がる場合、Vout1 には NAND ゲートの遷移時間と D Flip-Flop のリセット時間分に応じたパルスが出力され、Vout2 には CLK1a と CLK2a の位相差に応じたパルスが出力される。

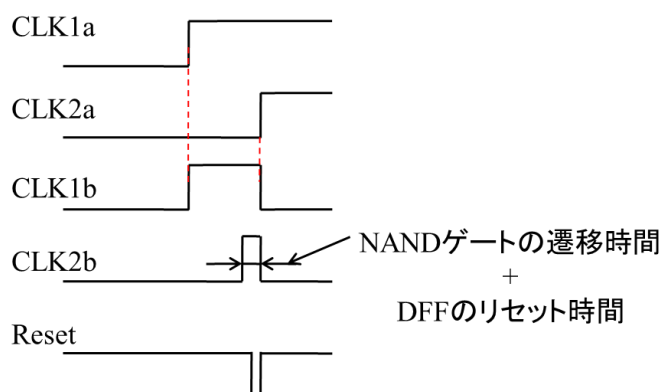


図 3.8 NAND 型位相比較器のタイミングチャート

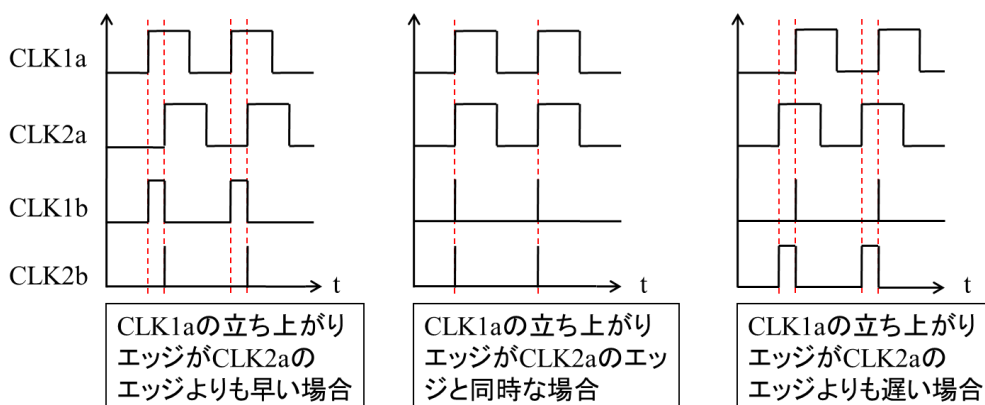


図 3.9 様々な条件の出力波形

CLK1a の信号が先に立ち上がる場合の CLK2a との位相差を正、CLK2a が先に立ち上がる時の位相差を負とすると、位相差が正であれば位相差に比例した信号が CLK1b に、位相差が負であれば位相差に比例した信号が CLK2b に出力される。

3.2.2 NAND 型位相比較器のシミュレーション解析

3.2.1 で述べたとおり、NAND 型位相比較器は図 3.5 で示した非同期型リセット付 Flip-Flop において、図 3.3 のインバータ同様 NMOS トランジスタのゲート幅 W_n を 750nm 、PMOS トランジスタのゲート幅 W_p を $2.25\mu\text{m}$ とし、すべてのトランジスタのゲート長を $0.18\mu\text{m}$ として設計した。CLK1a,CLK2a の信号をパルス幅 5ns とし、位相差を持たせ、図 3.4 の回路でシミュレーションを行った。CLK1a が CLK2a よりも位相差 2ns で先に立ち上がる場合を図 3.10、CLK1a と CLK2a が同時に立ち上がる場合を図 3.11、CLK2a が CLK1a よりも位相差 1ns で先に立ち上がる場合を図 3.12 にそれぞれ示す。

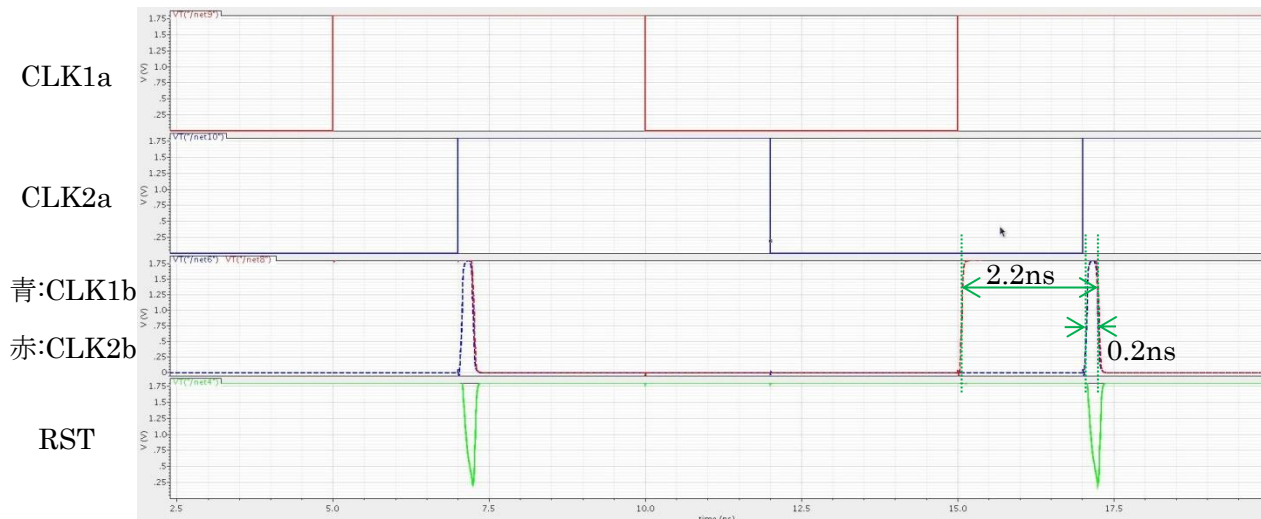


図 3.10 CLK1a が CLK2a よりも位相差 2ns で先に立ち上がる場合のシミュレーション波形

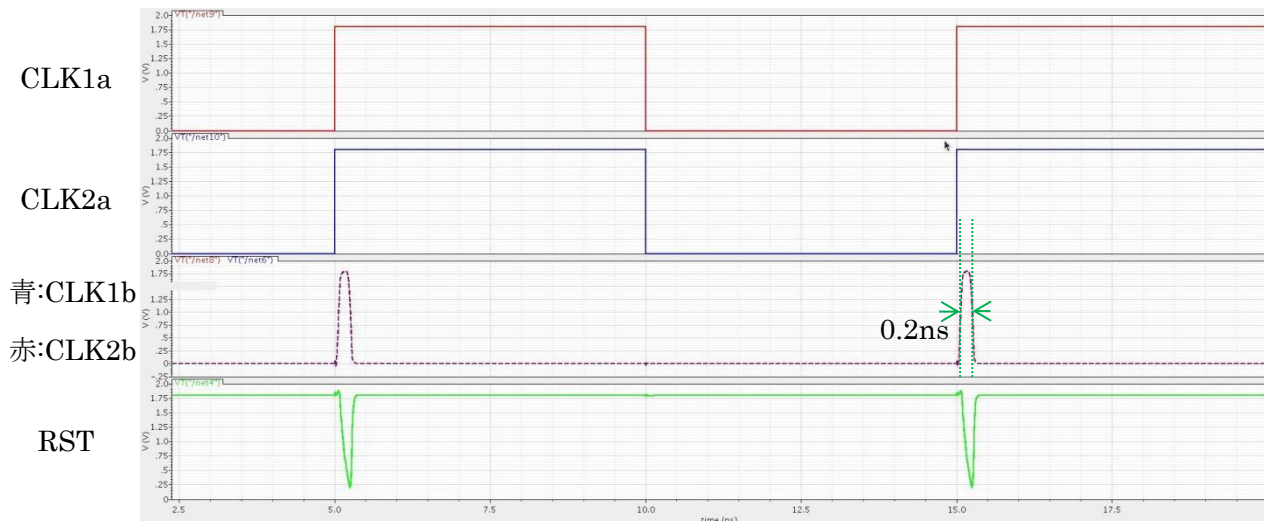


図 3.11 CLK1a と CLK2a が同時に立ち上がる場合のシミュレーション波形

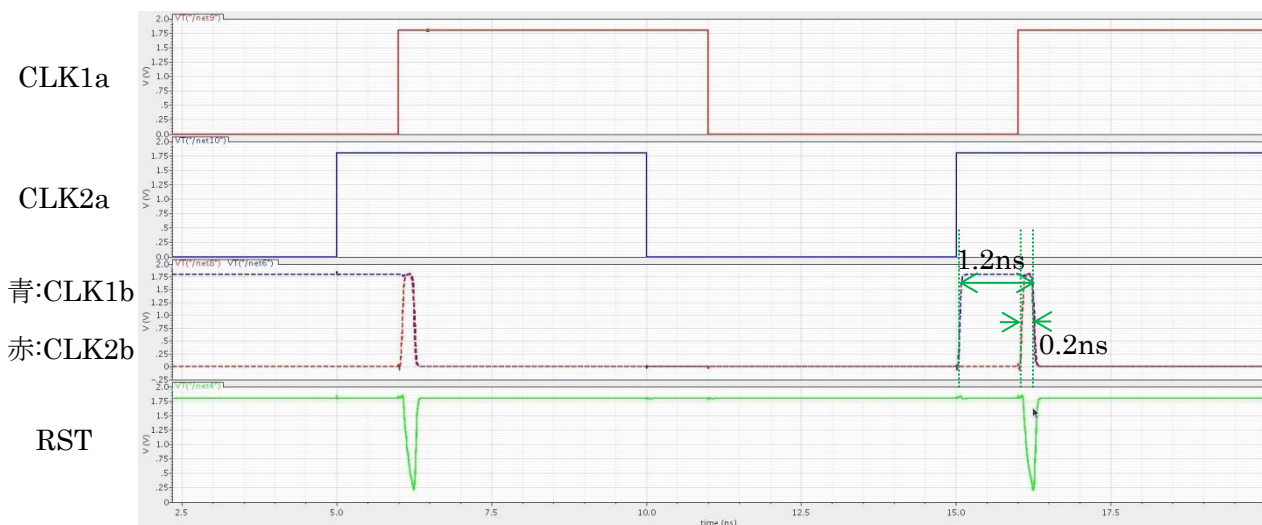


図 3.12 CLK2a が CLK1a よりも位相差 1ns で先に立ち上がる場合のシミュレーション波形

図 3.10 の CLK1b と図 3.12 の CLK2b では CLK1a と CLK2a の位相差分のパルスが確認でき、図 3.9 の結果をシミュレーションでも確認した。

3.3 オペアンプ型チャージポンプ

この節で説明するチャージポンプは図 2.3、図 2.5 での積分器に相当する。チャージポンプは位相比較器で検出された位相差分のパルスを電圧に変換し、コンデンサに積分（充電）する。

チャージポンプの電流値が出力電圧で変動してしまう問題を図 3.13 の回路で改善する。このチャージポンプはオペアンプの出力を入力端子に負帰還をかけた場合、二つの入力端子の電位がほぼ同電位となる仮想短絡を利用している。定電流源でなく抵抗源と電圧源により電流を発生させており、 V_{out} に影響されない電流を流すことが可能である。PMOS が ON になると R1 には $V_{DD}/2$ の電圧がかかり、C に電流が流れ込む。逆に NMOS が ON になると R2 には $V_{DD}/2$ 電圧がかかり、C から電流が引き抜かれる。ただしオペアンプの出力は反転するので、CMOS スイッチ 1 が ON のとき出力電圧は減少し、CMOS スイッチ 2 が ON のときは増幅する。ただし最初はスイッチを使って C の電荷を放電する。この時 V_{out} の電位は $V_{DD}/2$ となり、この電位から積分が開始される。

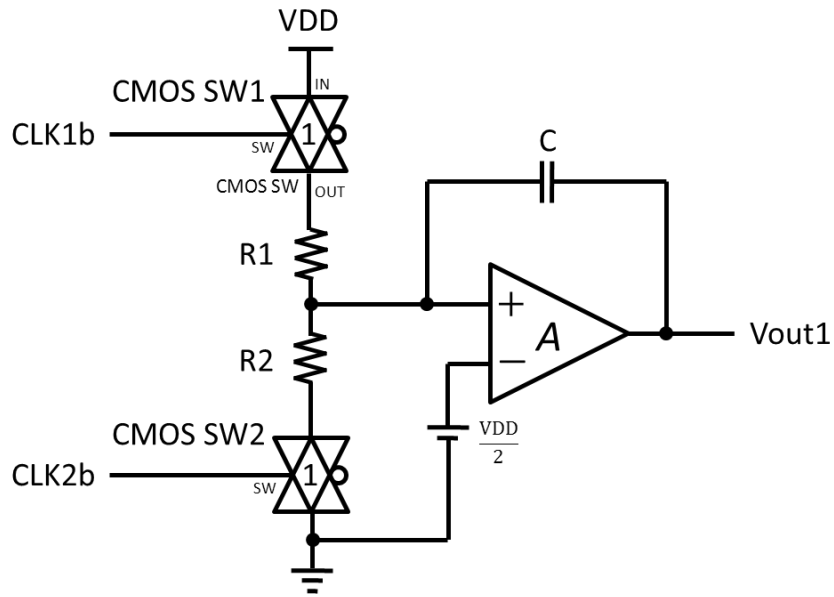


図 3.13 オペアンプ型チャージポンプ

オペアンプの回路を図 3.14 に示す。本研究で用いたオペアンプは差動増幅回路とソース接地増幅回路を組み合わせた 2 段構成となっている。差動増幅回路がオペアンプの入力段として働き、2 段目のソース接地回路は出力段を兼ねて動作する。M1～M4 のゲート幅を $20\mu\text{m}$ 、M5～M6 のゲート幅を $2\mu\text{m}$ 、M7～M8 のゲート幅を $10\mu\text{m}$ 、C3 を 2pF の条件をもとに設計を行った。(直流利得 47dB 、位相余裕 54 度、ユニティゲイン周波数 696.3MHz)

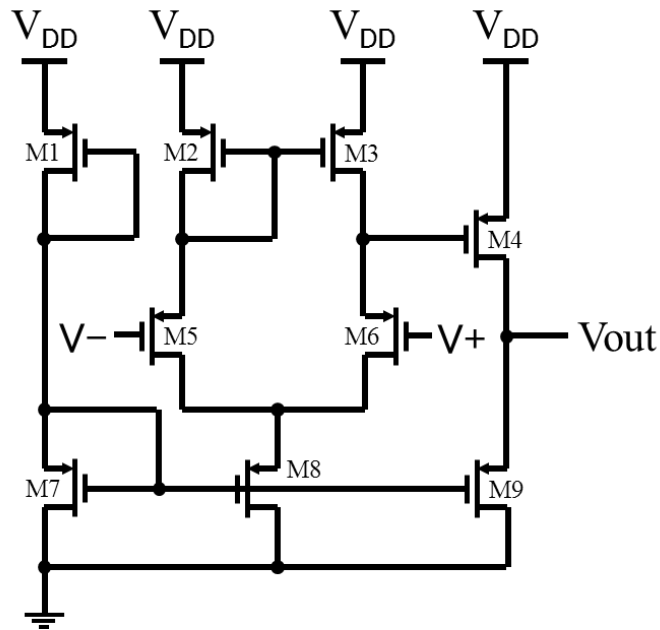


図 3.14 オペアンプ

オペアンプ型チャージポンプの充電、放電のシミュレーション結果を図 3.15 に示す。R1、R2 は $10\text{k}\Omega$ 、C は 2pF とし、上段の赤線が CLK1b、中段の青線が CLK2b、下段の黒線が出力 Vout1 である。最初に CLK1b が立ち上がり、C に充電された為、出力は反転し電圧が下がる。次に、CLK2b も立ち上がり、給電と充電がつり合い、出力はほぼ変動しない。そして、CLK1b が立ち下がり、放電する為、出力は反転し、電圧が上がる。最後に、CLK2b も立ち下り、放電が停止し、電圧変動が止まる。なお、時間当たりの給電、放電量は同じであり、時間に比例することが図 3.15 により分かる。

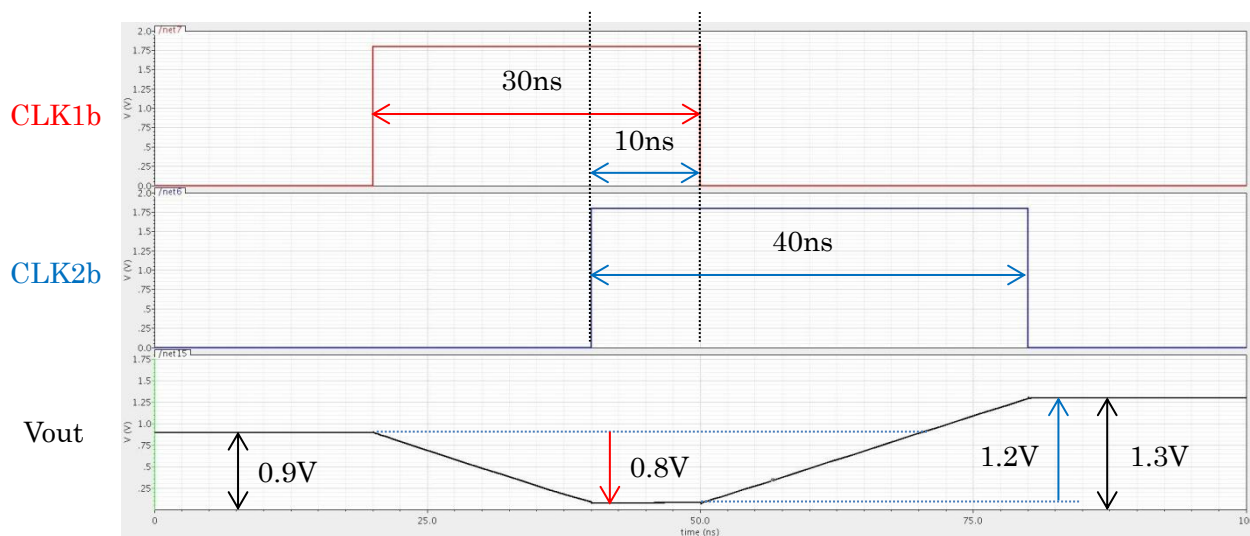


図 3.15 チャージポンプの充電と放電のシミュレーション結果

3.4 比較器(コンパレータ)

比較器は2つの入力電圧を比較し、 $V+ > V-$ であれば1を、 $V+ < V-$ であれば0を出力する。図 3.16 に理想的なコンパレータの入出力特性の例を示す。

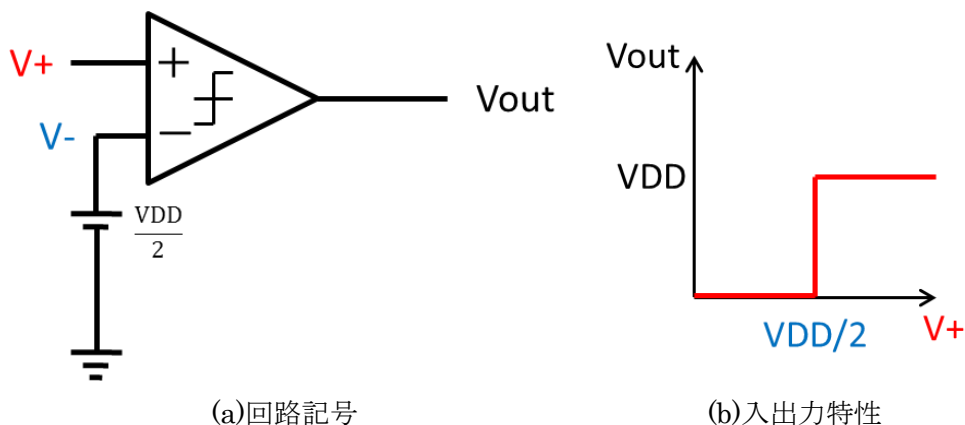


図 3.16 コンパレータ

反転入力端子 V^- を $V_{DD}/2$ とし、 V^+ を可変とすると、 $V_{DD}/2$ より大きければ出力は High(V_{DD}) となり、 $V_{DD}/2$ より小さければ出力は Low(GND) となる。

3.4.1 クロック同期型コンパレータ

本研究では基準クロックに同期したコンパレータを使用した。クロック同期型コンパレータとは基準クロックが立ち上がった時に 2 つの入力の比較を行い出力する。基準クロックが Low のときは比較を行わず、そのままの出力を出し続ける。図 3.17 にクロック同期型コンパレータを示す。

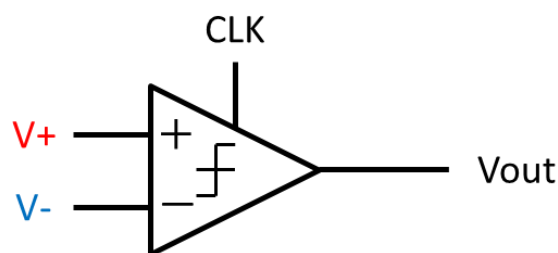


図 3.17 クロック同期型コンパレータ

図 3.18 にクロック同期型コンパレータの回路図を示す。

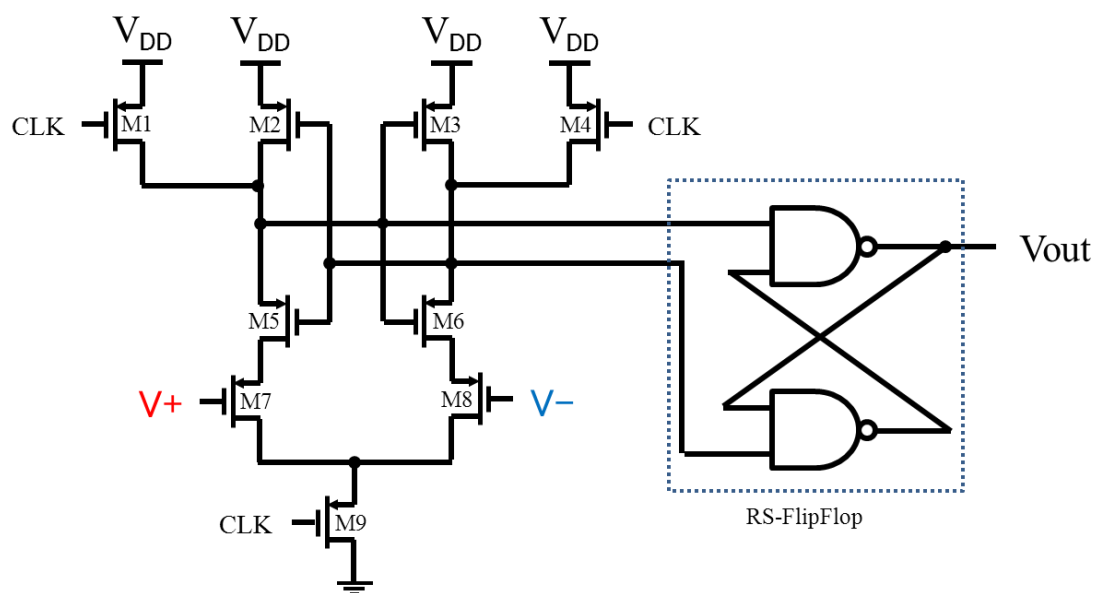


図 3.18 クロック同期型コンパレータの回路図

3.4.2 クロック同期型コンパレータのシミュレーション解析

クロック同期型コンパレータにおいて M1~M4 のゲート幅/ゲート長を $2\mu\text{m}/0.18\mu\text{m}$ 、M5~M9 のゲート幅/ゲート長を $6\mu\text{m}/0.18\mu\text{m}$ としてシミュレーションを行った。V+に周波数 2MHz、振幅 1.8V の三角波、V-に V+の 250ns 遅らせた波形(V-の反転)を入力し、クロック同期型コンパレータで比較のシミュレーションを行った。図 3.19 に示す。また、基準クロックの周波数を 10MHz とする。

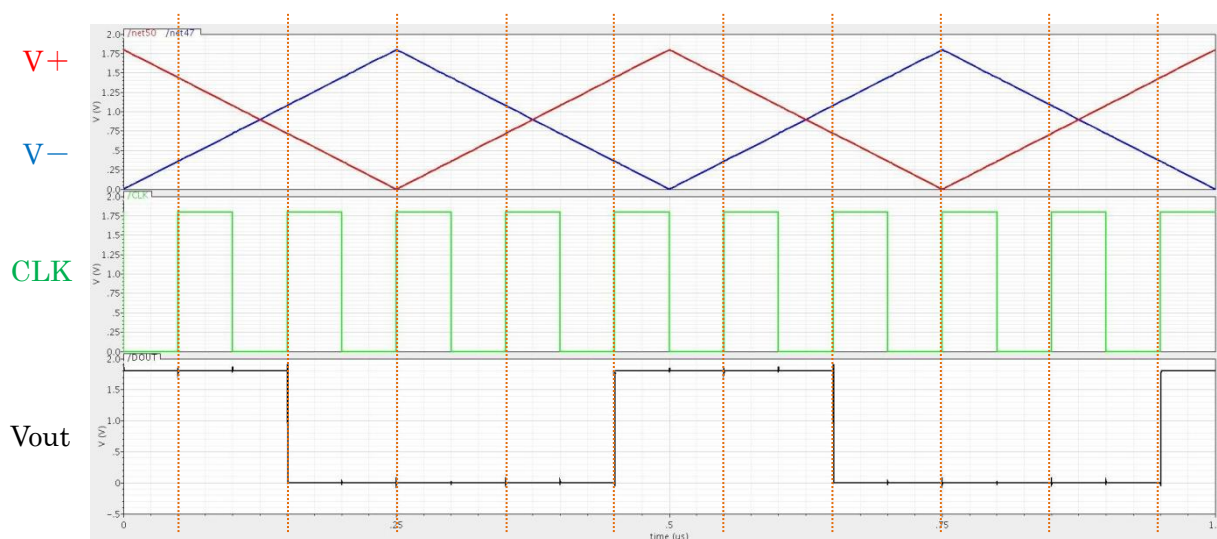


図 3.19 クロック同期型コンパレータのシミュレーション波形

図 3.19 上部赤色の波形が V-、青色の波形が V+、中部の緑色の波形が基準クロック、下部黒色の波形が出力 Vout の波形をそれぞれ示している。クロックが立ち上がる瞬間で V+,V-の比較をし、Vout が $V+ > V-$ であれば High を、 $V+ < V-$ であれば Low を出力することが確認できる。

3.5 フラッシュ型 AD 変換器

3.5.1 マルチビット $\Delta \Sigma$ TDC での Flash ADC

図 3.20 にマルチビット $\Delta \Sigma$ TDC での Flash ADC の回路図を示す。

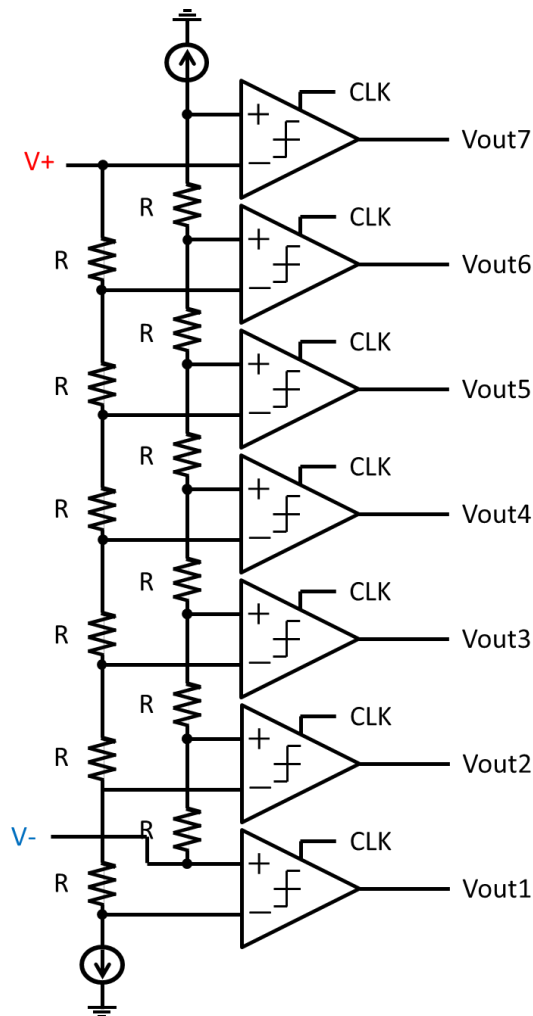


図 3.20 マルチビット $\Delta \Sigma$ TDC での Flash ADC

この回路は $2^N - 2$ 個の抵抗ラダーを 2 組、 $2^N - 1$ 個の 4 節で述べたクロック同期型コンパレータ、2 個の電流源から構成される。チャージポンプの出力 V_{out+} , V_{out-} をそれぞれの抵抗ラダーで減圧し、出力をコンパレータで比較する。Flash ADC を使用することで、単純に V_{out+} , V_{out-} の大小を比較するだけでなく、その差に応じて出力する。

3.5.2 Flash ADC のシミュレーション解析

V_+ に 5/7MHz (周期 140ns)、振幅 600mV の三角波、 V_- に V_+ の 700ns 遅らせた波形 (V_+ の反転) を入力した時の $V_{out1} \sim V_{out7}$ の変化をシミュレーションし、その結果を図 3.21 に示す。但し、基準クロックの周波数は 10MHz とした。

基準クロックが立ち上がった時、 V_+ が V_- との差が正に大きければ大きいほど、 $V_{out1} \sim V_{out7}$ の出力で立ち上がっているもの (即ち High のもの) が多いことが分かる。逆に V_- が V_+ より大きい時は立ち上がっているものは少なくなる。

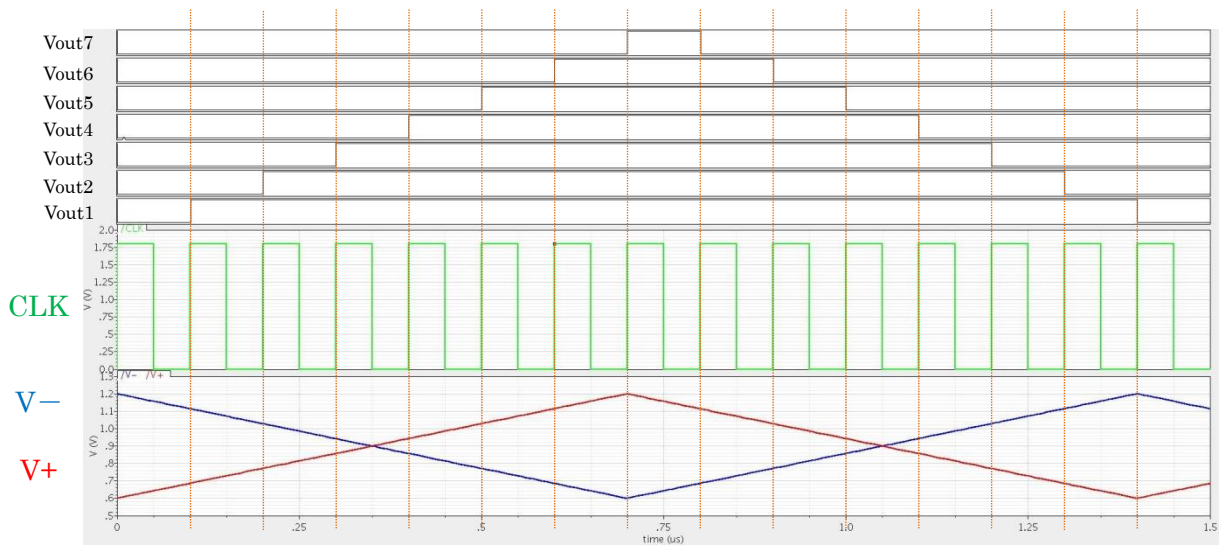


図 3.21 クロック同期型フラッシュ AD 変換器のシミュレーション波形

第4章 $\Delta \Sigma$ TDC のシミュレーション解析

4.1 1ビット $\Delta \Sigma$ TDC の様々な入力に対する出力波形

この章では第3章で述べたディレイライン、位相比較器、オペアンプ型チャージポンプ、クロック同期コンパレータにより構成される1ビット $\Delta \Sigma$ TDC のシミュレーションについて述べる。図4.1に1ビットの $\Delta \Sigma$ TDC の回路構成図を示す。オペアンプとクロック同期コンパレータのパラメータ条件は第3章で述べたものと同じ条件で行っている。その他のMOS、抵抗、容量は表4.1に示す通りである。また、ここでの遅延素子には1.9nsとしたのはディレイラインの中央のマルチプレクサがおおよそ0.1nsであることから、合計して2nsとする為である。この条件をもとにSpectreでシミュレーションを行った。初期条件として最初の100nsの間は積分器のコンデンサ両端はスイッチにより短絡している。各シミュレーションでのクロックの測定時間は5.2 μ sとした。

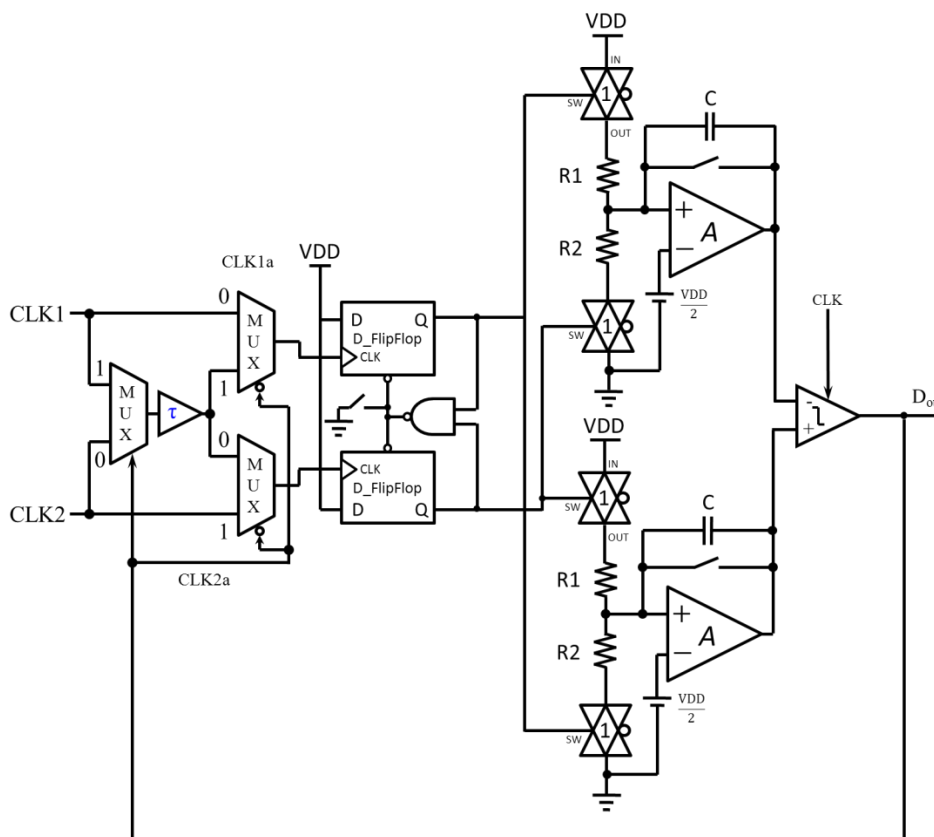


図 4.1 1ビット $\Delta \Sigma$ TDC の回路構成図

| | |
|--------------------|---------------------------|
| 電源電圧(VDD) | 1.8V |
| PMOS のゲート長/ゲート幅 | 0.18 μ m/2.25 μ m |
| NMOS のゲート長/ゲート幅 | 0.18 μ m/0.75 μ m |
| 抵抗 R1,R2 | 4k Ω |
| 容量 C | 4pF |
| CLK1,CLK2 のクロック周波数 | 10MHz |
| コンパレータのクロック周波数 | 100MHz |

表 4.1 シミュレーションにおけるパラメータ条件

$\Delta \Sigma$ TDC の出力パルスの数え方について説明する。出力は入力クロックの周期ごとに出る為、出力の総 ON 時間を入力クロックの周期 100ns で割ったものをパルス数として数える。

CLK1 が先に立ち上がる場合、CLK1 と CLK2 が同時に立ち上がる場合、CLK2 が先に立ち上がる場合についてシミュレーションを行った。

以下に、CLK1 が CLK2 より①2.5ns 早い場合、②1ns 早い場合、③ ± 0 ns の場合、④1ns 遅い場合、⑤2.5ns 遅い場合を示す。

4.1.1 CLK1 が CLK2 より 2.5ns 早い場合

図 4.2 に示すように、今回用いた遅延素子の遅延時間はマルチプレクサの遅延時間も含めると 2ns である。ここで、2ns 以上 CLK1 が CLK2 より早いと常に CLK1 が遅延素子を通る経路が選択されるが、それでも CLK2 より早く位相比較器に到達してしまう為、常に High が出力される。

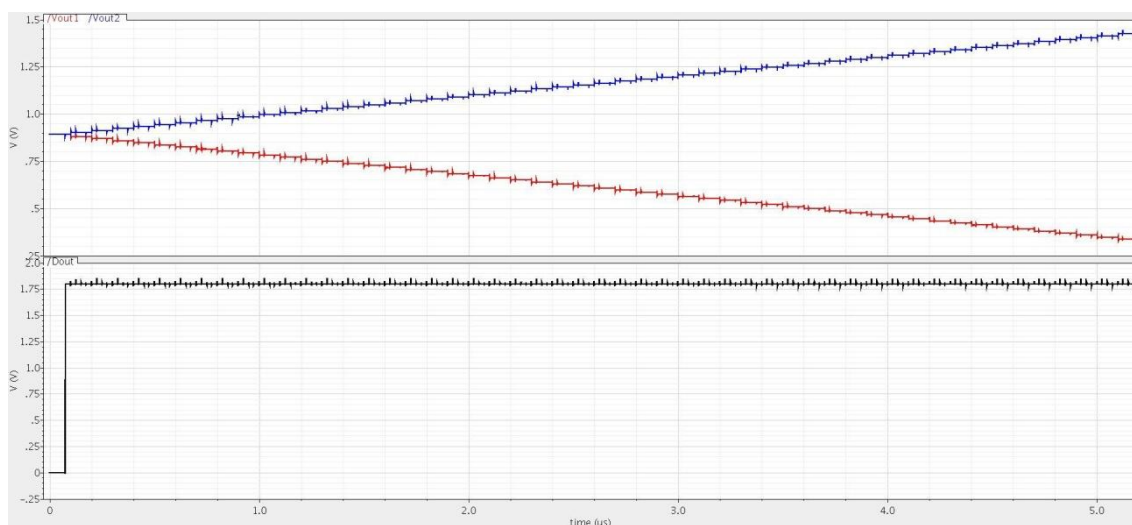


図 4.2 CLK1 が CLK2 より 2.5ns 早い場合のシミュレーション結果

4.1.2 CLK1 が CLK2 より 1ns 早い場合

図 4.3 に示すように CLK1 が CLK2 より早い場合、出力には High が多く出力される。また、今回の測定範囲は±2ns であり、今回は 1ns 早い為、理論的には 4 周期に 3 周期、High である。上記のシミュレーション結果により、理論通り動作していることが分かる。

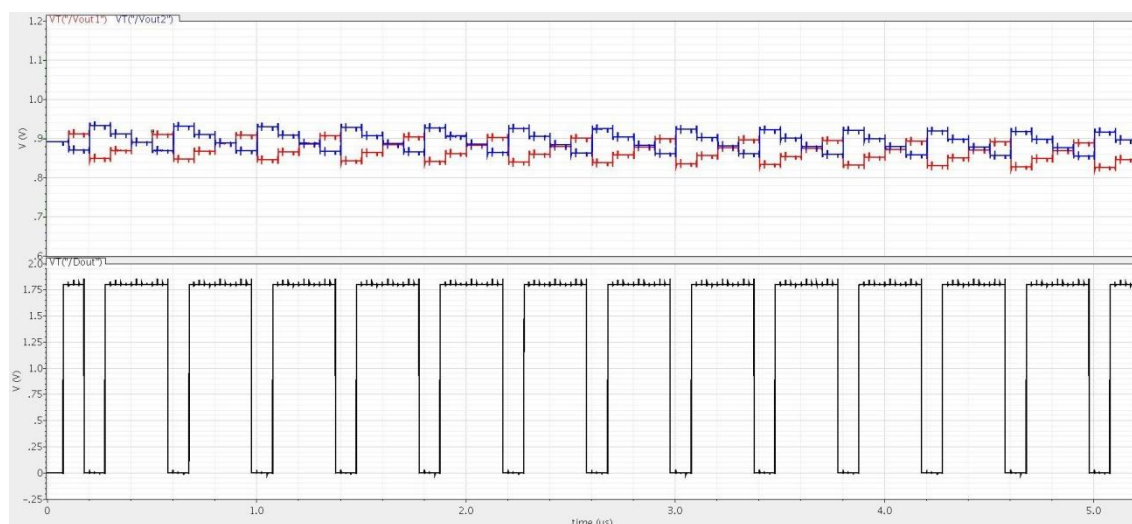


図 4.3 CLK1 が CLK2 より 1ns 早い場合のシミュレーション結果

4.1.3 CLK1 と CLK2 に位相差がない場合

図 4.4 に示す通り、CLK1 と CLK2 に位相差がない場合、遅延経路の選択は 1 周期毎に入れ替わることになる。これは、CLK1 が遅延経路を通らなかった場合、2ns 分チャージポンプにチャージすることになり、比較器で次は CLK1 が遅延経路を通るように選択される。すると CLK2 は CLK1 より早く位相比較器に到達し、2ns 分チャージポンプにチャージすることになり、比較器で次は CLK2 が遅延経路を通るように選択される。この繰り返しである。即ち、位相差がない場合、High と Low は周期毎に繰り返し、その数は同じになる。

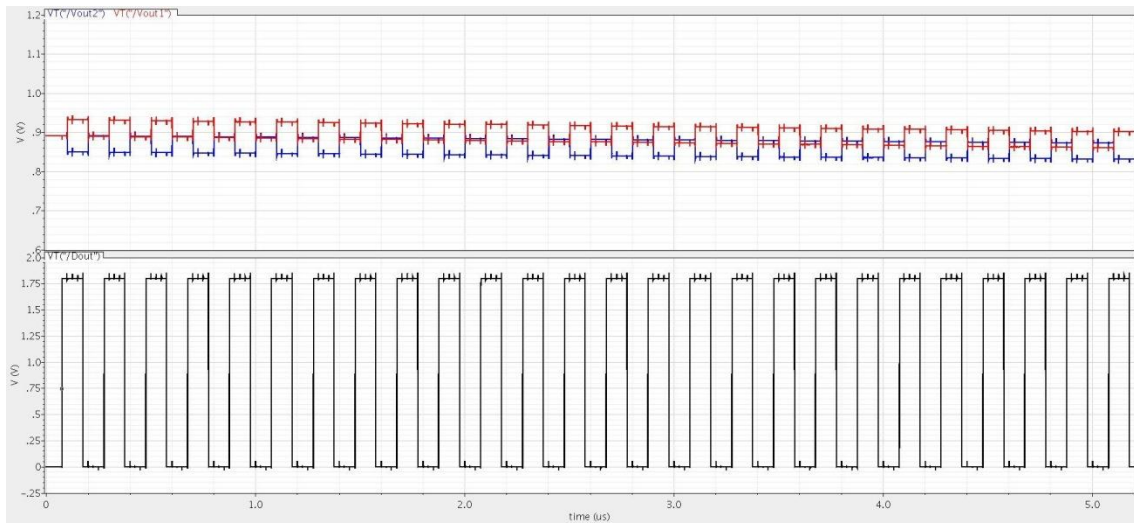


図 4.4 CLK1 と CLK2 の位相差がない場合のシミュレーション結果

4.1.4 CLK1 が CLK2 より 1ns 遅い場合

図 4.5 に示すように CLK1 が CLK2 より遅い場合、出力には Low が多く出力される。今回は 1ns 早い為、理論的には 4 周期に 3 周期、Low である。上記のシミュレーション結果により、理論通り動作していることが分かる。

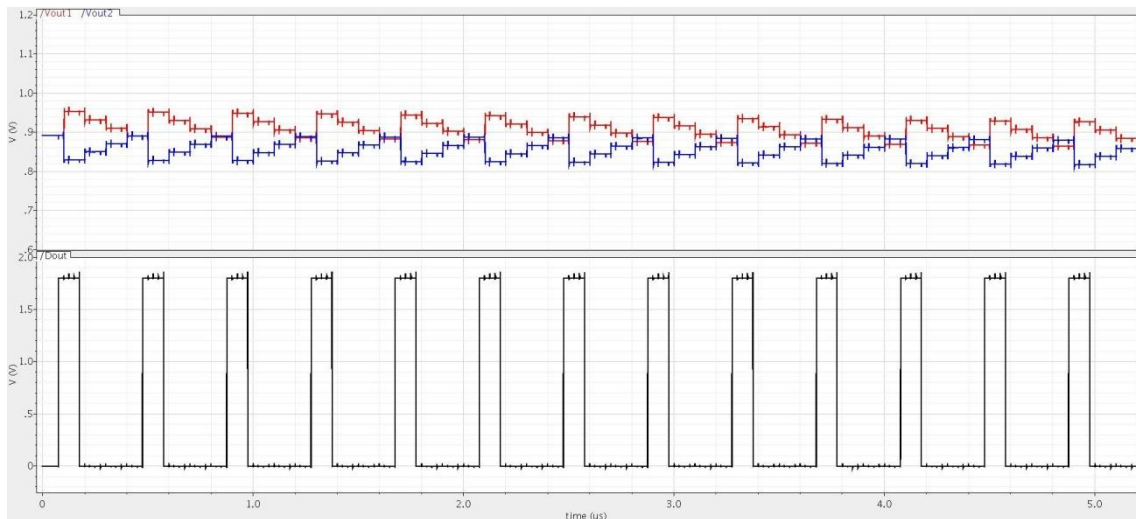


図 4.5 CLK1 が CLK2 より 1ns 遅い場合のシミュレーション結果

4.1.5 CLK1 が CLK2 より 2.5ns 遅い場合

図 4.6 に示すように、ここで、2ns 以上早い場合と同様、2ns 以上 CLK1 が CLK2 より遅いと常に CLK2 が遅延素子を通る経路が選択されるが、それでも CLK1 より早く位相比較器に到達してしまう為、常に Low が出力される。

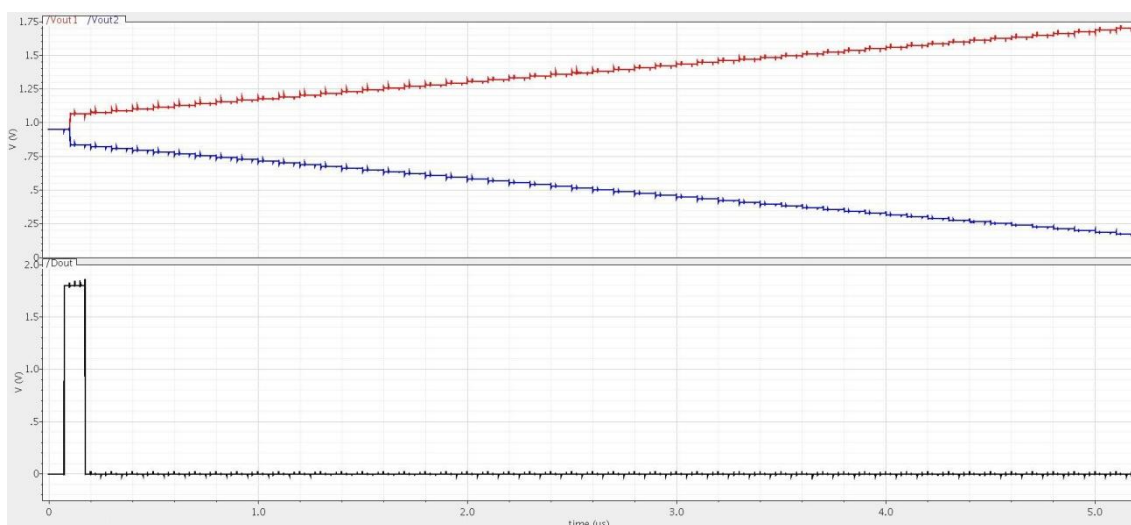


図 4.6 CLK1 が CLK2 より 2.5ns 遅い場合のシミュレーション結果

4.1.6 1 ビット $\Delta \Sigma$ TDC の CLK1,CLK2 の時間差と出力 Dout の関係

ΔT を CLK1 が CLK2 より ΔT だけ早い場合(遅い場合はマイナス表示)を表 4.2 にシミュレーション結果としてまとめる。ここで、シミュレーション時間を $10.2\mu\text{s}$ とし、最初の初期化を除いた $0.175\mu\text{s}\sim 10.175\mu\text{s}$ の測定クロック 100 周期分を測定時間とする。

| $\Delta T(\text{ns})$ | Dout の High の周期数 | $\Delta T(\text{ns})$ | Dout の High の周期数 |
|-----------------------|------------------|-----------------------|------------------|
| 2 | 100 | -0.2 | 45 |
| 1.8 | 95 | -0.4 | 40 |
| 1.6 | 90 | -0.6 | 35 |
| 1.4 | 85 | -0.8 | 30 |
| 1.2 | 80 | -1.0 | 25 |
| 1.0 | 75 | -1.2 | 20 |
| 0.8 | 70 | -1.4 | 15 |
| 0.6 | 65 | -1.6 | 10 |
| 0.4 | 60 | -1.8 | 5 |
| 0.2 | 55 | -2.0 | 0 |
| 0.0 | 50 | | |

表 4.2 CLK1,CLK2 の時間差と Dout の High である周期数の関係

表 4.2 に示す通り、時間差が 0.2ns 変化すると High の数が 5 つずつ変化することから CLK1,CLK2 の時間差と Dout の High である周期数は比例関係であることがわかる。このことから測定時間 $10\mu\text{s}$ において CLK1,CLK2 の時間差は $\pm 2\text{ns}$ の範囲で 40ps の分解能で

測定することが可能である。

この関係から分かることは、

- ① 遅延素子の時間を小さくすることは、分解能を上げることにつながるが、測定可能範囲を狭めてしまう。
- ② 測定時間を長くすることは、その時間に比例して分解能を上げることが可能である。ということである。

1bit $\Delta \Sigma$ TDC の分解能 R は、 τ を遅延素子の遅延時間、 f を測定周波数、 T_m を測定時間とすると次の式で求められる。但し、 T は $1/f$ の整数倍とする。

$$R = \frac{2\tau}{fT_m} \quad (4.1)$$

また、測定周波数 f は入力周波数 f_{in} と以下の関係である必要がある。但し、 f_{in} は f の周波数の整数倍である必要がある。

$$f \leq f_{in} \quad (4.2)$$

そして、測定範囲 M は以下の通りになる。

$$-\tau \leq M \leq \tau \quad (4.3)$$

なお、遅延素子の 2 章 3 節で述べた測定時間を短く、かつ高分解能な測定が可能な、マルチビット $\Delta \Sigma$ TDC の構成が求められる。次章はマルチビット $\Delta \Sigma$ TDC のシミュレーション解析とこの構成の問題点を挙げる。

4.2 マルチビット $\Delta \Sigma$ TDC の様々な入力に対する出力波形

第 4 章 1 節では 1 ビットの $\Delta \Sigma$ TDC の分解能が時間に比例して向上することを示した。10 μ s の測定時間では 40ps となってしまう。しかし測定したい時間差が 40ps の倍数でない場合では正確な測定は行うことができない。

本章ではコンパレータの代わりに Flash ADC を用いることにより高分解能を保ちつつ高速に CLK1、CLK2 の時間差を計測するマルチビット $\Delta \Sigma$ TDC のシミュレーションについて述べる。図 4.7 に 3 ビットの $\Delta \Sigma$ TDC の回路構成図を示す。

まず初めに 3 ビット $\Delta \Sigma$ TDC の遅延素子について述べる。同じ測定範囲で行う場合、遅延素子の遅延時間は第 4 章で用いた遅延時間 2ns の 1/7 にすればよい。そのため、2/7ns (≈ 0.286 ns) を、中央に位置するマルチプレクサ分を含めた 1 つ当たりの遅延時間とする。また収束時間を早めるために C を 0.5pF とする。他の条件は、第 4 章 1 で用いたパラメータ条件を用いる。

シミュレーションのデータの取り方として、測定時間を決め、測定時間に含まれる測定

クロックの周期数のうち Dout1~Dout7 の全出力のうち High である周期を合計する。

CLK1 が先に入力される場合についてシミュレーションを行った。

以下に、CLK1 が CLK2 より①2.5ns 早い場合、②1ns 早い場合、③±0ns の場合、④1ns 遅い場合、⑤2.5ns 遅い場合を示す。

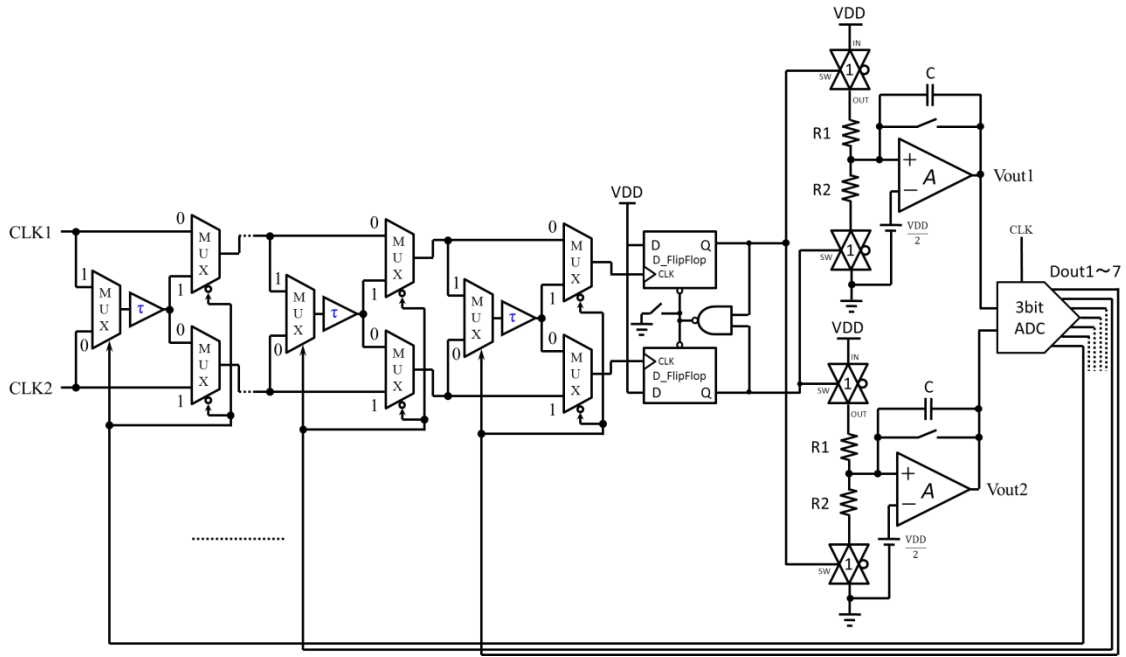


図 4.7 3 ビット $\Delta \Sigma$ TDC の回路構成図

4.2.1 Flash ADC のダイナミックレンジ

1bit $\Delta \Sigma$ TDC の V_{out+} , V_{out-} の差を ΔV としたときのダイナミックレンジを図 4.8 示す。

ΔV が -350mV 以下のとき Flash ADC の出力は 0000000、 ΔV が 350mV 以上のとき 1111111 をそれぞれ出力するよう設計した。 $-350\text{mV} \sim 350\text{mV}$ の範囲で 117mV 変化することにより High の数が増え出力する。

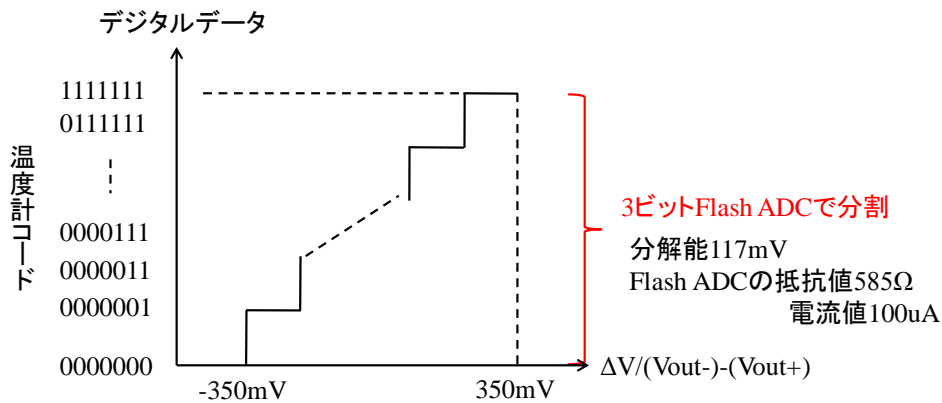


図 4.8 3 ビット Flash ADC のダイナミックレンジ

4.2.2 CLK1 が CLK2 より 2.5ns 早い場合

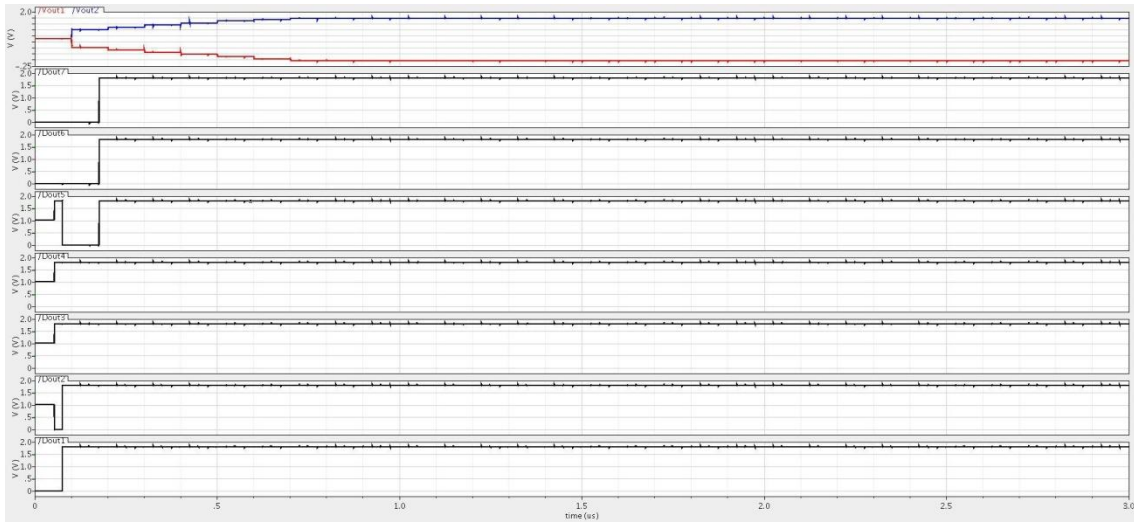


図 4.9 CLK1 が CLK2 より 2.5ns 早い場合のシミュレーション結果

図 4.9 に示すように、今回用いた遅延素子の遅延時間はマルチプレクサの遅延時間も含めると 2ns である。ここで、2ns 以上 CLK1 が CLK2 より早いと常に CLK1 が全遅延素子を通る経路が選択されるが、それでも CLK2 より早く位相比較器に到達してしまう為、常に Dout1~7 は High が出力される。

4.2.3 CLK1 が CLK2 より 1ns 早い場合

図 4.10 に示すように CLK1 が CLK2 より早い場合、出力には High が多く出力される。また、今回の測定範囲は $\pm 2\text{ns}$ であり、今回は 1ns 早い為、理論的には Dout1~5 は High、Dout7 は Low で、Dout6 は Low、High を繰り返す。シミュレーション結果により、理論通り動作していることが分かる。

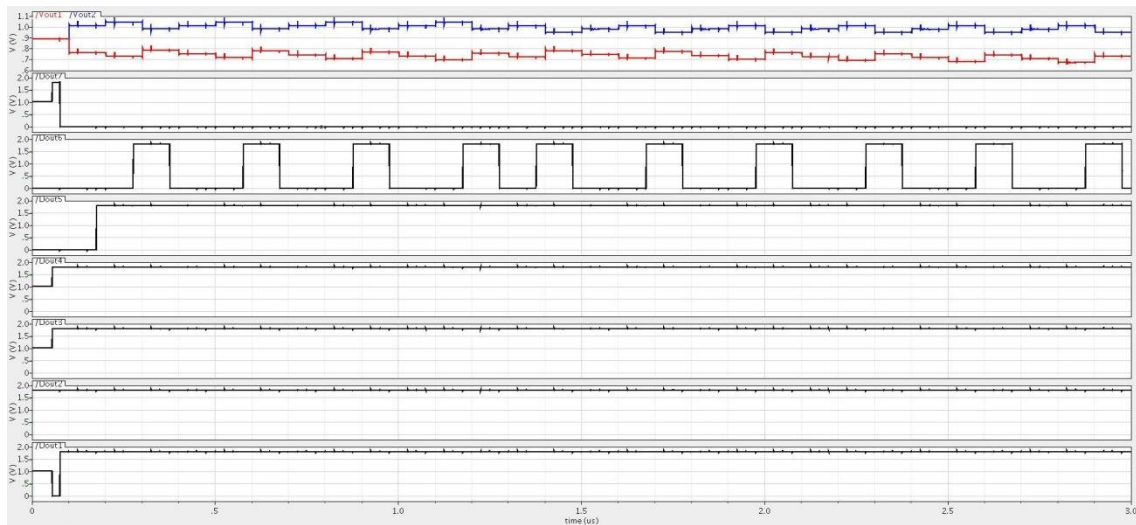


図 4.10 CLK1 が CLK2 より 1ns 早い場合のシミュレーション結果

4.2.4 CLK1 と CLK2 に位相差がない場合

図 4.11 に示す通り、CLK1 と CLK2 に位相差がない場合、遅延経路の選択は Dout1～3 は 1 を出力、Dout5～7 は 0 を出力し、Dout 4 は 0 と 1 を半々の割合で出力される。これは、CLK1 が遅延経路を通らなかった場合、2ns 分チャージポンプにチャージすることになり、比較器で次は CLK1 が遅延経路を通るように選択される。すると CLK2 は CLK1 より早く位相比較器に到達し、2ns 分チャージポンプにチャージすることになり、比較器で次は CLK2 が遅延経路を通るように選択される。この繰り返しである。即ち、位相差がない場合、High と Low は周期毎に繰り返し、その数は同じになる。

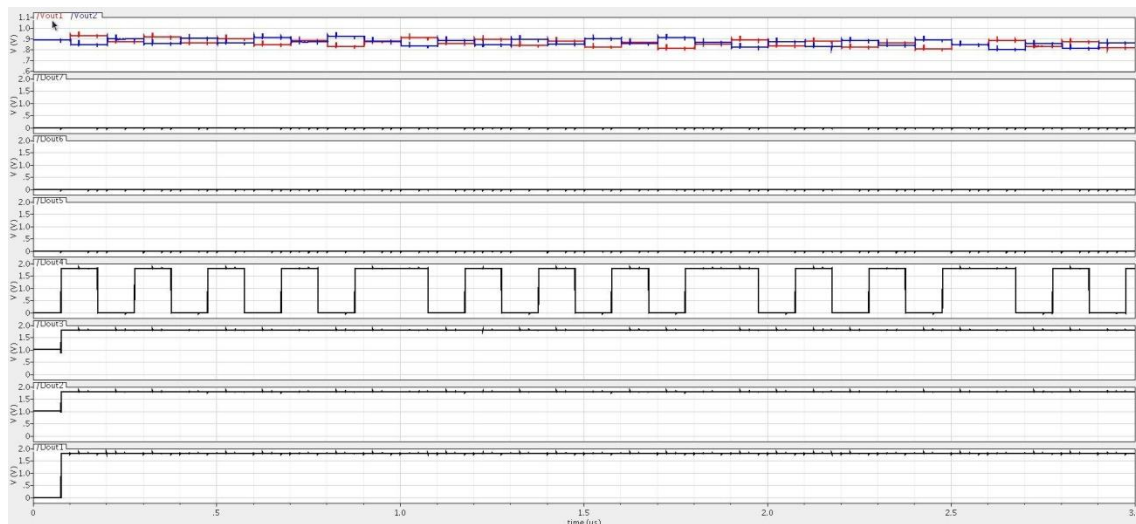


図 4.11 CLK1 と CLK2 の位相差がない場合のシミュレーション結果

4.2.5 CLK1 が CLK2 より 1ns 遅い場合

図 4.12 に示すように CLK1 が CLK2 より早い場合、出力には High が多く出力される。また、今回の測定範囲は $\pm 2\text{ns}$ であり、今回は 1ns 早い為、理論的には Dout1 は High、Dout3～7 は Low で、Dout2 は Low、High を繰り返す。上記のシミュレーション結果により、理論通り動作していることが分かる。

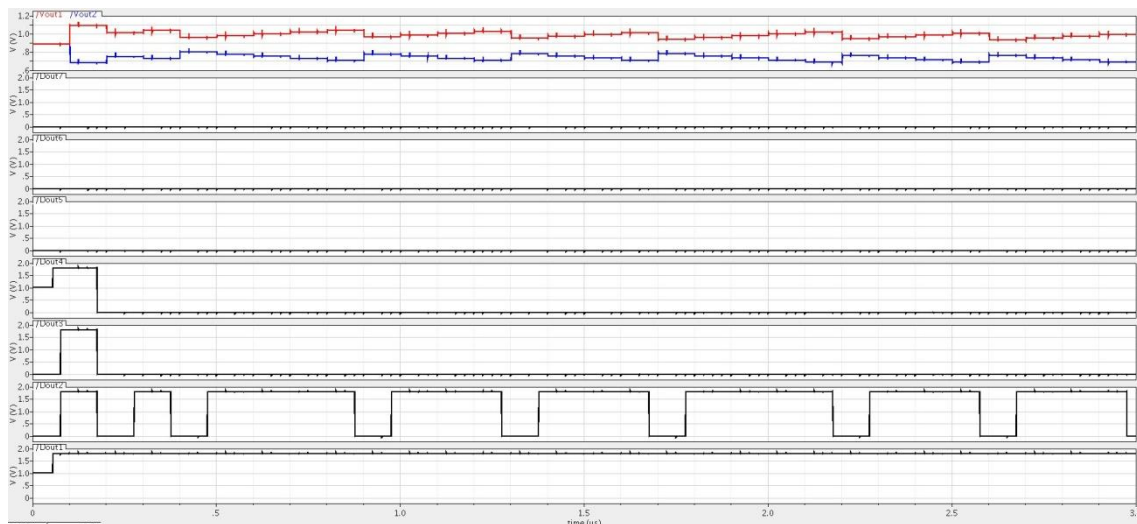


図 4.12 CLK1 が CLK2 より 1ns 遅い場合のシミュレーション結果

4.2.6 CLK1 が CLK2 より 2.5ns 遅い場合

図 4.13 に示すように、ここで、2ns 以上早い場合と同様、2ns 以上 CLK1 が CLK2 より遅いと常に CLK2 が全遅延素子を通る経路が選択されるが、それでも CLK1 より早く位相比較器に到達してしまう為、常に Dout1～7 は Low が出力される。

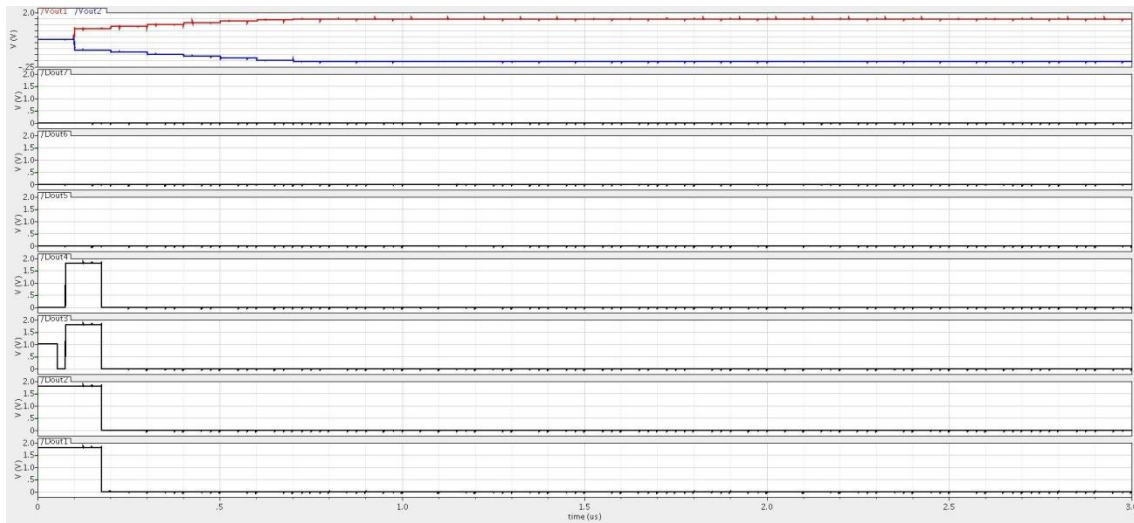


図 4.13 CLK1 が CLK2 より 2.5ns 遅い場合のシミュレーション結果

4.2.7 3 ビット $\Delta \Sigma$ TDC の CLK1,CLK2 の時間差と出力 Dout1~7 の関係

ΔT を CLK1 が CLK2 より ΔT だけ早い場合(遅い場合はマイナス表示)を表 4.3、図 4.14 にシミュレーション結果としてまとめる。ここで、シミュレーション時間を $10.2\mu\text{s}$ とし、最初の初期化を除いた $0.175\mu\text{s}\sim 10.175\mu\text{s}$ の測定クロック 100 周期分を測定時間とする。

| $\Delta T(\text{ns})$ | Dout の 1 の周期数 | $\Delta T(\text{ns})$ | Dout の 1 の周期数 |
|-----------------------|---------------|-----------------------|---------------|
| 2 | 210 | -0.2 | 97 |
| 1.8 | 203 | -0.4 | 85 |
| 1.6 | 193 | -0.6 | 75 |
| 1.4 | 182 | -0.8 | 64 |
| 1.2 | 171 | -1.0 | 54 |
| 1.0 | 161 | -1.2 | 42 |
| 0.8 | 150 | -1.4 | 32 |
| 0.6 | 139 | -1.6 | 21 |
| 0.4 | 128 | -1.8 | 11 |
| 0.2 | 118 | -2.0 | 0 |
| 0.0 | 107 | | |

表 4.3 CLK1,CLK2 の時間差と Dout の High である周期数の関係

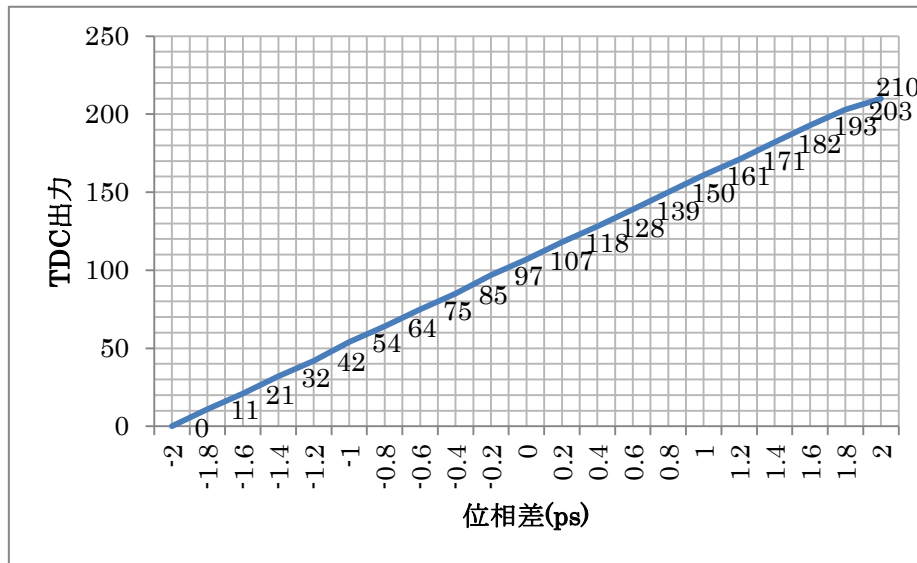


図 4.14 CLK1,CLK2 の時間差と Dout の High である周期数の関係

表 4.2、図 4.14 に示す通り、時間差が 0.2ns 変化すると High の数が約 10 つずつ変化することから CLK1,CLK2 の時間差と Dout の 1 である周期数は比例関係であることがわかる。このことから測定時間 3μs において CLK1,CLK2 の時間差は ±2ns の範囲で 2/21ps の分解能で測定することが可能である。

この関係から分かることは、

- ① 複数の遅延素子を用いることで測定範囲を狭めず、遅延素子の遅延時間を小さくし、測定時間を短くすることが出来る。
- ② 1 ビットでは問題にならなかった遅延素子のばらつきがあると出力の非線形性の要因になる。

測定時間を長くすることは、その時間に比例して分解能を上げることが可能である。

n bit ΔΣTDC の分解能 R は、τ を遅延素子の遅延時間、f を測定周波数、T_m を測定時間とすると次の式で求められる。これは 1 ビットの場合と同じである。但し、T は 1/f の整数倍とする。

$$R = \frac{2\tau}{fT_m} \quad (4.4)$$

そして、測定範囲 M は以下の通りになる。

$$-7\tau \leq M \leq 7\tau \quad (4.5)$$

本シミュレーションのように測定範囲を据え置いた代わりに、遅延素子の遅延時間 τ を小さくしたため、測定範囲を変えずに短い測定時間でも分解能を高めることが可能である。しかし、遅延ばらつきが非線形性を発生させるため、これを改善する為に第 5 章で述べる校正技術を検討する。

第5章 校正技術の検討

5.1 Data Weighted Averaging (DWA)

実際の回路ではトランジスタのゲート長などの各素子値にばらつきがある。3.1.2 で説明した遅延素子 τ についても例外ではない。図5.1にマルチビットの遅延選択回路を示す。

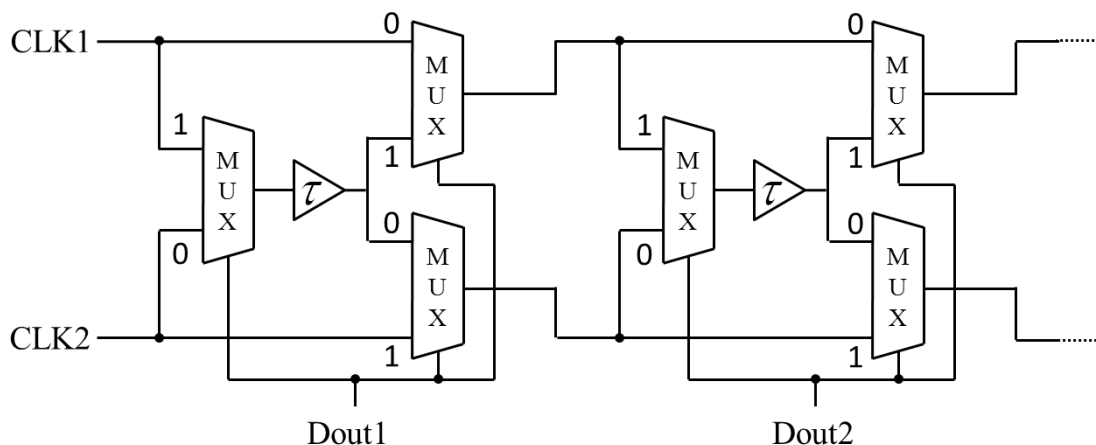


図 5.1 マルチビットの遅延選択回路

各遅延素子 τ はすべて一定であるのが理想だが、現実の回路では遅延値のばらつきがある。これにより TDC 全体が非線形性を持つようになり、測定に誤差を引き起こす。Data Weighted Averaging (DWA)を用いてばらつきの影響を軽減する。

5.1.1 Data Weighted Averaging とブロック図

通常は出力がサーモメーターコードであり、ディレイラインのマルチプレクサにそのままフィードバックされるため、遅延素子の経路選択に偏りがでてしまう。このため TDC 全体の出力の非線形性を生むことになる。しかし DWA 回路を用いた場合には図 3.29 のように 1 つ前のクロックの Dout の High の数とシフトした回数を記憶・加算し次のシフト回数を決める。図 5.2 を例に、最初の入力が 4 であれば Dout1~Dout3 までが High を出力する。次に入力が 3 であれば、前回の入力が 3 であった為 3 つシフトし Dout4~Dout6 までが High を出力する。さらに次では入力が 2 で前回の入力が 3 であった為 3 つシフトし Dout7・Dout1 までが High を出力する。

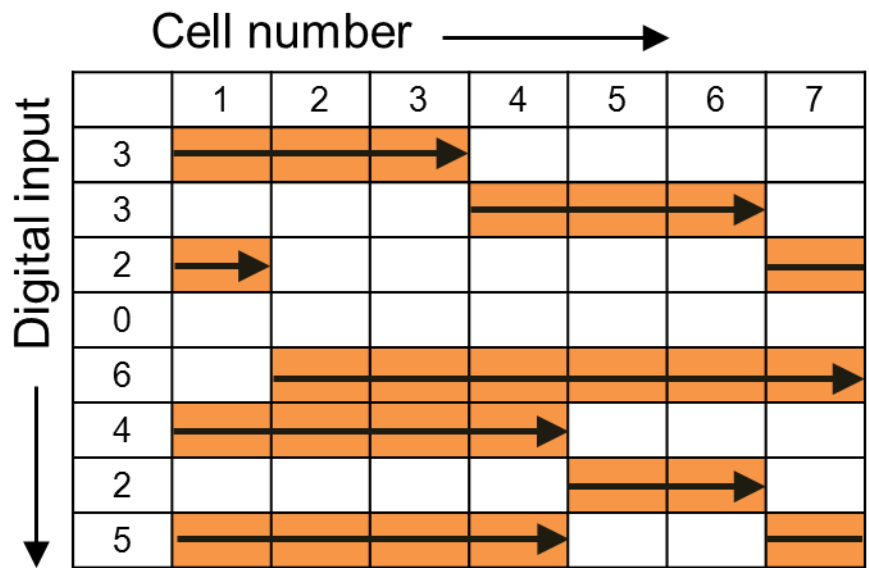


図 5.2 DWA の遅延素子の選択例

3bit $\Delta \Sigma$ TDC での DWA のブロック図を図 5.3 に示す。3 ビット $\Delta \Sigma$ TDC の出力は全部で Dout1~Dout7 の 7 つありエンコーダで Y0~Y2 の 3 ビット 2 進数表示に変換しレジスタで記憶する。加算器では加算器の出力を記憶した RA0~RA2 とエンコーダの値をレジスタで記憶した RC0~RC2 を加算し、シフト量を制御する信号としてバレルシフタに入力する。そして $\Delta \Sigma$ TDC の出力 Din1~Din7 をバレルシフタに入力しシフトされ Dout1~Dout7 として出力され、 $\Delta \Sigma$ TDC の遅延選択回路のマルチプレクサに入力する。

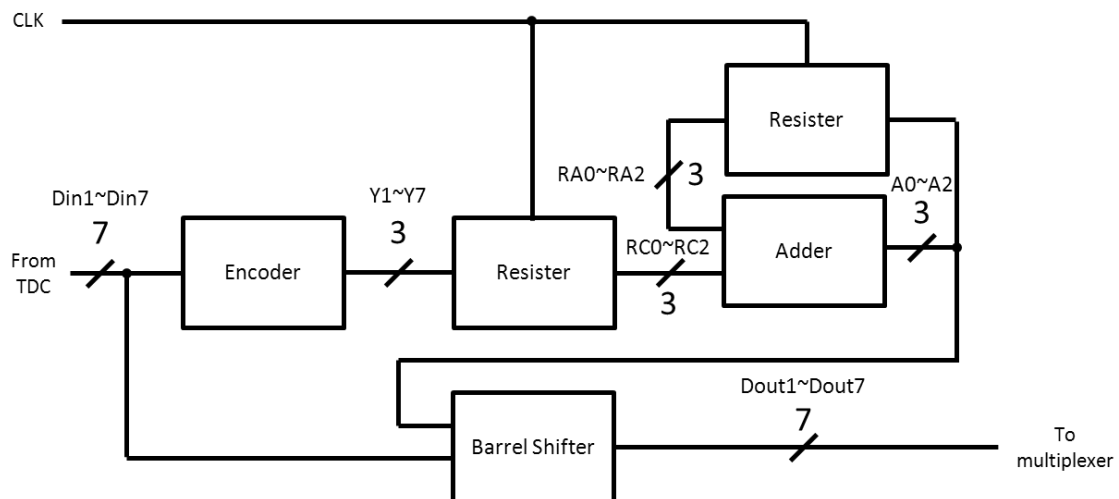


図 5.3 3 ビット $\Delta \Sigma$ TDC における DWA のブロック図

5.1.2 エンコーダ

エンコーダでは $\Delta \Sigma$ TDC の出力された High の数を数え 2 進数で出力する回路である。図 5.4 に 3 ビットのエンコーダの回路図を示す。

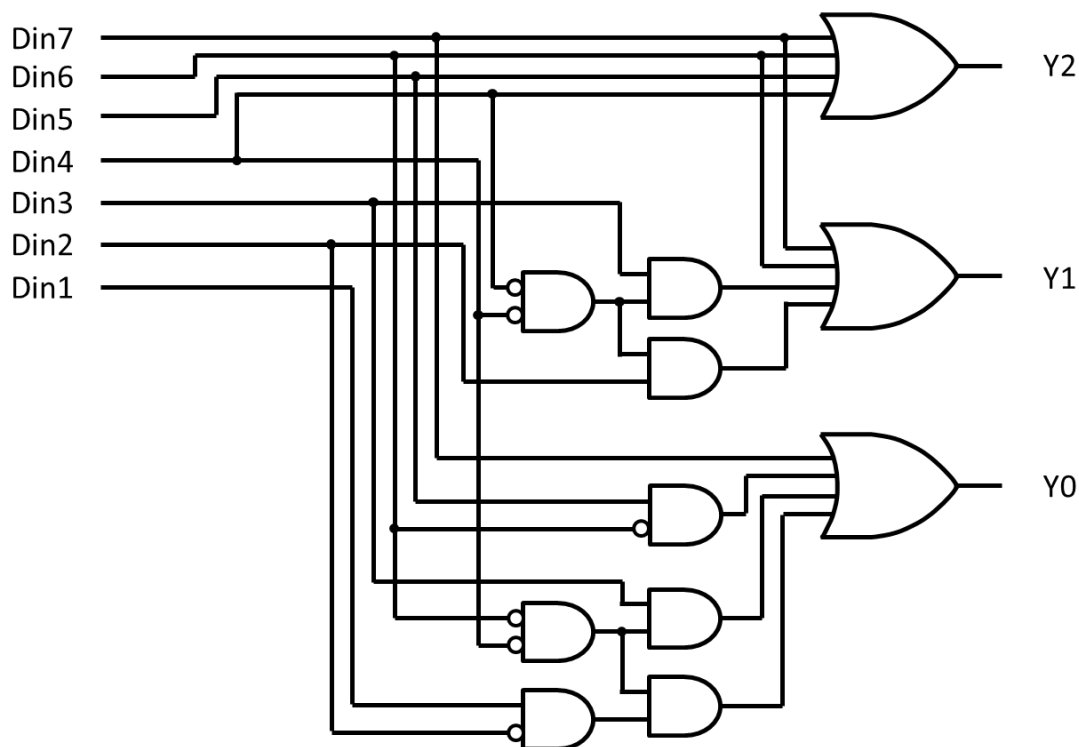


図 5.4 3 ビットエンコーダの回路図

この回路は AND 論理 OR 論理から構成され、この回路では High の数を 7 まで数えられる。

5.1.3 レジスタ

レジスタはデータを一時保持する回路であり、DWA 回路内では High の数を出力するエンコーダと加算器の出力結果を保持している。図 5.5 に 3 ビットレジスタの回路構成図を示す。保持したい信号を D Flip-Flop に入力し CLK によって前のクロックのときの信号を出力させる。

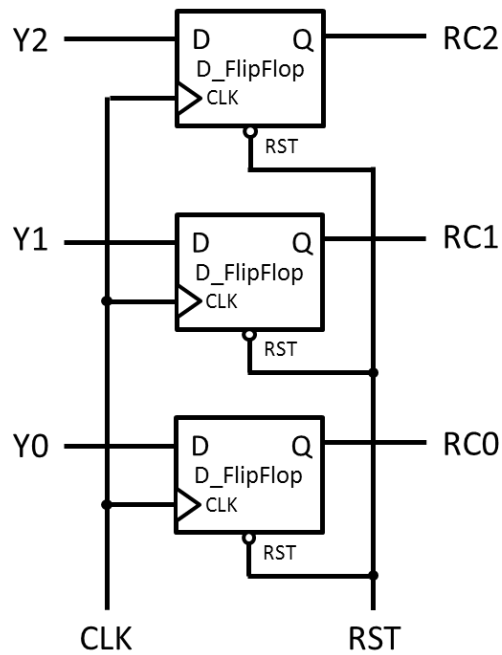


図 5.5 3 ビットレジスタの回路構成図

5.1.4 バレルシフタ

バレルシフタは任意ビット数信号をシフトするデジタル回路である。図 5.6 に 3 ビットのバレルシフタの回路図を示す。このバレルシフタは 3 段のマルチプレクサ群で構成される。一段目では A2 が 1 のとき選択される経路が 4 つ上の 0 のとき選択される経路と接続される。二段目では 2 つ上、三段目では 4 つ上とそれぞれ接続している。マルチプレクサの制御信号は加算器出力 A0~A2 を入力する。例えば入力を 5 シフトする場合(A2 ,A1, A0) = (High, Low, high)を入力すれば 5 シフトした信号が出力となる。

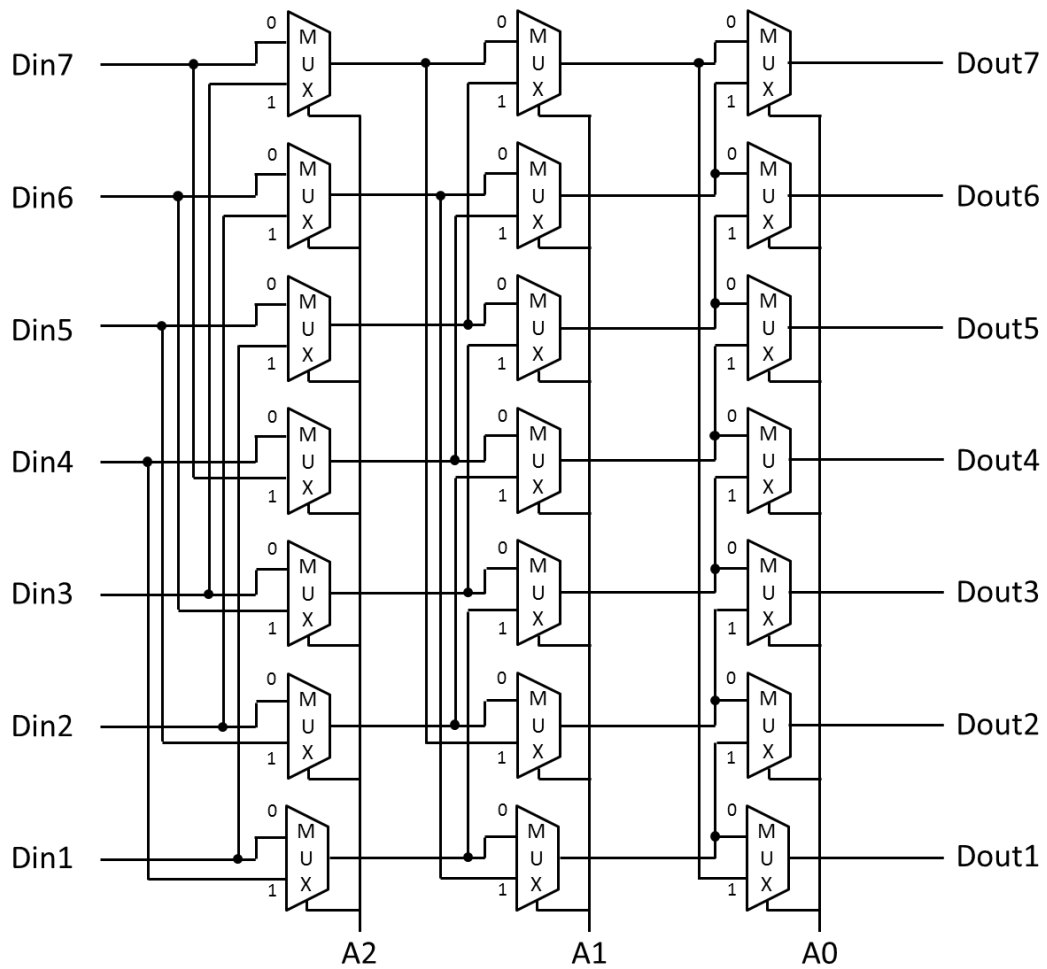


図 5.6 3 ビットのバレルシフタの回路構成図

5.1.5 加算器

本研究での加算器では 3 ビット同士の加算を行う。この加算器は半加算器と全加算器、EXOR によって構成される。本研究に用いる加算器の真理値表を表 5.1、構成を図 5.7 に示す。但し、通常の 3bit の 2 入力、4bit 出力とは異なる構成をしている。加算器の演算結果が 8 以上の場合について述べる。バレルシフタのマルチプレクサは 3 段で構成しているので制御信号は 3 ビットである必要がある。DWA は Dout7 の次は Dout1 に戻る為、8 以上が出力された場合、7 を引き算した結果である必要がある。これは容易に構成することが可能で、通常の加算器の 4bit 目の出力に 1 が出力された場合、通常の加算器に 1 を足せば良いだけである。つまり図の赤線のように 1 を最下位ビットに加算し 3 ビット表示する。回路図での左半分は通常の 3 ビット加算器である。例えば 10 進数で 10 の場合、10 から 7 を引いた余りの値である 3 がシフト量となる。

5.1.6 DWA のシミュレーション解析

この節では図 5.3 の DWA のシミュレーション解析について述べる。図 5.3 での Dout1～Dout7 をクロックの周期分遅らせて high にしたとき、DWA の出力を確認した。レジスタでのクロック周波数を 10MHz とし、100ns 毎に $\Delta \Sigma$ TDC から出力されると見立てた。

まずエンコーダ出力 Y0～Y2 とシフト回数を表す加算器出力 A0～A2 について図 5.8 に示す。図 5.8 において上 3 つの波形がエンコーダ出力、下 3 つが加算器出力を示している。1 クロック毎に 1 から 7 まで 1 ずつ増えていることが分かる。また、加算器出力 A0～A2 が初回では 000 を出力している。次の出力は初回の 1 とレジスタに記録されたシフト回数 0 を加算して 1 (二進数で 001)、さらに次では 1 と 2 を加算し 3 シフト (二進数で 001) を出力しているのが確認できる。その後の出力 (シフト量) も図中に緑色で示すように正しい加算が出力されていることを確認した。

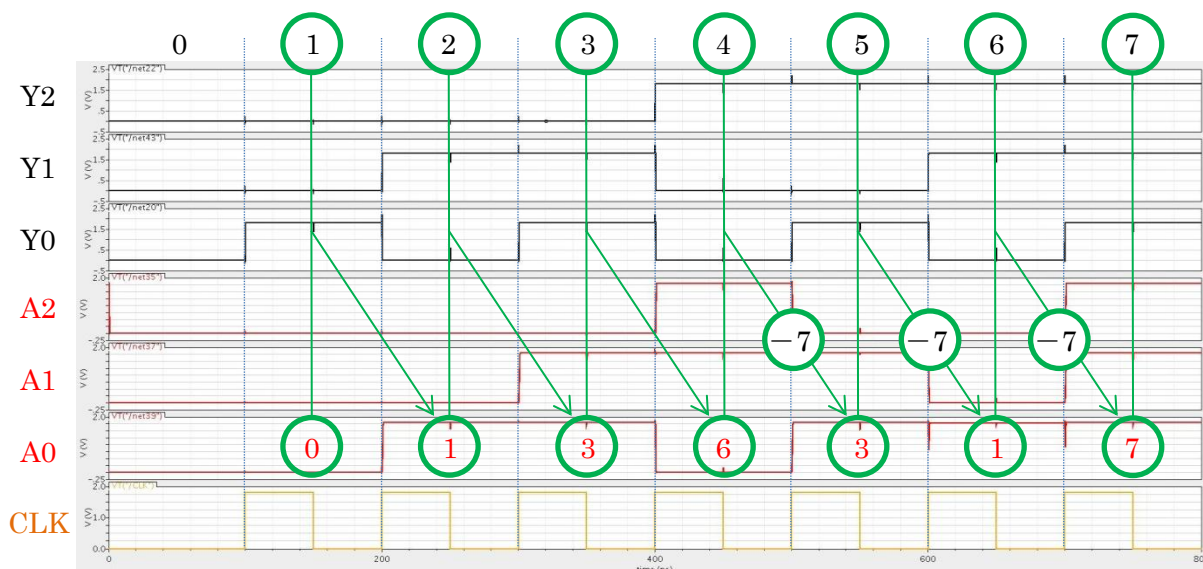


図 5.8 エンコーダ出力と加算器出力

次に Din1～Din7 がシフトされ Dout1～Dout7 として出力されているかを図 5.9 に示す。図 5.8 で示した加算器出力分だけシフトしていることが確認できた。DWA 用いない場合では遅延選択回路では同じ遅延素子ばかりが選択されてしまうが、DWA を用いた場合均等に Low と High が出力することをシミュレーションで確認した。

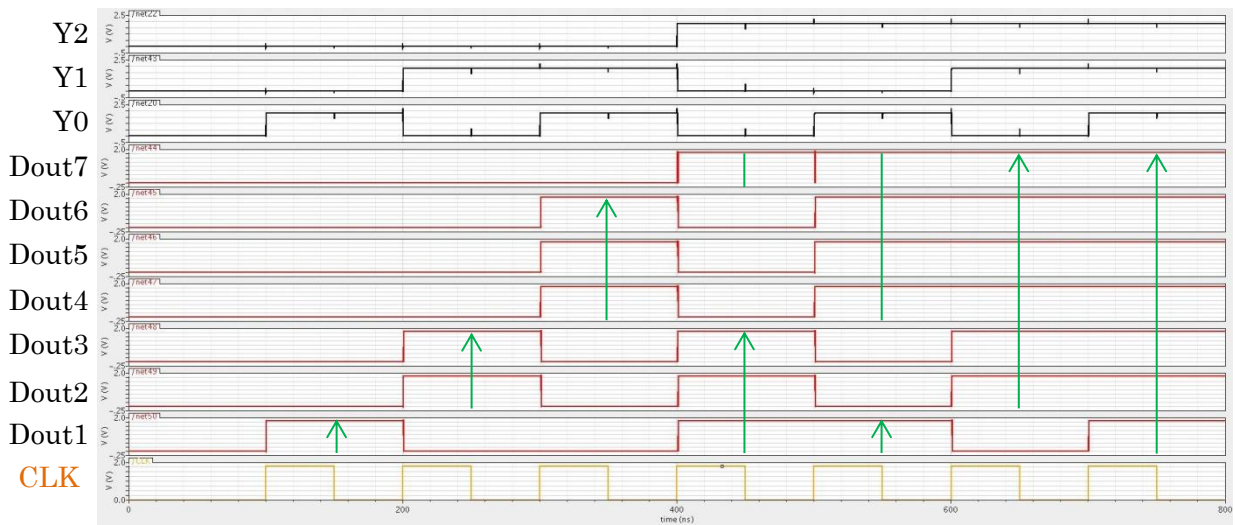


図 5.9 DWA 後のシミュレーション波形

5.2 並び替えアルゴリズム(Sorting Algorithm)

この節では遅延セル並び替え技術を述べる。はじめに k 番目の遅延セル τ_k の値は、図 5.10 のようなリング発振器構成を用いて測定できる。デジタル回路でセルの遅延時間のどれが一番小さく、一番大きいかを測定することが出来る。

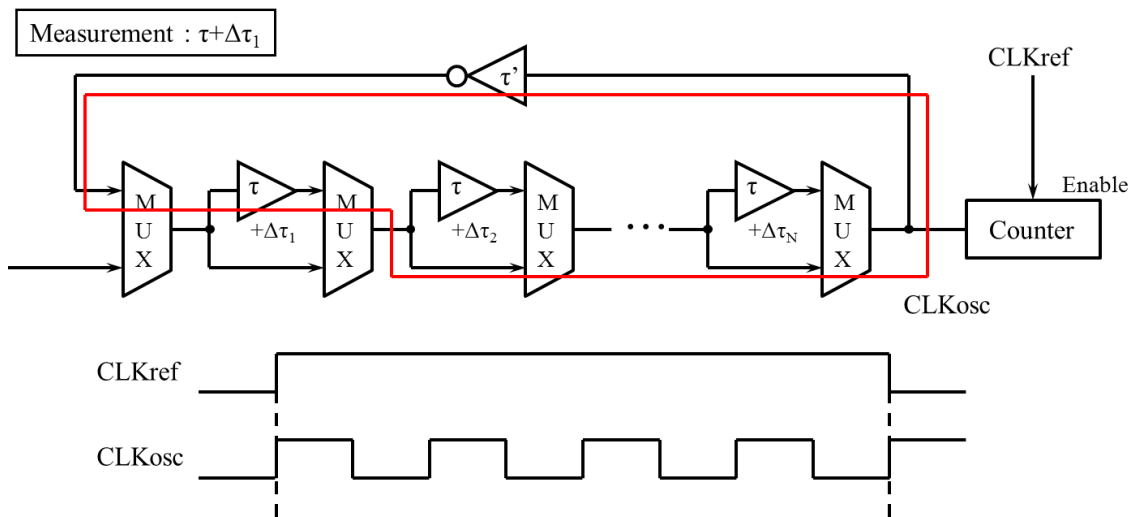


図 5.10 リング発振器構成を用いた遅延素子の遅延時間の測定

並び替えアルゴリズムを用いた、3 ビット $\Delta \Sigma$ TDC の全体の回路構成図を図 5.11 に示す。

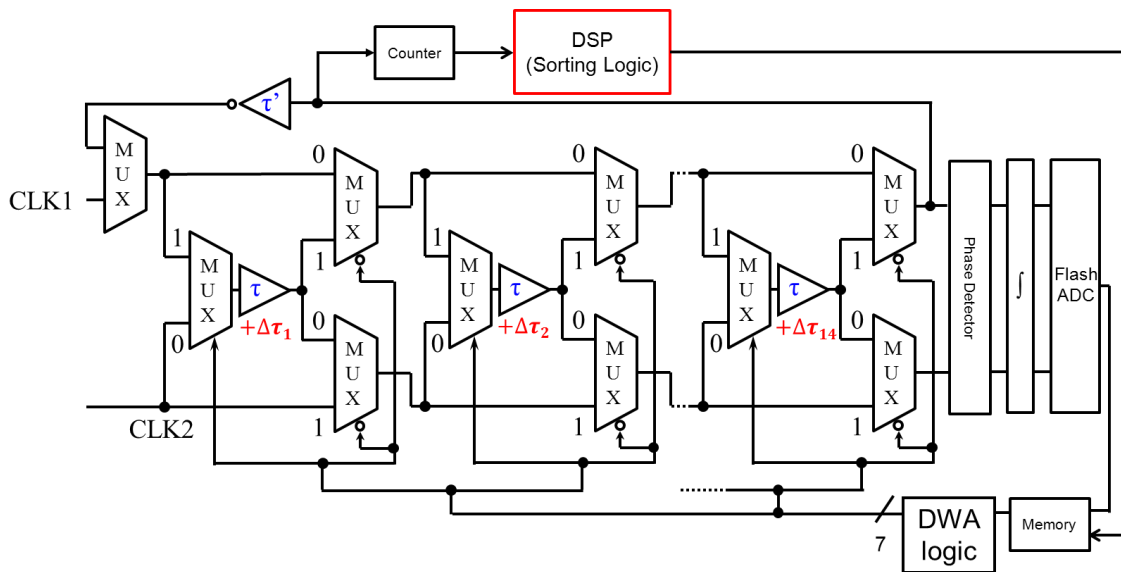


図 5.11 並び替えアルゴリズムを用いた 3 ビット $\Delta \Sigma$ TDC の構成図

5.2.1 並び替えアルゴリズムのフローチャート

3 ビットであれば通常 7 個遅延素子を使うところを、倍の 14 個使用する。図 5.12 に示すように、まず図 5.11 の構成を用い、リング発振器でそれぞれの遅延値の測定を行う。それぞれメモリに保存し、全ての測定が終わったら、並び替え回路により、小さいものから大きいものの順に並び替える。

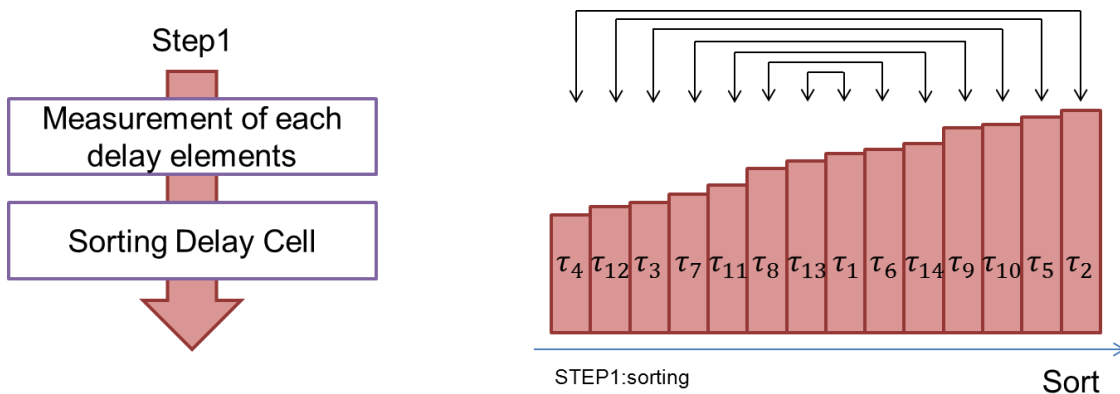


図 5.12 Step1: 測定&並び替え

次に、図 5.13 に示すように、一番大きいものと一番小さいもの、二番目に大きいものと二番目に小さいもの、三番目に大きいものと三番目に小さいもの、…を組みわせ、遅延素子の組合せを 7 個にする。

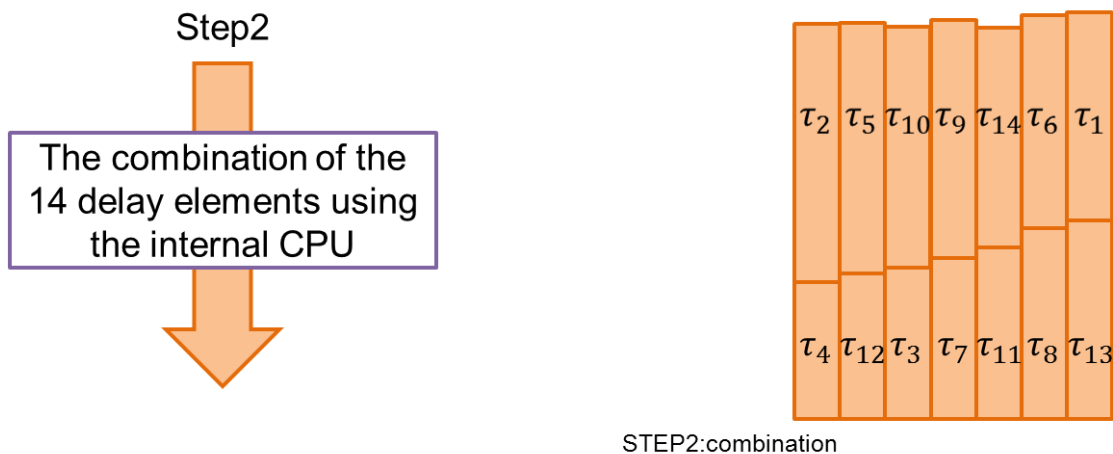


図 5.13 Step2: 遅延素子の組合せ

次に、Step2 で組み合わせた素子を再びリング発振器構成で組合せ、図 5.14 に示すように、一番大きいもの、一番小さいもの、二番目に大きいもの、二番目に小さいもの、三番目に大きいもの、三番目に小さいもの、中間のもの順に並び替える。これは組合せをメモリに保存することにより、変調器内部のフラッシュ型 ADC の出力に応じてマルチプレクサのスイッチングをアレンジする。

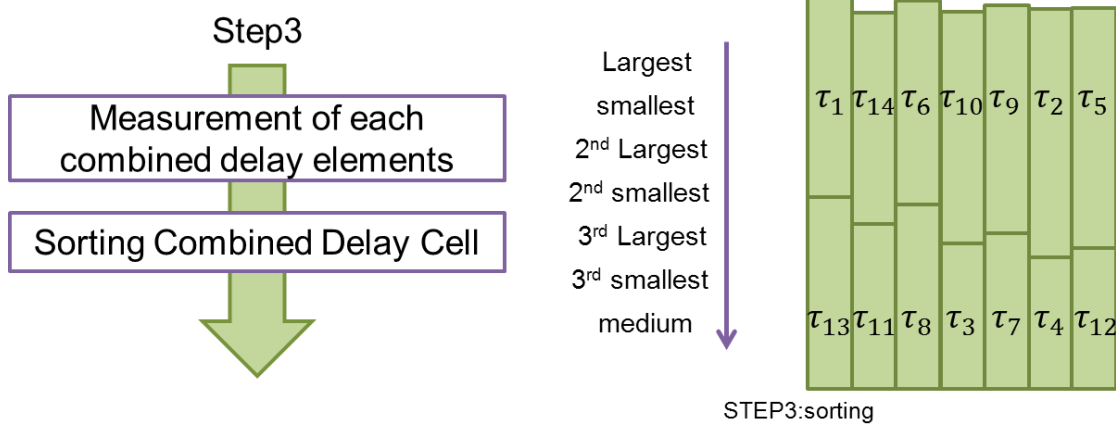


図 5.14 Step3: 組み合わせた遅延素子の並び替え

図 5.15 に示すように、最後に DWA を適用する。



図 5.15 Step4: DWA の適用

5.2.2 並び替え・組み合わせを実現する回路のブロック図

回路規模が大きくなるため、ここでは2ビット構成で記述する。図 5.16 に全体の回路構成を記述する。

まずリング発振器構成で各素子を周波数測定カウンタ (Frequency measurement counter) で測定する。これらの値を周波数測定データメモリ (Frequency recording memory) で記録する。全ての素子を測定し終わり、メモリに値を保存したら、総当たり比較器 (Digital comparator) で、総当たりで値を比較する。次に素子毎にコンパレータの High である数を計算し、加算器 (Order calculating adder) にて 2 進数で出力する。組合せ決定回路 (Combination determination circuit) で加算器からの 2 進数を一番大きいものと一番小さいもの、二番目に大きいものと二番目に小さいもの、三番目に大きいものと三番目に小さいもの、…を組み合わせる。この組み合わせたデータを組合せデータメモリ (Combination recording memory) に保存する。この位相差測定時にはメモリに保存されたデータを組合せ適用回路 (Combination application circuit) を通し、測定を実行する。

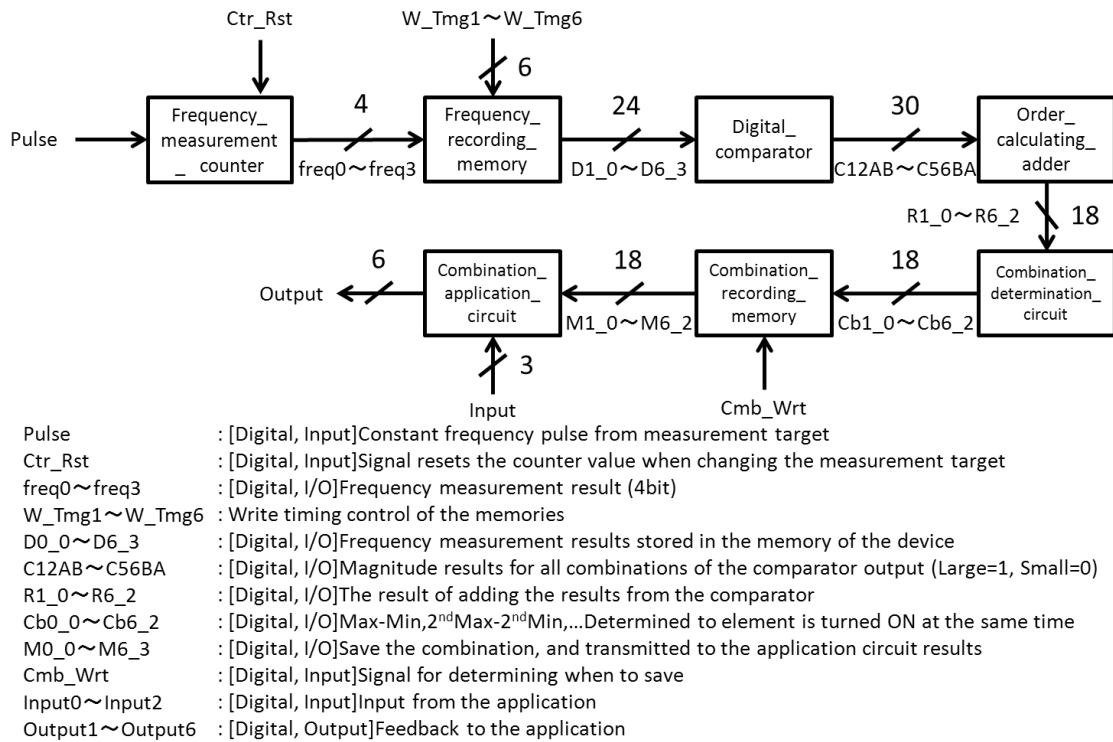


図 5.16 ソーティングを実現する回路構成

5.2.3 発振周波数測定カウンタ

図 5.17 はリング発振器構成を用いた遅延素子の発振周波数を測定する発振周波数測定カウンタである。入力は[Pulse]からリング発振器からのパルスを入力する。出力は freq0~freq3 の 4 ビットで出力し、測定が終わったら [Ctr_Rst] を Low にし、次の素子の測定をする。

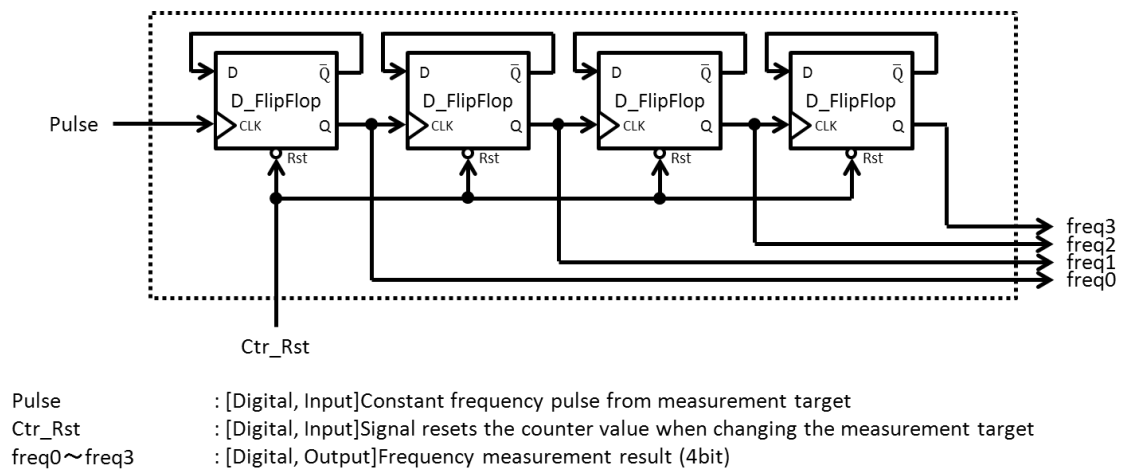


図 5.17 カウンタ回路

5.2.4 周波数測定データメモリ

図 5.18 に周波数測定データメモリを示す。メモリは、SRAM を配置し、その個数は遅延素子数とカウンタの出力のビット数の積である。今回は遅延素子 6 個、カウンタの出力ビット数は 4bit であるから、28 個の SRAM を配置する。[W_Tmg1~6]は、図 5.19 に示すように、各素子の測定時 High になり、測定が終了すれば Low になる。図 5.20 に、図 5.18 で用いた SRAM の構成を示す。

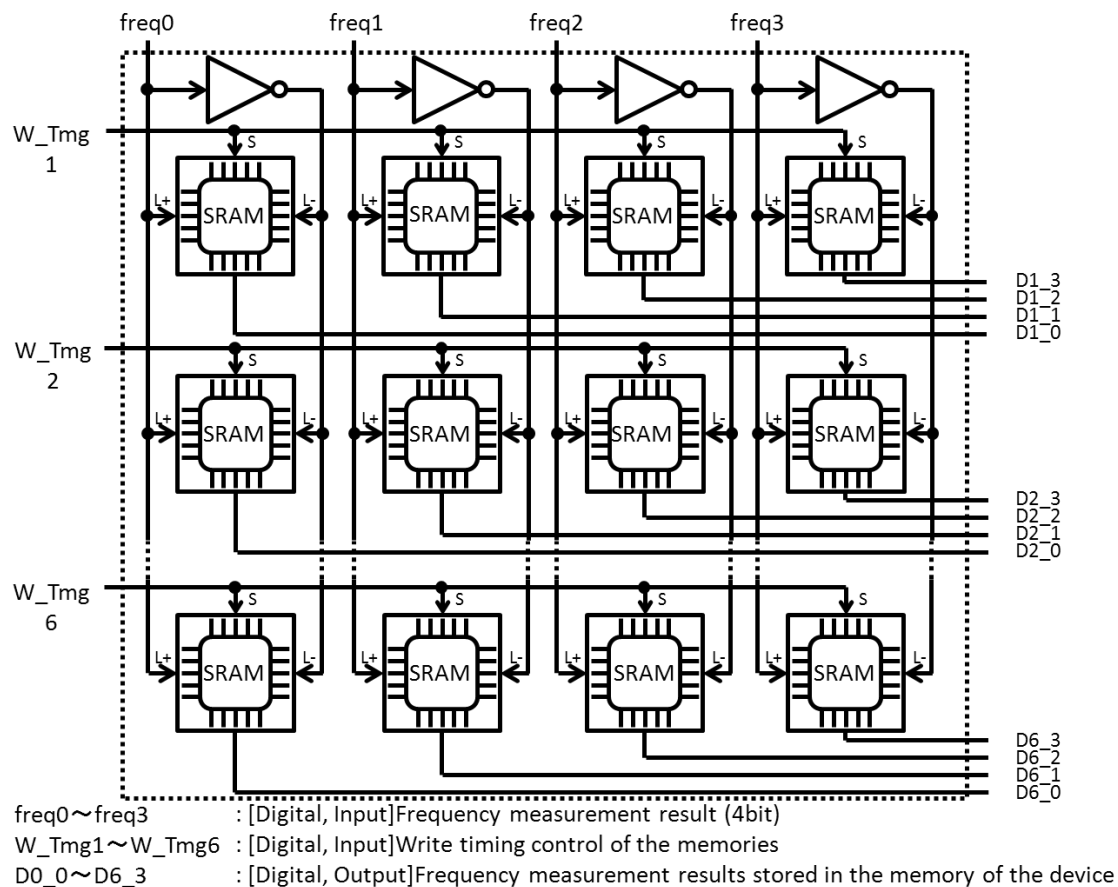


図 5.18 周波数測定データメモリ

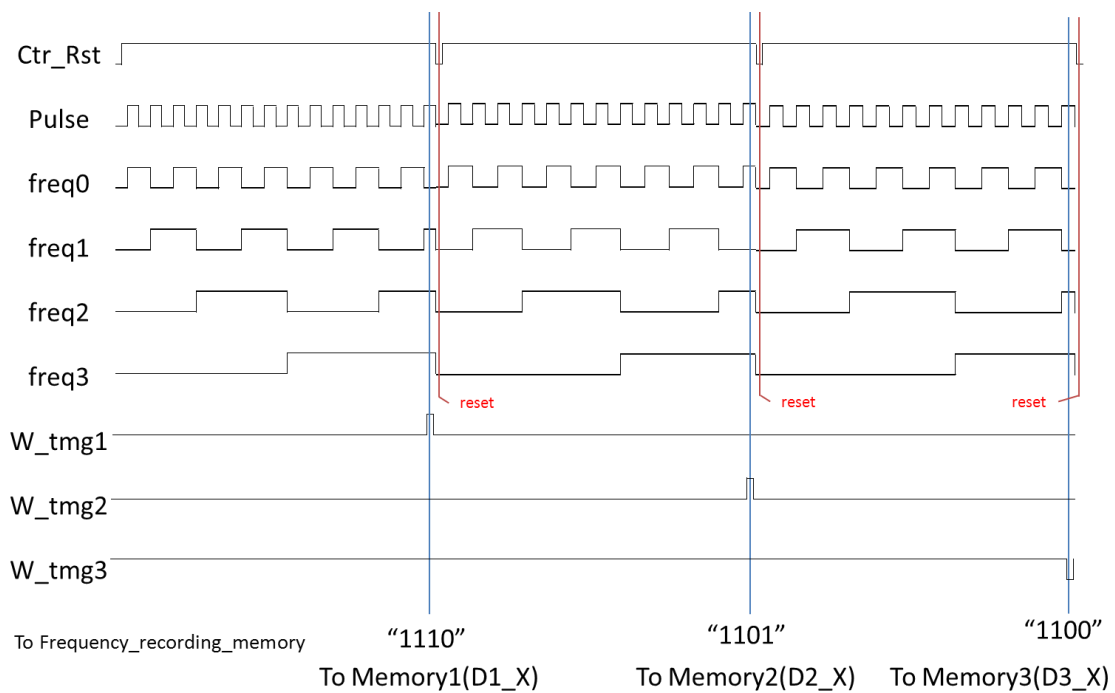
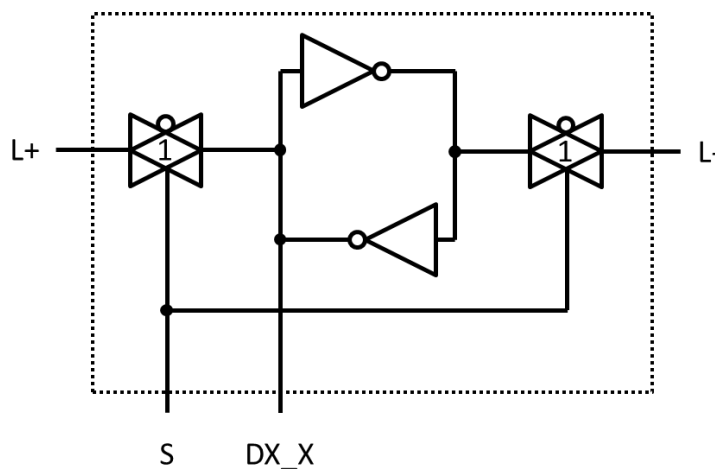


図 5.19 カウンタ及び周波数測定データメモリのタイミングチャート



- L+ : [Digital, Input]Positive logic of data to be saved
- L- : [Digital, Input]Negative logic of data to be saved
- S : [Digital, Input]When S is "1",it is possible to write a logic, when S is"0" it keeps a logic
- DX_X : [Digital, Output]The output of the logic stored

図 5.20 SRAM の構成

5.2.5 総当たりデジタル比較器

図 5.21 に総当たりデジタル比較器を示す。全組み合わせで総当たり探索をする。図 5.30 にデジタル比較器(Comp_Part)を示す。図 5.23 に図 5.22 に用いた比較器の一部分(Comp_Part2)を示す。

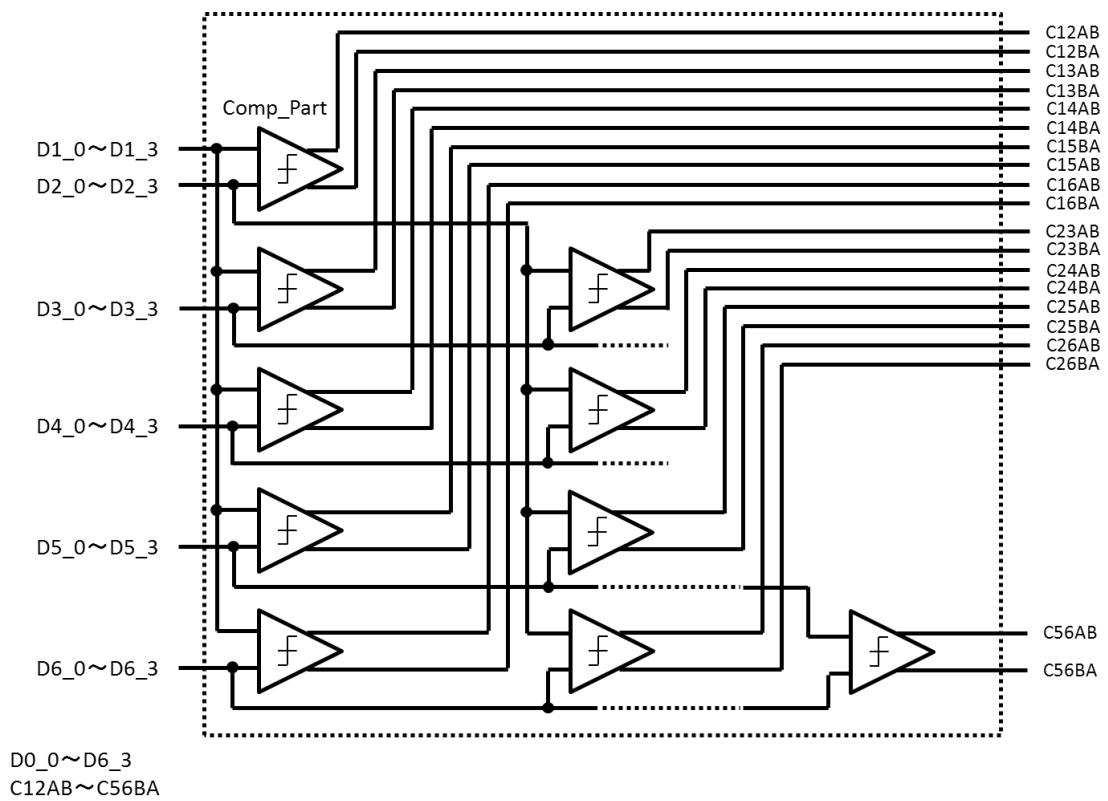
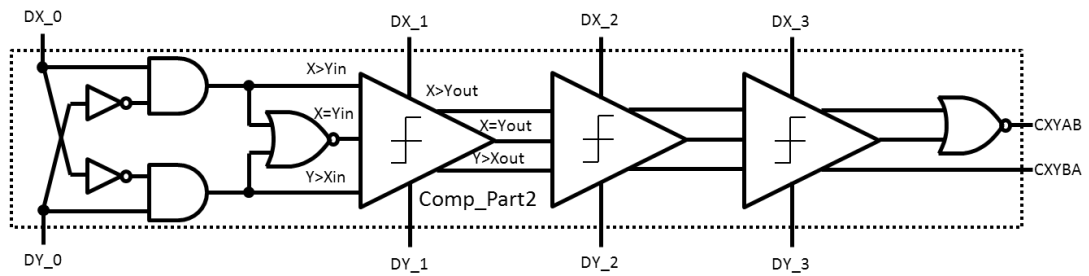
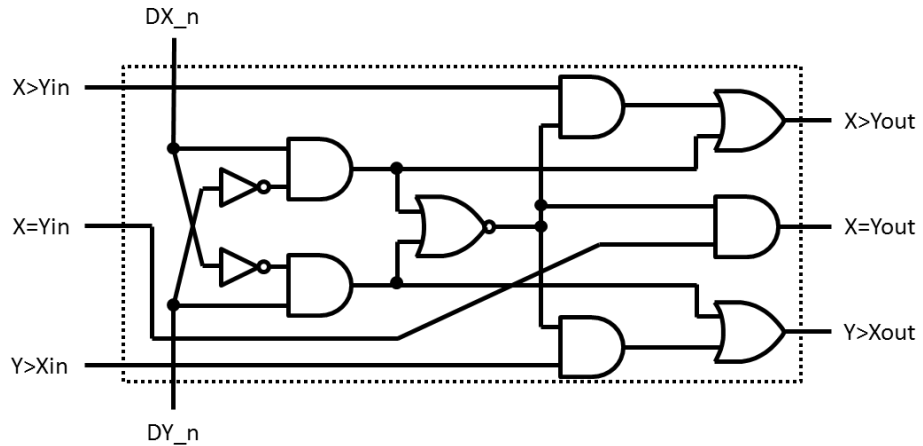


図 5.21 総当たりデジタル比較器



DX_0~DY_3 : [Digital, Input]Frequency measurement results stored in the memory of the device
 CXYAB・CXYBA : [Digital, Output]Magnitude results for all combinations of the comparator output
 ($A \geq B$: AB=1, BA=0 $B > A$: AB=0, BA=1)

図 5.22 デジタル比較器(Comp_Part)

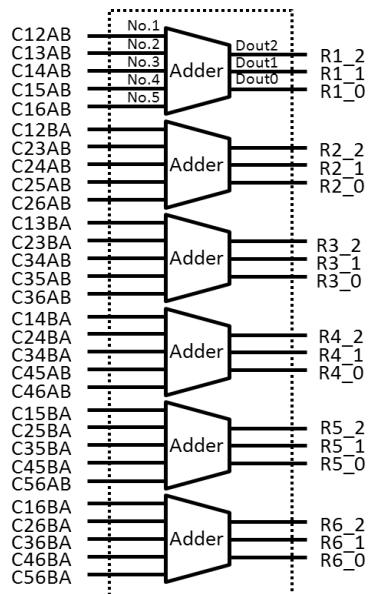


X>Yin, X=Yin, Y>Xin : [Digital, Input]Magnitude relation information from the lower bit
 DX_n, DY_n : [Digital, Output]Input of this element

図 5.23 デジタル比較器の一部(Comp_Part2)

5.2.6 加算器

図 5.24 に加算器を示す。一素子当たりの加算器の構成を図 5.25 に示す。総当たりデジタル比較器から出力された、総当たりの大小関係を基に、どれが一番大きくどれが一番小さいかを割り出す。6 素子中測定データが一番大きい場合、出力は 2bit で 5。一番小さい場合、2bit で 0 が出力される。また、遅延値が小さい順に $\tau_1 \leq \tau_2 \leq \tau_5 \leq \tau_3 \leq \tau_4 \leq \tau_6$ とした場合の加算器による集計例を図 5.26 に示す。



C12AB~C56BA : [Digital, Input]Magnitude results for all combinations of the comparator output (Large=1, Small=0)
 R0_0~R6_3 : [Digital, Output]The result of adding the results from the comparator

図 5.24 加算器構成

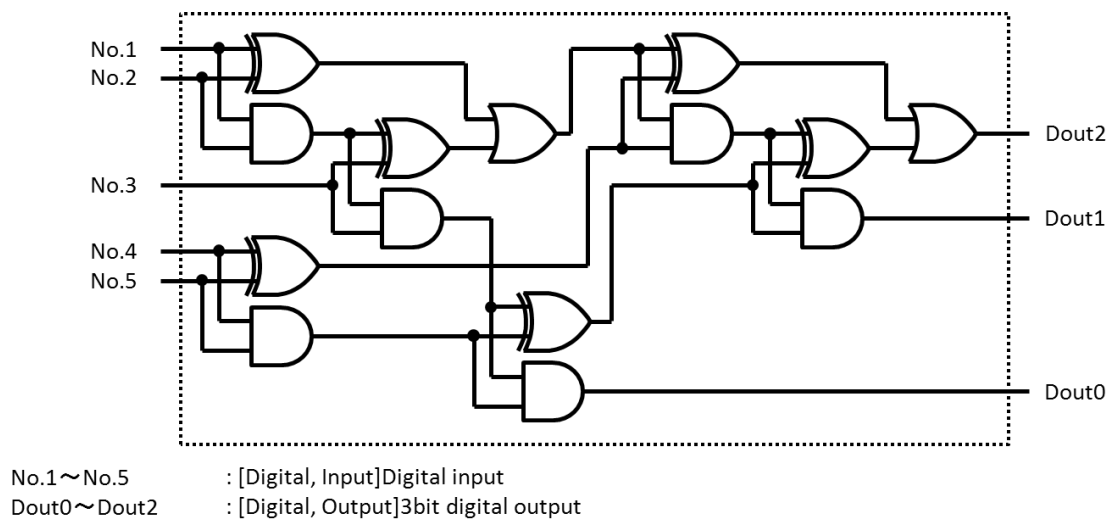


図 5.25 一素子当たりの加算器構成

| XY | CXYAB | CXYBA |
|----|-------|-------|
| 12 | 1 | 0 |
| 13 | 1 | 0 |
| 14 | 1 | 0 |
| 15 | 1 | 0 |
| 16 | 1 | 0 |
| 23 | 1 | 0 |
| 24 | 1 | 0 |
| 25 | 1 | 0 |
| 26 | 1 | 0 |
| 34 | 1 | 0 |
| 35 | 0 | 1 |
| 36 | 1 | 0 |
| 45 | 0 | 1 |
| 46 | 1 | 0 |
| 56 | 1 | 0 |

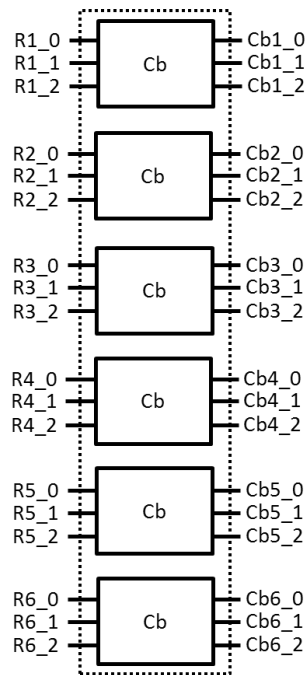
各素子毎に集計

| | 10進数 | RX_2 | RX_1 | RX_0 |
|------|------|------|------|------|
| R1_X | 5 | 1 | 0 | 1 |
| R2_X | 4 | 1 | 0 | 0 |
| R3_X | 2 | 0 | 1 | 0 |
| R4_X | 1 | 0 | 0 | 1 |
| R5_X | 3 | 0 | 1 | 1 |
| R6_X | 0 | 0 | 0 | 0 |

図 5.26 総当たりデジタル比較器から出力されたデータを加算器で集計した例

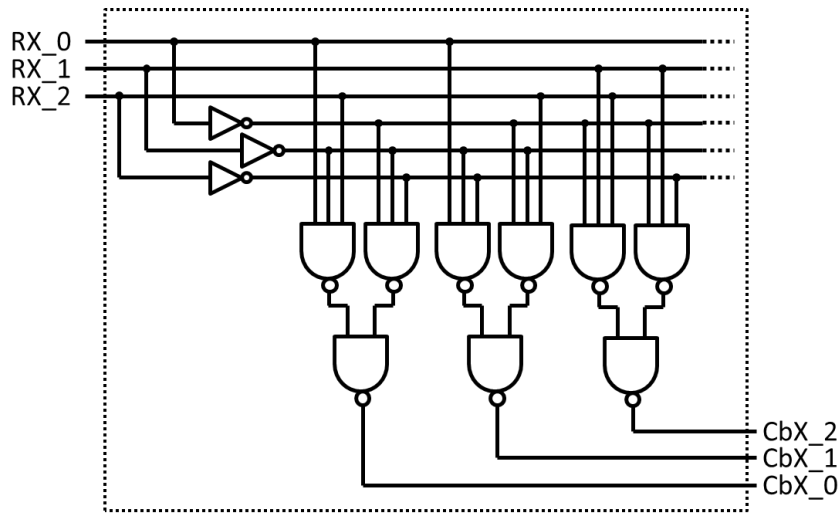
5.2.7 組合せ決定回路

図 5.27 に組合せ決定回路を示す。一素子当たりの組合せ決定回路の構成を図 5.28 に示す。また、遅延値が小さい順に $\tau_1 \leq \tau_2 \leq \tau_5 \leq \tau_3 \leq \tau_4 \leq \tau_6$ とした場合の組合せ決定回路による集計例を図 5.29 に示す。



R0_0~R6_3 : [Digital, Input]The result of adding the results from the comparator
 Cb0_0~Cb6_2 : [Digital, Output]Max-Min,2ndMax-2ndMin,...Determined to element is turned ON at the same time

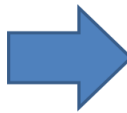
図 5.27 組合せ決定回路



RX_0~RX_3 : [Digital, Input]The result of adding the results from the comparator
 CbX_0~CbX_2 : [Digital, Output]Max-Min,2ndMax-2ndMin,...Determined to element is turned ON at the same time

図 5.28 一素子当たりの組合せ決定回路

| | 10進数 | RX_2 | RX_1 | RX_0 |
|------|------|------|------|------|
| R1_X | 5 | 1 | 0 | 1 |
| R2_X | 4 | 1 | 0 | 0 |
| R3_X | 2 | 0 | 1 | 0 |
| R4_X | 1 | 0 | 0 | 1 |
| R5_X | 3 | 0 | 1 | 1 |
| R6_X | 0 | 0 | 0 | 0 |



| | CbX_2 | CbX_1 | CbX_0 |
|-------|-------|-------|-------|
| Cb1_X | 1 | 0 | 0 |
| Cb2_X | 0 | 1 | 0 |
| Cb3_X | 0 | 0 | 1 |
| Cb4_X | 0 | 1 | 0 |
| Cb5_X | 0 | 0 | 1 |
| Cb6_X | 1 | 0 | 0 |

Order_calculating_adderから出力された順位データを基に、Max-Min、2nd Max – 2nd Min、3rd Max – 3rd Minがそれぞれ同時にONするようにメモリへ出力する。

図 5.29 加算器から出力されたデータを組合せ決定回路で集計した例

5.2.8 組合せデータメモリ

図 5.30 に組合せデータメモリの構成を示す。組合せ決定回路から出力されたデータを組合せデータメモリに書き込む。また、図 5.31 のように遅延値が小さい順に $\tau_1 \leq \tau_2 \leq \tau_5 \leq \tau_3 \leq \tau_4 \leq \tau_6$ とした場合の、組合せ決定回路から出力されたデータに基づいた組合せデータメモリのタイミングチャートを図 5.37 に示す。全遅延素子の測定、組み合わせ決定後、[Cmb_Wrt]を High にしメモリに書き込む。

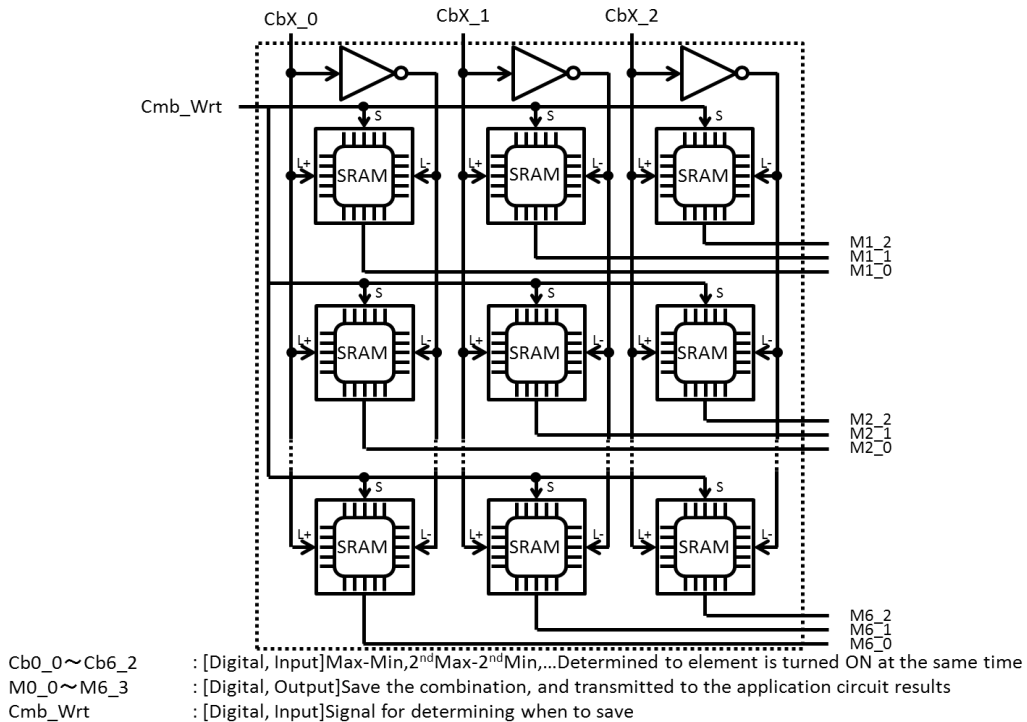
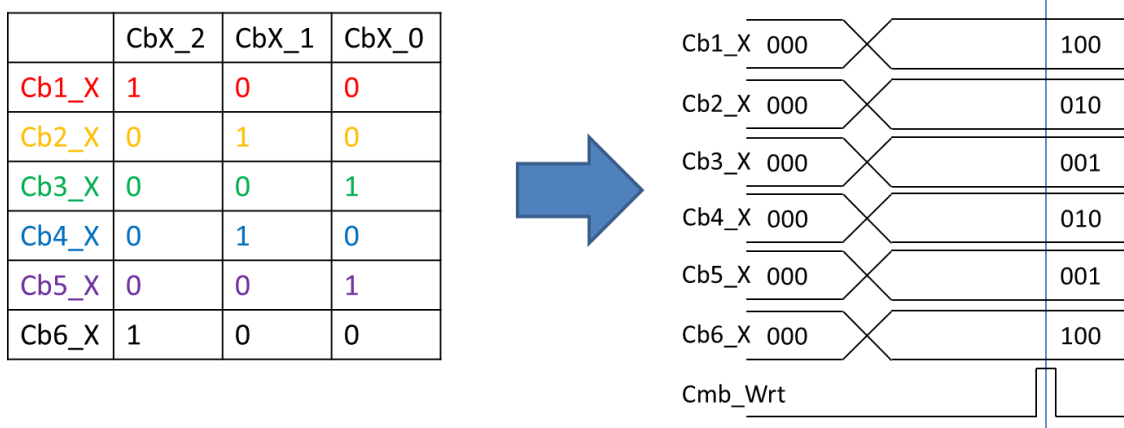


図 5.30 組合せデータメモリの回路構成

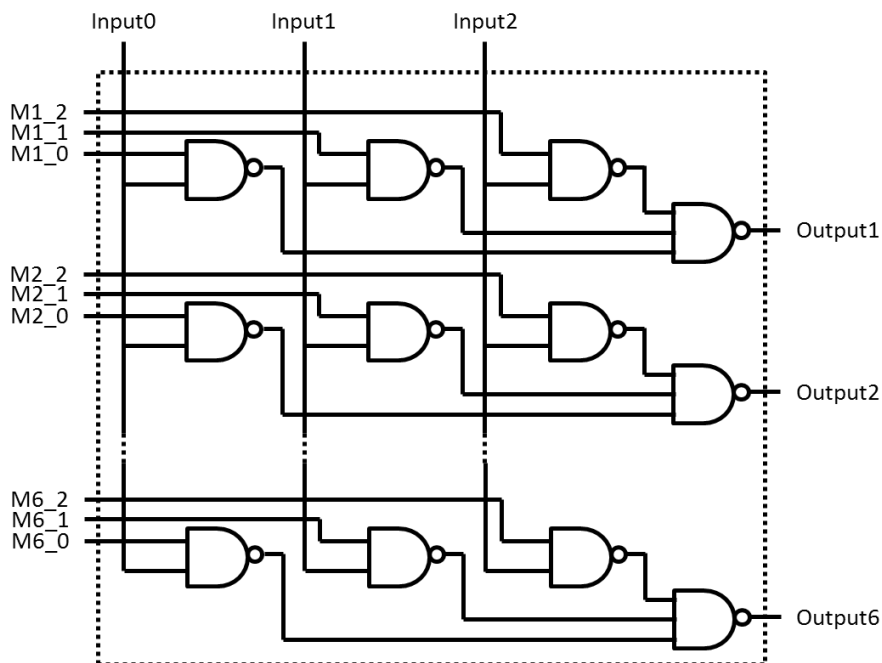


Cmb_Wrtのタイミングで、組み合わせをメモリに書込む。

図 5.31 メモリの書込みのタイミングチャート

5.2.9 組合せ適用回路

図 5.32 に組合せ適用回路を示す。TDC からの出力を [Input0~Input2]へ入力し、入力されたデータを組合せ適用回路から読み込んだデータを基に、組合せを出力である [Output1~Output6]へ出力する。



M0_0~M6_3 : [Digital, Input]Save the combination, and transmitted to the application circuit results
 Input0~Input2 : [Digital, Input]Input from the application
 Output1~Output6 : [Digital, Output]Feedback to the application

図 5.32 組合せ適用回路の回路構成

5.2.10 並び替えアルゴリズムのシミュレーション

5.3 校正手法を用いたシミュレーション解析

また、遅延セルに冗長性を持たせ、線形性を更に向上させることも可能である。例えば、16個の遅延セルを持てば、うち最大のもの2個と最小のもの2個の遅延セルは使用せず、上記のように残り14個を同一の方法で実行する。

ここで、ステップ別(図 5.12～図 5.15)に校正手法を分け、各名称を用い SPICE, Matlab シミュレーションで効果を確認する。

| アルゴリズム名 | STEP1 | STEP2 | STEP3 | STEP4 |
|---------------------------------|-------|-------|-------|-------|
| Nothing | — | — | — | — |
| Sorting Algorithm1(without DWA) | — | — | ○ | — |
| Sorting Algorithm2(without DWA) | ○ | ○ | ○ | — |
| Only DWA | — | — | — | ○ |
| Sorting Algorithm1 & DWA | — | — | ○ | ○ |
| Sorting Algorithm2 & DWA | ○ | ○ | ○ | ○ |

表 5.2 アルゴリズム一覧

また条件を揃えるため、いずれのアルゴリズムに対しても遅延素子を 14 個用いる。STEP1、STEP2 を用いない場合は、ランダムに組合せる。

5.3.1 Matlab シミュレーション結果

まず、1 個の遅延素子当たりの理想の遅延時間を 1ns とする。標準偏差 σ 、平均値 μ を用い、確率密度関数を下記に示す。また正規分布は図 5.33 のように示される。

$$f(x) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{(x-\mu)^2}{2\sigma^2}\right) \quad (5.1)$$

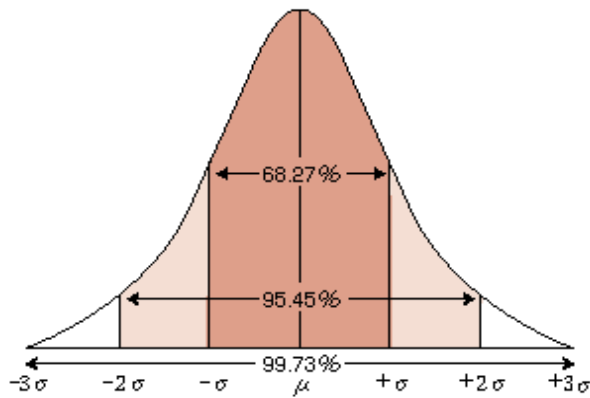


図 5.33 正規分布表

また、ディレイラインを以下の図 5.34 の構成に変更してシミュレーションを行う。マルチプレクサによる遅延の影響を小さくする為である。

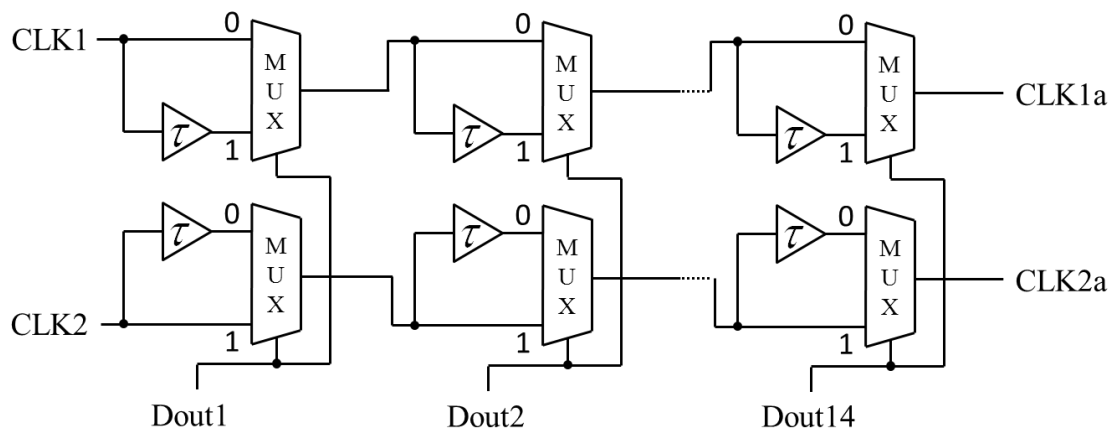


図 5.34 ディレイライン

ここで、平均値 μ を $1n$ 、標準偏差 σ を 0.07 とし、表計算ソフト「エクセル」にて、ランダム関数を用い、確率分布に基づいた遅延時間のばらつきのサンプルデータを取得し、SPICE シミュレーションにこのデータを用いた。

表 5.3 のパラメータ条件を基に、各校正別の SPICE シミュレーションを行った。

まず、表計算ソフト「エクセル」にて、ランダム関数を用い、確率分布に基づいた遅延時間のばらつきのサンプルデータを取得し、表 5.3 のような遅延値データを基に、DWA のみの場合、ソーティングアルゴリズム 2 と DWA 双方を用いた時の入力クロックの位相差に対する積分非線形誤差(INL)について図 5.35 で考察する。ソーティングを行った方が、線形性が改善されていることが分かる。

| 遅延素子 | τ_1 | τ_2 | τ_3 | τ_4 | τ_5 | τ_6 | τ_7 | τ_8 | τ_9 | τ_{10} | τ_{11} | τ_{12} | τ_{13} | τ_{14} |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|----------|-------------|-------------|-------------|-------------|-------------|
| 遅延値(ns) | 0.94 | 1.00 | 0.99 | 0.99 | 1.09 | 1.09 | 1.01 | 0.99 | 0.93 | 1.03 | 0.94 | 0.99 | 0.97 | 1.02 |

表 5.3 遅延値データ

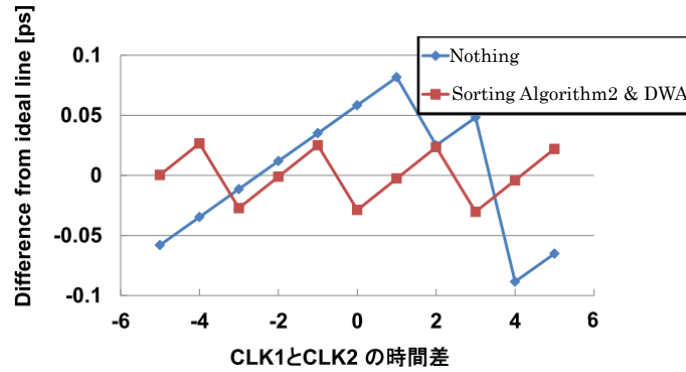


図 5.35 入力の位相差に対する理想とのずれ

また、表 5.4 のような幾つかの遅延値ばらつきのデータを用い、ソーティングアルゴリズム 2(DWA は用いない)と校正手法を用いない場合の理想とのずれの平均値を図 5.36 に示す。18 のデータを用いたが、そのほとんどの線形性が大きく改善されていることが分かる。

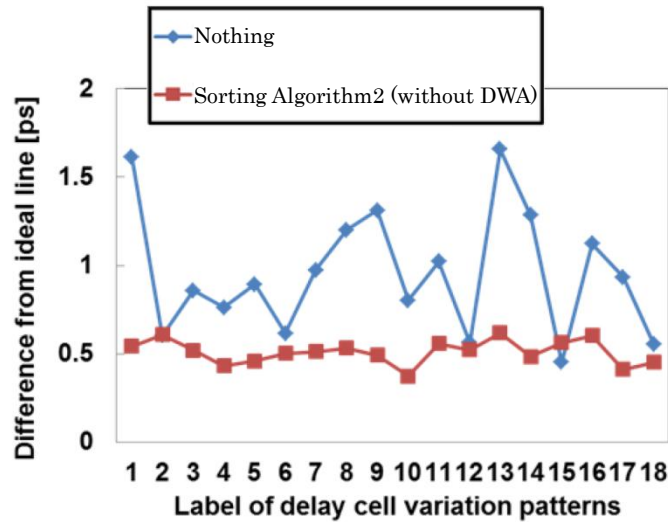


図 5.36 ソーティングアルゴリズム 2 を用いた場合と用いない場合の理想とのずれの平均

また図 5.37 に示す遅延ばらつきデータを用い、表 5.2 に示す校正手法をそれぞれ適用し、比較し効果を検証する。

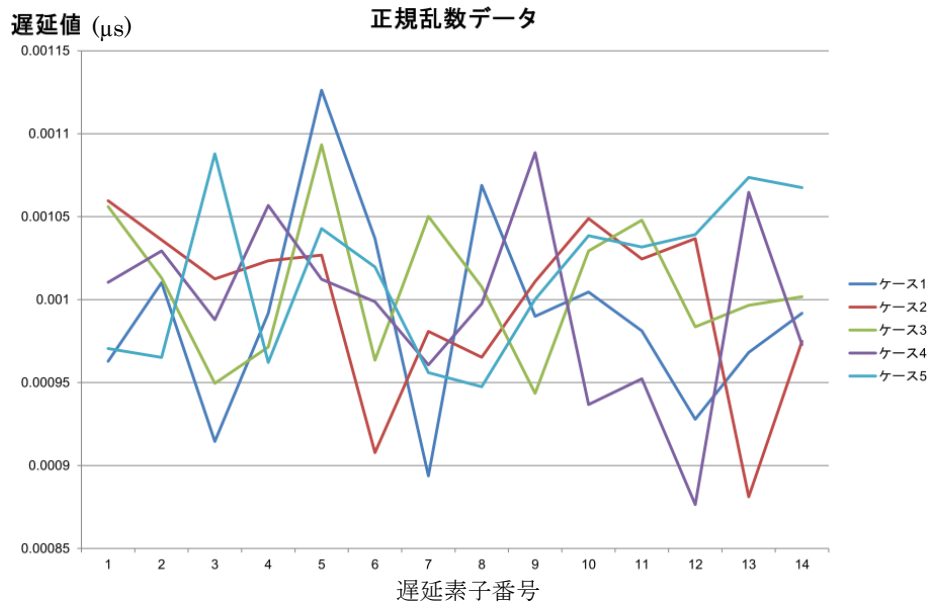


図 5.37 遅延素子のばらつきデータ 5 ケース

これを並び替え、組み合わせをした(ソートングアルゴリズム 2 を適用する)7 組の素子が 図 5.38 である。

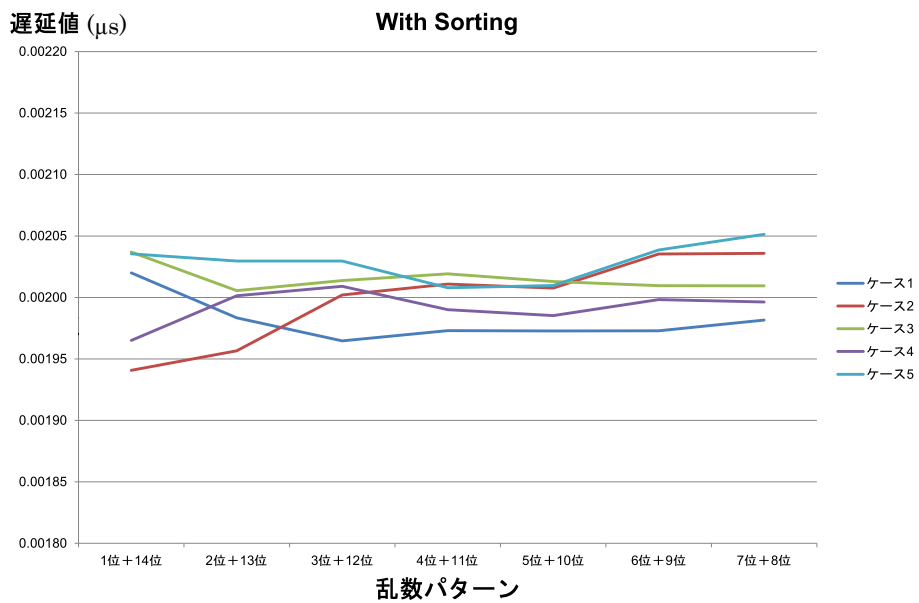


図 5.38 ソートングアルゴリズム 2 を適用する場合の 7 組の遅延素子

また、STEP1 と STEP2 を用いない場合は遅延素子番号 1 と 2、3 と 4、5 と 6、…のように隣り合った素子を組み合わせる。すると、図 5.39 のようになる。

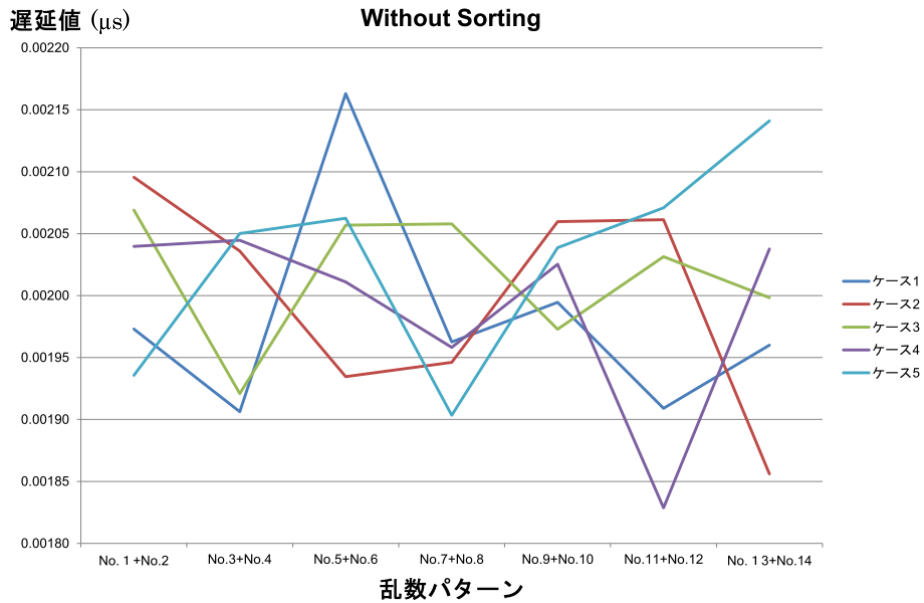


図 5.39 ソーティングアルゴリズム 2 を適用しない場合の 7 組の遅延素子

各校正手法別の TDC の出力のデータ数を 1000 とした場合の INL の平均値を、図 5.40 に示す。ソーティングアルゴリズム 1 でも効果が得られることが分かる。

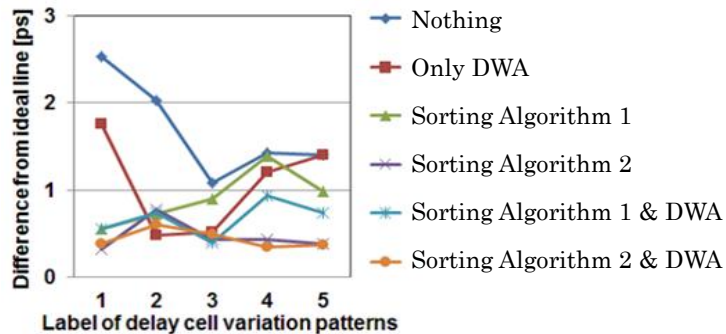


図 5.40 出力が 1000 の時の各校正手法の INL の平均値

また、図 5.41 に図 5.37 で示したケース 1 において、出力を 350、1050、2100 とした時の INL の平均値を、図 5.41 に示す。

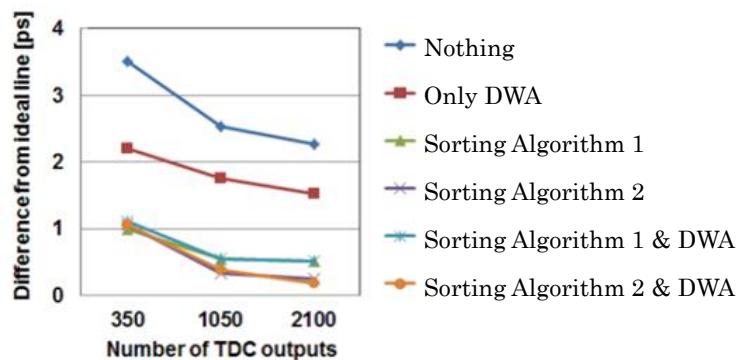


図 5.41 ケース 1 の TDC の出力に対する各校正手法の INL の平均値

これらのシミュレーション結果により、要約すると次のことが分かった。

- (1) 並び替えアルゴリズム 2 が最も効果的である。
- (2) 並び替えアルゴリズム 1 は次に効果的である。
- (3) DWA アルゴリズムは 3 番目に効果的である。
- (4) 並び替えアルゴリズム 1(または 2)を行った後、DWA を適用した場合と並び替えアルゴリズム 1(または 2)のみの場合では、効果は同等である。
- (5) TDC の出力数が増えれば増えるほど、どの校正手法でも線形性は向上していく。

5.3.2 SPICE シミュレーション解析

まず、1個の遅延素子当たりの理想の遅延時間を 1ns とする。

また、ディレイラインを以下の図 5.34 の構成に変更してシミュレーションを行う。マルチプレクサによる遅延の影響を小さくする為である。

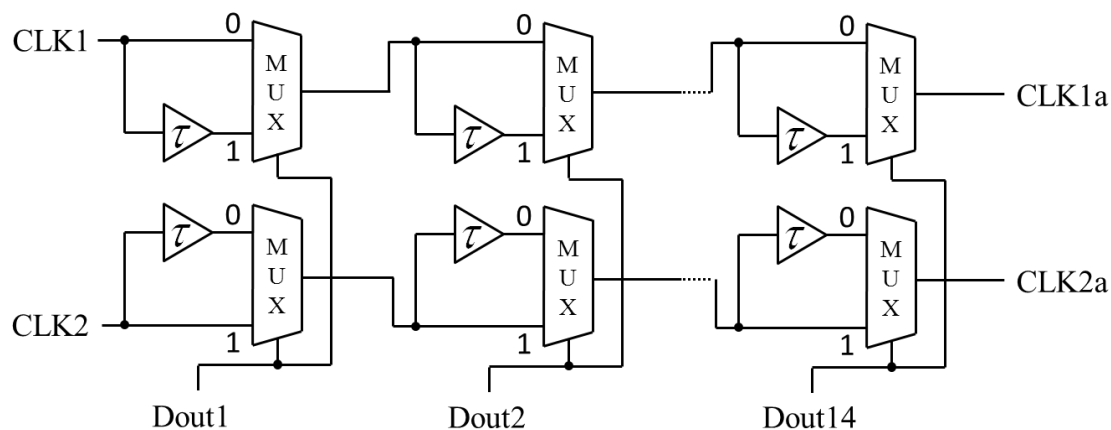


図 5.34 ディレイライン

ここで、平均値 μ を 1n、標準偏差 σ を 0.07 とし、こちらも表計算ソフト「エクセル」にて、ランダム関数を用い、確率分布に基づいた遅延時間のばらつきのサンプルデータを取得し、SPICE シミュレーションにこのデータを用いた。

表 5.4 のパラメータ条件を基に、各校正別の SPICE シミュレーションを行った。

| 遅延素子 | τ_1 | τ_2 | τ_3 | τ_4 | τ_5 | τ_6 | τ_7 | τ_8 | τ_9 | τ_{10} | τ_{11} | τ_{12} | τ_{13} | τ_{14} |
|---------|----------|----------|----------|----------|----------|----------|----------|----------|----------|-------------|-------------|-------------|-------------|-------------|
| 遅延値(ps) | 963 | 1010 | 915 | 992 | 1126 | 1037 | 894 | 1069 | 990 | 1005 | 981 | 928 | 968 | 992 |

表 5.3 SPICE シミュレーションで用いる遅延値データ

図 5.42 に表 5.3 のばらつきを与えた時の各校正手法別に、理想とのずれ(INL)を比較した。シミュレーション条件は出力を 350 点(50 点×出力 7)とした。

校正手法を何も用いない場合はばらつきが多く、ずれた値を出力していたが、並び替えアルゴリズム 1 を使った場合、理想に近づいていることが分かる。

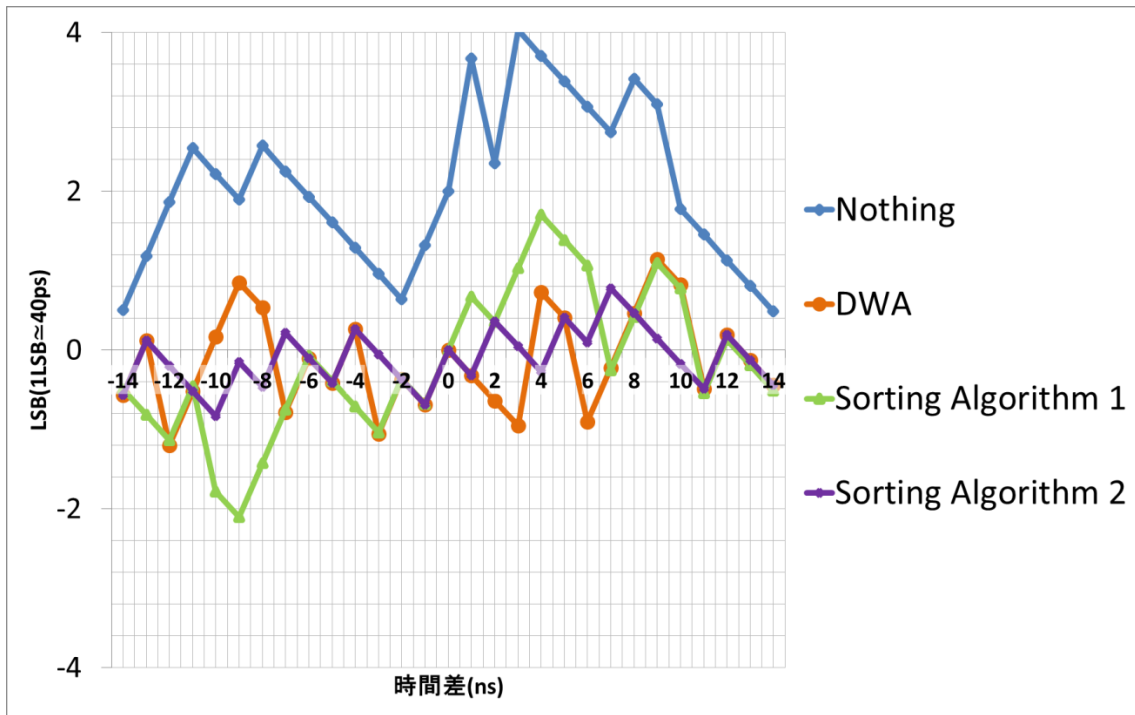


図 5.42 ケース 1 の時の各校正手法の入力に対する出力の INL

第6章 並び替えアルゴリズムの DA 変換器の適用

近年集積回路の微細化に伴い、プロセスばらつきが顕在化し、低電圧動作の回路が求められ高精度のアナログ回路の設計が難しくなっている。この論文では微細化にともなうこれらの問題を背景に、電流 DA 変換器の内部源流源ミスマッチによる非線形性をデジタル自己校正する方式を検討した。提案手法は同一値に設計した電流源がミスマッチによりそれぞれ値が異なるのを電圧制御発振回路 (Voltage-Controlled Oscillator: VCO) によってその大きさの順番を測定し、非線形性を打ち消すように並び替える。VCO は単調性のみが必要であり線形性は必要でないのでアナログ回路設計が容易になり、プロセス・電源電圧・温度(PVT)変動の影響が少ない。

並び替えは基準の電流源の 2 分の 1 の電流源を 2 倍もち、これを測定してそれらの 2 つを結合して基準電流源に近い値の電流源を得て、さらにそれらを並び替えるという 3 段階のステップで行う。5.21 節でこのプロセスは述べている。

提案手法はセグメント+バイナリ型のナイキスト電流 DAC のセグメント部に適用できる。またマルチビット $\Sigma \Delta$ ADC 内のマルチビット DAC (セグメント型で構成されることが多い) では分解能は低い (たとえば 3 ビット) が、高い線形性が要求されるのでそこにも有効な手法である。

6.1 セグメント型電流源 DA 変換器

図 6.1 にセグメント型電流 DA 変換器の構成を示す。電流源が複数個あり理想的にはこれらは同一の値であるが、実際には製造時のプロセスばらつき等でこれらの値は異なる。それにより DA 変換器は非線形性を示す (図 6.2)。

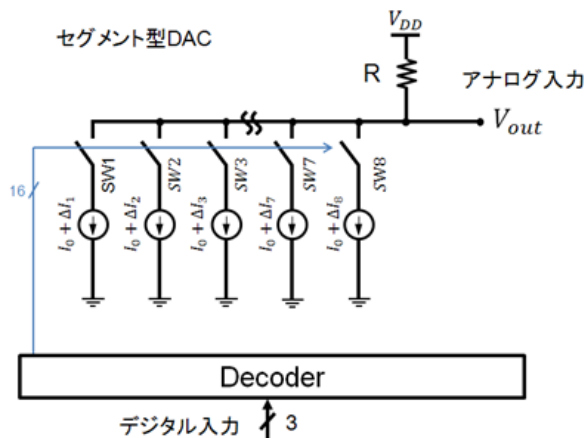


図 6.1 セグメント型電流 DA 変換器と電流源ミスマッチ

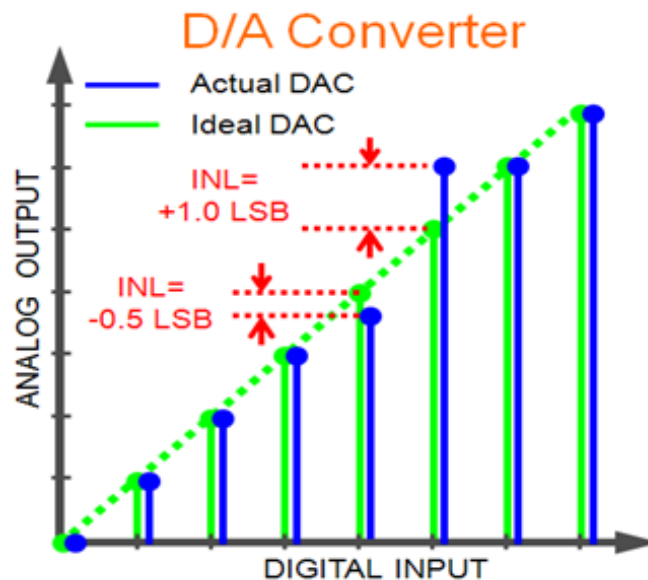


図 6.2 実際の DA 変換器の非線形性

6.2 提案自己校正手法

6.2.1 電流源の校正手法

図 6.1 や図 6.2 に示すように、NMOS または PMOS を用いた電流源は近年の微細化によって、ゲート長、ゲート幅などがばらつくことにより、各電流源の電流量が異なってくる。これを改善する為に、電流量は目的の半分のもので、目的の電流源の数を 2 倍 + α を用意する。配線結合により 2 素子 1 組とし、1 素子当たりの目的の電流量を確保する。

6.2.2 数値検証

今回は 16 素子および 18 素子の二つのケースで 8 素子を生成することを前提に、ばらつき低減効果がどれくらいあるか計算した。(18 素子の場合は $\alpha=2$ に相当する。 α 個の電流源は使わない。) 並び替えによるばらつき低減の仕組みは第 5 章 2 節 1 項で述べたとおりである。ここで、正規分布に基づく乱数を数パターン作り、平均を 100 とし、標準偏差 σ を 7 とした時、これを上記のアルゴリズムで並び替えてばらつきを抑える場合と、これを用いない場合(標準偏差は統計的に 5 となる)と比べた。図 4、表 1 に示すようにおよそ 30~50% の低減が図れることがわかった。(図 6.3 は 100 パターンを横軸にランダムに取り、標準偏差がどのようになったかを示したもの)また、18 素子の場合の方が、分散係数が小さくなり、低減効果が強まっていることが分かる。なお、合成をランダムにしてしまうと、ばらつきがさらに大きくなることも分かる。

| 素子数 | 並び替えた場合 | ランダムな組合せ |
|------|---------|----------|
| 16→8 | 2~2.4 | 8.8~9.3 |
| 18→8 | 1.7~1.8 | 8.8~9.3 |

平均 200 に対する分散係数 σ

表 6.1 並び替えによる標準偏差 σ の低減

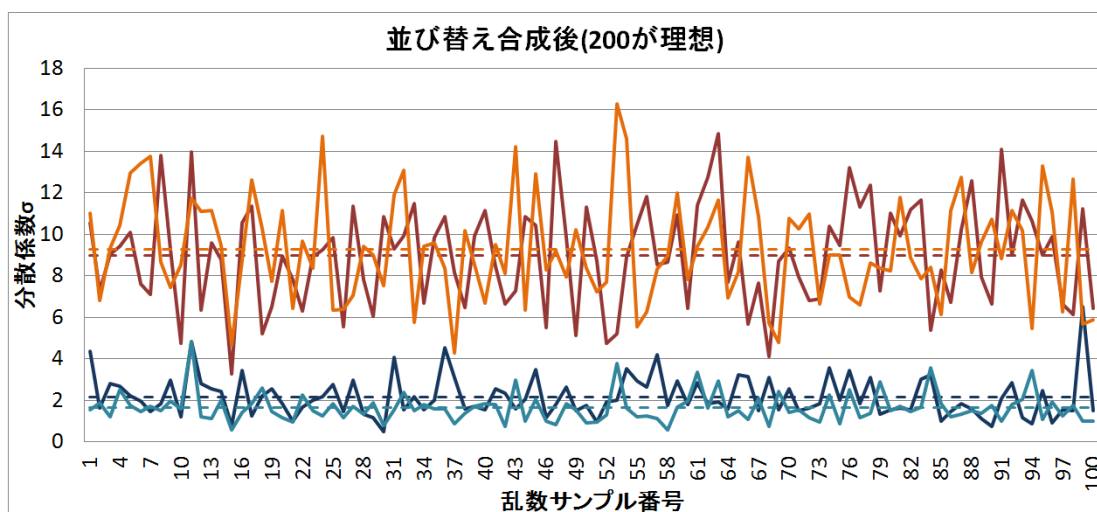


図 6.3 平均 200、標準偏差 5 の正規分布に基づく乱数例

6.2.3 DAC 線形性の検討

INL の定義はエンドポイントラインとベストフィットラインがあるが、ベストフィットラ

インを元に検討した。ここで、平均 100 で分散係数 $\sigma=7$ の 18 素子を 8 素子に並び替え、更にこの 8 素子を INL が良くなるよう、「一番大きい→一番小さい→二番目に大きい→二番目に小さい→…」のような順番で ON した場合と、平均 200 で分散係数 8 をランダムに ON した場合の INL を比較すると、図 6.4 のように線形性が良くなっていることが分かる。図 6.4 は 1 素子を LSB とした時のベストフィットラインからのズレの大きさを示す。

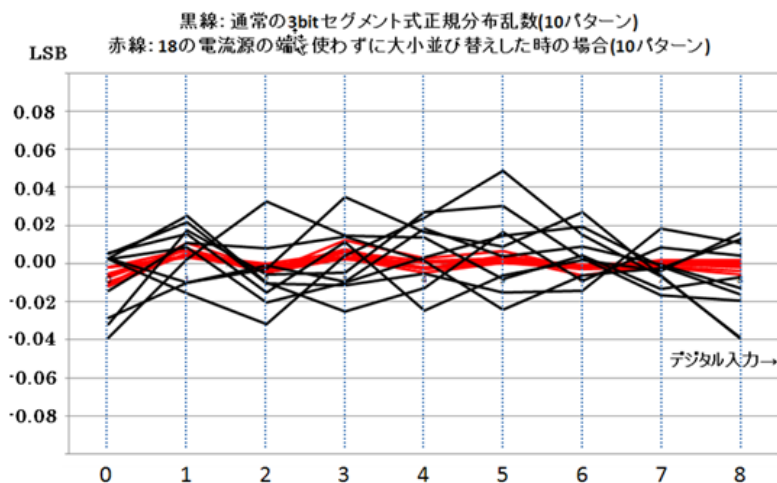


図 6.4 電流源並び替えによる DAC の INL 向上

6.2.4 自己校正の手順

図 6.5 に示すように 2 ステップに渡って VCO で測定し、並び替える。

- (1) 測定したい電流源のスイッチをオンにして抵抗に接続し電流値を電圧値に変換し、それを VCO に入力する。VCO はその電圧に応じた周波数で発振するので基準時間の間のトグルの回数を数える。単調性がありさえすればその出力値が大きいほど電流値が大きい。各電流源に対するカウンタ出力値をもとに CPU で電流源を並び替えて合成する。
- (2) 次に合成後の電流源を再び同様に VCO を用いて測定し、INL が小さくなるように並び替える。
- (3) 電流源の合成と合成後の並び替え情報をメモリに保存する。通常の使用時にはメモリのアドレスに入力デジタルデータを与えるとメモリのデータ線から電流源オンオフの情報が与えられる。

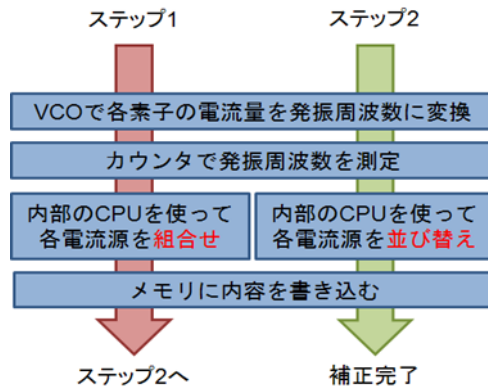


図 6.5 提案するキャリブレーションの流れ

6.2.5 回路構成

全体回路は図 6.6 に示す構成になる。VCO カウンタ、CPU、クロック分周器、増幅器によって構成する。カウンタで一定時間数える際にはたとえば DAC のサンプリングクロックを分周したもから「一定時間」を得る。

提案方式は高精度なアナログ回路が不要である。文献ではオフセットの小さい電流コンパレータが必要である。提案手法 VCO も増幅器も入出力の線形性は不要であり、単調性のみでよい。

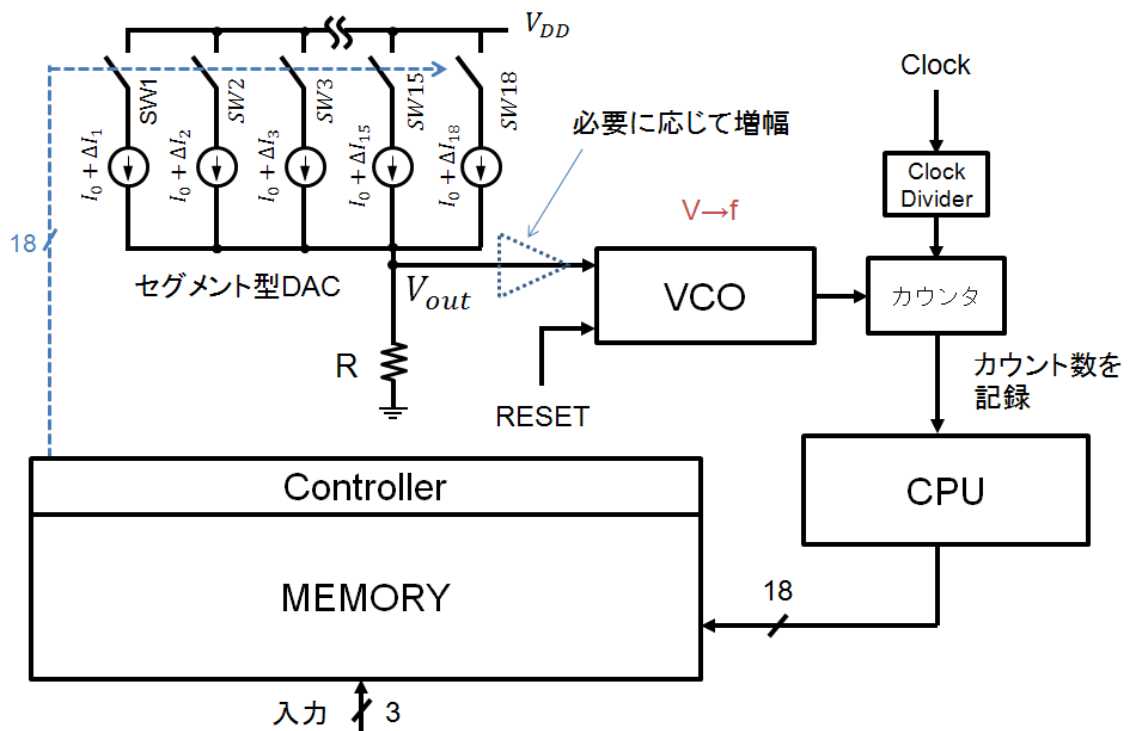


図 6.6 提案自己校正付電流DAC回路構成例

VCO の構成例を図 6.7 に示す。VCO は PMOS と NMOS により、入力に応じた電流を流す。中間にあるリングオシレータの動作速度を決める。NAND の一方の入力で制御させる。この入力が High になれば測定開始で一定時間カウンタによって数え、リセットの際は Low にする。この VCO の入力電圧-発振周波数特性として図 6.8 の結果になった（入力電圧 GND から測って 0~1.0V）。また、数回測定し平均化する、測定時間を長くすることで電源ノイズ等の影響を低減できる。

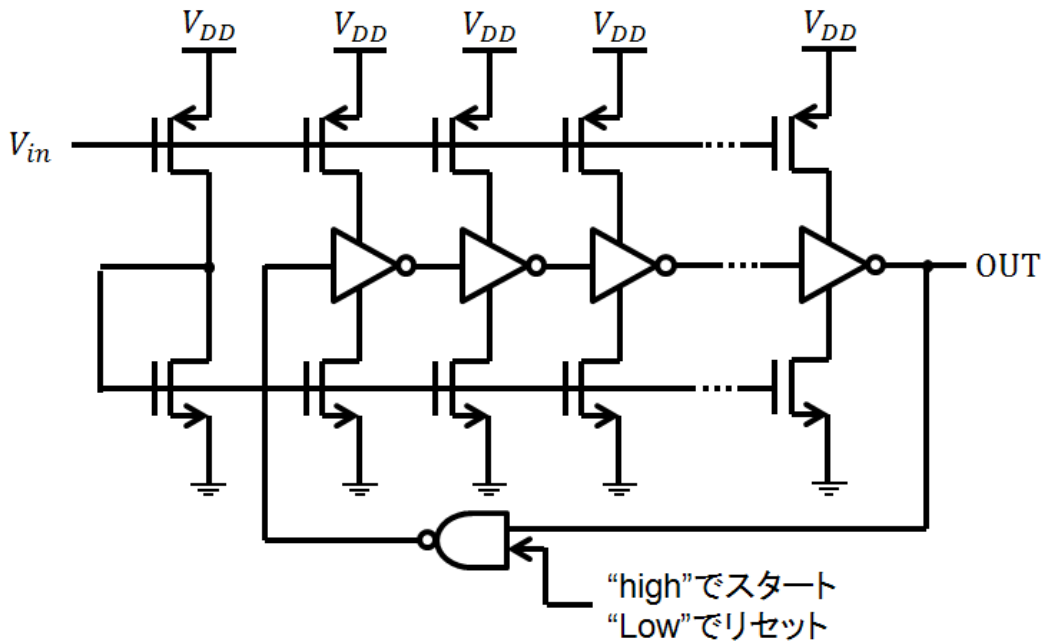


図 6.7 VCO 回路構成例

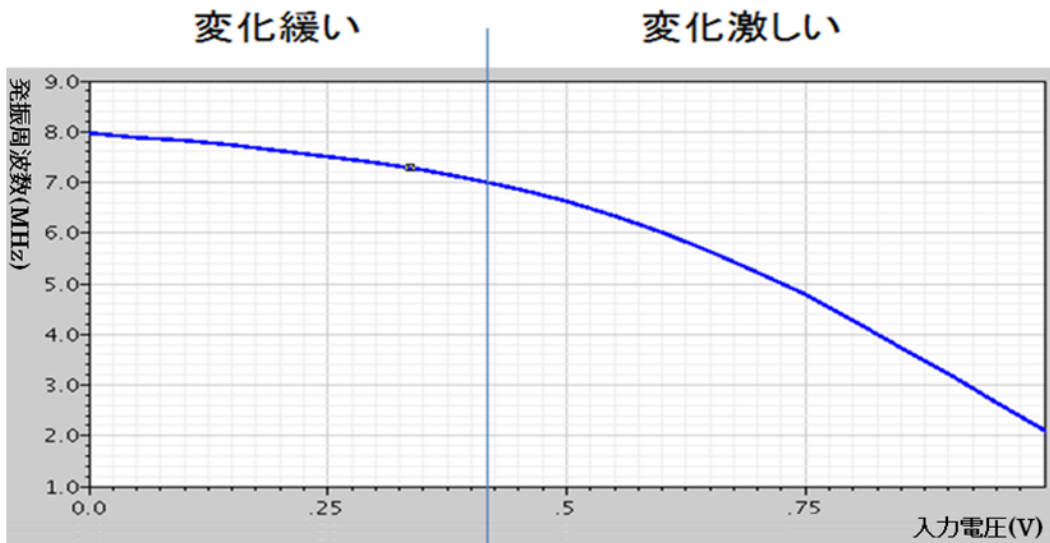


図 6.8 VCO の入力電圧-発振周波数の関係

各電流源 1 つを平均 100 μ A とし、96 μ A から 104 μ A に変化させた時の VCO の出力発振周波数は図 6.9 の青線のように、変化に乏しい（感度が低い）。そこで電流源ミスマッチによる電圧変化を増幅器で増幅すると、図 6.10 となる。電流源による電圧上昇分を 5 倍増幅した。そこでは VCO の周波数変化の激しい領域で測定でき、またばらつきによる影響も 5 倍になるため、測定回数とスピードを小さくできる。

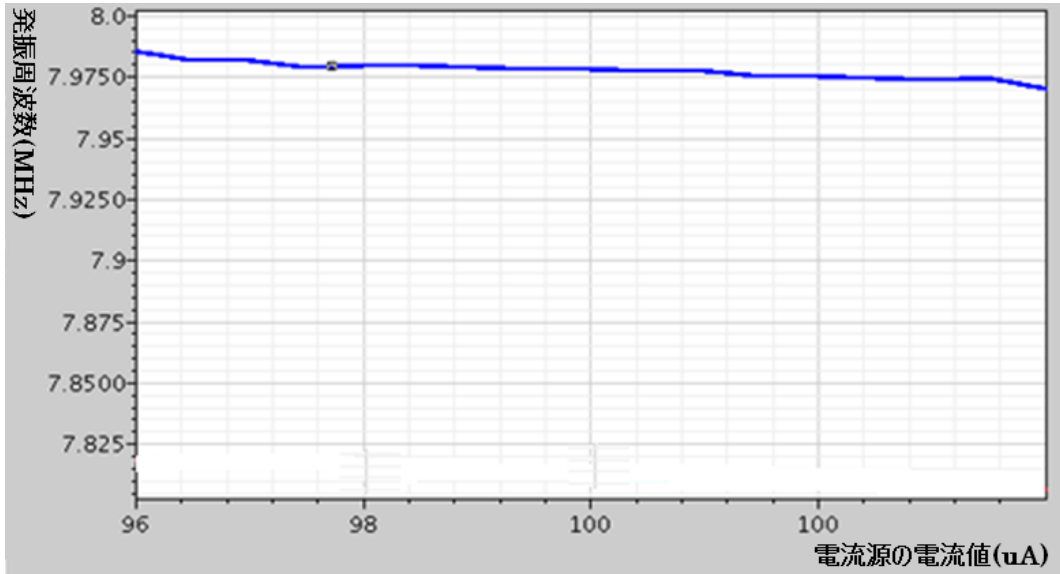


図 6.9 ゲイン 1 の場合発振周波数の変化

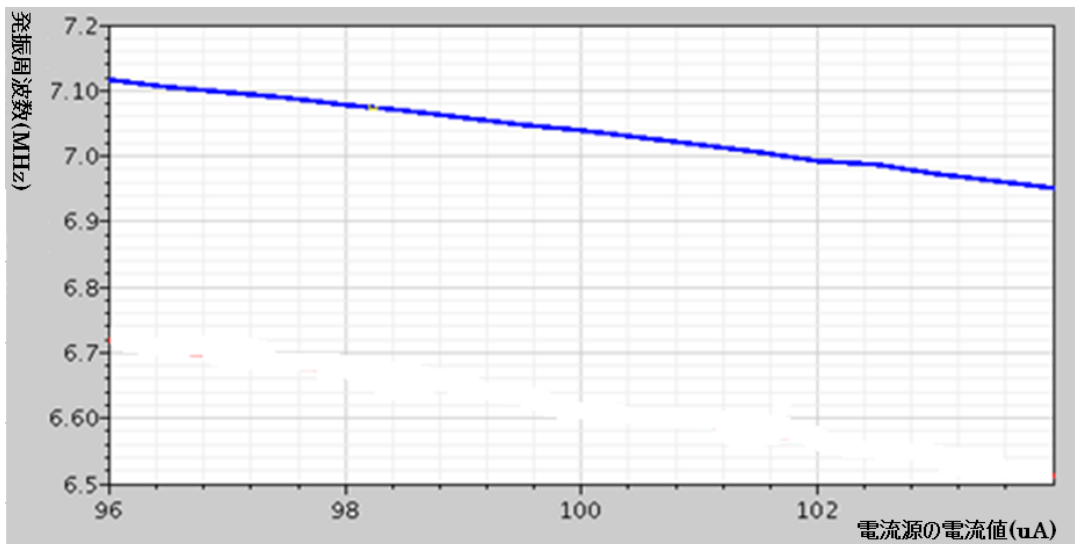


図 6.10 ゲイン 5 の発振周波数の変化

6.2.6 CPU とメモリの働き

電流源 8 素子から 4 素子に合成すること(DAC が 2 ビットの場合)を考える。(図 6.11) CPU で各電流源の大きさの順番をしり調べ、これを組合せ、並び替える。図 6.6 に示すメモリへのデータ書き込みの手順を図 6.12 で示す。このようにメモリにステップ 1 を書き込む。(ステップ 1 ではステップ 2 の合成後を 1 素子として扱い各々を測定するための用意段階である。図 6.12 の上は I1 と I3, I5 と I8, I2 と I7, I4 と I6 が組み合わせられることを示す。)。組み合わせで再度測定し、再び CPU でメモリをステップ 2 のように書き換える。(ステップ 2 では、合成後の 1 素子を並べ替え、INL が小さくなるような順番で並べ替え、使用できるようにする。図 6.12 の下では DAC 入力がゼロのときは電流源が選択されない、1 のときは I2, I7 が、2 のときは I2, I5, I7, I8 が、3 のときは I1, I2, I3, I5, I7, I8 が、4 のときは I1-I8 の全てが選択されることを示す。) メモリは第 5 章 2 節で述べたような書き換え可能な SRAM (または製造出荷時にこの校正を行う場合は Flash Memory)を使用する。

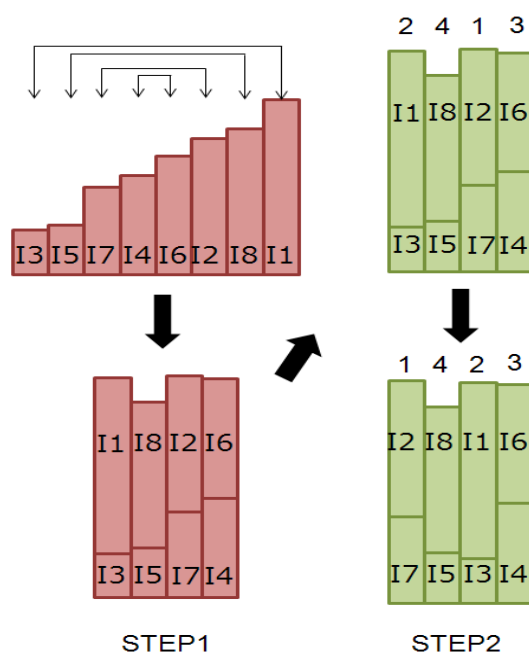


図 6.11 CPU のメモリへの書き込み情報と手順

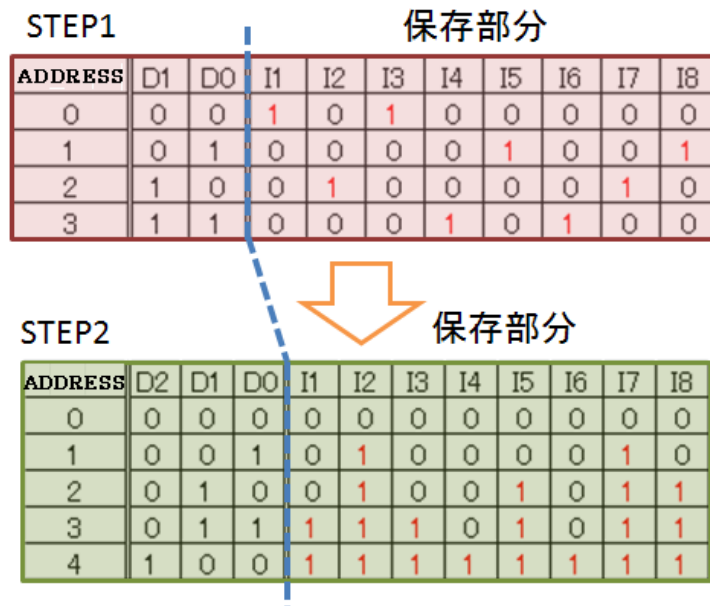


図 6.12 メモリへのデータ書き込み

第7章 まとめ

第1章では、研究背景と目的を述べた。年々LSIにおける素子数が増大し、テストコストの高騰が顕著になっている。ここで、時間-デジタル変換器(TDC)に焦点をあて、回路面積が小さく、高精度な $\Delta\Sigma$ 型をピックアップした。

第2章では、 $\Delta\Sigma$ TDCの構成について述べた。ディレイライン、位相比較器、積分器、比較器またはフラッシュADCで構成される $\Delta\Sigma$ TDCは測定時間に比例して分解能が細くなる優れたものである。これを更に拡張したマルチビットの $\Delta\Sigma$ TDCはより、高速化することができる。

第3章では、 $\Delta\Sigma$ TDCに用いられる回路構成を部分別に説明し、 $\Delta\Sigma$ TDCの仕組みを記述した。またそれぞれの回路が動作しているか、SPICEシミュレーションで確認した。

第4章では、1ビット、マルチビットのシミュレーションを行い全体の回路動作を確認した。1ビットでは、遅延素子の遅延値を τ とすると、測定範囲は $\pm\tau$ となり出力は入力の上立ち上がりエッジの差に比例することを示した。測定範囲外の上立ち上がりエッジの差を入れた場合は、出力が全てHighかLowになる。nビットのシミュレーションでは、出力が複数あるため、これらの合計が出力である。また、1ビットの条件と比較すると、同条件で分解能は $(2^n - 1)$ 倍微細化することができ、または $(2^n - 1)$ 倍測定時間を短くすることができ、または7倍測定範囲を広くすることができる。

第5章ではマルチビット $\Delta\Sigma$ TDCに対する校正技術の検討を行った。これは、マルチビットが故、複数の遅延素子を用いる為、遅延素子の遅延値のばらつきがあると、出力は非線形になり、精度良い結果が出力されなくなる欠点がある。この欠点を克服する方法が外付け回路であるData Weighted Averaging (DWA)と並び替えアルゴリズムである。DWAはデータ平均加重法であり、マルチビット $\Delta\Sigma$ TDCは構成上同じ経路ばかり選択されてしまう。これをリレーのように、選択される回路を分担させ各遅延素子が均等に選択されるようにするのがDWAである。これは、1次のノイズシェープを掛けたものと同等になり、雑音が高周波に移動するのと同じで、線形性が向上するものである。並び替えアルゴリズムは、通常時の2倍の遅延素子を用い、各々のばらつきが打ち消し合うように組み合わせる。その後、線形性が向上するような組合せで並び替え、このデータをメモリに保存し、メモリの内容をフィードバックして使用する。遅延素子の測り方として、リング発振器構成が挙げられる。経路を次々に切り替え、各遅延素子を通した場合の周波数をカウンタで

計測し、デジタル回路で計算、メモリに保存する。この手法は、DWA より校正手法が高いのが特徴であるが、回路規模には課題がある。

第 6 章では、電流 DAC に対して、VCO による電流源測定、電流源合成、並び替えによる線形性向上手法を適用し、数値計算による効果の確認、回路の検討を行った。提案手法は高精度アナログ回路不要なデジタル手法であり微細化に適した技術である。また今後、余剰分の電流源を増やした場合の効果を検討し、増幅器と VCO のより適切な回路構成を考えていく。

最後に、提案した手法により簡易で高速・高精度なテストが可能となり、テスト容易化設計(Design for testability; DFT)や組込み自己テスト(Built-in self-test; BIST)、外付け自己テスト(Built-out self-test; BOST)のクロックタイミング測定及びテストとして使えることが期待できる。さらに $\Delta \Sigma$ TDC はクロックの位相雑音試験のために使用できる。位相雑音の周波数特性は $\Sigma \Delta$ TDC 出力を FFT することにより得ることができ、提案手法が適用可能である。

謝辞

本研究を遂行するにあたって、御指導、御鞭撻を頂きました小林春夫教授に心より感謝申し上げます。また論文審査をして頂きました高井伸和准教授、伊藤直史准教授およびご指示、ご討論頂きました松浦達治氏と小林修氏はじめとする STARC 関係者の方々に心より感謝申し上げます。最後に、本研究に対して沢山の有益な機会を与えて下さった新津葵一助教、技官の石川信宜様、そして小林研究室および高井研究室の皆様にご心より感謝申し上げます。

参考文献

- [1] R. J. van de Plassche, CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers (2010).
- [2] Y. Arakawa, Y. Oosawa, H. Kobayashi, O. Kobayashi, “Linearity Improvement Technique of Multi-bit Sigma-Delta TDC for Timing Measurement”, IEEE 3rd International Workshop on Test and Validation of High-Speed Analog Circuits, Anaheim, CA (Sept. 2013).
- [3] S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, F. Abe, D. Hirabayashi, “Multi-bit Sigma-Delta TDC Architecture for Digital Signal Timing Measurement”, IEEE International Mixed-Signals, Sensors, and Systems Test Workshop, Taipei, Taiwan (May 2012).
- [4] S. Uemori, M. Ishii, H. Kobayashi, Y. Doi, O. Kobayashi, T. Matsuura, K. Niitsu, Y. Arakawa, D. Hirabayashi, Y. Yano, T. Gake, N. Takai, T. J. Yamaguchi, “Multi-bit Sigma-Delta TDC Architecture with Self-Calibration”, IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2012).
- [5] T. Chen, G. Gielen, “A 14-bit 200-MHz Current-Steering DAC with Switching-Sequence Post-Adjustment Calibration”, IEEE Journal of Solid-State Circuits, vol. 42, no. 11, pp. 2386-2394 (Nov. 2007).
- [6] R. Schreier, G. Temes, Understanding Delta-Sigma Data Converters, IEEE Press (2005).
- [7] S. Ito, S. Nishimura, H. Kobayashi, S. Uemori, Y. Tan, N. Takai, T. J. Yamaguchi, K. Niitsu, “Stochastic TDC Architecture with Self-Calibration”, IEEE Asia Pacific Conference on Circuits and Systems, Kuala Lumpur, Malaysia (Dec. 2010).
- [8] D.-W. Jee, Y.-H. Seo, H.-J. Park, J.-Y. Sim, “A 2 GHz Fractional-N Digital PLL with 1b Noise Shaping $\Delta\Sigma$ TDC”, IEEE VLSI Circuit Symposium, Kyoto (June 2011).
- [9] B. Young, K. Sunwoo, A. Elshazly, P. K. Hanumolu, “A 2.4ps Resolution 2.1mW Second-Order Noise-Shaped Time-to-Digital Converter with 3.2ns Range in 1MHz Bandwidth”, IEEE Custom Integrated Circuits, San Jose (Sept. 2010).
- [10] D. Hirabayashi, Y. Osawa, N. Harigai, H. Kobayashi, O. Kobayashi, K. Niitsu, T. Yamaguchi, N. Takai, “Phase Noise Measurement with Sigma-Delta TDC”, IEEE International Test Conference, Poster Session, Poster No. 3, Anaheim, CA (Sept. 2013).
- [11] F. Maloberti, Data Converters, Springer (2007).

本研究に関する業績

● 学会発表

- [1] 宮崎 雄太, 大澤 優介, 小林 春夫, 小林 修, 「 $\Delta \Sigma$ 型時間測定回路の線形性向上技術」, 第 4 回電気学会東京支部栃木・群馬支所合同研究発表会, ETG-14-81, 群馬大学工学部 (2014 年 3 月 3 日-4 日)
- [2] Yuta Arakawa, Yusuke Oosawa, Haruo Kobayashi, Osamu Kobayashi, “Multi-bit Delta-Sigma TDC for Timing Measurement”, 5th International Conference on Advanced Micro-Device Engineering (AMDE2013), P81, Kiryu, Japan (Dec. 19, 2013)
- [3] 荒川 雄太, 「デジタル信号タイミング測定のためのマルチビット・デルタシグマ TDC 回路」, 第 55 回システム LSI 合同ゼミ, 中央大学 (2013 年 10 月 26 日)
- [4] Yuta Arakawa, Yusuke Oosawa, Haruo Kobayashi, Osamu Kobayashi, “Linearity Improvement Technique of Multi-bit Sigma-Delta TDC for Timing Measurement”, IEEE 3rd International Workshop on Test and Validation of High-Speed Analog Circuits, Anaheim, CA (Sept. 12-13, 2013). Preliminary Program
- [5] 荒川 雄太, 小林 春夫, 松浦 達治, 元澤 篤史, 小林 修, 新津葵一, 「DA 変換器の VCO を用いた自己校正技術の検討」, 第 3 回電気学会東京支部栃木・群馬支所合同研究発表会, ETG-12-7, 宇都宮大学工学部 (2013 年 2 月 28 日, 3 月 1 日)
- [6] 河内 智, 平林 大樹, 荒川 雄太, 石井 正道, 上森 聡史, 佐藤 幸志, 小林 春夫, 志水 勲, 高井 伸和, 新津 葵一, 「デジタル信号タイミング試験用 BOST のアナログ FPGA 実現の検討」, 第 68 回 FTC 研究会, 秋田 (2013 年 1 月 10 日-12 日)
- [7] Satoshi Uemori, Masamichi Ishii, Haruo Kobayashi, Yuta Doi, Osamu Kobayashi, Tatsuji Matsuura, Kiichi Niitsu, Yuta Arakawa, Daiki Hirabayashi, Yuji Yano, Tatsuhiko Gake, Nobukazu Takai, Takahiro J. Yamaguchi, “Multi-bit Sigma-Delta TDC Architecture with Self-Calibration”, IEEE Asia Pacific Conference on Circuits and Systems, Kaohsiung, Taiwan (Dec. 2-5, 2012).
- [8] 平林 大樹, 荒川 雄太, 河内 智, 石井 正道, 上森 聡史, 佐藤 幸志, 小林 春夫, 新津 葵一, 高井 伸和 「デジタル信号タイミング試験用 BOST の検討」, 電気学会 電子回路研究会, ECT-12-069, 熊本 (2012 年 10 月 4 日)
- [9] 荒川 雄太, 新津 葵一, 小林 春夫, 「低電源電圧信号発生回路 - 時間領域アナログ回路 -」, 第 2 回電気学会東京支部栃木・群馬支所合同研究発表会, ETG-11-19, 桐生市民文化会館 (2012 年 2 月 29 日, 3 月 1 日)
- [10] 浅見幸司, 立岩 武徳, 黒沢 烈士, 易 茹, 荒川 雄太, 小林 春夫, 「線形位相遅延デジタルフィルタの実装の検討」, 第 13 回 DSPTS 教育者会議 ポスターセッション, 東京都市

大学 (2011年9月2日)

● 学術論文

[1] Satoshi Uemori, Masamichi Ishii, Haruo Kobayashi, Daiki Hirabayashi, Yuta Arakawa, Yuta Doi, Osamu Kobayashi, Tatsuji Matsuura, Kiichi Niitsu, Yuji Yano, Tatsuhiko Gake, Takahiro J. Yamaguchi, Nobukazu Takai, “Multi-bit Sigma-Delta TDC Architecture with Improved Linearity,” *Journal of Electronic Testing: Theory and Applications*, Springer, Published online (04 Oct. 2013). Volume 29, Issue 6, pp.879-892 (Dec. 2013)