

UNIVERSITAT POLITÈCNICA DE CATALUNYA

Programa de Doctorat:

TEORIA DEL SENYAL I COMUNICACIONS

Tesis doctoral

**APLICACIONES AVANZADAS DEL PRINCIPIO
SUPERREGENERATIVO A COMUNICACIONES POR
RADIOFRECUENCIA**

Alexis López Riera

Dirección:

Pere Palà Schönwälder
Jordi Bonet Dalmau

Mayo de 2017

Resumen

Actualmente existe una demanda creciente de dispositivos inalámbricos que requieren el uso de *front-ends* de radiofrecuencia de bajo coste y consumo de potencia reducido, requisitos en los que el receptor superregenerativo (SR) destaca de forma especial. En esta tesis, se presentan distintas aplicaciones novedosas del receptor SR con métodos e implementaciones simples en consonancia con sus principales prestaciones.

El principio de recepción superregenerativo fue presentado en el año 1922, siendo utilizado en sus inicios para modulaciones analógicas de amplitud como, por ejemplo, comunicaciones de voz. El mismo principio fue extendido posteriormente a modulaciones de amplitud digitales en aplicaciones que requerían la transmisión de datos. Por otro lado, también se ha utilizado en la recepción de modulaciones de frecuencia, mediante un mecanismo de conversión de modulación de frecuencia a modulación de amplitud. Sin embargo, debido a las características intrínsecas del receptor, este solo resulta adecuado para modulaciones de banda ancha.

En los últimos años, han surgido algunas propuestas de receptor SR para modulaciones de fase. Se ha demostrado que, con este tipo de modulaciones, la arquitectura resultante puede ser incluso más simple que las tradicionales para la detección de modulaciones de amplitud.

Esta tesis avanza precisamente en esta línea y tiene como objetivo descubrir nuevas posibilidades de utilización del receptor SR en la detección de modulaciones angulares, poco explotadas hasta el momento en combinación con este tipo de receptor. Con este objetivo, se diseñan e implementan diversos prototipos para modulaciones de fase PSK, por un lado, y para modulaciones de frecuencia FSK de banda estrecha, por otro.

Más concretamente, se describe un transceptor SR QPSK y un transceptor SR M-PSK. Estos transceptores se basan en una técnica de detección de fase digital de gran simplicidad. Se han realizado implementaciones en la banda de HF operando a una frecuencia de símbolo de 10 kHz, con el fin de demostrar la viabilidad del concepto propuesto. Con respecto a las modulaciones de frecuencia, se presenta un método de detección con receptor SR para el caso de banda estrecha. Este método se basa en observar la fase instantánea una vez por símbolo, consiguiendo detectar la frecuencia recibida a través del valor de

la fase detectada. En este caso, se presentan dos implementaciones: un receptor SR para la modulación FSK de Sunde y un receptor SR para la modulación MSK.

Utilizando el receptor SR para la modulación MSK diseñado como punto de partida, se implementa un transceptor SR MSK compatible con el estándar 802.15.4. Este estándar define la capa física y la capa de control de acceso al medio (MAC) para redes inalámbricas de área personal de baja velocidad, ámbito en el cual el receptor SR encaja a la perfección.

Finalmente, se describe un método de sincronización para receptores SR MSK a nivel de símbolo, de chip y de trama. Este método se presenta de forma genérica, pudiéndose sincronizar con cualquier preámbulo que cumpla unas características determinadas. En particular, se describe una implementación que tiene como objetivo sincronizar tramas del estándar IEEE 802.15.4.

Se ha priorizado la simplicidad en todos los diseños e implementaciones presentados con el objetivo de potenciar el ya de por sí bajo coste y reducido consumo de potencia característicos del receptor SR. Asimismo, se demuestra que este tipo de receptor es especialmente eficiente en la detección de modulaciones de fase y de modulaciones de frecuencia de banda estrecha.

Abstract

There exists today an increasing demand for wireless devices which require low cost and minimum power consumption radiofrequency front-ends. Precisely, these are two remarkable characteristics of the superregenerative receiver (SR). In this thesis, we present some novel applications of the SR receiver which make use of both simple methods and simple implementations that fit perfectly with its main features.

The superregenerative reception principle was presented for the first time in 1922, and it was initially used with analog amplitude modulations, such as voice communications. The same principle was spread to digital amplitude modulations in applications where data transmission was required. Moreover, it has also been used in frequency modulation reception through an FM-to-AM conversion mechanism, but due to the inherent characteristics of the receiver, it is only suitable with wide band modulations.

In the latest few years, some SR receiver proposals for phase modulation detection have emerged. It has been demonstrated that, with this type of modulation, the resulting architecture might be even simpler than the traditional ones devoted to detect amplitude modulations.

This thesis advances in this line and its main goal is to discover new possibilities of the SR receiver in angular modulation detection, which have been little exploited so far. With this aim, a variety of prototypes were designed and implemented for PSK modulations on the one hand and, on the other hand, for narrow band FSK modulations.

More specifically, the thesis describes a SR QPSK transceiver and a SR M-PSK transceiver. These transceivers make use of a digital phase detection technique that is very simple. In order to confirm the viability of the proposed idea, some implementations in the HF band operating at a symbol rate of 10 kHz were developed. Regarding frequency modulations, we present a SR receiver detection method suitable for the narrowband case. This method is based on the observation of the instantaneous phase once per symbol, so that we are able to detect the received frequency through the value of the detected phase. For this case two implementations are presented: a SR receiver for Sunde's FSK modulation, and a SR receiver for MSK modulation.

By using the designed SR receiver for the MSK modulations as a starting point, a SR MSK transceiver compatible with the IEEE 802.15.4 standard is implemented. This standard defines the physical layer and the medium access control (MAC) layer used for low speed wireless personal area network, a field in which the SR receiver fits perfectly.

Finally, we describe a synchronization method for SR MSK receivers at the symbol, chip and frame levels. This method is presented in a general way and it is able to synchronize through any preamble satisfying some specific requirements. In particular, we describe an implementation that aims to synchronize IEEE 802.15.4 standard frames.

Simplicity has been prioritized in all the presented designs and implementations in order to potentiate the characteristic low cost and low power consumption features of the SR receiver. Likewise, we prove that this kind of receiver is especially efficient in the detection of phase and narrowband frequency modulations.

Agradecimientos

Quisiera expresar mi agradecimiento a los directores de esta tesis y a otros miembros de la Escola Politècnica Superior d'Enginyeria de Manresa por la gran ayuda que me han proporcionada durante este largo proceso.

En particular, deseo agradecer la dedicación de Pere Palà y Jordi Bonet, ya que sin ellos no hubiera sido posible la realización de esta tesis. Por otra parte, quiero agradecer la ayuda técnica recibida por parte de Paco del Àguila y Xavi Moncunill, ya que gran parte del proyecto ha dependido de sus conocimientos y además de su ayuda en la elaboración de algunos capítulos.

También quiero dejar constancia del apoyo y ayuda incondicional que he recibido por parte de otros miembros del centro como Albert Babí, Rosa Giralt, Joan Martínez, Aleix Llusà, Manel Blanes, Marta Tarrés y por el resto de miembros de la sección TIC.

Finalmente, agradezco a mi familia su gran soporte personal, ya que sin ellos no existiría esta tesis ni el resto de la carrera académica universitaria.

Índice general

1. Introducción	1
1.1. Introducción al receptor superregenerativo	1
1.2. Marco de trabajo de la tesis	5
1.3. Contribuciones de la tesis	5
1.4. Estructura del documento	6
2. Estado del arte y objetivos	9
2.1. Comunicaciones inalámbricas	9
2.2. Caracterización del SRO	10
2.2.1. Respuesta a un pulso de RF	11
2.2.2. Respuesta a un tren de pulsos de RF	13
2.3. El receptor superregenerativo en las comunicaciones inalámbricas	14
2.3.1. SRO para modulaciones de amplitud	14
2.3.2. Realizaciones integradas	15
2.3.3. <i>Switched injection-locked oscillator</i>	16
2.3.4. SRO para modulaciones de fase	16
2.3.5. SRO para modulaciones de frecuencia	19
2.3.6. Conclusiones	20
2.4. Objetivos de la tesis	21
3. Estudio general de la respuesta del SRO en presencia de ruido	25
3.1. Introducción	25
3.2. Respuesta general del SRO en presencia de ruido	25
3.2.1. Estadística de las componentes de ruido en fase y cuadratura	28
3.2.2. Pulso de salida en modo lineal	29
3.2.3. Pulso de salida en modo logarítmico	30
3.2.4. Fase de salida	30
3.3. Relación señal a ruido a la salida del SRO	31
3.4. Conclusiones	32
4. Diseño e implementación de un transceptor SR QPSK	35
4.1. Introducción	35
4.2. Transmisor QPSK	35
4.3. Receptor SR QPSK	37
4.4. Señal de <i>quench</i>	43
4.5. Sincronización	44

4.6.	Resultados experimentales	47
4.7.	Algoritmo de correlación para el cálculo de fases	50
4.8.	Codificación Gray	52
4.9.	Conclusiones	55
5.	Diseño e implementación de un transceptor SR M-PSK	57
5.1.	Introducción	57
5.2.	Transceptor M-PSK	57
5.3.	Frecuencia del reloj de referencia	61
5.4.	Resultados experimentales	65
5.5.	Conclusiones	66
6.	Receptor SR para modulaciones de frecuencia	67
6.1.	Introducción	67
6.2.	Principio de funcionamiento	68
6.3.	Selección de parámetros FSK	71
6.3.1.	FSK de <i>Sunde</i>	71
6.3.2.	MSK	73
6.4.	Sincronización de símbolo	75
6.4.1.	FSK de <i>Sunde</i>	76
6.4.2.	MSK	77
6.5.	Implementación	78
6.6.	Discusión	82
6.6.1.	Efecto del jitter	82
6.6.2.	<i>Quench</i> asíncrono	82
6.6.3.	Decisión de Bit	83
6.7.	Conclusiones	83
7.	Diseño e implementación de un transceptor SR para IEEE 802.15.4	85
7.1.	Introducción	85
7.2.	Estándar IEEE 802.15.4	86
7.2.1.	Especificaciones de la capa MAC	87
7.2.2.	Especificaciones de la capa física	88
7.3.	Implementación de la capa MAC	91
7.3.1.	Modo de operación básico	92
7.3.2.	Modo de operación extendido	95
7.3.3.	Modificaciones de la capa MAC	97
7.4.	Implementación de la capa física	98
7.4.1.	Mapeado de símbolo a chip	98
7.4.2.	Modulador MSK	100
7.4.3.	Receptor SR MSK	102
7.4.4.	Mapeado de chips a símbolo	103
7.5.	<i>Test Setup</i> a 26.25 MHz	104
7.5.1.	<i>Clock domain crossing</i>	107

7.5.2.	Modo de operación básico	108
7.5.3.	Modo de operación extendido	109
7.5.4.	Transceptor SR IEEE 802.15.4 con Contiki	110
7.6.	Conclusiones	110
8.	Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK	113
8.1.	Introducción	113
8.2.	Metodología	115
8.2.1.	Sincronización de la portadora	117
8.3.	Sincronización simultánea	117
8.3.1.	Sincronización de Símbolo y Chip	118
8.3.2.	Posibles Ambigüedades	119
8.4.	Ejemplo de implementación: IEEE 802.15.4	120
8.4.1.	Cálculo de K	121
8.4.2.	Cálculo de δ	124
8.4.3.	Sincronización de la portadora	127
8.4.4.	Detección del SFD	129
8.5.	Implementación en una FPGA	129
8.5.1.	Filtro	129
8.5.2.	Umbral y estimación de δ	130
8.5.3.	Receptor de datos	131
8.5.4.	Recursos en función de la velocidad de datos	132
8.6.	<i>Test setup</i> experimental y resultados	132
8.7.	Conclusiones	135
9.	Conclusiones y líneas futuras	137
9.1.	Conclusiones	137
9.2.	Líneas futuras	139
9.2.1.	Transceptor SR MSK IEEE 802.15.4	139
9.2.2.	Sincronización simultánea de símbolo y de chip para MSK	140
9.2.3.	Chips con tecnología CMOS a frecuencias estándar	140
9.2.4.	Receptor SR para OFDM	141
A.	Transmisor M-PSK con transiciones suaves de fase	143
	Bibliografía	151
	Índices	159
	Índice de figuras	159
	Índice de tablas	164

1. Introducción

Esta tesis doctoral se sitúa en el ámbito de las comunicaciones vía radiofrecuencia (RF), en el que se constata una creciente demanda de enlaces de bajo coste y bajo consumo. Son algunos ejemplos el concepto de *internet de las cosas*, las redes de sensores inalámbricas, las *smart cities* o las redes de área personal. En estos casos, se dan escenarios en los que la energía disponible está muy limitada y, simultáneamente, se desea conectividad con un elevado número de dispositivos. Así, un objetivo de especial interés es la reducción de la complejidad de la electrónica de los subsistemas de comunicaciones, ya que es una forma directa de reducir tanto el coste como el consumo.

1.1. Introducción al receptor superregenerativo

En esta investigación se trabaja con receptores superregenerativos (SR) [1] los cuales, con una arquitectura intrínsecamente simple, son una alternativa viable a tener en cuenta en distintas aplicaciones. Este tipo de receptor se inventó hace mucho tiempo (las primeras descripciones se remontan a la década de 1920) siendo una realización muy ingeniosa que resolvía los problemas de sensibilidad y selectividad de los primeros receptores. No obstante, su uso posterior fue muy limitado, siendo relegado a enlaces poco exigentes y de bajo coste ya que para otras aplicaciones otros receptores, especialmente el receptor superheterodino, exhibían mejores prestaciones.

Por otro lado, en la actualidad existe una gran cantidad de aplicaciones que demandan conectividad por radiofrecuencia con un bajo consumo y un bajo coste. En este contexto, con estas exigencias, el receptor superregenerativo ha recobrado interés. Como reflejo de ello, han aumentado las aportaciones en la literatura sobre el principio superregenerativo. En la Figura 1.1 se pueden ver los resultados de la búsqueda en IEEE Xplore de los términos *superregenerative*, *super-regenerative* y *SILLO and oscillator (Synchronous Injection-Locked Oscillator)* que, como se verá posteriormente, se refieren al mismo principio. Se observa que, siendo un campo con una actividad modesta, su interés ha ido renovándose en los últimos tiempos.

Una vez situado el contexto y visto su interés, procede pasar a describir el funcionamiento básico del receptor superregenerativo. Resumiendo en una única

1. Introducción

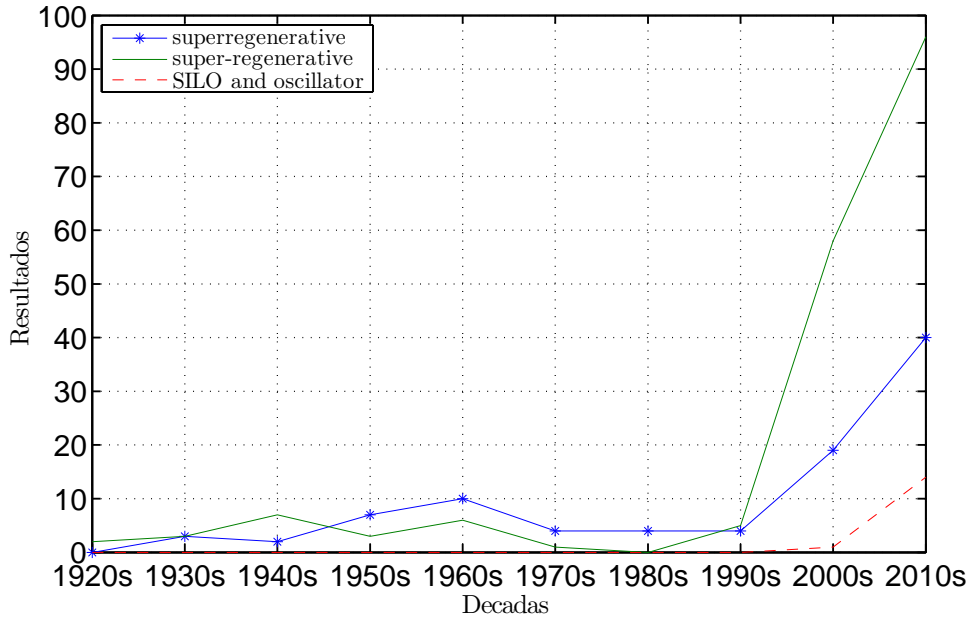


Figura 1.1.: Resultados de la búsqueda en IEEE Xplore de distintos términos referentes al receptor superregenerativo.

frase, la esencia de este tipo de receptores es el aprovechamiento de la respuesta libre de un circuito inestable. Tradicionalmente, los circuitos inestables se han considerado poco útiles como procesadores de señal por el hecho de que la respuesta libre exponencialmente creciente termina enmascarando la respuesta forzada (correspondiente a la entrada) y saturando los dispositivos activos. Aun así, la forma de onda exponencialmente creciente sigue teniendo información de la señal de entrada. Este principio es el que constituye la idea clave del receptor SR y las variantes desarrolladas a partir de él.

Para hacerse una idea de cómo un sistema inestable puede reproducir la información de la señal de entrada de una forma eficaz podemos ver un símil en un campo totalmente distinto. Imaginemos un péndulo invertido, que está formado por una varilla que se mantiene en el punto de equilibrio superior. Un desplazamiento inicial muy pequeño hace desviar sensiblemente la varilla desde la línea vertical, llegando eventualmente a la horizontal (su *saturación*). Sin llegar a este extremo, si el sistema es observado después de un período fijo de tiempo, la posición angular de la varilla permitiría deducir el ángulo en que la varilla ha sido liberada en el momento inicial: la posición actual es proporcional (ignorando alinealidades) a la posición inicial, convenientemente amplificadas por la inestabilidad del sistema. Un sistema como el descrito exhibe una dinámica de primer orden y ha sido la base para desarrollar amplificadores lineales paso bajo [2].

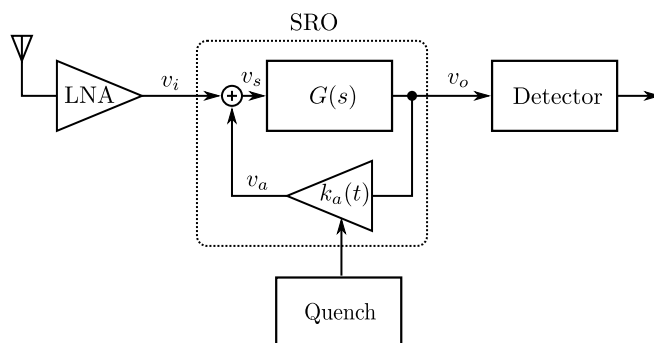


Figura 1.2.: Diagrama de bloques de un receptor SR

Un receptor superregenerativo se basa en el mismo principio pero con una dinámica de segundo orden, esto es, oscilatoria. Esta dinámica se traduce en un comportamiento paso banda.

La figura 1.2 describe un diagrama de bloques que representa un receptor SR convencional y la figura 1.3 muestra su funcionamiento con las principales señales que intervienen. El núcleo del receptor es el oscilador superregenerativo (SRO), ya que el amplificador de bajo ruido (LNA) no tiene relevancia desde el punto de vista de procesamiento de la señal y el detector utilizado es distinto en función de la modulación con la que se trabaja.

En términos generales el SRO es un sistema que utiliza un circuito selectivo en frecuencia, típicamente un filtro paso banda de segundo orden, retroalimentado mediante un amplificador de ganancia variable con el tiempo, $k_a(t)$, controlado por una señal externa, llamada señal periódica de extinción o, en inglés, *quench*. Esta señal provoca que el sistema alterne periódicamente intervalos de estabilidad y de inestabilidad.

En respuesta a la señal de *quench*, el SRO genera un tren de pulsos de RF. Ciertos parámetros de estos pulsos dependen de la amplitud, la fase y la frecuencia de la señal RF de entrada externa en una ventana de sensibilidad que está centrada en los alrededores del instante donde el sistema cambia de estable a inestable [3, 4]. Cabe destacar que la forma específica de la señal de *quench* tiene una influencia notable en la respuesta observada [5] y también controla el fenómeno de *hangover*. El *hangover* ocurre cuando un pulso de salida del SRO no se extingue completamente y afecta al siguiente pulso. Esto se traduce en una forma de interferencia intersimbólica que se manifiesta, por ejemplo, en la aparición de pulsos correlados cuando a la entrada únicamente hay ruido.

Si la señal de *quench* estabiliza e inestabiliza periódicamente el circuito, el tren de pulsos obtenido tendrá información de la señal de entrada en distintos instantes de tiempo. De este modo, se puede ver el receptor SR como un sistema que presenta unos instantes de sensibilidad donde se muestrea y posteriormente se amplifica la señal de entrada. Estas funciones pueden ser realizadas por un

1. Introducción

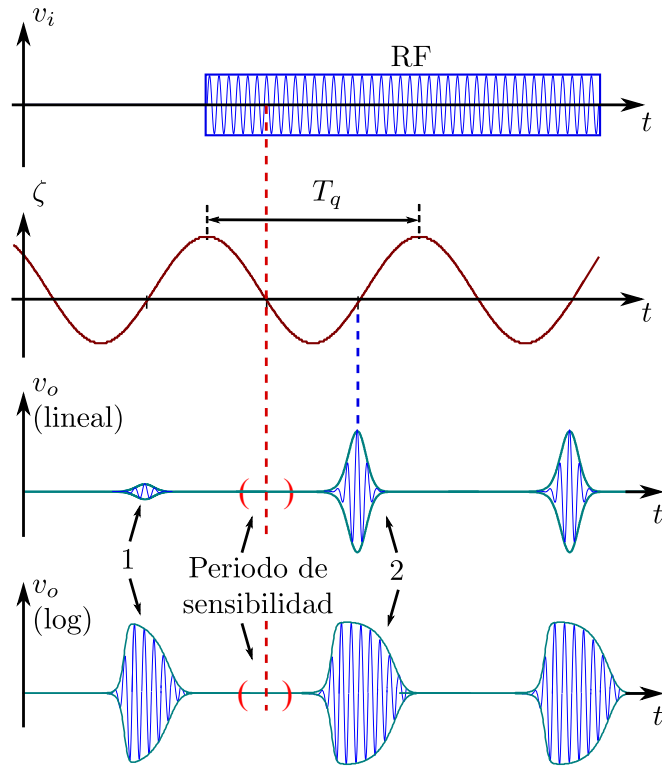


Figura 1.3.: Diagrama temporal del comportamiento del receptor SR. La tensión de entrada es una señal RF, el factor de amortiguamiento está estrechamente relacionado con la señal de *quench* y la tensión de salida son los pulsos creados por el SRO (para los dos modos de operación: lineal y logarítmico). El primer pulso (marcado con el número 1) crece a partir del ruido y el segundo (2) y tercero crecen a partir de la señal RF de la entrada.

único elemento activo, con el cual se puede llegar a conseguir amplificaciones superiores a 100 dB [5]. El SRO puede operar en dos modos de operación, el lineal y el logarítmico. En la Figura 1.3 se pueden ver ambos. En modo lineal, los pulsos generados por el SRO se extinguen antes de que se manifiesten las no linealidades del amplificador, siendo el pico máximo de amplitud proporcional a la amplitud de la señal de entrada v_i . En el modo logarítmico, a causa de un nivel de señal de entrada suficientemente elevado o por un factor de ganancia del oscilador alto (o por ambos), la amplitud de las oscilaciones alcanza una amplitud de saturación determinada por la no linealidad del amplificador. El pico máximo de amplitud, en este caso, se mantiene constante, pero el área dentro de la envolvente es proporcional al logaritmo de la amplitud de v_i .

En nuestra investigación, se han estudiado e implementado receptores para enlaces inalámbricos de RF basados en el principio SR. El objetivo es que la arquitectura de estos receptores sea más simple que la de los receptores convencionales que hay actualmente en el mercado. La simplicidad asociada a este tipo de receptor conduce a realizaciones de bajo coste y bajo consumo.

1.2. Marco de trabajo de la tesis

Para la realización de esta tesis ha estado concedida la beca FI-DGR 2014 de la Generalitat de Catalunya que se ha desarrollado dentro del proyecto “Nuevas aplicaciones del principio superregenerativo a comunicaciones por radiofrecuencia” y posteriormente dentro del proyecto “Avances en comunicaciones inalámbricas de muy bajo consumo y su aplicación a la monitorización continua de la marcha humana”, con el soporte del Ministerio de Economía y Competitividad (TEC2012-35571 y TEC2015-65748-R, respectivamente).

La investigación se ha desarrollado en el seno del grupo de investigación consolidado CIRCUIT (2014 SGR 00677) y en la sección TIC del Departamento de Ingeniería Minera, Industrial y TIC (EMIT) de la Universidad Politécnica de Cataluña (UPC) bajo la dirección de los doctores:

- Pere Palà Schönwälder.
- Jordi Bonet Dalmau.

1.3. Contribuciones de la tesis

Durante el transcurso de esta investigación se han publicado distintas partes de la tesis en congresos y revistas. El resultado final ha sido de dos publicaciones en revistas, dos publicaciones en congresos, la publicación de una patente nacional y la solicitud de otra patente nacional:

- **Superregenerative reception of narrowband FSK modulations.**
Revista: IEEE transactions on circuits and systems I: regular papers, vol. 62, núm. 3, págs. 791-798. ISSN: 1549-8328. Año: 2015.
DOI: 10.1109/TCSI.2014.2382192
URL del texto: <http://hdl.handle.net/2117/27802>
- **Joint Symbol and Chip Synchronization for a Burst-Mode-Communication Superregenerative MSK Receiver.**
Revista: IEEE transactions on circuits and systems I: regular papers, vol. 64, núm. 5, págs. 1260-1269. ISSN: 1549-8328. Año: 2017.
DOI: 10.1109/TCSI.2016.2636022
URL del texto: <http://hdl.handle.net/2117/104237>
- **A proof-of-concept superregenerative QPSK transceiver.**
Tipo de documento: Article-Conference Paper.
Páginas (inicial-final): 167-170. ISBN: 978-1-4799-4243-5.
Publicación: 21st IEEE International Conference on Electronics Circuits and Systems (ICECS). 2014. Localidad: Marsella, Francia.

1. Introducción

DOI: 10.1109/ICECS.2014.7049948

URL del texto: <http://hdl.handle.net/2117/26599>

- **Design and performance comparison of a superregenerative MPSK transceiver.**

Tipo de documento: Article-Conference Paper.

Páginas (inicial-final): 169-172. ISBN: 978-1-5090-0246-7.

Publicación: 22nd IEEE International Conference on Electronics Circuits and Systems (ICECS). 2015. Localidad: El Cairo, Egipto.

DOI: 10.1109/ICECS.2015.7440276

URL del texto: <http://hdl.handle.net/2117/81819>

- **Patente: Procedimiento y circuito para la desmodulación de señales moduladas en frecuencia.**

Titulares: Palà-Schönwälder, P.; Bonet-Dalmau, J.; López-Riera, A..

Número de solicitud: 201430949.

Tipo propiedad industrial: Patente de invención.

Número de publicación: 2 554 992.

Data registro: 23/06/2014. País de registro: España. Ámbito: Estatal.

Entidad titular: Universitat Politècnica de Catalunya.

- **Patente: Procedimiento y circuito para la recepción de paquetes de datos según el estándar IEEE 802.15.4 (MSK).**

Titulares: López-Riera, A.; del Águila-López, F.; Giralt-Mas, R..

Número de solicitud: P201631658.

Tipo propiedad industrial: Patente de invención.

Data registro: 22/12/2016. País de registro: España. Ámbito: Estatal.

Entidad titular: Universitat Politècnica de Catalunya.

1.4. Estructura del documento

El documento se divide en 9 capítulos. El Capítulo actual presenta cualitativamente el receptor superregenerativo, proporcionando una idea general de su principio de funcionamiento. También sitúa el contexto de la tesis, especifica la lista de las contribuciones relevantes y se presenta la estructura del documento.

- **Capítulo 2:** En este capítulo se describe el estado del arte y se muestra el principio de operación del superregenerativo, caracterizándolo con su respuesta frente a un pulso de RF. Después, se muestran las distintas vías de investigación que se han abierto desde la invención de este receptor. En los últimos años se ha disparado el número de publicaciones sobre el principio superregenerativo y en concreto, para modulaciones de fase. En base a este estudio, se detallan los objetivos a alcanzar con esta tesis.

- Capítulo 3: El estudio de la respuesta del SRO a una señal de RF en presencia de ruido se trata en este capítulo. Se proporcionan las expresiones de la respuesta del SRO en los dos modos de operación característicos y, más relevante para esta tesis, de la fase obtenida en función de la excitación aplicada a la entrada. También se presenta y particulariza la expresión de la relación señal a ruido (SNR) bajo las condiciones de trabajo de la presente tesis.
- Capítulo 4: Se describe el diseño y la implementación de un transceptor SR utilizando modulaciones QPSK en una FPGA, basado en [6], haciendo un análisis detallado de algunas de sus partes críticas y presentando algunas alternativas y mejoras.
- Capítulo 5: En este apartado se muestra el diseño e implementación de un transceptor SR para modulaciones m-arias de fase, M-PSK. Este prototipo es capaz de conmutar entre las modulaciones BPSK, QPSK y 8PSK. Se miden las curvas de BER (*Bit Error Rate*) para las distintas modulaciones y se compara la relación entre ellas con la relación teórica. Para hacer esta comparación, es necesario tener en cuenta unas consideraciones particulares para la elección de la frecuencia de reloj de referencia en la FPGA.
- Capítulo 6: Es el primer capítulo donde se utiliza el receptor SR para recibir modulaciones de frecuencia. Se describe el principio de funcionamiento, basado en observar la trayectoria de la fase de la señal en los instantes de sensibilidad del receptor. Así, con el SRO sintonizado a una sola frecuencia se consigue detectar modulaciones de frecuencia a partir de las fases instantáneas. Se describe una implementación para dos modulaciones de frecuencia relevantes: FSK de *Sunde* y MSK (*Minimum Shift Keying*). Además, se describe de forma genérica un método de sincronización para poder observar la fase en los instantes adecuados.
- Capítulo 7: Se diseña e implementa un transceptor SR siguiendo el estándar IEEE 802.15.4 con modulación MSK. Se describe la implementación desde la capa física hasta la capa MAC utilizando como receptor el SRO y creando un transmisor MSK digital. En el prototipo se añade un microcontrolador con el sistema operativo Contiki, y con él, se añaden funcionalidades de capas superiores con las cuales permite tener un transceptor completo con un diseño simple (y casi completamente digital), de bajo consumo y bajo coste.
- Capítulo 8: En este capítulo se describe un algoritmo de sincronización simultánea a nivel de símbolo y de chip para modulaciones MSK. Es un algoritmo simple y que permite su implementación de forma totalmente digital. El método de sincronización se basa en dos filtros: uno proporciona

1. Introducción

información para la sincronización de símbolo y el otro para la sincronización de chip. Este algoritmo es adecuado para un SRO pueda sincronizar señales MSK siempre que exhiban ciertas características. Se presenta un ejemplo de implementación relevante para el estándar IEEE 802.15.4. Este método de sincronización es el usado en el Capítulo 7.

- Capítulo 9: Finalmente se exponen unas conclusiones globales de la tesis, resumiendo las principales aportaciones de cada capítulo. Como todo trabajo, una vez realizado, se vislumbran determinadas líneas de investigación futura que son detalladas al final del capítulo.

2. Estado del arte y objetivos

Uno de los objetivos de este capítulo es situar el campo de trabajo de esta tesis y mostrar la literatura actual, en particular la que se refiere al receptor SR. Asimismo, dentro del estado del arte, se describe el principio de operación del receptor SR y su respuesta frente a un pulso de RF. Esta sección servirá de base para la comprensión de la mayoría de los otros capítulos de la tesis.

Una vez adquiridos los conocimientos necesarios sobre el SRO y conociendo las contribuciones que existen hasta el momento sobre este tipo de receptor, se detallan los objetivos de este trabajo de investigación.

2.1. Comunicaciones inalámbricas

Hoy en día, las comunicaciones inalámbricas son una necesidad básica en la sociedad. Actualmente hay una tendencia creciente en utilizar enlaces de datos inalámbricos, tanto en aplicaciones que requieren movilidad como en las fijas. La distancia que han de abarcar estos enlaces es muy distinta dependiendo de las aplicaciones y puede ir desde distancias muy cortas, de pocos metros, hasta bastantes kilómetros.

Para comunicarse de forma inalámbrica existen dos alternativas principales. La primera es la comunicación vía óptica en el espectro visible o infrarrojo, mediante LEDs -incluyendo los de un mando a distancia- o láseres. La segunda alternativa es la comunicación por radio. Esta última ofrece mayor movilidad y, por otro lado, ofrece un amplio rango de velocidades de datos y una gran variedad de modulaciones, desde las más tradicionales (ASK, FSK) hasta las más complejas (OFDM, UWB), entre otras. En los últimos tiempos, cabe destacar el gran aumento de comunicaciones por radio de corta distancia, en forma de redes locales (WLAN) y redes personales (WPAN) inalámbricas. Otro caso particular especialmente interesante son las redes de sensores, unos sistemas que tienen un interés máximo cuando se realizan inalámbricamente.

Desde el punto de vista económico, la reducción de los costes asociados al receptor viene dada, fundamentalmente, por la adopción masiva de *chipsets* específicos, diseñados para un determinado estándar o aplicación. De esta forma se consigue un coste reducido aunque la complejidad subyacente sea elevada.

2. Estado del arte y objetivos

En estos casos, el consumo puede seguir siendo elevado debido a la complejidad. Hoy en día, el aumento de la necesidad de autonomía en aplicaciones móviles obliga a investigar en técnicas de reducción de consumo. Con este objetivo, se optimizan distintas partes de los diseños pero la estructura se mantiene.

En contraste, el receptor superregenerativo (SR) aporta una estructura totalmente distinta que, al ser mucho más simple, ofrece, potencialmente, un bajo coste y un bajo consumo. Como contrapartida, el receptor SR exhibe unas prestaciones ligeramente inferiores pero, aún así, en el compromiso entre complejidad-consumo y prestaciones, el receptor SR puede ser preferible en determinadas situaciones.

2.2. Caracterización del SRO

En la Sección 1.1 hemos descrito el comportamiento del SRO cualitativamente (Figura 1.2 y Figura 1.3) para entender de forma general su funcionamiento. En esta sección describimos la respuesta del SRO de forma analítica y entrando en algunos detalles, todo ello sobre los resultados descritos en [3].

El principio de funcionamiento del SRO se puede describir a través de su comportamiento en el modo lineal, el cual asume que la amplificación de retroalimentación es perfectamente lineal. En la Figura 1.2 el bloque selectivo en frecuencia se puede caracterizar por la función de transferencia de un filtro paso banda de segundo orden centrado en $\omega_0 = 2\pi f_0$,

$$G(s) = K_0 \frac{2\zeta_0\omega_0 s}{s^2 + 2\zeta_0\omega_0 s + \omega_0^2} \quad (2.1)$$

donde ζ_0 es el factor de amortiguamiento en reposo y K_0 es la máxima amplificación, a la frecuencia ω_0 . El valor de ζ_0 depende del factor de calidad Q_0 del filtro según la expresión

$$\zeta_0 = \frac{1}{2Q_0}. \quad (2.2)$$

El lazo de retroalimentación (ver Figura 1.2) establece la relación

$$v_s(t) = v_i(t) + K_a(t)v_o(t), \quad (2.3)$$

que juntamente con (2.1) permite formular la ecuación diferencial

$$\ddot{v}_o + 2\zeta(t)\omega_0\dot{v}_o + [\omega_0^2 + 2\dot{\zeta}(t)\omega_0]v_o = K_0 2\zeta_0\omega_0 v_i, \quad (2.4)$$

donde $\zeta(t)$ es el factor de amortiguamiento instantáneo o función de amortiguamiento del sistema en lazo cerrado,

$$\zeta(t) = \zeta_0(1 - K_0 K_a(t)). \quad (2.5)$$

La ecuación (2.4) representa la ecuación diferencial característica del SRO de forma general. En condiciones típicas de operación, la frecuencia de oscilación de la señal de *quench*, y por lo tanto la variación de $\zeta(t)$, es mucho más lenta que la oscilación del SRO. Así, si

$$|\dot{\zeta}(t)| \ll \frac{\omega_0}{2}, \quad (2.6)$$

la derivada $\dot{\zeta}(t)$ en (2.4) se puede despreciar, simplificando la ecuación y proporcionando como resultado

$$\ddot{v}_o(t) + 2\zeta(t)\omega_0\dot{v}_o + \omega_0^2 v_o(t) = K_0 2\zeta_0 \omega_0 \dot{v}_i(t), \quad (2.7)$$

que, al igual que (2.4), es una ecuación diferencial de segundo orden lineal y variante en el tiempo.

2.2.1. Respuesta a un pulso de RF

El análisis de la respuesta de un SRO a un pulso de RF tiene especial interés, ya que es extensible a distintos tipos de modulación externas [3]. Consideremos pues un pulso de RF expresado como

$$v(t) = V_i p_c(t) \cos(\omega_c t + \phi), \quad (2.8)$$

donde $p_c(t)$ es la envolvente normalizada del pulso de RF y V_i es su amplitud de pico. La traza superior de la Figura 2.1 muestra $p_c(t)$, asumiendo que su valor es cero fuera de los límites t_a y t_b .

El proceso para encontrar la respuesta del SRO así como las aproximaciones utilizadas se desarrollan de forma detallada en [3]. A continuación reproducimos la respuesta resultante, explicando cada término y remarcando las aproximaciones que se han utilizado.

En resumen, la respuesta del SRO al pulso de RF dado por (2.8) es

$$v_o(t) = V_i K |H(\omega_c)| p(t) \cos(\omega_0 t + \phi + \angle H(\omega)), \quad (2.9)$$

siendo K el factor de amplificación de pico, definido por

$$K = K_0 K_s K_r, \quad (2.10)$$

donde el factor

$$K_s = e^{-\omega_0 \int_0^{t_b} \zeta(\lambda) d\lambda}, \quad (2.11)$$

es la ganancia superregenerativa, asociada al crecimiento exponencial de la oscilación, esto es, a la *inestabilidad* del circuito,

$$K_r = \zeta_0 \omega_0 \int_{t_a}^{t_b} p_c(\tau) s(\tau) d\tau \quad (2.12)$$

2. Estado del arte y objetivos

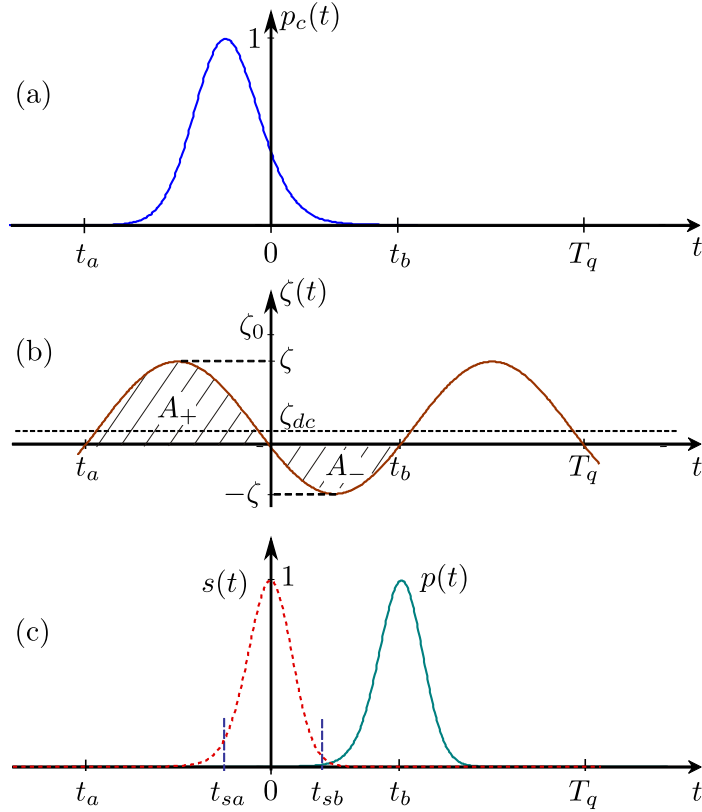


Figura 2.1.: Señales principales que intervienen en el funcionamiento del SRO. La traza (a) muestra la envolvente normalizada del pulso de RF de entrada. En (b) se muestra la función de amortiguamiento. En la gráfica (c) se muestran la función de sensibilidad $s(t)$ y la envolvente normalizada del pulso de salida $p(t)$ generado por el SRO. Fuera de los límites t_{sa} y t_{sb} la sensibilidad del receptor se puede considerar despreciable.

es la ganancia regenerativa, la cual depende del área de la envolvente de la señal de entrada ponderada por la función de sensibilidad, definida como

$$s(t) = e^{\omega_0 \int_0^t \zeta(\lambda) d\lambda}. \quad (2.13)$$

$s(t)$ es una función normalizada que describe el proceso de muestreo realizado por el receptor (función de sensibilidad) y que tiene un máximo en $t = 0$, cuando $\zeta = 0$ pasa de positivo a negativo.

La respuesta frecuencial del receptor viene dada por

$$H(\omega_c) = \frac{\omega_c \psi(\omega_c - \omega_0)}{\omega_0 \psi(0)}, \quad (2.14)$$

la cual es una función paso banda que tiene el máximo unitario cuando $\omega_c = \omega_0$. Esta función se calcula con la transformada de Fourier conjugada

$$\psi(\omega_c) = F^* \{p_c(t)s(t)\}, \quad (2.15)$$

que es una función paso bajo. Finalmente,

$$p(t) = e^{-\omega_0 \int_{t_b}^t \zeta(\lambda) d\lambda} \quad (2.16)$$

representa la envolvente normalizada del pulso generado en el SRO. En la Figura 2.1 se muestran los pulsos descritos anteriormente, juntamente con el factor de amortiguamiento, que intervienen en el proceso de recepción en un SRO.

Para calcular la expresión (2.9) se han asumido una serie de suposiciones que en condiciones normales de operación es habitual que se cumplan. Por una parte se asume que

$$\zeta^2(t) \ll 1. \quad (2.17)$$

Por otro lado, normalmente la frecuencia del pulso de entrada p_c es mucho más lenta que la frecuencia de la propia señal de RF de la portadora ω_c y por lo tanto,

$$|\dot{p}_c(t)| \ll p_c(t)\omega_c. \quad (2.18)$$

Finalmente, mencionar que se asume que la función de sensibilidad en el instante t_b es muy pequeña, es decir, que

$$K_s = \frac{1}{s(t_b)} \gg 1. \quad (2.19)$$

2.2.2. Respuesta a un tren de pulsos de RF

Si consideramos una señal formada por un tren de pulsos de RF como

$$v(t) = V_i \sum_{n=-\infty}^{\infty} p_c(t - nT_q) \cos(\omega_{cn}t + \phi_n), \quad (2.20)$$

la respuesta del SRO puede expresarse, por superposición, como

$$v_o(t) = V_i K \sum_{n=-\infty}^{\infty} |H(\omega_{cn})| p(t - nT_q) \times \cos(\omega_0 t + n(\omega_{cn} - \omega_0)T_q + \phi_n + \angle H(\omega_{cn})), \quad (2.21)$$

donde ω_{cn} y ϕ_n definen la frecuencia de oscilación y la fase correspondientes al n -ésimo pulso. Con esta expresión se engloba a una gran variedad de modulaciones de frecuencia y/o fase que pueden encontrarse en la práctica.

Una vez presentado el principio de operación del receptor superregenerativo procedemos a mostrar la evolución de este receptor desde su invención hasta la actualidad.

2.3. El receptor superregenerativo en las comunicaciones inalámbricas

Desde su invención en 1922 [1], el receptor SR ha evolucionado en diversos aspectos y su principio de operación se ha utilizado para detectar distintas modulaciones. Inicialmente era usado como receptor de modulaciones analógicas de amplitud (originalmente, comunicaciones de voz) y el mismo principio fue extendido a modulaciones de amplitud digitales (ASK) en aquellas aplicaciones que requerían la transmisión de datos. También son de épocas antiguas las primeras realizaciones encaminadas a la detección de modulaciones de frecuencia [7], basadas en la conversión de variaciones de frecuencia en variaciones de amplitud.

La evolución que ha sufrido el receptor SR no ha sido lineal y, por tanto, es difícil su presentación organizada. No obstante, a continuación se presenta una posible clasificación temática para describir las principales líneas evolutivas. Como es natural, no son necesariamente disjuntas pero pueden servir para situar el panorama general.

2.3.1. SRO para modulaciones de amplitud

El principio SRO aplicado a las modulaciones de amplitud ha tenido un avance en su diseño y prestaciones a lo largo de los años. Por ejemplo, en [8] se conseguía mejorar la sensibilidad y la reducción del ancho de banda del receptor con la utilización de resonadores SAW. En [9] se presenta un receptor SR operando a 1 GHz integrado en tecnología BiCMOS.

También se aplicó el receptor SR a aplicaciones de *Direct-Sequence Spread-Spectrum* [10]. Uno de los avances más destacables fue el hecho de igualar la frecuencia de la señal de *quench* a la de símbolo, ya que en las aplicaciones clásicas del SRO se trabajaba con una señal de *quench* de frecuencia muy superior (típicamente 10 veces superior) a la de símbolo. El sobremuestreo asociado a la operación clásica se traduce en un ancho de banda de recepción muy superior al estrictamente necesario, siendo la principal causa de las prestaciones sub-óptimas de este receptor. La igualación de frecuencia de bit y de símbolo se consigue, por ejemplo, en [11, 12] para lo cual, lógicamente, se necesitan diseños para adquirir el sincronismo de bit. Con alguno de estos diseños como, por ejemplo, en [11] se consiguen unas buenas prestaciones, como la implementación de un receptor SR a 2.4 GHz y logrando un consumo de 2.1 mW a una velocidad de transmisión de 11 Mb/s.

Cabe mencionar que también surgieron otras contribuciones como la aplicación del receptor SR para recibir modulaciones de amplitud *Ultra-wideband* (UWB)

[13] o un estudio con técnicas de *quench* optimizadas [14]. Asimismo, se han descrito aplicaciones de este principio a las comunicaciones ópticas [15].

A partir de aquí, una rama va en la línea de las realizaciones integradas y se presenta en la Sección 2.3.2. Por otra parte, recientemente se ha empezado a utilizar el principio superregenerativo para modulaciones de fase, lo que marca una línea nueva en la evolución de este receptor. En la Sección 2.3.4 detallamos las principales aportaciones sobre la recepción de señales moduladas en fase. Asimismo, en la Sección 2.3.5 presentamos las contribuciones sobre técnicas para recibir modulaciones de frecuencia con el receptor SR.

2.3.2. Realizaciones integradas

Las implementaciones en forma de circuito integrado demuestran realmente el consumo reducido que proporciona el SRO. A continuación se nombran algunas, como ejemplos, por orden cronológico.

Usando una tecnología $0.13 \mu\text{m}$ CMOS, en [16] presentan un consumo de 2.8 mW con una velocidad de 500 kb/s en la banda de 2.4 GHz . En [12], además de presentar unas expresiones para calcular la sensibilidad y selectividad, desarrollan un prototipo con una sensibilidad de -93 dBm con una velocidad de bit de 120 kb/s con un consumo de 10 nJ/b en la banda de 400 MHz . Otra implementación interesante es la de [17] donde se obtiene un consumo de $215 \mu\text{W}$ con una velocidad de transmisión de 250 kb/s en la banda de 2.4 GHz utilizando una modulación BFSK.

Se han descrito también implementaciones pensadas para su uso en el campo de la medicina. Por ejemplo, en [18] se presenta una realización integrada utilizando un proceso CMOS de $0.18 \mu\text{m}$ proporcionando un consumo de $280 \mu\text{W}$ a una velocidad de 50 kb/s recibiendo una señal OOK y un consumo de 2 mW a 75 kb/s con una señal BFSK, ambas señales en la banda de 400 MHz .

En [19] se presenta una implementación con tecnología CMOS de $0.18 \mu\text{m}$ operando a dos frecuencias de portadora (3.494 y 3.993 GHz) a una velocidad de 10 Mb/s consiguiendo un consumo de 0.24 nJ/bit . Otro ejemplo [20], describe un receptor que opera a 500 MHz de portadora fabricado con CMOS de $0.13 \mu\text{m}$. La energía consumida es de 0.09 nJ/b con una velocidad de bits de 10 Mb/s .

Por otra parte, el gran progreso de la tecnología CMOS de los últimos años ha permitido aumentar significativamente la frecuencia de oscilación del SRO. Actualmente se pueden observar receptores integrados en tecnología CMOS que llegan al centenar de GHz, pensados para aplicaciones de toma de imágenes (*imaging*) en la banda de las ondas milimétricas. En [21] se presenta un receptor integrado con tecnología CMOS de 65 nm que oscila a 100 GHz . Otra

2. Estado del arte y objetivos

implementación interesante es [22], con receptores que llegan a operar a una frecuencia de oscilación de 135 GHz utilizando resonadores con metamateriales.

2.3.3. Switched injection-locked oscillator

Por otro lado, existe todo un campo de actividad, por ejemplo [23, 24], directamente relacionado con el principio superregenerativo, pero que se conoce bajo el nombre *switched injection-locked oscillator* (SILO). Esencialmente, se trata de un oscilador que es puesto en marcha rápidamente, de forma que su salida es coherente con una señal de radiofrecuencia presente a su entrada. En el primer artículo en que se introduce el término SILO [25] como un nuevo concepto, se hace un estudio superficial de las diferencias con el principio de operación del receptor SR y se concluye que se trata de una técnica distinta. En particular se afirma que un SRO solamente produce una réplica de la *envolvente* del señal de radiofrecuencia y se afirma que en un SRO la conmutación de arranque no es lo suficientemente rápida como para obtener la coherencia de fase entre salida y entrada. Como se ha visto, (ecuación 2.9) esto no es así. De hecho, un SILO no es más que un SRO en el que la señal de extinción cambia bruscamente en determinados instantes (una señal cuadrada), dando lugar a lo que se conoce como comportamiento *step controlled* en la literatura clásica de receptores SR.

2.3.4. SRO para modulaciones de fase

Como hemos visto en la Sección 2.2.1, es suficientemente conocido que la señal generada en el SRO conserva la información de la fase. Sin embargo, esta característica únicamente ha sido explotada en las siguientes publicaciones que incluyen simulaciones y/o implementaciones.

SR BPSK [26] Congreso del 2002 (ISCAS), el SRO está implementado mediante un oscilador acoplado a una línea de transmisión, donde esta línea soporta dos modos de oscilación dependiendo de una señal de control. En el primer modo de oscilación la señal generada no tiene componente DC y tiene un crecimiento exponencial, la fase de la cual es coherente con la fase de la señal recibida. Aunque este resultado viene respaldado por simulaciones, no se describe la relación analítica entre la fase de entrada y la generada en el SRO. En un instante, el circuito conmuta para generar un segundo modo de oscilación el cual está caracterizado por producir una forma de onda que consiste en la suma de: a) una forma de onda similar con una frecuencia dos veces la frecuencia del primer modo y b) una forma exponencial creciente con una componente de baja frecuencia con una amplitud proporcional al coseno de la fase generada en el primer modo en el momento de la conmutación. Con un filtro paso bajo se recupera

la componente continua y el signo de esta componente se utiliza para tomar la decisión del bit recibido teniendo en cuenta la modulación BPSK. Este artículo presenta algunos resultados, tanto de simulación como experimentales, que validan la propuesta pero no proporciona datos acerca del funcionamiento como receptor real.

SR BPSK [27] Congreso del 2009 (ISCAS). Aquí se hace uso de un receptor SR convencional seguido de un muestreador de un solo bit que actúa cuando el pulso del SRO tiene suficiente amplitud. La señal BPSK de la entrada produce cambios de signo (cambios de fase de 180°) en la señal generada por el SRO. Para muestrear y guardar el bit correspondiente se utiliza un simple flip-flop tipo D. Se describe una realización experimental en la banda de HF y se demuestra el correcto funcionamiento con una sensibilidad de -99.5 dBm a 10 kbit/s con un nivel de complejidad extremadamente bajo.

Simulación SR BPSK [28] Tesis de máster del año 2012. El autor propone dos formas de recibir señales BPSK con un receptor SR. La primera es convertir la señal PSK a OOK retrasando la señal de entrada un período de símbolo y sumándola a la señal actual. Con esto se consiguen variaciones de amplitud, es decir, se transforma la modulación de fase en una modulación de amplitud que se puede detectar con un SR operando como detector ASK de forma convencional. El segundo método es más directo: la señal del SRO es muestreada por un ADC de un bit. La decisión del bit recibido se produce haciendo el promedio de un número q de muestras de fase por periodo de símbolo, es decir que la frecuencia de *quench* es q veces superior a la de símbolo. Este método requiere una buena sincronización ya que si se muestrea alrededor de los pasos por cero, la decisión puede ser errónea. Hace una comparación de los dos métodos tanto para el consumo como para la sensibilidad y concluye que el mejor es el segundo. Por otro lado, se presenta un estudio analítico de sincronización de la señal de *quench* con la portadora usando un sistema que añade una complejidad significativa al sistema. Finalmente propone un algoritmo de sincronización con un preámbulo que consiste en hacer una correlación, sincronizándose cuando el valor resultante de esta correlación tiene un pico que supera un umbral. Asimismo proporciona una estimación del valor umbral en función de dos hipótesis: solo recibiendo ruido Gaussiano y recibiendo señal más ruido Gaussiano.

Simulación SR QPSK con IQ [29] Congreso del 2012 (CSNDSP). En este artículo se presenta un diseño sustentado por simulación para detectar modulaciones QPSK con un SR. El SRO se utiliza como un simple front-end que amplifica y filtra la señal de entrada mientras preserva la información de fase. Para hacer la demodulación utiliza un esquema de demodulación IQ

2. Estado del arte y objetivos

convencional. No obstante, es necesario señalar que, si se quisiera implementar realmente este diseño habría dos problemas. El primero, es que el alto nivel que necesita el oscilador para una demodulación IQ trabajando a la misma frecuencia que el receptor, enmascararía completamente la señal recibida. Y el segundo es que un demodulador IQ implica una complejidad y, por tanto también un consumo elevados (mezcladores, conversores A/D y procesado digital en banda base), contradiciendo el principal motivo para la utilización del principio SR.

Simulación SR QPSK [30] Publicación del 2013 (IJECE). Son los mismos autores que la publicación anterior y con el mismo método muestran la simulación de una implementación del receptor operando a 400 MHz. El sistema de detección se basa en desfazar la señal del SRO en cuatro ramas y usar cada una de las ramas como señal de reloj para un contador distinto. En función de qué contador presenta el mayor valor deciden la fase recibida. No se comenta qué ventaja aporta usar contadores ya que la información de qué contador presenta un valor mayor ya está disponible desde el instante en que éstos arrancan.

Implementación SR QPSK [31] Publicación del 2014 (TCAS-I). En esta publicación se presenta el diseño e implementación de un receptor superregenerativo para señales moduladas en QPSK. Teniendo en cuenta que la señal generada por el SRO conserva la información de la fase de la señal de entrada se utiliza un simple SRO del cual se cogen N muestras de 1 bit de cada pulso generado. Respetando una determinada relación entre la frecuencia de muestreo y de RF se consigue tener un vector de bits que contienen una versión sub-muestreada de la modulación PSK transmitida. La decisión de símbolo se toma, realizando un procesado digital simple, teniendo en cuenta dos vectores consecutivos de muestras. Se presentan resultados experimentales sobre un prototipo. La estructura global exhibe una elevada simplicidad (a diferencia de, por ejemplo, [29]) y permite conseguir bajo consumo y bajo coste.

Simulación SR 8-PSK [32] Congreso del año 2015 (ICECS). Presenta un circuito capaz de demodular señales 8PSK digitalmente utilizando como receptor un SR. Se trata de una extensión de [30] generando 8 ramas de desfase. Como en trabajos anteriores de los mismos autores, se trata de una discusión a nivel de simulación en ausencia de ruido y proporciona detalles de consumo de un diseño CMOS.

Simulación SR 8-PSK [33] Congreso del año 2015 (ICECS). Presenta las prestaciones de un diseño SR capaz de demodular señales 8PSK. La técnica de demodulación es como la anterior publicación pero se proporcionan datos detallados de consumo y sensibilidad para varios casos. Tanto aquí como en [32] se usan registros de desplazamiento en vez de los contadores usados originalmente en [30] sin que se comente su misión.

Simulación SR 8-PSK [34] Congreso del año 2016 (ICENCO). Consiste en una variación de [30] donde los contadores son substituidos por simples flip-flop. En esencia, a partir del SRO se generan 8 señales desfasadas mediante circuitos RC y latches y un conjunto de 8 flip-flop observa cuál de las salidas se activa antes. Se consigue así una cuantificación de la fase en 8 niveles. No se presentan resultados experimentales y las simulaciones son en ausencia de ruido.

2.3.5. SRO para modulaciones de frecuencia

Los receptores superregenerativos publicados hasta hoy enfocados a la recepción de señales FM, se basan principalmente en la propiedad de conversión de FM a AM gracias a la respuesta de paso banda del receptor. Este hecho provoca que solo se puedan detectar de forma eficaz modulaciones FM de banda ancha, ya que el ancho de banda del receptor es relativamente grande y por consiguiente, se requieren diferencias de frecuencia grandes para producir variaciones de amplitud en la salida del SRO.

Detección de FM [7] En este artículo, del año 1944, se presenta la idea de utilizar un receptor SR para detectar modulaciones binarias de frecuencia. Un método consiste en tener dos SRO's sintonizados respectivamente a las dos posibles frecuencias de modulación y con la salida diferencial de los dos SRO's se toma la decisión del bit recibido. Por otra parte presenta otro método que consiste en utilizar el SRO como amplificador y con un mezclador se traslada el espectro a más baja frecuencia consiguiendo detectar más fácilmente las variaciones de frecuencia. Aunque con este método se conseguirían detectar modulaciones FM de banda estrecha, su esencia se parece más a la del receptor superheterodino y probablemente sea más eficaz realizar la amplificación a frecuencia intermedia.

Tesis UWB [35] Tesis de máster del año 2008. Se hace el diseño de un SR en tecnología CMOS para recibir señales UWB-FM y se presentan las simulaciones de sensibilidad y consumo. Se basa en hacer una conversión de la modulación FM a AM en el receptor para poder recuperar los datos.

SR para FM [17] En esta publicación, del año 2010 (JSSC), al igual que en trabajos previos de los mismos autores, se hace una detección BFSK utilizando un solo SRO que primero se sintoniza a la frecuencia f_1 y después a f_2 . Con esto se decide cuál de las dos frecuencias ha dado mayor amplitud. Esto requiere dos ciclos de *quench* por símbolo. Además, este método requiere que f_1 y f_2 tengan una diferencia importante para poder observar cambios de amplitud significativos.

2. Estado del arte y objetivos

Dos SRO para FM UWB [36] Más recientemente, congreso del 2011 (MTT), un enfoque similar se ha utilizado para diseñar un receptor para modulaciones FM de banda ultra-ancha (UWB). Para hacerlo se utilizan dos SRO para detectar las dos frecuencias y la decisión del bit se hace observando cual de los dos SRO tiene una salida mayor.

2.3.6. Conclusiones

La creciente importancia del receptor SR la demuestra el número de publicaciones al respecto en los últimos años. No obstante, a pesar de este interés, el principio SR sólo se había aplicado en sistemas ASK y FSK de banda ancha. Los receptores SR para ASK operan eficazmente en el modo lineal pero solo para un rango dinámico de señal de entrada bastante limitado. Fuera de este rango, la señal de *quench* se tiene que reajustar. Este control (que viene a ser un control automático de ganancia) requiere circuitería adicional, la cual a menudo no se tiene en cuenta. En cambio, para detectar PSK y FSK de banda estrecha, el SRO puede operar en modo logarítmico, donde es bastante insensible a los cambios de amplitud de la señal de entrada, aunque esto supone un ligero incremento de consumo.

Por otra parte, se debe tener en cuenta que para realizar modulaciones PSK espectralmente eficientes, se requiere de un pulso conformador en banda base el cual introduce unas variaciones de amplitud a la señal RF que requieren amplificadores de potencia lineales, con una eficiencia baja. En contraste, las señales moduladas en frecuencia tienen una envolvente constante y pueden ser eficientemente amplificadas con amplificadores en saturación. Precisamente, esta es una de las razones por las que determinados estándares eligen modulaciones de frecuencia.

Se ha visto que el principio SR solamente se ha aplicado a modulaciones FSK de banda ancha o ultra-ancha, donde la desviación de frecuencia es suficientemente grande como para convertir variaciones de frecuencia en variaciones de amplitud. Más recientemente se han visto contribuciones teóricas para detectar modulaciones de fase, pero no hay ningún prototipo implementado de receptor SR MPSK.

Este repaso de la bibliografía existente debería servir para situar tanto el contexto general de esta tesis como sus contribuciones. No obstante, durante el resto del documento, al principio de algunos capítulos, se hará un repaso adicional de la referencias más pertinentes para situar mejor el estado del arte de cada tema específico.

2.4. **Objetivos de la tesis**

Como se ha observado, el principio superregenerativo es una opción a tener en cuenta dentro de las alternativas disponibles para receptores de radiofrecuencia. Su principal ventaja es que tiene una estructura muy simple. En contrapartida, también exhibe algunos inconvenientes. Aún así, el balance entre ventajas e inconvenientes puede resultar positivo para el receptor superregenerativo en algunas aplicaciones, como por ejemplo las que requieren muy bajo coste o muy bajo consumo -o ambos. Sobre esta base, la investigación de esta tesis se centra en aprovechar el principio SR para desarrollar un receptor para modulaciones interesantes pero mucho menos estudiadas, como las modulaciones digitales de fase y de frecuencia.

Asimismo, además de desarrollar el receptor SR para que sea capaz de detectar señales MPSK y FSK se ha considerado que sería un hito innovador desarrollar y demostrar, a nivel de prueba de concepto, un receptor SR completo, compatible con el estándar 802.15.4 [37].

Por otro lado, la tesis final de máster [6] se desarrolló dentro del mismo grupo de investigación y consistió en el diseño e implementación de un primer prototipo de transceptor superregenerativo QPSK. En el Capítulo 4 se muestra en detalle el principio de funcionamiento y la arquitectura de este transceptor, formado por un receptor SR y un transmisor completamente digital. Las conclusiones y líneas futuras de [6] son ahora algunos de los objetivos de esta tesis.

A continuación se presenta la lista de objetivos que se pretenden conseguir conjuntamente con una explicación de cada uno de ellos.

Caracterización de la respuesta del SRO en presencia de ruido

Una característica del receptor SR es que en los modos de funcionamiento lineal y logarítmico los cambios de fase que tienen lugar a la entrada repercuten en la fase de salida de tal forma que pueden ser detectados directamente a partir de la oscilación generada en el SRO.

Un primer objetivo será estudiar la respuesta general del SRO a una señal de RF contaminada con ruido, obteniendo expresiones analíticas para la fase de salida en los dos modos de funcionamiento. Este estudio tomará como punto de partida los estudios analíticos realizados en [5] y [38], donde se presentan los resultados de un desarrollo en el dominio temporal.

Diseño e implementación de un transceptor QPSK

Este objetivo se sustenta en el transceptor QPSK desarrollado en [6]. Este transceptor se validó verificando su sincronización con una secuencia de símbolos específicamente generada para este propósito. En esta tesis se completa la validación del transceptor QPSK añadiendo el protocolo necesario para recibir tramas de datos. Asimismo, se realiza un estudio de algunos aspectos críticos, se amplían algunas funcionalidades y se mejora el transceptor para conseguir una mejora de la sensibilidad. Este objetivo genérico se puede dividir en:

- Implementación de tramas formadas por un preámbulo y un campo de datos para que el receptor se pueda sincronizar con la trama transmitida y recibir los datos.
- Implementación de una red de adaptación de impedancias a la entrada para conseguir una mejora de sensibilidad.
- Utilización de la codificación Gray para la comunicación. La codificación Gray es la codificación que proporciona menor error en los datos recibidos ya que entre símbolos adyacentes sólo varía un bit. Tanto en [31] como en [6] se utilizaba la codificación binaria natural.

Diseño e implementación de un transceptor M-PSK

Teniendo un prototipo de transceptor QPSK implementado, es interesante hacer un transceptor capaz de conmutar de modo de operación y trabajar con distintas modulaciones de fase, es decir, crear un transceptor M-PSK. En este sentido, tienen un interés relevante los casos $M = 2$, $M = 4$ y $M = 8$, esto es, las modulaciones BPSK, QPSK y 8PSK.

Una vez implementado se hará una comparativa entre modulaciones con las medidas de tasa de error de bit (BER) y se contrastarán con los resultados teóricos.

Por otra parte, en este contexto, entre otros aspectos, se prevé abordar el diseño máximamente flexible para las distintas modulaciones sin modificar los parámetros importantes como la frecuencia de la portadora o la de símbolo con el fin de que la comparativa sea en las mismas condiciones.

Detección de FSK con el SRO e implementación de un prototipo de receptor SR FSK

Como ya se ha comentado anteriormente, las señales moduladas en FM tienen envolvente constante y pueden ser eficientemente amplificadas con amplificad-

res en saturación. Este es uno de los motivos para los cuales la FM es escogida en muchos estándares de comunicación. Todos los receptores SR conocidos hasta ahora, enfocados a la demodulación de FM, son ineficientes y trabajan correctamente sólo si las frecuencias están muy separadas. En esta tesis se quiere diseñar e implementar un receptor capaz de detectar modulaciones FSK de banda estrecha. Se aprovechará la característica del SRO que genera una respuesta que depende de la fase instantánea de la señal recibida en las ventanas de sensibilidad. Haciendo uso de un único SRO sintonizado siempre a la misma frecuencia se pretenden detectar los cambios de frecuencia en la señal de entrada a partir de las fases obtenidas. Para acotar este objetivo, se ha pensado en implementar dos casos concretos de señales FSK que se detallan a continuación:

FSK de Sunde La modulación FSK de *Sunde* es un caso particular de FSK que cumple que la diferencia entre las dos frecuencias de portadora es igual a la frecuencia de símbolo.

MSK En la modulación MSK (*Minimum Shift Keying*) la diferencia entre frecuencias es la mitad que la FSK de Sunde, es decir la mitad de la frecuencia de símbolo, y es la mínima desviación de frecuencia que mantiene la ortogonalidad entre los símbolos 0 y 1. Es una modulación utilizada en varios estándares y puede ser vista también como una modulación offset-QPSK con un pulso conformador de medio ciclo de seno. Este hecho, conjuntamente con la propiedad de fase constante, hacen que el espectro sea compacto y libre de impulsos. Esta es, por ejemplo, la modulación escogida en el estándar 802.15.4 en algunas de sus bandas.

Diseño e implementación de un transceptor MSK según el estándar IEEE 802.15.4

En este apartado se pretende implementar un transceptor MSK con la funcionalidad necesaria para ofrecer una interfaz IEEE 802.15.4 [37]. Este estándar especifica el nivel físico y de control de acceso al medio (MAC) para redes WPAN de baja velocidad, ámbito donde encajan las redes de sensores. Estas redes están recibiendo una notable atención. Uno de los principales requerimientos para este tipo de redes es el bajo coste y el bajo consumo de los nodos, contexto en el que el receptor SR encaja perfectamente. Pensando en aplicaciones prácticas, un objetivo interesante es disponer de un receptor con una interfaz hardware compatible con transceptores comerciales operando bajo este estándar y que el conjunto de software existente, desde las librerías de bajo nivel hasta aplicaciones finales, pudiera ser aprovechado íntegramente.

Así, un objetivo es desarrollar un transceptor que implemente la funcionalidad correspondiente desde el nivel físico hasta el nivel MAC del estándar sobre un dispositivo digital descrito en VHDL.

Diseño e implementación de un algoritmo de sincronización para un receptor SR MSK (con énfasis en el estándar IEEE 802.15.4)

La recepción de datos con modulación MSK requiere de sincronización previa del receptor SR. El receptor ha de ser capaz de conseguir la sincronización a nivel de chip, a nivel de símbolo y a nivel de trama. El objetivo es elaborar un algoritmo lo más genérico posible utilizando preámbulos que cumplan unas condiciones básicas.

Una vez elaborado este algoritmo se particulariza para permitir la sincronización del receptor SR con los preámbulos definidos por el estándar IEEE 802.15.4, completando así el transceptor MSK implementado para este estándar.

3. Estudio general de la respuesta del SRO en presencia de ruido

3.1. Introducción

En el capítulo anterior se han presentado las ecuaciones básicas que describen el comportamiento de un oscilador superregenerativo. El objetivo de este capítulo es ampliar dicha descripción al caso más general de la respuesta del SRO en presencia de ruido. Esto servirá, en particular, para caracterizar la fase de salida en función de las características de señal útil y de ruido a la entrada. Este aspecto es de especial interés para esta tesis, dado que se trabaja con el receptor SR utilizando distintas modulaciones angulares en donde se observa, siempre, la fase de la señal de entrada.

El efecto del ruido en la respuesta del SRO se ha considerado cualitativamente en la literatura en numerosas ocasiones. Los estudios cuantitativos al respecto son más escasos, entre los que cabe destacar [39], [40] y [4], en donde se presentan cálculos realizados en el dominio frecuencial. En [5] y [38] se presentan los resultados de un desarrollo en el dominio temporal.

Dado que tradicionalmente el receptor SR se ha utilizado con modulaciones de amplitud, en dichos estudios el énfasis se pone en determinar cómo el ruido afecta a la amplitud de la señal demodulada. En este capítulo, por el contrario, se presenta un estudio basado en [5] que permite obtener expresiones analíticas para la señal útil y el ruido a la salida del SRO, y a partir de éstas, expresiones para la fase de salida.

3.2. Respuesta general del SRO en presencia de ruido

El estudio que se presenta a continuación es una generalización del estudio presentado en [3] y [5] con el objetivo de caracterizar la fase de salida del SRO

3. Estudio general de la respuesta del SRO en presencia de ruido

en presencia de ruido. Se considerará que a la entrada se aplica un pulso de RF con ruido aditivo según la expresión

$$v(t) = V_i p_c(t) \cos(\omega_c t + \phi) + n(t), \quad (3.1)$$

donde $p_c(t)$ es la envolvente normalizada del pulso de RF, V_i es su amplitud de pico y $n(t)$ es ruido aditivo blanco Gaussiano, en inglés *additive white Gaussian noise* (AWGN), de densidad espectral de potencia bilateral $\eta/2$. La primera componente en (3.1) representa la señal útil mientras que la segunda componente representa el ruido inherente a cualquier sistema de comunicación.

Manteniendo la nomenclatura y las aproximaciones presentadas en la Sección 2.2 y representadas en la Figura 2.1, trabajaremos en todo momento bajo la hipótesis de que el factor de amortiguamiento, $\zeta(t)$, cruza por cero con pendiente negativa en $t = 0$. En estas circunstancias la respuesta del SRO a una excitación genérica se puede expresar como [3],

$$\begin{aligned} v_o(t) &= 2\zeta_0 K_0 K_s p(t) \int_{t_a}^{t_b} \dot{v}(\tau) s(\tau) \sin(\omega_0(t - \tau)) d\tau \\ &= 2\zeta_0 K_0 K_s p(t) ([\dot{v}(t) s(t)] * \sin \omega_0 t). \end{aligned} \quad (3.2)$$

La respuesta completa a una entrada de la forma descrita en (3.1) puede obtenerse por superposición, calculando por separado las componentes útil $v_{o,util}(t)$ y de ruido $n_o(t)$ a la salida,

$$v_o(t) = v_{o,util}(t) + n_o(t). \quad (3.3)$$

Concretamente, para la componente útil, incluyendo el primer sumando de (3.1) en (3.2) se obtiene como resultado, según hemos presentado en el capítulo anterior,

$$v_{o,util}(t) = V_i K |H(\omega_c)| p(t) \cos(\omega_0 t + \phi + \angle H(\omega_c)). \quad (3.4)$$

Para la componente de ruido, incluyendo el segundo sumando de (3.1) en (3.2) se tiene

$$n_o(t) = 2\zeta_0 K_0 K_s p(t) \int_{t_a}^{t_b} \dot{n}(\tau) s(\tau) \sin(\omega_0(t - \tau)) d\tau. \quad (3.5)$$

Asumiendo que $s(t)$ es nula fuera del intervalo de *quench* (t_a, t_b) es posible extender los límites de integración de $-\infty$ a $+\infty$ con el fin de calcular la integral en el dominio frecuencial. En concreto, utilizando el teorema de Parseval

$$\int_{-\infty}^{\infty} f_1(\tau) f_2^*(\tau) d\tau = \frac{1}{2\pi} \int_{-\infty}^{\infty} F_1(\omega) F_2^*(\omega) d\omega \quad (3.6)$$

3.2. Respuesta general del SRO en presencia de ruido

aplicado a (3.5) se obtiene

$$\begin{aligned}
 \int_{-\infty}^{\infty} \dot{n}(\tau)s(\tau) \sin(\omega_0(t - \tau))d\tau &= \text{Im} \left[\int_{-\infty}^{\infty} \dot{n}(\tau)s(\tau)e^{j\omega_0(t-\tau)}d\tau \right] \\
 &= \text{Im} \left[e^{j\omega_0 t} \int_{-\infty}^{\infty} \dot{n}(\tau)[s(\tau)e^{j\omega_0\tau}]^*d\tau \right] \\
 &= \text{Im} \left[\frac{e^{j\omega_0 t}}{2\pi} \int_{-\infty}^{\infty} j\omega N(\omega)S^*(\omega - \omega_0)d\omega \right],
 \end{aligned} \tag{3.7}$$

donde $N(\omega)$ y $S(\omega)$ son las transformadas de Fourier de $n(\tau)$ y $s(\tau)$ respectivamente. Dado que $s(\tau)$ es de variación lenta comparada con la oscilación de frecuencia ω_0 , su transformada de Fourier es una función paso bajo de ancho de banda mucho menor que ω_0 , y por lo tanto $S(\omega - \omega_0)$ es una función paso banda de banda estrecha centrada en $\omega = \omega_0$. En consecuencia, es razonable la aproximación $\omega \simeq \omega_0$ dentro de la integral, dando como resultado,

$$\begin{aligned}
 \text{Im} \left[\frac{e^{j\omega_0 t}}{2\pi} \int_{-\infty}^{\infty} j\omega N(\omega)S^*(\omega - \omega_0)d\omega \right] &\simeq \text{Im} \left[\frac{j\omega_0 e^{j\omega_0 t}}{2\pi} \int_{-\infty}^{\infty} N(\omega)S^*(\omega - \omega_0)d\omega \right] \\
 &= \text{Im} \left[j\omega_0 e^{j\omega_0 t} \int_{-\infty}^{\infty} n(\tau)[s(\tau)e^{j\omega_0\tau}]^*d\tau \right] \\
 &= \text{Im} \left[j\omega_0 \int_{-\infty}^{\infty} n(\tau)s(\tau)e^{j\omega_0(t-\tau)}d\tau \right] \\
 &= \omega_0 \int_{-\infty}^{\infty} n(\tau)s(\tau) \cos(\omega_0(t - \tau))d\tau,
 \end{aligned} \tag{3.8}$$

donde por el mismo teorema de Parseval se ha vuelto a una nueva expresión en el dominio temporal. Restableciendo los límites de integración y sustituyendo en (3.5) se tiene

$$n_o(t) = 2\zeta_0\omega_0 K_0 K_s p(t) \int_{t_a}^{t_b} n(\tau)s(\tau) \cos(\omega_0(t - \tau))d\tau. \tag{3.9}$$

A continuación desarrollamos el coseno tomando como referencia de fase la de la componente útil a la salida, $\varphi(t) = \omega_0 t + \phi + \angle H(\omega_c)$,

$$\begin{aligned}
 \cos(\omega_0(t - \tau)) &= \cos(\omega_0 t + \phi + \angle H(\omega_c) - \omega_0 \tau - \phi - \angle H(\omega_c)) \\
 &= \cos(\omega_0 t + \phi + \angle H(\omega_c)) \cos(\omega_0 \tau + \phi + \angle H(\omega_c)) + \\
 &\quad + \sin(\omega_0 t + \phi + \angle H(\omega_c)) \sin(\omega_0 \tau + \phi + \angle H(\omega_c)),
 \end{aligned} \tag{3.10}$$

3. Estudio general de la respuesta del SRO en presencia de ruido

con lo que la ecuación (3.9) queda

$$n_o(t) = 2\zeta_0\omega_0 K_0 K_s p(t) \cdot \left[\left(\int_{t_a}^{t_b} n(\tau) s(\tau) \cos(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau \right) \cos(\omega_0 t + \phi + \angle H(\omega_c)) + \left(\int_{t_a}^{t_b} n(\tau) s(\tau) \sin(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau \right) \sin(\omega_0 t + \phi + \angle H(\omega_c)) \right]. \quad (3.11)$$

Con la obtención de esta expresión, definimos dos nuevas variables,

$$V_{ri} = 2\zeta_0\omega_0 \int_{t_a}^{t_b} n(\tau) s(\tau) \cos(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau \quad (3.12)$$

y

$$V_{rq} = -2\zeta_0\omega_0 \int_{t_a}^{t_b} n(\tau) s(\tau) \sin(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau, \quad (3.13)$$

siendo V_{ri} y V_{rq} las componentes en fase con la señal útil y en cuadratura respectivamente. Con estas variables podemos reescribir el ruido a la salida como

$$n_o(t) = K_0 K_s p(t) [V_{ri} \cos(\omega_0 t + \phi + \angle H(\omega_c)) - V_{rq} \sin(\omega_0 t + \phi + \angle H(\omega_c))]. \quad (3.14)$$

Cabe destacar que V_{ri} y V_{rq} son variables aleatorias de tensión resultantes del filtrado realizado por el SRO, las cuales se verán sometidas al proceso de amplificación exponencial propio del SRO, quedando multiplicadas por K_s al final del período de *quench*.

El producto $V_i K_r$ es el equivalente de señal útil de estas componentes de ruido y podemos observar que V_{ri} y V_{rq} son variables aleatorias que toman un valor constante hasta al final del periodo de *quench*.

3.2.1. Estadística de las componentes de ruido en fase y cuadratura

La estadística de V_{ri} y V_{rq} es Gaussiana, ya que ambas variables son la respuesta de un sistema lineal a ruido blanco Gaussiano [41], y su valor promedio (o esperanza estadística) es

$$\begin{aligned} \overline{V_{ri}} = \overline{V_{rq}} &= E[V_{ri}] = E \left[2\zeta_0\omega_0 \int_{t_a}^{t_b} n(\tau) s(\tau) \cos(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau \right] \\ &= 2\zeta_0\omega_0 \int_{t_a}^{t_b} E[n(\tau)] s(\tau) \cos(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau = 0. \end{aligned} \quad (3.15)$$

3.2. Respuesta general del SRO en presencia de ruido

La potencia la calculamos teniendo en cuenta que con ruido blanco $n(t)$ de densidad espectral $\eta/2$, cualquier función determinista $f(t)$ cumple [5]

$$E \left[\left(\int_{-\infty}^{+\infty} n(\tau) f(\tau) d\tau \right)^2 \right] = \frac{\eta}{2} \int_{-\infty}^{+\infty} f^2(\tau) d\tau. \quad (3.16)$$

Por lo tanto,

$$\begin{aligned} \overline{V_{ri}^2} = \overline{V_{rq}^2} &= E [V_{ri}^2] = E \left[\left(2\zeta_0\omega_0 \int_{t_a}^{t_b} n(\tau) s(\tau) \cos(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau \right)^2 \right] \\ &= (2\zeta_0\omega_0)^2 \frac{\eta}{2} \int_{t_a}^{t_b} s^2(\tau) \cos^2(\omega_0\tau + \phi + \angle H(\omega_c)) d\tau. \end{aligned} \quad (3.17)$$

Asumiendo que $s(\tau)$ es lenta en comparación con la señal sinusoidal de frecuencia ω_0 aparece el factor $1/2$ asociado al coseno elevado al cuadrado,

$$\overline{V_{ri}^2} = \overline{V_{rq}^2} = (2\zeta_0\omega_0)^2 \frac{\eta}{2} \frac{1}{2} \int_{t_a}^{t_b} s^2(\tau) d\tau = \eta(\zeta_0\omega_0)^2 \int_{t_a}^{t_b} s^2(\tau) d\tau. \quad (3.18)$$

Este resultado se puede calcular también en el dominio frecuencial integrando la densidad espectral de potencia de ruido $\eta/2$ ponderada por la respuesta frecuencial $(K|H(\omega)|)^2$ del receptor, obteniéndose el mismo resultado.

3.2.2. Pulso de salida en modo lineal

La salida del SRO en modo lineal estará formada por la respuesta de la señal de entrada más la respuesta al ruido,

$$\begin{aligned} v_o(t) &= K_0 K_s V_i K_r |H(\omega_c)| p(t) \cos(\omega_0 t + \phi + \angle H(\omega_c)) + \\ &\quad + K_0 K_s p(t) [V_{ri} \cos(\omega_0 t + \phi + \angle H(\omega_c)) - V_{rq} \sin(\omega_0 t + \phi + \angle H(\omega_c))], \end{aligned} \quad (3.19)$$

que se puede expresar como

$$\begin{aligned} v_o(t) &= K_0 K_s p(t) [(V_i K_r |H(\omega_c)| + V_{ri}) \cos(\omega_0 t + \phi + \angle H(\omega_c)) - \\ &\quad - V_{rq} \sin(\omega_0 t + \phi + \angle H(\omega_c))], \end{aligned} \quad (3.20)$$

o, si lo preferimos, como

$$\begin{aligned} v_o(t) &= K_0 K_s p(t) \sqrt{(V_i K_r |H(\omega_c)| + V_{ri})^2 + V_{rq}^2} \cdot \\ &\quad \cdot \cos(\omega_0 t + \phi + \angle H(\omega_c) + \angle(V_i K_r |H(\omega_c)| + V_{ri} + jV_{rq})). \end{aligned} \quad (3.21)$$

3.2.3. Pulso de salida en modo logarítmico

La salida del SRO en el modo logarítmico puede calcularse mediante

$$v_o(t) = \frac{1}{\sqrt{\frac{1}{(K_0 K_s)^2 [(V_i K_r |H(\omega_c)| + V_{ri})^2 + V_{rq}^2]} + U(t)}} p(t) \cdot \cos(\omega_0 t + \phi + \angle H(\omega_c) + \angle (V_i K_r |H(\omega_c)| + V_{ri} + jV_{rq})), \quad (3.22)$$

donde $U(t)$ es un parámetro definido en [5] que depende del factor de amortiguamiento y que modela la compresión de la ganancia del amplificador de retroalimentación.

3.2.4. Fase de salida

Como se puede observar en las expresiones (3.21) y (3.22), en el modo logarítmico la fase a la salida del SRO es la misma que la del modo lineal,

$$\begin{aligned} \phi_o &= \phi + \angle H(\omega_c) + \angle (V_i K_r |H(\omega_c)| + V_{ri} + jV_{rq}) \\ &= \phi + \angle H(\omega_c) + \arctan \left(\frac{V_{rq}}{V_i K_r |H(\omega_c)| + V_{ri}} \right). \end{aligned} \quad (3.23)$$

Este hecho se produce porque el modo logarítmico viene, siempre, precedido por el modo lineal y sólo implica una compresión en la amplitud de la oscilación. Es decir, la fase con la que crece el pulso se mantiene durante todo el período de *quench*.

Retomando los resultados de la Sección 2.2.1, para el caso en el que la señal de entrada está constituida por una sucesión de pulsos modulados en fase y/o frecuencia, sincronizados con la señal de *quench* local, según la expresión

$$v(t) = V_i \sum_{n=-\infty}^{\infty} p_c(t - nT_q) \cos(\omega_{cn}t + \phi_n) + n(t), \quad (3.24)$$

o, alternativamente,

$$v(t) = V_i \sum_{n=-\infty}^{\infty} p_c(t - nT_q) \cos(\omega_{cn}(t - nT_q) + n\omega_{cn}T_q + \phi_n) + n(t), \quad (3.25)$$

se obtiene la respuesta en el modo lineal por superposición

$$v_o(t) = K_0 K_s \sum_{n=-\infty}^{\infty} p(t - nT_q) \cdot [(V_i K_r |H(\omega_{cn})| + V_{rin}) \cos(\omega_0(t - nT_q) + n\omega_{cn}T_q + \phi_n + \angle H(\omega_{cn})) - V_{rqn} \sin(\omega_0(t - nT_q) + n\omega_{cn}T_q + \phi_n + \angle H(\omega_{cn}))], \quad (3.26)$$

en donde V_{rim} y V_{rqm} representan los valores de V_{ri} y V_{rq} , respectivamente, en los sucesivos períodos de *quench*. Una expresión similar puede escribirse a partir de (3.22) para el modo logarítmico. Reescribiendo el resultado anterior,

$$v_o(t) = K_0 K_s(t) \sum_{m=-\infty}^{\infty} p(t - nT_q) \cdot \sqrt{(V_i K_r |H(\omega_{cn})| + V_{rin})^2 + V_{rqn}^2} \cdot \cos(\omega_0 t + n(\omega_{cn} - \omega_0)T_q + \phi_n + \angle H(\omega_{cn}) + \angle(V_i K_r |H(\omega_{cn})| + V_{rin} + jV_{rqn})). \quad (3.27)$$

se obtiene la fase de salida correspondiente al ciclo de quench enésimo,

$$\begin{aligned} \phi_{on} &= \phi_n + n(\omega_{cn} - \omega_0)T_q + \angle H(\omega_{cn}) + \angle(V_i K_r |H(\omega_{cn})| + V_{rin} + jV_{rqn}) \\ &= \phi_n + n(\omega_{cn} - \omega_0)T_q + \angle H(\omega_{cn}) + \arctan\left(\frac{V_{rqn}}{V_i K_r |H(\omega_c)| + V_{rin}}\right). \end{aligned} \quad (3.28)$$

En el supuesto de que la fase a la entrada sea una función $\phi_n(t)$ de variación lenta dentro de cada período de símbolo, por ejemplo, debido al uso de pulsos conformadores, deberá tomarse como fase $\phi_n \simeq \phi_n(nT_q)$ por cuanto el SRO toma en cuenta el valor de dicha fase en los períodos de sensibilidad, centrados en $t = nT_q$. La expresión (3.28) servirá de base para simular el comportamiento del SRO en diversas situaciones consideradas en capítulos posteriores y, por ejemplo, calcular probabilidades de error en función de las características del SRO, de la señal de entrada y del ruido.

3.3. Relación señal a ruido a la salida del SRO

La relación señal a ruido (SNR) de salida del SRO se puede expresar como [5]

$$\text{SNR}_O = \frac{S}{N} = \frac{\frac{1}{2}(V_i K_r |H(\omega_c)|)^2}{\frac{1}{2}(\overline{V_{ri}^2} + \overline{V_{rq}^2})} = \frac{V_i^2 |H(\omega_c)|^2}{2\eta} \frac{\left[\int_{t_a}^{t_b} p_c(\tau) s(\tau) d\tau \right]^2}{\int_{t_a}^{t_b} s^2(\tau) d\tau}. \quad (3.29)$$

Se considerará en esta tesis que el pulso de RF representa el símbolo recibido, excepto en el Capítulo 8 donde representará el pulso de chip asociado a señales de espectro ensanchado, como las definidas por el estándar IEEE 802.15.4. Teniendo

3. Estudio general de la respuesta del SRO en presencia de ruido

en cuenta la relación entre la amplitud V_i de entrada y la energía media de símbolo

$$E_s = \frac{V_i^2}{2} \int_{t_a}^{t_b} p_c^2(\tau) d\tau, \quad (3.30)$$

es posible expresar la SNR de salida en función del cociente E_s/η , la envolvente de símbolo y la envolvente de la curva de sensibilidad,

$$\text{SNR}_O = \frac{E_s}{\eta} \frac{|H(\omega_c)|^2 \left[\int_{t_a}^{t_b} p_c(\tau) s(\tau) d\tau \right]^2}{\int_{t_a}^{t_b} p_c^2(\tau) d\tau \int_{t_a}^{t_b} s^2(\tau) d\tau}. \quad (3.31)$$

Se puede demostrar que esta expresión se maximiza igualando $\omega_0 = \omega_c$, ya que maximiza $|H(\omega_c)|$, y adaptando la envolvente del pulso de RF a la función de sensibilidad, $p_c(t) = s(t)$ [5], obteniéndose la expresión de la SNR de salida para un filtro adaptado,

$$\text{SNR}_O = \frac{E_s}{\eta}. \quad (3.32)$$

En la presente tesis, la envolvente de la señal de entrada, $p_c(t)$, siempre será constante de valor $p_c(t) = 1$ durante todo el periodo de símbolo. Por consiguiente, podemos expresar (3.31) como

$$\text{SNR}_O = \frac{E_s}{\eta} \frac{|H(\omega_c)|^2 \left[\int_{t_a}^{t_b} s(\tau) d\tau \right]^2}{T_s \int_{t_a}^{t_b} s^2(\tau) d\tau}, \quad (3.33)$$

donde T_s es el periodo de símbolo igual al periodo de *quench* T_q . Por otra parte, la SNR puede calcularse a partir de

$$\text{SNR}_O = \frac{P_s |H(\omega_c)|^2}{\eta B_N}, \quad (3.34)$$

donde P_s es la potencia de símbolo, $P_s = E_s/T_s$ y B_N el ancho equivalente de ruido. Igualando (3.33) y (3.34) se obtiene el ancho de banda equivalente de ruido B_N del SRO,

$$B_N = \frac{\int_{t_a}^{t_b} s^2(\tau) d\tau}{\left[\int_{t_a}^{t_b} s(\tau) d\tau \right]^2}. \quad (3.35)$$

3.4. Conclusiones

En este capítulo hemos caracterizado la respuesta genérica del SRO a un pulso de RF en presencia de ruido en los dos modos típicos de funcionamiento, lineal y logarítmico. Fruto de este estudio, se han obtenido expresiones analíticas de la

fase de salida del SRO en función de la señal útil y del ruido. Dichas expresiones servirán de base para posteriores simulaciones de probabilidades de error a lo largo de la tesis.

Destacar que la fase obtenida es la misma en ambos modos de funcionamiento. Esto supone una ventaja en los receptores de fase y de frecuencia, ya que la recepción no se verá afectada por la no linealidad de los dispositivos activos del SRO. Así, es posible trabajar en el modo logarítmico y aprovechar las ventajas que éste ofrece, como son una amplitud más elevada de los pulsos de RF generados, y una independencia de la misma con respecto al nivel de señal de entrada (funcionamiento equivalente al de un control automático de ganancia).

Por otra parte, se ha obtenido la expresión de la SNR y del ancho de banda equivalente al ruido en función de los parámetros del SRO y de la señal de entrada. Como que en esta tesis se considera en todo momento $p_c(t) = 1$, el ancho de banda equivalente de ruido, B_N , queda determinado exclusivamente por la función de sensibilidad $s(t)$.

4. Diseño e implementación de un transceptor SR QPSK

4.1. Introducción

El objetivo de este capítulo es validar la implementación de un transmisor y un receptor QPSK en un mismo dispositivo. Este estudio toma como base el transceptor descrito en [6]. La descripción de este transceptor nos servirá para comprender aspectos claves del resto de la tesis como son, por ejemplo, el método de detección de fase digital a partir del pulso creado por el SRO y la transmisión digital de modulaciones de fase. En este mismo capítulo se muestran aspectos que no aparecen en [6] como la utilización de tramas con preámbulo para sincronizarse y recibir los datos correctamente y un estudio de la longitud máxima de las tramas en función de la resolución obtenida durante el preámbulo.

Cabe destacar que el método de sincronización es el descrito en [6]. Es un algoritmo simple y que solo se ha implementado con el objetivo de poder disponer de un prototipo de transceptor QPSK completamente operativo. En el Capítulo 7 se desarrolla un algoritmo de sincronización más complejo y completo para modulaciones MSK.

En las siguientes secciones analizamos una situación particular que puede aparecer en el proceso de detección de fase y presentamos el método de implementación de la codificación Gray en este transceptor.

4.2. Transmisor QPSK

Las FPGA actuales, incluso las de más bajo coste como la [42], pueden operar a una frecuencia de reloj suficientemente alta como para generar directamente, y sin dificultades, una señal RF en la banda HF.

Nuestro objetivo es transmitir una señal modulada QPSK codificada diferencialmente con fase constante durante todo el período de símbolo. Esto se ha implementado completamente dentro de la FPGA y, por lo tanto, los únicos recursos analógicos adicionales que se necesitan son los componentes para hacer

4. Diseño e implementación de un transceptor SR QPSK

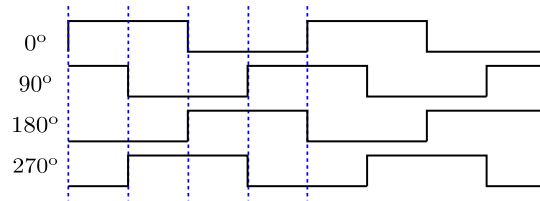


Figura 4.1.: Las cuatro bases de portadora disponibles a la salida del registro.

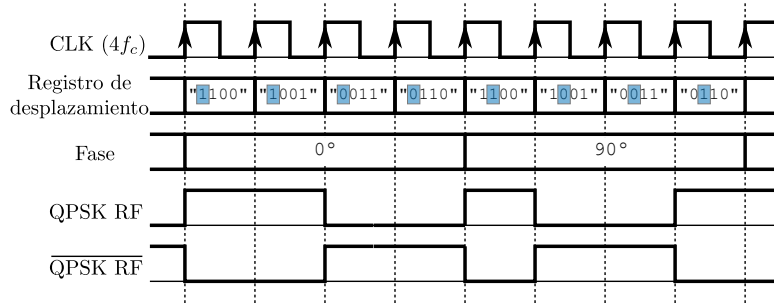


Figura 4.2.: Señal RF generada con una modulación QPSK.

un filtrado que limite la amplitud de los armónicos de la frecuencia de portadora f_c . Otro planteamiento, con una generación más flexible pero de mayor complejidad, podría ser el que se ha descrito en [43].

El punto de partida es la generación de cuatro portadoras con desfases de 90° relativos en cada símbolo. Esto se consigue con un registro de desplazamiento, inicialmente cargado con el patrón 1100, el cual es rotado a frecuencia $4f_c$. Un multiplexor selecciona la posición del registro de desplazamiento correspondiente, según la fase deseada, y ésta será la señal transmitida. La Figura 4.1 muestra las señales obtenidas en cada una de las cuatro posiciones del registro mientras la Figura 4.2 muestra las formas de onda digitales correspondientes a un cambio de 90° en la fase de la portadora. Cabe mencionar que como salida de RF generamos también la versión negada para poder transmitir con el doble de amplitud a partir de dos pines de la FPGA y que todas estas señales son registradas.

Los datos transmitidos son agrupados por parejas de bits para construir los cuatro símbolos, los cuales son codificados diferencialmente para evitar la necesidad de disponer de una referencia de fase absoluta en el receptor.

Se ha escogido una velocidad de bit de $f_b = 20$ kbps, es decir una frecuencia de símbolo de $f_s = 10$ kHz, y una frecuencia de portadora de $f_c = 26.25$ MHz como en [31]. Con estos valores, cada período de símbolo T_s contiene un número entero (2625) de períodos de portadora T_c .

Con la configuración actual, el transmisor envía unos paquetes que contienen:
a) 40 bits de preámbulo con cambios de fase en la portadora en símbolos con-

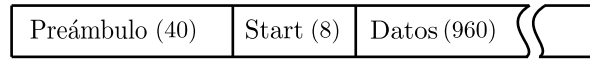


Figura 4.3.: Estructura de la trama. Les longitudes están expresadas en bits.

secutivos, b) un delimitador (Start Delimiter) de 8 bits y c) 960 bits de datos (Figura 4.3).

La longitud del campo de datos puede cambiar de un protocolo a otro, siempre que no supere a un valor máximo (como se verá en la Sección 4.3) y puede contener otros campos, pero su contenido es irrelevante en el contexto de este capítulo.

Una implementación eficiente del transmisor requeriría abordar aspectos como la eficiencia espectral resultante de la señal cuadrada generada y las transiciones abruptas de fase entre los símbolos. No obstante, el transceptor así descrito ya es completamente operativo sin la necesidad de abordar estos temas. No obstante, en el Apéndice A se sientan las bases para la generación de transiciones suaves de fase que reduzcan el ancho de banda de la señal transmitida. Finalmente, cabe señalar la posibilidad, no explorada aquí, de usar la señal generada como estímulo de un SRO cuya salida es la que realmente se transmite [44]. De esta forma se eliminaría directamente el problema del filtrado de armónicos y, a la vez, se generarían pulsos aproximadamente Gaussianos con lo que el SRO en el extremo receptor se comportaría como un filtro adaptado [38], aunque esto obligaría a replantear las técnicas de sincronización que se presentarán más adelante.

Una vez descrito el transmisor, pasamos a describir el receptor asociado.

4.3. Receptor SR QPSK

Una señal básica modulada en QPSK con frecuencia de símbolo $f_s = 1/T_s$ sobre una portadora $\omega_c = 2\pi f_c$ se puede escribir como un caso particular de

$$x(t) = \sum_{n=-\infty}^{\infty} p_c(t - nT_s) \cos(\omega_c t + \phi_n) \quad (4.1)$$

con la fase correspondiente al símbolo n dada por $\phi_n = \{0, \pi/2, \pi, 3\pi/2\}$ y $p_c(t) = \Pi(t)$, es decir un pulso unitario.

Como hemos visto, la respuesta de un SRO operando en modo lineal a una señal

4. Diseño e implementación de un transceptor SR QPSK

de entrada como (4.1) se puede escribir como

$$s(t) = K|H(\omega_c)| \sum_{n=-\infty}^{\infty} p(t - nT_q) \times \cos(\omega_0 t + n(\omega_c - \omega_0)T_q + \phi_n + \angle H(\omega_c)), \quad (4.2)$$

asumiendo que los cambios de estabilidad a inestabilidad ocurren en los instantes $t = nT_q$ y que $T_q = T_s$, como en nuestro receptor, donde se realiza un ciclo de *quench* por símbolo. Es importante anotar que, en nuestro caso, el mejor sitio para muestrear la señal QPSK es en el centro del símbolo y, por lo tanto, conviene hacer que $t = nT_q$ se sitúe en el centro del periodo de símbolo. Esto es así ya que nos permite recibir la fase correcta el máximo de tiempo aunque exista desviación entre el reloj de símbolo del transmisor y el receptor.

Recordamos que T_q es el período de *quench* del receptor, ω_0 es la frecuencia de oscilación del SRO, $H(\omega_c)$ es un término de respuesta frecuencial que depende de la frecuencia de portadora, y $p(t)$ es un pulso normalizado, de amplitud unitaria. Para nuestro fin, que es detectar cambios de fase, lo más destacado de (4.2) es que la información de fase de la entrada, ϕ_n , se mantiene y podemos ver la respuesta del SRO como un tren de pulsos de RF que nos proporcionan información de la fase de entrada.

Así, la diferencia de fase entre dos pulsos consecutivos se puede hallar del siguiente modo. Si consideramos el término de fase del pulso número n de (4.1),

$$\varphi_n(t) = \omega_0 t + n(\omega_c - \omega_0)T_q + \phi_n + \angle H(\omega_c), \quad (4.3)$$

la diferencia de fase entre los pulsos consecutivos n y $(n - 1)$, separados T_q , es

$$\Delta\varphi = \varphi_n(t) - \varphi_{n-1}(t - T_q) = \phi_n - \phi_{n-1} + \omega_c T_q. \quad (4.4)$$

La ecuación 4.4 puede simplificarse, sin pérdida de generalidad, escogiendo T_s múltiplo de T_c . Así, $\omega_c T_q$ es múltiplo de 2π y podemos reescribir la expresión como

$$\Delta\varphi = \phi_n - \phi_{n-1}. \quad (4.5)$$

Cabe decir que, si T_s no es un múltiplo de T_c , habría un término de fase fijo en (4.4) que podría ser compensado en el proceso de decisión de símbolo. Pero, para simplificar la detección asumimos que 4.5 se cumple.

También es importante mencionar que la señal generada por el SRO sólo depende de la señal recibida durante un intervalo que se denomina ventana de sensibilidad o ventana de observación. La duración de la ventana de observación depende de la señal de *quench* y su valor típico es entre 10-20 % del período de la señal de *quench*. Como se ha visto en el Capítulo 1, las ventanas de observación están centradas en los instantes en los que el circuito hace la transición de estable

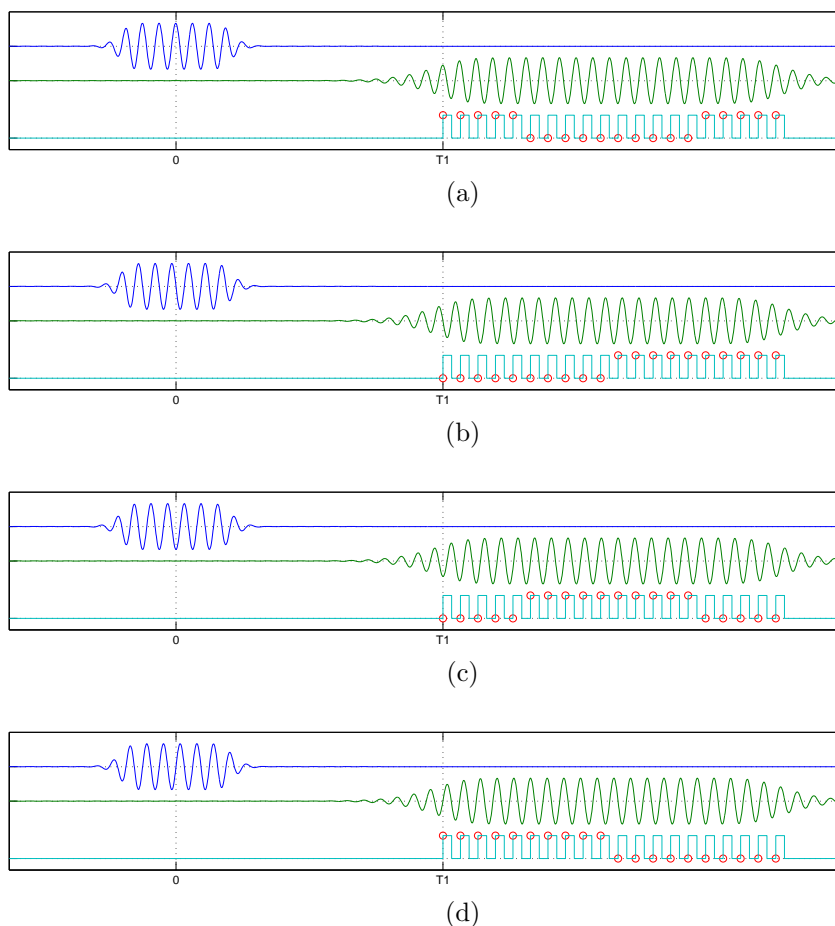


Figura 4.4.: Representación del funcionamiento del receptor SR para la detección de fase. La señal superior es la señal de entrada $x(t)$ de RF, la del medio es la salida del SRO $s(t)$ y la inferior es la del muestreo digital de la señal del SRO. Las distintas figuras representan la señal de entrada $x(t)$ con fase: a) 0, b) $\pi/4$, c) $2\pi/4$ y d) $3\pi/4$.

a inestable. También recordaremos aquí que la expresión (4.2) es válida tanto para un SRO operando en modo lineal como logarítmico.

Por lo tanto, queda demostrado que el SRO se comporta como un filtro y amplificador que mantiene la información de fase y, por tanto es susceptible de procesar señales moduladas PSK. En [31] se describe una técnica de demodulación de la señal del SRO totalmente digital y simple, en la cual se basa la parte del receptor del transceptor de [6]. Esta técnica encaja perfectamente con las características del receptor SR: arquitecturas sencilla y de bajo coste. Esta técnica de detección consiste en muestrear la señal en $t = nT_q + T_1$: a partir de un offset fijo respecto la ventana de sensibilidad del SRO centrada en $t = nT_q$. Este offset fijo, T_1 , se escoge de modo que el pulso del SRO tenga ya una amplitud que permita muestrearlo con un simple flip-flop y, por lo tanto, que se pueda discretizar la señal con solo dos niveles [27]. Si las muestras digitales son

4. Diseño e implementación de un transceptor SR QPSK

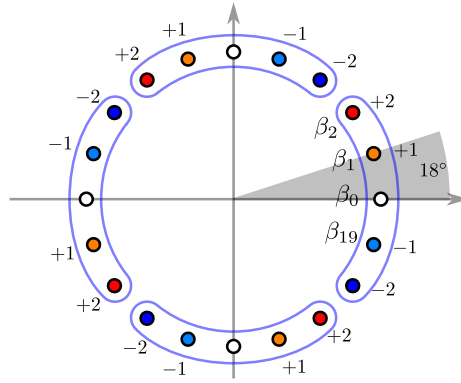


Figura 4.5.: Constelación QPSK muestreada con $N=20$ muestras.

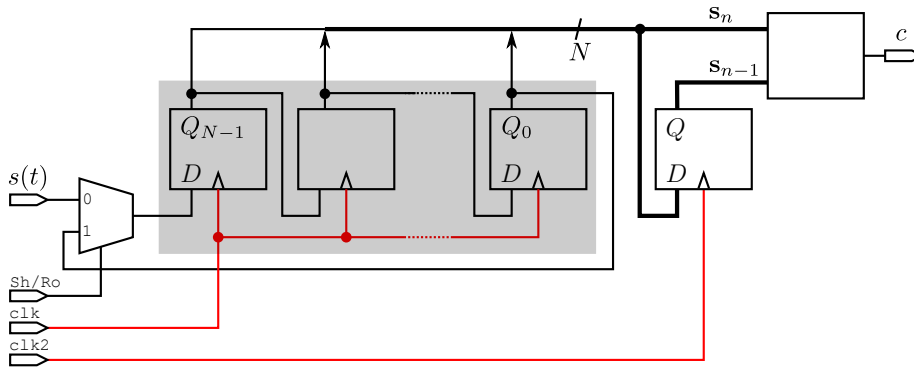


Figura 4.6.: Esquema de los procesos de muestreo y correlación.

guardadas en un registro de desplazamiento con N posiciones a una frecuencia f_{CLK} adecuada, para cada pulso RF obtenemos unos patrones digitales como los que se muestran en la Figura 4.4. Para el modo logarítmico, las formas de onda ideales de la Figura 4.4 muestran la señal RF $x(t)$ submuestreada y cuantificada para obtener 20 muestras de 1 bit en 21 ciclos de RF. En la práctica hay muchos más ciclos de RF que los que se muestran, por lo tanto escoger un valor de T_1 no es crítico. En cada subfigura se muestran las trazas cualitativas (de arriba a abajo): la señal de entrada modulada $x(t)$, la salida del SRO $s(t)$ y la señal de reloj de muestreo, con las muestras señalizadas con círculos. Denominaremos \mathbf{s}_n al vector de N muestras cuantificadas con un solo bit, correspondiente al símbolo n -ésimo. Por lo tanto, los cambios de fase se pueden detectar fácilmente comparando los vectores \mathbf{s}_n y \mathbf{s}_{n-1} . Cabe remarcar que en esta figura, por claridad, se ha representado la señal de entrada de RF modulada también en amplitud además de en fase. Dado que el SRO sólo es sensible a la señal de entrada durante un pequeño instante, la respuesta sería exactamente la misma para una señal de entrada de amplitud constante.

Las N muestras que describen la fase de la señal recibida pueden ser obtenidas muestreando a diversas frecuencias. En el caso de la Figura 4.4 se realiza un

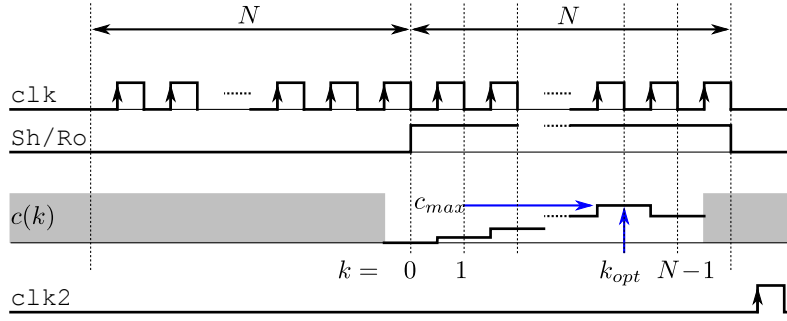


Figura 4.7.: Diagrama temporal correspondiente al proceso de correlación.

ligero submuestreo que evita trabajar a frecuencias superiores a f_c . En general, será necesario elegir una frecuencia de muestreo que cumpla

$$f_{CLK} = \left\lfloor \frac{N}{kN + 1} \right\rfloor f_0 \quad (4.6)$$

con k un entero positivo. En nuestro caso hemos escogido $k=1$, que significa tomar N muestras utilizando $N+1$ períodos de $s(t)$ trabajando a una frecuencia de muestreo f_{CLK} ligeramente inferior a f_c , pero otros valores de k son igualmente posibles en la práctica. Una vez guardado el vector de las muestras actuales \mathbf{s}_n , es comparado con el vector \mathbf{s}_{n-1} y se busca el desplazamiento que proporciona un mayor valor de correlación. Esto se consigue rotando circularmente el vector \mathbf{s}_n k posiciones (lo que se denota como $\text{rot}^k(\mathbf{s}_n)$) y se cuentan el número de coincidencias de muestras (xnor lógica) con el vector anterior \mathbf{s}_{n-1} . Formalmente, este procedimiento se puede expresar como

$$c(k) = \text{sum}(\text{rot}^k(\mathbf{s}_n) \text{ xnor } \mathbf{s}_{n-1}). \quad (4.7)$$

En la práctica esto se ha implementado eficientemente guardando las muestras recibidas en un registro de desplazamiento. Después, cuando todas las posiciones se han llenado, el registro de desplazamiento es rotado sucesivamente y se lleva a cabo la comparación con el registro del vector de muestras previo. En la Figura 4.6 y en su diagrama temporal asociado, Figura 4.7, se puede ver el esquema y su funcionamiento. La señal **Sh/Ro** controla cuando el registro deja entrar nuevas muestras o cuando se rota. Por otra parte, un bloque combinacional calcula las coincidencias entre vectores, $c(k)$, como indica la expresión (4.7).

Como en nuestra implementación disponemos de muchos ciclos de reloj ($T_s \gg T_{CLK}$), este procedimiento se realiza en un proceso secuencial donde cada bit es comparado con otro bit en un ciclo de reloj, optimizando el uso de los recursos digitales.

La información que proporciona este procedimiento es:

4. Diseño e implementación de un transceptor SR QPSK

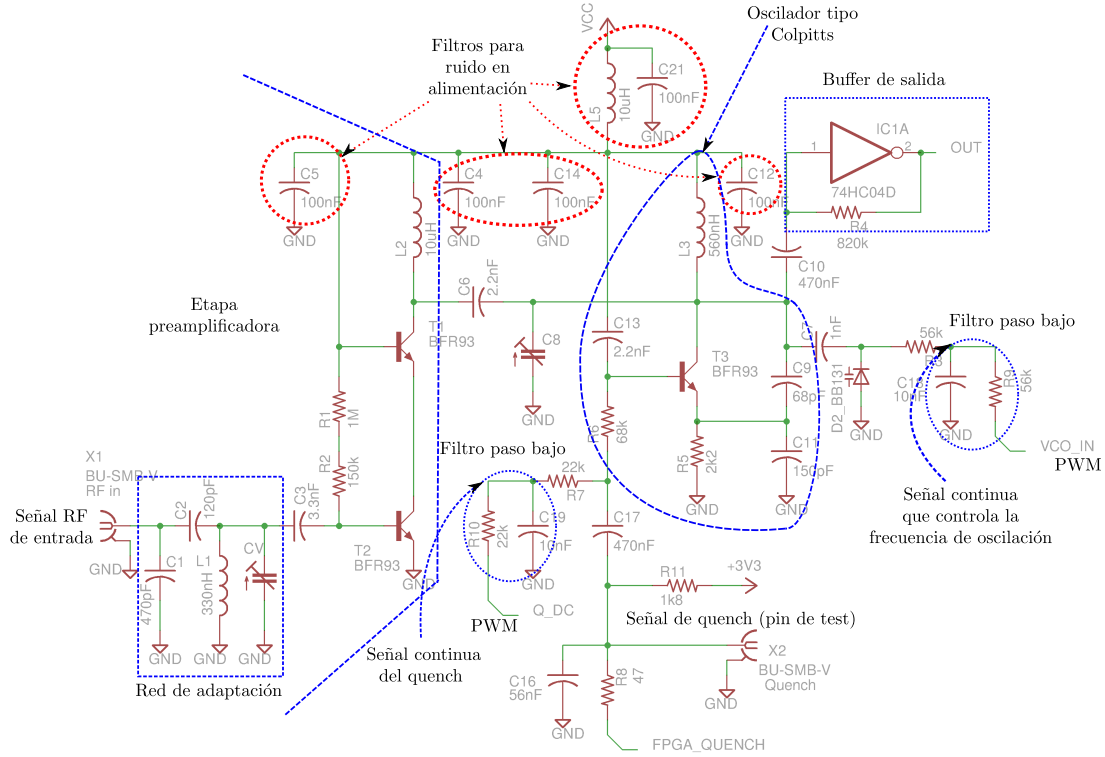


Figura 4.8.: Parte analógica del receptor superregenerativo.

- El desplazamiento k_{opt} que da un máximo en la correlación¹. Con esta información, la diferencia de fase es directamente obtenida como $\Delta\varphi = k_{opt} \times 2\pi/N$.
- Una medida del valor máximo de la correlación c_{max} . Dado que el número de muestras es N , en el caso ideal tendríamos $c_{max} = N$.

Con N muestras se pueden determinar N fases distintas. Para una modulación QPSK, teóricamente con $N=4$ ya podríamos detectar los 4 símbolos. Pero es deseable tener más información disponible para mejorar las decisiones de símbolo, reduciendo la probabilidad de error y, a la vez, extraer información de la calidad de las decisiones. En este caso, se ha implementado el receptor con $N = 20$ y por lo tanto podemos determinar 20 valores distintos de diferencias de fase entre pulsos consecutivos (Figura 4.5). Como se puede ver, las decisiones de símbolo se hacen agrupando 5 fases alrededor de las fases ideales de los símbolos transmitidos con una resolución de 18° entre fases.

Teniendo esto en cuenta, en esta implementación se usa una portadora de 26.25MHz, lo que significa que la $f_{CLK} = 25$ MHz.

¹ En la Sección 4.7 se trata la posible existencia de dos máximos.

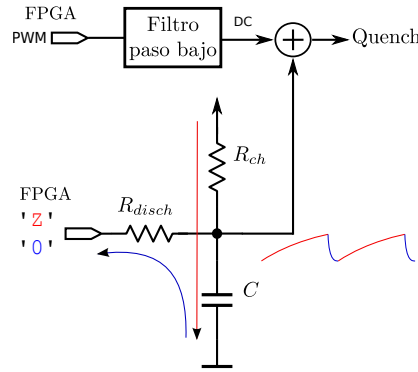


Figura 4.9.: Generación de la señal de *quench*. El filtro paso-bajo y la suma se pueden ver en detalle en el esquema general de la Figura 4.8.

Como novedad, respecto a [31] y a [6], se ha añadido la circuitería necesaria para generar una señal de *quench* en forma de diente de sierra, permitiendo que el sistema no dependa de la señal generada por un generador externo. La generación de la señal de *quench* se presenta en la sección 4.4. Además, este receptor es capaz de sincronizarse con un preámbulo sin que ello requiera cambios en el núcleo del receptor SR QPSK. En la Figura 4.8 se muestra el diseño de la parte analógica del receptor superregenerativo. Está compuesto por una red de adaptación, un preamplificador Cascode, el núcleo del SRO y un amplificador en la salida. Todos los transistores son del tipo BFR93A. El circuito resonador que determina la frecuencia de oscilación está compuesto por $L3$, por la combinación de $C1$, $C8$, $C9$ y el varicap BB131, el cual está controlado por una componente DC creada mediante una señal PWM (de frecuencia ~ 200 kHz) generada por la FPGA. El inversor de la salida proporciona una ganancia y un aislamiento para la parte digital, donde un flip-flop D muestrea y discretiza la salida.

El uso de la red de adaptación de impedancias ($C_v = 2.8...12.5$ pF) transforma una impedancia de entrada cercana a un circuito abierto en $\sim 63 \Omega$ a 26.25 MHz consiguiéndose una mejora de sensibilidad de unos 2 dB respecto la sensibilidad medida sin red de adaptación de la gráfica 4.14.

4.4. Señal de quench

La forma, la amplitud y la componente DC de la señal de *quench* tienen un impacto significativo en el funcionamiento del receptor SR [3]. Una señal adecuada para el receptor superregenerativo es un diente de sierra de amplitud $2 V_{pp}$. Esta señal tiene relativamente un pendiente bajo en el punto de sensibilidad donde el oscilador empieza a ser inestable y un fuerte pendiente negativo para extinguir rápidamente la oscilación. Estas propiedades contribuyen a reducir el ancho de banda del receptor y a limitar el *hangover* [3].

4. Diseño e implementación de un transceptor SR QPSK

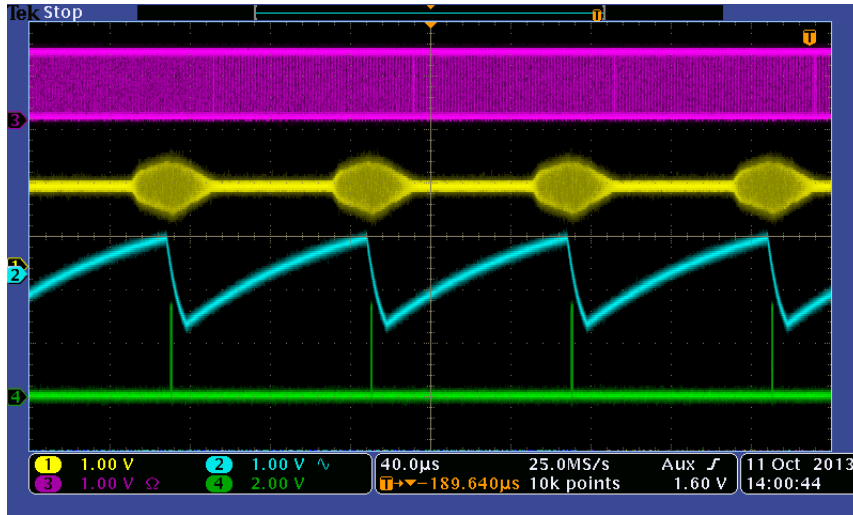


Figura 4.10.: Funcionamiento del receptor SR con la señal de *quench* de diente de sierra creado por la FPGA. De arriba a abajo: traza #3 es la señal modulada QPSK del transmisor, traza #1 es la señal del SRO, traza #2 es la señal de *quench* y traza #4 muestra las 20 muestras obtenidas en cada período de *quench*.

El circuito de la Figura 4.9 permite una generación simple de esta señal utilizando una FPGA y un número reducido de elementos discretos. Un pin de salida de la FPGA conmuta entre el estado de alta impedancia (Z) y 0. Al estado Z, el condensador se carga exponencialmente hacia a V_{CC} . En el momento adecuado, el pin de la FPGA conmuta a 0, y descarga rápidamente el condensador. Los valores de los elementos son $R_{ch} = 1.8 \text{ k}\Omega$, $R_{disch} = 47 \Omega$, $C = 56 \text{ nF}$, el cual juntamente con $V_{CC} = 3.3 \text{ V}$ dan la forma de onda necesaria, con $\tau_{charge} = 38\tau_{discharge}$.

Con el objetivo de tener un grado de libertad para ajustar la ganancia del SR, otro pin de la FPGA genera una señal PWM la cual, después de ser filtrada pasabajo, es añadida a la señal en diente de sierra antes mencionada. La Figura 4.10 muestra la señal de *quench* generada y los pulsos RF generados por el SRO en respuesta a este. También se pueden ver las muestras de la señal cuando esta tiene suficiente amplitud.

4.5. Sincronización

El problema de la sincronización aparece en cualquier canal donde el transmisor y receptor no comparten una referencia de reloj común. El hecho de tener dos dispositivos con dos relojes distintos significa que hay derivas inevitables entre ellos.

Como se ha comentado anteriormente (Sección 4.3) para que el receptor QPSK funcione correctamente, el período de sensibilidad ha de situarse en la proximidad del centro de cada símbolo para lo cual es necesario mantener cierta sincronización.

En las transmisiones continuas (*streaming*) es necesario realizar un control constante sobre la sincronización. En cambio, en transmisiones a ráfagas, denominadas también *por paquetes*, es posible que una vez conseguida la sincronización (típicamente durante un preámbulo), podamos confiar en la estabilidad de los relojes del transmisor y del receptor (basados en cristales) para mantener la sincronización durante toda la longitud del paquete.

Como nuestro transceptor utiliza transmisiones a ráfagas es necesario elaborar un algoritmo que permita realizar la sincronización a partir de un preámbulo adecuado. Con el fin de tener un transceptor completo operativo utilizando un mínimo de recursos utilizaremos un preámbulo hecho a medida que permita el uso de un algoritmo simple. La utilización de otros algoritmos/preámbulos se estudiarán más adelante.

Con eso en mente, hemos diseñado un preámbulo donde la portadora de RF tiene cambios de 180° en cada símbolo. La idea consiste en adquirir la fase a una frecuencia ligeramente distinta que la de símbolo con el fin de obtener información que permita conseguir el sincronismo deseado. En nuestro caso, escogemos

$$T_{adq} = T_s + \Delta T, \quad (4.8)$$

donde ΔT es un número entero de períodos de portadora (para evitar introducir un cambio de fase artificial a consecuencia del desplazamiento en el tiempo), es decir

$$\Delta T = nT_c. \quad (4.9)$$

Una restricción adicional a ΔT viene sugerida por un uso eficiente de los recursos de la FPGA:

$$T_s = m\Delta T, \quad (4.10)$$

donde es un entero.

El preámbulo es tal que entre dos símbolos consecutivos observaremos una diferencia de fase de 180° siempre que observemos la fase a intervalos de T_s . Dado que $T_{adq} > T_s$, ocasionalmente observaremos una diferencia de fase de 0° , indicando que nos hemos saltado un símbolo entero entre observaciones (Figura 4.11). Este hecho nos indica que el punto óptimo de observación, el centro del símbolo definido como $T_{symb}/2$, se encuentra aproximadamente en el punto medio de las dos últimas observaciones (Figura 4.12), es decir, debemos desplazarnos $-T_{adq}/2$ respecto a la última observación. Esta estimación del punto de

4. Diseño e implementación de un transceptor SR QPSK

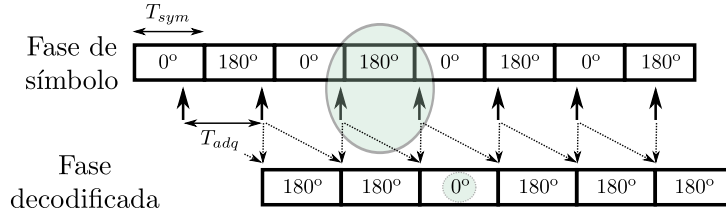


Figura 4.11.: Esquema del método de sincronización. Muestreando el preámbulo cada $T_s + \Delta T$, nos saltaremos un símbolo.

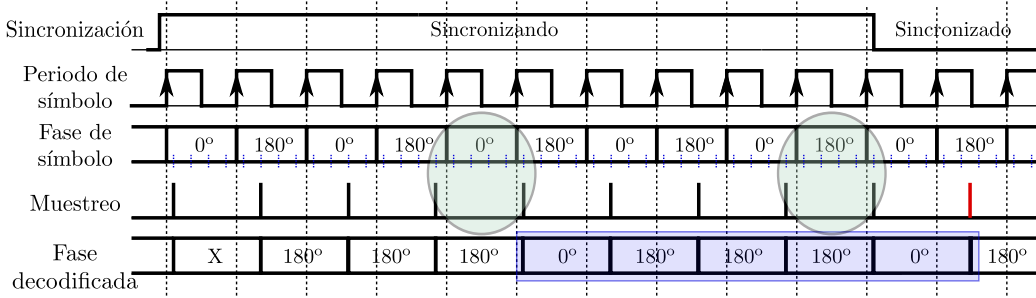


Figura 4.12.: Tiempo de sincronización para $m = 4$. Se ha representado la situación que maximiza este tiempo.

observación está sujeta a una incertidumbre determinada por $\pm \Delta T$:

$$t_{opt} = \frac{T_s}{2} \pm \frac{\Delta T}{2}. \quad (4.11)$$

Cuando se detecta una diferencia de fase de cero, podemos concluir que se ha conseguido la sincronización. No obstante, para hacer el proceso más robusto frente al ruido, es conveniente esperar hasta a una segunda diferencia de fase cero que es obtenida m intervalos más tarde. Por lo tanto, el proceso de sincronización finaliza cuando se detecta correctamente una secuencia completa de dos diferencias de fase ceros con $(m - 1)$ diferencias de fase de 180° entre ellas. En caso contrario, el proceso de adquisición volvería a empezar. Esto mejora la robustez del proceso de sincronización frente al ruido, el único elemento presente en el canal antes de que sea transmitido el preámbulo. En el peor de los casos, necesitaremos la recepción de

$$N_{max} = 2m + 3 \quad (4.12)$$

símbolos para completar la adquisición (Figura 4.12).

Ahora, considerando una incertidumbre en t_{opt} y un deslizamiento relativo en los relojes entre el transmisor y receptor, calculamos la longitud máxima que puede tener la trama para ser recibida correctamente. Considerando que los dos

Tabla 4.1.: Número máximo de símbolos de datos para $r(ppm) = 20$

m	2	3	4	5	8	∞
N_{sym}	6200	8300	9300	10000	10900	12500

relojes tienen la misma estabilidad relativa r (en ppm), en el peor de los casos, el máximo número de símbolos que es posible transmitir viene dado por

$$N_{sym} \simeq \frac{m-1}{m} \times \frac{1}{4r10^{-6}}. \quad (4.13)$$

Otra restricción adicional de ΔT viene dada por el período de reloj T_{CLK} de nuestro sistema:

$$\Delta T = qT_{CLK}, \quad (4.14)$$

con q entero.

Por lo tanto, ΔT está sujeto a las restricciones marcadas por (4.10), (4.9) y (4.14). El cumplimiento de estas ecuaciones con m , n y q enteros puede ser imposible. Por ejemplo, en nuestro caso, con $f_s = 10$ kHz, $f_c = 26.25$ Mhz, $f_{CLK} = 50$ MHz y $m = 8$, el cumplimiento de (4.9) y (4.14) se traduce en que q es múltiplo de 40, mientras que el cumplimiento de (4.10) y (4.14) se traduce en $q = 5000/8 = 625$ que no es múltiplo de 40.

La restricción de (4.10) puede ser relajada de modo que ΔT no tenga siempre el mismo valor, siempre que la suma de una secuencia de m valores ΔT sea igual a un período de símbolo. Para el ejemplo anterior utilizamos 4.14 con la secuencia $q = \{640, 640, 640, 640, 640, 600, 600, 600\}$ (o una permutación de los mismos), de modo que n de (4.9) toma como valor la secuencia $n = 21 \cdot \{16, 16, 16, 16, 16, 15, 15, 15\}$.

Un decremento de ΔT , es decir, un incremento de m , se traduce en un incremento de N_{sym} . Incrementando m , N_{sym} converge rápidamente a $\frac{1}{4r10^{-6}}$, como se puede ver en la Tabla 4.1.

4.6. Resultados experimentales

Para la verificación del diseño hemos implementado dos transceptores utilizando una velocidad de bit $f_b = 20$ kbps, es decir, una frecuencia de símbolo $f_s = 10$ kHz, una frecuencia de portadora $f_c = 26.25$ MHz, y una frecuencia de reloj de la parte receptora $f_{CLK} = 50$ MHz. Hemos escogido $m = 8$, lo cual significa que el preámbulo debe tener más de 19 símbolos, como indica la ecuación (4.12), es decir 38 bits, y el campo de datos ha de tener menos que 10900 símbolos

4. Diseño e implementación de un transceptor SR QPSK

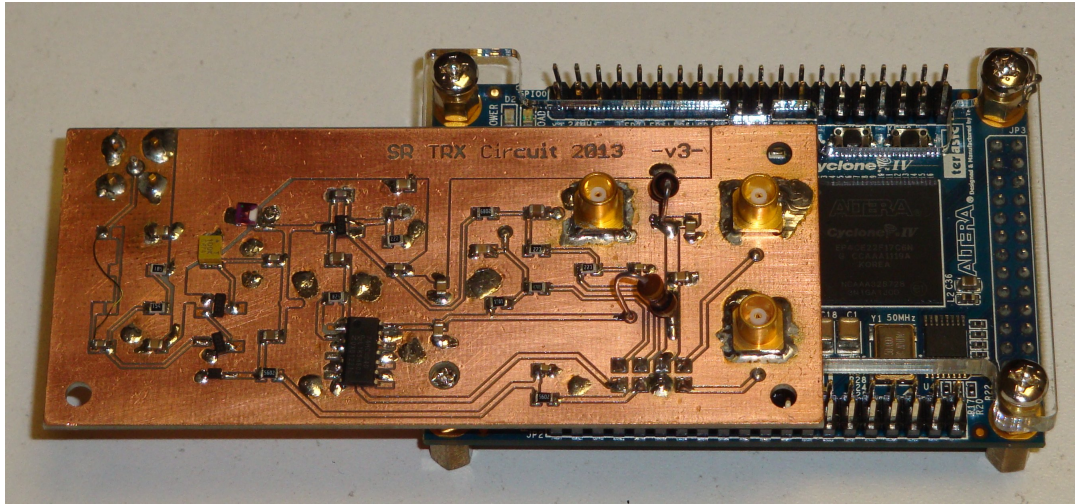


Figura 4.13.: Una fotografía de uno de los transceptores superregenerativos QPSK implementados.

para relojes con 20 ppm de estabilidad. Los dos transceptores son capaces de intercambiarse paquetes con tramas de 40 bits de preámbulo, 8 bits de *start delimiter* y 960 bits de datos (valores que cumplen los requisitos previos).

Uno de los prototipos se puede ver en la Figura 4.13. Está compuesto por una placa analógica, cuyo esquema se muestra en la Figura 4.8. La PCB está conectada a una placa DE0-Nano mediante de un *header* de 8 pines localizados en la cara inferior. La placa analógica contiene un *front-end* similar al de [31], juntamente con la circuitería descrita anteriormente para generar la señal de *quench*. Los dos conectores MCX del extremo derecho son para la salida RF diferencial mientras que el conector MCX del extremo izquierdo que se encuentra en la parte inferior es para la entrada RF. El conector MCX restante se utiliza como punto de test. En este prototipo no hemos incluido el filtro para limitar los armónicos contenidos en el señal transmitida, pero está claro que este sería un requisito para una implementación final juntamente con un sistema capaz de conmutar en una sola antena los puertos transmisor y receptor. Para nuestros test de transmisión en el laboratorio, hemos colocado un pequeño cable (~ 10 cm) en uno de los conectores MCX transmisor.

La generación de la señal de *quench* a través del circuito propuesto en este capítulo ha sido implementada y probada con éxito. El circuito propuesto es minimalista en tanto que solo utiliza un pin de la FPGA, dos resistencias y un condensador. La sensibilidad del receptor utilizando este *quench* propio coincide con [31] (Figura 4.14) obtenida utilizando un generador externo para generar la señal de *quench*.

Conectando un analizador de espectros a la entrada del receptor (RFin), hemos medido la potencia radiada a través del conector de la antena, obteniéndose un

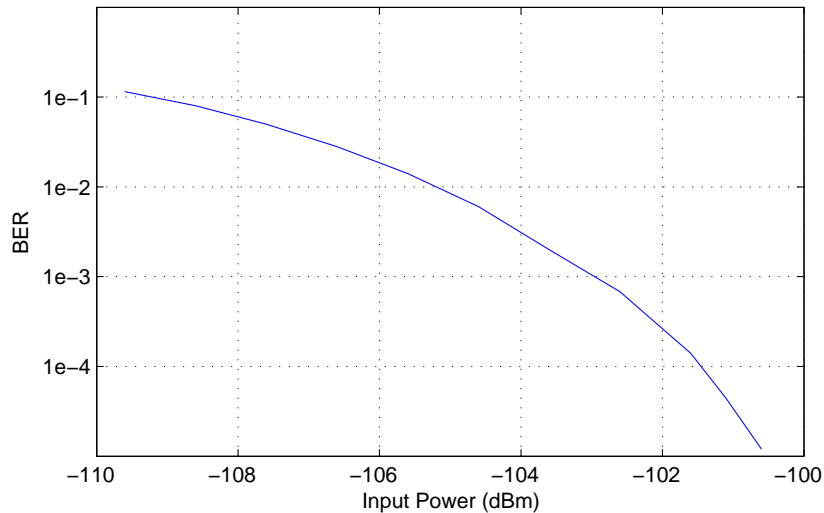


Figura 4.14.: Relación entre la potencia de la señal de entrada y la tasa de error obtenida con un *quench* sinusoidal y sin red de adaptación [31].

nivel de potencia inferior a -80 dBm. Este valor es relativamente pequeño a consecuencia del alto aislamiento inverso que ofrece el preamplificador de bajo ruido (LNA) [27].

El transceptor es capaz de conmutar entre transmisión y recepción dependiendo de una señal digital de control. Se ha comprobado que el proceso de sincronización funciona de forma fiable. Primero, el receptor se inicializa en un estado de buscar sincronización, del cual sale cuando consigue encontrar sincronización. Después de esto, se detecta el *start delimiter* y el resto de trama es capturada de forma directa.

La Figura 4.12 muestra un diagrama temporal del proceso de sincronización. La Figura 4.15 muestra el mismo proceso pero con las formas de onda experimentales, donde se puede ver cómo cada símbolo es observado en una posición distinta hasta que se consigue la sincronización.

Por lo que se refiere a la complejidad de la implementación propuesta, incluyendo alguna circuitería por depurar y sin poner especial atención a la optimización de recursos, la parte digital ocupa 1750 elementos lógicos, es decir, un 8% de los recursos de la FPGA de la placa de desarrollo [42].

En [31] se describe la factibilidad de operar el receptor SR QPSK a frecuencias más altas, siendo la conclusión más significativa que el método de muestreo sería igual de simple operando a una frecuencia mucho más alta de portadora, por ejemplo, implementándolo en un circuito integrando en CMOS. Por otro lado, el principio de sincronización es independiente de la frecuencia de operación, de forma que el único punto que requeriría un cierto replanteamiento es

4. Diseño e implementación de un transceptor SR QPSK

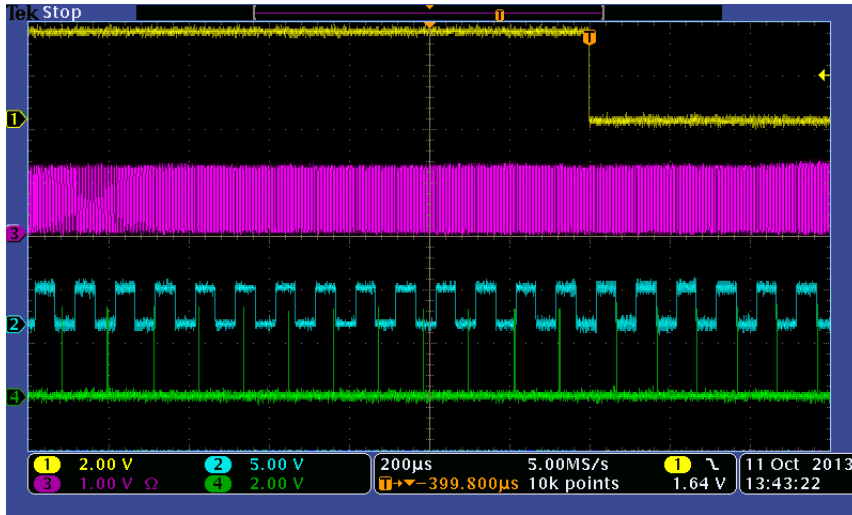


Figura 4.15.: Captura del final del proceso de adquisición. De arriba a abajo: traza #1 es la señal de sincronización, traza #3 es la señal modulada QPSK, traza #2 es la señal de reloj de símbolo del receptor y la traza #4 son las muestras obtenidas y, indirectamente, el instante de tiempo donde han sido obtenidas.

la parte del transmisor. En función de la frecuencia de operación deseada, la generación directa de la señal de RF que se ha explicado en este capítulo no se podría hacer totalmente digital en la FPGA y podría ser necesario hacer uso de un mezclador externo. Alternativamente, se podría usar el SRO también en transmisión, haciendo que éste utilizara como entrada un armónico de la señal generada digitalmente según la técnica descrita.

4.7. Algoritmo de correlación para el cálculo de fases

En esta sección estudiamos en detalle el algoritmo de determinación de la diferencia de fase recibida a partir de dos vectores consecutivos de muestras \mathbf{s}_n y \mathbf{s}_{n-1} , Figura 4.6.

Este algoritmo se basa en determinar el instante k en que se produce el máximo de la correlación de estos dos vectores. Proponemos dos algoritmos: el primero de ellos determina una k subóptima con la utilización de un mínimo de recursos, y el segundo determina la k óptima pero usando más recursos digitales.

El vector \mathbf{s}_n está formado por N muestras de la señal del SRO cuantificadas con 1 bit. Este vector, idealmente, ha de contener la mitad de valores 1 y la mitad de valores 0 como hemos visto en la Figura 4.4. La correlación del vector \mathbf{s}_n y \mathbf{s}_{n-1} se realiza utilizando la ecuación (4.7). En el instante k de rotación del vector se

```

if usum > max then
    max <= usum;
    max_pos <= max_cnt;
end if;

```

Tabla 4.2.: Decisión del máximo de la correlación descrito en VHDL.

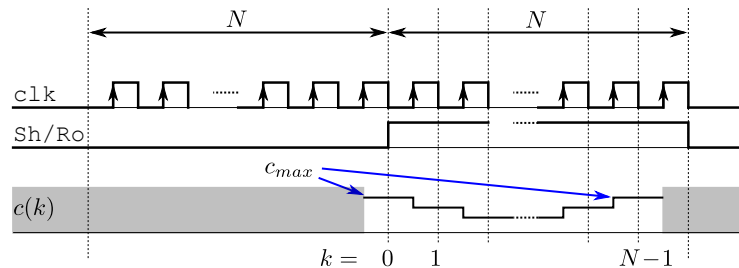


Figura 4.16.: Diagrama temporal correspondiente al proceso de correlación con el resultado de dos máximos.

calcula el valor de coincidencias de las muestras, que en nuestra implementación en VHDL se llama (*usum*). Si el resultado en $k + 1$ es mayor que en k se guarda el valor como un máximo y se guarda la posición para decidir finalmente la k subóptima. Su implementación en VHDL se muestra en la Tabla 4.2.

En condiciones ideales existe solo un máximo y el método anterior lo determina de forma inequívoca. La existencia de ruido, de la índole que sea (cuantificación, térmico, ...), puede provocar la aparición de más de un máximo. El algoritmo anterior siempre escoge el primer máximo, decisión arbitraria que en principio desde un punto de vista estadístico no presenta inconvenientes excepto en el caso que se describe a continuación.

Si existen dos máximos consecutivos, uno en k y el otro en $k - 1$, se escoge el primer máximo $k_{opt} = k - 1$. Una excepción a esta decisión se produce cuando $k - 1 = N - 1$ y $k = 0$. El algoritmo descrito escoge $k_{opt} = 0$ en lugar $k_{opt} = N - 1$, de modo que estadísticamente se desfavorece $k = N - 1$ con respecto a $k = 0$ y en especial con respecto a posiciones de idéntica probabilidad como $k = 1$. La Figura 4.16 muestra esta situación. En el caso de transmisión de diferencia de fase 0, en ausencia de ruido siempre se detectaría $k = 0$. Si contemplamos la existencia de ruido, la probabilidad de detectar $k = N - 1$ y $k = 1$ debería ser la misma. Sin embargo, como ya se ha comentado, el algoritmo decidirá con más frecuencia $k = 1$ que $k = N - 1$.

Evidentemente, cuando testeamos nuestro algoritmo sospechamos de la existencia de un mal funcionamiento a causa de esta asimetría.

Para despejar las dudas de si la asimetría observada proviene del algoritmo realizado o de algún error en otro punto del receptor, se ha desarrollado e im-

```

if found = '0' then
    if max_pos = 0 then
        if max_rel(19) = max then
            max_pos <= "10011"; -- 19
        else
            found <= '1';
        end if;
    else
        if max_rel(to_integer(max_pos-1)) = max then
            max_pos <= max_pos-1;
        else
            found <= '1';
        end if;
    end if;
end if;

```

Tabla 4.3.: Descripción en VHDL de la nueva decisión del máximo de la correlación.

plementado el algoritmo de la Tabla 4.3. Con este método la búsqueda del primer máximo se realiza de forma circular. Efectivamente desaparece la asimetría observada pero a costa de consumir mayores recursos y un mayor número de ciclos de reloj que, como máximo, será N . Cabe remarcar que el BER medido con los dos algoritmos es el mismo y, por lo tanto, optamos por el primer algoritmo.

4.8. Codificación Gray

Hasta ahora, para la codificación binaria de los símbolos, hemos utilizado la codificación binaria natural. Tal como se puede ver en la constelación de la izquierda de la Figura 4.17, los símbolos están enumerados en binario consecutivamente.

Este tipo de codificación conlleva que, en algunos casos, entre dos símbolos consecutivos, los dos bits del símbolo cambian. Si el ruido nos conduce, erróneamente, el símbolo adyacente, algunas veces tendremos el doble de bits erróneos que si solo variara un bit entre símbolos adyacentes. En adelante consideraremos que la probabilidad de detectar erróneamente símbolos más allá del adyacente es prácticamente nula.

Como es conocido, la codificación Gray propone, precisamente, una codificación binaria donde las variaciones entre símbolos consecutivos son de un solo bit. Este tipo de codificación es especialmente atractiva en transmisiones de datos porque minimiza el error.

La secuencia de dos bits correspondiente a la codificación Gray es: $00 \rightarrow 01 \rightarrow 11 \rightarrow 10$. Esta secuencia implementada sobre la constelación QPSK se puede ver en la Figura 4.17. En el caso de tres bits, como por ejemplo un 8PSK, la codificación natural es: $000 \rightarrow 001 \rightarrow 010 \rightarrow 011 \rightarrow 100 \rightarrow 101 \rightarrow 110 \rightarrow 111$, y en cambio la de Gray es: $000 \rightarrow 001 \rightarrow 011 \rightarrow 010 \rightarrow 110 \rightarrow 111 \rightarrow 101 \rightarrow 100$.

Para transformar de una codificación a otra se puede realizar de una forma simple utilizando puertas **xor**. Por ejemplo, si tenemos un vector de 3 bits codificado en natural $(n_2n_1n_0)$, su vector correspondiente en Gray $(g_2g_1g_0)$ se calcula de la siguiente forma: $g_2 = n_2, g_1 = n_2 \oplus n_1, g_0 = n_1 \oplus n_0$. Al proceso de codificar los bits de código natural a código Gray le llamaremos G . La operación inversa, G^{-1} , de transformar de código Gray a natural se hace de la siguiente forma: $n_2 = g_2, n_1 = g_1 \oplus n_2, n_0 = g_0 \oplus n_1$.

Una alternativa a la utilización de puertas **xor** es el mapeo mediante la utilización de unas tablas G y G^{-1} , método utilizado finalmente. Cada alternativa utiliza un tipo de recursos distintos, por lo que la comparación basada en recursos no es sencilla.

Para cuantificar la mejora de la codificación Gray respecto a la natural en el caso del QPSK hemos de tener en cuenta lo siguiente:

- En la codificación Gray hay 4 cambios de 1 bit en símbolos adyacentes (4 bits distintos en total).
- En la codificación natural hay 2 cambios de 1 bit y 2 cambios de 2 bits en símbolos adyacentes (6 bits distintos en total).

Por lo tanto, la probabilidad de error de un QPSK codificado en Gray es $\frac{4}{6}$ la probabilidad de error de un QPSK codificado en natural.

Aquí es necesario remarcar que sólo se estudian los casos de símbolos adyacentes ya que son los errores más probables.

Es interesante ver que para las modulaciones M-PSK, el efecto de mejora crece con M . En el caso del 8PSK tenemos:

- En la codificación Gray hay 8 cambios de 1 bit en símbolos adyacentes (8 bits distintos en total).
- En la codificación natural hay 4 cambios de 1 bit, 2 cambios de 2 bits y 2 cambios de 3 bits en símbolos adyacentes (14 bits distintos en total).

Por lo tanto, un 8PSK codificado en Gray tendrá $\frac{8}{14}$ la probabilidad de error de un 8PSK codificado en natural. En el límite, cuando M tiende a infinito, la relación entre probabilidades tiende a $1/2$.

4. Diseño e implementación de un transceptor SR QPSK

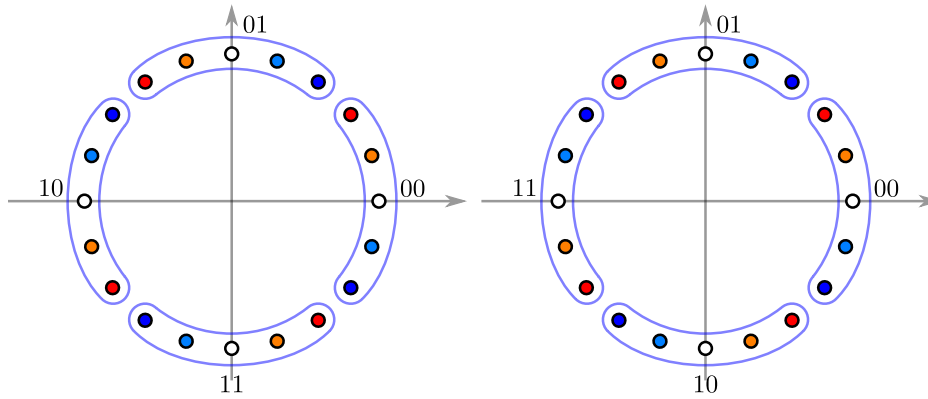


Figura 4.17.: Constelación QPSK con codificación binaria natural a la izquierda y constelación QPSK con codificación Gray a la derecha.

Como se ha explicado anteriormente el proceso de conversión de una codificación a la otra es muy simple pero a la hora de implementarlo en un sistema como el nuestro se han de tener en cuenta ciertos factores. En nuestro caso trabajamos con modulaciones diferenciales y, además, a veces puede interesar utilizar un modulador de fase externo (principalmente para hacer medidas de BER del receptor) y, por lo tanto, optamos por utilizar la codificación Gray con anterioridad a los procesos de modulación diferencial y de fase.

En la Figura 4.18 se muestra el sistema que hemos utilizado. El objetivo es tener la codificación Gray a la salida del sistema, donde hay que minimizar el error.

Primero, obtenemos los símbolos que provienen de agrupar $\log_2 M$ bits. En esta agrupación ya los queremos como código Gray ya que a la salida del sistema receptor tiene que cumplir que solo cambie un bit en símbolos adyacentes. Entonces para utilizar la codificación diferencial y el modulador PSK que utilizan codificación natural, transformamos los símbolos aplicando G^{-1} . Una vez transformados, se codifican diferencialmente sumando el símbolo actual que se ha enviado con el símbolo que se enviará. Este nuevo símbolo (en bits) se traduce en una fase siguiendo la constelación de la codificación natural (Figura 4.17) y se transmite a través de una portadora de RF. En el lado del receptor se recibe la RF calculando directamente la fase diferencial recibida y se convierte en símbolo siguiendo la constelación natural. Una vez obtenidos los símbolos (en bits) se transforman aplicando G y se obtienen los símbolos transmitidos en código Gray.

Una vez implementada la codificación Gray se han hecho medidas de BER para comprobar la mejora teórica calculada. Se ha hecho un barrido en potencia de la señal de entrada y en el caso del receptor QPSK se ha obtenido una relación de BER respecto al QPSK natural de 0.659 cuando el resultado teórico, recordemos, es $\frac{2}{3} = 0.666$. En el caso del 8PSK (con el receptor implementado en el Capítulo

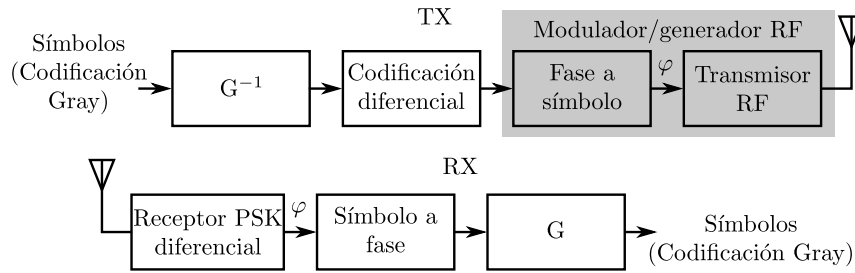


Figura 4.18.: Sistema implementado correspondiente a la codificación binaria Gray.

5) se ha obtenido una relación de BER de 0.566, cuando el resultado teórico, recordemos, es $\frac{4}{7} = 0.571$.

Los resultados obtenidos confirman que se cumple la mejora teórica calculada tanto en la modulación QPSK como la 8PSK.

4.9. Conclusiones

En este capítulo hemos presentado un prototipo funcional de transceptor SR QPSK operativo en la banda HF. Hemos mostrado cómo se puede implementar eficazmente un transmisor QPSK en una FPGA y por lo tanto, que sea totalmente digital. Además, hemos presentado una técnica simple para generar la señal de *quench* necesaria para el funcionamiento del receptor.

Hemos descrito un método que permite la sincronización del receptor en transmisiones a ráfagas o por paquetes. Para sincronizarse, el transmisor envía un preámbulo adecuado. En el receptor, se observa la fase con una frecuencia ligeramente inferior a la de símbolo, escaneando m posibles puntos de sincronización. La observación de una fase de 0° señala el punto óptimo de sincronización. Después de conseguir la sincronización durante el preámbulo, el receptor es capaz de recibir el resto de la trama gracias a la estabilidad de los relojes del transmisor y receptor. Hemos dado algunas expresiones para la longitud máxima del paquete en función de la estabilidad del reloj.

Se han implementado y testeado prototipos experimentales, en concreto se ha determinada la curva de sensibilidad, confirmando el correcto funcionamiento de las técnicas presentadas. La utilización de una red de adaptación de impedancias permite mejorar la sensibilidad del receptor en 2 dB.

Se ha investigado en detalle el algoritmo de correlación que determina la diferencia de fase entre dos pulsos del SRO consecutivos. Un primer algoritmo, que minimiza el número de recursos, presenta una estadística en la distribución de

4. *Diseño e implementación de un transceptor SR QPSK*

fases anómala. Un segundo algoritmo, que consume un mayor número de recursos, presenta la estadística en la distribución de fases esperada sin cambiar el BER.

Se ha presentado la implementación de la codificación Gray a la transmisión y recepción. Se ha comprobado experimentalmente la mejora que esta codificación ofrece en el caso del QPSK y 8PSK que coincide con la teórica que en el límite, con símbolos codificados con un número infinito de bits, reduce el error en un 50 %.

5. Diseño e implementación de un transceptor SR M-PSK

5.1. Introducción

En el Capítulo 4 se ha descrito la implementación de un transceptor SR QPSK implementado en una FPGA. En este capítulo presentamos el diseño, implementación y verificación de un transceptor SR M-PSK implementado, también, en una FPGA. Este transceptor es capaz de conmutar entre las modulaciones BPSK, QPSK y 8PSK. El transmisor es totalmente digital aprovechando que la frecuencia de la portadora se puede generar fácilmente con las FPGA de bajo coste actuales. Por otro lado, se han hecho medidas para las distintas modulaciones con el objetivo de verificar el diseño de este transceptor. A fin de comparar estas medidas con los resultados teóricos, ha sido necesario escoger apropiadamente una frecuencia de reloj de referencia de la FPGA.

Este capítulo se ha estructurado como sigue: En la Sección 5.2 presentamos el transceptor M-PSK, en la Sección 5.3 se describe el problema de escoger una frecuencia de reloj de referencia que permita generar todas las señales necesarias en la FPGA. Y en las secciones 5.4 y 5.5 se presentan y discuten las medidas de BER para, finalmente, extraer conclusiones.

5.2. Transceptor M-PSK

Consideremos una señal modulada M-PSK con m símbolos distintos, frecuencia de símbolo $f_s = 1/T_s$ y frecuencia portadora $\omega_c = 2\pi f_c$, descrita por la expresión

$$x(t) = \sum_{n=-\infty}^{\infty} p_c(t - nT_s) \cos(\omega_c t + \phi_n), \quad (5.1)$$

con la fase correspondiente al símbolo n dada por $\phi_n = \{0, 2\pi/m, 2 \times 2\pi/m, 3 \times 2\pi/m, \dots, (m-1) \times 2\pi/m\}$ y $p_c(t) = \Pi(t)$, es decir un pulso unitario.

En adelante consideraremos un transceptor PSK diferencial (DPSK) para evitar el problema de la sincronización de fase, aún cuando ello suponga una cierta

5. Diseño e implementación de un transceptor SR M-PSK

degradación en las prestaciones de BER con respecto a modulaciones PSK no diferenciales [41]. Las modulaciones DPSK requieren una codificación diferencial en la parte transmisora, en nuestro caso implementada en la FPGA y consistente en incorporar un sumador de $\log_2 m$ bits tal que el símbolo transmitido es la suma del símbolo transmitido en el instante anterior más el símbolo a transmitir actual.

La implementación del transceptor M-PSK se ha conseguido a base de ampliar las capacidades del transceptor QPSK descrito en el Capítulo 4 y, ahora, mediante una señal digital, dicho transceptor puede conmutar entre las modulaciones BPSK, QPSK y 8PSK. La principal repercusión que tiene el hecho de utilizar una modulación M-PSK en el transmisor es que para sintetizar digitalmente la señal modulada debe disponerse de una frecuencia igual a mf_c .

Uno de los principales objetivos que se persigue en este capítulo es verificar experimentalmente las prestaciones del prototipo para cada valor de m , obteniendo las curvas de BER y comparando los resultados experimentales con las referencias teóricas proporcionadas por [41]. Estas se presentan en la Tabla 5.1, donde r_b es la velocidad de bit (es decir, $r_b = f_s \log_2 m$), B_T es el ancho de banda de la señal modulada transmitida,

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^\infty e^{-\frac{\lambda^2}{2}} d\lambda = \frac{1}{2} \operatorname{erfc} \left(\frac{x}{\sqrt{2}} \right), \quad (5.2)$$

y γ_b es la relación entre la energía de bit E_b y la densidad espectral de potencia de ruido η ,

$$\gamma_b = \frac{E_b}{\eta}. \quad (5.3)$$

Las diferencias entre estas referencias y las medidas son debidas a varios factores como son: el ancho de banda del receptor, la figura de ruido del receptor y el error de cuantificación de fase.

El efecto del ancho de banda del receptor es fácil de tener en cuenta, ya que el escalado del argumento de las funciones de BER de la Tabla 5.1 se traduce en una traslación de las curvas de BER, tal como se muestra en la Figura 5.8. En lo que se refiere a los efectos de la cuantificación de fase, es necesario un pequeño análisis, que se presenta a continuación.

Las referencias teóricas de la Tabla 5.1 son para un receptor ideal, sin error de cuantificación de fase, es decir con $q_\phi = 0$. Por lo tanto, el mínimo ruido en términos absolutos entre dos fases consecutivas que produce un error en la decisión de símbolo es $n_\phi^* = \frac{2\pi}{2m}$.

Como se ha explicado en el capítulo anterior, la fase ϕ_n se obtiene mediante un submuestreo de la fase del pulso del SRO que tiene como resultado un vector

	r_b/B_T	BER	γ_b (dB)
BPSK	1	$\frac{1}{2}e^{-\gamma_b}$	9.3
QPSK	2	$Q\left(\sqrt{8\gamma_b \sin^2 \frac{\pi}{8}}\right)$	10.7
8PSK	3	$\frac{2}{3}Q\left(\sqrt{12\gamma_b \sin^2 \frac{\pi}{16}}\right)$	14.6

Tabla 5.1.: Modulaciones DPSK. Referencias teóricas de BER con codificación Gray y valor de $\gamma_b = \frac{E_b}{\eta}$ necesario para obtener un BER de 10^{-4} .

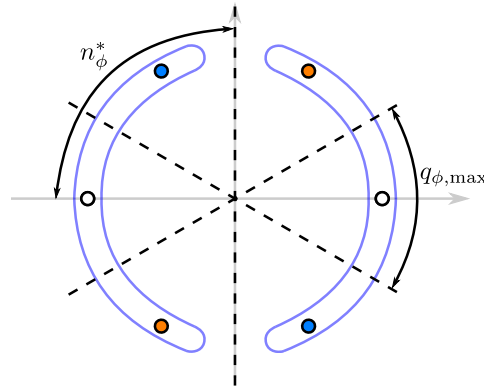


Figura 5.1.: Constelación BPSK con $N = 6$ en la que se muestra la desviación mínima debida al ruido n_ϕ^* en el caso ideal (sin cuantificación) que produce un error en la decisión de símbolo y el error máximo de cuantificación $q_{\phi,\max}$.

de N muestras de 1 bit. Por lo tanto, en nuestro caso tendremos un error de cuantificación que depende de N .

En la Figura 5.1 se muestra un ejemplo concreto ($m = 2, N = 6$) donde se pueden ver los límites de decisión de fase y de decisión de símbolo en nuestro receptor. Hay que recordar que trabajamos con modulaciones diferenciales y por lo tanto el error de cuantificación q_ϕ será más grande que si trabajásemos con modulaciones de fase absoluta, ya que el error se puede duplicar cuando este es de signo opuesto entre dos fases consecutivas. En el modo diferencial, para decodificar el símbolo recibido se tiene que calcular la diferencia entre dos fases, que en el caso de estar cuantificadas se puede expresar como $\varphi_d = (\varphi_2 \pm \frac{\pi}{N}) - (\varphi_1 \pm \frac{\pi}{N})$. Por lo tanto, en el peor caso el error máximo es

$$q_{\phi,\max} = \frac{2\pi}{N}. \quad (5.4)$$

Para el caso de la Figura 5.1 tendríamos $\varphi_1 \pm 30^\circ$ y, por lo tanto, $q_{\phi,\max} = 60^\circ$.

5. Diseño e implementación de un transceptor SR M-PSK

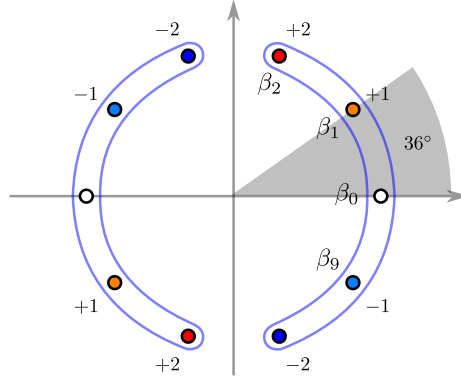


Figura 5.2.: Constelación BPSK con $N = 10$.

Teniendo esto en cuenta, el ruido n_ϕ que produce un error en la decisión de símbolo en nuestro receptor es menor que en el caso ideal $n_\phi^* = \frac{2\pi}{2m}$. Es decir $n_\phi = \frac{2\pi}{2m} - q_\phi$, con un mínimo

$$n_{\phi,\min} = \frac{2\pi}{2m} - q_{\phi,\max} = \frac{2\pi}{2m} - \frac{2\pi}{N}. \quad (5.5)$$

Cabe señalar que discretizando las muestras con más de 1 bit podríamos reducir q_ϕ y, en el límite, con un número infinito de bits, $q_\phi = 0$ y $n_{\phi,\min} = n_\phi^*$. Considerando las relaciones previas, si

$$\frac{N}{m} = \text{const.}, \quad (5.6)$$

entonces $n_\phi^*/n_{\phi,\min}$ es constante y, asumiendo una relación lineal entre ruido de fase y ruido de amplitud (cierto para una relación señal a ruido alta), es posible decir que el error de cuantificación de fase es equivalente a escalar el argumento de las funciones de BER de la Tabla 5.1, es decir, a producir un efecto de traslación.

En el lado del receptor, el principal impacto de implementar una modulación M-PSK es que el número de muestras N utilizadas para submuestrear el pulso del SRO ha de incrementarse cuando se incrementa m veces para poder cumplir (5.6). Las Figuras 5.2 a 5.4 muestran las constelaciones para $m = \{2, 4, 8\}$ con el valor constante de la ecuación (5.6) igual a 5. Por lo tanto, el número de muestras es $N = \{10, 20, 40\}$ y la fase en grados entre cada muestra es $\Delta_\theta = \frac{360^\circ}{N} = \{36^\circ, 18^\circ, 9^\circ\}$. La distancia de fase en grados entre símbolos (círculos blancos) es $\Delta_\phi = \{180^\circ, 90^\circ, 45^\circ\}$.

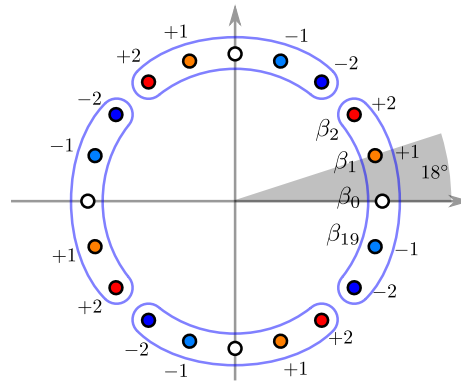


Figura 5.3.: Constelación QPSK con $N = 20$.

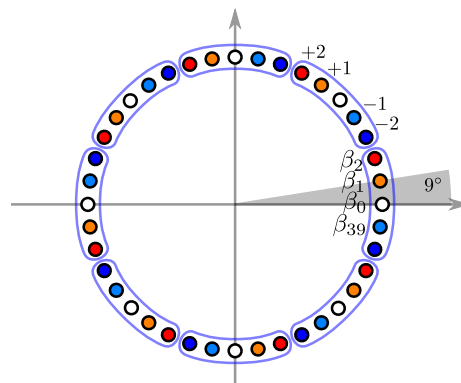


Figura 5.4.: Constelación 8PSK con $N = 40$.

5.3. Frecuencia del reloj de referencia

Para construir nuestro prototipo de transceptor M-PSK SR hemos implementado el transmisor y el mayor número posible de etapas del receptor en una FPGA. Con el objetivo de crear un diseño síncrono y simple, las señales de estas etapas se tienen que generar a partir de una única señal de reloj de referencia de frecuencia f_{ref} . Hemos escogido f_{ref} igual a la mayor de todas las frecuencias que se tienen que generar para evitar problemas con frecuencias más altas. En el diseño de la parte receptora, esta es f_{CLK} , es decir, la frecuencia a la cual se muestrean los pulsos del SRO durante un período corto de tiempo [31]. Por lo tanto, a partir de ahora asumiremos que $f_{ref} = f_{CLK}$.

Como se puede deducir, las etapas de muestreo y decodificación del receptor son las más críticas a la hora de trabajar con una única señal de reloj. Para cumplir (5.6) tenemos que ser capaces de cambiar N al conmutar el tipo de modulación, es decir, de modificar m sin cambiar f_c ni f_s .

A continuación se presentan las dos ecuaciones de diseño utilizadas. La relación

5. Diseño e implementación de un transceptor SR M-PSK

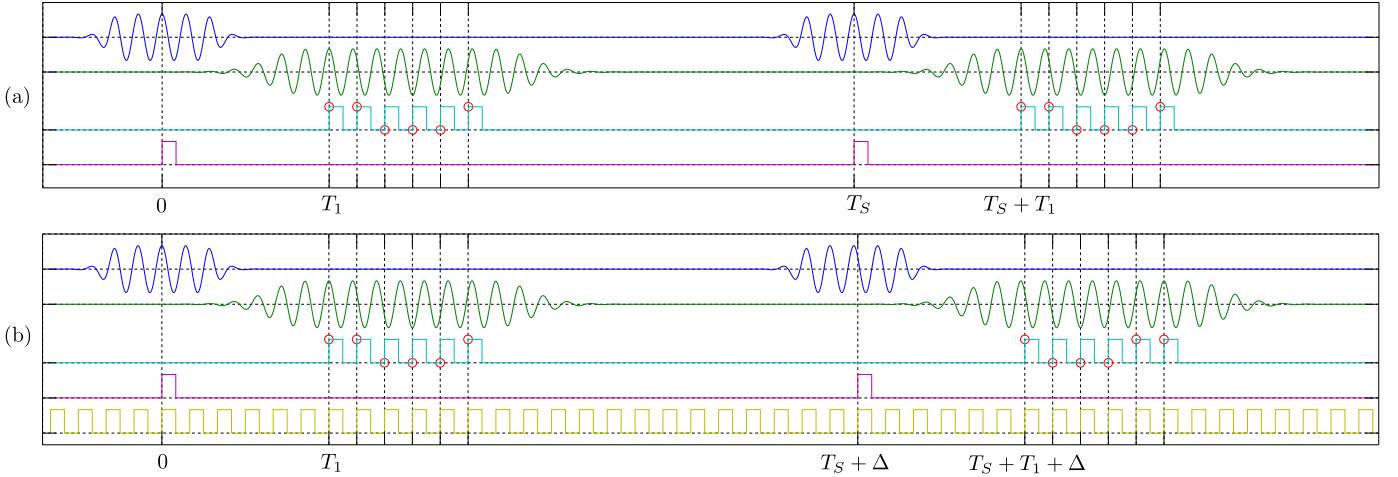


Figura 5.5.: Señal de RF recibida (azul), señal de reloj de símbolo (magenta), pulso generado por el SRO (verde), señal de muestreo (cyan), muestras de 1 bit (círculos rojos) y señal de reloj de referencia (amarillo). En (a) el símbolo (magenta) tiene un período T_s y en (b) tiene período $T'_s = T_s + \Delta$.

entre la frecuencia de muestreo f_{CLK} y la frecuencia de oscilación del SRO f_0 (nominalmente igual a f_c), teniendo en cuenta el número de muestras N , es (Sección 4.3)

$$f_{CLK} = \left\lfloor \frac{N}{kN + 1} \right\rfloor f_0, \quad (5.7)$$

con k entero. Por otro lado, la relación entre la frecuencia de muestreo f_{CLK} y la de símbolo f_s tiene que ser

$$f_{CLK} = M f_s, \quad (5.8)$$

con M entero, ya que la señal transmitida con frecuencia de símbolo f_s se ha creado a partir de f_{CLK} . La Figura 5.5 muestra la situación en la cual esta condición no se cumple. Se puede ver como la fase de la señal de RF de entrada en el flanco de subida del símbolo se mantiene en el pulso generado en el SRO. La señal de muestreo empieza con un offset fijo T_1 y se toman $N = 6$ muestras de 1 bit. La Figura 5.5 muestra esta situación para dos símbolos consecutivos que tienen la misma fase. En (a) la señal de símbolo tiene un período T_s y, por lo tanto, el patrón de muestras de 1 bit es el mismo en los dos pulsos generados por el SRO; el algoritmo de decisión concluye que la fase diferencial de los dos símbolos consecutivos es aproximadamente cero. En este ejemplo, sin embargo, la ecuación (5.8) no se cumple.

Como alternativa, cabe señalar que con el uso de un circuito aestado como el que se muestra en la Figura 5.6 podríamos generar f_{CLK} de forma no digital sin cumplir (5.8): Combinando los valores de R y C , se podría ajustar f_{CLK}

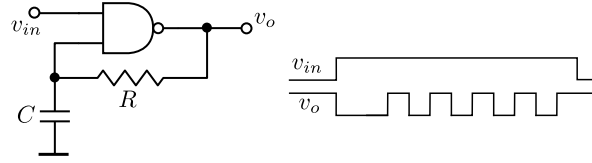


Figura 5.6.: Circuito aestado para generar la seal de muestreo f_{CLK} .

sin cambiar f_s . Aun as, este tipo de circuito no aprovecha la ventaja de los recursos de la FPGA, aadiendo complejidad al sistema, se necesita cambiar R y C para cada f_{CLK} y, adems, el reloj resultante tendra una estabilidad pobre y un *jitter* elevado.

Asumiendo que preferimos el diseo digital, una vez fijados f_0 y f_s , para cada tipo de modulacin se elige un valor de N , y debe encontrarse un par k y M que cumpla (5.7) y (5.8). Aunque tenemos un grado de libertad extra, f_{CLK} , en el caso general no podemos asegurar que las dos ecuaciones se cumplan a causa de que k y M son enteros y porque k est limitado por la duracin del pulso del SRO.

Como ejemplo, tomamos los valores de [31] usados para la modulacin QPSK, es decir $f_0 = 26.25$ MHz, $f_s = 10$ kHz y $N = 20$. Para comparar los resultados entre las modulaciones BPSK, QPSK y 8PSK, respetando (5.6), tenemos que trabajar con los siguientes nmeros de muestras: $N_{BPSK} = 10$, $N_{QPSK} = 20$ y $N_{8PSK} = 40$. Solucionando (5.7) y (5.8) para la modulacin BPSK con $k = 2$ obtenemos $M = 1250$ y $f_{CLK} = 12.5$ MHz; para la modulacin QPSK con $k = 1$ obtenemos $M = 2500$ y $f_{CLK} = 25$ MHz; para la modulacin 8PSK no hay ningn entero k que de un entero M , por ejemplo $k = 1$ da $M \simeq 2560.98$.

Como estamos forzados a utilizar un entero M , tenemos que relajar alguna de las restricciones anteriores. Relajar (5.7) significa perder informacin de la fase que parece difcil de recuperar. Esto resultaría en un empeoramiento de las prestaciones del sistema. En cambio, bajo unas condiciones concretas, (5.8) se puede relajar sin perder informacin de fase. Primero, asumimos que el receptor puede utilizar una frecuencia de smbolo f'_s ligeramente distinta de f_s . Expresndolo en trminos de perodo, podemos escribir:

$$T'_s = T_s + \Delta. \quad (5.9)$$

La relacin entre esta nueva frecuencia de smbolo f'_s y f_{CLK} tiene que ser la misma que en (5.8), es decir

$$f_{CLK} = M f'_s. \quad (5.10)$$

5. Diseño e implementación de un transceptor SR M-PSK

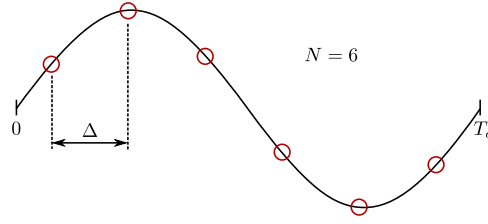


Figura 5.7.: Muestras (círculos) equiespaciadas Δ sobre un periodo T_0 de portadora. $T_0 = N\Delta$.

Si Δ tiene el efecto de retrasar el punto inicial de muestreo exactamente n muestras, es decir

$$\Delta = \frac{nT_0}{N}, \quad (5.11)$$

siendo T_0 el período de oscilación del SRO y n un entero; el efecto de este retraso se puede corregir posteriormente. La Figura 5.7 muestra Δ sobre un período de portadora en el caso de $N = 6$. Podemos recuperar el vector que hubiéramos obtenido muestreando con período T_s rotando n veces el vector obtenido con el período de muestreo T'_s o bien, como el retraso introduce un desplazamiento de fase igual a n muestras, es fácilmente corregible modificando la tabla de conversión de diferencia de fase a símbolo.

La Figura 5.5 (b) muestra como la señal de símbolo tiene período $T'_s = T_s + \Delta$, con $\Delta = nT_0/N$ y $n = 1$, que cumple la ecuación (5.10), es decir que el periodo de la señal de reloj de símbolo T'_s es igual a $M = 25$ períodos del reloj de referencia, o de la señal de muestreo (como $f_{ref} = f_{CLK}$), con el efecto que el segundo patrón es rotado hacia a la izquierda $n = 1$ muestras, es decir, $\phi_{shift} = 60^\circ$. Como este efecto es conocido es fácilmente corregible. En general,

$$\phi_{shift} = \frac{\Delta}{T_0} 2\pi = n \frac{2\pi}{N}. \quad (5.12)$$

De hecho, el punto inicial de muestreo está desplazado Δ cada símbolo. Esto se puede tolerar en transmisiones de paquetes con una longitud de paquetes limitada, y en transmisiones continuas donde periódicamente podamos saltar hacia atrás (o hacia adelante) un múltiplo de T_{CLK} cuando el desplazamiento acumulado sea aproximadamente un múltiplo de T_{CLK} .

Ahora tenemos un nuevo grado de libertad, n , además de f_{CLK} . Por lo tanto, nuestro principal objetivo es obtener un conjunto de N valores que permitan encontrar un conjunto de k , M y n que, para una f_0 y f_s fijadas, cumplan (5.7) como antes, y además (5.9) a (5.11) en lugar de (5.8). La relación resultante es

$$M = \left\lfloor \frac{\frac{f_0}{f_s} N + n}{kN + 1} \right\rfloor \quad (5.13)$$

donde se pueden probar valores pequeños de k y n para obtener un entero M .

Con estas condiciones relajadas, podemos implementar la modulación 8PSK de la siguiente forma: tomando $k = 1$ y $n = 1$ obtenemos $M = 2561$ y $f_{CLK} \simeq 25.6098$ MHz. Ahora, la frecuencia f'_s de la señal de símbolo usada en el receptor es ligeramente inferior a f_s , siendo la diferencia entre períodos de $\simeq 952$ ps. Por lo tanto, teniendo en cuenta (5.12), este retraso introduce un desplazamiento de fase igual a 9° conocido de antemano y que se corrige de forma trivial.

5.4. Resultados experimentales

Hemos implementado dos transceptores M-PSK de forma muy similar al transceptor QPSK descrito en el Capítulo 4. La principal diferencia está en el código utilizado para programar la FPGA de la placa DE0-Nano [42] que ahora permite conmutar entre $m = \{2, 4, 8\}$. Asimismo, una diferencia notable en el lado del transmisor es que utilizamos un reloj de referencia de frecuencia mf_c . Para testear las prestaciones en forma de BER del receptor hemos usado el mismo *test setup* que en [31] con los parámetros considerados en el ejemplo de la Sección 5.3.

Las curvas teóricas han sido calculadas con un ancho de banda de ruido equivalente $B_N^* = f_s = 10$ kHz para todas las modulaciones, mientras que el ancho de banda de ruido real de nuestro receptor es mayor, $B_N = 58.1$ kHz (calculado en la Sección 6.5). Por lo tanto, cuando en la Tabla 5.1 se expresa el BER en función de γ_b , en vez de usar la expresión habitual

$$\gamma_b = \frac{E_b}{\eta} \quad (5.14)$$

hemos utilizado la versión corregida teniendo en cuenta el ancho de banda real

$$\gamma_b = \frac{E_b B_N^*}{\eta B_N}. \quad (5.15)$$

De esta forma, las curvas de BER teóricas se han desplazado hacia a la derecha un valor igual a

$$10 * \log_{10} \left(\frac{B_N}{B_N^*} \right) \simeq 7.64 \text{ dB} \quad (5.16)$$

como se puede ver en la Figura 5.8. Para calcular la potencia de entrada P_s en la Figura 5.8 hemos utilizado

$$P_s = r_b E_b = r_b \eta \gamma_b, \quad (5.17)$$

con $\eta = k_B T$, siendo k_B la constante de Boltzmann y $T = 298$ K. La Figura 5.8 muestra una excelente correspondencia cuando comparamos las diferencias relativas entre los resultados medidos y las diferencias relativas entre los resultados

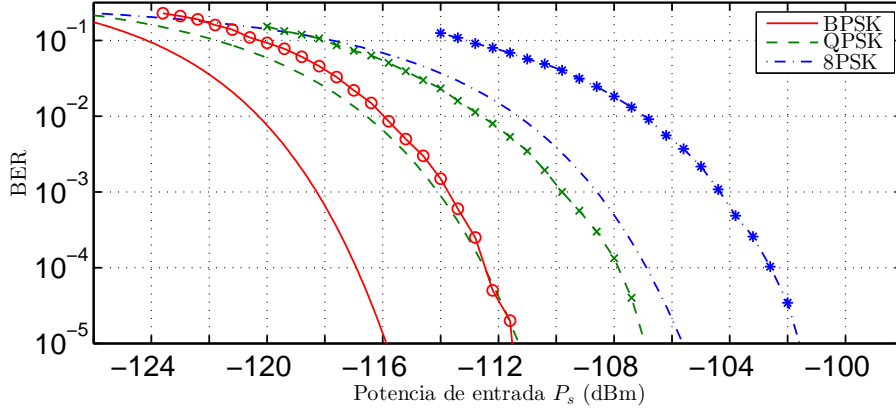


Figura 5.8.: Curvas de BER teóricas (sin marcadores) y curvas de BER medidas (con marcadores). En las curvas teóricas se ha aplicado una traslación considerando el ancho de banda de ruido real.

teóricos, mientras que se mantiene una diferencia entre el BER teórico y el BER medido de $\simeq 4$ dB, entre un BER de 10^{-4} y 10^{-2} . Este valor corresponde a la figura de ruido del receptor y, en menor medida, al error de cuantificación.

5.5. Conclusiones

El principal resultado presentado en este capítulo es la implementación del primer transceptor SR M-PSK capaz de conmutar entre las modulaciones BPSK, QPSK y 8PSK. La implementación está basada en una FPGA, minimizando el uso de circuitos analógicos. Para ser capaces de hacer una comparación entre figuras de BER, se ha seguido una relación entre el número de muestras N utilizadas para determinar la fase de los pulsos del SRO y el número de símbolos m de cada modulación. Esto incrementa el problema de seleccionar una sola frecuencia de reloj de referencia capaz de generar todas las señales involucradas en las etapas digitales de muestreo y decodificación. Este problema ha sido solucionado utilizando un período de la señal de reloj de símbolo T'_s distinto del período de símbolo T_s , produciendo un desplazamiento de fase conocido que puede ser corregido sin consumir recursos extra. Se ha encontrado una excelente correspondencia entre las curvas BER teóricas y medidas que validan el transceptor. Después de corregir la relación E_b/η teniendo en cuenta el ancho de banda de ruido del receptor, la diferencia restante, $\simeq 4$ dB, es principalmente atribuible a la figura de ruido del receptor, la cual no ha sido optimizada.

6. Receptor SR para modulaciones de frecuencia

6.1. Introducción

Como se ha explicado en el Capítulo 2, las modulaciones PSK espectralmente eficientes requieren un pulso conformador que introduce ciertas variaciones de amplitud. En contraste, las modulaciones de frecuencia tienen una envolvente constante y pueden ser amplificadas con amplificadores operando en saturación. Esta es una de las razones por las cuales la FM (en su variante digital, FSK) es la modulación escogida en diversos estándares de comunicación. Por ejemplo, el estándar IEEE 802.15.4 [37] especifica la modulación MSK, un caso particular de modulación FSK, para algunas capas físicas.

Los receptores SR capaces de detectar modulaciones FM existentes hasta el momento se basan esencialmente en la conversión de la modulación FM a AM usando la propia curva de respuesta en frecuencia del receptor. En estos casos, las desviaciones de frecuencia tienen que ser relativamente grandes para producir cambios de amplitud significativos a la salida del SRO.

En este capítulo se explota la capacidad del SRO para generar una respuesta dependiente de la fase instantánea de la señal recibida durante la ventana de sensibilidad del receptor. Siguiendo el principio descrito en los capítulos anteriores, se toman unas muestras de la fase instantánea de la señal que reproducen las trayectorias de las señales FSK y, a partir de estas trayectorias, se estiman los datos transmitidos. En contraste con las técnicas existentes, con esta el receptor SR es capaz de detectar modulaciones FSK de banda estrecha.

En la Sección 6.2 se describe el principio de detección de modulaciones de frecuencia a partir de observaciones de la fase. En la Sección 6.3 se exploran dos casos relevantes de FSK binarias, la FSK de *Sunde* (que es la interpretación habitual de una modulación FSK cuando no se explicitan sus parámetros) y la MSK. A continuación, en la Sección 6.4 se presentan algunas consideraciones sobre la sincronización de símbolo. Ello incluye un estudio de las fases resultantes y sus transiciones, las cuales dependen de la posición de la ventana de sensibilidad. Los resultados experimentales de la implementación de un receptor FSK operando en la banda HF se muestran en la Sección 6.5. Finalmente, se

6. Receptor SR para modulaciones de frecuencia

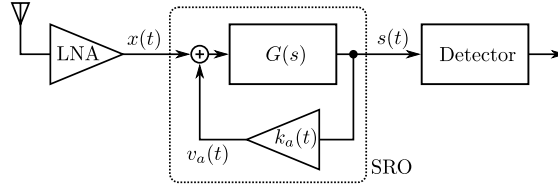


Figura 6.1.: Diagrama de bloques del receptor SR.

presenta una discusión de los resultados y las conclusiones en las secciones 6.6 y 6.7, respectivamente.

6.2. Principio de funcionamiento

Como se ha visto en la Sección 2.2.2, la respuesta de un SRO operando en modo lineal a una señal de entrada dada por

$$x(t) = \sum_{n=-\infty}^{\infty} p_c(t - nT_s) \cos(\omega_{cn}t + \phi_n) \quad (6.1)$$

puede ser escrita como

$$s(t) = K \sum_{n=-\infty}^{\infty} |H(\omega_{cn})| p(t - nT_q) \times \cos(\omega_0 t + n(\omega_{cn} - \omega_0)T_q + \phi_n + \angle H(\omega_{cn})), \quad (6.2)$$

asumiendo que los cambios de estabilidad a inestabilidad del SRO ocurren en $t = nT_q$ y que hay un ciclo de *quench* por ciclo de símbolo, es decir $T_q = T_s$.

La expresión (6.1) permite representar modulaciones FSK, haciendo $p_c(t) = 1$ durante todo el período de símbolo y seleccionando, dependiendo de la señal digital transmitida, la frecuencia instantánea de la señal $x(t)$ a partir de un conjunto M de frecuencias distintas dada por [41]

$$\omega_{cn} = \omega_c + \omega_d a_n, \quad (6.3)$$

con

$$a_n = \pm 1, \pm 3, \dots, \pm(M - 1). \quad (6.4)$$

En (6.2) se observa que la respuesta está formada por un tren de pulsos que oscilan a la frecuencia ω_0 . Mientras que en la señal recibida procedente del transmisor cada símbolo tiene la misma amplitud, a la salida del SRO se observa que cada pulso tiene una amplitud proporcional a $|H(\omega_{cn})|$, la cual depende de la desviación entre ω_{cn} y ω_0 . Para desviaciones de frecuencia suficientemente

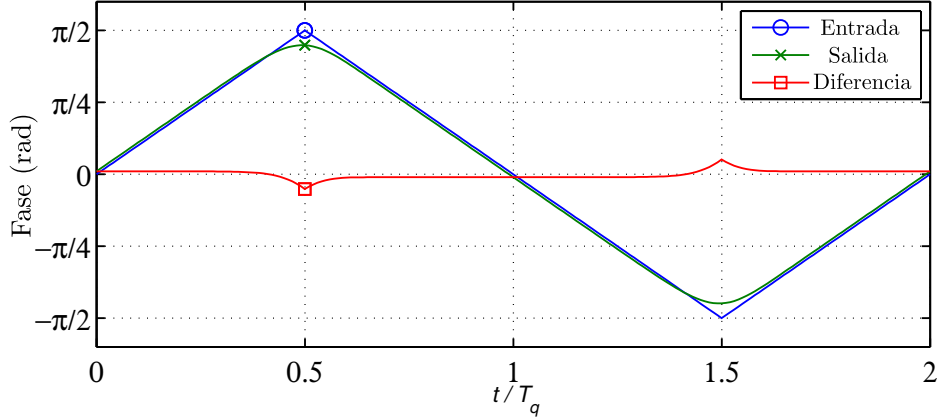


Figura 6.2.: Simulación de las fases instantáneas de la entrada y de la salida. La máxima diferencia ocurre en los vértices y es de $\pm 9.3^\circ$.

elevadas este efecto supone una conversión de FM a AM que puede ser suficiente para efectuar la demodulación. Este método es el clásico para la detección de FM mediante el receptor SR, como por ejemplo, en [7]. No obstante, una FM digital eficiente normalmente utiliza un índice de modulación pequeño para preservar el ancho de banda. En este caso, las variaciones de amplitud inducidas por $|H(\omega_{cn})|$ pueden ser insuficientes para poder efectuar la demodulación de la señal. Además, estas variaciones de amplitud son muy reducidas o prácticamente inexistentes cuando la salida del SRO alcanza valores próximos a los de saturación, como ocurre en el modo logarítmico. Por lo tanto, se puede deducir que, si nuestro objetivo es detectar señales FSK de banda estrecha explotando el principio SR, este deberá llevarse a cabo mediante la observación de la fase de cada pulso recibido.

Dado que a la salida del SRO podemos observar la señal recibida en los instantes de tiempo nT_q , definiendo un nuevo origen de tiempo en cada ciclo de *quench*, $t' = t - nT_q$, podemos escribir el término de fase del pulso número n en (6.2) como

$$\psi_n = \omega_0 t' + \omega_{cn} nT_q + \phi_n, \quad (6.5)$$

donde se ha obviado el término $\angle H(\omega_{cn})$, ya que acostumbra a ser despreciable en la práctica. Queda claro ahora que la información contenida en la fase y en la frecuencia de la señal de entrada (6.1) se traslada a la fase del pulso n del SRO. Específicamente, el SRO puede verse como un bloque que muestrea la fase instantánea de la señal de entrada en $t = nT_q$ y produce una oscilación de salida a la frecuencia ω_0 con el valor de fase observado en dicha muestra.

Para ilustrar como la fase instantánea del SRO es capaz de seguir la fase instantánea de la señal de entrada, hemos hecho diversas simulaciones usando la técnica de análisis en el dominio frecuencial descrita en [45]. La Figura 6.2 muestra la fase instantánea de una señal de entrada de test y la fase instantánea de

6. Receptor SR para modulaciones de frecuencia

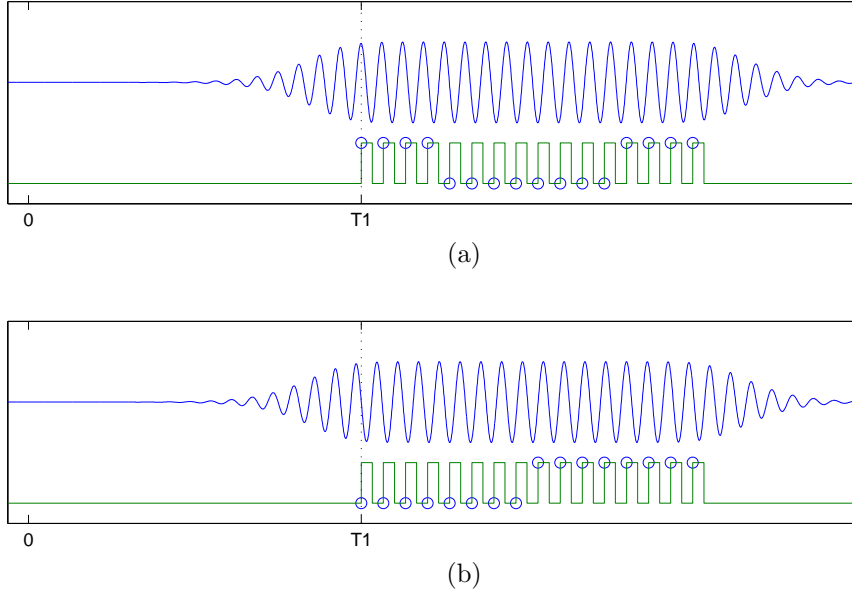


Figura 6.3.: La traza superior muestra cualitativamente el pulso generado en el SRO, el cual empieza a crecer en $t = 0$. La señal de reloj de muestreo empieza con un *offset* fijo T_1 para tomar N muestras. La Figura 6.3a muestra el pulso de salida del SRO con fase 0, mientras que 6.3b corresponde a un pulso con un desfase de $\pi/4$ con respecto al anterior.

la señal generada en el SRO, bajo condiciones típicas de funcionamiento. El término de fase lineal $\omega_0 t$ ha sido sustraído de ambas señales. Asimismo, para evitar el problema de la incertidumbre en el valor de la fase en términos absolutos y para facilitar la comparación visual, hemos sustraído la componente DC de la fase del SRO.

Merece la pena discutir algunos aspectos relativos a la Figura 6.2. En primer lugar, conviene recordar que el SRO “observa” la señal de entrada a través de una ventana de sensibilidad dependiente de la forma de la señal de *quench*, con una anchura típicamente comprendida entre $0.1T_q$ y $0.2T_q$ para las formas de *quench* sinusoidal y en diente de sierra [3]. Por lo tanto, el efecto observado en los vértices de la señal es razonable ya que la ventana de sensibilidad promedia los valores de fase instantánea de la entrada. Además, la ventana de sensibilidad no es perfectamente simétrica alrededor de $t' = 0$, sino que acostumbra a ser algo más ancha para $t' > 0$. Por esto, durante cada intervalo de observación, la ventana de sensibilidad favorece las fases posteriores en detrimento de las fases anteriores, hecho que explica que la fase de salida esté por *encima* de la de entrada para fases de entrada *crecientes* y viceversa.

Como hemos visto en la Sección 4.3, disponemos de una técnica simple para detectar diferencias de fase en los pulsos generados por el SRO. En la Figura

6.3 se muestra como se toman las N muestras con una frecuencia

$$\omega_{clk} = \frac{N}{N+1}\omega_0. \quad (6.6)$$

Para recuperar las diferencias de fase, como ya se ha comentado, se efectúa una correlación entre dos vectores de muestras consecutivos y el valor máximo corresponde directamente a la diferencia de fase. Una ventaja de esta técnica es que es extremadamente simple, lo que conlleva en la práctica un bajo coste y contribuye a reducir el consumo de potencia. Aquí señalaremos que también es posible obtener fases absolutas comparando el conjunto actual de muestras con un patrón fijo que representa la referencia local de fase. Ahora bien, para poder detectar correctamente las modulaciones FSK se debe hacer una selección de parámetros adecuada para que los cambios de fase inducidos en (6.5) permitan una estimación de ω_{cn} sin ambigüedades y, como consecuencia, la recepción correcta de los datos transmitidos. A continuación se discuten algunas opciones.

6.3. Selección de parámetros FSK

Aun cuando las ideas que se presentan a continuación pueden ser aplicadas a casos más complejos (como, por ejemplo, los que se presentan en [46]), en esta tesis nos hemos centrado en el caso binario ($M = 2$) de modulaciones FSK, ya que permite entender mejor el principio de funcionamiento y es de amplia utilización. Nos centraremos en dos casos especialmente significativos.

6.3.1. FSK de Sunde

En el esquema conceptual más simple de FSK, las señales de datos digitales controlan un conmutador que selecciona la frecuencia portadora de un banco de M osciladores. La forma de onda resultante puede presentar así discontinuidades al final de cada símbolo. Dichas discontinuidades se pueden evitar si la frecuencia y la fase de cada oscilador están ajustadas apropiadamente y se mantienen estables [41] La ausencia de discontinuidades de fase contribuye a la obtención de un espectro más compacto.

Un gráfico visual de las trayectorias de fase de la señal modulada es el de la Figura 6.4. Aquí, y en las siguientes figuras, mostramos el incremento de fase resultante con respecto a $\omega_c t$. El receptor SR observará estos valores de fase con un término de fase constante desconocido añadido. Si se quiere la continuidad de fase en $t = nT_s$, debe obtenerse la misma fase al final de cada símbolo,

6. Receptor SR para modulaciones de frecuencia

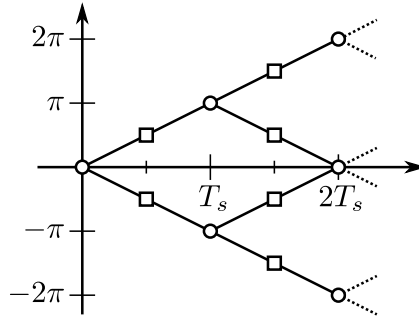


Figura 6.4.: FSK de *Sunde*. Evolución del exceso de fase con respecto a $\omega_c t$. Los círculos señalan las observaciones al final del período de símbolo y los cuadrados las observaciones en el centro.

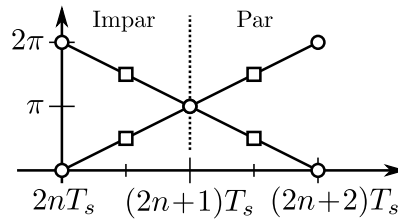


Figura 6.5.: FSK de *Sunde*. Representación compacta del exceso de fase respecto a $\omega_c t$. Las transiciones de fase son distintas para los símbolos pares y para los símbolos impares.

independientemente de la frecuencia escogida. Esto significa que $\omega_d T_s$ tiene que ser un múltiplo entero de π , siendo

$$\omega_d = \omega_s/2. \quad (6.7)$$

el mínimo valor que lo cumple. Esta elección de parámetros produce una señal modulada que es conocida como FSK de *Sunde* [41]. Para detectar las trayectorias de fase resultantes, un receptor SR puede situar la ventana de sensibilidad en el centro de cada símbolo. En esta posición las fases observadas por el SRO (y detectadas después por un bloque de decisión) serán las marcadas como cuadrados en la Figura 6.4. En este caso, los saltos de fase entre símbolos consecutivos son de 0 o π y, por lo tanto, el receptor SR opera como un decodificador BPSK.

Un diagrama compacto de la evolución del exceso de fase se muestra en la Figura 6.5. A partir de aquí se pueden ver las transiciones de fase (Figura 6.6) dependiendo de si el símbolo actual es par o impar. Para los símbolos impares una observación de $\pi/2$ o $3\pi/2$ significa que la frecuencia transmitida ha sido $\omega_c + \omega_d$ (correspondiente a un 1 lógico) o $\omega_c - \omega_d$ (un 0 lógico), respectivamente. En el caso de los símbolos pares pasa justo lo contrario. Esta ambigüedad se puede solucionar fácilmente transmitiendo un patrón conocido al principio de cada paquete transmitido (o insertando periódicamente un delimitador conocido en transmisiones continuas). En la práctica también habrá un *offset* de fase fija

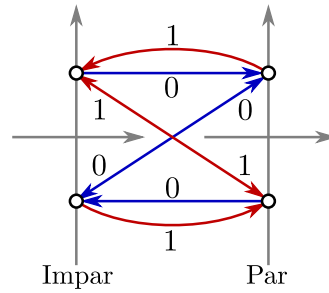


Figura 6.6.: FSK de *Sunde*. Fases absolutas (puntos), $\pm\pi/2$, y transiciones de fase (flechas). Los ejes representan el plano complejo y la fase es el argumento de cada punto.

de valor desconocido, que también se puede determinar además de la paridad. Por ejemplo, la transmisión de un patrón consecutivo de 0 producirá saltos de fase de π . Un 1 adicional en una posición de paridad conocida provocaría una repetición de fase que permitiría establecer las dos ambigüedades, la referencia de fase y la paridad del símbolo actual.

Alternativamente, si cada fase del símbolo se detecta diferencialmente comparándola con la fase previa, cada cambio de fase será 0 o π y el bit correspondiente será $b_n = \bar{b}_{n-1}$ o $b_n = b_{n-1}$ respectivamente. De nuevo, la ambigüedad inicial se puede resolver con unos patrones de sincronización adecuados.

6.3.2. MSK

Las modulaciones FSK de fase continua (CPFSK *continuous-phase FSK*) se sintetizan habitualmente con un VCO donde la señal digital controla la frecuencia instantánea del oscilador, produciendo una fase continua independientemente de las relaciones entre ω_s y ω_d . Minimum Shift Keying (MSK), también conocida como *fast FSK*, es un caso particular de modulación CPFSK que logra concentrar la potencia en un ancho de banda menor que la FSK de *Sunde*.

MSK es una técnica de modulación especialmente adecuada para enlaces digitales donde la conservación del ancho de banda y el uso de transmisores eficientes operando en saturación son requerimientos importantes [47]. Debido a esto, en parte, MSK es la modulación utilizada por diversos estándares, como por ejemplo el popular 802.15.4 [37]. Obsérvese que uno de los principales objetivos de este estándar es conseguir enlaces inalámbricos de bajo consumo y de bajo coste, campo de aplicación en el que la recepción SR puede aportar grandes ventajas.

La modulación MSK puede ser vista como un caso particular de QPSK: una modulación Offset QPSK con un pulso conformador en forma de medio ciclo de seno [41]. Por consiguiente, la modulación MSK puede entenderse como un caso

6. Receptor SR para modulaciones de frecuencia

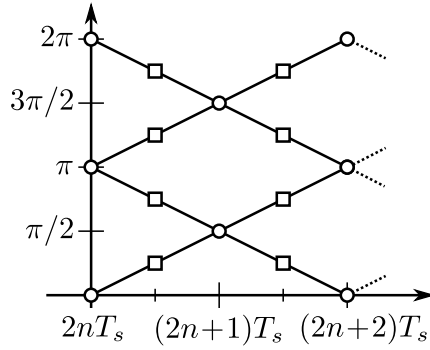


Figura 6.7.: Modulación MSK: representación compacta del exceso de fase con respecto a $\omega_c t$. Los círculos y los cuadrados indican las observaciones en el final y en el centro de los períodos de símbolo, respectivamente.

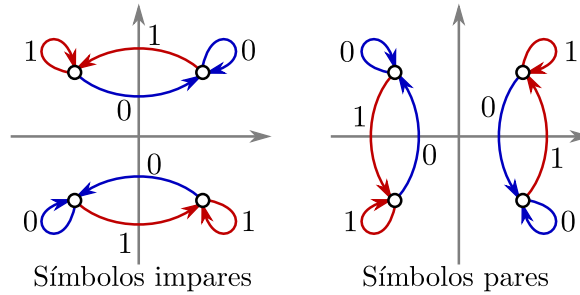


Figura 6.8.: Modulación MSK: fases absolutas y transiciones de fase para $\theta_q = 0$.

particular binario de CPFSK con

$$\omega_d = \omega_s/4, \quad (6.8)$$

y con un término de fase transmitida que depende, no solo del dato actual, sino también de la historia previa [41]. Ello es necesario para obtener continuidad de fase. La representación de las trayectorias de fase de la modulación MSK se muestran en la Figura 6.7.

Sea θ_q la fase inicial de la señal de *quench*, definida de forma que, cuando $\theta_q = 0$ el SRO muestra la fase de entrada en el centro del período de símbolo. Un receptor SR puede posicionar su ventana de sensibilidad en distintos instantes de tiempo. Por ejemplo, se puede muestrear en el centro del símbolo como antes ($\theta_q = 0$). Otra opción, ignorando los efectos del promediado en los vértices mostrados en la Figura 6.2, es muestrear al final de cada símbolo $\theta_q = -\pi$, ya que (contrariamente a la FSK de *Sunde*) las fases observadas no tienen ambigüedades. (Figura 6.7).

Las transiciones de fase correspondientes se muestran en las Figuras 6.8 y 6.9. El diagrama de transiciones de fase muestra una distancia mayor y, como consecuencia, se obtiene una probabilidad de error mejor con $\theta_q = -\pi$ (Figura 6.9a). Además, se debe mencionar que para decodificar correctamente las transiciones

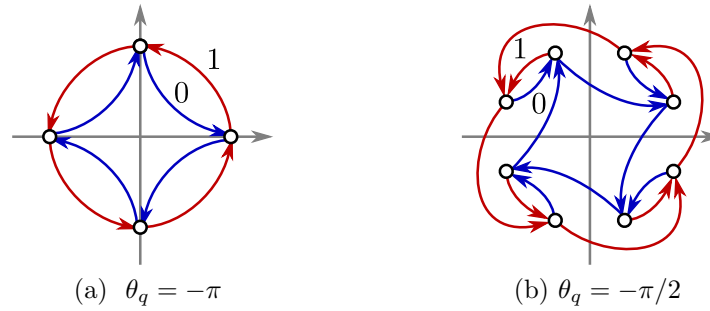


Figura 6.9.: Modulación MSK: fases absolutas y transiciones de fase.

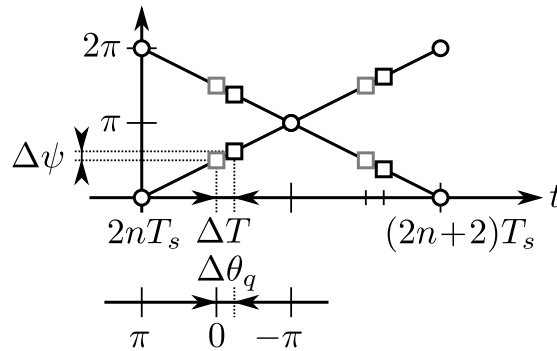


Figura 6.10.: *FSK* de Sunde: efecto sobre la fase detectada causado por la desviación del reloj de símbolo en el receptor (señal de *quench*).

de fase con $\theta_q = 0$ se requiere mantener un seguimiento de la paridad del símbolo actual.

En cualquier caso, un patrón adecuado al principio de los datos puede ayudar a eliminar las ambigüedades con unas referencias apropiadas. Como antes, un patrón compuesto por un número sucesivo de 0 producirá unos saltos de fase de $\pi/2$ y un 1 después de esta secuencia proporcionaría una señal distintiva, dando un punto de inicio para la decodificación correcta.

6.4. Sincronización de símbolo

A continuación, discutiremos el problema de la sincronización de forma genérica. En concreto, obtendremos información del valor de θ_q en el que opera actualmente el receptor. Está claro que el algoritmo de decisión de los datos depende de la θ_q escogida pero, independientemente de ello, aparecen distribuciones de fase específicas en función de θ_q . A partir únicamente de esta información se podrá implementar un lazo de seguimiento.

6. Receptor SR para modulaciones de frecuencia

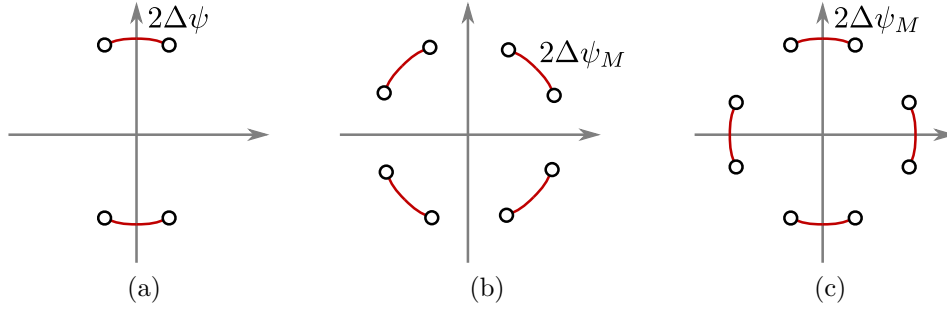


Figura 6.11.: Gráficos de dispersión de fases *absolutas* resultantes de considerar la existencia de un cierto error (desviación) en la fase de la señal de *quench*. 6.11a) FSK de *Sunde*. 6.11b) MSK operando con $\theta_q = 0$. 6.11c) MSK operando con $\theta_q = -\pi$.

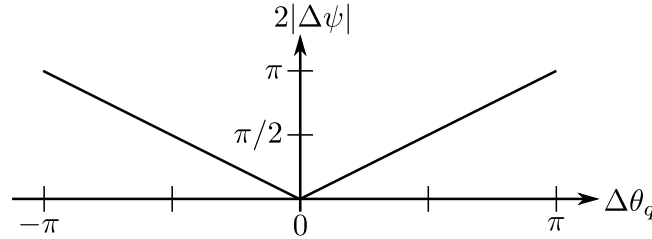


Figura 6.12.: FSK de *Sunde*: desviación de fase en función del desplazamiento relativo θ_q .

6.4.1. FSK de Sunde

Para la FSK de *Sunde*, si la ventana de sensibilidad está retrasada ΔT con respecto al instante deseado ($t = nT_s + T_s/2$ o $\theta_q = 0$), el exceso de fase *absoluta* observado respecto a $\omega_c t$ no será $\{\pi/2, 3\pi/2\}$ (añadiendo un término constante desconocido). Será (ver Figura 6.10)

$$\{\pi/2 \pm \Delta\psi, 3\pi/2 \pm \Delta\psi\} \quad (6.9)$$

con

$$\Delta\psi = \pi \frac{\Delta T}{T_s} = -\frac{\Delta\theta_q}{2}. \quad (6.10)$$

En ausencia de la información de la paridad de símbolo (como pasa durante el preámbulo en transmisiones de paquetes), se puede obtener una medida de $\Delta\theta_q$ a partir de la desviación, $2|\Delta\psi|$, de las fases absolutas observadas (Figura 6.11a). Despreciando el efecto del ruido, en la situación óptima $\Delta\theta_q = 0$ podemos observar una desviación de $2|\Delta\psi| = 0$. En el peor caso, $|\Delta\theta_q| = \pi$, la desviación sería $2|\Delta\psi| = \pi$. Y para situaciones intermedias, podemos obtener $2|\Delta\psi| = |\Delta\theta_q|$, es decir, la dependencia triangular que se muestra en la Figura 6.12.

Si consideramos las fases *diferenciales* entre símbolos, los incrementos de fase observados serán (Figura 6.13a)

$$\{\pm\pi, \pm 2\Delta\psi\} \quad (6.11)$$

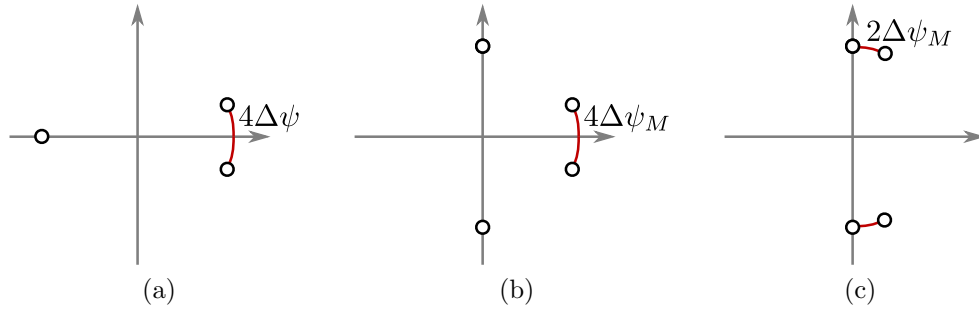


Figura 6.13.: Gráficos de dispersión de *diferencias* de fases resultantes en presencia de error en la fase de la señal de *quench*. 6.13a) FSK de *Sunde*. 6.13b) MSK operando con $\theta_q = 0$. 6.13c) MSK operando con $\theta_q = -\pi$.

dependiendo del dato transmitido. En este caso, la observación de las diferencias de fase distintas de $\pm\pi$ proporciona un indicador de la corrección de θ_q .

En ausencia de ruido, la observación de dos puntos de la curva en la Figura 6.12 permite encontrar el punto donde $2|\Delta\psi| = 0$. En la práctica, sería necesario hacer algún tipo de promediado. Se pueden diseñar una amplia variedad de algoritmos, desde los basados en obtener estimaciones elaboradas de θ_q a los que realizan una simple búsqueda del mejor punto entre un juego de valores limitado.

En transmisiones de paquetes, un preámbulo formado por 1 y 0 alternados daría idealmente una sola observación de fase absoluta o incrementos de fase cero, con lo que el procedimiento sería bastante sencillo. Esta idea funcionaría incluso con datos aleatorios. Una vez la sincronización se finaliza durante la recepción del preámbulo, se puede confiar en la estabilidad del reloj del receptor para que no se desplace significativamente durante la recepción del paquete.

Para transmisiones continuas, el receptor debe implementar un lazo de control para ajustar continuamente el reloj de símbolo con el objetivo de mantener la posición adecuada. El signo de $\Delta\psi$ está disponible una vez que se establece la paridad de símbolo y el detector de fase proporciona no solo el valor absoluto (como en la Figura 6.12) sino también el signo de (6.10). En cualquier caso, una vez está disponible la información de fase, se puede implementar un lazo de seguimiento usando las técnicas habituales.

6.4.2. MSK

Para un receptor MSK, la desviación de fase debida a la desviación de fase del *quench* es la mitad que la obtenida en (6.10), es decir,

$$\Delta\psi_M = \frac{\pi}{2} \frac{\Delta T}{T_s} = -\frac{\Delta\theta_q}{4}, \quad (6.12)$$

6. Receptor SR para modulaciones de frecuencia

donde ΔT y $\Delta\theta_q$ están referidas respecto al instante deseado de observación (que puede no ser el centro del símbolo). Ahora, para un conjunto de fases absolutas, las gráficas de dispersión se muestran en las Figuras 6.11b y 6.11c, mientras que las gráficas de dispersión en las Figuras 6.13b y 6.13c son las resultantes del conjunto de las diferencias de fase. Para la sincronización de transmisiones de paquetes o continuas se pueden aplicar también las consideraciones mencionadas.

Finalmente, cabe anotar que, en presencia de ruido, se tendría en realidad una distribución de valores más o menos dispersa alrededor de cada punto mostrado en las constelaciones, y el resultado se tendría que estimar con una técnica de promediado adecuada. Se podrían investigar técnicas de estimación óptimas, aunque ello queda fuera del alcance de este capítulo. En el Capítulo 8 se implementa un algoritmo que permite al receptor SR sincronizar con señales MSK utilizando un preámbulo con determinadas características.

6.5. Implementación

Con el objetivo de demostrar experimentalmente los conceptos previos, hemos implementado un receptor SR en la banda HF operando a $f_q = 1/T_q = 10$ kHz. El receptor SR es el mismo que se presenta en la Sección 4.3 y su esquema se muestra en la Figura 4.8. Con la técnica de muestreo de fase utilizada se obtiene un vector de N muestras de 1 bit en $N+1$ ciclos de la señal del SRO (idealmente de frecuencia igual a la señal de RF de entrada). El vector correspondiente al ciclo de *quench* número n (y al símbolo número n) se representará como \mathbf{s}_n . Este vector se correla con \mathbf{s}_0 , un vector similar que contiene una referencia de fase mediante la cual se obtendrán las fases absolutas. La primera mitad de \mathbf{s}_0 contiene 1 y la segunda mitad 0:

$$\mathbf{s}_0 = [1, 1, \dots, 1, 0, 0, \dots, 0] \quad (6.13)$$

La correlación se realiza circularmente rotando k posiciones el registro de desplazamiento que contiene las muestras de $s(t)$, y cuenta las coincidencias de bit con \mathbf{s}_0 . Esta operación se puede escribir como

$$c_n(k) = \text{sum}(\text{rot}^k(\mathbf{s}_n) \text{ xnor } \mathbf{s}_0). \quad (6.14)$$

El desplazamiento k que maximiza $c_n(k)$, k_n^* , proporcionará directamente la fase n estimada

$$\varphi_n = k_n^* \times 2\pi/N. \quad (6.15)$$

En nuestra implementación hemos usado $N = 20$, lo que significa que el sistema es capaz de medir ángulos de $2\pi/20$.

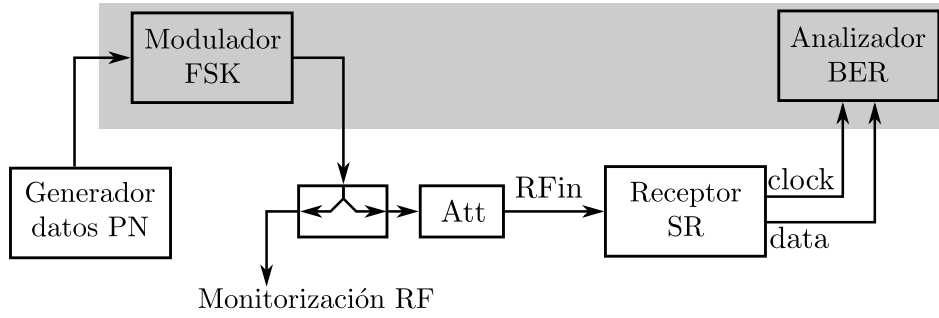


Figura 6.14.: *Test setup* del receptor. El área sombreada representa el generador de señal Agilent E4431B, que incorpora un analizador de BER.

Para probar el funcionamiento del receptor hemos usado el *test setup* que se muestra en la Figura 6.14. Una secuencia de datos pseudoaleatoria PN9 se inyecta en el generador de RF, cuya señal de salida pasa por un *splitter* (3 dB) y llega al receptor SR a través de un atenuador variable. El receptor proporciona el reloj de datos y los datos para que el analizador calcule la tasa de error de bit (BER).

Para detectar la modulación FSK de *Sunde*, fijamos $\theta_q = 0$ e implementamos un simple algoritmo de decisión (Figura 6.13a),

$$b_n = \begin{cases} 1 & \text{si } \varphi_n - \varphi_{n-1} \in \text{cuadrantes II o III} \\ 0 & \text{si } \varphi_n - \varphi_{n-1} \in \text{cuadrantes I o IV} \end{cases}, \quad (6.16)$$

mientras que para detectar señales MSK, fijamos la fase del *quench* en $\theta_q = -\pi$ y usamos (Figura 6.13c)

$$b_n = \begin{cases} 1 & \text{si } \varphi_n - \varphi_{n-1} \in \text{cuadrantes I o II} \\ 0 & \text{si } \varphi_n - \varphi_{n-1} \in \text{cuadrantes III o IV} \end{cases}. \quad (6.17)$$

La Figura 6.15 muestra la curva de selectividad en frecuencia del receptor MSK medida. Para cada frecuencia, se ha medido el incremento de señal necesario para mantener un $\text{BER} = 1 \times 10^{-3}$. La teoría predice que la curva de respuesta en frecuencia es una función Gaussiana [3]. Ajustando el ancho de banda de una función Gaussiana al ancho de banda a -10 dB experimental (99.5 kHz) obtenemos $\sigma = 32.8$ kHz. A partir de aquí, se calcula un ancho de banda equivalente de ruido $B_N = 58.1$ kHz.

Por otro lado, el BER teórico para un receptor MSK óptimo viene dado por [41]

$$\text{BER}_0 = 0.5 \text{erfc} \left(\sqrt{\frac{E_b}{N_0}} \right). \quad (6.18)$$

6. Receptor SR para modulaciones de frecuencia

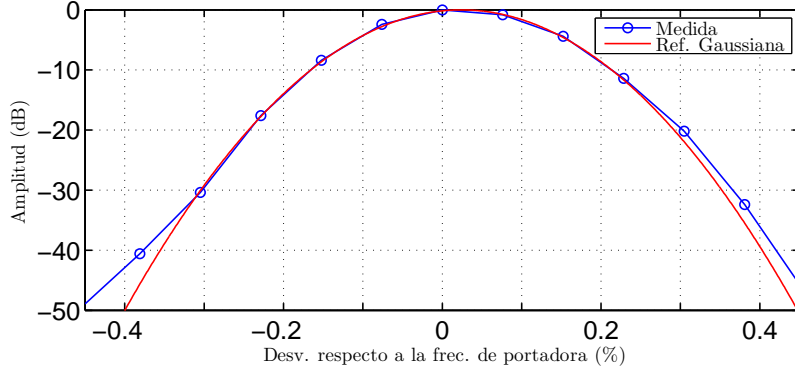


Figura 6.15.: Curva de selectividad en frecuencia del receptor MSK en función de la desviación de frecuencia de portadora con respecto a 26.25 MHz.

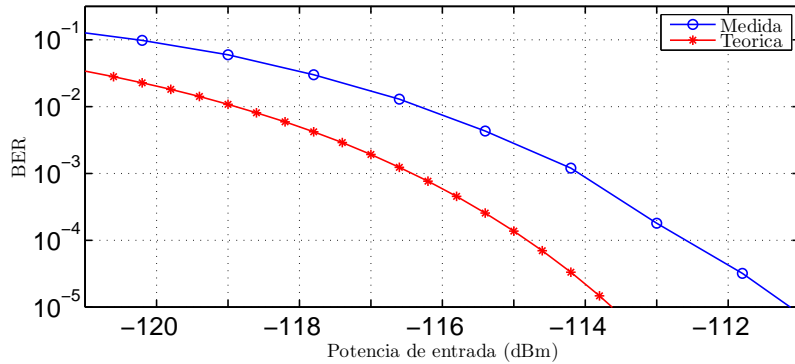


Figura 6.16.: BER medido vs potencia de entrada (dBm) de un receptor MSK y una referencia teórica teniendo en cuenta el ancho de banda de ruido equivalente.

El caso óptimo se obtiene con un ancho de banda equivalente $B_N^* = f_b/2$ [41]. Considerando que nuestro receptor exhibe un ancho de banda más grande (como consecuencia de que se pierde toda la energía de la señal de entrada que cae fuera de la ventana de sensibilidad) se obtiene

$$\text{BER} = 0.5 \operatorname{erfc} \left(\sqrt{\frac{E_b}{N_0} \frac{B_N^*}{B_N}} \right). \quad (6.19)$$

La Figura 6.16 muestra el BER medido en función de la potencia de entrada cuando se detecta una señal MSK con $\theta_q = -\pi$ y usando (6.17). Se puede ver como el receptor tiene una sensibilidad de aproximadamente -114 dBm para la especificación habitual de $\text{BER} = 1 \times 10^{-3}$. La referencia teórica superpuesta en la figura ha sido obtenida a partir de (6.19) con $B_N = 58.1$ kHz.

El mismo receptor detectando la modulación FSK de *Sunde* con $\theta_q = 0$ y utilizando (6.16) consigue la misma curva de selectividad y la misma figura de BER

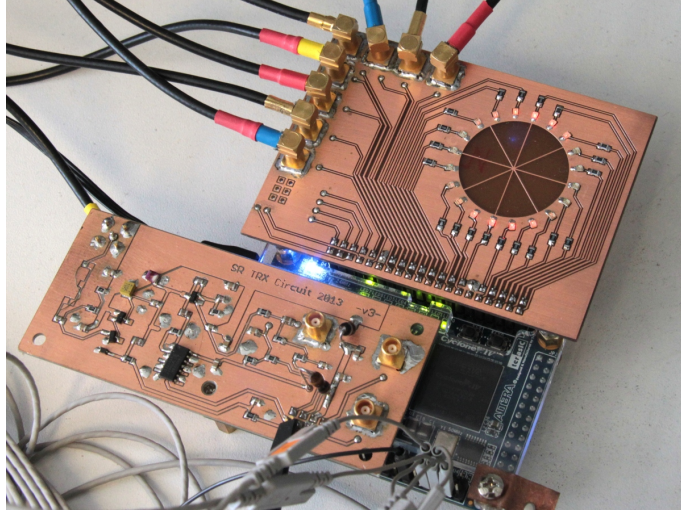


Figura 6.17.: Fotografía del prototipo. La placa analógica es la de la parte inferior izquierda. La placa de la parte superior derecha muestra la fase detectada y proporciona conectividad, mientras que la placa de desarrollo FPGA, conectada con las otras dos placas, se encuentra debajo.

para el mismo nivel de señal de entrada. Esto es un indicador de que el efecto de promediado en los vértices de las trayectorias (Figura 6.2) es despreciable.

Con el objetivo de efectuar comparaciones, se ha usado el mismo receptor operando bajo las mismas condiciones (en concreto la misma señal de *quench* con una frecuencia de símbolo de 10 kHz) para detectar señales BPSK y QPSK diferenciales. Para el caso BPSK, el mismo nivel de señal de entrada provoca la misma curva de BER, mientras que para obtener el mismo BER en una QPSK necesitamos unos 4 dB más de potencia en la señal de entrada, como se ha demostrado en el Capítulo 5 y en [41]. Los resultados son los esperados, ya que la respuesta del SRO solo depende de la fase instantánea de la señal de entrada en $t = nT_q$.

El prototipo incluye también 20 LEDs mediante los cuales se muestra la fase relativa o absoluta dependiendo de un pulsador programado a tal efecto. La Figura 6.17 muestra una fotografía del receptor en funcionamiento con la modulación MSK, así como las fases relativas detectadas a partir de los datos pseudoaleatorios PN9 con un nivel de señal de entrada de -114 dBm.

6.6. Discusión

6.6.1. Efecto del jitter

Tener *jitter* en el reloj de símbolo, equivalente a tenerlo en la señal de *quench*, significa que cada símbolo es observado en un instante de tiempo ligeramente diferente, lo cual redundaría en la existencia de ciertas fluctuaciones en los valores de fase observados. En nuestro prototipo, hemos medido el valor cuadrático medio del *jitter* entre periodos consecutivos de la señal de *quench*, la cual se deriva de un sintetizador incorporado dentro de la FPGA, obteniendo una desviación típica $\sigma = 72$ ps. Considerando un ancho de 3σ y una frecuencia de portadora de 26.25 MHz, esto se traduce en un error de fase de

$$\frac{3\sigma}{T_c} 360^\circ \simeq 2^\circ, \quad (6.20)$$

con lo que el impacto en el BER resultante es despreciable.

Como resultado final, si tomamos como requisito estricto que 3σ no puede exceder del valor de cuantificación de fase N , tenemos un límite en σ dado por

$$\sigma = T_c/3N. \quad (6.21)$$

Por ejemplo, para una frecuencia de portadora de 2.4 GHz y $N = 20$, este resulta ser $\sigma \simeq 7$ ps, que está dentro de las especificaciones de un reloj de cristal *free-running*. Por otro lado, para que el *jitter* de un SRO contribuya significativamente a degradar la probabilidad de error global, este tendría que ser de un orden de magnitud mayor que el que habitualmente se tiene en un diseño convencional [31].

6.6.2. Quench asíncrono

Es importante señalar que la descripción del presente método (descrito a partir de la sección 6.2) asume que $T_q = T_s$, es decir, que el SRO efectúa una sola observación por periodo de símbolo. Como alternativa, la frecuencia de *quench* podría ser más alta, en línea con la detección SR clásica de modulaciones ASK, donde se generan de 5 a 10 ciclos de *quench* por cada periodo de símbolo. Con esta información, las trayectorias de fase y los datos transmitidos a través de ellas se pueden estimar con mayor facilidad y la sincronización de símbolo se dejaría para la siguiente etapa. Como es habitual en los receptores SR de modulaciones ASK, el hecho de sobremuestrear incrementa el ancho de banda del receptor, provocando que sea más sensible al ruido y a las interferencias [3]. Por otro lado, para una frecuencia de *quench* máxima predeterminada, el sobremuestreo también reduce la velocidad de bit efectiva.

6.6.3. Decisión de Bit

En este capítulo hemos implementado un algoritmo de decisión de bit simple, con una decisión basada exclusivamente en la diferencia de fase actual con respecto a la anterior. La estructura de Trellis del problema sugiere que la decodificación óptima tendría que considerar toda la trayectoria recorrida, con un enfoque similar al algoritmo de Viterbi, especialmente para combinaciones específicas de ω_d y θ_q . La implementación de uno de estos algoritmos incrementaría la complejidad del receptor, requiriendo una atención especial.

6.7. Conclusiones

En este capítulo hemos presentado una técnica para demodular señales FSK de banda estrecha haciendo uso del principio superregenerativo. Implementaciones previas utilizan el SRO para detectar modulaciones FM a base de realizar una conversión de la modulación FM en modulación AM, técnica que es aplicable únicamente a modulaciones FM de banda ancha. En nuestra propuesta se usa el SRO como amplificador de ganancia elevada sintonizado a una frecuencia fija, el cual es capaz de muestrear la fase instantánea de la señal de entrada y transferirla a los pulsos de radiofrecuencia generados a la salida. La información de fase que contienen estos pulsos se extrae con un bloque digital tal como se ha descrito en los capítulos anteriores, proporcionando N niveles de cuantificación de fase.

El hecho de que las señales FSK tienen distintas trayectorias de fase para diferentes datos transmitidos hace posible recuperar los datos con las observaciones de las fases en unos instantes concretos. Por otro lado, hay que señalar que estas modulaciones deben ser de banda estrecha ya que, precisamente, se detectan sintonizando el SRO en una frecuencia fija.

Se ha implementado un prototipo de receptor SR en la banda HF capaz de detectar satisfactoriamente señales MSK y FSK de *Sunde* con niveles de potencia de señal por debajo de los -114 dBm operando a 10 kbit/s.

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

7.1. Introducción

Durante el transcurso de esta tesis se han desarrollado prototipos de receptores y transceptores SR con el objetivo de demostrar la capacidad del SRO para recibir modulaciones de fase y de frecuencia de banda estrecha. Estas implementaciones son simples, hecho que va en consonancia con las características esenciales del receptor SR.

El principal objetivo de este capítulo es implementar un transceptor siguiendo un estándar de comunicaciones de corta distancia y de bajo consumo, donde las características del receptor SR encajan a la perfección. Este estándar es el IEEE 802.15.4 [37], el cual define la capa física (PHY) y la capa de control de acceso al medio (MAC) para redes inalámbricas de área personal de baja velocidad. Actualmente es muy utilizado, por ejemplo, en redes de sensores.

Este estándar define distintas capas físicas en función de la modulación utilizada. En nuestro caso nos centraremos en la modulación MSK, ya que es una de las modulaciones más utilizadas por dispositivos de bajo coste y consumo. Estos, mayoritariamente operan en la banda de 2.45 GHz. Por otra parte, la modulación MSK se puede detectar con un receptor SR de forma muy simple, tal y como hemos visto en el Capítulo 6.

Como punto de partida se ha utilizado el proyecto [48] desarrollado dentro del equipo de investigación. Este, consiste en la implementación de la capa MAC en una FPGA descrita en VHDL. Las capas superiores pueden hacer uso de esta capa MAC mediante una interfaz SPI. En este proyecto se utiliza un dispositivo con bus SPI y que dispone de intérprete Python para testear el sistema, en nuestro caso se ha escogido una Raspberry Pi [49]. Por otra parte, existen una gran variedad de protocolos y estándares que complementan el IEEE 802.15.4, añadiendo funcionalidades propias de capas superiores (red, transporte, aplicación, ...).

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

En este capítulo se implementa un prototipo de transceptor compatible con este estándar añadiendo la capa física al proyecto anterior, [48], utilizando como receptor el SRO. Se ha ampliado la herramienta de test con más código Python y con tres señales extras de comunicación. Por otra parte, el prototipo descrito también se ha integrado y testeado para formar parte de Contiki [50] y en particular utilizando su pila de comunicaciones Rime [51, 52]. Este sistema operativo de código abierto está pensado para formar parte del concepto conocido como el *Internet de las cosas* implementado en dispositivos de recursos reducidos [53]. El sistema operativo Contiki está especialmente diseñado para comunicaciones inalámbricas de baja potencia y de bajo consumo, soportando IPv6 mediante 6LoWPAN [54], entre otros. Actualmente, Contiki, se usa en los sistemas de alumbrado público, de monitorización de sonido en *smart cities*, de monitorización de radiación en hospitales y de alarmas privadas.

A partir de ahora llamaremos *chip* a la unidad básica de transmisión con duración T_x segundos. El prototipo ha sido diseñado para operar a 2 Mchip/s que es la velocidad correspondiente a la banda de 2.45 GHz, pero el receptor SR MSK que tenemos disponible (Capítulo 6) opera a una frecuencia de chip de 10 kHz. Se ha escalado la frecuencia del reloj principal para probar el transceptor completo, incluyendo la capa física del receptor SR. También se ha implementado un transmisor MSK totalmente digital operado a la frecuencia del receptor SR.

En la Sección 7.2 hacemos un pequeño resumen de las especificaciones del estándar IEEE 802.15.4., tanto para la capa MAC como para la capa física. Seguidamente, en la Sección 7.3, mostramos un resumen de la implementación MAC de [48] y describimos las modificaciones realizadas para integrar esta capa con el resto de diseño. En la Sección 7.4 detallamos el diseño e implementación de la capa física del transceptor. Finalmente, se muestra el prototipo creado operando a frecuencia de portadora de 26.25 MHz en la Sección 7.5 y se describe la conexión con un microcontrolador a través de SPI utilizando Contiki. Las conclusiones se muestran al final del capítulo, en la Sección 7.6.

7.2. Estándar IEEE 802.15.4

El estándar IEEE 802.15.4 [37] define la capa física y la MAC para redes inalámbricas de área personal de baja velocidad. El estándar es desarrollado por un grupo de trabajo del IEEE creado en 2003. Asimismo, se han producido nuevas revisiones con el paso de los años con algunas mejoras. Este estándar ha sido una base muy utilizada para la tecnología inalámbrica de redes como, por ejemplo, Zigbee [55], ISA100.11a [56] o WirelessHART. Cada una de estas especificaciones ha desarrollado capas superiores a las que define el estándar

IEEE 802.15.4. Además, se puede usar con 6LoWPAN para integrar la comunicación inalámbrica con Internet, el cual permite enviar y recibir paquetes IPv6. Este concepto, como ya hemos comentado, es conocido como *El Internet de las cosas*.

Los dispositivos que utilizan este estándar se usan para transmitir información a distancias cortas, son de reducido tamaño, energéticamente eficientes y de bajo coste.

A continuación se describen las especificaciones más relevantes de este estándar.

7.2.1. Especificaciones de la capa MAC

Se definen *protocol data units* (MPDUs) como las unidades de datos de protocolo con las que trabaja la capa MAC. Esta capa es la responsable de realizar tareas como: gestionar los *network beacons* si el dispositivo es el coordinador, el acceso al canal a través del protocolo CSMA/CA, gestionar el *guaranteed time slot* (GTS), comprobar la integridad de los datos recibidos y el envío del reconocimiento de trama (*acknowledgement*).

Carrier Sense Multiple Access with Collision Avoidance (CSMA/CA)

Es un protocolo que permite que varias estaciones se comuniquen evitando colisiones compartiendo un medio inalámbrico. El CSMA consiste en comprobar si el canal está ocupado cuando un dispositivo tiene la intención de transmitir. Se considera que el canal está ocupado cuando hay otros dispositivos transmitiendo. Cuando el canal no está ocupado se transmite la trama y se espera recibir su reconocimiento. El mecanismo para evitar colisiones (CA) consiste en reservar el canal libre durante un tiempo, informando a todas las estaciones, para que una de las estaciones transmita la información. Esta gestión del control del canal la realiza el dispositivo coordinador.

En la capa física de nuestro transceptor no se ha implementado el mecanismo para detectar si el canal está ocupado. Sin embargo, la capa MAC dispone de la gestión oportuna para cuando la capa física le proporcione esta información. Por otro lado, el mecanismo de comprobación de errores en recepción y de retransmisiones está implementado.

Formato de las tramas de la capa MAC

En la Figura 7.1 se muestra el formato general de las tramas MAC. Algunos de sus campos son de longitud variable. Las MPDU están encapsuladas en las

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

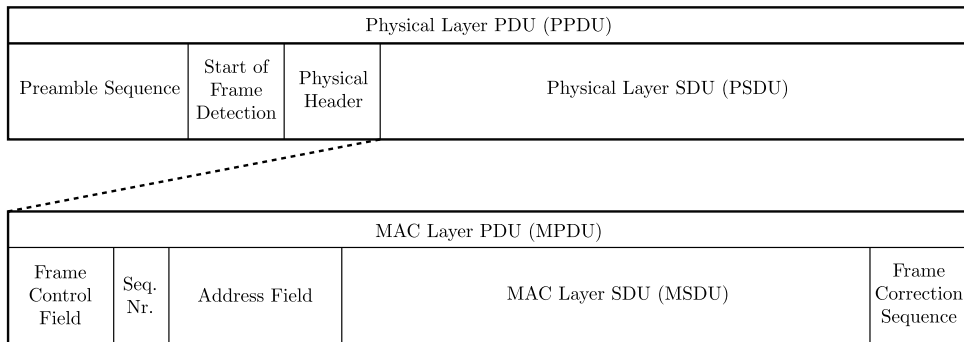


Figura 7.1.: Detalle de los campos de la MPDU. La trama de la capa física encapsula los datos de la capa MAC [37].

tramas físicas, que son las transmitidas vía radio. En la Sección 7.2.2 se muestra en detalle el formato de las tramas físicas.

La longitud máxima de las tramas MPDU es de 127 octetos y están representados en el orden que son transmitidos, es decir, de izquierda a derecha, siendo el octeto de menor peso el que se envía primero.

El campo de *Frame Control Field* contiene información sobre el tipo de trama, la dirección, *flag* de habilitación de seguridad y otros *flags* de control.

El campo de *Sequence Number* identifica la trama de forma unívoca, para detectar transmisiones duplicadas.

El *Addressing Field* incluye las direcciones contempladas en el estándar.

Integridad de datos y Cyclic Redundancy Check

En la comunicación entre dos o más dispositivos es muy importante detectar los posibles errores para que los datos que se reciben sean los correctos. El estándar define un campo al final de cada mensaje para proporcionar integridad en los datos. Este campo consiste en una secuencia de comprobación de trama (*Frame Correction Sequence*) basado en el algoritmo de CRC (*Cyclic Redundancy Check*) calculada en función del contenido del mensaje.

7.2.2. Especificaciones de la capa física

La capa física es la encargada de habilitar y deshabilitar la radio del transceptor, realizar la detección de energía del canal, calcular el indicador de calidad del enlace analizando los paquetes recibidos, seleccionar la frecuencia del canal y realizar la transmisión y la recepción de los datos.

Término	Definición del término	Condiciones
Tasa de error de paquete (PER)	Promedio de la fracción entre paquetes transmitidos y paquetes que no son recibidos correctamente.	- Promedio medido con datos PSDU aleatorios.
Sensibilidad del receptor	Potencia mínima de entrada para obtener el PER especificado.	- Longitud PSDU = 20 octetos. - PER < 1. % - Potencia medida en los terminales de la antena. - Sin interferencias.

Figura 7.2.: Especificaciones del estándar para medir la sensibilidad del receptor [37].

Con el fin de validar la transmisión y recepción de las tramas con un transceptor basado en el SRO, en esta tesis, no ha sido necesario implementar todas las funcionalidades mencionadas.

Canales

Dependiendo de la banda de frecuencia hay un número de canales determinado. Por ejemplo, en el caso de la banda 2.45 GHz, el estándar define que la frecuencia de la portadora en función del canal será

$$f_c = 2405 + 5(k - 11) \text{ MHz, para } k = 11, 12, \dots, 26 \quad (7.1)$$

donde k es el número de canal. En cambio, para la banda de 868 MHz, usando también O-QPSK, solo se dispone de un único canal.

Sensibilidad del receptor

Para medir la sensibilidad del receptor, se tienen que tener en cuenta las condiciones y definiciones de la Figura 7.2. En la banda de 2.45 GHz especifica que el receptor debe de tener una sensibilidad de -85 dBm o mejor.

Formato del flujo de bits de la capa física.

La estructura de la PPDU (*Physical Protocol Data Unit*) se presenta de modo que el campo de más a la izquierda en este estándar tiene que ser el primero en ser transmitido o recibido. Todos los campos con múltiples octetos serán transmitidos o recibidos con el octeto menos significativo primero. En la Figura 7.3 se puede ver los distintos campos que forman la estructura del flujo de bits PPDU.

El campo del preámbulo está formado por cuatro octetos de valor 0. En el campo *Start of Frame Detection* (SFD) se indica el final del SHR y el inicio de los datos

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

		Octets		
		1	variable	
Preamble	SFD	Frame length (7 bits)	Reserved (1 bit)	PSDU
SHR		PHR		PHY payload

Figura 7.3.: Formato de la PPDU definido por [37].

del paquete. El SFD viene definido por los siguientes bits: 11100101 (ordenados de menor a mayor peso). A continuación viene el campo que especifica la longitud de trama seguido por los datos del propio paquete.

Modulación y ensanchado (spreading)

Cada octeto de la trama es procesado a través de la modulación y la función de *spreading*. Los 4 bits de menor peso de cada octeto son mapeados en un símbolo de datos y los 4 bits de mayor peso son mapeados en el siguiente símbolo.

La banda 2.45 GHz utiliza una modulación basada en 16 símbolos casi-ortogonales. Durante cada período de símbolo, cuatro bits seleccionan uno de los 16 símbolos formados por unas secuencias PN. La velocidad de estos bits es de 250 kb/s, o lo que es lo mismo: 62.5 ksymbol/s, con una precisión de ± 40 ppm.

Cada símbolo es mapeado en una secuencia PN de 32 chips, especificadas en la Figura 7.4. Estas secuencias de chip son moduladas mediante O-QPSK con un pulso conformador de medio periodo de seno, o lo que es lo mismo, modulación MSK. El orden de transmisión de estos chips es de menor a mayor peso, al igual que los bits y octetos.

El estándar especifica muchos otros aspectos de la capa física, como por ejemplo, la robustez mínima del receptor frente a interferencias, la máscara de la densidad espectral de la potencia transmitida, la medición de la calidad del enlace, etc. que no han sido considerados para el diseño del prototipo de transceptor.

Con el fin de validar la transmisión y recepción de datos utilizando el transceptor SR diseñado, en nuestro caso hemos implementado las funcionalidades necesarias siguientes: el mapeado de símbolo a chip, la modulación de chips mediante MSK, la recepción de los chips (incluyendo la sincronización) y el mapeado de chips a símbolo. En el Capítulo 8 se detalla el algoritmo de sincronización y también la sensibilidad medida del receptor SR en las condiciones de la Figura 7.2.

Data symbol	Chip values (c_0 c_1 ... c_{30} c_{31})
0	11011001110000110101001000101110
1	11101101100111000011010100100010
2	00101110110110011100001101010010
3	00100010111011011001110000110101
4	01010010001011101101100111000011
5	00110101001000101110110110011100
6	11000011010100100010111011011001
7	10011100001101010010001011101101
8	10001100100101100000011101111011
9	10111000110010010110000001110111
10	01111011100011001001011000000111
11	01110111101110001100100101100000
12	00000111011110111000110010010110
13	01100000011101111011100011001001
14	10010110000001110111101110001100
15	11001001011000000111011110111000

Figura 7.4.: Tabla de conversión de símbolos a secuencias de chip [37].

7.3. Implementación de la capa MAC

Para la implementación de la capa MAC se ha partido de uno de los trabajos realizados previamente dentro del equipo de investigación [48]. Esta implementación toma como referencia el dispositivo AT86RF230 [57] de Atmel. Este dispositivo es un transceptor de radiofrecuencia de bajo consumo, que opera a 2.45 GHz y diseñado especialmente para aplicaciones que utilizan el estándar IEEE 802.15.4. Este transceptor implementa la capa física y parte de la capa MAC. El dispositivo dispone de una interfaz SPI pensada para gestionar las funcionalidades implementadas que ofrece este transceptor, esencialmente constituye la interfaz de la capa MAC. Generalmente esta interfaz se conectará con microcontroladores que implementaran las funcionalidades necesarias de las capas superiores definiendo la aplicación final. Remarcar que el transceptor AT86RF230 solo se ha usado para tener una referencia funcional y una referencia de la interfaz de comunicación de la capa MAC. La capa MAC del dispositivo de Atmel corresponde a la parte señalada de la Figura 7.5.

El transceptor implementado en [48] asegura la compatibilidad con Contiki ya que se basa en el transceptor AT86RF230. En la Sección 7.5.4 se describe la

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

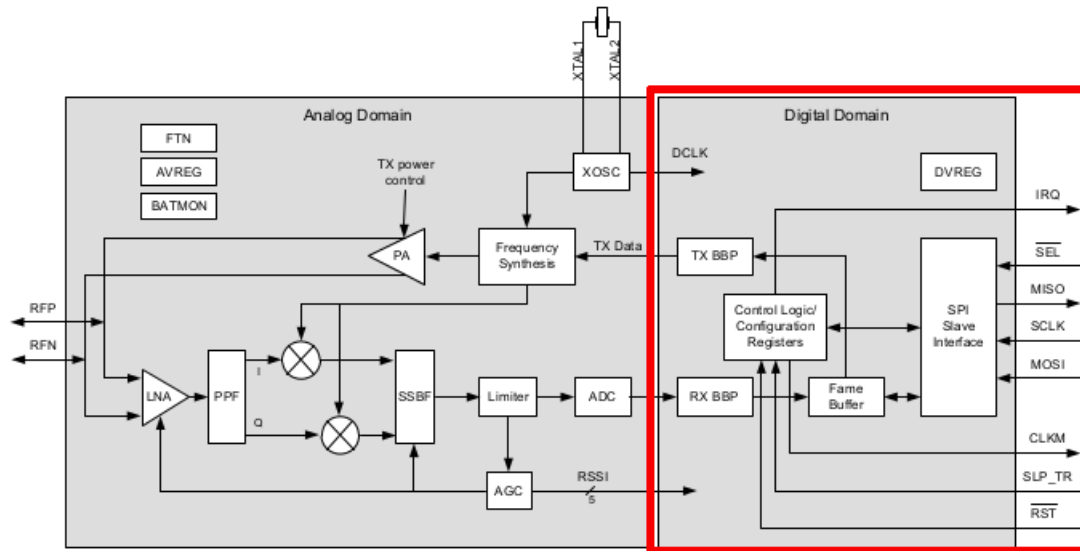


Figura 7.5.: Esquema de la arquitectura del transceptor Atmel AT86RF230. La parte enmarcada es la correspondiente a la capa MAC, es decir, la implementada en nuestro prototipo. [48]

utilización del transceptor con Contiki mediante un microcontrolador.

El esquema de la Figura 7.6 representa el diagrama de bloques general de la capa MAC diseñada e implementada en una FPGA. Como se puede observar, por un lado tenemos los buses por donde se transmiten los símbolos a la capa física y por el otro, la conexión con un microcontrolador a través del bus SPI.

Para probar esta implementación, en el proyecto [48], se utilizó el esquema de la Figura 7.7 donde se utilizaron unas Raspberry Pi con una herramienta descrita en lenguaje Python, llamada `test_transceptor`.

El transceptor diseñado, puede funcionar en dos modos distintos, el modo de operación básico y el modo de operación extendido. El primero no tiene en cuenta la fiabilidad mientras que el segundo gestiona reconocimientos y retransmisiones automáticas de tramas.

Al igual que el AT86RF230 contiene parte de la capa MAC, el diseño implementado en [48] contiene la misma parte. El resto de las funcionalidades de la capa MAC se implementan en un dispositivo externo con el software adecuado, como por ejemplo Contiki.

7.3.1. Modo de operación básico

El modo básico del transceptor está compuesto por 9 estados distintos (Figura 7.8). Combinando adecuadamente cada estado y usando el microcontrolador se

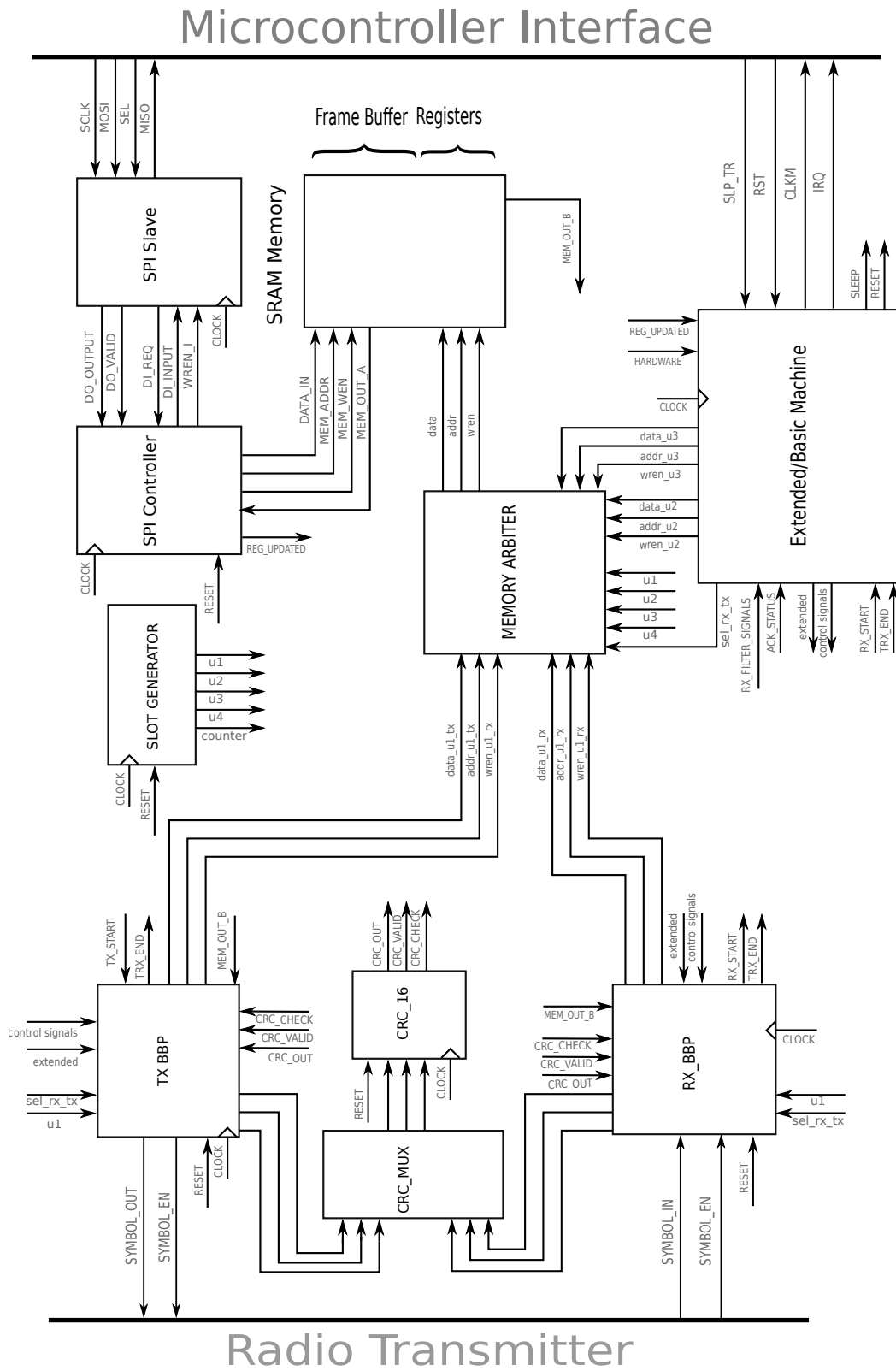


Figura 7.6.: Esquema general de la capa MAC del transceptor [48].

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

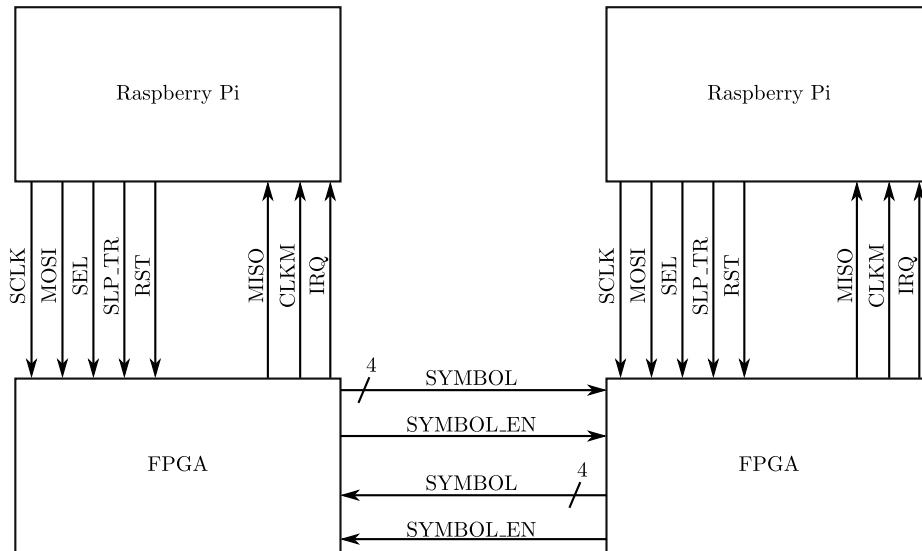


Figura 7.7.: Conexión para test de la capa MAC [48].

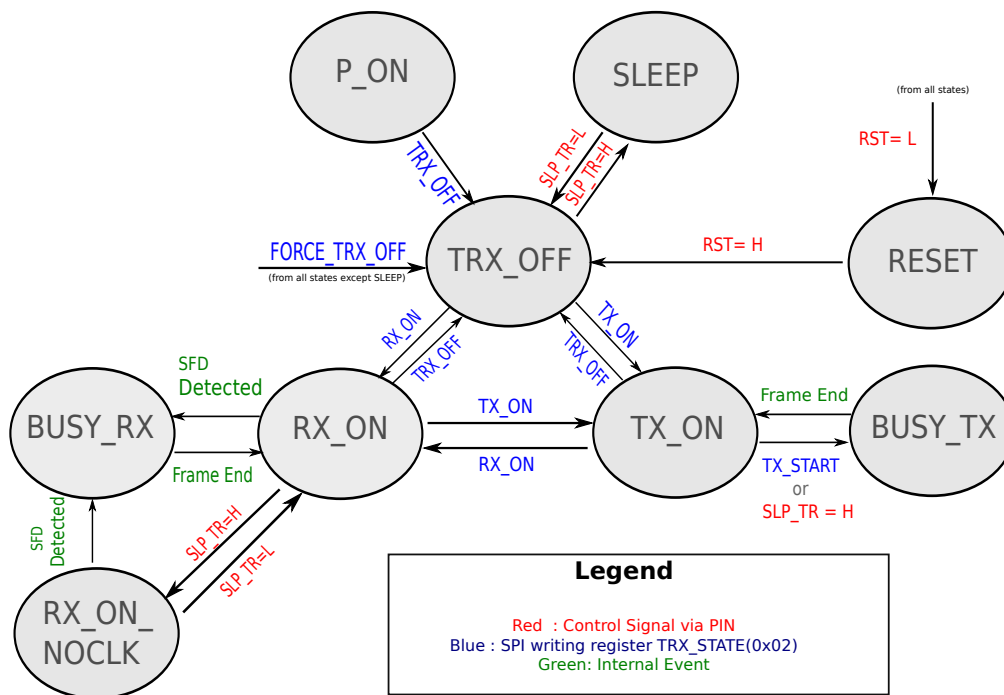


Figura 7.8.: Diagrama de estados del modo de operación básico [48] [57].

puede utilizar tanto para recibir como para transmitir datos.

A continuación mostramos un pequeña descripción de cada estado para entender el comportamiento del transceptor final.

P_ON Es el estado inicial. Cuando se alimenta el transceptor se inicia en este estado. Durante este estado, entre otras cosas, se inicializan los pines de entrada con los valores por defecto y cuando se estabilizan se puede hacer la transición hacia el estado de TRX_OFF con el comando correspondiente (TRX_OFF o FORCE_TRX_OFF).

SLEEP Este estado se diseñó para permitir deshabilitar parcialmente el transceptor con el fin de ahorrar energía. El estado está implementado pero no es operativo en nuestro caso.

RESET A través de un pin se puede pasar a este estado reseteando todos los registros a su valor por defecto.

TRX_OFF En este estado, la interfaz SPI está activa a la espera de recibir un comando. Asimismo, la parte física del transceptor está deshabilitada.

TX_ON Es el estado que habilita la antena para poder transmitir. Desde este estado, podemos enviar los paquetes deseados con el comando correspondiente.

RX_ON y BUSY_RX Estos dos estados habilitan el bloque receptor. La recepción interna de la trama se divide en dos estados, el RX_ON que tiene como objetivo detectar el final del preámbulo y cuando se recibe el SFD se pasa al estado BUSY_RX, momento en el que se almacenan todos los datos recibidos hasta el final de la trama. La parte radio del transceptor está activada en los dos estados y no hay diferencia alguna ya que se recibe la señal de RF igualmente. Al final del paquete se activa una señal llamada TRX_END. En el transceptor de esta tesis, la detección del SFD se ha implementado en la capa física.

RX_ON_NOCLK En recepción hay un estado especial llamado RX_ON_NOCLK. Este, tiene como objetivo apagar el microcontrolador para reducir el consumo pero la radio sigue habilitada escuchando el canal posibilitando la recepción de tramas.

BUSY_TX En el estado TX_ON se manda la orden de enviar una trama a través del pin o del comando correspondiente (TX_START) y se pasa al estado BUSY_TX. Este modo completa la transmisión de la trama. Una vez transmitida toda la trama, se activa la interrupción interna TRX_END y se vuelve al estado TX_ON.

7.3.2. Modo de operación extendido

El modo de operación extendido es una ampliación del modo de operación básico. El diagrama de estados de este modo de operación se muestra en la Figura 7.9. En este caso no explicamos en detalle cada estado ya que no es necesario para la

miento, es configurable en capas superiores con un máximo de 7 y un valor por defecto de 3, según el estándar.

7.3.3. Modificaciones de la capa MAC

Respecto al diseño e implementación original [48], se han modificado algunos aspectos importantes para realizar su integración con la capa física. Un resumen de las funcionalidades y otros aspectos que se han modificado son:

- La detección de inicio de trama, el SFD, ahora ya no se realiza en la capa MAC. Esta detección ahora se realiza en la capa física y forma parte del método de sincronización. Esta modificación se ha llevado a cabo, ya que el bloque `RX_BB`, una vez empezaba a recibir símbolos, esperaba indefinidamente el SFD. En las situaciones de falsos sincronismos, sincronizaciones erróneas o si el campo SFD estaba corrupto, el bloque no detectaba el SFD y se quedaba en el estado `RX_ON` indefinidamente. La forma más simple de solucionar este hecho, es hacer la detección del SFD en la etapa previa. Por consiguiente, ahora, el primer campo que recibe la capa MAC es el campo de la longitud de la trama.
- La señal interna `trx_end` de la capa MAC pasará hacia la capa física para reiniciar el sincronismo. También se conectará con el microcontrolador, para hacer el cálculo de los paquetes erróneos.
- El transmisor de la capa física no espera ninguna señal explícita para empezar la transmisión. Transmitirá cuando reciba el habilitador de símbolo y se detendrá al final del último chip del último símbolo recibido de la capa MAC. Con esto, se consigue activar y desactivar la señal RF transmitida de forma autónoma en la capa física.
- El valor del campo de longitud de trama decodificada por la capa MAC se puede ver afectado si los bits de este campo se reciben corruptos. Este hecho puede provocar que, si el campo indica una longitud muy elevada, el receptor esté llenando un `buffer` interno hasta sobrepasar su dimensión. Para solventar este problema se reinicia el contador índice del `buffer` cuando llega al valor máximo.
- El tiempo entre retransmisiones en el modo extendido está dimensionado para trabajar a 2 Mchip/s pero nuestro prototipo trabaja a 10 kchip/s, por lo que se ha modificado este tiempo aumentándolo un factor 200, provocando una espera mayor entre retransmisiones.

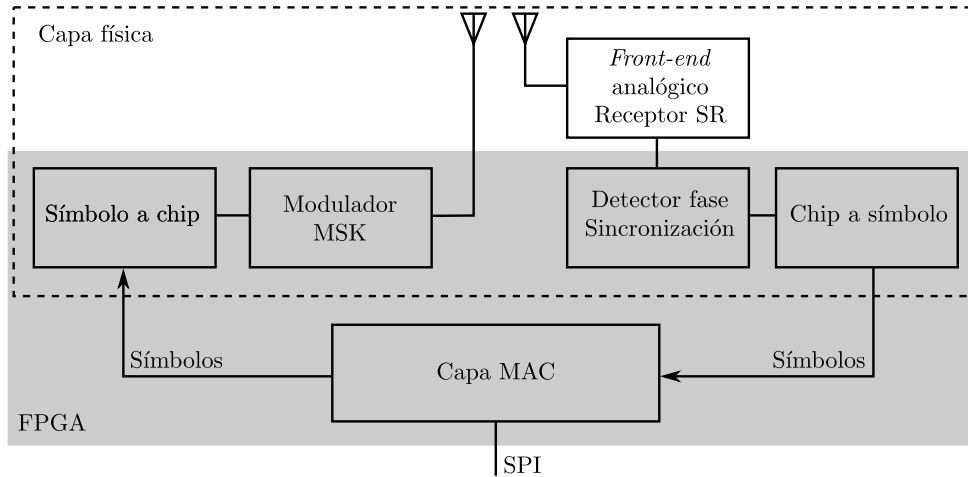


Figura 7.10.: Esquema genérico de la capa física de un transceptor SR MSK IEEE 802.15.4. Todos los bloques de la zona sombreada están implementados en la FPGA.

7.4. Implementación de la capa física

La comunicación de la capa MAC con la capa física se produce en la misma FPGA, transfiriéndose los símbolos de una a otra. En la Figura 7.10 se muestra un esquema genérico de los módulos que componen la capa física.

Para transmitir los datos, la capa física necesita un módulo que convierta los símbolos a chips para transmitirlos en serie hacia un modulador MSK. Seguidamente, incluye el bloque modulador transmisor MSK.

La parte del receptor está formada por el *front-end* compuesto por el receptor SR. A continuación hay un módulo encargado de la detección de fase de forma digital y de la realización de la sincronización. Finalmente, hay un módulo que convierte los chips recibidos a símbolos, donde cada grupo de 32 chips corresponde a un símbolo.

A lo largo de esta sección se describen las implementaciones de cada módulo que componen la capa física. Excepto la parte del SRO, todo el diseño es digital e implementado en una FPGA. Por otra parte, en la Sección 7.5 se describe en detalle el prototipo realizado a frecuencia de portadora $f_c = 26.25$ MHz (10 kchip/s).

7.4.1. Mapeado de símbolo a chip

Como hemos visto en la Figura 7.6, la capa MAC transmite a la capa física dos señales: `Symbol` y `Symbol_en`. La primera de ellas es un bus con los símbolos a transmitir y la segunda corresponde a un indicador para que se puedan leer los símbolos, es decir un habilitador. Este indicador, tiene la duración de un ciclo

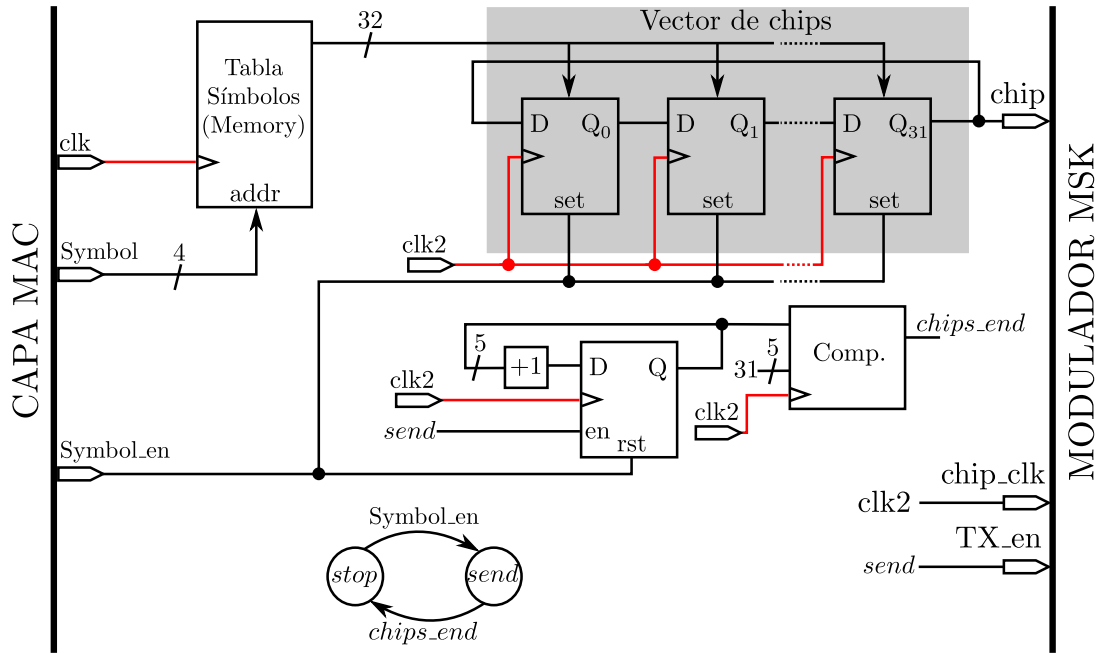


Figura 7.11.: Conversión de símbolos a chips y generación de la señal de habilitación para el modulador. clk2 es $\text{clk}/16$.

del reloj clk . Por este motivo, se debe diseñar un sistema que, cuándo la señal Symbol_en tome valor lógico 1, lea el símbolo de Symbol , lo codifique en los 32 chips correspondientes y los transmita en serie hacia un modulador MSK. Al mismo tiempo, tiene que proporcionar la señal de reloj para que el modulador lea los chips correctamente.

Otra funcionalidad que implementa este módulo es generar una señal habilitadora TX_en para el generador de RF. Mientras este módulo reciba símbolos, irá enviando chips hacia el modulador y se debe mantener la señal de RF habilitada. En cambio, cuando se ha enviado el último chip del símbolo y la capa MAC ya no transmite ningún símbolo más, la señal de RF del transmisor se debe deshabilitar.

La implementación de este sistema esta representada en la Figura 7.11. Contiene una memoria de lectura donde se almacenan las secuencias de chip correspondientes a cada símbolo. Los símbolos se introducen en los bits de dirección de esta memoria obteniendo como datos los chips. Este sistema es gobernado por una pequeña máquina de estados que se inicializa en el estado de `stop` y cuando se recibe el indicador de símbolo Symbol_en , conmuta al estado `send`. En este instante, el vector de desplazamiento se carga con los 32 chips correspondientes al símbolo recibido. A continuación, a frecuencia de chip clk2 , se van rotando los chips para transmitirlos en serie a través de la salida `chip`. Por otra parte, tenemos un contador implementado con 5 bits y un comparador, necesario para calcular la finalización de la transmisión de un símbolo entero. En este instan-

te, al final del último chip, se activa la señal `chips_end` que hace conmutar la máquina de estados otra vez a `stop`. Cabe mencionar que si se reciben símbolos seguidos (caso de transmitir una trama), antes de activar la señal `chips_end` ya llegará el nuevo indicador de símbolo `Symbol_en` provocando que la máquina de estados no llegue a conmutar.

De esta manera, para transmitir los chips y controlar el generador de RF solo se depende de las señales `Symbol` y `Symbol_en` de la capa MAC. Cabe mencionar que este módulo está diseñado para trabajar con `clk = 32 MHz`, es decir `clk2 = 2 MHz` que es la frecuencia de chip en el estándar IEEE 802.15.4. Cuando se implemente el prototipo a $f_x=10$ kHz, todo este módulo funcionará igualmente de forma correcta, simplemente, reduciendo el reloj principal por un factor 200.

7.4.2. Modulador MSK

Como hemos visto en el Capítulo 6 la modulación MSK viene caracterizada por tener fase continua y

$$f_d = \frac{f_x}{4}, \quad (7.2)$$

siendo f_x la frecuencia de chip y f_d la desviación de frecuencia respecto f_c . Es decir, cuando se transmita un 0 lógico como chip, se transmitirá una RF con frecuencia

$$f_1 = f_c - \frac{f_x}{4}, \quad (7.3)$$

y cuando se transmita un 1 lógico, la frecuencia de la RF será

$$f_2 = f_c + \frac{f_x}{4}. \quad (7.4)$$

Y por lo tanto, la diferencia entre las dos frecuencias es de $2f_d = f_x/2$.

En nuestro prototipo los valores de trabajo son $f_x = 10$ kHz, $f_c = 26.25$ MHz, $f_1 = 26.2475$ MHz y $f_2 = 26.2525$ MHz. La implementación de la modulación directamente a estas frecuencias presenta inconvenientes que hacen inviable esta opción en la FPGA utilizada. Estos inconvenientes vienen dados porque la pequeña desviación entre frecuencias y la necesidad que la señal MSK tenga fase constante, obligan a utilizar una frecuencia de reloj f_{clk} muy elevada. Una opción para resolver este problema es la utilización de circuitería analógica adicional. Otra opción, que es la escogida, consiste en realizar la modulación en banda base y con un mezclador digital trasladarla a la frecuencia f_c . El esquema del sistema corresponde al de la Figura 7.12, donde partimos de una frecuencia de reloj f_{clk} que pueda crear de forma fácil la placa. El circuito que es capaz de generar la modulación MSK en banda base consta, entre otros componentes,

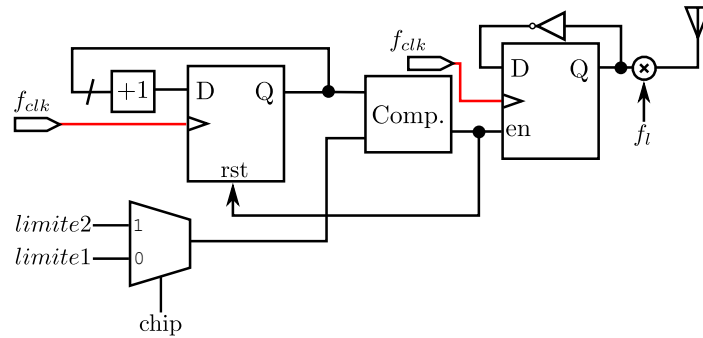


Figura 7.12.: Diagrama de bloques del modulador MSK.

de un contador de ciclos de reloj para dividir la frecuencia f_{clk} a las frecuencias banda base f_{b1} o f_{b2} según el chip actual, cumpliéndose $f_{b2} - f_{b1} = f_x/2$. Para generar estas señales tenemos dos constantes, $limite1$ y $limite2$, que son el número de ciclos de f_{clk} necesarios para, mediante un simple flip-flop con una retroalimentación negada, generar medio ciclo de f_b . Después, el mezclador digital, es implementado con una puerta `xor` con la frecuencia f_l , que puede provenir de uno de los PLLs disponible en la placa utilizada, que trasladará la modulación banda base a f_c . Cabe mencionar que con este sistema se genera f_{b1} o f_{b2} con continuidad de fase. En este esquema, para simplificarlo, no se ha dibujado la señal habilitadora del módulo transmisor de RF ni que la lectura del chip se realiza de forma síncrona.

Las frecuencias f_{b1} o f_{b2} se deben escoger adecuadamente. Por un lado, f_b debe ser suficientemente grande como para que el ancho de banda de la señal MSK en banda base quede contenida en el semi-eje positivo y evitar el *aliasing* que ello conllevaría. Esto se consigue con $f_{b1} > 2f_x$. Por otro lado, los armónicos impares de f_b , fruto de la síntesis digital de la señal, se deben de atenuar antes de alcanzar f_c o estar suficientemente alejados de f_c para evitar así su solapamiento con el espectro en banda base una vez trasladado a f_c . En este caso, con $f_x = 10$ kHz, se ha optado por los siguientes valores: $f_{clk} = 57.75$ MHz, $limite1 = 154$ y $limite2 = 150$ con los cuales se obtiene $f_{b1} = 187.5$ kHz, $f_{b2} = 192.5$ kHz y la frecuencia del mezclador necesaria es $f_l = 26.06$ MHz. Con estos valores, el contador debe de ser de 8 bits.

Con la placa DE0-Nano [42], utilizando la versión 15.0 del Quartus, no se puede sintetizar una $f_l = 26.06$ MHz con uno de sus PLLs. La frecuencia más cercana posible es $f'_l = 26.068376$ MHz que provoca una traslación a $f'_c = 26.258376$ MHz. Considerando el ancho de banda del receptor SR 58 kHz, una desviación de ≈ 8 kHz respecto la frecuencia central tiene un efecto despreciable, más teniendo en cuenta que el objetivo del prototipo es validar su funcionamiento en modulación MSK. Esta desviación de ≈ 8 kHz, que equivale a un error de 319.1 ppm, tiene como consecuencia que el error de fase que observará el receptor

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

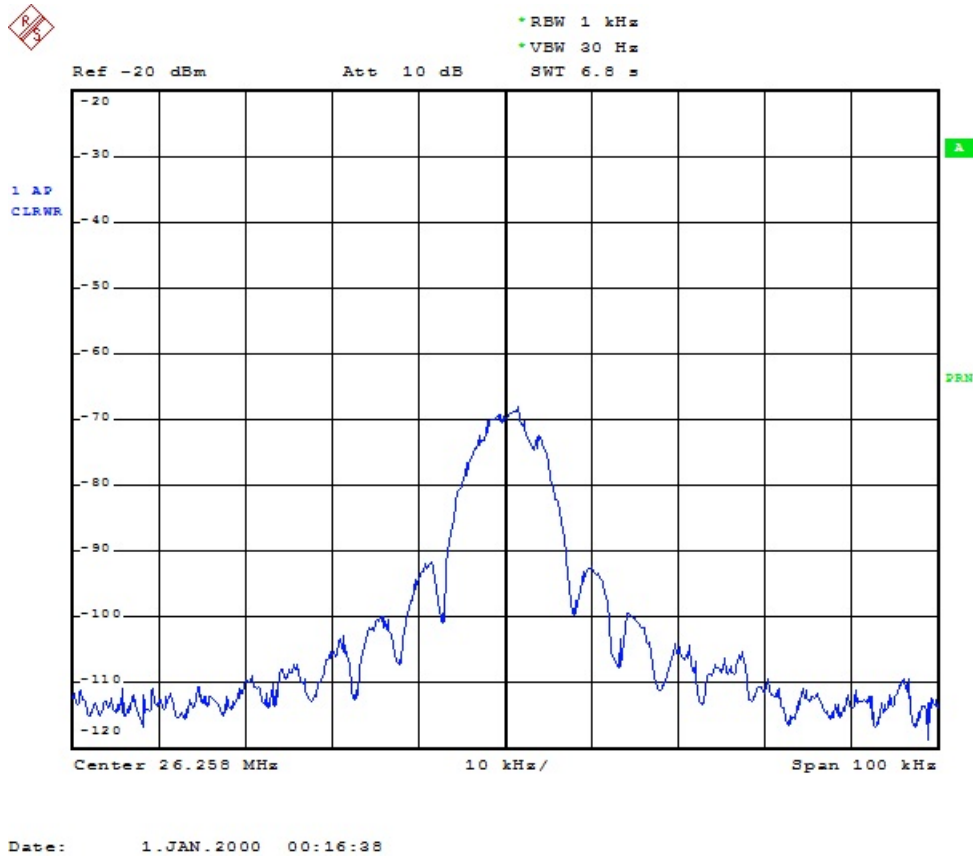


Figura 7.13.: Espectro radiado de la señal MSK generada por la FPGA con datos PN9.

será

$$\varphi_\epsilon = 2\pi f_c T_x \epsilon = 2\pi 26.25 \cdot 10^6 \cdot 1 \cdot 10^{-4} \cdot 319.1 \cdot 10^{-6} = 5.26 \text{ rad} = 301.55^\circ. \quad (7.5)$$

Es decir, asumiendo sincronización, las fases diferenciales recibidas en lugar de ser 90° y -90° serán de 31.55° y -148.45° . Este hecho no implica ningún problema, conociéndolo, ya que en el receptor se puede ajustar con una tabla de conversión de fases.

El espectro de la señal MSK transmitida por la FPGA, Figura 7.13 coincide con el correspondiente a una modulación MSK [41]: ceros a $3/4 f_x$ de f_c , lóbulos secundarios a -23 dB y ancho de banda a -3 dB de $B_T \approx f_x/2$. Obsérvese que la frecuencia central es $f'_c = 26.258376$ MHz en lugar de $f_c = 26.25$ MHz.

7.4.3. Receptor SR MSK

El receptor está formado por el *front-end* presentado en el Capítulo 6, el núcleo del cual es el SRO y dicho receptor está basado en la técnica de muestreo de fase para detectar la modulación MSK.

La finalidad de este receptor SR es que a partir de la señal RF obtenga la secuencia de chips correspondiente. A partir de dicha secuencia de chips se obtendrán los símbolos.

Remarcar que para poder decodificar los símbolos correctamente y, por lo tanto, recibir una trama del estándar correctamente, se requiere de un algoritmo de sincronización a nivel de chip, símbolo y de trama. Este algoritmo está implementado en este bloque pero se presenta y se muestra el detalle de su implementación digital en el Capítulo 8.

7.4.4. Mapeado de chips a símbolo

El demodulador MSK, en primer lugar, obtiene una secuencia de fases. A partir de esta secuencia de fases se obtendrá una secuencia de 32 chips. La correspondencia entre la secuencia de fases y la secuencia de chips con el fin de obtener los símbolos finales se puede hacer de dos modos, conocidos como decisión *hard* o decisión *soft*.

Decisión *hard* vs. *soft*

A partir de ahora definimos como bit_i la unidad lógica básica implementada en la FPGA. En cambio, si se habla de bit, se hace referencia a los *bits de información* del estándar. Nótese que un *chip* del estándar corresponde a un bit_i .

La decisión *hard* consiste en que la secuencia de fases recibidas se cuantifican con un solo bit_i , proporcionando así una secuencia de 32 chips. A partir de esta secuencia de 32 chips se realiza una correlación binaria del vector de chips recibidos con las 16 posibles secuencias de chips del estándar. La correlación que proporciona el valor más grande, es directamente el símbolo recibido. El valor máximo de la correlación será 32.

En cambio, la decisión *soft* consiste en que la secuencia de fases recibidas se cuantifican con más de un bit_i . En este caso se realiza una correlación entre la secuencia de fases con las 16 posibles secuencias de chips. El valor máximo de la correlación será $32\varphi_q$, siendo φ_q el valor máximo de la fase cuantificada.

Hemos simulado las tasas de error de símbolo (SER) y de bit (BER) correspondientes a los dos tipos de decisión en función de la relación señal a ruido (SNR) (Figura 7.14).

Para mantener la misma tasa de error, usando una decisión *hard* se pierden 0.7 dB de sensibilidad, pero en cambio los recursos utilizados son muy inferiores respecto a usar decisión *soft*.

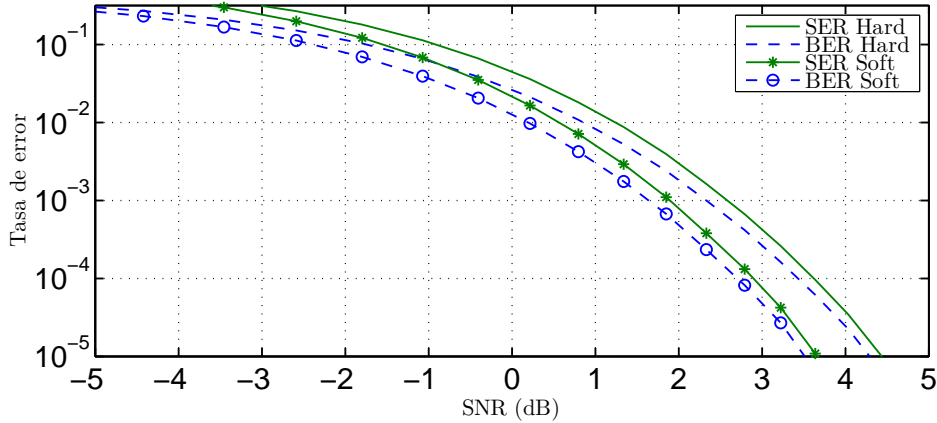


Figura 7.14.: Comparación del SER y del BER utilizando la decisión *hard* y la decisión *soft*.

En la decisión *hard* se utiliza un registro de 32 chips, es decir 32 bits_{*i*}. En cambio, el registro de 32 posiciones encargado de almacenar las fases de la secuencia de fases para la decisión *soft*, utiliza 32*A* bits_{*i*}, siendo *A* el número de bits_{*i*} necesarios para cuantificar la fase. En nuestro caso, trabajamos con $N = 20$ fases, por consiguiente cada fase es cuantificada con $A = 5$ bits_{*i*}. Es decir, se utilizarían 160 bits_{*i*}.

Con el objetivo de minimizar los recursos, se ha decidido implementar la decisión *hard* mediante el circuito de la Figura 7.15. El proceso de correlación se hace secuencialmente comparando chip por chip en cada ciclo de reloj. La señal `clk2` es `clk` dividido por 32. Se implementa un algoritmo de búsqueda del máximo de coincidencias de la siguiente manera: al final de cada símbolo, el número de coincidencias s_c de los chips recibidos con los chips del símbolo patrón actual es comparado con el valor previo de coincidencias s_{c-1} y se guarda el índice asociado al mejor símbolo c^* de entre estos dos. Después de recorrer las 16 posibilidades, se obtiene el índice del símbolo con el que se ha obtenido mayor similitud.

7.5. Test Setup a 26.25 MHz

Como ya se ha comentado anteriormente y con el fin de implementar un prototipo completo, disponiendo del receptor SR MSK operando a 10 kchip/s, hemos reducido la velocidad del resto del sistema (parte de la capa física y toda la capa MAC) por un factor 200, es decir que en lugar de trabajar con una frecuencia de reloj de 32 MHz, se trabaja con un reloj de frecuencia 160 kHz.

En el esquema de la Figura 7.16 se muestra el diagrama de bloques general de la capa física del transceptor completo. En él se observan dos colas FIFO

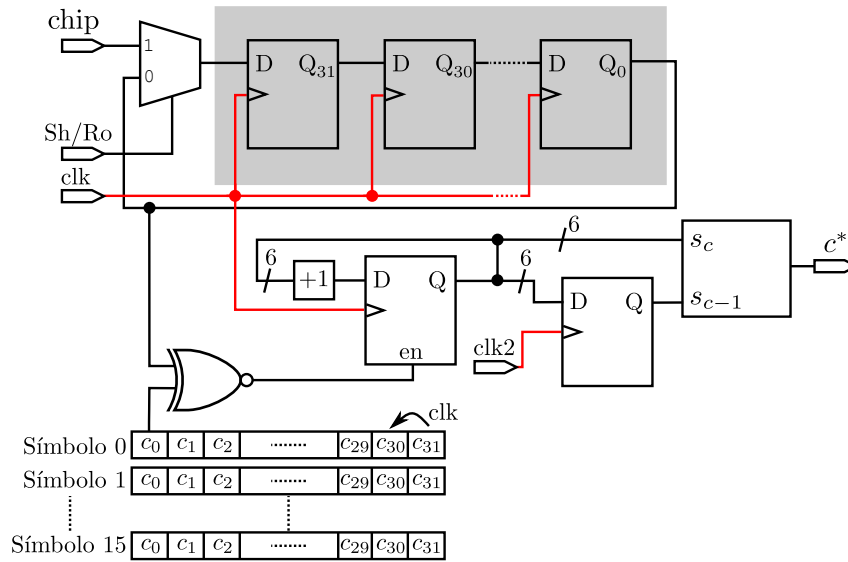


Figura 7.15.: Esquema del circuito de decisión de símbolo.

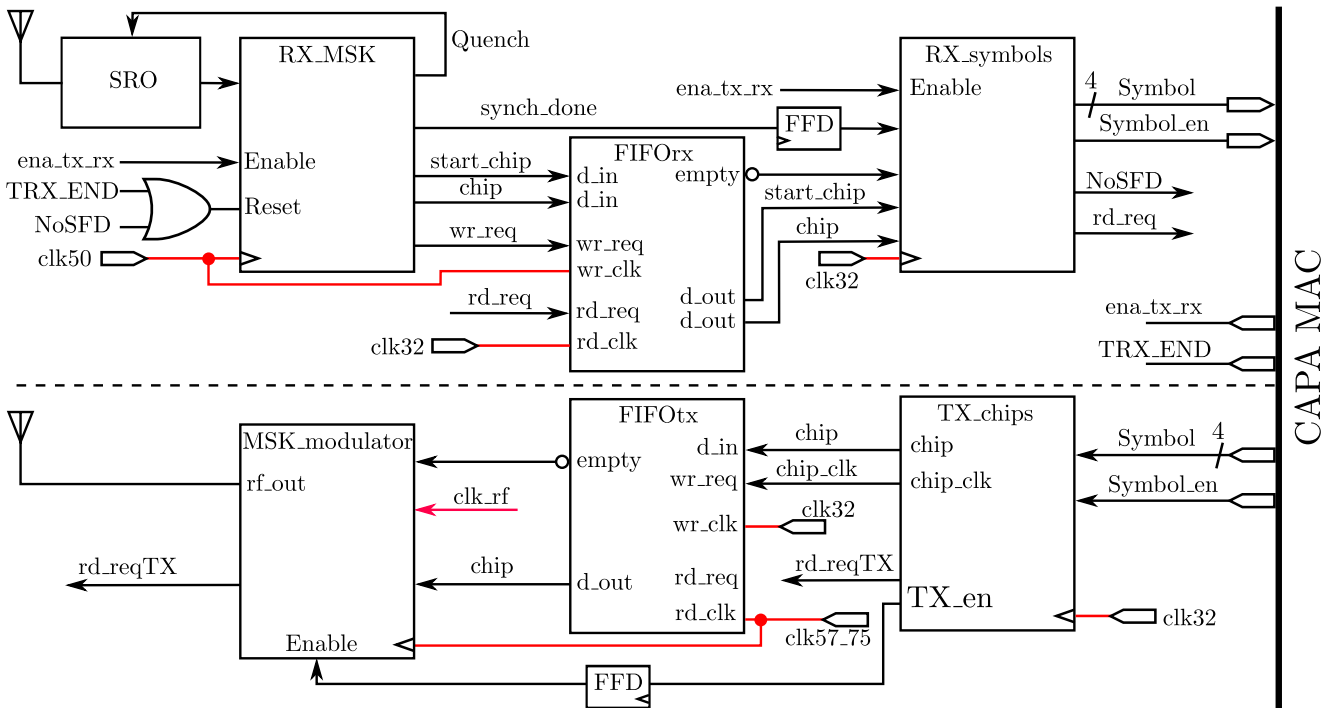


Figura 7.16.: Esquema de la capa física del transceptor SR IEEE 802.15.4. El prototipo opera en la banda de 26.25 MHz. La parte superior es la correspondiente a la parte receptora y la inferior a la parte transmisora. La frecuencia de la señal clk32 es de 160 kHz.

(*first in, first out*) necesarias por el hecho de trabajar con dominios de reloj distintos. En la Sección 7.5.1 se dan más detalles acerca de ello. A continuación se describen las principales señales del sistema necesarias para la interconexión

7. Diseño e implementación de un transceptor SR para IEEE 802.15.4

entre los bloques principales, así como la interconexión con la capa MAC.

- **ena_tx_rx**: Esta señal proviene de la capa MAC e indica cuándo se debe habilitar el receptor. Por contra, el transmisor se auto-habilita y auto-deshabilita directamente en función de los símbolos que recibe.
- **TRX_END**: Indicador de que la capa MAC ha terminado de procesar toda la trama y por consiguiente, el receptor debe volver a buscar sincronización.
- **NoSFD**: Esta señal indica que el receptor se ha sincronizado pero no ha recibido el campo SFD dentro de un margen posible de símbolos, y por consiguiente, debe volver a buscar sincronización.
- **synch_done**: Indica cuando el receptor se ha sincronizado en chip y símbolo. No obstante, para evitar falsos sincronismos, la sincronización se considerará completada cuando además se detecte el SFD.
- **start_chip**: Esta señal se activa cuando el chip actual es el primero de la secuencia de 32 chips que forman el símbolo y además cuando el sistema está sincronizado.
- **chip**: Es la línea que contiene en serie los chips recibidos en la parte receptora o los transmitidos en la parte transmisora.
- **clk_rf**: Es la señal de frecuencia f_l del mezclador digital descrita en la Sección 7.4.2.

Las señales descritas son las que interactúan con los siguientes bloques:

- **RX_MSK**: Respecto el módulo genérico descrito en 7.4.3 se añaden las siguientes particularidades. Como entrada tiene la señal del SRO y la señal **ena_tx_rx**. Si esta señal indica la deshabilitación de la parte receptora, el módulo extingue la oscilación del SRO mediante el control de la señal de *quench*. Otra entrada, la de **reset**, inicializa el proceso de sincronización. Como salida tiene la señal de *quench* que permite ajustar, entre otras características, el instante de muestreo cuando se ha realizado la sincronización. Las otras salidas son las señales ya descritas.
- **RX_symbols**: El módulo descrito en la Sección 7.4.4 tiene los siguientes aspectos a destacar. Recibe los chips en serie y mediante la señal que indica el inicio de secuencia de símbolo **start_chip** se agrupan los 32 chips correspondientes al símbolo. Por otro lado, este módulo incluye la detección del SFD. Se activa la señal **NoSFD** si no recibe este campo después de unos símbolos de margen desde la activación de la señal **synch_done**. Este margen puede ser desde 0 a 7 símbolos, en función de los parámetros del algoritmo de sincronización.
- **TX_chips**: Este módulo es el descrito en la Sección 7.4.1, en el cual no hay ninguna particularización a añadir.

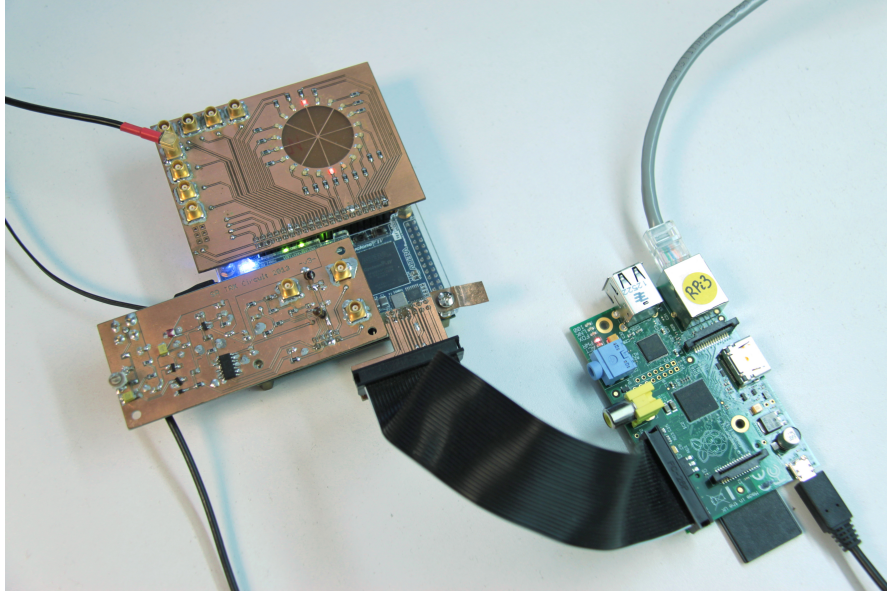


Figura 7.17.: Fotografía del transceptor SR IEEE 802.15.4, operando como receptor y recibiendo datos a través de un generador externo.

- `MSK_modulator`: Es el bloque modulador MSK descrito en la Sección 7.4.2 sin ninguna particularidad extra. Recuérdese que se realiza una modulación en banda base y se traslada a la frecuencia $f_c = 26.25$ MHz mediante la señal `clk_rf`.

En la Figura 7.17 se muestra el prototipo de transceptor SR MSK IEEE 802.15.4. Se puede observar una placa con la constelación discretizada en $N = 20$ fases. En esta fotografía, el transceptor está en modo receptor, sincronizado y recibe datos modulados en MSK enviados por un generador externo, con una relación SNR alta. Tanto la parte transmisora como la receptora están implementadas en la misma FPGA Cyclone IV EP4CE22, incorporada en la placa de desarrollo Terasic DE0-Nano [42].

7.5.1. Clock domain crossing

El módulo correspondiente al receptor SR MSK está diseñado para trabajar con una frecuencia de reloj de 50 MHz. Por contra, el resto del diseño del transceptor está diseñado para trabajar con una frecuencia de reloj de 32 MHz, aunque en realidad trabaja con un reloj de 160 kHz en esta implementación.

Por consiguiente, es obvio que existen dos dominios de reloj distintos y entre los que se transfieren los chips. En la parte transmisora también tenemos esta situación ya que el modulador MSK trabaja con una frecuencia de reloj de 57.75 MHz.

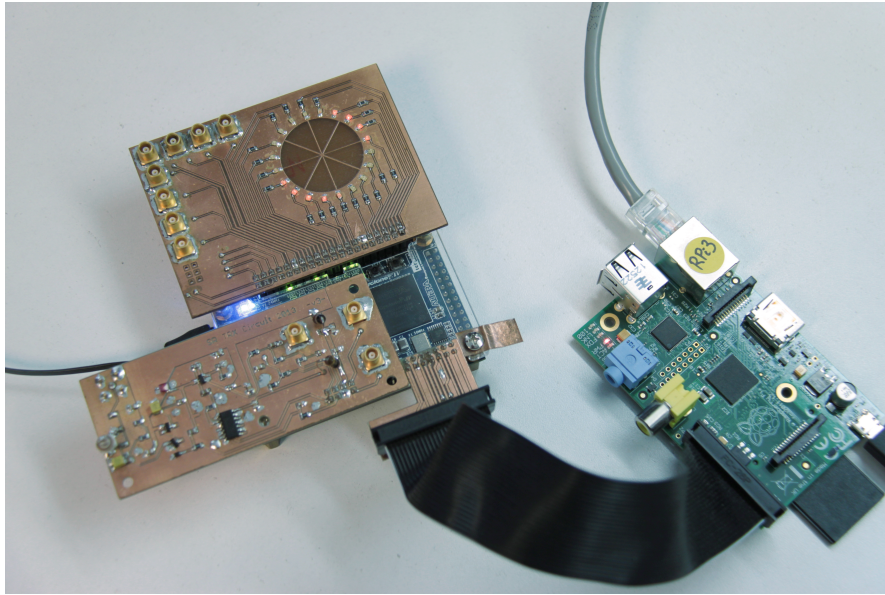


Figura 7.18.: Transceptor SR IEEE 802.15.4 recibiendo a través del aire la señal transmitida por otro transceptor. Las fases recibidas están desfasadas a causa de la modulación MSK descrita en la Sección 7.4.2.

La transferencia de datos de un dominio de reloj a otro se llama, en inglés, *Clock domain crossing*. A causa de las derivas entre las dos frecuencias generadas se pueden producir los problemas típicos de sistemas asíncronos, como por ejemplo, pérdida de datos. Una forma simple de solucionarlo es implementar una cola FIFO. Esto es viable si la señal que transfiere la información entre los dos dominios es de variación lenta en comparación a la frecuencia de los relojes. Las FIFO's de la Figura 7.16, reciben los datos (chips) con una señal de petición de escritura, `wr_req`. Cuando hay algún elemento en la FIFO, la señal `empty` deja de estar activa. En este momento, el receptor lee los datos de la FIFO activando la señal `rd_req`. De esta forma no se perderá ningún chip aunque exista una desviación entre los relojes y se escribirán y leerán en la FIFO de forma síncrona.

7.5.2. Modo de operación básico

La finalidad de este modo es testear la comunicación en una dirección sin la necesidad de comprobar la fiabilidad de la comunicación, ya que en este modo no está habilitado el reconocimiento de tramas. Con el fin de medir el PER (*Packet Error Rate*) hemos utilizado como transmisor un generador externo (RF Agilent E4431B) para modular los chips transmitidos por la FPGA (Figura 7.17). Se ha optado por el uso del modulador externo ya que con el modulador MSK descrito en la Sección 7.4.2 se complicaría el control de la potencia de entrada al receptor.

Sin embargo, con nuestro modulador MSK también se obtiene una comunicación satisfactoria pero se debe tener en cuenta la desviación de frecuencia provocada por el transmisor. Este hecho se traduce en una rotación de las fases recibidas, que se puede observar en la constelación de la Figura 7.18.

Se han podido validar las siguientes funcionalidades:

- El acceso a la configuración de la capa MAC: Acceso a los distintos registros, gestionar los distintos estados del autómata y conmutar entre modo transmisor y modo receptor manualmente a través del comando correspondiente.
- La transmisión de caracteres, tramas y ficheros de texto.
- Comprobación del CRC de la trama.

En este capítulo no mostramos los resultados de las medidas de PER ya que son altamente dependientes del algoritmo de sincronización presentado en el Capítulo 8. Estas medidas se han realizado con la herramienta `test_transceptor` de la Raspberry a partir de la señal del CRC, de la señal `synch_done` y la señal `NoSFD`. Para este fin, el bus de la Figura 7.17 que conecta la placa de la FPGA con la Raspberry contiene estas tres señales, además de la interfaz SPI.

7.5.3. Modo de operación extendido

Con el modo de operación extendido hemos podido verificar las siguientes funcionalidades:

- Las mismas que en el modo básico.
- Modificación de las direcciones de cada dispositivo.
- Intercambio de mensajes con direccionamiento (comprobando la dirección recibida).
- Transmisión de reconocimientos por parte del receptor al recibir una trama correcta.
- Retransmisión en caso de no recibir el reconocimiento.

En el caso de las tramas de reconocimientos y retransmisiones, se ha validado la conmutación de receptor a transmisor para transmitir el reconocimiento. Esta conmutación se hace sin la intervención del dispositivo que controla el transceptor (en este caso la Raspberry).

En este modo se han hecho pruebas emulando el canal ocupado o libre en función de una señal interna comprobándose la correcta gestión del protocolo CSMA/-CA. Sin embargo, no se ha podido validar realmente, ya que nuestra capa física actual no es capaz de detectar si el canal está ocupado.

7.5.4. Transceptor SR IEEE 802.15.4 con Contiki

Hemos implementado un prototipo formado por una FPGA, que contiene la capa física y una parte de la capa MAC, y un microcontrolador Atmega1281 que contiene Contiki.

Para esta implementación se ha tomado como referencia el módulo integrado AVR-ZigBit. Este dispositivo está formado por el transceptor AT86RF230 (capa física y MAC del estándar 802.15.4) y el microcontrolador Atmega1281 que opera con Contiki. Así se puede decir, que nuestro prototipo es equivalente al AVR-ZigBit ya que el microcontrolador y el software que contiene son idénticos pero se ha sustituido el transceptor comercial por el nuestro.

De Contiki hemos utilizado la pila de comunicaciones Rime que nos ha permitido comunicar los dos transceptores en modo de operación simple y en modo extendido. En las capas superiores, Rime nos ha permitido verificar: el direccionamiento de las estaciones, el reconocimiento de los datos y la comunicación bidireccional.

Se ha validado el correcto funcionamiento del prototipo completo con el escalado correspondiente de la frecuencia de reloj. Por otra parte, con el microcontrolador Atmega1281 y Contiki se han hecho pruebas a la velocidad real del estándar, es decir 2 Mchip/s, a nivel de chip. Para este fin, se ha suprimido el receptor SR y el modulador MSK y se han conectado dos FPGA, a través de una conexión directa, para transmitir los chips en serie. La sincronización de los chips se realiza de forma simple correlando los chips con el patrón del preámbulo. Este test ha servido para validar el mapeado de símbolo a chip y el mapeado de chips a símbolo de la capa física, validar la capa MAC y el funcionamiento de Contiki operando a la velocidad del estándar.

7.6. Conclusiones

En este capítulo hemos presentado un transceptor SR MSK siguiendo el estándar IEEE 802.15.4, el cual especifica la capa física y MAC. También hemos incluido funcionalidades de capas superiores mediante un microcontrolador que se comunica a través de comandos SPI con el transceptor. Para los test del transceptor se ha utilizado una Raspberry que lo gobierna mediante la herramienta `test_transceptor` descrita en Python. Con este *test setup* se pueden controlar los distintos registros implementados en el autómata de la capa MAC y por consiguiente cambiar de modo de operación, entre otras opciones. En el prototipo final, para comunicarse con el transceptor se ha usado el sistema operativo Contiki sobre un microcontrolador Atmega1281. Contiki añade funcionalidades

de capas superiores. Sobre este sistema operativo hemos utilizado la pila Rime, la más adecuada para dispositivos de bajo consumo.

El subsistema receptor de nuestro prototipo está formado por una capa física que incluye una parte analógica, cuyo núcleo es el SRO operando a $f_c = 26.25$ MHz, y una parte digital que muestrea la fase del SRO, obtiene los chips recibidos, sincroniza y decodifica los símbolos. Como capa MAC se ha partido del diseño digital realizado en [48]. El subsistema transmisor del prototipo está formado por esta capa MAC, un módulo que convierte los símbolos en chips y un modulador-transmisor MSK, constituyendo los dos últimos la parte transmisora de la capa física. El modulador MSK propuesto es totalmente digital, generando la modulación en banda base y trasladándola a la frecuencia de operación con un mezclador digital.

Se ha verificado el funcionamiento de los transceptores en el modo de operación extendido. Uno de los factores más importantes a comprobar ha sido la conmutación automática entre los modos de transmisión y recepción con el fin de recibir las tramas de datos y transmitir las tramas de reconocimiento correspondientes.

Cabe mencionar que nuestro prototipo no opera a la frecuencia $f_c = 2.45$ GHz requerida en el estándar pero casi todos los bloques están escalados de tal forma que no necesitarían ningún cambio para operar a la frecuencia real del estándar. Los únicos bloques que necesitarían cambios son: el SRO, el módulo de detección de fase y el transmisor MSK. Sin embargo, el método de detección de fase es fácilmente extrapolable a una frecuencia mayor de portadora y, por ejemplo, podría trabajar con un SRO integrado en tecnología CMOS.

En resumen, la mayor parte del transceptor es digital y está implementada en una FPGA de bajo coste, utilizando unos recursos muy reducidos. Por consiguiente el prototipo es ideal para comunicaciones de bajo coste y bajo consumo gracias a su diseño digital simple, a la simplicidad del SRO y a la compatibilidad con Contiki.

En este capítulo no se obtienen datos de sensibilidad ni de ocupación de la FPGA ya que son altamente dependientes del método de sincronización, el cual es presentado en el siguiente capítulo.

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

8.1. Introducción

Es bien conocido que el problema de la sincronización en sistemas de comunicaciones, sobretodo en los inalámbricos, es un problema muy significativo en el diseño del receptor y aparece en varios niveles, desde el sincronismo de portadora al de trama. La sincronización es responsable de una gran parte del coste del receptor en términos de área o consumo [58]. En el contexto del SR son deseables métodos de sincronización de muy baja complejidad, para evitar penalizar la principal característica del receptor SR.

Las comunicaciones digitales se pueden clasificar como transmisiones a ráfagas (o por paquetes) (*burst-mode*) o continuas (*streaming*), cada una con requerimientos distintos para la sincronización. En modo paquete, cada paquete viene precedido por una secuencia de entrenamiento (usualmente llamada preámbulo) para conseguir la sincronización de portadora, chip y símbolo. En algunos casos, la sincronización conseguida en el preámbulo puede servir para procesar todo el paquete gracias a la estabilidad de los osciladores de cristal.

El problema de la sincronización en los receptores SR para modulaciones ASK ha sido tratado por ejemplo en [59] o [60]. Más recientemente, en [61], se propone un preámbulo asíncrono basado en una secuencia pseudo-aleatoria con unos pulsos modulados en amplitud con un pulso conformador adecuado, combinado con un retraso de una fracción del período de símbolo. En este método, la señal del oscilador SRO entra en un detector de envolvente para sincronizar en chip y símbolo con un procedimiento adecuado.

Como se ha dicho en capítulos anteriores, la modulación MSK [47] pertenece a la clase de modulaciones de fase continuas (CPM), y es equivalente a una OQPSK (*offset quadrature phase shift keying*) modulada con un pulso conformador de medio seno [62]. Esta modulación exhibe un ancho de banda pequeño y una envolvente constante adecuada para una amplificación de potencia eficiente,

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

propiedades atractivas para redes inalámbricas como, por ejemplo, las que siguen el estándar IEEE 802.15.4 [37].

Como se ha visto, en el Capítulo 6 hemos desarrollado un receptor SR para recibir señales moduladas en MSK de una forma simple y en el Capítulo 7 hemos descrito la implementación del transceptor correspondiente. El objetivo de este capítulo es desarrollar un método de sincronización simple y con una implementación totalmente digital para señales MSK lo más genérico posible aunque poniendo especial interés en la sincronización para el estándar IEEE 802.15.4.

En la literatura se encuentra un amplísimo abanico de métodos de sincronismo. Se puede encontrar material básico en [58, 62] y resultados más recientes se pueden encontrar en [63] y en sus referencias. En estas publicaciones se presentan técnicas que muestrean la unidad básica de información, el chip, de la señal MSK a distintas frecuencias. Por ejemplo, en [64] la frecuencia de muestreo de chip es 8 veces más grande que la del propio chip, en [65] se describe un método perfecto para implementarlo digitalmente y que utiliza una frecuencia dos veces más grande que la frecuencia de chip. Otro caso, por ejemplo, es el de [66]. Por otra parte, hay técnicas para la sincronización de portadora, como [67] o [68], que operan a la frecuencia de chip pero no persiguen la sincronización de alto nivel (chip, símbolo y trama) requerida, por ejemplo, en el estándar IEEE 802.15.4.

Según [58], las técnicas de sincronización se pueden dividir en dos categorías: las estructuras *ad-hoc* y las estructuras *derivadas*. En el caso de las estructuras *ad-hoc*, un hardware diseñado expresamente para tal fin es el encargado de afrontar el problema. En el caso de las estructuras *derivadas*, la propia estructura es obtenida como la solución de un problema de optimización, sin ideas previas acerca del hardware que las realiza.

En el caso del receptor SR, una frecuencia de muestreo superior a la frecuencia de chip implica tener un ancho de banda mayor, factor que se traduce en una disminución del nivel de la relación señal a ruido (SNR) [3]. Por lo tanto, en este capítulo desarrollamos una técnica que se caracteriza para obtener la sincronización simultánea de símbolo y chip después de observar un preámbulo de sincronización conocido mientras se opera a frecuencia de chip f_x . Esta técnica pertenece a la familia de estructuras *ad-hoc*. El uso de un preámbulo conocido nos sitúa dentro de las técnicas denominadas (*data-aided*). Después de la adquisición, se confía en la estabilidad del reloj local para mantener la sincronización hasta el final del paquete.

En consonancia con el objetivo de bajo coste, bajo consumo y baja complejidad del receptor SR, el proceso de sincronización propuesto se traduce en una simple implementación digital simple donde el bloque digital más complejo es un acumulador. Presentamos unas ideas generales que se pueden usar para varios

estándares pero, debido a su especial interés, nos centramos en la implementación de la capa física capaz de recibir paquetes MSK IEEE 802.15.4.

8.2. Metodología

Como en el capítulo anterior, por conveniencia consideraremos que la unidad básica de transmisión es el *chip*, con una duración T_x segundos. Este es el caso de estándares que usan *Direct-Sequence Spread-Spectrum* en la capa física, como por ejemplo el IEEE 802.15.4. Pero el mismo método seguiría siendo válido para los casos donde la unidad básica de transmisión es un bit. Por otra parte, también por conveniencia, asumiremos que los valores de los chips son ± 1 .

Con estas consideraciones, pasamos a aprovechar las expresiones del Capítulo 6 donde se ha explicado el funcionamiento del SR como receptor para modulaciones MSK. La respuesta de un SRO operando en modo lineal para una señal dada por

$$x(t) = \sum_{n=-\infty}^{\infty} p_c(t - nT_x) \cos(\omega_{cn}t + \phi_n) \quad (8.1)$$

puede ser escrita como [3]

$$s(t) = K_{PG} \sum_{n=-\infty}^{\infty} |H(\omega_{cn})| p(t - nT_x) \times \cos(\omega_0 t + n(\omega_{cn} - \omega_0)T_x + \phi_n + \angle H(\omega_{cn})), \quad (8.2)$$

asumiendo que los cambios de estabilidad a inestabilidad ocurren en $t = nT_x$ y que hay un ciclo de *quench* por chip, es decir $T_q = T_x$. La constante K_{PG} (*pulse gain*) corresponde a la constante K de los capítulos anteriores y de [3], mientras que K tendrá otro significado en este capítulo.

La expresión dada por (8.1) incluye MSK haciendo $p_c(t)$ un pulso rectangular ocupando toda la duración del chip, y seleccionando la frecuencia instantánea de la señal modulada en función de la señal digital transmitida x_n como

$$\omega_{cn} = \omega_c + \omega_d x_n, \quad (8.3)$$

con $x_n = \pm 1$, $\omega_d = \omega_x/4$, y escogiendo ϕ_n para asegurar continuidad de fase para tener una modulación FSK con fase continua [41].

La representación de las trayectorias de fase de una señal MSK en la entrada del SRO se muestra en la Figura 8.1, similar a la figura mostrada en la Sección 6.3.2 pero ilustrando también un desplazamiento δ respecto del punto de muestreo óptimo.

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

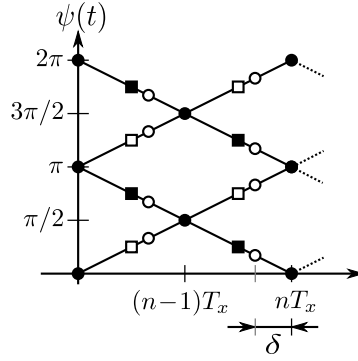


Figura 8.1.: Representación del exceso de fase con respecto a $\omega_c t$ en función del dato: los cuadrados negros corresponden a -1 y los blancos a 1. Los círculos negros y blancos corresponden al instante de muestreo nominal y al instante de muestreo δ avanzado, respectivamente.

En el estado sincronizado, muestrearemos a múltiplos de T_x ($\delta = 0$) y las diferencias entre observaciones de fase sucesivas, $\varphi_n = \psi_n - \psi_{n-1}$, siempre serán $\pm\pi/2$.

En cambio, cuando se está adquiriendo la sincronización, hay una δ desconocida añadida al instante nominal de muestreo y φ_n dependerá de los datos transmitidos:

$$\varphi_n(\delta) = \begin{cases} \pi/2 & \text{si } x_{n-1} = x_n = 1 \\ -\pi/2 & \text{si } x_{n-1} = x_n = -1 \\ \pi/2 - \delta\pi/T_x & \text{si } x_{n-1} = -1 \text{ y } x_n = 1 \\ -\pi/2 + \delta\pi/T_x & \text{si } x_{n-1} = 1 \text{ y } x_n = -1 \end{cases} \quad (8.4)$$

En adelante, llamaremos *sincronización de chip* al problema de estimar el valor de $\delta \in [0, T_x)$.

El segundo problema de sincronización es la *sincronización de símbolo*. En transmisiones de paquetes, el preámbulo o secuencia de entrenamiento, añadido al principio de cada trama, a menudo incluye una secuencia de símbolos conocidos para ayudar a este proceso. El problema de la sincronización de símbolo consiste en estimar un retardo entero K , entre la secuencia de entrenamiento recibido y la local.

En la siguiente sección explicamos una técnica para abordar los dos problemas simultáneamente. También se hacen algunos comentarios sobre la sincronización de portadora. La sincronización de trama se abordará en la Sección 8.4.

8.2.1. Sincronización de la portadora

Como el objetivo último es tener un sincronizador simple adecuado para receptores SR, no es necesario resolver el problema de sincronización de la portadora para algunos estándares. Para darse cuenta de esto, en primer lugar podemos hacer la suposición razonable de que el transmisor genera los relojes de los datos y de la portadora a partir del mismo cristal. Una desviación de frecuencia ϵ entre los dos relojes (transmisor y receptor) dará un error de fase de aproximadamente ¹

$$\varphi_\epsilon = 2\pi f_c T_x \epsilon. \quad (8.5)$$

Por ejemplo, para un receptor para IEEE 802.15.4 operando a 2.45 GHz con una frecuencia de chip de 2 Mchip/s esta expresión daría unos errores de fases de $0.441^\circ \epsilon$ (ppm).

Con la disponibilidad actual de cristales de bajo coste con estabilidades de frecuencia de 10 ppm, en el caso de que ambas derivas vayan en direcciones opuestas produciendo $\epsilon = 20$ ppm, se obtendrían errores de fase de 8.82° , los cuales tienen un efecto limitado en el rendimiento del receptor. En la Sección 8.4 se seguirán discutiendo los efectos de la estabilidad de frecuencia y se propondrán posibles soluciones para sincronizar con la portadora

8.3. Sincronización simultánea

Definimos \mathbf{x} como el vector de N chips del preámbulo.

$$\mathbf{x} = [x_0, x_1, \dots, x_{N-2}, x_{N-1}]^T \quad (8.6)$$

A partir de (8.4), podemos decir:

- a) En las posiciones n correspondientes a dos chips consecutivos distintos, es decir $x_n \neq x_{n-1}$, el valor de la fase tendrá una dependencia lineal con δ . Después de ser filtrados, estos chips, se utilizarán para la *sincronización de chip*.
- b) En las posiciones n correspondientes a dos chips consecutivos iguales, no hay dependencia de δ . Es decir, independientemente del valor actual de δ , estos chips proporcionarán la información adecuada para conseguir la *sincronización de símbolo*.

Así, con el objetivo de separar las dos fuentes de información, el vector \mathbf{x} puede descomponerse en dos términos ortogonales,

¹Un estudio detallado de la peor situación da como resultado una expresión que difiere de la presentada en un segundo orden: ϵ^2 .

$$\mathbf{x} = \mathbf{i} + \mathbf{q} \quad (8.7)$$

donde \mathbf{i} se relaciona con la *sincronización de chip* y viene definida por

$$\mathbf{i} = (\mathbf{x} - \mathbf{x}_d)/2 \quad (8.8)$$

y \mathbf{q} se relaciona con la *sincronización de símbolo* y viene definida por

$$\mathbf{q} = (\mathbf{x} + \mathbf{x}_d)/2 \quad (8.9)$$

con $\mathbf{x}_d = [x_{-1}, x_0, x_1, \dots, x_{N-2}]^T$. El vector \mathbf{i} resultante tiene valores distintos de cero donde hay dos valores consecutivos diferentes en \mathbf{x} , y \mathbf{q} tiene valores distintos a cero cuando hay dos valores idénticos consecutivos en \mathbf{x} . Un preámbulo adecuado para la sincronización debería tener un número significativo de valores distintos a cero en ambos términos con el objetivo de proporcionar información similar para la sincronización de chip y para la de símbolo, es decir, las normas $\|\mathbf{i}\|$ y $\|\mathbf{q}\|$ deberían ser similares. Cabe señalar que, formalmente, el primer elemento de \mathbf{x}_d , x_{-1} , no pertenece al preámbulo y tomaría un valor aleatorio si el preámbulo viene precedido de ruido. No obstante, en la práctica los transmisores aplican algún tipo de rampa de potencia (*power ramping*) y por lo tanto, este valor no será aleatorio. Para facilitar la notación, a partir de ahora asumiremos que $x_{-1} = x_{N-1}$.

8.3.1. Sincronización de Símbolo y Chip

Conceptualmente, el proceso de la sincronización de símbolo consiste en seguir los siguientes pasos. Después de recibir cada muestra de fase (φ_n), se forma el vector $\boldsymbol{\varphi}_n = [\varphi_{n-(N-1)}, \dots, \varphi_{n-1}, \varphi_n]^T$. A continuación, se hace el producto escalar

$$\hat{q}_n = \frac{2}{\pi} \boldsymbol{\varphi}_n \cdot \mathbf{q}, \quad (8.10)$$

con el cual se calcula la similitud con \mathbf{q} , (señal de abajo en el esquema de la Figura 8.2). Esto se hace para cada muestra nueva hasta que se detecta un máximo. El máximo de \hat{q}_n se podrá localizar fácilmente si el pico de valor máximo es muy superior al valor de los picos laterales.

Formalmente, en ausencia de ruido, se trata de encontrar el desplazamiento K tal que se cumple la igualdad

$$\hat{q}_K = \|\mathbf{q}\| \quad (8.11)$$

donde $\|\cdot\|$ es la norma Euclidiana.

Una vez se ha encontrado el desplazamiento K , la información de δ se encuentra haciendo la media de las posiciones n donde $x_n \neq x_{n-1}$: según (8.4), todas estas posiciones cumplen la propiedad

$$x_n \varphi_n(\delta) = \pi/2 - \delta\pi/T_x. \quad (8.12)$$

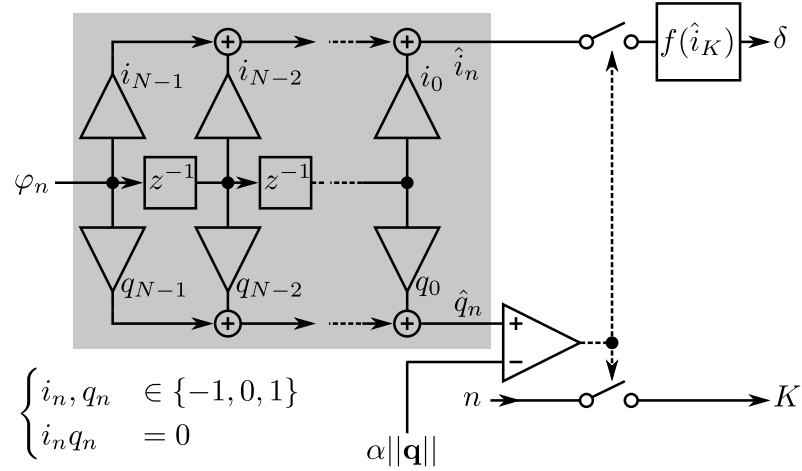


Figura 8.2.: Diagrama de bloques para calcular \hat{i}_n y \hat{q}_n (ver texto). La parte sombreada es la parte del filtro FIR. El bloque con la etiqueta $f(\hat{i}_K)$ implementa la ecuación (8.15).

Formalmente, esto se consigue a partir el vector \mathbf{i} definido en (8.8) y el producto escalar

$$\hat{i}_n = \frac{2}{\pi} \boldsymbol{\varphi}_n \cdot \mathbf{i} \quad (8.13)$$

el cual, en ausencia de ruido, resultará en

$$\hat{i}_K = \|\mathbf{i}\| \left(1 - \frac{2\delta}{T_x}\right), \quad (8.14)$$

a partir de donde se obtiene δ directamente como

$$\delta = \frac{T_x}{2} \left(1 - \frac{\hat{i}_K}{\|\mathbf{i}\|}\right). \quad (8.15)$$

La parte superior de la Figura 8.2 ilustra este procedimiento: En el momento en que el filtro de la parte inferior supera un umbral² es el momento de realizar el cálculo de δ mediante (8.15).

8.3.2. Posibles Ambigüedades

La Figura 8.3 muestra el comportamiento cualitativo de \hat{q}_n alrededor del máximo para un rango de valores de δ . Con esta figura, podemos ver como, si el valor actual de δ es casi cero, hay una ambigüedad en el máximo. En la parte izquierda de la figura, (8.15) dará como resultado una nueva estimación de $\delta = T_x$. En la

²En seguida se verá que, en presencia de ruido, es necesario establecer un umbral porque no puede esperarse que (8.11) se cumpla exactamente.

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

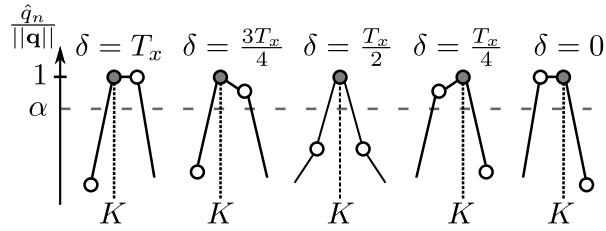


Figura 8.3.: Comportamiento cualitativo de $\hat{q}_n/\|\mathbf{q}\|$ en función del valor real de δ . Los círculos llenos indican el máximo escogido.

derecha de la figura, la expresión (8.15) dará por resultado una nueva estimación de $\delta = 0$. Los dos resultados tienen el mismo significado y, así, en los dos casos, obtendremos el mismo punto.

En la práctica, la expresión (8.11) no se puede cumplir exactamente. En lugar de esto, nosotros encontramos el índice K a partir de

$$\hat{q}_K > \alpha \|\mathbf{q}\| \quad (8.16)$$

siendo $0 < \alpha < 1$ un umbral. En el diagrama de bloques en que se describe este procedimiento, esto se muestra en la señal de debajo del esquema en la Figura 8.2.

Como $\alpha < 1$, existe la posibilidad de que el umbral sea superado por dos muestras consecutivas. En presencia de ruido, la muestra que proporciona el valor máximo de \hat{q}_n puede no ser la correcta. En la Sección 8.4.2 volveremos sobre este aspecto con simulaciones para una implementación específica.

El procedimiento descrito en este apartado es válido para un amplio rango de estándares. No obstante, los detalles de implementación y los efectos del ruido son muy dependientes de cada caso particular. Por esta razón, en la siguiente sección nos centraremos en un caso particular de especial interés.

8.4. Ejemplo de implementación: IEEE 802.15.4

A partir de ahora, nos centraremos en el caso particular del estándar IEEE 802.15.4 [37], donde las características del principio de recepción SR son especialmente atractivas. Como hemos visto en el Capítulo 7, este estándar especifica la modulación MSK en algunas de sus bandas. Concretamente, en la banda de 2.45 GHz, el estándar especifica el formato de PPDU que se muestra en la Figura 7.3 donde cada símbolo de datos correspondiente a 4 bits es mapeado a una secuencia PN de 32 chips.

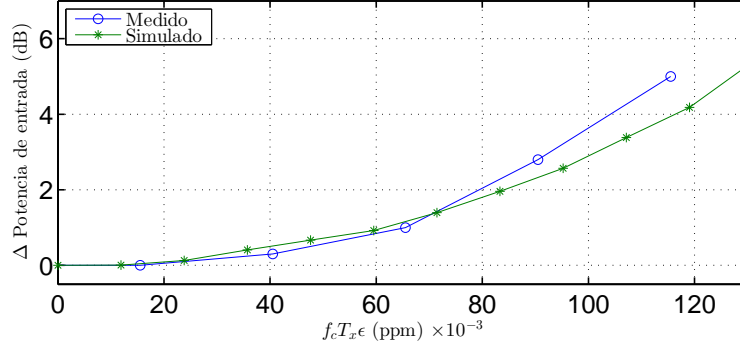


Figura 8.4.: Efecto de la desviación de frecuencia en la sincronización. Incremento necesario de la potencia de entrada para mantener $\text{PER} = 10^{-2}$ vs ϵ con $\alpha = 0.65$. Resultados simulados y experimentales.

En particular, el *synchronization header* (SHR) es un campo de 5 octetos compuesto por dos subcampos. El primero (el preámbulo) consiste en la repetición de 8 veces el símbolo cero,

$$\mathbf{s}_0 = [1, 1, -1, 1, 1, -1, -1, 1, 1, 1, -1, -1, -1, -1, 1, 1, -1, 1, -1, 1, -1, -1, 1, -1, -1, -1, 1, 1, 1, -1], \quad (8.17)$$

lo que da una longitud total del preámbulo de $N = 256$ chips. El preámbulo es seguido por el octeto correspondiente al delimitador de inicio de trama SFD (*Start Frame Detection*), que tiene como valor $0x7A$.

La sincronización de chip y de símbolo tienen que completarse antes de la llegada del SFD, por lo tanto el tiempo disponible es $256T_x$.

A partir de (8.8) y (8.9), obtenemos los siguientes vectores \mathbf{q} e \mathbf{i}

$$\mathbf{q} = [0, 1, 0, 0, 1, 0, -1, 0, 1, 1, 0, -1, -1, -1, 0, 1, 0, 0, 0, 0, 0, -1, 0, 0, -1, -1, 0, 0, 0, 1, 1, 0] \times N_S \quad (8.18)$$

$$\mathbf{i} = [1, 0, -1, 1, 0, -1, 0, 1, 0, 0, -1, 0, 0, 0, 1, 0, -1, 1, -1, 1, -1, 0, 1, -1, 0, 0, 1, -1, 1, 0, 0, -1] \times N_S, \quad (8.19)$$

donde la notación $\times N_S$ indica la repetición de N_S veces el vector. A partir de esto obtenemos $\|\mathbf{i}\| = \frac{3}{4}N_S$ y $\|\mathbf{q}\| = \frac{\sqrt{7}}{4}N_S$, siendo N_S el número de símbolos que se utilizan para la sincronización ($N_S \leq 8$). Notase que las normas $\|\mathbf{i}\|$ y $\|\mathbf{q}\|$ son similares, los cuales hacen que el preámbulo del IEEE 802.15.4 sea adecuado para el procedimiento de sincronismo propuesto.

8.4.1. Cálculo de K

Con el preámbulo definido por el estándar IEEE 802.15.4 [37], \hat{q}_n exhibe ocho picos destacados, correspondientes a la repetición del símbolo cero (Figura 8.5).

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

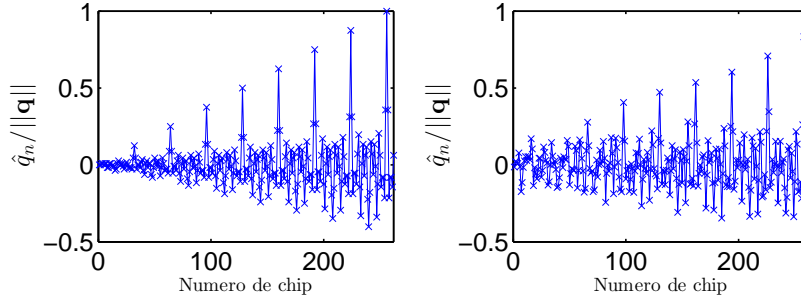


Figura 8.5.: $\hat{q}_n / \|\mathbf{q}\|$ en ausencia de ruido (izquierda) y una realización de $\hat{q}_n / \|\mathbf{q}\|$ con SNR = 3.3 dB (derecha). $\delta = 0.5$ en ambos casos.

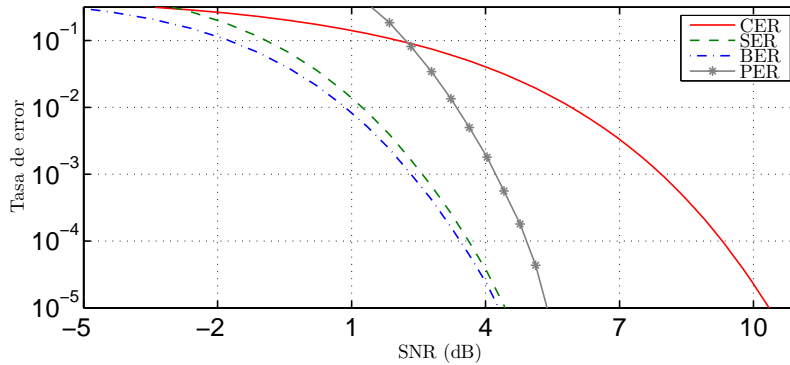


Figura 8.6.: Simulación de la tasa de error de chip, tasa de error de símbolo, tasa de error de bit y tasa de error de paquete en función del SNR.

Escoger el valor del umbral α (8.16) necesario para la sincronización de símbolo no es trivial. Un valor alto $\alpha \simeq 1$ funcionará correctamente para una relación SNR alta pero se perderán paquetes si la SNR baja. Por otro lado, con un valor bajo de α , se incrementa la probabilidad de sincronismos falsos o prematuros.

Para escoger un valor razonable del umbral, hemos investigado qué ocurre en el caso del máximo nivel de ruido que aún produce un enlace de una calidad aceptable. En concreto, el estándar IEEE 802.15.4 especifica la sensibilidad mínima como aquella que permite alcanzar $\text{PER} = 10^{-2}$ con una longitud de PSDU de 20 octetos.

Para simular los efectos del ruido, hemos considerado un ruido Gaussiano sumado a las componentes de fase y cuadratura de la señal de entrada.

La Figura 8.6 muestra los resultados de una simulación en función de la SNR considerando una sincronización perfecta. Esta figura muestra las curvas de la tasa de error de chip (CER), la tasa de error de símbolo (SER), la de BER y la de PER. A partir de este gráfico, podemos concluir que el peor escenario, correspondiente a un umbral de sensibilidad de $\text{PER} = 10^{-2}$ se obtiene con SNR = 3.3 dB.

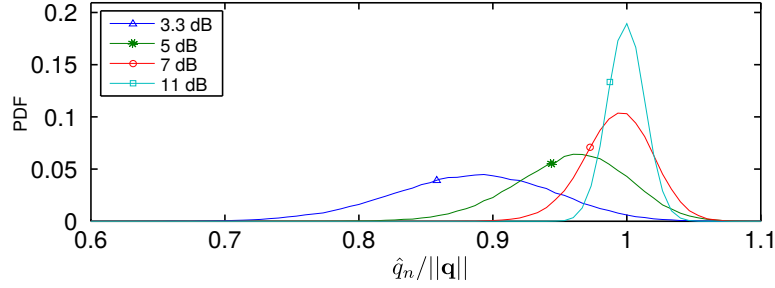


Figura 8.7.: Función de densidad de probabilidad (PDF) de $\hat{q}_n/||\mathbf{q}||$ para diferentes valores de SNR.

A continuación, investigamos la salida del filtro \hat{q}_n después de recibir la totalidad del preámbulo con $N_s = 8$ símbolos cero, en el instante K . Cuando el nivel de ruido es suficientemente bajo, esperaríamos una distribución Gaussiana alrededor del valor máximo normalizado. También sería esperable que un incremento del nivel de ruido provoque un incremento proporcional en la varianza de la salida. Estos serían los casos etiquetados como SNR = 11 dB y SNR = 7 dB en la Figura 8.7, que representa las funciones de densidad de probabilidad (PDF) de $\hat{q}_n/||\mathbf{q}||$. No obstante, si se sigue incrementando el nivel de ruido aparece un efecto no lineal a causa de las fases que sobrepasan el intervalo $-\pi \cdots \pi$ (hecho que el detector no es capaz de tener en cuenta). En estos casos ocurre que los valores de fases $\pm(\pi + \varepsilon)$ son tratadas como $\pm(-\pi + \varepsilon)$. Este efecto se visualiza en las simulaciones con SNR = 5 y SNR = 3.3 que se muestran en la Figura 8.7. Aquí se confirma que cuando el nivel de ruido aumenta, la varianza de \hat{q}_n también aumenta pero, al mismo tiempo, el valor medio disminuye por el efecto de la no linealidad.

En la Figura 8.8 se muestra la dependencia de la mediana y el *Interquartile Range* (IQR) de $\hat{q}_n/||\mathbf{q}||$. A partir de los trazos en la Figura 8.7 y Figura 8.8 podemos ver que los efectos de la no linealidad, antes mencionados, empiezan a ser relevantes para SNR < 4 dB.

Para establecer un valor razonable de umbral que funcione en el peor caso hemos simulado la PDF de $\hat{q}_n/||\mathbf{q}||$ con un nivel alto de ruido, es decir SNR = 3.3 dB. La gráfica de la Figura 8.9 muestra la PDF de $\hat{q}_n/||\mathbf{q}||$ cuando la entrada está formada por el preámbulo más ruido y cuando no hay señal y solo ruido. Como vemos el valor de α que se puede escoger es bastante amplio. Con $\alpha < 0.35$ empezamos a tener un número creciente de falsos sincronismos en ausencia de preámbulos y con $\alpha > 0.65$ empezamos a perder algunos preámbulos.

En lugar de desarrollar un control adaptativo del umbral como, por ejemplo, en [69], el cual requeriría recursos adicionales en el receptor, hemos escogido un valor fijo de $\alpha = 0.65$, el cual permite una sincronización satisfactoria con niveles de señal a partir del nivel de sensibilidad.

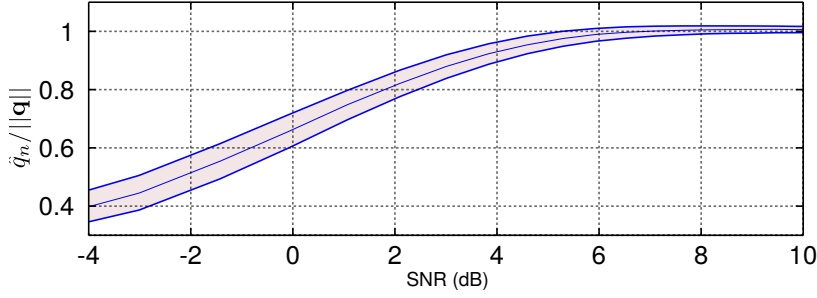


Figura 8.8.: Mediana y valor IQR de $\hat{q}_n / \|\mathbf{q}\|$ vs SNR.

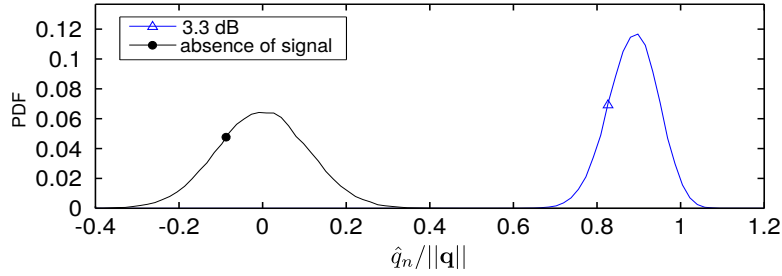


Figura 8.9.: Función de densidad de probabilidad (PDF) de $\hat{q}_n / \|\mathbf{q}\|$ en ausencia de señal y con una SNR = 3.3 dB.

Para niveles bajos de ruido (o, lo que es lo mismo, niveles altos de señal), incluso tomando el valor más grande mencionado, esto es, $\alpha = 0.65$, el comparador se activará frecuentemente antes de que se haya procesado el preámbulo completo. No obstante \hat{q}_n tiene unos picos muy estrechos, incluso en presencia de ruido, separados por un tiempo de símbolo completo (32 chips) (Figura 8.5). Por lo tanto, aún si el comparador se activa prematuramente, lo hará un número entero m de símbolos \mathbf{s}_0 antes, dando como resultado en $K - 32m$ en lugar de K . Este fenómeno no conlleva ningún problema, ya que el algoritmo de sincronismo de trama buscará el inicio de trama señalado por el SFD, descartando posibles símbolos \mathbf{s}_0 causados por una sincronización prematura.

8.4.2. Cálculo de δ

Una vez disparado el comparador, se usa la ecuación (8.15) para estimar el valor de δ . También se han simulado los efectos del ruido sobre esta estimación. En primer lugar, mostramos la Figura 8.10, que representa los valores reales y estimados de δ/T_x , considerando que el comparador se dispara al final del último símbolo, es decir sin que entre en juego la detección de umbral descrita. Los cortes verticales de esta figura proporcionarían las PDF de δ/T_x para cada valor real de δ y, como corresponde, tienen área unidad. Esta figura ha sido realizada para el caso de SNR = 3.3 dB y muestra que la relación no es lineal,

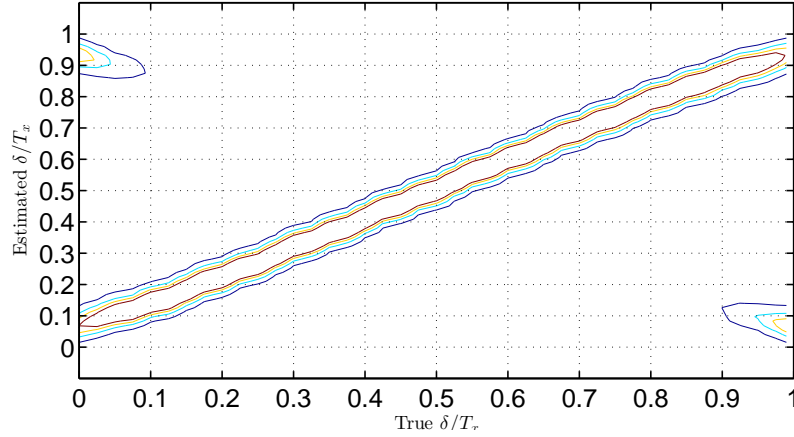


Figura 8.10.: *Contour plot* que muestra la distribución de probabilidad de la δ/T_x estimada vs la δ/T_x real con SNR = 3.3 dB. Los resultados son obtenidos al final del símbolo número 8 (sin umbral). Los niveles de contorno son [1, 3, 5, 7].

sino que empieza a estar comprimida en los extremos. Esto es consecuencia de que altos niveles de ruido reducen el rango de \hat{i}_n a causa de la no linealidad de forma similar a como que hemos visto a \hat{q}_n . Se puede comprobar que la reducción es dependiente del valor real de delta. Para $\delta = T_x/2$ la media de \hat{i}_n es cero, independientemente del nivel de ruido. Por el contrario, la máxima compresión se produce para $\delta = 0$ y $\delta \rightarrow T_x$.

Además, realmente no calculamos δ al final del último símbolo del preámbulo sino que lo hacemos cuando se supera el umbral, hecho que ocurre a menudo m símbolos antes que el último símbolo. Para $\delta = 0$ y $\delta \rightarrow T_x$ esto significa que

$$\hat{i}_K < \|\mathbf{i}\| \quad (8.20)$$

y el rango que viene dado por (8.15) se será reducido, de forma que nunca llegaremos a los extremos $\{0, T_x\}$ incluso en ausencia de ruido. En la Figura 8.11 se puede observar el efecto producido por este hecho, siendo evidente la reducción del rango dinámico de δ estimada.

Con el objetivo de corregir este efecto, puede ser razonable obtener el valor estimado de δ a partir de

$$\delta = \frac{T_x}{2} \left(1 - \frac{\hat{i}_K}{\alpha \|\mathbf{i}\|} \right). \quad (8.21)$$

La idea detrás de (8.21) no es más que reducir la norma de \mathbf{i} de forma similar a la reducción de \mathbf{q} producida por (8.16). Con este cambio se restaura el rango de δ a $[0..T_x]$. En efecto, la figura 8.12 muestra el efecto de la corrección dado

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

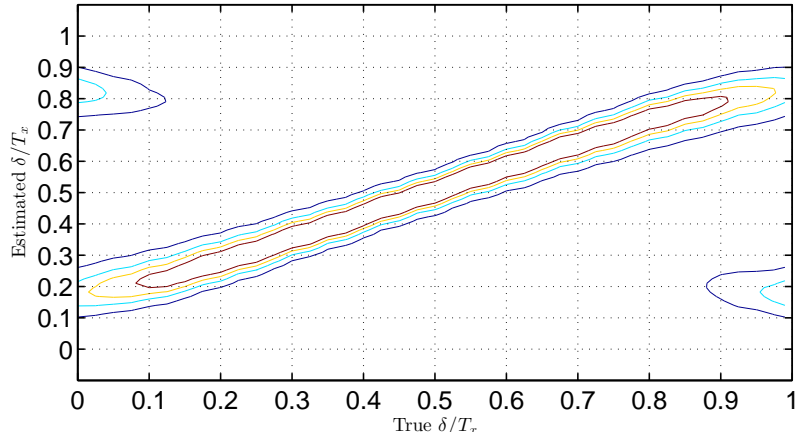


Figura 8.11.: *Contour plot* que muestra la distribución de probabilidad de la δ/T_x estimada vs la δ/T_x real con SNR = 3.3 dB, cuando se ha superado el umbral de $\alpha = 0.65$ y sin corrección. Los niveles de contorno son [1, 3, 5, 7].

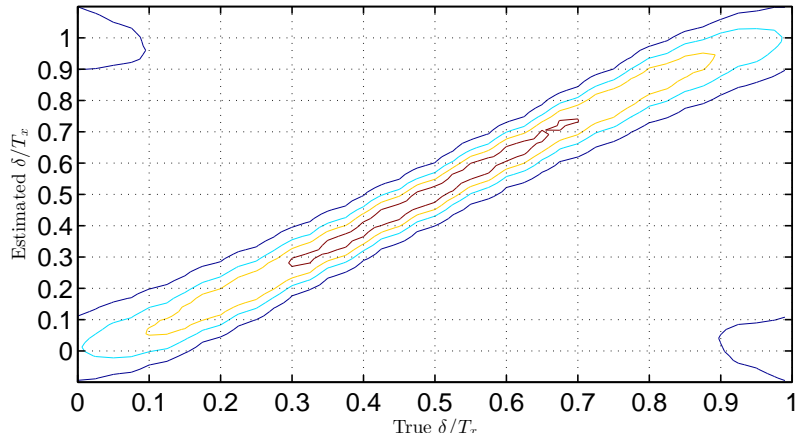


Figura 8.12.: *Contour plot* que muestra la distribución de probabilidad de la δ/T_x estimada vs la δ/T_x real con SNR = 3.3 dB, cuando se ha superado el umbral de $\alpha = 0.65$ y con la corrección (8.21). Los niveles de contorno son [1, 3, 5, 7].

por (8.21) en una simulación numérica que tiene en cuenta todo el proceso de sincronismo³.

Entre los efectos que se incluyen en las Figuras 8.10, 8.11 y 8.12 hay la posibilidad de ambigüedad en el momento de localizar el máximo, como se ha explicado en la Sección 8.3.2.

A medida que el nivel de ruido incrementa, para valores δ cerca de cero o T_x se produce un pico secundario, que puede elevarse por encima del principal, K ,

³ Esta figura también muestra que la varianza de δ/T_x estimada aumenta como consecuencia de la amplificación requerida para restaurar el rango dinámico.

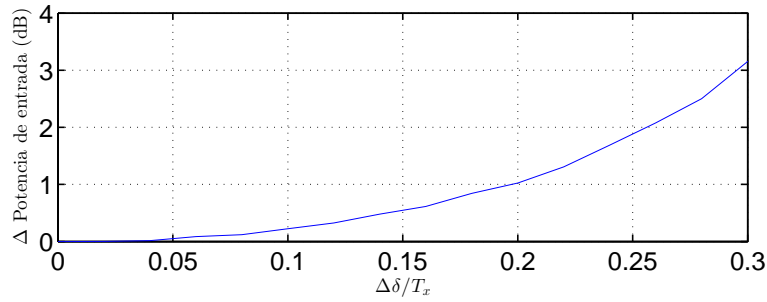


Figura 8.13.: Incremento en la potencia de la señal de entrada necesario para mantener un $\text{PER} = 10^{-2}$ en función de la relación $\Delta\delta/T_x$.

(Figura 8.3).

Cabe mencionar que este hecho provoca un aumento de la probabilidad de error muy pequeño ($\text{PER} < 10^{-5}$) en el caso de que el preámbulo venga precedido de solo ruido, hecho poco habitual en las transmisiones reales ya que añaden una *power ramping* antes del preámbulo. Con esta señal previa se consigue llenar el filtro con valores no aleatorios, disminuyendo el PER de forma significativa.

Además, hemos investigado los efectos del error en el cálculo de δ en el comportamiento del receptor. Se ha simulado el PER para distintos valores de $\Delta\delta/T_x$ y se ha ido incrementando la potencia de la señal de entrada para mantener $\text{PER} = 10^{-2}$. La figura 8.13 muestra el incremento necesario de la señal de entrada para mantener la calidad del enlace constante en función de la relación de $\Delta\delta/T_x$. Se puede ver como incluso con valores de error elevados, $\Delta\delta/T_x = 0.1$, el efecto sobre el comportamiento del receptor es pequeño.

8.4.3. Sincronización de la portadora

En esta sección analizamos el efecto que tiene la falta de sincronización con la portadora sobre las salidas de los filtros \hat{q}_n e \hat{i}_n . Los razonamientos realizados sobre \hat{q}_n son válidos para \hat{i}_n de modo que en adelante nos centraremos en el primero de ellos. Si hay una desviación entre la frecuencia del receptor y la del transmisor, recibiremos las fases que aportan información sobre \hat{q}_n con un error φ_ϵ , es decir, las fases tomarán valor $(+\pi/2 + \varphi_\epsilon)$ o $(-\pi/2 + \varphi_\epsilon)$. El valor de \hat{q}_K se obtiene promediando estas fases de modo que las fases positivas y negativas, que aparecen en la misma cantidad, se multiplican por coeficientes del mismo módulo pero de signo positivo y negativo respectivamente. Así, al promediar $|q_n|(+\pi/2 + \varphi_\epsilon)$ y $-|q_n|(-\pi/2 + \varphi_\epsilon)$ se cancela el error φ_ϵ y el valor de \hat{q}_K es el mismo que sin desviación de frecuencia.

Aun así, la desviación φ_ϵ sí tiene efecto sobre la sensibilidad en la recepción de los datos, de modo que una vez sincronizados tendríamos que corregir la decisión

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

de chip con una estimación de la desviación, calculada del siguiente modo:

$$\varphi'_\epsilon = \frac{\sum_{n=0}^{N-1} \left(|q_n| \varphi_n - \frac{\pi}{2} q_n \right)}{N_q}, \quad (8.22)$$

siendo N_q el número de coeficientes distintos a 0 del vector \mathbf{q} .

La discusión anterior es válida en tanto que $|\varphi_\epsilon| < \pi/2$ ya que, como se ha comentado anteriormente, las fases se codifican según el intervalo $[-\pi, \pi)$. Si $|\varphi_\epsilon| > \pi/2$ la fase se codifica con un signo distinto y por consiguiente el valor de \hat{q}_K será más bajo que el máximo esperado. En presencia de ruido de fase n_ϵ , la condición que se debe cumplir para que su valor promedio se mantenga es $|\varphi_\epsilon| + n_\epsilon < \pi/2$. Obviamente, por la naturaleza del ruido, esta condición se dejará de cumplir con una probabilidad mayor cuanto mayor será la potencia de ruido, pero también, cuanto mayor sea la desviación φ_ϵ .

De todos modos, para valores grandes de φ_ϵ podemos calcular varias versiones de \hat{q}_n , \hat{q}_{np} , restando una fase φ_p a la fase recibida. La versión p^* que obtenga un valor máximo de \hat{q}_{np} indicaría que φ_ϵ es cercana a φ_p^* y podríamos estimar la desviación como

$$\varphi'_\epsilon = \varphi_p^* + \frac{\sum_{n=0}^{N-1} \left(|q_n| (\varphi_n - \varphi_p^*) - \frac{\pi}{2} q_n \right)}{N_q}. \quad (8.23)$$

La implementación más simple podría utilizar cuatro versiones que contemplarían cualquier desviación de frecuencia, es decir $\varphi_p = \{-\pi/2, 0, \pi/2, \pi\}$.

No obstante, debido a que la estabilidad de los cristales genera unas desviaciones φ_ϵ despreciables, con el fin de simplificar la implementación no contemplamos las correcciones anteriores. Este razonamiento se sustenta en que hemos considerado que los relojes de los datos y de la portadora se generan a partir del mismo cristal y hemos simulado (Figura 8.4) el incremento necesario de la potencia de la señal de entrada para mantener una tasa de error de paquete $\text{PER} = 10^{-2}$ en función de la relación $f_c T_x \cdot \epsilon$ introducida en (8.5). Con las condiciones del estándar IEEE 802.15.4, la pérdida de sensibilidad con unos cristales de 10 ppm en el peor caso, es decir $\epsilon(\text{ppm}) = 20$ ($\varphi_\epsilon = 8,82^\circ$), es menor que 0.2 dB y con cristales de 20 ppm ($\varphi_\epsilon = 17,64^\circ$) es menor que 0.7 dB, valores aceptables en la mayoría de aplicaciones.

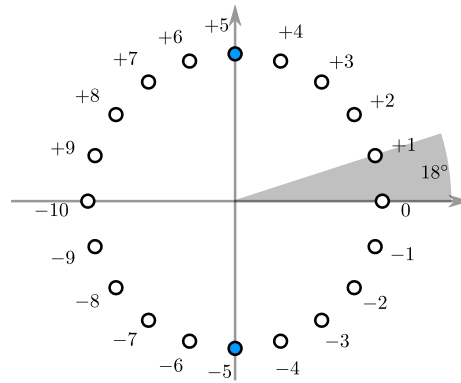


Figura 8.14.: Constelación con $N_m = 20$ y valor entero de cada fase.

8.4.4. Detección del SFD

Una vez se ha conseguido la sincronización de chip y símbolo, la sincronización de trama consiste en localizar el SFD 7A. Esta detección ocurre a nivel de bit (una vez los símbolos ya son descodificados). Como el umbral se supera en un instante desconocido antes de que todo el preámbulo sea procesado, tenemos que esperar m símbolos para detectar el SFD. Si con este tiempo no se detecta el SFD, la máquina de estados que controla la sincronización reinicializa el proceso de sincronización.

8.5. Implementación en una FPGA

Todo el método de sincronización explicado en este capítulo ha sido descrito en VHDL e implementado en una FPGA. Utilizando como *front-end* el mismo receptor MSK SR del Capítulo 6 se reciben las muestras de fase φ_n cada T_x pero esta vez representadas con el intervalo $[-\pi, \pi)$, con $N_m = 20$ valores enteros $[-10, 9]$ (Figura 8.14) codificados como señales `signed(4 downto 0)`. Estas muestras de fase son almacenadas en un registro de desplazamiento para construir el vector $\boldsymbol{\varphi}_n$ (bloque superior sombreado en la Figura 8.15).

8.5.1. Filtro

La implementación digital de los filtros descritos en la Figura 8.2 es muy simple, teniendo en cuenta que los coeficientes son 0 o ± 1 . Las dos salidas de los filtros se calculan secuencialmente con el mismo circuito. Un acumulador con una señal habilitadora (para los coeficientes 0), suma el valor de la muestra de la fase actual o el valor cambiado de signo (bloque central sombreado en Figura 8.15). Para simplificar la representación en la Figura 8.15, se ha distribuido la misma

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

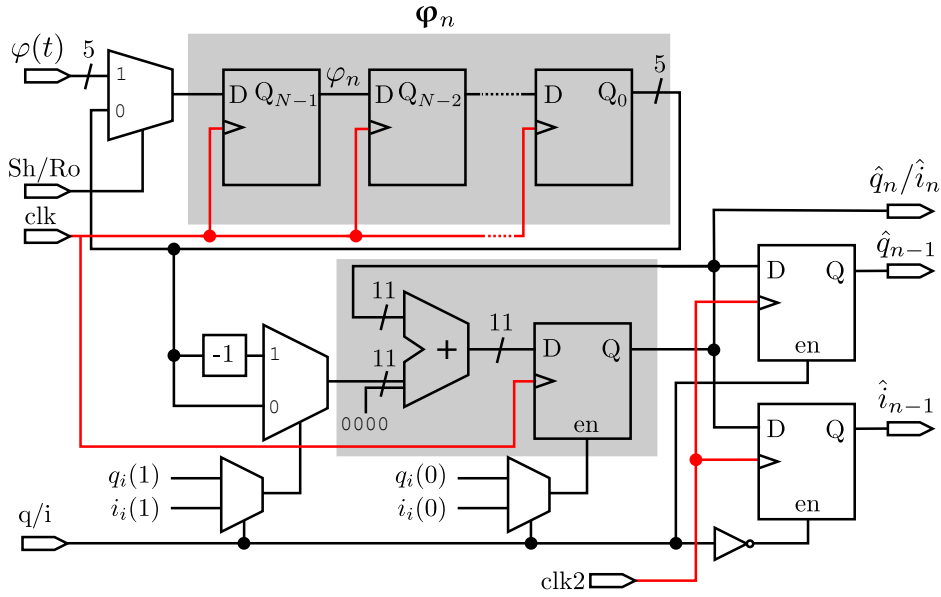


Figura 8.15.: Implementación del filtro.

señal de reloj a todos los registros que almacenan $\boldsymbol{\varphi}_n$. En la implementación real, existen unas señales habilitadoras adicionales. Estos permiten, por ejemplo, cargar las muestras de fase cada T_x y rotarlas más rápidamente para calcular las salidas de los filtros entre cada T_x .

En nuestra implementación hemos usado solo $N_S = 7$ símbolos para sincronizar. El último símbolo del preámbulo se usa para ajustar el receptor y así detectar el SFD correctamente, para conseguir la sincronización de trama. El vector $\boldsymbol{\varphi}_n$ tiene una longitud de 224 períodos de chip y para calcular \hat{q}_n y \hat{i}_n necesitamos 224×2 ciclos de reloj.

En la Figura 8.2, las señales q_i e i_i son los coeficientes \mathbf{q} e \mathbf{i} del filtro, los cuales son almacenados y rotados en registros de desplazamiento de 32 elementos. Ellos aparecen como q_i (`signed(1 downto 0)`) e i_i (`signed(1 downto 0)`) en la Figura 8.15.

Se almacenan los valores previos de \hat{q}_n e \hat{i}_n cada T_x para poder implementar el siguiente paso.

8.5.2. Umbral y estimación de δ

El detector de superación del umbral se ha implementado con un comparador digital, como el descrito en la Tabla 8.1. El valor de δ se calcula a través del valor de \hat{i}_K (`signed(10 downto 0)`), como se muestra en la Figura 8.2. La

```

process(clk) begin
  if q_hat_prev > threshold then
    if q_hat > q_hat_prev then k<=n; else k<=n_prev;
  end process;

```

Tabla 8.1.: Detector de superación del umbral.

```

process(clk) begin
  if rising_edge(clk) then
    if rst='1' then cnt <= 0;
    else cnt <= cnt+1;
    end if;
  end if;
end process;
rst <= '1' when cnt = max_count or
((cnt=delta) and dosynch='1') else '0';

```

Tabla 8.2.: Contador para la generación de la fase del *quench*.

ecuación (8.21) se ha implementado con una *lookup table* tomando los 5 bits más significativos de \hat{i}_K .

Con respecto a la estimación de δ se debe tener en cuenta que el receptor es capaz de generar un número finito de distintos valores de δ , correspondientes a distintas fases de *quench*. Esto es equivalente a decir que los valores de δ son cuantificados. El final del proceso de sincronización tiene que activar la estimación de δ y se debe corregir el instante de muestreo. Esto se indica con la señal *rst* a partir de la cual se crea la fase de la señal de *quench* como se puede ver en la Tabla 8.2.

8.5.3. Receptor de datos

Cuando se consigue toda la sincronización, la fase φ_n correspondiente al chip número n , como hemos visto en el Capítulo 7, es cuantificada con un bit (decisión *hard*) y almacenada en un registro de desplazamiento de 32 bits. Después, estos 32 chips son comparados con 16 posibles secuencias de 32 chips correspondientes a los 16 símbolos especificados en el estándar IEEE 802.15.4 y se decide el símbolo que da mayor número de coincidencias (Figura 7.15).

8.5.4. Recursos en función de la velocidad de datos

Operando a 10 kchip/s el filtro FIR puede operar en serie con una velocidad de reloj baja. Como hemos visto, la correlación necesita 224×2 ciclos de reloj (más alguno adicional para almacenar y procesar) para cada chip. Esto se traduce en una frecuencia de reloj de poco más de 4.48 MHz. El bloque de detección de datos también puede operar en serie. En cada símbolo se necesitan 32×16 ciclos de reloj, y por lo tanto la frecuencia de reloj puede ser tan baja como 160 kHz.

Operando a 2 Mchip/s, el correlador tiene que operar con 32 valores de φ simultáneamente. Para ello que se necesitan N_s ciclos de reloj para cada chip. Tomando $N_s = 7$ esto significa que la frecuencia de reloj tiene que ser 28 MHz. Como es habitual en diseño digital, se puede reducir la frecuencia de reloj a costa de incrementar la área/complejidad del circuito: una implementación completamente en serie requiere una frecuencia de reloj de 896 MHz. La paralelización incrementa el ancho del acumulador pero no incrementa significativamente el número de registros, ya que los 224×5 bits de historia de fase son necesarios en cualquier caso. El bloque de detección de datos puede operar en serie con un reloj razonable: 32×16 ciclos de reloj significa una frecuencia de reloj de 32 MHz.

8.6. Test setup experimental y resultados

El *test setup* experimental se muestra en la Figura 8.16. Se basa en el transceptor presentado en el Capítulo 7 utilizando un modulador y generador de señal RF externo con el fin de poder obtener cifras de sensibilidad de forma más simple y precisa.

Consiste en una Raspberry Pi transmisora (TxPi) que a través de una comunicación SPI interactúa con la capa MAC implementada dentro de la FPGA transmisora (TxFPGA). Esta capa está configurada para funcionar en el modo de operación básico (Capítulo 7). Después, se convierten los símbolos a chips y se generan las señales de reloj y datos adecuadas para que sean modulados con el generador de RF Agilent E4431B.

La salida del generador se conecta a la entrada del receptor SR. Las partes digitales, descritas en este capítulo y en el Capítulo 7, han sido implementadas en la placa FPGA (Rx FPGA). El diagrama de bloques detallado de todo el receptor se puede ver en la Figura 8.17. La señal de *quench* es generada en la misma Rx FPGA como se describe en el Capítulo 4. La Rx FPGA también incluye el circuito para el mapeado de chip a símbolo e integra una implementación de la capa MAC [48] del estándar 802.15.4 tal y como hemos comentado.

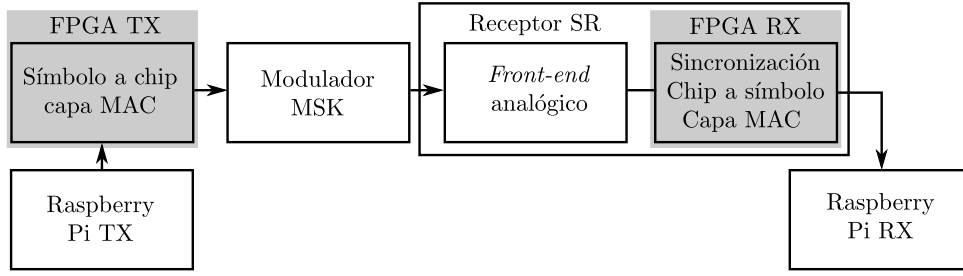


Figura 8.16.: Test setup experimental.

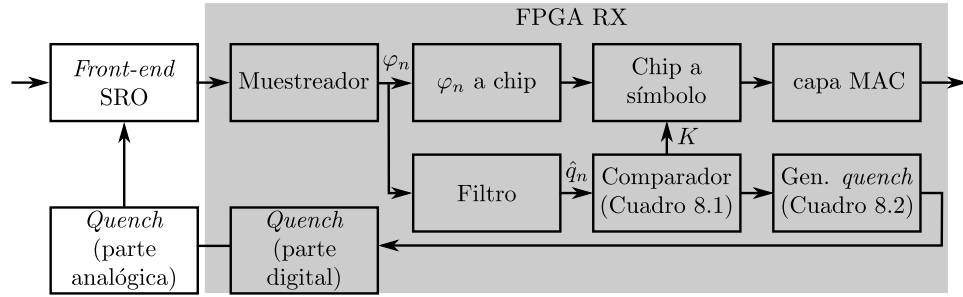


Figura 8.17.: Detalle del receptor SR y del bloque FPGA RX.

Sin poner especial atención en optimizar recursos e incluyendo algunos módulos para el testeo y la monitorización, la implementación ocupa aproximadamente un 22% de los recursos de la FPGA: 9% corresponden a la implementación de la capa MAC y un 13% al transceptor. Recordamos que estas FPGA son las Cyclone IV EP4CE22, que se integran en las placas de desarrollo Terasic DE0-Nano [42], y pertenecen a la gama de más bajo coste de Altera.

Con este *test setup*, hemos hecho las siguientes medidas. En la Figura 8.19 se muestran los resultados experimentales correspondientes a 10^4 paquetes transmitidos con tiempos de espera entre ellos aleatorios y un umbral de $\alpha = 0.65$ operando a $f_x = 10$ kchip/s. Inicialmente, no se había hecho la corrección en \hat{i}_K , es decir que se usaba (8.15) en lugar de (8.21). En concreto, la figura muestra los datos

$$\epsilon_{SYNC} = (N_{TX} - N_{SYNC})/N_{TX}, \quad (8.24)$$

$$\epsilon_{SFD} = (N_{TX} - N_{SFD})/N_{TX} \quad (8.25)$$

y

$$\epsilon_{RX} = (N_{TX} - N_{RX})/N_{TX}, \quad (8.26)$$

siendo N_{TX} , el número de paquetes transmitidos, N_{SYNC} , el número de veces que se ha superado el umbral (se ha detectado sincronización), N_{SFD} , el número de delimitadores SFD detectados, y N_{RX} , el número de paquetes correctos recibidos. Nótese que $\epsilon_{RX} = \text{PER}$. Esta figura muestra que el error de sincronización del preámbulo ϵ_{SYNC} es menor que 10^{-2} para una potencia de entrada

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

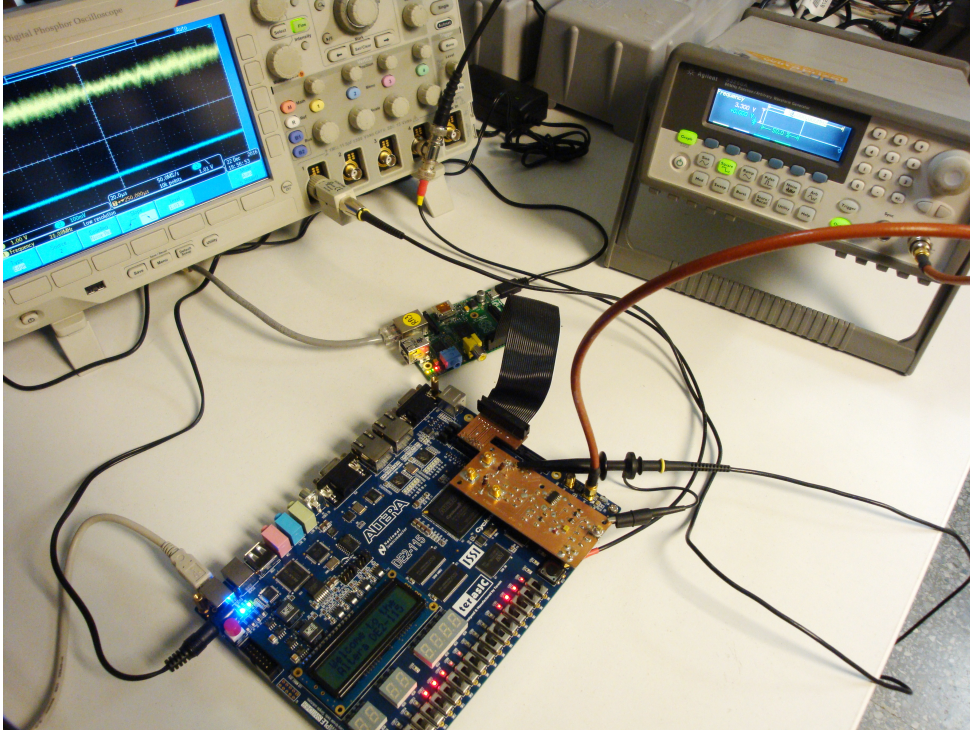


Figura 8.18.: Prototipo con la placa [70] para el test de desviación de frecuencia con un reloj externo.

de -119.2 dBm. También se puede ver que se consigue un $PER = 10^{-2}$ con una potencia de entrada de -118.2 dBm. Esto significa que es 10 dB mejor que la sensibilidad requerida en el estándar IEEE 802.15.4, teniendo en cuenta que para compararlo se ha calculado el equivalente ajustando la velocidad de bit ($-85 - 10 \log(2 \text{ Mchip/s}/10 \text{ kchip/s}) = -108$ dBm). El efecto de la corrección de (8.21) se puede ver en la misma figura pero solo mejora la sensibilidad unos 0.3 dB.

También se han medido los efectos de las desviaciones de las frecuencias de los cristales. Estos resultados se puede ver en la Figura 8.4. Para esta medida, se ha utilizado otra placa de desarrollo con una FPGA [70], en la cual se puede utilizar un reloj externo y controlar la desviación de frecuencia a voluntad. En la fotografía de la Figura 8.18 se puede ver el montaje para el test de esta placa con un reloj externo proporcionado por un generador de funciones y por otra parte, se puede ver la conexión a la Raspberry.

A partir de los datos experimentales se puede concluir que se puede obviar la sincronización de la portadora para los cristales comunes disponibles actualmente, simplificando el diseño del receptor.

Los efectos de escoger distintos niveles de umbral α sobre el PER resultante se han investigado experimentalmente en la Figura 8.20. La figura muestra que hay

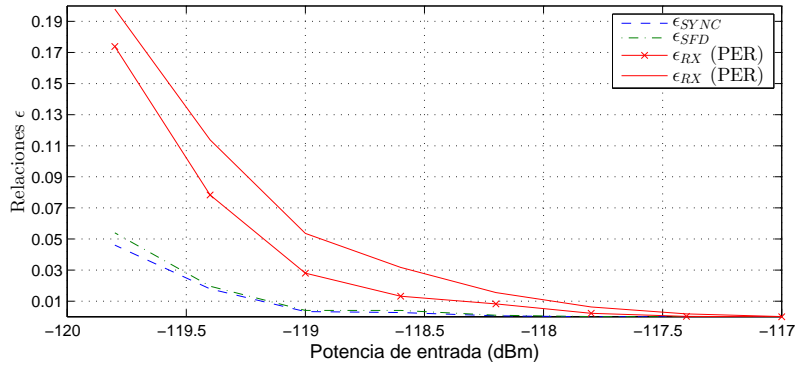


Figura 8.19.: ϵ_{SYNC} , ϵ_{SFD} y ϵ_{RX} (PER) en función de la potencia de la señal de entrada con un nivel de umbral $\alpha = 0.65$. Se han obtenido los trazos inferior y superior de ϵ_{RX} con y sin corrección, respectivamente, dado por (8.21).

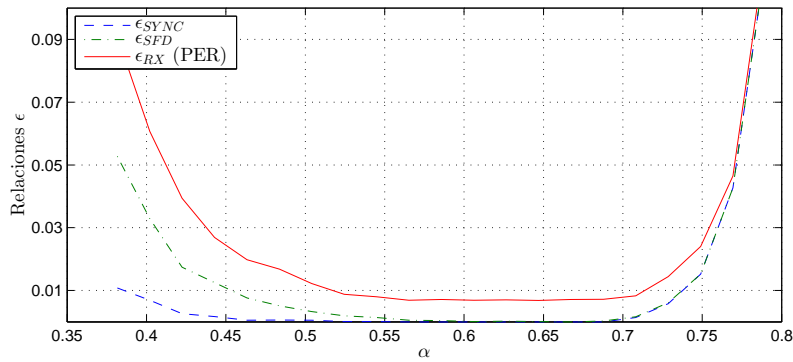


Figura 8.20.: ϵ_{SYNC} , ϵ_{SFD} y ϵ_{RX} (PER) en función del nivel del umbral α .

un rango amplio de valores de umbral casi óptimos entre $\alpha = 0.54$ y $\alpha = 0.7$. Si el umbral es alto perderemos paquetes pero si es muy bajo, la sincronización se realiza antes, que equivale a hacer una correlación corta en el filtro. Esto significa que la salida es más ruidosa y la estimación de δ es peor. Otro efecto de situar un umbral bajo, es que habrá más falsas sincronizaciones en ausencia de señal, únicamente con ruido.

8.7. Conclusiones

En este capítulo hemos presentado una técnica para recibir paquetes de datos con modulación MSK basado en un receptor SR. Hemos presentado una técnica simple de sincronización capaz de operar con las condiciones impuestas por el estándar IEEE 802.15.4 [37]. El principio es extensible a otros protocolos basados en señales MSK con unas secuencias \mathbf{i} y \mathbf{q} adecuadas.

8. Sincronización simultánea de Símbolo y de Chip para un receptor SR MSK

Basado en el núcleo del receptor MSK descrito en el Capítulo 6, hemos descrito un sincronizador completamente digital con el que se consigue una sincronización simultánea de símbolo y chip. Hemos decidido no implementar la sincronización con la portadora ya que con los cristales actuales hemos demostrado que tendríamos un error muy pequeño que no compensaría el aumento de la complejidad del sistema. Aun así, hemos detallado algunas propuestas para sincronizar con la portadora. La sincronización de trama se realiza con la detección del SFD.

En primer lugar, hemos investigado ideas para la sincronización en un caso general. A continuación, hemos puesto énfasis en una implementación capaz de detectar el preámbulo definido por [37] y se han investigado las prestaciones de esta implementación para distintos niveles de ruido. Los efectos de no linealidad del cuantificador de fase equivalentes también han sido investigados. Además, se han detallado los principales puntos de la implementación en la FPGA de la técnica propuesta.

Esta técnica de sincronización se ha realizado sobre el transceptor descrito en el Capítulo 7 y por lo tanto se ha integrado dentro de un sistema que incluye el mapeado de chip a símbolo y el protocolo de la capa MAC. Los resultados experimentales han validado la técnica propuesta, obteniéndose un receptor viable, que exhibe una sensibilidad 10 dB mejor que la requerida por el estándar [37].

9. Conclusiones y líneas futuras

9.1. Conclusiones

Actualmente existe una demanda creciente de dispositivos inalámbricos que requieren el uso de *front-ends* de radiofrecuencia de bajo coste y consumo de potencia reducido, requisitos en los que el receptor superregenerativo destaca especialmente. En esta tesis, se han presentado distintas aplicaciones novedosas del receptor superregenerativo con métodos e implementaciones simples en consonancia con sus principales prestaciones.

En una primera fase se ha estudiado la respuesta general del SRO en presencia de ruido, y se han obtenido expresiones analíticas para la fase de salida en los modos de funcionamiento lineal y logarítmico. Se han presentado expresiones para la SNR y el ancho de banda equivalente de ruido en función de los parámetros del SRO. Se demuestra que en ambos modos de funcionamiento los cambios de fase que tienen lugar a la entrada repercuten en la fase de salida de tal forma que pueden ser detectados directamente a partir de la oscilación generada en el SRO. Resulta de especial interés el funcionamiento en el modo logarítmico, ya que éste proporciona mayor amplitud en las oscilaciones generadas en el SRO, amplitud que es independiente del nivel de señal de entrada. Este comportamiento es comparable al de un control automático de ganancia, hecho que permite disponer de un *front-end* de RF a la vez robusto y extremadamente simple. Por estos motivos, es el modo de funcionamiento utilizado en las implementaciones de esta tesis.

Se ha descrito un transceptor SR QPSK basado en [6] e implementado en una FPGA, destacando el diseño digital del transmisor QPSK y validando el método de detección de fase del SRO a través de un muestreo digital de N muestras de 1 bit. También se ha presentado una técnica simple de generación de la señal de *quench* desde la propia FPGA y con una mínima parte de circuitería analógica. Por otro lado, se ha propuesto un algoritmo simple de sincronización que utiliza un preámbulo hecho a medida con el fin de disponer de un prototipo de transceptor funcional. Se han realizado también algunas mejoras para aumentar la sensibilidad del receptor como son implementar una red de adaptación y aplicar la codificación Gray.

9. Conclusiones y líneas futuras

Otra aportación para la demodulación de fase mediante el SRO ha sido el diseño e implementación de un prototipo de transceptor M-PSK capaz de conmutar entre BPSK, QPSK y 8PSK. Este prototipo, como la primera versión para QPSK, también se ha llevado a cabo utilizando una FPGA. Con el fin de hacer una comparativa de BER entre modulaciones y poderlo comparar con los resultados teóricos, se ha tenido que abordar el problema de escoger una frecuencia de reloj de referencia capaz de generar todas las señales necesarias. Como resultado se ha obtenido una excelente correspondencia entre las curvas BER teóricas y las medidas que validan el funcionamiento del transceptor.

Por otro lado, una de las grandes aportaciones de esta tesis ha sido el desarrollo de una técnica de detección de modulaciones de frecuencia de banda estrecha mediante el SRO. Sintonizado a una frecuencia determinada, éste es capaz de demodular señales FSK mediante la observación de la fase instantánea a la entrada, la cual se transfiere a los pulsos de salida del SRO. Se han implementado dos prototipos de receptor FSK, concretamente con las modulaciones FSK de *Sunde* y MSK, en la banda HF, obteniéndose sensibilidades entorno a los -114 dBm.

Con esta técnica de detección de modulaciones MSK mediante el receptor SR, se ha desarrollado un prototipo de transceptor SR MSK para el estándar IEEE 802.15.4, desde la capa física hasta la capa MAC, ésta última basada en [48]. Este prototipo ofrece una comunicación SPI para interactuar con la capa MAC. Se han hecho tests con unas Raspberry Pi y una herramienta descrita en Python para gobernar el transceptor. Asimismo, se ha implementado Contiki OS utilizando el microcontrolador Atmega1281, con el cual se han obtenido funcionalidades de capas superiores. Con todas estas características, este transceptor es ideal para aplicaciones de comunicaciones de corta distancia y de bajo consumo. La capa física de la parte receptora de nuestro prototipo está formada por el SRO operando a $f_c = 26.25$ MHz, y una parte digital que muestrea la fase del SRO, obtiene los chips recibidos, sincroniza, y decodifica los símbolos. Con el fin de obtener un prototipo funcional sin la necesidad de dispositivos externos, se ha creado un modulador transmisor MSK completamente digital, generando la modulación en banda base y trasladándola a la frecuencia de operación con un mezclador digital.

Finalmente, se ha presentado una técnica capaz de recibir paquetes de datos modulados en MSK basada en un receptor SR. Se ha presentado una técnica simple de sincronización capaz de operar con las condiciones impuestas por el estándar IEEE 802.15.4 [37]. El principio es extensible a otros protocolos basados en señales MSK con unas características adecuadas. Basado en el núcleo del receptor MSK descrito en el Capítulo 6, se ha descrito un sincronizador completamente digital con el que se consigue una sincronización simultánea de símbolo y de chip. Gracias a la precisión que ofrecen los osciladores con cristal de cuarzo, no ha sido necesario implementar la sincronización con la portadora,

ya que esta conllevaría un aumento notable e innecesario en la complejidad del sistema. Con esta técnica de sincronización, utilizada en el prototipo implementado de transceptor SR MSK del estándar IEEE 802.15.4, se ha obtenido una sensibilidad 10 dB mejor que la requerida por el estándar [37].

9.2. Líneas futuras

Como no podría ser de otro modo, el desarrollo del presente trabajo de investigación ha dado a lugar a nuevas líneas de investigación que no han podido ser abordadas en esta tesis dada su magnitud. Con respecto a algunas de las implementaciones realizadas, es necesario destacar que estas han tenido como objetivo principal validar experimentalmente un principio de operación. Estas implementaciones demuestran los nuevos conceptos presentados en esta tesis y capturan los principales elementos de una realización final pero deberían completarse para obtener realizaciones comerciales plenamente funcionales. A continuación se describen las principales líneas a seguir.

9.2.1. Transceptor SR MSK IEEE 802.15.4

El prototipo de transceptor SR MSK diseñado para el estándar IEEE 802.15.4 no implementa todas las funcionalidades especificadas por el estándar. Aunque algunas de las funcionalidades de la capa MAC pueden ser asumidas por capas superiores (por ejemplo por el sistema operativo Contiki), en la parte física se deberían añadir las siguientes funcionalidades:

- Detección de energía en el canal actual (*Energy detection* (ED)).
- Indicación de calidad del enlace para paquetes recibidos (*Link quality indicator* (LQI)).
- Detección de canal ocupado. Necesario para dar la información correcta al protocolo CSMA-CA (*Carrier sense multiple access with collision avoidance*) implementado.
- Selección del canal radio.

Por otra parte se debería hacer un estudio de la inmunidad del receptor frente a diferentes tipos de interferencia, tanto de canales adyacentes que utilizan el mismo estándar (interferencia cocanal) como de otros estándares, como por ejemplo Wi-Fi o Bluetooth. Cabe señalar que dicha inmunidad está directamente ligada al diseño básico del SRO y que, en este sentido, no se ha puesto el énfasis en la optimización del SRO, ya que el objetivo ha sido validar nuevos métodos de detección de modulaciones y nuevas aplicaciones.

9.2.2. Sincronización simultánea de símbolo y de chip para MSK

El método de sincronización presentado es un algoritmo simple que persigue el objetivo de disponer de una implementación digital que consuma pocos recursos para no penalizar las prestaciones del receptor SR. Sin embargo, se podrían realizar diversos estudios y optimizaciones al respecto.

Sería interesante realizar un estudio acerca de la bondad de nuestro algoritmo en comparación con ciertas referencias como el límite *Cramer-Rao lower bound* (CRLB). En este sentido, existen varios factores que complican llevar a cabo dicho estudio. En primer lugar, la distribución de probabilidad de la desviación de sincronismo de chip, δ , está concentrada alrededor de dos máximos en los extremos de su rango, de tal modo que el estimador deja de ser sesgado, hecho que dificulta encontrar el CRLB. Y finalmente, determinar el CRLB del problema de sincronización de símbolo, concretamente la estimación del punto de sincronismo de símbolo, K , no es trivial por la naturaleza discreta de la decisión. En cualquier caso, utilizando el SRO observamos la señal durante un período de tiempo igual al intervalo de sensibilidad que es pequeño en comparación al tiempo de chip. Así, la información de que disponemos es poca en comparación con un algoritmo que observe todo el periodo de chip, y en consecuencia el CRLB será alto en comparación con un algoritmo que observe todo el periodo de chip.

Por otra parte, se ha utilizado un umbral de decisión fijo para la sincronización. Se podría hacer un estudio para encontrar el umbral óptimo con algún método basado en los resultados del lema de Neyman-Pearson. También se podría implementar un umbral adaptativo tal como se ha comentado en la Sección 8.4.

9.2.3. Chips con tecnología CMOS a frecuencias estándar

Hasta ahora, todos los objetivos reseñados se validan de forma teórica y a nivel de prototipo experimental, aunque los transeptores diseñados difícilmente podrán ser utilizados directamente como productos finales. El principal motivo es la frecuencia relativamente baja de trabajo que se utiliza, en la banda de HF. En un futuro, el objetivo es el desarrollo de prototipos operativos a bandas de frecuencias más altas, como por ejemplo las de 433 MHz, 868 Mhz o 2.45 GHz, utilizadas por una gran variedad de aplicaciones en la actualidad. Este punto conlleva replantear el diseño del hardware utilizado para implementar el escalado en frecuencia. Algunos de estos prototipos se podrían integrar en tecnología CMOS y disponer así de chips que ofrezcan unas buenas prestaciones de consumo y de coste de fabricación.

9.2.4. Receptor SR para OFDM

Una vez implementados los receptores SR para modulaciones de fase y de frecuencia de banda estrecha, parece factible añadir una modulación de fase a cada una de las dos frecuencias de la modulación FSK y, por lo tanto, generar combinaciones de fase y de frecuencia que proporcionen fases distintas en los instantes de sensibilidad del receptor SR. De esta forma, se conseguiría un principio de receptor OFDM (*Orthogonal frequency-division multiplexing*).

A. Transmisor M-PSK con transiciones suaves de fase

En anteriores capítulos hemos diseñado transmisores M-PSK cuyos símbolos se generan a partir de las salidas digitales de una FPGA. La señal transmitida, compuesta por símbolos con una forma de onda cuadrada, tiene un ancho de banda muy superior al que tendríamos si cada símbolo se generara con una forma de onda sinusoidal. En concreto, en lugar de tener el espectro centrado a la frecuencia de portadora f_c , aparecerán armónicos a múltiplos impares de f_c . Aunque el receptor SR sintonizado con este transmisor filtra estos armónicos sin dificultad, estos armónicos pueden interferir otros sistemas de comunicaciones. La existencia de un filtro en combinación con una antena adecuadamente sintonizados puede eliminar estos armónicos.

Por otro lado, en las implementaciones realizadas, y con el fin de no superar las especificaciones de la FPGA utilizada para generar una modulación M-PSK se ha utilizado una frecuencia de síntesis lo más baja posible, Mf_c , que tan solo permite crear M fases. El ancho de banda de la señal resultante es relativamente grande debido a que las transiciones de fase entre pulsos son abruptas. Algunos transmisores comerciales con el fin de aumentar la eficiencia espectral, aplican un pulso conformador sobre la modulación de fase para hacer las transiciones de fase suaves, lo que se traduce en un espectro más estrecho.

En nuestro caso, podríamos realizar transiciones suaves de fase realizando una modulación en banda base centrada a una frecuencia f_l , siendo $f_l \ll f_c$. De este modo, podríamos utilizar una frecuencia de síntesis $M_l f_c$ con $M_l \gg M$ con la cual es posible crear M_l fases distintas. A continuación, con un mezclador trasladaríamos el espectro a f_c .

Sin embargo en este apéndice se propone emular las transiciones suaves de fase, como las realizadas por un pulso conformador, con el fin de evitar circuitería adicional como el mezclador mencionado anteriormente.

Sin pérdida de generalidad, consideraremos en adelante un transmisor QPSK, $M=4$. Puesto que solo disponemos de cuatro fases, la idea se basa en combinar dentro de un mismo símbolo dos de las cuatro fases con el fin de obtener un espectro que se asemeje a un símbolo con fase intermedia a éstas. El porcentaje de aparición de cada una de las fases determina la fase intermedia obtenida.

A. Transmisor M-PSK con transiciones suaves de fase

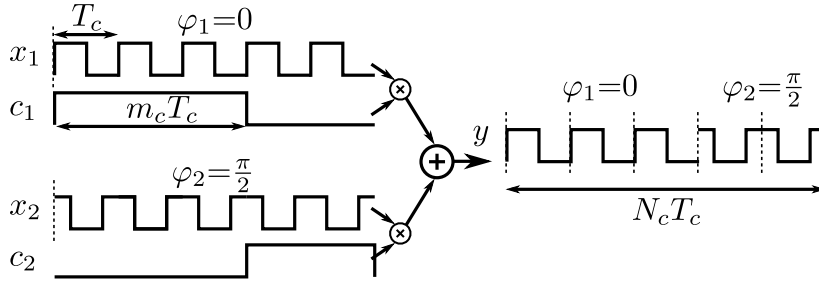


Figura A.1.: Agrupaciones de $N_c=5$ ciclos de portadora, con $m_c=3$ ciclos de fase 0° y $N_c - m_c=2$ ciclos de fase 90° .

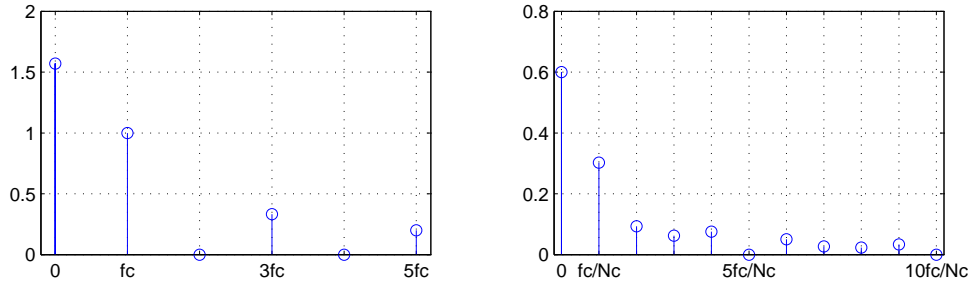


Figura A.2.: Módulo de los coeficientes de la serie de Fourier de las señales x_i y c_i . Los coeficientes de c_i corresponden a $N_c = 20$ y $m_c = 12$, $\alpha_i = 0.6$. Coeficiente a f_c de x_i normalizado a valor unitario.

Esto se realiza agrupando N_c ciclos de portadora, de los cuales m_c son de fase φ_1 y $N_c - m_c$ de fase φ_2 . En la Figura A.1 mostramos un ejemplo con $N_c=5$ y $m_c=3$. Podemos obtener la señal y con fase intermedia φ_y como

$$y = c_1 x_1 + c_2 x_2 \quad (\text{A.1})$$

donde x_1 tiene fase φ_1 , x_2 tiene fase φ_2 , c_1 es una señal cuadrada con ciclo de trabajo $\alpha_1 = m_c/N_c$ y c_2 es una señal cuadrada con ciclo de trabajo $\alpha_2 = (N_c - m_c)/N_c$. La fase de c_1 y c_2 es tal que, si su amplitud toma valores 0 y 1, $c_1 + c_2 = 1$.

Si consideramos que la señal y tiene una duración indefinida podemos calcular su espectro en el dominio frecuencial a partir de los coeficientes de la serie de Fourier en su forma exponencial de cada una de las señales que intervienen en A.1.

Si nos centramos en el producto $c_i x_i$, su espectro vendrá dado por la convolución de los coeficientes cuyo módulo se muestra en la Figura A.2.

Sin entrar en los pormenores de como se calcula los coeficientes de la serie de Fourier de una señal con forma de onda cuadrada con un determinado rendimiento de ciclo podemos decir que el coeficiente número n de c_i será cero si se

cumple que la relación nm_c/N_c es un entero. Podemos asegurar que n múltiplo de N_c cumple esta relación. Así, los coeficientes a las frecuencias nf_c/N_c se anulan, en particular las frecuencias múltiples de f_c . Por ejemplo en la Figura A.2, $nm_c/N_c = n12/20 = n3/5$ y por tanto los múltiplos de cinco se anulan, es decir, las frecuencias múltiples de $5f_c/N_c = 5f_c/20 = f_c/4$ se anulan, en particular las múltiples de f_c . Dicho esto, podemos afirmar que el coeficiente a frecuencia f_c del producto $c_i x_i$ coincide con el producto del coeficiente a frecuencia cero de c_i y el coeficiente a f_c de x_i (que por simplicidad se ha normalizado a valor unitario),

$$\alpha_i e^{j\varphi_i}, \quad (\text{A.2})$$

puesto que el resto de productos de la convolución son cero. Si consideramos los términos $c_1 x_1$ y $c_2 x_2$, el coeficiente a frecuencia f_c de la señal y (A.1) es

$$C_{f_c} = \alpha_y e^{j\varphi_y} = \alpha_1 e^{j\varphi_1} + \alpha_2 e^{j\varphi_2}, \quad (\text{A.3})$$

que en función de m_c podemos expresar como

$$C_{f_c} = \frac{m_c}{N_c} e^{j\varphi_1} + \left(1 - \frac{m_c}{N_c}\right) e^{j\varphi_2}. \quad (\text{A.4})$$

Cuando $\varphi_2 - \varphi_1 = 90^\circ$, podemos expresar el módulo como

$$\alpha_y = \sqrt{\alpha_1^2 + \alpha_2^2} = \frac{\sqrt{m_c^2 + (N_c - m_c)^2}}{N_c} \quad (\text{A.5})$$

y la fase como

$$\varphi_y = \varphi_1 + \arctan\left(\frac{\alpha_2}{\alpha_1}\right) = \varphi_1 + \arctan\left(\frac{N_c - m_c}{m_c}\right). \quad (\text{A.6})$$

Por ejemplo, con los parámetros $N_c = 20$, $m_c = 12$, $\varphi_1 = 0$ y $\varphi_2 = 90^\circ$ el espectro de la señal y resultante se muestra en la Figura A.3 donde el módulo y fase del coeficiente a la frecuencia f_c coincide con el resultado de las expresiones (A.5) y (A.6). Obviamente el espectro de la Figura A.3 debe ser filtrado con el fin de eliminar los coeficientes a frecuencias distintas de f_c .

Volviendo a nuestro objetivo inicial, una vez fijado el valor N_c podemos variar m_c entre 0 y N_c para generar $N_c + 1$ fases distintas. En la Figura A.4 muestra el módulo y la fase de la portadora y para cada valor de m_c . Obsérvese que como efecto colateral a la variación progresiva de la fase, tendríamos una modulación de amplitud.

Para verificar esta teoría se han realizado mediciones, con una frecuencia de portadora $f_c = 26.25$ MHz, con los siguientes parámetros:

1. Una señal RF con fase constante, es decir, $\varphi_1 = \varphi_2$.

A. Transmisor M-PSK con transiciones suaves de fase

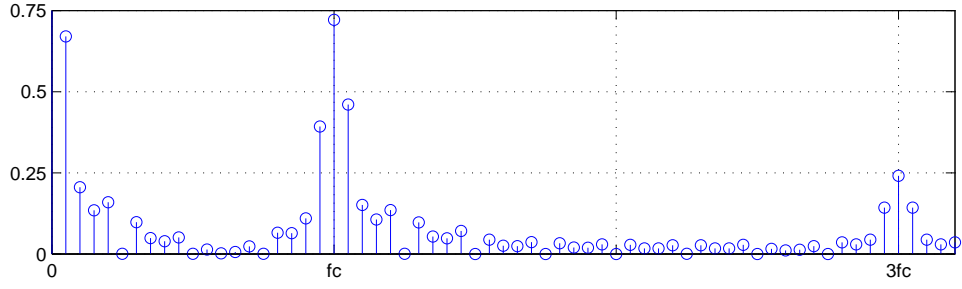


Figura A.3.: Módulo de los coeficientes de la serie de Fourier de la señal y : $N_c = 20$, $m_c = 12$, $\varphi_1 = 0$ y $\varphi_2 = 90^\circ$. El coeficiente a f_c tiene módulo 0.7211 y fase 33.69° .

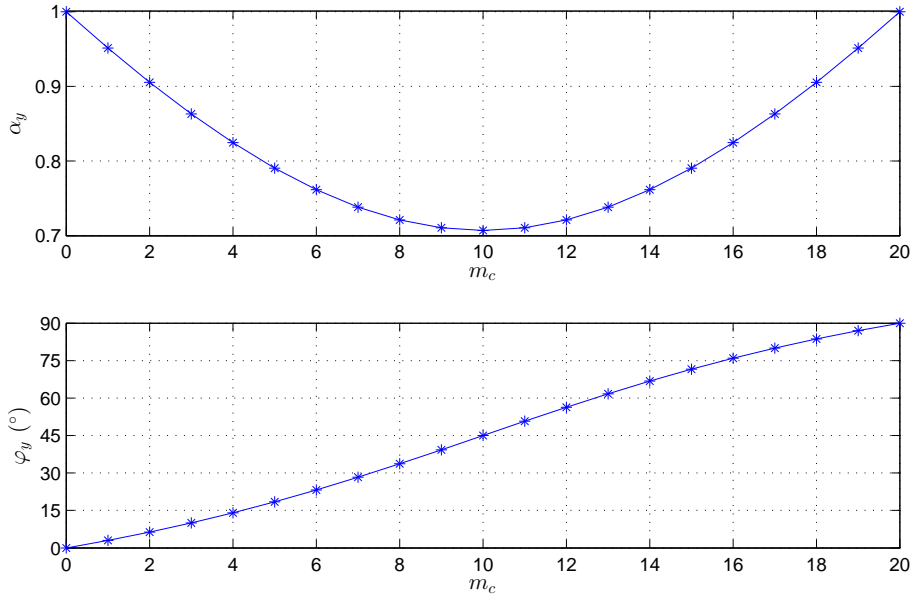


Figura A.4.: Transición progresiva de $\varphi_1=0^\circ$ a $\varphi_2=90^\circ$ con $N_c=20$.

2. $N_c=10$, $m_c=5$, $\varphi_1 = 0^\circ$ y $\varphi_2 = 180^\circ$.

3. $N_c=10$, $m_c=5$, $\varphi_1 = 0^\circ$ y $\varphi_2 = 90^\circ$.

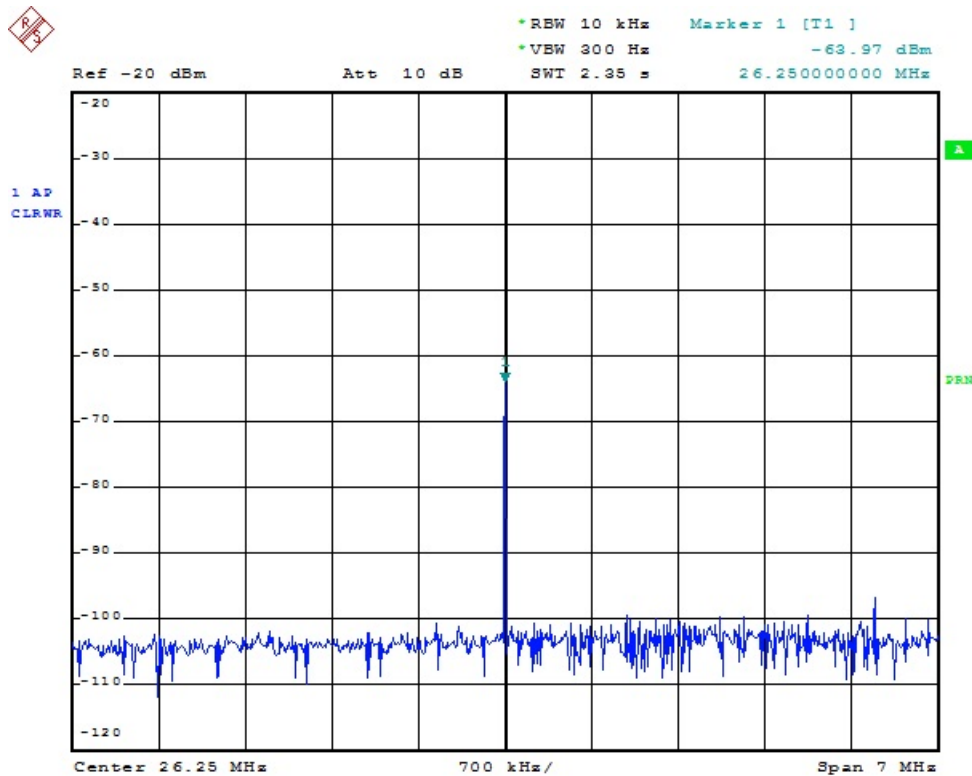
De acuerdo con A.4, el coeficiente a f_c para cada una de las situaciones anteriores, es:

1. $C_{f_c} = 1e^{j\varphi_1}$.

2. $C_{f_c} = \frac{5}{10}e^{j0^\circ} + \frac{5}{10}e^{j180^\circ} = 0$.

3. $C_{f_c} = \frac{5}{10}e^{j0^\circ} + \frac{5}{10}e^{j90^\circ} = \frac{1}{\sqrt{2}}e^{j45^\circ}$.

La gráfica A.5 muestra el resultado experimental de la primera situación donde se observa una única componente frecuencial a f_c de amplitud ≈ -64 dBm. La



Date: 26.FEB.2000 21:56:13

Figura A.5.: Espectro medido de una señal RF con fase constante a $f_c=26.25$ MHz.

gráfica A.6 muestra el resultado experimental de la segunda situación donde se observa que la componente frecuencial a f_c tiene el mismo nivel que el ruido y se observan las componentes frecuenciales distanciadas $\pm f_c/N_c = \pm 2.625$ MHz de f_c . Finalmente, la gráfica A.7 muestra el resultado experimental de la tercera situación donde se observa que la componente frecuencial a f_c tiene una amplitud ≈ -67 dBm, 3 dB inferior a la primera situación, resultado que encaja con los previstos teóricamente y con el mínimo que aparece en la Figura A.4.

Las mediciones anteriores solo aportan información sobre el módulo. El siguiente experimento consiste en alternar símbolos a $f_s = 10$ kHz cuya diferencia de fase sea 45° y verificar que el receptor SR detecta diferencias de fase de 45° . En concreto, se repite la secuencia de símbolos con fases $k45^\circ$ con $k=\{0..7\}$. La generación de los símbolos con k par se realiza con la modulación de fase propia del transmisor QPSK. La generación de los símbolos con k impar se realiza con la técnica desarrollada en este apéndice y los parámetros $N_c = 10$, $m_c = 5$, $\varphi_1 = (k-1)45^\circ$ y $\varphi_2 = (k+1)45^\circ$. El receptor SR utilizado en este experimento tiene un ancho de banda muy inferior a las componentes frecuenciales más próximas, que distan $f_c/N_c = 2.625$ MHz de f_c , detectando únicamente la fase de la componente a f_c . El resultado experimental valida estos razonamientos y el

A. Transmisor M-PSK con transiciones suaves de fase

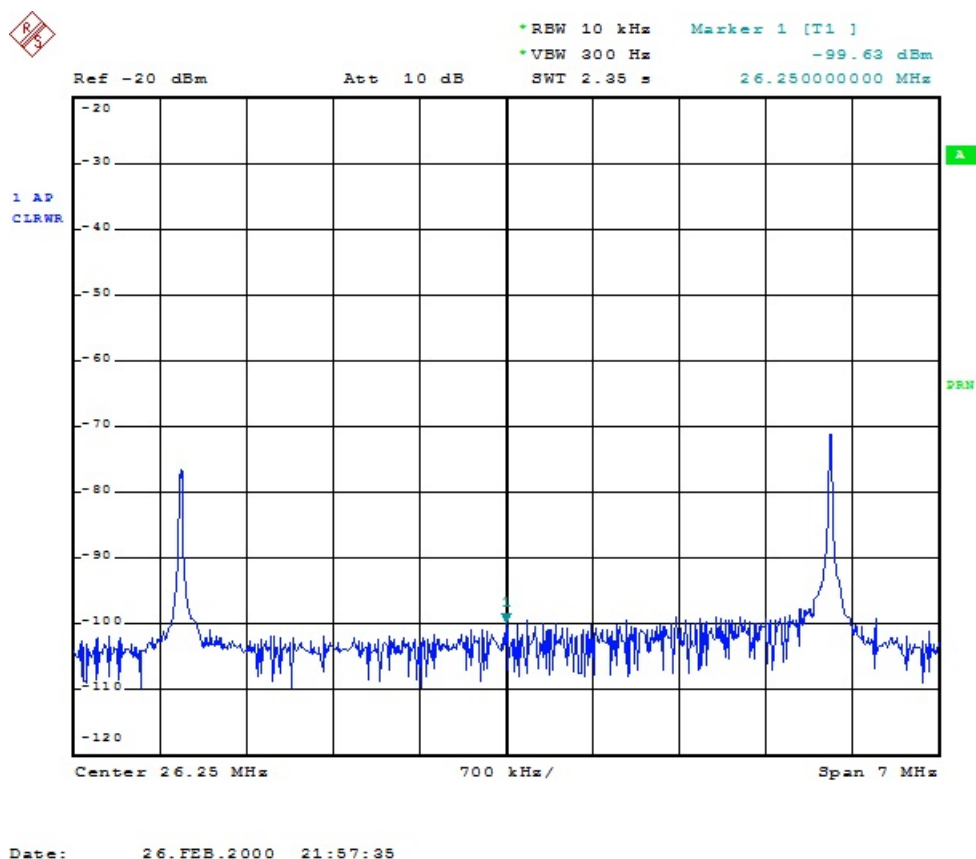
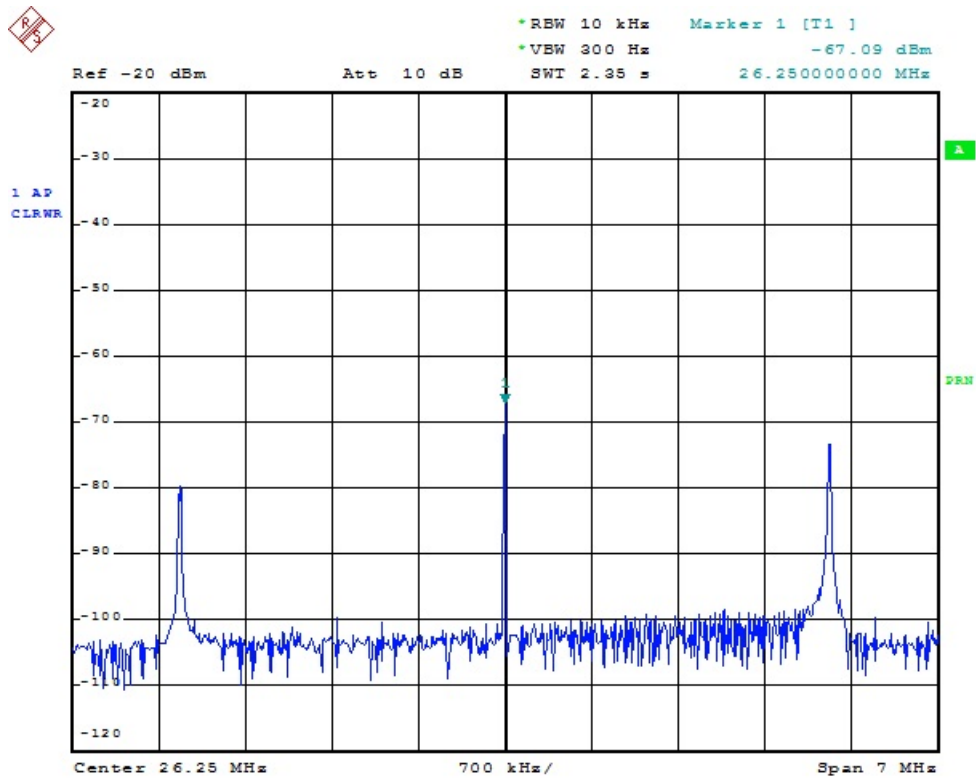


Figura A.6.: Espectro medido del segundo caso con $N_c=10$, $\varphi_1=0^\circ$, $\varphi_2=180^\circ$ y $m_c=5$.

receptor SR detecta diferencias de fase de 45° .

En resumen, hemos verificado analíticamente y experimentalmente cómo podemos crear señales de fases intermedias alternando adecuadamente las fases generadas por el transmisor QPSK, sin necesidad de incrementar la frecuencia de generación del transmisor, con el efecto colateral de provocar una modulación de amplitud. Esta técnica exige un proceso de filtrado en el transmisor con el fin de eliminar los nuevos armónicos que aparecen alrededor de f_c , a múltiplos de f_c/N_c .

Estos resultados son esperanzadores para realizar modulaciones digitales de fase con transiciones suaves evitando incrementar la frecuencia de generación. La implementación final que incluye la decisión del pulso conformador a utilizar y del filtrado de los nuevos armónicos mencionados, en función de los parámetros N_c y m_c , queda fuera de los objetivos iniciales de esta tesis.



Date: 26.FEB.2000 21:55:02

Figura A.7.: Espectro medido del tercer caso con $N_c=10$, $\varphi_1=0^\circ$, $\varphi_2=90^\circ$ y $m_c=5$.

Bibliografía

- [1] E. Armstrong, “Some recent developments of regenerative circuits,” *Proceedings of the Institute of Radio Engineers*, vol. 10, no. 4, pp. 244–260, Aug 1922.
- [2] P. Palà-Schönwälder, F. X. Moncunill-Geniz, J. Bonet-Dalmau, F. del Aguila-Lopez, and R. Giralt-Mas, “Baseband superregenerative amplification,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 9, pp. 1930–1937, Sep 2009.
- [3] F. Moncunill-Geniz, P. Palà-Schönwälder, and O. Mas-Casals, “A generic approach to the theory of superregenerative reception,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 52, no. 1, pp. 54–70, Jan 2005.
- [4] J. Bohorquez, A. Chandrakasan, and J. Dawson, “Frequency-domain analysis of super-regenerative amplifiers,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 57, no. 12, pp. 2882–2894, Dec 2009.
- [5] F. X. Moncunill-Geniz, “New super-regenerative architectures for direct-sequence spread-spectrum communications,” Ph.D. dissertation, May 2002.
- [6] A. Lopez-Riera, “Design and implementation of a super-regenerative QPSK transceiver,” Master’s thesis, Jul 2013. [Online]. Available: <http://upcommons.upc.edu/pfc/handle/2099.1/19052>
- [7] H. P. Kalmus, “Some notes on superregeneration with particular emphasis on its possibilities for frequency modulation,” *Proceedings of the IRE*, vol. 32, no. 10, pp. 591–600, 1944.
- [8] D. L. Ash, “A low cost superregenerative saw stabilized receiver,” *IEEE Transactions on Consumer Electronics*, vol. CE-33, no. 3, pp. 395–404, Aug 1987.
- [9] P. Favre, N. Joehl, A. Vouilloz, P. Deval, C. Dehollain, and M. Declercq, “A 2-V 600- μ a 1-GHz BiCMOS super-regenerative receiver for ISM applications,” *Solid-State Circuits, IEEE Journal of*, vol. 33, no. 12, pp. 2186–2196, Dec 1998.

- [10] F. Moncunill-Geniz, P. Palà-Schönwälder, C. Dehollain, N. Joehl, and M. Declercq, “A 2.4-GHz DSSS superregenerative receiver with a simple delay-locked loop,” *Microwave and Wireless Components Letters, IEEE*, vol. 15, no. 8, pp. 499–501, Aug 2005.
- [11] —, “An 11-Mb/s 2.1-mw synchronous superregenerative receiver at 2.4 GHz,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 55, no. 6, pp. 1355–1362, Jun 2007.
- [12] J. Bohorquez, A. Chandrakasan, and J. Dawson, “A 350 μ W CMOS MSK transmitter and 400 μ W OOK super-regenerative receiver for medical implant communications,” *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 4, pp. 1248–1259, Apr 2009.
- [13] F. X. Moncunill-Geniz, P. Palà-Schönwälder, F. del Aguila-Lopez, and R. Giralt-Mas, “Application of the superregenerative principle to uwb pulse generation and reception,” in *2007 14th IEEE International Conference on Electronics, Circuits and Systems*, Dec 2007, pp. 935–938.
- [14] F. Fernandez-Rodriguez and E. Sanchez-Sinencio, “Advanced quenching techniques for super-regenerative radio receivers,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, no. 7, pp. 1533–1545, Jul 2012.
- [15] M. C. E. na Boquera and A. Puerta-Notario, “Bit-error rate and frequency response in superregenerative semiconductor laser receivers,” *Opt. Lett.*, vol. 24, no. 3, pp. 157–159, Feb 1999. [Online]. Available: <http://ol.osa.org/abstract.cfm?URI=ol-24-3-157>
- [16] J.-Y. Chen, M. Flynn, and J. Hayes, “A fully integrated auto-calibrated super-regenerative receiver in 0.13- μ m CMOS,” *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 9, pp. 1976–1985, Sep 2007.
- [17] J. Ayers, K. Mayaram, and T. Fiez, “An ultralow-power receiver for wireless sensor networks,” *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 9, pp. 1759–1769, Sep 2010.
- [18] T. Copani, S. Min, S. Shashidharan, S. Chakraborty, M. Stevens, S. Kiaei, and B. Bakaloglu, “A CMOS low-power transceiver with reconfigurable antenna interface for medical implant applications,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 59, no. 5, pp. 1369–1378, May 2011.
- [19] P. Thoppay, C. Dehollain, M. Green, and M. Declercq, “A 0.24-nj/bit super-regenerative pulsed UWB receiver in 0.18- μ m CMOS,” *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 11, pp. 2623–2634, Nov 2011.

- [20] K. Kim, S. Yun, S. Lee, and S. Nam, “Low-power CMOS super-regenerative receiver with a digitally self-quenching loop,” *Microwave and Wireless Components Letters, IEEE*, vol. 22, no. 9, pp. 486–488, Sep 2012.
- [21] G. Feng, C. C. Boon, F. Meng, and X. Yi, “A 100-GHz 0.21-K NETD 0.9-mW/pixel charge-accumulation super-regenerative receiver in 65-nm CMOS,” *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 7, pp. 531–533, Jul 2016.
- [22] Y. Shang, H. Yu, S. Hu, Y. Liang, X. Bi, and M. A. Arasu, “High-sensitivity CMOS super-regenerative receiver with quench-controlled high-Q metamaterial resonator for millimeter-wave imaging at 96 and 135 GHz,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 12, pp. 3095–3106, Dec 2014.
- [23] A. Strobel, C. Carlowitz, R. Wolf, F. Ellinger, and M. Vossiek, “A millimeter-wave low-power active backscatter tag for FMCW radar systems,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, no. 5, pp. 1964–1972, May 2013.
- [24] M. Schulz, N. Joram, and F. Ellinger, “Design of a common-base Colpitts switched injection-locked oscillator at 2.45 GHz for a FMCW radar system,” in *2015 IEEE 16th Annual Wireless and Microwave Technology Conference (WAMICON)*, April 2015, pp. 1–5.
- [25] M. Vossiek and P. Gulden, “The switched injection-locked oscillator: A novel versatile concept for wireless transponder and localization systems,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 4, pp. 859–866, Apr 2008.
- [26] L. Hernandez and S. Paton, “A superregenerative receiver for phase and frequency modulated carriers,” in *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol. 3, 2002, pp. III–81–III–84 vol.3.
- [27] P. Palà-Schönwälder, F. Moncunill-Geniz, J. Bonet-Dalmau, F. del Aguila-Lopez, and R. Giralt-Mas, “A BPSK superregenerative receiver. Preliminary results,” in *Circuits and Systems, 2009. ISCAS 2009. IEEE International Symposium on*, May 2009, pp. 1537–1540.
- [28] D. Shastry Ravishankar, “BPSK based super regenerative receiver,” Master’s thesis, Jan. 2016. [Online]. Available: <https://oatd.org/oatd/record?record=oai%3Atudelft.nl%3Auuid%3A449c457f-aaf4-4678-8e14-a59bd59fe3d7>
- [29] G. Ibrahim, A. Hafez, A. Khalil, and H. Elsimary, “A 2.7 GHz super-regenerative receiver front-end for QPSK modulated signals,” in *Communication Systems, Networks Digital Signal Processing (CSNDSP), 2012 8th International Symposium on*, Jul 2012, pp. 1–4.

- [30] G. Ibrahim, A. Hafez, and A. Khalil, “An ultra low power {QPSK} receiver based on super-regenerative oscillator with a novel digital phase detection technique,” *{AEU} - International Journal of Electronics and Communications*, vol. 67, no. 11, pp. 967 – 974, 2013. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S1434841113001477>
- [31] P. Palà-Schönwälder, J. Bonet-Dalmau, F. Xavier Moncunill-Geniz, F. del Aguila-Lopez, and R. Giralt-Mas, “A superregenerative QPSK receiver,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 61, no. 1, pp. 258–265, Jan 2014.
- [32] G. H. Ibrahim and A. N. Hafez, “An 8-PSK digital phase detection technique for super-regenerative receivers,” in *2015 IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, Dec 2015, pp. 240–243.
- [33] M. F. Wagdy, S. S. Rao, K. K. Singh, and G. H. Ibrahim, “An 8-PSK receiver using an integrated low-noise amplifier super-regenerative oscillator with digital detection technique,” in *2015 IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, Dec 2015, pp. 416–420.
- [34] R. Mirzalou and M. F. Wagdy, “An 8-psk super regenerative receiver with new phase detection technique,” in *2016 12th International Computer Engineering Conference (ICENCO)*, Dec 2016, pp. 14–19.
- [35] R. Hou, “Super-regenerative receiver for UWB-FM,” Master’s thesis, Sep. 2008. [Online]. Available: <http://repository.tudelft.nl/view/ir/uuid:73f81186-198d-4de9-a19a-52423b694d43/>
- [36] M. Anis, M. Ortmanns, and N. Wehn, “A 2.5mw 2mb/s fully integrated impulse-FM-UWB transceiver in 0.18 μm CMOS,” in *Microwave Symposium Digest (MTT), 2011 IEEE MTT-S International*, 2011, pp. 1–3.
- [37] *IEEE Std 802.15.4-2011 (Revision of IEEE Std 802.15.4-2006)*, pp. 1–314, 2011.
- [38] F. Moncunill-Geniz and P. Palà-Schönwälder, “Performance of a DSSS superregenerative receiver in the presence of noise and interference,” in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, May 2006, pp. 5687–5690.
- [39] G. G. MacFarlane and J. R. Whitehead, “The theory of the super-regenerative receiver operated in the linear mode,” *Electrical Engineers - Part III: Radio and Communication Engineering, Journal of the Institution of*, vol. 95, no. 35, pp. 143–157, May 1948.
- [40] J. Whitehead, *Super-regenerative receivers*, ser. Modern radio technique. Cambridge: The University Press, 1950.

- [41] A. B. Carlson, *Communication Systems: An Introduction to Signals and Noise in Electrical Communication*, international edition ed. McGraw-Hill Education, 1986.
- [42] Altera DE0-Nano development and education board. [Online]. Available: <http://www.terasic.com.tw/cgi-bin/page/archive.pl?No=593>
- [43] J. Venkataraman and O. Collins, “An all-digital transmitter with a 1-bit DAC,” *Communications, IEEE Transactions on*, vol. 55, no. 10, pp. 1951–1962, 2007.
- [44] C. Carlowitz and M. Vossiek, “PSK modulator for regenerative sampling gigabit UWB communication,” in *GeMiC 2014; German Microwave Conference*, Mar 2014, pp. 1–4.
- [45] J. Bonet-Dalmau, F. Moncunill-Geniz, P. Palà-Schönwälder, F. del Aguila-Lopez, and R. Giralt-Mas, “Frequency domain analysis of superregenerative receivers in the linear and the logarithmic modes,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, no. 5, pp. 1074–1084, May 2012.
- [46] J. Fonseka, “Nonlinear continuous phase frequency shift keying,” *Communications, IEEE Transactions on*, vol. 39, no. 10, pp. 1473–1481, 1991.
- [47] S. Pasupathy, “Minimum shift keying: A spectrally efficient modulation,” *Communications Magazine, IEEE*, vol. 17, no. 4, pp. 14–22, 1979.
- [48] E. Costa-Molero, “Implementation of the data link layer for a super-regenerative transceiver,” Bachelor Thesis, Jun 2014.
- [49] Raspberry-Pi. [Online]. Available: <https://www.raspberrypi.org/products/raspberry-pi-2-model-b/>
- [50] C. OS. (2014, Apr.) Contiki the open source os for the internet of things. [Online]. Available: <http://www.contiki-os.org>
- [51] ——. (2017, Feb.) Rime communication stack. [Online]. Available: http://contiki.sourceforge.net/docs/2.6/a01798.html#_details
- [52] A. Dunkels, “Contiki - a lightweight and flexible operating system for tiny networked sensors,” in *European Conference on Wireless Sensor Networks (EWSN)*, Sep 2009. [Online]. Available: <http://dunkels.com/adam/dunkels07rime.pdf>
- [53] A. Dunkels, B. Gronvall, and T. Voigt, “Contiki - a lightweight and flexible operating system for tiny networked sensors,” in *29th Annual IEEE International Conference on Local Computer Networks*, Nov 2004, pp. 455–462.
- [54] Wikipedia. (2014, Apr.) 6lowpan. Wikipedia, the free encyclopedia. [Online]. Available: en.wikipedia.org/wiki/6LoWPAN

- [55] ——. (2014, Apr.) Zigbee. Wikipedia, the free encyclopedia. [Online]. Available: en.wikipedia.org/wiki/ZigBee
- [56] ——. (2014, Apr.) Isa100.11a. Wikipedia, the free encyclopedia. [Online]. Available: en.wikipedia.org/wiki/ISA100.11a
- [57] A. Corporation, “Low power 2.4 ghz transceiver for zigbee, ieee 802.15.4, 6lowpan, rf4ce and ism applications. at86rf230,” 2009.
- [58] H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, ser. Wiley Series in Telecommunications. Wiley, 1990.
- [59] Y. Zheng, Y. Zhu, C. W. Ang, Y. Gao, and C. H. Heng, “A 3.54 nJ/bit-RX, 0.671 nJ/bit-TX burst mode super-regenerative UWB transceiver in 0.18- μ m CMOS,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 61, no. 8, pp. 2473–2481, Aug 2014.
- [60] F. X. Moncunill-Geniz and P. Palà-Schönwälder, “A DSSS superregenerative receiver with tau-dither loop,” in *Wireless Technology, 2004. 7th European Conference on*, Oct 2004, pp. 349–352.
- [61] J. P. Nair, K. Bynam, Y. J. Hong, J. Kang, P. Dwarakanath, and M. Choudhary, “Timing synchronization in super-regenerative receivers with a single quench cycle per symbol,” in *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, Jun 2014, pp. 738–741.
- [62] F. Xiong, *Digital Modulation Techniques*, ser. Artech House telecommunications library. Artech House, 2006.
- [63] E. Hosseini, “Synchronization techniques for burst-mode continuous phase modulation,” Ph.D. dissertation, University of Kansas, Feb 2013. [Online]. Available: <https://oatd.org/oatd/record?record=handle%3A1808%2F12963>
- [64] D. A. Gudovskiy, L. Chu, and S. Lee, “A novel nondata-aided synchronization algorithm for MSK-type-modulated signals,” *IEEE Communications Letters*, vol. 19, no. 9, pp. 1552–1555, Sep 2015.
- [65] A. N. D’Andrea, U. Mengali, and R. Reggiannini, “A digital approach to clock recovery in generalized minimum shift keying,” *IEEE Transactions on Vehicular Technology*, vol. 39, no. 3, pp. 227–234, Aug 1990.
- [66] A. A. D’Amico, A. N. D’Andrea, and U. Mengali, “Feedforward joint phase and timing estimation with OQPSK modulation,” *IEEE Transactions on Vehicular Technology*, vol. 48, no. 3, pp. 824–832, May 1999.
- [67] K. Mueller and M. Muller, “Timing recovery in digital synchronous data receivers,” *IEEE Transactions on Communications*, vol. 24, no. 5, pp. 516–531, May 1976.

- [68] G. R. Danesfahani and T. G. Jeans, “Optimisation of modified Mueller and Muller algorithm,” *Electronics Letters*, vol. 31, no. 13, pp. 1032–1033, Jun 1995.
- [69] E. Brigant and A. Mammela, “Adaptive threshold control scheme for packet acquisition,” *IEEE Transactions on Communications*, vol. 46, no. 12, pp. 1580–1582, Dec 1998.
- [70] Altera DE2-115 development and education board. [Online]. Available: <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=165&No=502>

Índices

Índice de figuras

1.1.	Resultados de la búsqueda en IEEE XPlore de distintos términos referentes al receptor superregenerativo.	2
1.2.	Diagrama de bloques de un receptor SR	3
1.3.	Diagrama temporal del comportamiento del receptor SR. La tensión de entrada es una señal RF, el factor de amortiguamiento está estrechamente relacionado con la señal de <i>quench</i> y la tensión de salida son los pulsos creados por el SRO (para los dos modos de operación: lineal y logarítmico). El primer pulso (marcado con el número 1) crece a partir del ruido y el segundo (2) y tercero crecen a partir de la señal RF de la entrada.	4
2.1.	Señales principales que intervienen en el funcionamiento del SRO. La traza (a) muestra la envolvente normalizada del pulso de RF de entrada. En (b) se muestra la función de amortiguamiento. En la gráfica (c) se muestran la función de sensibilidad $s(t)$ y la envolvente normalizada del pulso de salida $p(t)$ generado por el SRO. Fuera de los límites t_{sa} y t_{sb} la sensibilidad del receptor se puede considerar despreciable.	12
4.1.	Las cuatro bases de portadora disponibles a la salida del registro.	36
4.2.	Señal RF generada con una modulación QPSK.	36
4.3.	Estructura de la trama. Les longitudes están expresadas en bits.	37
4.4.	Representación del funcionamiento del receptor SR para la detección de fase. La señal superior es la señal de entrada $x(t)$ de RF, la del medio es la salida del SRO $s(t)$ y la inferior es la del muestreo digital de la señal del SRO. Las distintas figuras representan la señal de entrada $x(t)$ con fase: a) 0, b) $\pi/4$, c) $2\pi/4$ y d) $3\pi/4$	39

4.5. Constelación QPSK muestreada con $N=20$ muestras.	40
4.6. Esquema de los procesos de muestreo y correlación.	40
4.7. Diagrama temporal correspondiente al proceso de correlación. . .	41
4.8. Parte analógica del receptor superregenerativo.	42
4.9. Generación de la señal de <i>quench</i> . El filtro paso-bajo y la suma se pueden ver en detalle en el esquema general de la Figura 4.8.	43
4.10. Funcionamiento del receptor SR con la señal de <i>quench</i> de diente de sierra creado por la FPGA. De arriba a abajo: traza #3 es la señal modulada QPSK del transmisor, traza #1 es la señal del SRO, traza #2 es la señal de <i>quench</i> y traza #4 muestra las 20 muestras obtenidas en cada período de <i>quench</i>	44
4.11. Esquema del método de sincronización. Muestreando el preámbulo cada $T_s + \Delta T$, nos saltaremos un símbolo.	46
4.12. Tiempo de sincronización para $m = 4$. Se ha representado la situación que maximiza este tiempo.	46
4.13. Una fotografía de uno de los transceptores superregenerativos QPSK implementados.	48
4.14. Relación entre la potencia de la señal de entrada y la tasa de error obtenida con un <i>quench</i> sinusoidal y sin red de adaptación [31].	49
4.15. Captura del final del proceso de adquisición. De arriba a abajo: traza #1 es la señal de sincronización, traza #3 es la señal modulada QPSK, traza #2 es la señal de reloj de símbolo del receptor y la traza #4 son las muestras obtenidas y, indirectamente, el instante de tiempo donde han sido obtenidas.	50
4.16. Diagrama temporal correspondiente al proceso de correlación con el resultado de dos máximos.	51
4.17. Constelación QPSK con codificación binaria natural a la izquierda y constelación QPSK con codificación Gray a la derecha. . .	54
4.18. Sistema implementado correspondiente a la codificación binaria Gray.	55
5.1. Constelación BPSK con $N = 6$ en la que se muestra la desviación mínima debida al ruido n_ϕ^* en el caso ideal (sin cuantificación) que produce un error en la decisión de símbolo y el error máximo de cuantificación $q_{\phi, \max}$	59
5.2. Constelación BPSK con $N = 10$	60
5.3. Constelación QPSK con $N = 20$	61
5.4. Constelación 8PSK con $N = 40$	61
5.5. Señal de RF recibida (azul), señal de reloj de símbolo (magenta), pulso generado por el SRO (verde), señal de muestreo (cyan), muestras de 1 bit (círculos rojos) y señal de reloj de referencia (amarillo). En (a) el símbolo (magenta) tiene un período T_s y en (b) tiene periodo $T'_s = T_s + \Delta$	62
5.6. Circuito a estable para generar la señal de muestreo f_{CLK}	63

5.7. Muestras (círculos) equiespaciadas Δ sobre un periodo T_0 de portadora. $T_0 = N\Delta$	64
5.8. Curvas de BER teóricas (sin marcadores) y curvas de BER medidas (con marcadores). En las curvas teóricas se ha aplicado una traslación considerando el ancho de banda de ruido real.	66
6.1. Diagrama de bloques del receptor SR.	68
6.2. Simulación de las fases instantáneas de la entrada y de la salida. La máxima diferencia ocurre en los vértices y es de $\pm 9.3^\circ$	69
6.3. La traza superior muestra cualitativamente el pulso generado en el SRO, el cual empieza a crecer en $t = 0$. La señal de reloj de muestreo empieza con un <i>offset</i> fijo T_1 para tomar N muestras. La Figura 6.3a muestra el pulso de salida del SRO con fase 0, mientras que 6.3b corresponde a un pulso con un desfase de $\pi/4$ con respecto al anterior.	70
6.4. FSK de <i>Sunde</i> . Evolución del exceso de fase con respecto a $\omega_c t$. Los círculos señalan las observaciones al final del período de símbolo y los cuadrados las observaciones en el centro.	72
6.5. FSK de <i>Sunde</i> . Representación compacta del exceso de fase respecto a $\omega_c t$. Las transiciones de fase son distintas para los símbolos pares y para los símbolos impares.	72
6.6. FSK de <i>Sunde</i> . Fases absolutas (puntos), $\pm\pi/2$, y transiciones de fase (flechas). Los ejes representan el plano complejo y la fase es el argumento de cada punto.	73
6.7. Modulación MSK: representación compacta del exceso de fase con respecto a $\omega_c t$. Los círculos y los cuadrados indican las observaciones en el final y en el centro de los períodos de símbolo, respectivamente.	74
6.8. Modulación MSK: fases absolutas y transiciones de fase para $\theta_q = 0$	74
6.9. Modulación MSK: fases absolutas y transiciones de fase.	75
6.10. FSK de <i>Sunde</i> : efecto sobre la fase detectada causado por la desviación del reloj de símbolo en el receptor (señal de <i>quench</i>).	75
6.11. Gráficos de dispersión de fases <i>absolutas</i> resultantes de considerar la existencia de un cierto error (desviación) en la fase de la señal de <i>quench</i> . 6.11a) FSK de <i>Sunde</i> . 6.11b) MSK operando con $\theta_q = 0$. 6.11c) MSK operando con $\theta_q = -\pi$	76
6.12. FSK de <i>Sunde</i> : desviación de fase en función del desplazamiento relativo θ_q	76
6.13. Gráficos de dispersión de <i>diferencias</i> de fases resultantes en presencia de error en la fase de la señal de <i>quench</i> . 6.13a) FSK de <i>Sunde</i> . 6.13b) MSK operando con $\theta_q = 0$. 6.13c) MSK operando con $\theta_q = -\pi$	77

6.14. <i>Test setup</i> del receptor. El área sombreada representa el generador de señal Agilent E4431B, que incorpora un analizador de BER.	79
6.15. Curva de selectividad en frecuencia del receptor MSK en función de la desviación de frecuencia de portadora con respecto a 26.25 MHz.	80
6.16. BER medido vs potencia de entrada (dBm) de un receptor MSK y una referencia teórica teniendo en cuenta el ancho de banda de ruido equivalente.	80
6.17. Fotografía del prototipo. La placa analógica es la de la parte inferior izquierda. La placa de la parte superior derecha muestra la fase detectada y proporciona conectividad, mientras que la placa de desarrollo FPGA, conectada con las otras dos placas, se encuentra debajo.	81
7.1. Detalle de los campos de la MPDU. La trama de la capa física encapsula los datos de la capa MAC [37].	88
7.2. Especificaciones del estándar para medir la sensibilidad del receptor [37].	89
7.3. Formato de la PPDU definido por [37].	90
7.4. Tabla de conversión de símbolos a secuencias de chip [37].	91
7.5. Esquema de la arquitectura del transceptor Atmel AT86RF230. La parte enmarcada es la correspondiente a la capa MAC, es decir, la implementada en nuestro prototipo. [48].	92
7.6. Esquema general de la capa MAC del transceptor [48].	93
7.7. Conexión para test de la capa MAC [48].	94
7.8. Diagrama de estados del modo de operación básico [48] [57].	94
7.9. Diagrama de estados del modo de operación extendido [48] [57].	96
7.10. Esquema genérico de la capa física de un transceptor SR MSK IEEE 802.15.4. Todos los bloques de la zona sombreada están implementados en la FPGA.	98
7.11. Conversión de símbolos a chips y generación de la señal de habilitación para el modulador. clk2 es $\text{clk}/16$	99
7.12. Diagrama de bloques del modulador MSK.	101
7.13. Espectro radiado de la señal MSK generada por la FPGA con datos PN9.	102
7.14. Comparación del SER y del BER utilizando la decisión <i>hard</i> y la decisión <i>soft</i>	104
7.15. Esquema del circuito de decisión de símbolo.	105
7.16. Esquema de la capa física del transceptor SR IEEE 802.15.4. El prototipo opera en la banda de 26.25 MHz. La parte superior es la correspondiente a la parte receptora y la inferior a la parte transmisora. La frecuencia de la señal clk32 es de 160 kHz.	105

7.17. Fotografía del transceptor SR IEEE 802.15.4, operando como receptor y recibiendo datos a través de un generador externo.	107
7.18. Transceptor SR IEEE 802.15.4 recibiendo a través del aire la señal transmitida por otro transceptor. Las fases recibidas están desfasadas a causa de la modulación MSK descrita en la Sección 7.4.2.	108
8.1. Representación del exceso de fase con respecto a $\omega_c t$ en función del dato: los cuadrados negros corresponden a -1 y los blancos a 1. Los círculos negros y blancos corresponden al instante de muestreo nominal y al instante de muestreo δ avanzado, respectivamente.	116
8.2. Diagrama de bloques para calcular \hat{i}_n y \hat{q}_n (ver texto). La parte sombreada es la parte del filtro FIR. El bloque con la etiqueta $f(\hat{i}_K)$ implementa la ecuación (8.15).	119
8.3. Comportamiento cualitativo de $\hat{q}_n/ \mathbf{q} $ en función del valor real de δ . Los círculos llenos indican el máximo escogido.	120
8.4. Efecto de la desviación de frecuencia en la sincronización. Incremento necesario de la potencia de entrada para mantener $PER = 10^{-2}$ vs ϵ con $\alpha = 0.65$. Resultados simulados y experimentales.	121
8.5. $\hat{q}_n/ \mathbf{q} $ en ausencia de ruido (izquierda) y una realización de $\hat{q}_n/ \mathbf{q} $ con $SNR = 3.3$ dB (derecha). $\delta = 0.5$ en ambos casos.	122
8.6. Simulación de la tasa de error de chip, tasa de error de símbolo, tasa de error de bit y tasa de error de paquete en función del SNR.	122
8.7. Función de densidad de probabilidad (PDF) de $\hat{q}_n/ \mathbf{q} $ para diferentes valores de SNR.	123
8.8. Mediana y valor IQR de $\hat{q}_n/ \mathbf{q} $ vs SNR.	124
8.9. Función de densidad de probabilidad (PDF) de $\hat{q}_n/ \mathbf{q} $ en ausencia de señal y con una $SNR = 3.3$ dB.	124
8.10. <i>Contour plot</i> que muestra la distribución de probabilidad de la δ/T_x estimada vs la δ/T_x real con $SNR = 3.3$ dB. Los resultados son obtenidos al final del símbolo número 8 (sin umbral). Los niveles de contorno son [1, 3, 5, 7].	125
8.11. <i>Contour plot</i> que muestra la distribución de probabilidad de la δ/T_x estimada vs la δ/T_x real con $SNR = 3.3$ dB, cuando se ha superado el umbral de $\alpha = 0.65$ y sin corrección. Los niveles de contorno son [1, 3, 5, 7].	126
8.12. <i>Contour plot</i> que muestra la distribución de probabilidad de la δ/T_x estimada vs la δ/T_x real con $SNR = 3.3$ dB, cuando se ha superado el umbral de $\alpha = 0.65$ y con la corrección (8.21). Los niveles de contorno son [1, 3, 5, 7].	126
8.13. Incremento en la potencia de la señal de entrada necesario para mantener un $PER = 10^{-2}$ en función de la relación $\Delta\delta/T_x$	127
8.14. Constelación con $N_m = 20$ y valor entero de cada fase.	129
8.15. Implementación del filtro.	130

8.16. Test setup experimental.	133
8.17. Detalle del receptor SR y del bloque FPGA RX.	133
8.18. Prototipo con la placa [70] para el test de desviación de frecuencia con un reloj externo.	134
8.19. ϵ_{SYNC} , ϵ_{SFD} y ϵ_{RX} (PER) en función de la potencia de la señal de entrada con un nivel de umbral $\alpha = 0.65$. Se han obtenido los trazos inferior y superior de ϵ_{RX} con y sin corrección, respectivamente, dado por (8.21).	135
8.20. ϵ_{SYNC} , ϵ_{SFD} y ϵ_{RX} (PER) en función del nivel del umbral α	135
A.1. Agrupaciones de $N_c=5$ ciclos de portadora, con $m_c=3$ ciclos de fase 0° y $N_c - m_c=2$ ciclos de fase 90°	144
A.2. Módulo de los coeficientes de la serie de Fourier de las señales x_i y c_i . Los coeficientes de c_i corresponden a $N_c = 20$ y $m_c = 12$, $\alpha_i = 0.6$. Coeficiente a f_c de x_i normalizado a valor unitario.	144
A.3. Módulo de los coeficientes de la serie de Fourier de la señal y : $N_c = 20$, $m_c = 12$, $\varphi_1 = 0$ y $\varphi_2 = 90^\circ$. El coeficiente a f_c tiene módulo 0.7211 y fase 33.69°	146
A.4. Transición progresiva de $\varphi_1=0^\circ$ a $\varphi_2=90^\circ$ con $N_c=20$	146
A.5. Espectro medido de una señal RF con fase constante a $f_c=26.25$ MHz.	147
A.6. Espectro medido del segundo caso con $N_c=10$, $\varphi_1=0^\circ$, $\varphi_2=180^\circ$ y $m_c=5$	148
A.7. Espectro medido del tercer caso con $N_c=10$, $\varphi_1=0^\circ$, $\varphi_2=90^\circ$ y $m_c=5$	149

Índice de tablas

4.1. Número máximo de símbolos de datos para $r(ppm) = 20$	47
4.2. Decisión del máximo de la correlación descrito en VHDL.	51
4.3. Descripción en VHDL de la nueva decisión del máximo de la correlación.	52
5.1. Modulaciones DPSK. Referencias teóricas de BER con codificación Gray y valor de $\gamma_b = \frac{E_b}{\eta}$ necesario para obtener un BER de 10^{-4}	59
8.1. Detector de superación del umbral.	131
8.2. Contador para la generación de la fase del <i>quench</i>	131