

КОМПОНЕНТЫ СПЕЦИАЛИЗИРОВАННЫХ ЦИФРОВЫХ УСТРОЙСТВ НА ОСНОВЕ МАТРИЧНЫХ БИНОМИАЛЬНЫХ ЧИСЕЛ

В. В. Петров, аспирант,

Сумский государственный университет, г. Сумы

В статье получили дальнейшее развитие методы счета и преобразования, а также впервые предложен метод дешифрации матричных биномиальных чисел. Предложены методы синтеза счетных устройств, дешифраторов и устройств кодирования. Впервые предложен метод оптимизации матричных биномиальных компонентов.

Ключевые слова: *матричные биномиальные числа, методы счета, преобразования и дешифрации, метод синтеза матричных биномиальных компонентов, методы оптимизации.*

У статті набули подальшого розвитку методи рахунку й перетворення, а також уперше запропонований метод дешифрації матричних біноміальних чисел. Запропоновано методи синтезу рахункових пристроїв, дешифраторів і пристроїв кодування. Уперше запропонований метод оптимізації матричних біноміальних компонентів.

Ключові слова: *матричні біноміальні числа, методи рахунку, перетворення і дешифрування, метод синтезу матричних біноміальних компонентів, методи оптимізації.*

ВВЕДЕНИЕ И ПОСТАНОВКА ЗАДАЧИ

В последнее время на рынке микроэлектроники возрастает показатель специализированной ориентации цифровых устройств. К компонентам, которые входят в их состав, выдвигаются требования быстродействия, помехоустойчивости, надежности, гибкости, возможности автономной работы. Тем не менее тенденции элементной базы, связанные с увеличением тактовой частоты и уменьшением напряжения питания, приводят к уменьшению энергетического уровня информационных сигналов и тем самым увеличивают чувствительность к действию внешних и внутренних помех. В результате интенсивность ошибок, к которым они приводят, на один-два порядка выше, чем интенсивность отказов. Решение этой проблемы возможно благодаря повышению помехоустойчивости элементной базы, оптимизации логических структур, разработке эффективных методов проектирования. Однако методы повышения помехоустойчивости часто вступают в противоречие с быстродействием. Поэтому вопрос одновременного повышения быстродействия и помехоустойчивости компонентов специализированных цифровых устройств является актуальным.

Перспективным направлением исследования является создание устройств, помехоустойчивость которых базируется на естественной избыточности, которая разрешает значительно повысить их быстродействие благодаря отсутствию затрат времени на обработку искусственной избыточности. Одним из путей введения естественной избыточности есть использование матричных биномиальных чисел. Они благодаря регулярности своей структуры позволяют строить различные компоненты цифровых устройств. Их использование разрешает повысить быстродействие благодаря параллельной обработке информации и помехоустойчивость благодаря избыточности.

Однако на сегодня матричные биномиальные числа нуждаются в усовершенствовании методов счета и преобразования, а соответствующие компоненты цифровых устройств нуждаются в разработке схем. Также

стоит задача оценки разных схем для их сравнения. Достижение этой задачи и ставится в данной работе.

МЕТОДЫ ПРЕОБРАЗОВАНИЯ МАТРИЧНЫХ БИНОМИАЛЬНЫХ ЧИСЕЛ

В работе [1] рассмотрен метод контроля ошибок при помощи матричных биномиальных чисел, суть которого заключается в проверке достаточного свойства чисел. Благодаря введению проверки достаточного свойства получили дальнейшее развитие методы счета, преобразования и декодирования матричных биномиальных чисел, что позволило контролировать правильность выполнения операций во время работы и строить компоненты цифровых устройств со встроенными схемами контроля.

Впервые предложен метод кодирования матричным биномиальным кодом. Метод кодирования использует принципы поразрядного взвешивания [2] и состоит в следующем.

Шаг 1. Определяется цифра разряда $x_{i(p+1)}$, где $i = 0, 1, \dots, (n-k)$, $p = 0, 1, \dots, (k-1)$ сравнением числа A_i с весом C_{n-m}^{k-p} , $m = 0, 1, \dots, (k-1)$ соответствующего разряда. Если $A_i \geq C_{n-m}^{k-p}$, то $x_{i(p+1)} = 1$. В противном случае $x_{i(p+1)} = 0$. Переход к шагу 2.

Шаг 2. Определение остатка $R = A_i - C_{n-m}^{k-p}$. Если $R = 0$, то переход к шагу 4. При $R < 0$ производится переход к верхней строке весовых коэффициентов $i = i+1$, $m = m+1$, переход к шагу 1. При $R > 0$ производится переход к соседнему столбцу $m = m+1$, $p = p+1$. Переход к шагу 3.

Шаг 3. Переводимое число заменяется остатком $A_i = R$, переход к шагу 1.

Шаг 4. Метод перехода завершен, вывод $A_{MBЧ}$.

Пример. Перевести число $A_1 = 13_{10}$ в матричную биномиальную систему счисления с параметрами $n = 5$, $k = 4$.

Решение. 1. Определяется цифра разряда $x_{i(p+1)}$, где $i = 0$, $m = 0$, $p = 0$. Так как $A_{10} = 13 > C_{5-0}^{4-0} = 5$, то $x_{01} = 1$.

2. Определяется остаток $R = A_{10} = 13 - C_{5-0}^{4-0} = 8$. Так как $R > 0$ $m = m+1 = 1$ $p = p+1 = 1$, переход к 3.

3. Переводимое число заменяется остатком $A_{10} = R = 8$.

4. Определяется цифра разряда x_{02} . Так как $A_{10} = 8 > C_{5-1}^{4-1} = 4$, то $x_{02} = 1$.

5. Определяется остаток $R = A_{10} = 8 - C_{5-1}^{4-1} = 4$. Так как $R > 0$ $m = m+1 = 2$ $p = p+1 = 2$, переход к 6.

6. Переводимое число заменяется остатком $A_{10} = R = 4$.

7. Так как $A_{10} = 4 > C_{5-2}^{4-2} = 3$, то $x_{03} = 1$.

8. $R = A_{10} = 4 - C_{5-2}^{4-2} = 1$. Так как $R > 0$ $m = m+1 = 3$ $p = p+1 = 3$.

9. $A_{10} = R = 1$.

10. Так как $A_{10} = 1 < C_{5-3}^{4-3} = 2$, то $x_{04} = 0$.

11. $R = A_{10} = 1 - C_{5-3}^{4-3} = -1$. Так как $R < 0$, производится переход к верхней строке весовых коэффициентов $m = m + 1 = 4$, $i = i + 1$.

12. Так как $A_{10} = 1 < C_{5-4}^{4-3} = 0$, то $x_{14} = 1$.

13. Метод перехода завершен. Полученное число $\begin{bmatrix} 0 & 0 & 0 & 1 \\ 1 & 1 & 1 & 0 \end{bmatrix}$.

Впервые предложен метод дешифрации матричного биномиального кода. Код обладает свойствами, которые удобно использовать для дешифрации. Согласно свойствам в кодовых комбинациях содержится не более k единиц, которые расположены в одной или нескольких строках. Если просуммировать единицы в каждой строке, начиная с верхней строки, со всеми нижестоящими единицами и выписать в таблицу построчно, то получим однозначное представление биномиальных числовых матриц. Пусть в нулевой строке биномиальной матрицы находится q_0 единиц, q_1 в первой и т.д., q_{n-k} в последней нижней строке. Тогда алгебраические суммы единиц находятся следующим образом:

$$s_i = \sum_i^{n-k} q_i \quad (1)$$

где s_i - сумма единиц с i -й по $(n-k)$ -ю строку;

q_i - количество единиц в i -й строке матрицы;

$i = 0, 1, \dots, (n-k)$.

Данное свойство удобно использовать для дешифрации МБК. Идея дешифрации заключается в выделении уникального для каждой комбинации набора сумм единиц $s_0 - s_{n-k}$. Однако свойство однозначности сумм $s_0 - s_{n-k}$ для каждой кодовой комбинации нуждается в доказательстве.

Утверждение. Каждому номеру кодовой комбинации МБК однозначно соответствует уникальная комбинация сумм $s_i = \sum_i^{n-k} q_i$, $i = 0, 1, \dots, (n-k)$ единиц в строках матрицы.

Доказательство. Покажем, что расположение единиц в i -й строке матрицы однозначно определяется количеством единиц, расположенных в строках ниже, начиная с $(i+1)$ по $(n-k)$ -ю строку. Согласно алгоритму перебора комбинаций МБК единица в i -ой строке заносится в $(k-q)$ -й разряд, где q - количество единиц в матрице. Таким образом, расположение единиц в i -й строке однозначно определяется количеством единиц, расположенных в строках ниже. На основе этого можно сделать вывод, что для различия кодовых комбинаций достаточно лишь знать количество единиц в строках матриц. Отсюда сделан вывод, что каждой кодовой комбинации МБК однозначно соответствует уникальная комбинация сумм $s_0 - s_{n-k}$. Утверждение доказано.

Пример. Найти алгебраические суммы единиц s_i для кода с параметрами $n = 5$, $k = 3$.

Решение. Подставив параметры кода в (1), получим табл. 1.

$$\begin{cases}
 S_{ij} = \prod_{z=i-1}^{n-k} x_{zk} \cdot \prod_{z=i}^{n-k} x_{zk} \cdot \prod_{z=i}^{n-k} x_{z(j-1)} \cdot \prod_{z=i+1}^{n-k} x_{zj}, \\
 R_{ij} = \prod_{z=i-1}^{n-k} x_{zk} \cdot \prod_{z=i}^{n-k} x_{zj} + \prod_{z=i+1}^{n-k} x_{zj}, \\
 Y = \prod_{j=1}^k \prod_{i=0}^{(n-k)-1} \left(x_{zk} \cdot \prod_{z=i+1}^{n-k} x_{zj} \right) + \prod_{i=0}^{(n-k)-1} \prod_{j=1}^{(k-1)} \left(x_{i(j+1)} \cdot \prod_{z=i+1}^{n-k} x_{zj} \right).
 \end{cases}$$

В качестве примера построим счетное устройство с параметрами $n = 5$, $k = 3$. Он будет содержать $(n - k + 1)k = 9$ ячеек памяти (ЯП), схема которых задана на рис. 1.

Счетное устройство содержит тактовый вход C , вход V разрешения работы счетчика, девять информационных выходов $x_{01} - x_{03}$, $x_{11} - x_{13}$, $x_{21} - x_{23}$, три выхода $Sm_{0,1} - Sm_{0,3}$ для дальнейшего наращивания разрядности и третьи элементы ИЛИ 6,1 - 6,3. Устройство содержит $n - k + 1 = 3$ строки, каждая из которых содержит $k = 3$ столбца. На пересечении строк и столбцов находятся девять ЯП 0,1 - 2,1. Каждая ЯП содержит пять входов $Sm_{(i-1)k}$, $Sm_{i(j-1)}$, Sm_{ik} , $Sm_{(i+1)j}$, C и два выхода Sm_{ij} , x_{ij} (рис. 2). Первый выход каждой ЯП заведен на второй вход следующей той же строки и одновременно, на четвертый вход одноименной ЯП строки выше, за исключением k -й, выход которой подан на третьи входы всех ячеек одноименной строки и на первые входы ячеек строки ниже. Тактовые импульсы параллельно заведены на все ЯП 0,1 - 2,1.

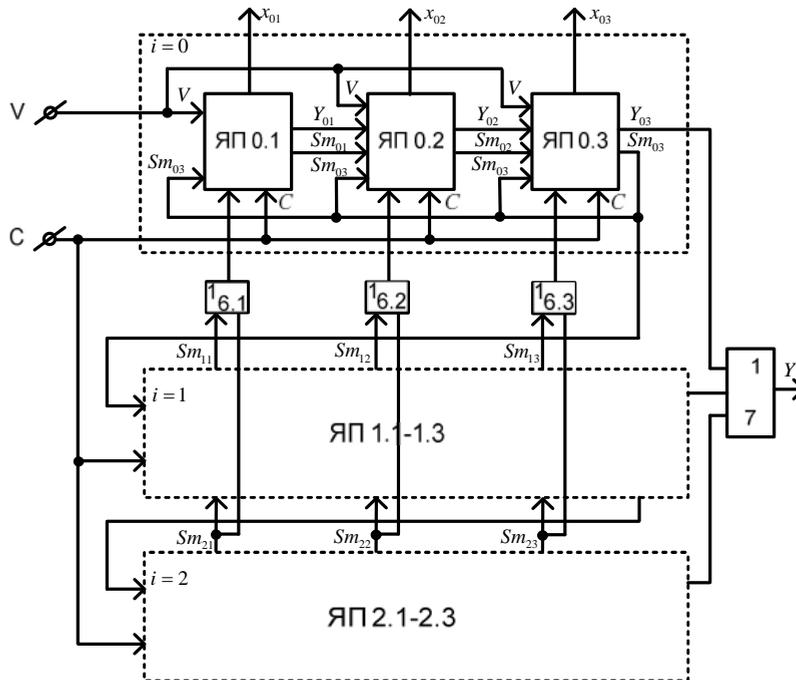


Рисунок 1 – Функциональная схема счетного устройства

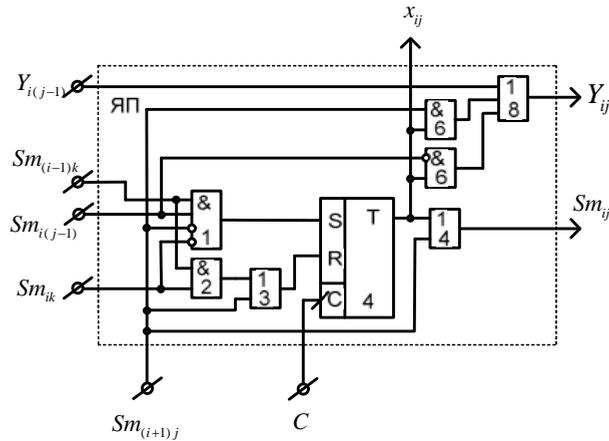


Рисунок 2 – Функциональная схема помехоустойчивой ЯП

В приведенном счетном устройстве, в отличие от существующих ранее, использован параллельный перенос сигналов по столбцам устройства при помощи и третьих элементов ИЛИ 6,1 – 6,3, что позволило увеличить быстродействие и получить регулярную структуру устройства.

Счетное устройство работает следующим образом.

В исходном состоянии триггеры 4 всех ЯП 0,1 – 2,1 находятся в «0»,

т. е. счетчик находится в нулевом состоянии
$$\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$
. При условии

наличия «1» на входе разрешения работы счетного устройства и наличии тактового сигнала на тактовом входе C произойдет установка в единичное состояние триггера 4 ЯП 0,1. Установка в «1» триггера 4 произойдет в результате наличия «1» на выходе первого элемента И 1, открытого нулевым сигналом Sm_{11} , нулевым сигналом Sm_{03} и единичным сигналом входа V разрешения работы. В результате на информационных выходах $x_{01} - x_{03}$, $x_{11} - x_{13}$, $x_{21} - x_{23}$ устройства будет

получена кодовая комбинация
$$\begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$
.

Единичный сигнал с прямого выхода триггера 4 через второй элемент ИЛИ 5 поступит на первый выход Sm_{01} ЯП 0,1. Сигнал Sm_{01} поступает на первый элемент И 1 ЯП 0,2, открытый единицей с входа V разрешения работы, нулевым сигналом с входа Sm_{12} и нулевым сигналом Sm_{03} . В результате по приходу очередного тактового импульса «1» с выхода открытого первого И 1 переведет триггер 4 ЯП 0,2 в единичное состояние. На информационных выходах счетного устройства

образуется комбинация
$$\begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$$
.

Аналогичным образом будет получена комбинация $\begin{bmatrix} 1 & 1 & 1 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$.

При этом единица с выхода триггера 4 через второй элемент ИЛИ 5 поступит на выход Sm_{03} ЯП 0,3. Сигнал Sm_{03} закрывает первые элементы И 1 и одновременно открывает вторые элементы И 2 ЯП 0,1-0,3. Кроме того, единица на выходе Sm_{03} открывает первый элемент И 1 ЯП 1,1, тем самым формируя перенос единицы в старшую $i = 1$ строку. Первый элемент И 1 ЯП 1,1 открывается, поскольку $Sm_{03} = 1$, $Sm_{21} = 0$, $Sm_{13} = 0$. В результате по приходу очередного тактового импульса единица, поступающая со вторых открытых элементов И 2 через первые элементы ИЛИ 3, переведет триггеры 4 ЯП 0,1-1,3 в нулевое состояние, а единица с выхода открытого первого элемента И 1 ЯП 1,1 переведет триггер 4 в единичное состояние. В результате

устройство перейдет в состояние $\begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$.

Единичный сигнал с прямого выхода триггера 4 через второй элемент ИЛИ 5 поступает на выход Sm_{11} ЯП 1,1. Сигнал Sm_{11} через третий элемент ИЛИ 6,1, поступающий на третий вход ЯП 0,1, запирает первый элемент И 1 и одновременно через первый элемент ИЛИ 3 поступает на вход R триггера 4, тем самым запрещающая установку его в «1». Кроме того, сигнал Sm_{11} через третий элемент ИЛИ 6,1 и второй элемент ИЛИ 5 поступает на первый выход Sm_{01} ЯП 0,1. Сигнал Sm_{01} открывает первый элемент И 1 ЯП 0,2, тем самым разрешая установку триггера 4 в «1» по приходу очередного тактового импульса. Счетное устройство

перейдет в состояние $\begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$. Состояние $\begin{bmatrix} 0 & 1 & 1 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$ будет получено

аналогично. Далее единичный сигнал на выходе S_{03} по приходу тактового импульса переведет ЯП 0,2 – 0,3 в «0», а ЯП 1,2 - в «1»:

$\begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}$. Аналогично получают состояния $\begin{bmatrix} 0 & 0 & 1 \\ 1 & 1 & 0 \\ 0 & 0 & 0 \end{bmatrix}$, $\begin{bmatrix} 0 & 0 & 0 \\ 1 & 1 & 1 \\ 0 & 0 & 0 \end{bmatrix}$.

Единичный сигнал с выхода Sm_{13} ЯП 1,3 через третий элемент ИЛИ 6,2 одновременно сбрасывает в ноль ЯП 1,1 – 1,3 и переносит единицу в

старшую строку $i = 2$, $\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix}$. Единица на выходе Sm_{21} через третий

элемент ИЛИ 6,1 и второй элемент ИЛИ 5 поступает на выход Sm_{11} ЯП 1,1, тем самым запрещающая установку в «1» ЯП 0,1 и одновременно через второй элемент ИЛИ 5 ЯП 0,1 разрешает установку в «1» ЯП 0,2:

$$\begin{bmatrix} 0 & 1 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{bmatrix}^{11}. \text{ Все остальные состояния устройства будут получены}$$

аналогично.

Каждая ЯП (рис.) содержит распределенное устройство контроля, состоящее из первого элемента И 6, второго элемента И 7 и первого элемента ИЛИ 8. Устройство контроля позволяет обнаруживать все запрещенные состояния, при возникновении которых будет установлен флаг ошибки Y [1].

На основе матричных биномиальных чисел с проверкой на четность, рассмотренных в [3], предложен метод синтеза матричных счетных устройств с проверкой на четность. Пример для $k = 3$, $n = 5$ приведен на рис. 3. Его достоинство состоит в том, что оно обнаруживает все непарные и часть парных ошибок. Логическая запись счетчика с проверкой на четность для общего случая примет следующий вид:

$$\left\{ \begin{array}{l} S_{ij} = \prod_{z=i-1}^{n-k} x_{zk} \cdot \prod_{z=i}^{n-k} x_{zk} \cdot \prod_{z=i}^{n-k} x_{z(j-1)} \cdot \prod_{z=i+1}^{n-k} x_{zj}, \\ R_{ij} = \prod_{z=i-1}^{n-k} x_{zk} \cdot \prod_{z=i}^{n-k} x_{zj} + \prod_{z=i+1}^{n-k} x_{zj}, \\ R_{i(k+1)} = x_{i(k+1)} \prod_{z=i-1}^{n-k} x_{zk} + x_{i(k+1)} \prod_{z=i}^{n-k} x_{zk}, \\ S_{i(k+1)} = \left(\prod_{z=i}^{n-k} x_{zk} \right) \cdot \left(\prod_{z=(i-1)}^{n-k} x_{zk} \right) \cdot \overline{x_{i(k+1)}}, \\ Y = \prod_{j=1}^k \prod_{i=0}^{(n-k-1)} \left(x_{zk} \cdot \prod_{z=i+1}^{n-k} x_{zj} \right) + \prod_{i=0}^{(n-k)(k-1)} \prod_{j=1}^{(n-k)} \left(x_{i(j+1)} \cdot \prod_{z=i+1}^{n-k} x_{zj} \right) + \prod_{i=0}^{n-k} m_i, \end{array} \right.$$

где $m_i = x_{ij} \oplus x_{i(j+1)} \oplus \dots \oplus x_{ik} \oplus x_{i(k+1)} = 0$, $i = 0, 1, \dots, (n+k)$, $j = 1, 2, \dots, k$.

От приведенного ранее устройства он отличается тем, что содержит проверочный разряд (рис. 4) и сумматор по модулю два.

На основе метода дешифрации впервые предложен метод синтеза дешифратора МБК с параметрами n и k :

Шаг 1. Строится $(n - k + 1)$ сумматоров по логическим функциям (2).

Шаг 2. Для заданных параметров n и k строится таблица сумм единиц $s_0 - s_{(n-k)}$ по строкам кодовых комбинаций (1).

Шаг 3. Строится функция (3). Каждому выходу дешифратора соответствует конъюнкция сумм единиц $s_{0j} s_{1z} \dots s_{(n-k)l}$, которые выбираются из построенной во втором пункте таблицы.

дешифратора. Каждый сумматор содержит первые двухвходовые элементы И 1,1 – 1,3, входы которых содержат инверсию, вторые двухвходовые элементы И 2,1 – 2,3, содержащие второй инверсный вход, третьи двухвходовые элементы И 3,1 – 3,3, содержащие второй инверсный вход и четвертые двухвходовые элементы И 4,1 – 4,3. В каждом сумматоре вторые инверсные ходы первых элементов И 1,1 – 1,3, вторых элементов 2,1 – 2,3 и третьих элементов И 3,1 – 3,3 являются входами соответствующих сумматоров SM 0 – SM 2.

Первый инверсный вход первых элементов И 1,1 – 1,3, соединенный со вторым инверсным входом вторых элементов И 2,1 – 2,3, первым входом третьих элементов И 3,1 – 3,3 и четвертых элементов И 4,1 – 4,3, одновременно является вторым входом сумматоров SM 0 – SM 2. Второй инверсный вход первых элементов И 1,1 – 1,3, одновременно являющийся первым входом сумматоров SM 0 – SM 2, соединен со вторым входом второго элемента И 2,1. Второй инверсный вход третьих элементов И 3,1 – 3,3, одновременно являющийся третьим входом сумматоров SM 0 – SM 2, соединен со вторым входом четвертых элементов И 4,1 – 4,3. Выходы первых 1,1 – 1,3, вторых 2,1 – 2,3, третьих 3,1 – 3,3, четвертых 4,1 – 4,3 элементов И являются соответственно нулевым, первым, вторым и третьим выходами сумматоров SM0 – SM2. Первые выходы сумматоров SM0 – SM2 заведены на входы пятого элемента И 5,1, второй выход первого сумматора SM0, а также первые выходы второго и третьего сумматоров SM1, SM2 поданы на вход пятого элемента И 5,2 и т.д. до пятого элемента И 2.20 в соответствии с табл. 1.

Для примера рассмотрим работу дешифратора совместно с МБС $n = 5$, $k = 3$ рис. 5.

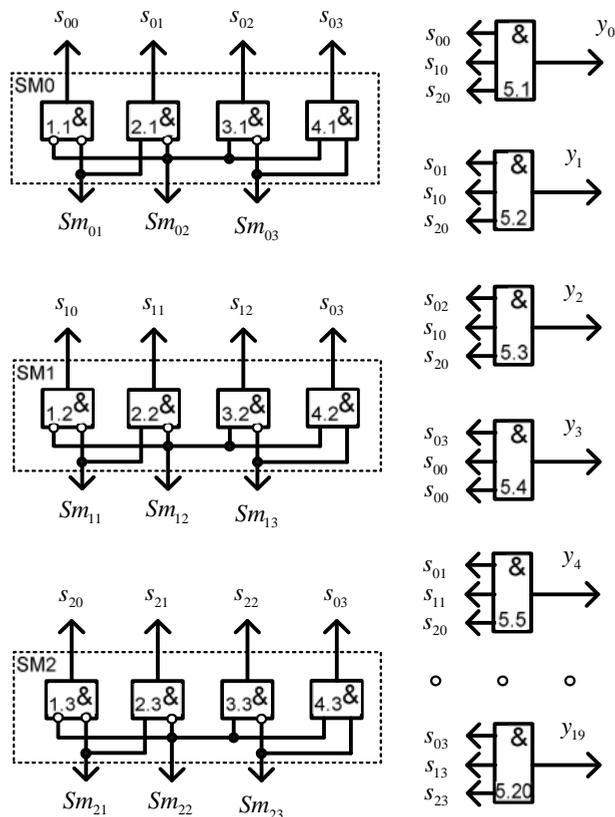


Рисунок 5 – Функциональная схема дешифратора

В исходном состоянии триггеры всех ЯП 0,1 – 2,1 находятся в «0»,

т.е. счетчик находится в нулевом состоянии $\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$. В таком

состоянии на входы всех сумматоров SM 0 – SM 2 поступают нули. В таком состоянии «1» с выхода первых элементов И 1.1 – 1.3, открытых нулевыми сигналами Sm_{01} и Sm_{02} на входах сумматора SM0, Sm_{11} и Sm_{12} на входах сумматора SM1, Sm_{21} и Sm_{22} на входах сумматора SM2, поступит на выход s_{00} , s_{10} , s_{20} сумматоров SM 0 – SM 2. Единичные сигналы на выходах s_{00} , s_{10} , s_{20} , поступающие на вход пятого элемента И 5,1, переведут его в открытое состояние. Таким образом, на выходе y_0 дешифратора будет получено значение «1».

При следующем состоянии счетчика $\begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$ согласно алгоритму его

функционирования на выходе Sm_{01} ЯП 0.1 будет получена лог. «1». В результате этого первый элемент И 1,1 сумматора SM0 будет закрыт единичным сигналом Sm_{01} , а второй элемент И 2,1 будет открыт «1» на Sm_{01} и нулевым - на Sm_{02} . Единичный сигнал с выхода открытого второго элемента И 2,1 поступит на выход Sm_{01} сумматора SM0, тем самым открывая пятый элемент И 5,2, на остальные входы которого заведены «1» с выхода s_{10} сумматора SM1 и «1» с выхода s_{20} сумматора SM2. Таким образом, на выходе дешифратора будет получено значение «1» на выходе y_1 .

При состоянии счетчика $\begin{bmatrix} 1 & 1 & 0 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$ единица на выходе y_2 будет

получена аналогично.

В состоянии $\begin{bmatrix} 1 & 1 & 1 \\ 0 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$ единицы на выходах Sm_{02} , Sm_{03} ЯП 0,1 и

ЯП 0,2 переведут третий элемент И 3,1 в закрытое состояние, а четвертый элемент И 4,1 – в открытое. Таким образом, единицы на выходах s_{03} , s_{10} , s_{20} приведут к открытию пятого элемента И 5,4 и появлению «1» на выходе дешифратора y_3 .

Работа дешифратора при состояниях счетчика $\begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 0 \end{bmatrix}$ - $\begin{bmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 1 & 1 \end{bmatrix}$

аналогична описанному выше.

Впервые предложена структурная схема кодирующего устройства. Структурная схема (рис. 6) реализует метод кодирования матричным биномиальным кодом.

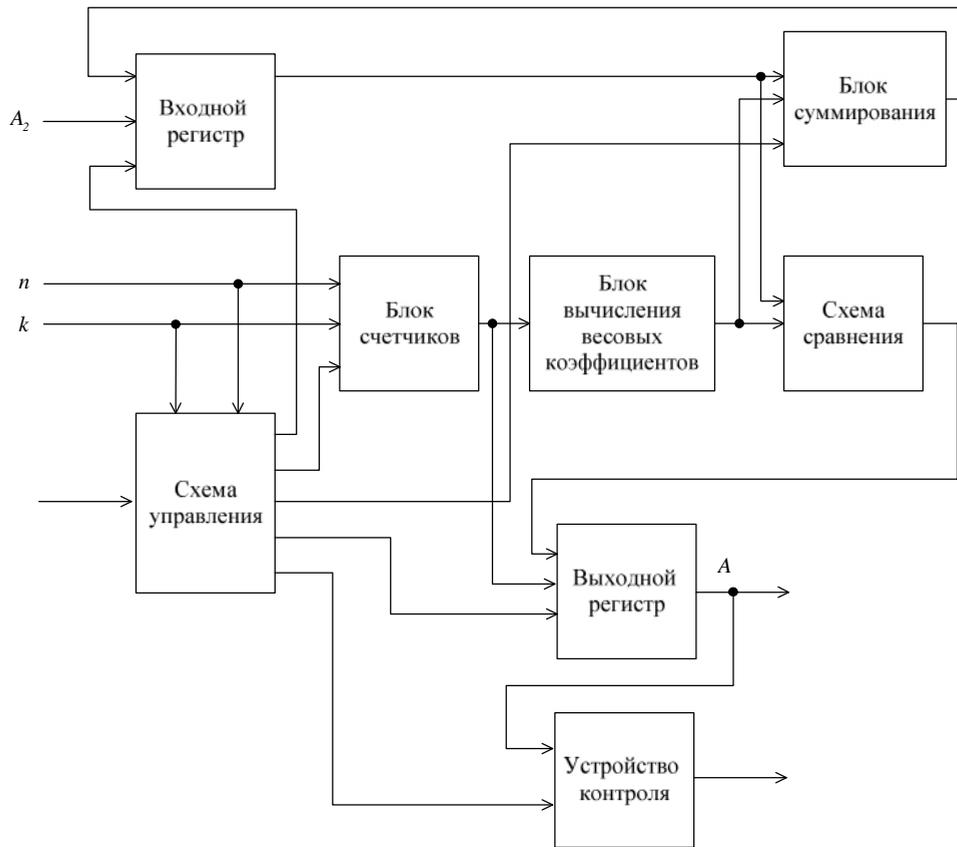


Рисунок 6 – Устройство кодирования МБК

Устройство кодирования построено на основе известного устройства [4]. По сигналу "Запись" исходное двоичное сообщение A_2 записывается во входной регистр, а значения параметров n и k – в блок счетчиков. Далее происходит кодирование двоичного числа, используя принцип поразрядного взвешивания. Вес каждого разряда матричного числа определяется величиной биномиального коэффициента C_i^j . Сочетания формируются блоком весовых коэффициентов, который при подаче на одну группу входов значения i , а на другую значения j формирует на выходе значение C_i^j . В качестве такого преобразователя может быть использовано ПЗУ, в котором записана весовая матрица. Для перебора весовых коэффициентов используется блок счетчиков.

В схеме сравнения происходит сравнение вычисленного в блоке вычисления весового коэффициента C_i^j разряда x_{ij} с двоичным числом A_2 . При положительном значении разности или при равенстве ее нулю разряду x_{ij} матричного числа присоединяется значение «1», при отрицательном - значение «0». Эту функцию выполняет схема сравнения, в качестве которой может использоваться цифровой компаратор. Далее определяется остаток полученной разности. При положительном значении остатка он заносится во входной регистр, и производится переход к следующему старшему столбцу матрицы весовых

коэффициентов $j = j + 1$. При отрицательном остатке происходит переход к верхней строке того же столбца таблицы весовых коэффициентов $i = i - 1$. Процедура сравнения выполняется до тех пор, пока остаток не станет равным нулю. После этого в выходном регистре будет находиться матричное биномиальное число $A_{МБЧ}$. При возникновении ошибки устройство контроля установит флаг «ошибки».

МЕТОД ОПТИМИЗАЦИИ МАТРИЧНЫХ БИНОМИАЛЬНЫХ КОМПОНЕНТОВ

Для применения матричных биномиальных компонентов на практике необходимо решить задачу их оптимизации, которая состоит в минимизации аппаратных затрат при одновременном обеспечении заданной помехоустойчивости. Данная задача решается подбором параметров n и k матричного кода. Метод оптимизации состоит в следующем.

Шаг 1. Ввод заданных аппаратных затрат Q_3 , заданного количества кодовых состояний N_3 , заданной помехоустойчивости V_3 и вероятностей ошибки p_{10} и p_{01} .

Шаг 2. В биномиальном прямоугольнике производится выбор биномиального коэффициента с параметрами $i = k$, равного или максимально близкого большего N . Если выбранный коэффициент C_{n+1}^k равен N_3 , $C_{n+1}^k = N_3$, то переход к 4, если $C_{n+1}^k > N_3$, то переход к 3.

Шаг 3. Оптимизация параметров. Происходит переход на строку выше от выбранного биномиального коэффициента, и в ней производится просмотр коэффициентов по величине не больше выбранного $C_{i-1}^k \geq C_{i=k}^k$. Если один из просмотренных коэффициентов по величине находится ближе к N_3 , то он становится выбранным. После этого производится переход к 4.

Шаг 4. Переход от биномиального коэффициента C_{k+i}^k к параметрам k и $n = (i + k - 1)$ матричного компонента.

Шаг 5. Расчет помехоустойчивости V согласно найденным n и k и вероятностям ошибки p_{10} и p_{01} .

Шаг 6. Проверка. При $V \leq V_3$ переход к 8, иначе - к 7.

Шаг 7. Оптимизация параметров для обеспечения помехоустойчивости. При $p_{10} = p_{01}$ или $p_{10} < p_{01}$ принимается $i = i - 1$. При $p_{10} > p_{01}$ принимается $i = i + 1$. Выбор биномиального коэффициента C_{k+i}^k с параметром i , равного или максимально близкого большего N_3 . Переход к 4.

Шаг 8. Вывод параметров n и k . Останов.

ВЫВОДЫ

В статье получили дальнейшее развитие методы счета и преобразования, а также впервые предложен метод дешифрации матричных биномиальных чисел. Предложены методы синтеза счетных устройств, дешифраторов и устройств кодирования. Впервые предложен метод оптимизации матричных биномиальных компонентов.

SUMMARY

COMPONENTS OF SPECIALIZED DIGITAL DEVICES BASED ON MATRIX BINOMIAL NUMBERS

V.V. Petrov

In this paper methods of counting and conversion of matrix binomial numbers were developed and method of decoding of the numbers was proposed. Methods of synthesis of computing devices, decoders, encoders and methods of their optimization were proposed.

СПИСОК ЛИТЕРАТУРЫ

1. Петров В.В. Синтез устройства контроля матричных биномиальных автоматов / В.В. Петров // Вісник Сумського державного університету. – 2010. – № 1. – С. 30-36.
2. Борисенко А.А. Введение в теорию биномиального счета/ А.А. Борисенко. - Сумы: ИТД «Университетская книга», 2004. - 88 с.
3. Петров В. В. Матричные биномиальные числа с проверкой на четность / В. В. Петров // Вісник Сумського державного університету. – 2011. – № 2. – С. 106-111.
4. Борисенко А. А. Биномиальный счет и счетчики: монография. - Сумы: Изд-во Сум ДУ, 2008. - 152 с.

Поступила в редакцию 21 сентября 2011 г.