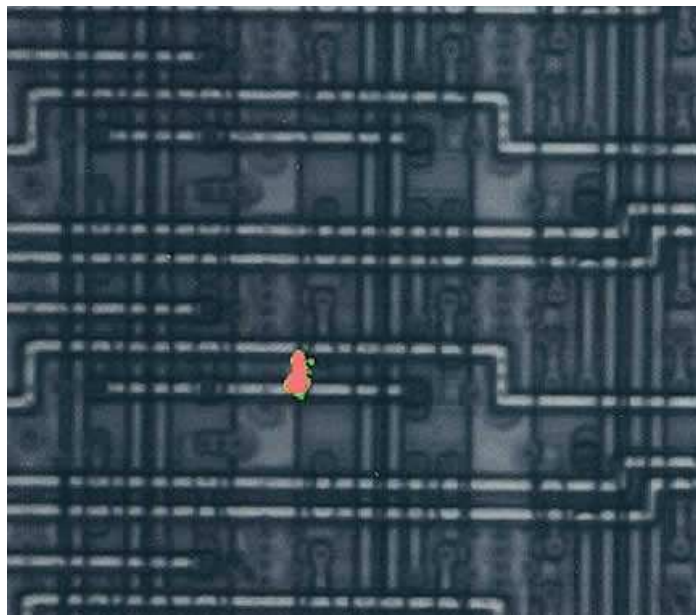


UAB



Desarrollo de un simulador para el estudio de la ruptura dieléctrica en circuitos CMOS



Memoria del Proyecto Final de Carrera de titulación Ingeniería Electrónica realizado por Jose Carlos Vileta Incausa y dirigido por Montserrat Nafria Maqueda y Javier Martín Martínez
Bellaterra, Septiembre de 2011

Montserrat Montserrat Nafria Maqueda y Javier Martín Martínez, profesores de l'Escola d'Enginyeria de la Universitat Autònoma de Barcelona (UAB),

CERTIFICAN:

Que el trabajo presentado en esta memoria de Proyecto Final de Carrera ha sido realizado bajo su dirección por el alumno *Jose Carlos Vileta Incausa*.

Y, para que conste a todos los efectos, firman el presente certificado.

Bellaterra, 9 de septiembre de 2011

Montserrat Nafria Maqueda

Javier Martín Martínez

ÍNDICE

1	Introducción.....	6
2	Antecedentes.....	9
3	La Ruptura Dieléctrica.....	10
3.1	Definición de ruptura dielectrica general	10
3.2	La ruptura dielectrica en tecnologia CMOS	12
3.2.1	Modelo percolativo.....	12
3.3	Probabilidad de ruptura dielectrica.....	14
3.3.1	Dependencias de parámetros con las características del transistor.....	15
3.4	Modos de ruptura.....	16
4	Simulación de un circuito con un solo transistor.....	18
4.1	Diseño y resultados.....	22
4.1.1	Ejemplo básico: Inversor NMOS	22
4.1.2	Calculo de las tensiones en los terminales del MOSFET	23
4.2	Calculo del tiempo de estres.....	26
4.2.1	Análisis analógico	27
4.2.2	Análisis digital.....	29
4.2.3	Resultados código.....	33
4.3	Analisis de un transistor con picos de tensión.....	37
4.4	Conclusiones de los dos analisis.....	39
5	Simulación de un circuito con más de un transistor	41
5.1	Circuito analizado y resultados de la simulación	42
5.1.1	Entradas y salida.....	43
5.1.1	Circuito completo	45
5.1.2	Simulación con Spice OPUS	46
5.2	Evaluación del estrés de los transistores.....	50
5.2.1	Diagrama de flujo del código	51
5.2.2	Visualización de los resultados	56
5.3	Conclusiones.....	59
6	Calculo de la Probabilidad de ruptura	61
6.1	Explicación del código implementado	61
6.1.1	Análisis de resultados	65
7	Analisis de varios circuitos.....	68
7.1	Puerta XOR	68
7.1.1	Esquemático del circuito	69
7.1.2	Entradas y salida.....	69
7.1.3	Resultado del análisis de fiabilidad	72
7.1.4	Probabilidad de ruptura	76
7.2	conjunto de inversores en serie.....	78
7.2.1	Resultado del análisis de fiabilidad	81
8	Bibliografia.....	87
9	Conclusión.....	88
10	Resumen/Resum/Summary	89

ÍNDICE DE FIGURAS

Figura 1. Diagrama de flujo mostrando la visión general del proyecto	6
Figura 2. Explicación Modelo percolativo	13
Figura 3. Tiempos de ruptura normalizados obtenidos al estresar a diferentes tensiones óxidos de diferentes grosores	14
Figura 4. Evolución del incremento de la corriente de puerta sometido a estrés (tesis)	17
Figura 5. Diagrama de flujo general	19
Figura 6. Esquema de circuito inversor utilizado para realizar la simulación.....	22
Figura 7. Variables que crea el código Spice OPUS	23
Figura 8. Tensión obtenida del transistor entre puerta-fuente, puerta-drenador y puerta-sustrato para el circuito de la figura 6.....	25
Figura 9. Diagrama de flujo análisis analógico	28
Figura 10. Diagrama de flujo análisis digital	30
Figura 11. Resultado del número de rupturas dieléctricas producidas en el transistor del inversor	33
Figura 12. Tensiones obtenidas de un transistor en un circuito complejo entre puerta-fuente, puerta-drenador y puerta-sustrato	37
Figura 13. Circuito complejo de puertas lógicas formado por transistores basados en tecnología CMOS.	42
Figura 14. Osciladores digitales en las entradas para determinar A y B	43
Figura 15. Evolución en el tiempo de las entradas A y B del circuito anterior.....	43
Figura 16. Salida OUT	44
Figura 17. Esquema completo circuito de puertas lógicas	45
Figura 18. Variables que crea el código Spice OPUS	47
Figura 19. Tensión obtenida del transistor 3 entre puerta y fuente	48
Figura 20. Tensión obtenida del transistor 3 entre puerta y sustrato.....	48
Figura 21. Tensión obtenida del transistor 3 entre puerta y drenador	49
Figura 22. Diagrama de flujo análisis analógico circuito de uno/varios transistores.....	51
Figura 23. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Fuente de cada uno de los transistores	56
Figura 24. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Sustrato de cada uno de los transistores	57
Figura 25. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Drenador de cada uno de los transistores	57
Figura 26. Numero de rupturas producidas en 10 iteraciones en todos los transistores (máximo 1 ruptura por iteración)	58
Figura 27. Los transistores que más sufren rupturas dieléctricas de todo el circuito (rodeados por un cuadrado rojo).....	59
Figura 28. Diagrama de flujo código “probruptura”	63
Figura 29. Probabilidad de ruptura del circuito basado en puertas lógicas	65
Figura 30. Representación de Gumbel de los tiempos de ruptura normalizados de la grafica correspondiente a la figura 29	67
Figura 31. Símbolo puerta XOR.....	68
Figura 32. Esquema del circuito XOR.....	69
Figura 33. Evolución en el tiempo de las entradas A y B del circuito XOR.....	69
Figura 34. Salida OUT del circuito XOR.....	70
Figura 35. Esquema de circuito completo que representa una puerta XOR.....	71

Figura 36. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Fuente de cada uno de los transistores (Puerta XOR).....	72
Figura 37. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Sustrato de cada uno de los transistores (Puerta XOR).....	73
Figura 38. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Drenador de cada uno de los transistores (Puerta XOR).....	73
Figura 39. Numero de rupturas producidas en 10 iteraciones en todos los transistores (Puerta XOR).....	74
Figura 40. Representación mostrando los puntos débiles del circuito XOR.....	75
Figura 41. Probabilidad de ruptura del circuito XOR.....	76
Figura 42. Representación de Gumbel de los tiempos de ruptura normalizados del circuito XOR.....	77
Figura 43. Distribución puertas lógicas NOT en serie.....	78
Figura 44. Evolución en el tiempo de la entrada A del circuito NOT en serie.....	78
Figura 45. Salida OUT del circuito NOT en serie.....	79
Figura 46. Esquema del circuito NOT en serie formado por 40 inversores en serie.....	80
Figura 47. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Fuente de cada uno de los transistores (NOT en serie).....	81
Figura 48. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Sustrato de cada uno de los transistores (NOT en serie).....	82
Figura 49. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Drenador de cada uno de los transistores (NOT en serie).....	82
Figura 50. Numero de rupturas producidas en 10 iteraciones en todos los transistores (NOT en serie).....	83
Figura 51. Representación mostrando los puntos débiles del circuito basado en inversores en serie.....	84
Figura 52. Probabilidad de ruptura del circuito NOT en serie.....	85
Figura 53. Representación de Gumbel de los tiempos de ruptura normalizados del circuito 2.....	86

ÍNDICE DE TABLAS

Tabla 1. Tabla de la verdad circuito inversor.....	22
Tabla 2. Tabla con el tiempo de simulación, la tensión VGS, VGB y VGD.....	24
Tabla 3. Resultados obtenidos en varias simulaciones de ruptura dieléctrica.....	35
Tabla 4. Resultados obtenidos en el análisis digital y analógico con circuitos donde aparecen picos de tensión.....	38
Tabla 5. Ventajas e inconvenientes de los análisis digital y analógico.....	39
Tabla 6. Tabla de la verdad circuito complejo de varios transistores.....	42
Tabla 7. Estados de la gráfica comparados con estados de la tabla de la verdad.....	44
Tabla 8. Tabla contador de rupturas dieléctricas.....	52
Tabla 9. Fragmento de la tabla “testres”.....	61
Tabla 10. Fragmento de la tabla “xruptura”.....	62
Tabla 11. Valores de probabilidades de ruptura respecto el tiempo.....	66
Tabla 12. Tabla de la verdad puerta XOR.....	68
Tabla 13. Varios resultados probabilidad de ruptura circuito XOR.....	76
Tabla 14. Varios resultados probabilidad de ruptura circuito NOT en serie.....	85

1 INTRODUCCIÓN

El objetivo principal de este proyecto es el de implementar un simulador que permita localizar posibles problemas de fiabilidad y calcular la probabilidad de que componentes de un circuito CMOS implementado con transistores dejen de funcionar debido al fenómeno de la ruptura dieléctrica.

Para localizar las posibles rupturas se mostraran diferentes posibilidades de obtener los tiempos de estrés (necesario para calcular la probabilidad) y las ventajas e inconvenientes de cada una de ellas. También se mostraran las diferencias de código adaptadas a cada uno de los circuitos y los cambios necesarios en código si se desean implementar nuevas funciones (como iteraciones en el análisis de un mismo circuito).

Además de localizar las rupturas también se diseñará un código que permita calcular la probabilidad de que exista una ruptura dieléctrica en un punto del circuito.

En el siguiente diagrama de flujo aparece una visión general del objetivo del proyecto:

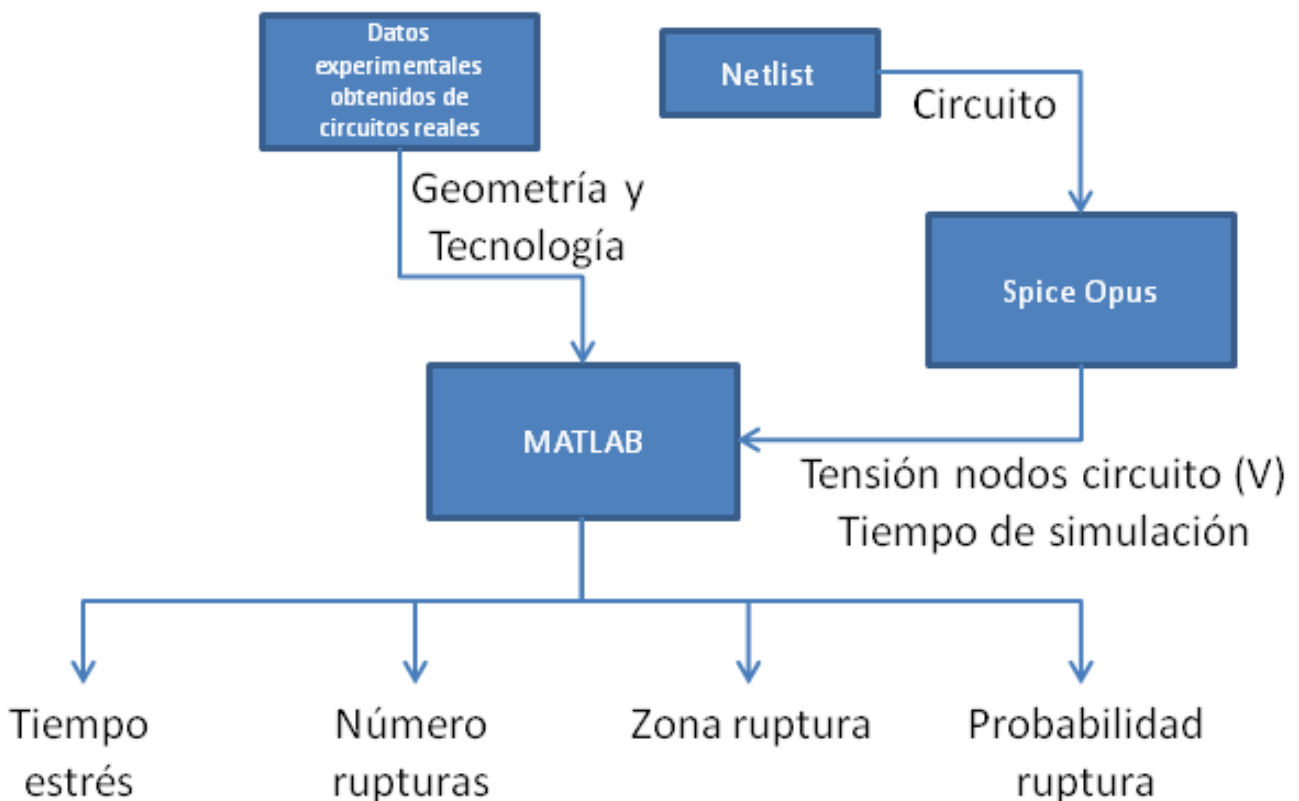


Figura 1. Diagrama de flujo mostrando la visión general del proyecto

El proceso llamado MATLAB es el que se implementará en este proyecto, como se puede apreciar tiene como entradas:

- La geometría y la tecnología de anteriores estudios sobre dispositivos MOS reales testeados en un laboratorio;
- Tiempo de simulación y tensión de los nodos del circuito obtenidos de una simulación desde el programa Spice Opus.

Con estos datos y la herramienta que se diseñará se obtendrá finalmente el tiempo de estrés, el número de rupturas de cada uno de los transistores, las zonas donde se produce la ruptura dentro del transistor y la probabilidad de que se produzca una ruptura.

La memoria está compuesta por los siguientes apartados:

Introducción

Resumen de los objetivos del proyecto y partes de que se compone el proyecto.

Antecedentes

Introducción de la situación actual y motivos para desarrollar el proyecto.

La ruptura dieléctrica

En este capítulo se da una visión teórica del fenómeno, para entender mejor cada uno de los conceptos utilizados en el proyecto.

Simulación de un circuito con un solo transistor

Diseño de un circuito con un transistor, análisis código SPICE OPUS, análisis digital para calcular rupturas, análisis analógico para calcular rupturas y conclusiones de los dos análisis analógico y digital.

Simulación de un circuito con dos o más transistores

Diseño de un circuito con puertas lógicas (varios transistores), explicación componentes del circuito, análisis código Spice Opus y análisis del código de análisis analógico optimizado para estos circuitos. Finalmente se sacarán conclusiones sobre las partes del circuito más susceptibles a sufrir una ruptura dieléctrica.

Circuito Probabilidad ruptura

En este capítulo se diseñará un código que permita calcular la probabilidad de que existan estas rupturas dieléctricas en circuitos complejos ayudándose de los resultados obtenidos en el anterior capítulo.

Análisis varios circuitos

En este apartado se analizarán varios circuitos con el objetivo de determinar los dispositivos más débiles y susceptibles de sufrir una ruptura dieléctrica.

Bibliografía

Recoge las fuentes que se han utilizado como consultas para realizar cada uno de los apartados del proyecto.

Conclusión

Una vez finalizado el proyecto, este apartado muestra la utilidad de dicho proyecto de cara a futuros proyectos o proyectos ya en curso.

Resumen

Este apartado recoge un extracto del contenido del proyecto en tres idiomas: Castellano, catalán e inglés.

2 ANTECEDENTES

Actualmente en los estudios de fiabilidad realizados sobre transistores CMOS se ahonda principalmente en las causas de ruptura o pérdida de funcionamiento óptimo en un transistor individual.

Este proyecto surge para dar soporte a un proyecto mucho más ambicioso de evaluación de fiabilidad de circuitos de dos o más transistores, que es lo que se va a dar realmente en la práctica. Una vez realizado el simulador se pueden llegar a sacar conclusiones y obtener los posibles puntos débiles en cualquier circuito basado en tecnología CMOS. Además de calcular la probabilidad de que se produzca una ruptura y así definir el tiempo de vida del circuito.

3 LA RUPTURA DIELECTRICA

En este capítulo mostraré una visión teórica de todo lo que se expondrá más adelante, para tener una idea de los conceptos que aparecen durante la memoria.

3.1 DEFINICIÓN DE RUPTURA DIELECTRICA GENERAL

Un campo eléctrico da lugar a pequeños desplazamientos de las cargas ligadas en las moléculas del dieléctrico. Si el campo eléctrico es muy fuerte, puede extraer a los electrones de las moléculas, que se aceleraran bajo la acción del campo eléctrico.

De este modo, el dieléctrico se puede volver conductor, dando lugar a corrientes muy grandes. Este fenómeno se conoce como ruptura dieléctrica. El campo eléctrico máximo que puede resistir un material dieléctrico sin que se produzca ruptura recibe el nombre de rigidez dieléctrica del material o campo de ruptura. Por ejemplo, para el aire, a presión atmosférica, la rigidez dieléctrica es de 3MV/m.

Si el campo eléctrico al que se ve sometido un dieléctrico supera un valor crítico E_c , las corrientes eléctricas, normalmente muy pequeñas, se incrementan rápidamente dando lugar a la ruptura dieléctrica del material. Este campo crítico fija el límite de utilización del material como aislante.

La ruptura dieléctrica puede ser reversible, el material recupera su carácter aislante al bajar de E_c ó irreversible cuando ya no se recupera el carácter aislante. Destacar el hecho de que E_c no es un parámetro intrínseco del material sino que depende además de otros factores extrínsecos tales como geometría de muestra, proceso de fabricación ó entorno del material.

Se distinguen cuatro mecanismos principales de ruptura dieléctrica:

- Ruptura electrónica: El origen de la inestabilidad es el propio campo eléctrico, que provoca ya sea el aumento de la movilidad de los portadores o el incremento en el número de portadores mediante procesos de ionización atómica seguidos de procesos de avalancha. El aumento de corriente es debido al aumento de la concentración de electrones en la banda de conducción como consecuencia de un proceso de ionización de los átomos de la red por electrones altamente acelerados por el campo.
- Ruptura térmica: Se caracteriza por un aumento de temperatura del material debido a que el calor disipado por la muestra es menor que el calor producido por efecto Joule de las corrientes de fuga al aplicar el campo eléctrico. El aumento de temperatura provoca a su vez un aumento de la conductividad eléctrica del material aislante y en consecuencia de la corriente que circula a su través retroalimentando el efecto y dando lugar en poco tiempo a la ruptura dieléctrica. El aumento de temperatura y, por tanto la condición de ruptura, depende del equilibrio entre la velocidad con la que se genera el calor y la velocidad con la que éste es disipado.
- Ruptura iónica: El proceso se inicia por un movimiento de los iones de la red bajo la acción de los fuertes campos aplicados. Este proceso ha sido postulado para óxidos anódicos en los cuales el campo de ruptura dieléctrica coincide con el campo eléctrico necesario para la formación del óxido independientemente del espesor de la muestra.
- Ruptura por descargas de gas: El aislante suele contener en su interior burbujas de gas con un E_c cercano a los 10^6 V/m, menor que el generalmente requerido para la ruptura dieléctrica del material. El gas se ioniza primero provocando la inyección de electrones energéticos en el material y acelerando el proceso de ruptura.

La distinción entre los diferentes mecanismos de ruptura dieléctrica tiene sentido al inicio del proceso ya que, una vez comenzado éste, se suele dar una superposición de mecanismos que concluyen en última instancia con un fuerte aumento de la temperatura y una fusión ó descomposición del material.

3.2 LA RUPTURA DIELECTRICA EN TECNOLOGIA CMOS

Hasta ahora se ha explicado la definición de ruptura dieléctrica en general, por ejemplo aplicado a condensadores. A continuación se explicará la ruptura dieléctrica concretamente para dispositivos fabricados con tecnología CMOS.

En el caso circuitos fabricados con tecnología CMOS, la ruptura dieléctrica aparece al someter al óxido de puerta de una estructura MOS a un elevado campo eléctrico vertical, y se manifiesta por la pérdida de las propiedades aislantes del dieléctrico.

Cuando se aplica estrés eléctrico (es decir, tensiones o corrientes elevadas) a óxidos 'gruesos', entre 10nm y 3nm, previamente a la ruptura dieléctrica se observa un progresivo aumento de la corriente túnel que atraviesa el dieléctrico. Este fenómeno se denomina SILC (Stress Induced Leakage Current), y pone de manifiesto que el estrés eléctrico degrada las propiedades del óxido.

Para estreses suficientemente largos en el tiempo o a campos eléctricos muy intensos, posteriormente a la corriente SILC se produce la ruptura dieléctrica, cuyo principal efecto es un fuerte aumento de la corriente a través del óxido, que puede llegar a ser superior en varios órdenes de magnitud respecto la corriente obtenida en la muestra 'fresca', es decir, antes de aplicar el estrés eléctrico. El cambio en las propiedades eléctricas del óxido después de la ruptura puede provocar el fallo del transistor o incluso del circuito, y por lo tanto, el tiempo que tarda en producirse (t_{BD}) puede suponer una limitación a su tiempo de vida.

Un modelo ampliamente aceptado que describe el proceso de la ruptura dieléctrica en los dieléctricos de puerta de estructuras MOS es el modelo percolativo, que si bien no esclarece los mecanismos físicos que la provocan, sí que es capaz de describir el fenómeno de forma sencilla y precisa.

3.2.1 Modelo percolativo

El modelo percolativo asume que, si un óxido está sometido a un estrés eléctrico, se generan trampas en posiciones aleatorias de su interior. Según el modelo, la ruptura dieléctrica se produce cuando las trampas crean un camino conductor que une las dos interfaces del dieléctrico (figura 1). Se dice entonces que se ha creado el camino percolativo.

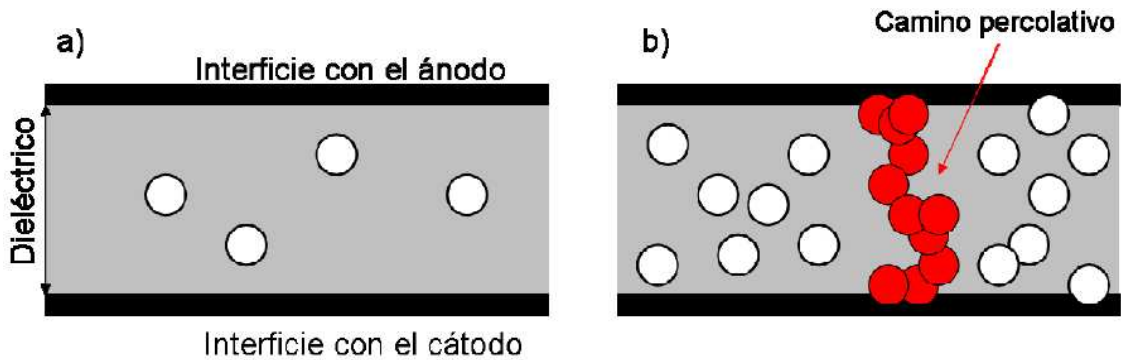


Figura 2. Explicación Modelo percolativo

El modelo percolativo es capaz de explicar importantes observaciones experimentales. Por ejemplo, la aparición de la corriente SILC puede entenderse según el modelo de la siguiente forma: durante el estrés eléctrico, y antes de producirse la formación del camino percolativo, las trampas distribuidas uniformemente en el volumen del óxido facilitan la conducción túnel entre las dos interfaces del dieléctrico (por túnel asistido por trampas), y por lo tanto, se produce un aumento de la corriente, característico de la SILC.

Otro aspecto que el modelo percolativo es capaz de explicar es la naturaleza extremadamente local de la ruptura dieléctrica. Después de producirse la ruptura, la mayor parte de la corriente circula por un área muy reducida del dieléctrico. En el modelo percolativo el carácter local de la ruptura aparece de forma natural, ya que la conducción se produce mayoritariamente a través del camino percolativo, debido a que la conductividad en él es mayor que la del dieléctrico. Por lo tanto, la conducción quedará localizada en un área del orden del diámetro de las trampas, que algunos trabajos establecen entre 1-2nm.

La aportación más relevante del modelo percolativo es la descripción de la distribución estadística del tiempo de ruptura, puesto que resulta fundamental un conocimiento preciso de la probabilidad de que ésta se produzca para determinar correctamente el tiempo de vida de dispositivos y circuitos.

El modelo percolativo, mediante simulaciones por ordenador, permite calcular la densidad trampas crítica, es decir, la densidad de trampas que debe haber en el interior del óxido para que se produzca la ruptura dieléctrica, que, en condiciones de estrés constante, es proporcional al tiempo de ruptura (t_{BD}).

Según el modelo, Dot_{crit} (igual que t_{BD}) sigue una distribución estadística de Weibull. Debido a la importancia que tiene la distribución estadística de tiempos de ruptura en el estudio de la fiabilidad de sistemas electrónicos, posteriormente se realizará una descripción detallada de la misma, incidiendo en cómo se ve afectada por las características del transistor o sus condiciones de trabajo.

3.3 PROBABILIDAD DE RUPTURA DIELECTRICA

En este apartado se explica cómo contribuye la distribución estadística de Weibull en el análisis de la fiabilidad (en concreto de la ruptura dieléctrica) de circuitos basados en tecnología CMOS.

Según el modelo percolativo, debido al carácter aleatorio de la generación de las trampas en el interior del dieléctrico durante el estrés eléctrico, el tiempo de ruptura sigue la distribución estadística de Weibull, cuya forma funcional es:

$$F(t) = 1 - \exp\left[-\left(\frac{t}{\eta}\right)^\beta\right] \quad \text{ec. 1}$$

Donde $F(t)$ es la función acumulada de fallos, t es la variable aleatoria, β es el parámetro de forma, comúnmente llamado pendiente de Weibull, que es un indicativo de la dispersión, y η es el factor de escala, que se corresponde con el valor de t para el que la probabilidad del suceso es de aproximadamente el 63%. De la anterior ecuación se puede deducir fácilmente la relación siguiente:

$$\ln[-\ln(1 - F(t))] = \beta \cdot \ln(t) - \beta \cdot \ln(\eta) \quad \text{ec. 2}$$

Que indica que si se representa $\ln[-\ln(1 - F(t))]$ frente a $\ln(t)$ se obtiene una línea recta cuya pendiente es β , y que además pasa por 0 para $t = \eta$. En los estudios de ruptura dieléctrica suele ser común representar la distribución acumulada de tiempos de ruptura según la anterior ecuación en lo que se denomina representación de Gumbel o en escala de Weibull. Un ejemplo se muestra en la figura 3 donde se representan varias distribuciones de tiempos de ruptura normalizados obtenidas al estresar óxidos de espesores comprendidos entre 1.7nm y 7.8nm, a diferentes tensiones de estrés.

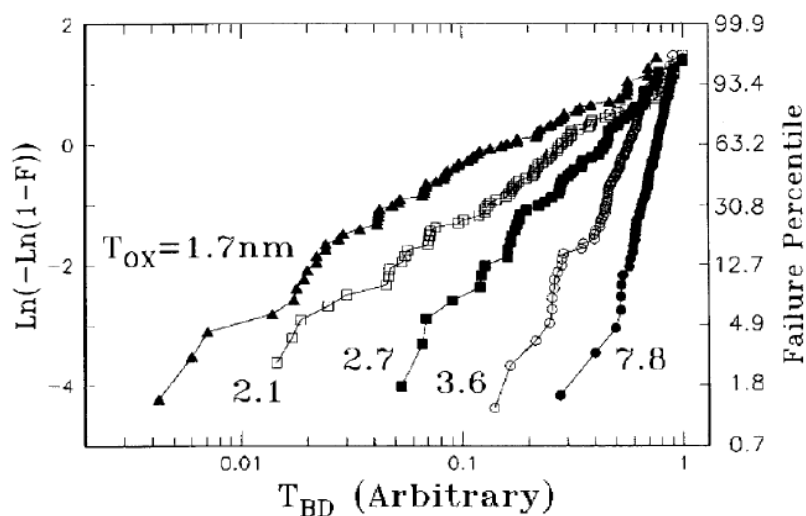


Figura 3. Tiempos de ruptura normalizados obtenidos al estresar a diferentes tensiones óxidos de diferentes grosores

La anterior figura muestra que la distribución de tiempos de ruptura es lineal cuando se representa en escala Weibull, indicando que efectivamente puede describirse según la distribución probabilística de Weibull. Además, las diferentes distribuciones que se muestran en la anterior figura ponen de manifiesto que los parámetros β y η pueden depender fuertemente de las condiciones de estrés, o de las características de las muestras, como el espesor del óxido en este ejemplo. Por lo tanto, para estimar la probabilidad de que se produzca la ruptura dieléctrica en las condiciones de operación de un circuito, es fundamental caracterizar adecuadamente los parámetros Weibull del tiempo de ruptura en función de las características de los transistores y de sus condiciones de trabajo.

3.3.1 Dependencias de parámetros con las características del transistor

En este apartado se explican las dependencias que tienen los parámetros de la distribución de Weibull con las diferentes características del transistor, ya sea Área, tensión aplicada, y también de parámetros como la temperatura, etc.

Se ha visto que el valor de β se reduce a medida que disminuye el grosor del óxido, tal y como predice el modelo percolativo, indicando que el escalado de los transistores aumenta la dispersión de tiempos de ruptura.

En cuanto al efecto del área de los transistores en los parámetros Weibull, se ha visto que β no se ve afectada por las dimensiones del transistor, mientras que η aumenta cuando se reduce el área del dispositivo, según la siguiente ecuación:

$$\frac{\eta(A_1)}{\eta(A_2)} = \left(\frac{A_2}{A_1} \right)^{1/\beta} \quad \text{ec. 3}$$

Donde $\eta(A_1)$ y $\eta(A_2)$ son los factores de escala de las distribuciones Weibull que describen los tiempos de ruptura obtenidos en dispositivos de áreas A_1 y A_2 respectivamente, y por lo tanto, indican el tiempo para el que se obtiene el 63% de las rupturas.

También se ha estudiado en profundidad la dependencia de los parámetros Weibull con la tensión de estrés, ya que disponer de un modelo que la describa correctamente es indispensable para predecir la fiabilidad a la tensión de operación del dispositivo.

$$\frac{\eta(V_1)}{\eta(V_2)} = \left(\frac{V_1}{V_2} \right)^{-n} \quad \text{ec. 4}$$

Donde $\eta(V1)$ y $\eta(V2)$ son los tiempos para los que se obtienen el 63% de las rupturas en dispositivos estresados a las tensiones $V1$ y $V2$ respectivamente y n es un parámetro que depende de la tecnología. Un valor preciso del exponente n es fundamental para realizar extrapolaciones fiables del tiempo de ruptura a campos bajos.

Para realizar predicciones de fiabilidad concernientes al tiempo de ruptura, tan importante como la dependencia de los parámetros Weibull con la tensión o la geometría del dispositivo es la dependencia con la temperatura, ya que circuitos diseñados en la misma tecnología pueden operar a temperaturas diferentes en función de su aplicación. Los estudios realizados en este campo muestran que la pendiente de Weibull es independiente de la temperatura. Actualmente no existe un modelo consensuado que describa la dependencia de η con la temperatura, a pesar de que se ha destacado su importancia no sólo para realizar estudios de fiabilidad, sino también para investigar los mecanismos físicos que intervienen en el proceso de ruptura.

El tiempo de ruptura de un dispositivo, funcionando en las condiciones de operación, se puede estimar a partir de las dependencias de los parámetros Weibull que describen la estadística de los tiempos de ruptura. Sin embargo, no es condición suficiente para establecer criterios de fiabilidad de un circuito ya que algunos circuitos digitales pueden seguir operando correctamente incluso después de varias rupturas.

Este resultado indica que establecer una relación unívoca entre el tiempo de ruptura dieléctrica en el dispositivo y el fallo del sistema puede dar lugar a estimaciones de fiabilidad imprecisas. Por lo tanto, es tan importante conocer el tiempo en el que se produce la ruptura en el dispositivo como conocer el impacto que ésta va a tener en la respuesta del sistema, pero para ello es necesario estudiar el efecto de la corriente de post-ruptura a través de la puerta en las prestaciones del circuito.

3.4 MODOS DE RUPTURA

En los estudios realizados sobre ruptura dieléctrica en los que se utilizaban dieléctricos 'gruesos', con espesores entre 10nm y 5nm, el método de caracterización del fenómeno era relativamente simple: el óxido se sometía a estreses eléctricos hasta que se producía un rápido aumento de la corriente de puerta, que indicaba el momento en el que se produce la ruptura.

Cuando se comenzaron a aplicar estreses eléctricos sobre óxidos con espesores ≤ 5 nm, se observó que, previamente a la ruptura dieléctrica, aparecen inestabilidades en la corriente que atraviesa el óxido.

El fenómeno se asoció a un nuevo modo de ruptura, que se denominó ruptura Soft (SBD), para distinguirla de la entonces ya bien conocida ruptura 'catastrófica', que pasó a denominarse ruptura Hard (HBD). Con el descubrimiento de la ruptura SBD, el supuesto, hasta entonces bien

establecido, de que la ruptura dieléctrica implicaba necesariamente el fallo del dispositivo debería ser revisado, ya que la corriente de post-ruptura puede ser muy diferente según el modo de ruptura sea SBD o HBD.

Posteriormente, cuando se comenzó a estudiar la fiabilidad de óxidos con espesores $\leq 2.5\text{nm}$ apareció otro nuevo modo de ruptura, la ruptura progresiva (PBD), que se caracteriza por un aumento progresivo y ruidoso de la corriente, y que se manifiesta después de la ruptura SBD, finalizando en la ruptura HBD.

Como ejemplo, en la siguiente figura se muestra la evolución del incremento de la corriente en un óxido de 1.8nm de espesor sometido a estrés CVS, en el que se manifiestan los tres modos de ruptura SBD, PBD y HBD.

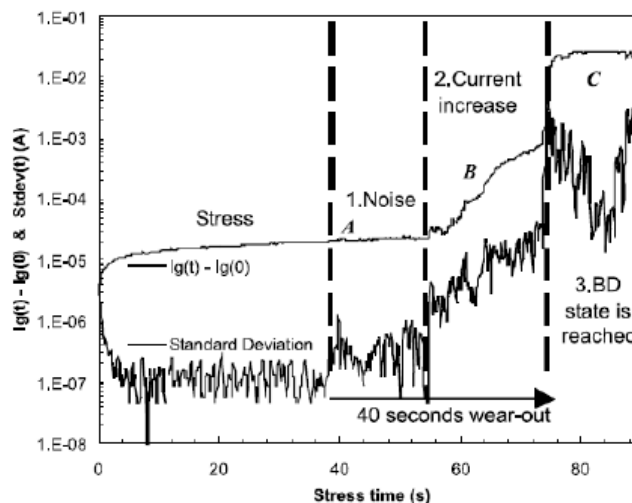


Figura 4. Evolución del incremento de la corriente de puerta sometido a estrés (tesis)

Después de un cierto tiempo de estrés, la corriente se vuelve más ruidosa (fase A), indicando la aparición de la ruptura SBD. Posteriormente la corriente aumenta paulatinamente (fase B) revelando la presencia del modo de ruptura PBD. Por último, se alcanza la ruptura HBD que se manifiesta por un aumento brusco de la corriente, que a partir de ese momento se mantiene aproximadamente constante (fase C).

En este capítulo se han presentado los conceptos asociados a la ruptura dieléctrica, cuáles son sus causas, la probabilidad de que ocurran y materiales utilizados para diseñar circuitos basados en tecnología microelectrónica.

En lo que sigue, se describirá la herramienta de simulación que se ha desarrollado para calcular el tiempo de estrés, las rupturas dieléctricas y la probabilidad de ruptura para cualquier circuito formado por transistores MOS.

4 SIMULACIÓN DE UN CIRCUITO CON UN SOLO TRANSISTOR

En el apartado anterior se ha realizado una revisión del fenómeno de la ruptura dieléctrica, la probabilidad de que ocurran y finalmente los materiales utilizados para diseñar circuitos basados en tecnología microelectrónica.

Este apartado se describirá el código que permita simular un circuito que contenga un único transistor, en este caso un inversor para obtener el tiempo de estrés, mediante el tiempo de estrés se calcularán a continuación las rupturas que pueden aparecer en cada una de las zonas que forman el transistor.

Se mostrara un ejemplo de código en Spice Opus y toda la información que se extrae de la simulación del circuito.

La descripción de un programa que sirve como base para extraer todos los parámetros del circuito Spice Opus tales como la longitud y la anchura del transistor (para calcular el área), el tipo de transistor (N o P).

Si utilizamos este programa junto con el código para simular el circuito Spice Opus se pueden obtener tensiones entre cada uno de los terminales del transistor.

Una vez obtenidas estas tensiones y toda la información del transistor se analizan mediante dos estrategias de código: un código que realice un análisis digital y uno que realice un análisis analógico.

Compararemos las mejoras e inconvenientes de cada uno de los dos códigos finalmente se escoge uno de los dos, que será el utilizado en futuras simulaciones con circuitos más complejos.

El objetivo es obtener el tiempo de estrés y las rupturas dieléctricas detectadas en las zonas del transistor que forma el circuito inversor NMOS.

En el siguiente diagrama de flujo se muestra un resumen de lo que se observará en el siguiente capítulo:

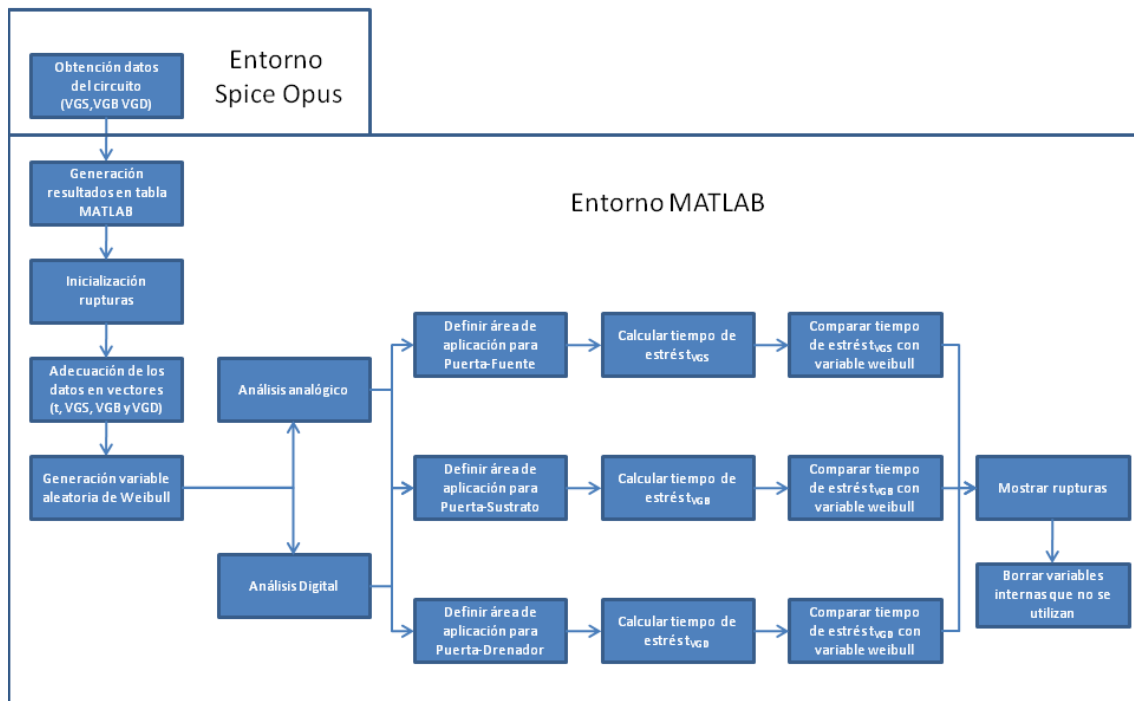


Figura 5. Diagrama de flujo general

- Obtención datos del circuito:

Esta tarea genera el circuito que más adelante se analizará, funciona en el entorno Spice OPUS y un programa diseñado para que muestre los parámetros del transistor.

- Generación resultados en tabla MATLAB:

Se genera una tabla compatible con MATLAB para poder trabajar con los resultados del circuito llamada “datos”

- Inicialización rupturas:

Esta tarea genera las variables que definirán si se ha producido ruptura dieléctrica y las inicializa a 0.

- **Adecuación de los datos en vectores:**

Los datos de tensiones que extrae el programa Spice Opus los muestra en una tabla, como explica el anterior apartado, esta tarea se encarga de separar los datos de la tabla que se separar en columnas, a los vectores siguientes: Vector de tiempo, de tensión puerta-fuente, tensión puerta-sustrato y tensión puerta-drenador.

- **Generación variable aleatoria de Weibull:**

Esta tarea genera un número aleatorio que sigue una distribución de Weibull que más adelante se comparará con el valor de estrés que sufre el transistor en cada uno de sus terminales.

En este caso se ha creado una variable aleatoria única para todo el transistor. En siguientes apartados se creará una variable aleatoria para cada una de las zonas del transistor y para cada uno de los transistores.

- **Análisis Analógico:**

Explicado en el apartado 4.2.1

- **Análisis Digital:**

Explicado en el apartado 4.2.2

- **Definición del área de aplicación para cada una de las zonas:**

Según la zona del transistor se define un área de aplicación del estrés, el valor no es exacto ya que depende del diseño físico del transistor, que puede variar. Los valores fijados son los siguientes:

- 10% del área de la puerta para el enlace puerta-drenador
- 80% del área de la puerta para el enlace puerta-sustrato
- 10% del área de la puerta para el enlace puerta-fuente

- **Calculo del tiempo de estrés para cada una de las zonas:**

Mediante la ecuación 5 (para el caso de análisis analógico) o la ecuación 6 (para el caso de análisis digital), los datos extraídos del programa Spice Opus y los parámetros del transistor, se calcula el tiempo de estrés en cada zona del transistor.

- **Comparación tiempo de estrés con variable de Weibull:**

En esta tarea se compara el tiempo de estrés con el valor de la variable aleatoria que sigue una distribución de Weibull. Pueden ocurrir dos casos:

- La variable aleatoria que sigue una distribución de Weibull es más grande que el tiempo de estrés para una de las zonas, entonces se considera que no se produce ruptura dieléctrica en esa zona en concreto del transistor.
- La variable aleatoria que sigue una distribución de Weibull es más pequeña que el tiempo de estrés para una de las zonas, entonces se considera que se produce ruptura dieléctrica en esa zona en concreto del transistor.

- **Mostrar rupturas:**

Muestra en pantalla las rupturas producidas en cada una de las zonas del transistor, más el tiempo de estrés en cada una de las zonas y la variable aleatoria de Weibull generada para realizar la comparación.

- **Borrado variables internas:**

Esta tarea elimina todas las variables que se han creado dentro del código que no son útiles ni aportan información al usuario, así no se mezclan con las variables importantes y se extraen conclusiones del circuito mucho más rápido.

4.1 DISEÑO Y RESULTADOS

Una vez determinados los parámetros necesarios para calcular la probabilidad de que se produzca una ruptura dieléctrica se procederá a implementar el simulador.

Inicialmente se necesita simular unos circuitos mediante programas como Spice Opus para verificar el funcionamiento del simulador.

En este caso se ha utilizado un circuito simple con un transistor (inversor). Una vez que se calcule la ruptura en un circuito con un transistor se pasará a calcularla en circuitos más complejos.

4.1.1 Ejemplo básico: Inversor NMOS

Este circuito se trata de un inversor y consta de un transistor tipo N. Su función es de invertir el valor de la entrada, que en este caso es una fuente pulsada (Figura 6).

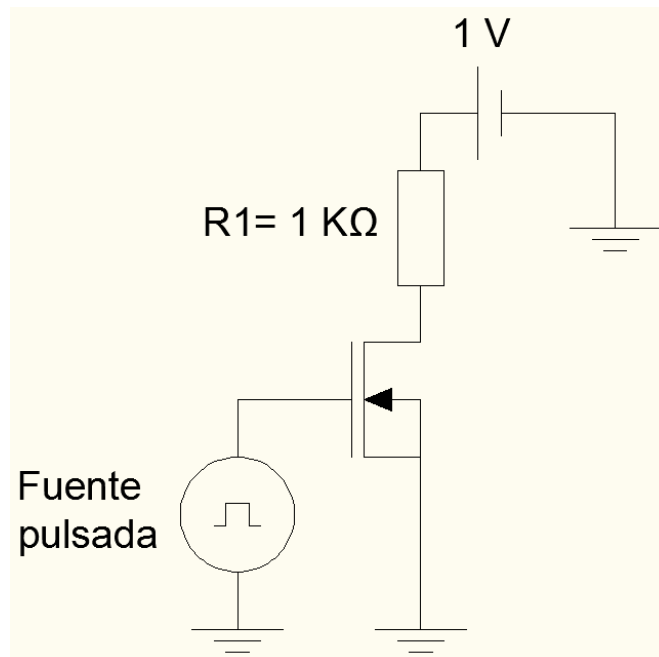


Figura 6. Esquema de circuito inversor utilizado para realizar la simulación

Su tabla de la verdad (Tabla 1):

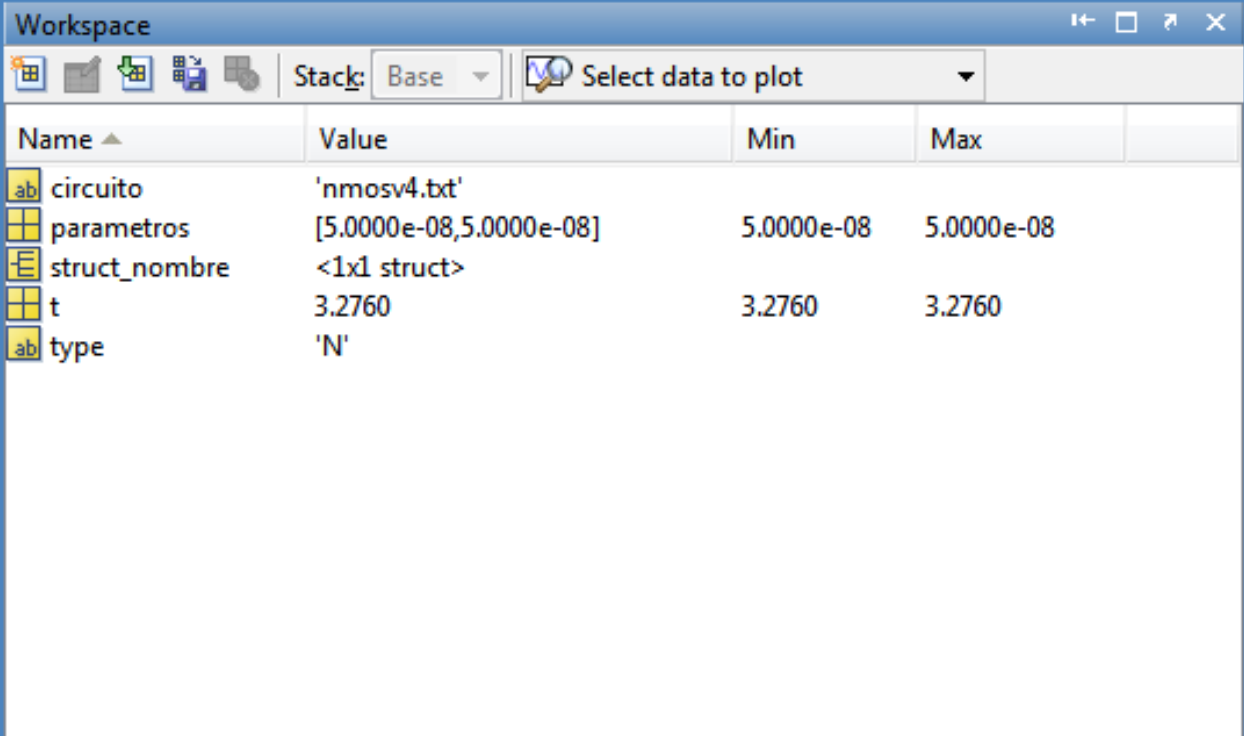
IN	OUT
0	1
1	0

Tabla 1. Tabla de la verdad circuito inversor

4.1.2 Cálculo de las tensiones en los terminales del MOSFET

Esta aplicación de Matlab lee el código SPICE para obtener información del circuito tal como por ejemplo las dimensiones del transistor, el tipo de transistor (N o P), etc. Estas variables pueden ser útiles para realizar cálculos como el tiempo de estrés, donde se necesita el área del transistor.

Algunos de los parámetros que extrae y que son útiles para futuros apartados se muestran en la figura 7.



Name	Value	Min	Max
circuito	'nmosv4.txt'		
parametros	[5.0000e-08,5.0000e-08]	5.0000e-08	5.0000e-08
struct_nombre	<1x1 struct>		
t	3.2760	3.2760	3.2760
type	'N'		

Figura 7. Variables que crea el código Spice OPUS

En la anterior figura aparecen las siguientes variables:

- **circuito:** Es el nombre del archivo donde se encuentra el código que define el circuito creado.
- **parámetros:** Los dos valores que se muestran en este apartado muestran la longitud y el ancho del transistor.
- **struct_nombre:** Muestra el nombre de cada uno de los transistores que forman el circuito
- **t:** Muestra el tiempo en segundos que ha tardado el ordenador en ejecutar el código del circuito y extraer todos los parámetros.

- **type:** Define el tipo de cada uno de los transistores que forman el circuito (N o P)

La misma aplicación de Matlab ordena la ejecución del fichero SPICE a través del simulador SPICE OPUS. A continuación, a partir de los datos de simulación se pueden obtener las tensiones de los terminales del transistor, que serán utilizados para evaluar el estrés recibido en el.

V1output					
	1	2	3	4	5
1	1.0000e-06	3.6000	3.6000	2.6747	0.9253
2	1.2976e-06	3.6000	3.6000	2.6747	0.9253
3	1.8928e-06	3.6000	3.6000	2.6747	0.9253
4	2.8931e-06	3.6000	3.6000	2.6747	0.9253
5	3.8933e-06	3.6000	3.6000	2.6747	0.9253
6	4.8936e-06	3.6000	3.6000	2.6747	0.9253
7	5.0010e-06	3.6000	3.6000	2.6747	0.9253
8	5.0012e-06	2.7000	2.7000	1.7671	0.9329
9	5.0015e-06	1.8000	1.8000	0.8384	0.9616
10	5.0017e-06	0.9000	0.9000	-0.0972	0.9972
11	5.0020e-06	0	0	-0.9999	0.9999
12	5.0025e-06	0	0	-1.0000	1.0000
13	5.0035e-06	0	0	-1.0000	1.0000
14	5.0055e-06	0	0	-1.0000	1.0000
15	5.0094e-06	0	0	-1.0000	1.0000
16	5.0174e-06	0	0	-1.0000	1.0000
17	5.0332e-06	0	0	-1.0000	1.0000
18	5.0649e-06	0	0	-1.0000	1.0000
19	5.1283e-06	0	0	-1.0000	1.0000
20	5.2550e-06	0	0	-1.0000	1.0000
21	5.5085e-06	0	0	-1.0000	1.0000
22	6.0156e-06	0	0	-1.0000	1.0000
23	7.0296e-06	0	0	-1.0000	1.0000
24	8.2791e-06	0	0	-1.0000	1.0000
25	9.5286e-06	0	0	-1.0000	1.0000
26	1.0000e-05	0	0	-1.0000	1.0000
27	1.0000e-05	0.9000	0.9000	-0.0975	0.9975
28	1.0001e-05	1.8000	1.8000	0.8380	0.9620
29	1.0001e-05	2.7000	2.7000	1.7668	0.9332
30	1.0001e-05	3.6000	3.6000	2.6744	0.9256
31	1.0002e-05	3.6000	3.6000	2.6747	0.9253
32	1.0002e-05	3.6000	3.6000	2.6747	0.9253
33	1.0004e-05	3.6000	3.6000	2.6747	0.9253
34	1.0006e-05	3.6000	3.6000	2.6747	0.9253
35	1.0012e-05	3.6000	3.6000	2.6747	0.9253
36	1.0023e-05	3.6000	3.6000	2.6747	0.9253
37	1.0045e-05	3.6000	3.6000	2.6747	0.9253
38	1.0089e-05	3.6000	3.6000	2.6747	0.9253
39	1.0176e-05	3.6000	3.6000	2.6747	0.9253
40	1.0352e-05	3.6000	3.6000	2.6747	0.9253
41	1.0703e-05	3.6000	3.6000	2.6747	0.9253
42	1.1405e-05	3.6000	3.6000	2.6747	0.9253
43	1.2655e-05	3.6000	3.6000	2.6747	0.9253
44	1.3905e-05	3.6000	3.6000	2.6747	0.9253
45	1.5001e-05	3.6000	3.6000	2.6747	0.9253
46	1.5001e-05	2.7000	2.7000	1.7671	0.9329

Tabla 2. Tabla con el tiempo de simulación, la tensión VGS, VGB y VGD

Para visualizar los valores de la tabla 2 y tener una idea de los resultados de las simulaciones se muestra la figura 8, que contiene cada una de las tensiones que proporciona el circuito:

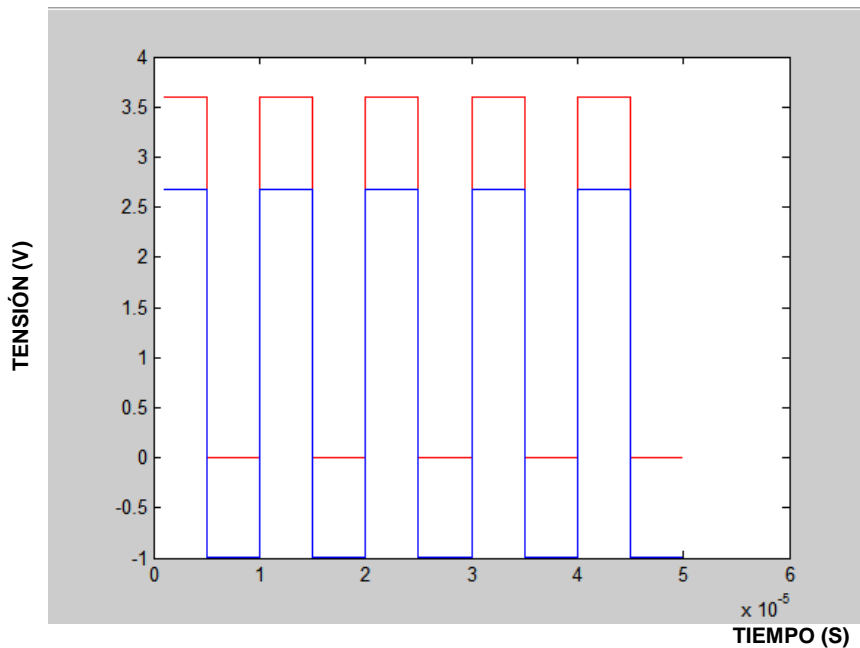


Figura 8. Tensión obtenida del transistor entre puerta-fuente, puerta-drenador y puerta-sustrato para el circuito de la figura 6

En esta grafica se puede apreciar los valores de la tabla anterior mostrados gráficamente.

La línea roja corresponde a la tensión puerta-fuente y puerta sustrato, ya que están cortocircuitados según el esquema del inversor.

La línea Azul corresponde a la tensión puerta-drenador.

Se puede apreciar como depende de la parte del transistor aparecen tensiones de diferentes valores, lo cual indica que zonas diferentes del transistor sufren estreses diferentes, y por lo tanto la probabilidad de que se produzca una ruptura dieléctrica será diferente dependiendo de la zona.

En el siguiente apartado se indica como se ha tenido en cuenta el efecto de tener tensiones diferentes en función de la zona del transistor y se evalúa el impacto que tienen estas tensiones en la ruptura dieléctrica.

4.2 CALCULO DEL TIEMPO DE ESTRES

De las gráficas obtenidas anteriormente se deben extraer dos parámetros: La tensión aplicada en cada uno de los puntos y el tiempo que permanece cada una de las tensiones. Con estos valores obtendremos el tiempo de estrés, necesario para calcular la probabilidad de que se dé una ruptura en cada una de las partes del transistor.

Las partes del MOSFET susceptibles a una ruptura dieléctrica son:

- Solapamiento puerta-drenador (En este caso definimos su área como el 10% de la anchura de puerta)
- Solapamiento puerta-sustrato (En este caso definimos su área como el 80% de la anchura de puerta)
- Solapamiento puerta-fuente (En este caso definimos su área como el 10% de la anchura de puerta)

Para analizar el circuito descrito anteriormente se han propuesto dos posibles maneras:

- Análisis analógico: Calcula el estrés sufrido entre dos terminales del transistor de manera analógica, o sea, realizando una integral de inicio a fin de la simulación y obteniendo un valor exacto del estrés sufrido.
- Análisis digital: Calcula el estrés sufrido entre dos terminales del transistor contando el tiempo que transcurre cuando el transistor se encuentra a un nivel constante y determinado de tensión.

Como de momento se realiza un análisis de un circuito con un solo transistor, se pueden determinar las ventajas e inconvenientes de cada uno de los dos métodos de una manera simple y simplificando mucho el código.

Se analizarán las características de cada uno de ellos y finalmente se decidirá cuál de los dos análisis es óptimo para la simulación de circuitos con más de un transistor.

4.2.1 Análisis analógico

En el caso del análisis analógico se debe mostrar el valor absoluto de cada una de las gráficas y calcular la integral para saber el estrés aplicado en cada una de las partes definidas anteriormente.

La fórmula utilizada para calcular el tiempo de estrés es la siguiente:

$$t^{eq} = \left(\frac{A}{A_{ref}} \right)^{1/\beta} \int_0^t \left(\frac{V(t')}{V_{ref}} \right)^n dt' \quad \text{ec. 5}$$

Donde t^{eq} es el tiempo de estrés que sufre el transistor en una de sus partes (gate-source, gate-bulk o gate-drain), A es el área del transistor, A_{REF} es el área de referencia de un transistor modelo (obtenido de la tesis), $V(t)$ es la tensión obtenida en cada muestro de la simulación, V_{ref} es la tensión de referencia de un transistor modelo (obtenido de la tesis), n es un parámetro que depende de la tecnología y que puede ser extraído a partir de estreses realizados a diferentes tensiones en estructuras de test, β es el parámetro de forma, llamado pendiente de Weibull, que indica la dispersión de las muestras y la integral realiza un barrido por todo el tiempo de simulación para obtener el estrés total que sufre una parte del transistor en todo el transcurso de la simulación.

Después se puede calcular si se ha producido una ruptura comparando t_{eq} con la variable aleatoria que sigue una distribución de Weibull.

Si el valor de la variable aleatoria es más pequeño que el tiempo de estrés, entonces el transistor ha sufrido una ruptura dieléctrica en esa parte.

Esta simulación es lenta ya que debe realizar una integral de cada una de las gráficas, y si son muy extensas puede tardar bastante el ordenador a realizar el análisis.

Por otro lado los valores de t_{eq} son mucho más exactos ya que al realizar la integral se consideran exactamente los valores de tensión, sean constantes o variables.

Para conseguir obtener los valores de estrés negativos, necesarios para tener en cuenta las tensiones negativas que afectan a las zonas del transistor, se realiza el valor absoluto de las tensiones de simulación.

Los pasos a seguir para calcular el tiempo de estrés con el análisis analógico son los siguientes (figura 9), teniendo en cuenta las anteriores etapas explicadas en la introducción del capítulo 4.

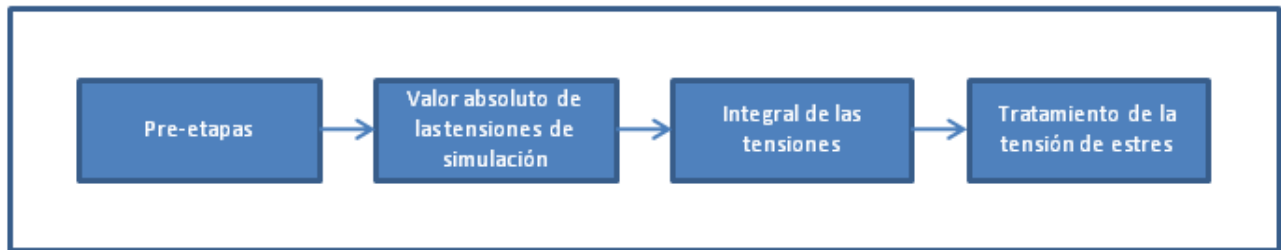


Figura 9. Diagrama de flujo análisis analógico

- **Pre-etapas:**

Las etapas anteriores están explicadas en la introducción del tema 4, a continuación de la figura 5.

- **Valor absoluto de las tensiones de simulación:**

Debido a que en el análisis analógico queremos calcular la integral de toda la tensión aplicada a cada parte del transistor, las tensiones negativas también tienen que ser tenidas en cuenta ya que también crean un estrés sobre el transistor y por tanto se hacen positivas para tenerlas en cuenta en el estrés total.

- **Integral de las tensiones:**

Se realiza una integral de toda la tensión resultante después de extraer el valor absoluto, obteniendo la tensión de estrés de la simulación.

- **Tratamiento del tiempo de la tensión de estrés:**

Las etapas posteriores que se encargan del tratamiento de la tensión de estrés están explicadas en la introducción del tema 4, a continuación de la figura 5.

4.2.2 Análisis digital

En el caso del análisis digital se debe hacer un análisis complejo para calcular el estrés a partir de cada una de las gráficas ya que se deben de tener en cuenta varias posibilidades en la forma de las gráficas.

La fórmula utilizada para calcular el tiempo de ruptura en este caso es la siguiente:

$$t^{eq} = \left(\frac{A}{A_{ref}} \right)^{1/\beta} \sum_i \Delta t_i \left(\frac{V_i}{V_{ref}} \right)^n \quad \text{ec. 6}$$

Donde t^{eq} es el tiempo de estrés equivalente que sufre el transistor en una de sus partes (gate-source, gate-bulk o gate-drain), A es el área del transistor, A_{REF} es el área de referencia de un transistor modelo (obtenido de la tesis), n es un parámetro que depende de la tecnología y que puede ser extraído a partir de estreses realizados a diferentes tensiones, β es el parámetro de forma, llamado pendiente de Weibull, que indica la dispersión de las muestras, V_{ref} es la tensión de referencia de un transistor modelo (obtenido de la tesis), V_i es una tensión constante de duración t_i dentro de la simulación.

La idea es que si se trata de una señal digital (de máximo 1 nivel positivo, uno negativo y 0), se consiga obtener los tiempos constantes de valores de tensión constante (pulsos de la misma tensión) y realizando la suma total permita obtener el total de estrés que sufre el transistor en cada una de sus zonas.

Una vez obtenidos los tiempos de estrés, mediante la ecuación 6, se puede evaluar si se ha producido una ruptura, comparando cada uno de los tiempos con variables aleatorias que siguen una distribución de Weibull.

Si el valor de la variable aleatoria es más pequeño que el tiempo de estrés entonces el transistor ha sufrido una ruptura dieléctrica por esa zona del transistor.

Esta simulación es más rápida, ya que no tiene que realizar la integral, pero solo permite la medición del estado máximo del nivel positivo, y el nivel máximo del nivel negativo. Si existen más niveles de tensión o hay variaciones en los pulsos no pueden ser detectados por este análisis y por tanto no da resultados exactos.

Este análisis tiene en cuenta dos códigos para realizar el análisis digital. Uno que forma el programa principal que gestiona el cálculo de las rupturas y añade los estreses extra que puedan aparecer, y otro código secundario que se encarga de calcular los estreses de cada una de las zonas del transistor. Para realizar la explicación del funcionamiento del código se analizarán conjuntamente.

El diagrama de flujo resultante se muestra en la figura 10.

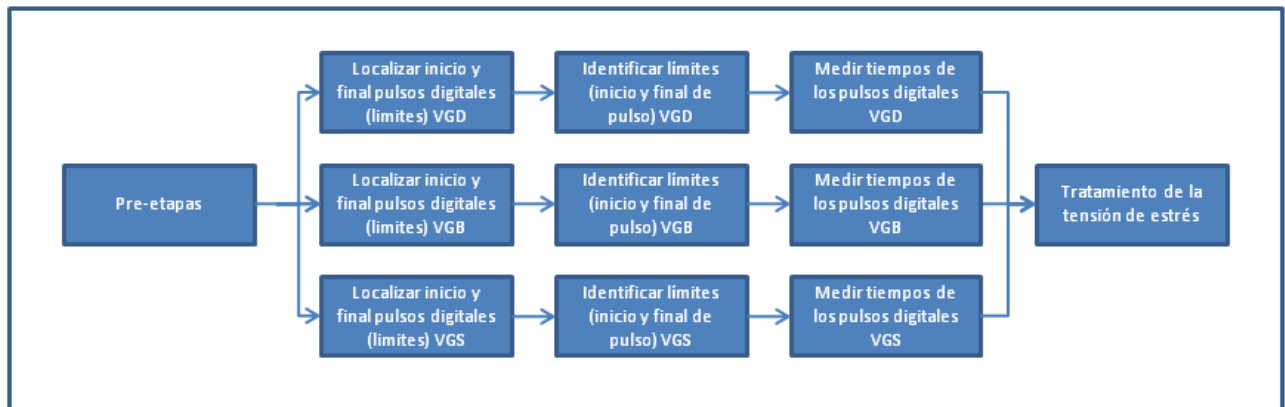


Figura 10. Diagrama de flujo análisis digital

- **Pre-etapas:**

Las etapas anteriores están explicadas en la introducción del tema 4, a continuación de la figura 5.

- **Localizar inicio y final pulsos digitales (limites) para cada una de las zonas del transistor:**

Surge la duda de cómo conseguir obtener el tiempo total que dura la totalidad de los pulsos a lo largo de la simulación. Esta tarea se encarga de conseguirlo mediante el siguiente método:

Inicialmente se calcula el punto máximo de toda la señal (si no hay picos el valor más alto coincide con el valor de los pulsos), después se traslada toda la señal hasta 0.99% del punto máximo.

Una vez trasladada la señal, se multiplican cada uno de los valores de muestreo con su consecutivo. Si el valor resultante de la multiplicación es positivo significa que la señal no ha pasado de positiva a negativa. Si en cambio es negativo, significa que ha habido un cambio de positivo y negativo y se anota el valor temporal de ese punto.

Cada cambio de signo es un límite de un pulso.

En el caso de pulsos negativos, se desplaza positivamente la señal hasta llegar a un 101% y se realiza la tarea anterior.

En la siguiente tarea se distinguirán los límites entre inicio de pulso o final de pulso para poder determinar el tiempo total de los pulsos en toda una simulación.

- **Identificar límites (inicio y final de pulso) para cada una de las zonas del transistor:**

En esta tarea se tienen en cuenta todas las posibilidades para determinar los pulsos.

Inicialmente se separan los límites de la anterior tarea entre pares e impares. Una vez identificados se verifica si la simulación empieza o acaba en estado alto. A continuación se verifica si la simulación acaba en estado alto o bajo.

- Si la simulación empieza en estado **bajo** y acaba en estado bajo o alto indistintamente:

Los límites impares son inicio de pulso y los pares final de pulso

- Si la simulación empieza en estado **alto** y acaba en estado bajo o alto indistintamente:

Los valores pares son inicio de pulso y los impares son final de pulso.

- **Medir tiempo de los pulsos digitales para cada una de las zonas del transistor:**

Una vez identificados cada uno de los límites se calcula el tiempo total de los pulsos en la simulación:

Se identificarán 4 casos:

- Si la simulación empieza en estado bajo y acaba en estado bajo:

Para calcular el tiempo total de pulso se restan los valores pares (final de pulso) con los impares (inicio de pulso)

- Si la simulación empieza en estado bajo y acaba en estado alto:

Para calcular el tiempo total de pulso se restan los valores pares (final de pulso) con los impares (inicio de pulso) menos el último valor impar, que se resta con el valor de final de simulación.

- Si la simulación empieza en estado alto y acaba en estado alto:

Para calcular el tiempo total de pulso se suman todos los valores impares (finales de pulso) y se le restan todos los pares (inicios de pulso) y el valor de inicio de simulación (para tener en cuenta el primer pulso).

- Si la simulación empieza en estado alto y acaba en estado alto:

Para calcular el tiempo total de pulso se restan los valores impares (final de pulso) con los impares (inicio de pulso) menos el último valor impar, que se resta con el valor de final de simulación, y se le resta también el valor de inicio de simulación (para tener en cuenta el primer pulso)

En esta tarea también se analiza el tiempo de pulso para los pulsos negativos y su valor de tensión.

Para obtenerlo se busca el valor más pequeño de la señal digital, si es negativo se resta el tiempo total de simulación con el tiempo total de pulso positivo (ya que una señal digital de dos niveles y uno de los niveles es negativo el tiempo de pulso negativo es la resta del total menos el positivo).

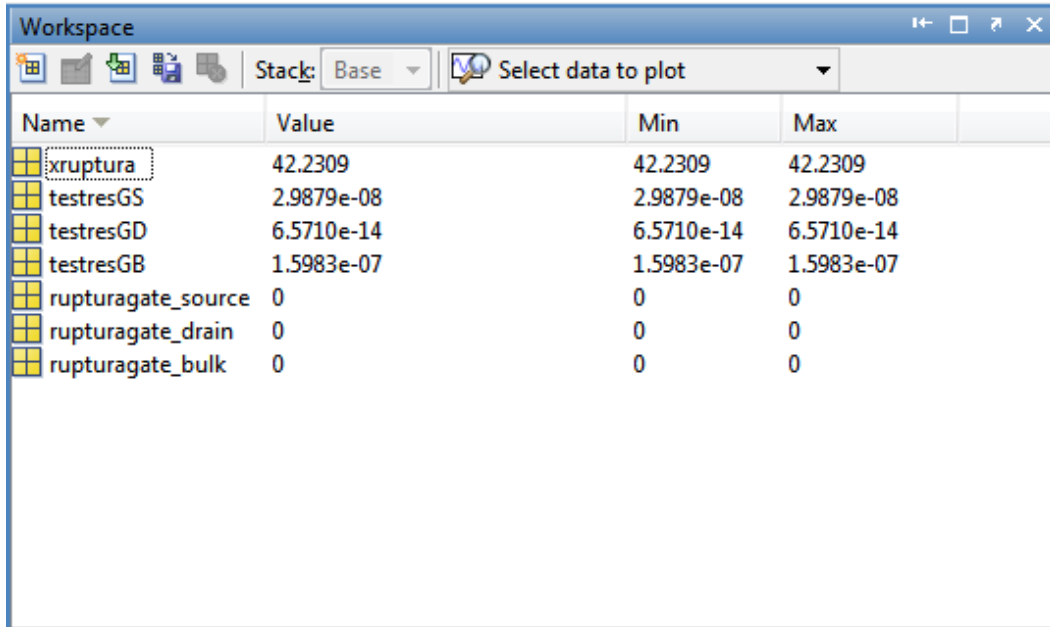
El offset se analiza igual que los pulsos negativos pero sin obtener el valor absoluto de la tensión mínima ya que es positiva.

- **Tratamiento del tiempo de la tensión de estrés:**

Las etapas posteriores que se encargan del tratamiento de la tensión de estrés están explicadas en la introducción del tema 4, a continuación de la figura 5.

4.2.3 Resultados código

Un ejemplo del resultado final que muestra el simulador se muestra en la figura 11.



Name	Value	Min	Max
xruptura	42.2309	42.2309	42.2309
tstresGS	2.9879e-08	2.9879e-08	2.9879e-08
tstresGD	6.5710e-14	6.5710e-14	6.5710e-14
tstresGB	1.5983e-07	1.5983e-07	1.5983e-07
rupturagate_source	0	0	0
rupturagate_drain	0	0	0
rupturagate_bulk	0	0	0

Figura 11. Resultado del número de rupturas dieléctricas producidas en el transistor del inversor

En la anterior figura aparecen las siguientes variables:

- **xruptura:** Corresponde a la variable aleatoria generada, que sigue una distribución de Weibull, que se comparará con cada uno de los tiempos de estrés calculados para cada una de las zonas del transistor
- **tstresGS:** Es el tiempo de estrés que se ha obtenido del circuito en la zona Puerta-Fuente.
- **tstresGD:** Es el tiempo de estrés que se ha obtenido del circuito en la zona Puerta-Drenador
- **tstresGB:** Es el tiempo de estrés que se ha obtenido del circuito en la zona Puerta-Sustrato.
- **rupturagate_source:** Muestra si se ha producido una ruptura dieléctrica en la zona Puerta-Fuente del transistor. Si el tiempo de estrés es más grande que la variable aleatoria de Weibull entonces se produce una ruptura. El resultado se muestra de la siguiente manera:
 - o 0 → No se ha producido ruptura
 - o 1 → Se ha producido ruptura

- **rupturagate_drain:** Muestra si se ha producido una ruptura dieléctrica en la zona Puerta-Drenador del transistor. Si el tiempo de estrés es más grande que la variable aleatoria de Weibull entonces se produce una ruptura.
- **rupturagate_bulk:** Muestra si se ha producido una ruptura dieléctrica en la zona Puerta-Sustrato del transistor Si el tiempo de estrés es más grande que la variable aleatoria de Weibull entonces se produce una ruptura.

Este resultado se ha obtenido con tensiones muy bajas de estrés y con un tiempo de simulación muy corto, por eso se han obtenido valores tan bajos de estrés en cada una de las zonas del transistor.

Para registrar una ruptura se pueden realizar varias estrategias manteniendo el mismo transistor:

- Aumentar el tiempo de simulación hasta que se produzca una ruptura
- Aumentar el valor de la tensión aplicada a los terminales del transistor

En principio, y realizando un análisis digital, con circuitos simples y a tensiones moderadas los resultados deben de dar similares a los resultados con el análisis analógico. En el momento que se aumenta la tensión en las diferentes zonas del transistor es posible que aparezcan picos en las transiciones debidas a las conmutaciones bruscas de tensión.

Los picos de tensión pueden producir un mal análisis digital debido a que el valor máximo de la señal ya no es el pulso en si (que es lo que calcula el análisis digital) sino los picos, y entonces el tiempo de estrés solo se realizará sobre los picos y no sobre los pulsos.

En la siguiente tabla se puede observar diferentes resultados según las dos estrategias expresadas anteriormente:

Simulación	Zona transistor	Parámetros del circuito					Análisis MATLAB		
		Tensión Drenador	Tensión Puerta	Tiempo de simulación	Ancho Transistor	Largo Transistor	Tiempo de estrés	Variable Weibull	Ruptura dieléctrica
1	Puerta-Fuente	1 V	3,6 V	50 μ s	0.35 μ m	0.35 μ m	2,99E-08	42,2309	NO
	Puerta-Sustrato	1 V	3,6 V	50 μ s	0.35 μ m	0.35 μ m	1,60E-07	42,2309	NO
	Puerta-Drenador	1 V	3,6 V	50 μ s	0.35 μ m	0.35 μ m	6,57E-14	42,2309	NO
2	Puerta-Fuente	3,6 V	3,6 V	50 μ s	0.35 μ m	0.35 μ m	2,99E-08	83,3038	NO
	Puerta-Sustrato	3,6 V	3,6 V	50 μ s	0.35 μ m	0.35 μ m	1,60E-07	83,3038	NO
	Puerta-Drenador	3,6 V	3,6 V	50 μ s	0.35 μ m	0.35 μ m	1,39E-09	83,3038	NO
3	Puerta-Fuente	7 V	7 V	50 μ s	0.35 μ m	0.35 μ m	52,0982	45,066	SI
	Puerta-Sustrato	7 V	7 V	50 μ s	0.35 μ m	0.35 μ m	278,6898	45,066	SI
	Puerta-Drenador	7 V	7 V	50 μ s	0.35 μ m	0.35 μ m	9,05E-06	45,066	NO
4	Puerta-Fuente	5,5V	5,5 V	5 s	0.35 μ m	0.35 μ m	2,3672	6,8111	NO
	Puerta-Sustrato	5,5 V	5,5 V	5 s	0.35 μ m	0.35 μ m	12,6627	6,8111	SI
	Puerta-Drenador	5,5 V	5,5 V	5 s	0.35 μ m	0.35 μ m	9,66E-05	6,8111	NO

Tabla 3. Resultados obtenidos en varias simulaciones de ruptura dieléctrica

De la anterior tabla se pueden extraer varias conclusiones:

A una tensión reducida, los tiempos de estrés son muy reducidos y por tanto la posibilidad de que exista ruptura dieléctrica es muy baja.

Aumentando ligeramente la tensión aumenta significativamente el tiempo de estrés equivalente de cada una de las zonas.

Aumentando ligeramente el tiempo de simulación, también aumenta significativamente el tiempo de estrés equivalente de cada una de las zonas. Es por eso que se escogen las estrategias de aumentar el tiempo de simulación y aumentar la tensión aplicada para que se produzcan rupturas dieléctricas en circuitos basados en tecnología CMOS.

En todas las simulaciones realizadas, el estrés sufrido en la zona puerta-sustrato siempre es más elevado que el tiempo de estrés producido en las otras dos zonas del transistor. Esto es debido a que el área de la zona puerta-sustrato es mucho más elevada que el área de las otras dos zonas del transistor (puerta-drenador y puerta-fuente). Esto significa que la probabilidad de que ocurra una ruptura dieléctrica en la zona puerta-sustrato es más elevada que la probabilidad que ocurra una ruptura en las otras dos zonas del transistor, teniendo en cuenta que en esta configuración de circuito esta cortocircuitado el sustrato con la fuente.

En este apartado no se ha podido observar el efecto de los picos de tensión en el análisis y como estos producen un error en el análisis digital, resuelto por el análisis analógico ya que realiza la integral conjunta. Para poder observar este efecto se analizará un transistor dentro de un circuito mucho más complejo como el diseño de puertas lógicas que se explicará más adelante. Se puede observar el siguiente apartado (4.3).

4.3 ANALISIS DE UN TRANSISTOR CON PICOS DE TENSIÓN

En este apartado se justifica que el análisis digital no muestra los tiempos equivalentes de estrés exactos cuando existen picos de tensión en un circuito complejo.

Para demostrarlo se escogerá un transistor aleatorio del circuito formado por varias puertas lógicas mostrado en el siguiente apartado.

Las tensiones de las diferentes zonas del transistor es el que se muestra en la figura 12:

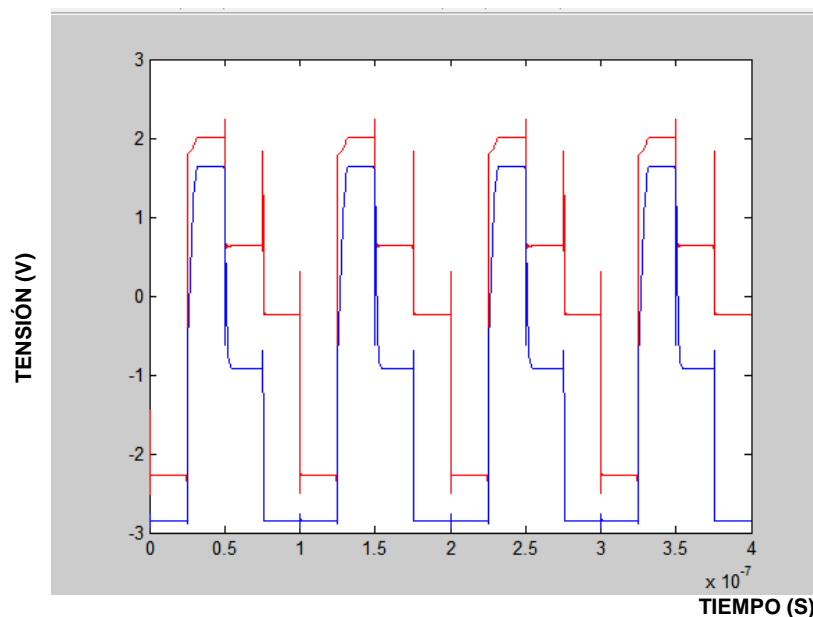


Figura 12. Tensiones obtenidas de un transistor en un circuito complejo entre puerta-fuente, puerta-drenador y puerta-sustrato

La señal roja corresponde a la tensión en la zona puerta-sustrato y puerta-fuente ya que están cortocircuitados.

La señal azul corresponde a la tensión puerta-drenador.

A continuación se realizará una tabla comparativa de los resultados obtenidos por un análisis analógico y uno digital de un mismo transistor.

En la siguiente tabla se puede observar diferentes resultados según el análisis utilizado:

Simulación	Zona transistor		Digital	Analógico
1 Vdd: 3,6 V Vgate: 3,6 V P.Weibull: 15,6313	Puerta-Fuente	Tiempo de estrés	2,70E-17	5,45E-17
		Ruptura	NO	NO
	Puerta-Sustrato	Tiempo de estrés	1,44E-16	2,91E-16
		Ruptura	NO	NO
	Puerta-Drenador	Tiempo de estrés	1,06E-12	2,57E-13
		Ruptura	NO	NO
2 Vdrain: 11 V Vgate: 6 V P.Weibull: 51,2698	Puerta-Fuente	Tiempo de estrés	1,56E+02	10,9268
		Ruptura	SI	NO
	Puerta-Sustrato	Tiempo de estrés	8,36E+02	58,4509
		Ruptura	SI	SI
	Puerta-Drenador	Tiempo de estrés	2,21E-12	4,14E-14
		Ruptura	NO	NO

Tabla 4. Resultados obtenidos en el análisis digital y analógico con circuitos donde aparecen picos de tensión

Observando la anterior tabla se puede llegar a la conclusión de que no dan los mismos resultados el análisis digital y el analógico.

Esto es debido a que cuando existen picos, el valor máximo de la gráfica ya no coincide con el nivel del pulso, y en vez de medir distancias entre pulsos mide distancias entre picos, lo que da valores mucho más elevados de tiempos de estrés.

4.4 CONCLUSIONES DE LOS DOS ANALISIS

Las ventajas e inconvenientes de cada uno de los dos análisis se muestran en la tabla 5:

ANALISIS DIGITAL		ANALISIS ANALOGICO	
VENTAJAS	INCONVENIENTES	VENTAJAS	INCONVENIENTES
- Rapidez de procesado	- Hay que tener en cuenta muchas posibilidades para analizar todos los comportamientos de un tren de pulsos - Solo se puede utilizar con señales digitales	- Exactitud en los resultados - Mucha versatilidad debido a que permite valores de tensión constantes y variables	- Simulación mucho mas lenta comparada con el análisis digital

Tabla 5. Ventajas e inconvenientes de los análisis digital y analógico

Lo que realmente se valora en este proyecto es principalmente la exactitud de los resultados y la versatilidad, ya que si con un código te permite realizar la simulación de las rupturas dieléctricas de cualquier circuito y además de forma exacta es una ventaja ya que el usuario no debe de elegir que código utilizar para según qué circuito.

Teniendo en cuenta estos factores y que el tiempo no es tan crítico finalmente se elije el **análisis analógico** para realizar el análisis para circuitos de uno o más de un transistor.

En este apartado de la memoria se ha explicado el diseño del código que permite analizar un circuito de un solo transistor, concretamente un inversor. El código calcula las tensiones que aparecen en las diferentes zonas del transistor dentro del circuito y extrae cada una de las características del transistor dentro del circuito.

De las tensiones que aparecen en las zonas del transistor se ha llegado a la conclusión que varían según la zona del transistor y el tiempo de duración es diferente, lo que la probabilidad de que se produzca una ruptura varía según la zona del transistor.

Una vez definido el circuito se muestran dos posibles métodos para evaluar el tiempo de estrés equivalente del transistor. El análisis analógico y el análisis digital.

Se han mostrado como están formados (código), sus características, como muestran los resultados y como analizarlos una vez se obtienen. También se han mostrado varias simulaciones para mostrar las diferencias de tiempos de estrés variando el tiempo de simulación o la tensión aplicada en el transistor.

Como las simulaciones se han realizado sobre un transistor individual y en el circuito no aparecían picos de tensión, se ha analizado otro transistor en un circuito más complejo y justificar que el análisis digital no es tan exacto como el análisis analógico.

Finalmente se han comparado los dos análisis y se ha llegado a la conclusión de que el análisis analógico, aunque es más lento que el análisis digital, es mucho más exacto y es compatible con cualquier señal, tanto analógica como digital.

Ahora ya se ha escogido un análisis y se tienen todas las herramientas y conocimientos para analizar circuitos más complejos. En el siguiente apartado se analizará un circuito con puertas lógicas formado por 18 transistores de diferentes tipos (N y P).

5 SIMULACIÓN DE UN CIRCUITO CON MÁS DE UN TRANSISTOR

En el apartado anterior se ha explicado el diseño de un simulador de fiabilidad para rupturas dieléctricas para circuitos con un solo transistor. Se han expuesto dos estrategias (análisis analógico y análisis digital) y finalmente se ha escogido el análisis analógico por razones anteriormente justificadas.

En este apartado se partirá del análisis analógico para circuitos con un solo transistor y se modificará para que permita el análisis de cualquier circuito basado en tecnología CMOS, independientemente de la cantidad de transistores que contenga.

Conforme se ha ido diseñando el nuevo código se han propuesto nuevas mejoras que también se implementarán, como por ejemplo la creación de una variable aleatoria siguiendo la distribución de Weibull para cada una de las zonas que forman el transistor y para cada uno de los transistores que forman el circuito.

Otra de las mejoras trata de gestionar todos los cálculos desde los archivos MATLAB y no desde el archivo SPICE OPUS, cosa que permite una mayor flexibilidad y rapidez a la hora analizar, sin tener que realizar los cálculos de las tensiones de cada uno de las zonas del transistor.

A continuación se detallará el circuito de más de un transistor basado en puertas lógicas en el que se realizará la simulación. También se detallará la composición de transistores que forman cada una de las puertas lógicas.

Seguidamente se analiza el comportamiento circuito anterior, los valores de entrada y salida a lo largo del tiempo y se compararán con la tabla de la verdad del circuito completo.

Una vez analizado el circuito se implementa el nuevo simulador que analizará el circuito y mostrará si se produce ruptura dieléctrica en cada uno de sus transistores y se podrán sacar conclusiones de cuál de los transistores es más susceptible y por tanto el punto débil de todo el circuito.

Al final de este capítulo se tendrá una idea de todas las partes que componen un simulador capaz de predecir una ruptura dieléctrica para cualquier circuito basado en tecnología CMOS.

5.1 CIRCUITO ANALIZADO Y RESULTADOS DE LA SIMULACIÓN

Una vez realizado el análisis y si ha habido ruptura en un circuito con un solo transistor, que ha permitido escoger cual de los dos análisis (digital o analógico) es óptimo para realizar las simulaciones, se mejorará el código para permitir analizar cualquier circuito basado en tecnología CMOS cualquiera que sea la cantidad de transistores que contenga.

El circuito utilizado en este caso es un circuito de puertas lógicas que se muestra a en la figura 13:

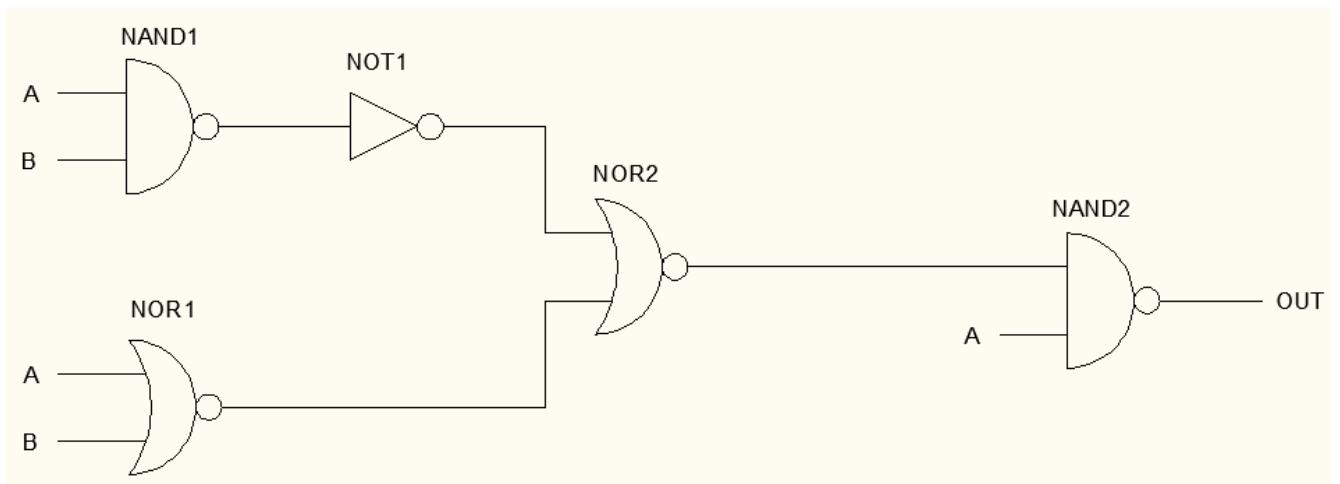


Figura 13. Circuito complejo de puertas lógicas formado por transistores basados en tecnología CMOS.

Su tabla de la verdad se muestra en la tabla 6:

A	B	OUT
0	0	1
0	1	1
1	0	0
1	1	1

Tabla 6. Tabla de la verdad circuito complejo de varios transistores

5.1.1 Entradas y salida

Las entradas están formadas por osciladores digitales a la misma frecuencia pero desfasados para poder obtener todos los estados mostrados en la tabla de la verdad:

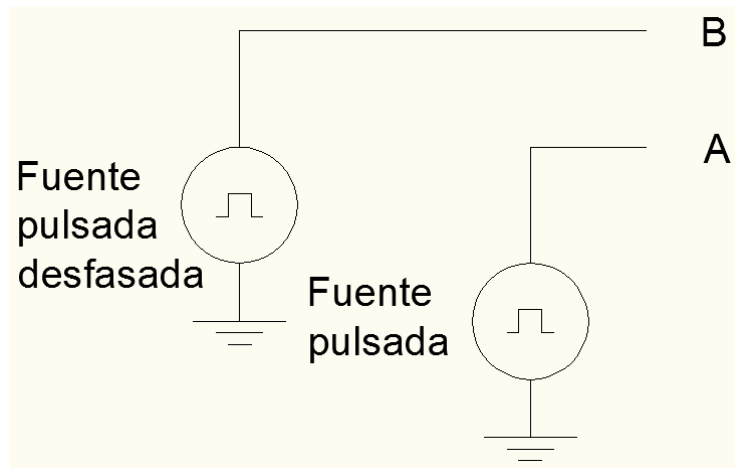


Figura 14. Osciladores digitales en las entradas para determinar A y B

En la figura 15 se mostrará una gráfica con las entradas A y B:

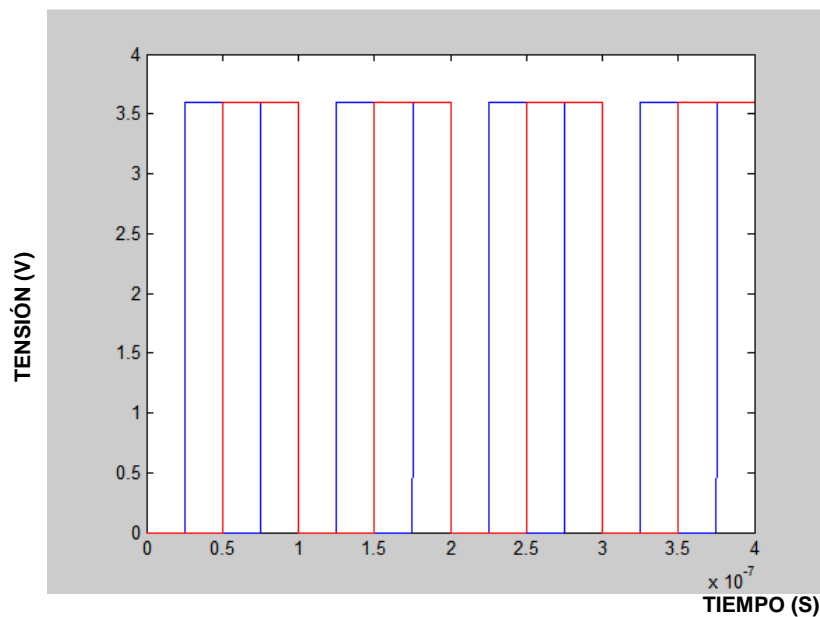


Figura 15. Evolución en el tiempo de las entradas A y B del circuito anterior

La línea de color azul corresponde a la entrada A y la de color rojo a la entrada B, se puede apreciar el desfase entre ellas y que se visualizan todos los estados de la tabla de la verdad.

Para verificar que la salida corresponde a la tabla de la verdad según las entradas se muestra la figura 16 correspondiente a la salida OUT.

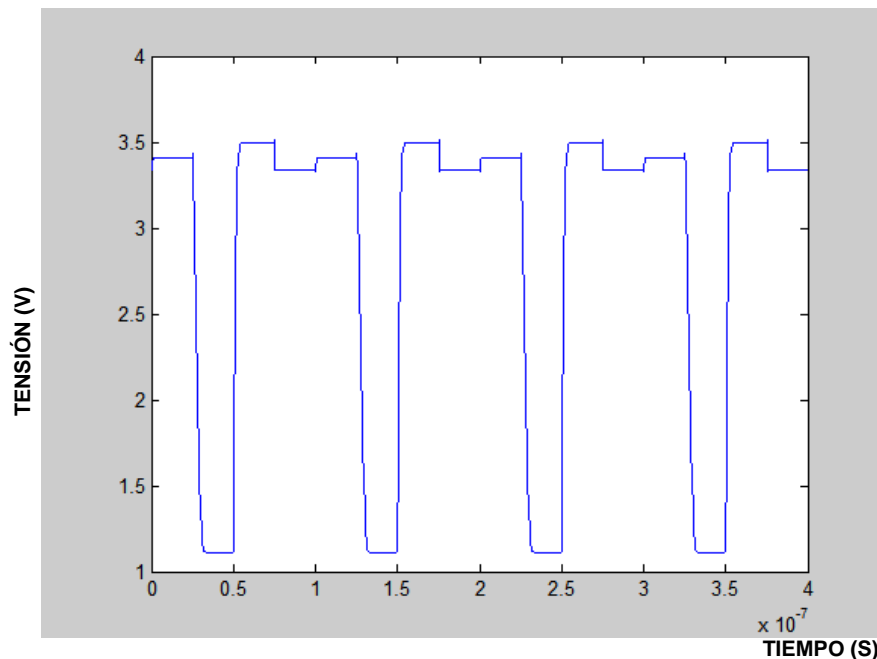


Figura 16. Salida OUT

Los estados se muestran en la tabla 7, y se comparan con la tabla de la verdad:

Estados en la gráfica	A	B	OUT Gráfica	OUT Tabla de la verdad
1	0	0	1	1
2	1	0	0	0
3	1	1	1	1
4	0	1	1	1

Tabla 7. Estados de la gráfica comparados con estados de la tabla de la verdad

Efectivamente coinciden los estados de la gráfica con los estados de la tabla de la verdad.

En la figura 16 se puede apreciar que los pulsos (que son 1 en la tabla de la verdad), no tienen los mismos valores de tensión, dependiendo de la cantidad de transistores que atraviesan. Si se realizara el análisis digital sobre este circuito solamente se detectarían los valores más altos de tensión y por tanto el resultado sería erróneo, en cambio con el análisis analógico se puede obtener el estrés exacto.

A continuación se analizarán al detalle de que se compone cada una de las puertas lógicas para visualizar cada uno de los transistores de que se componen y como se conectan entre ellos.

Según la posición de los transistores y cuales sean sus entradas más adelante se podrán visualizar cuál de ellos tiene más posibilidades de sufrir una ruptura dieléctrica.

5.1.1 Circuito completo

A continuación se mostrarán cada uno de los transistores que forman las puertas lógicas mostradas en la figura 13:

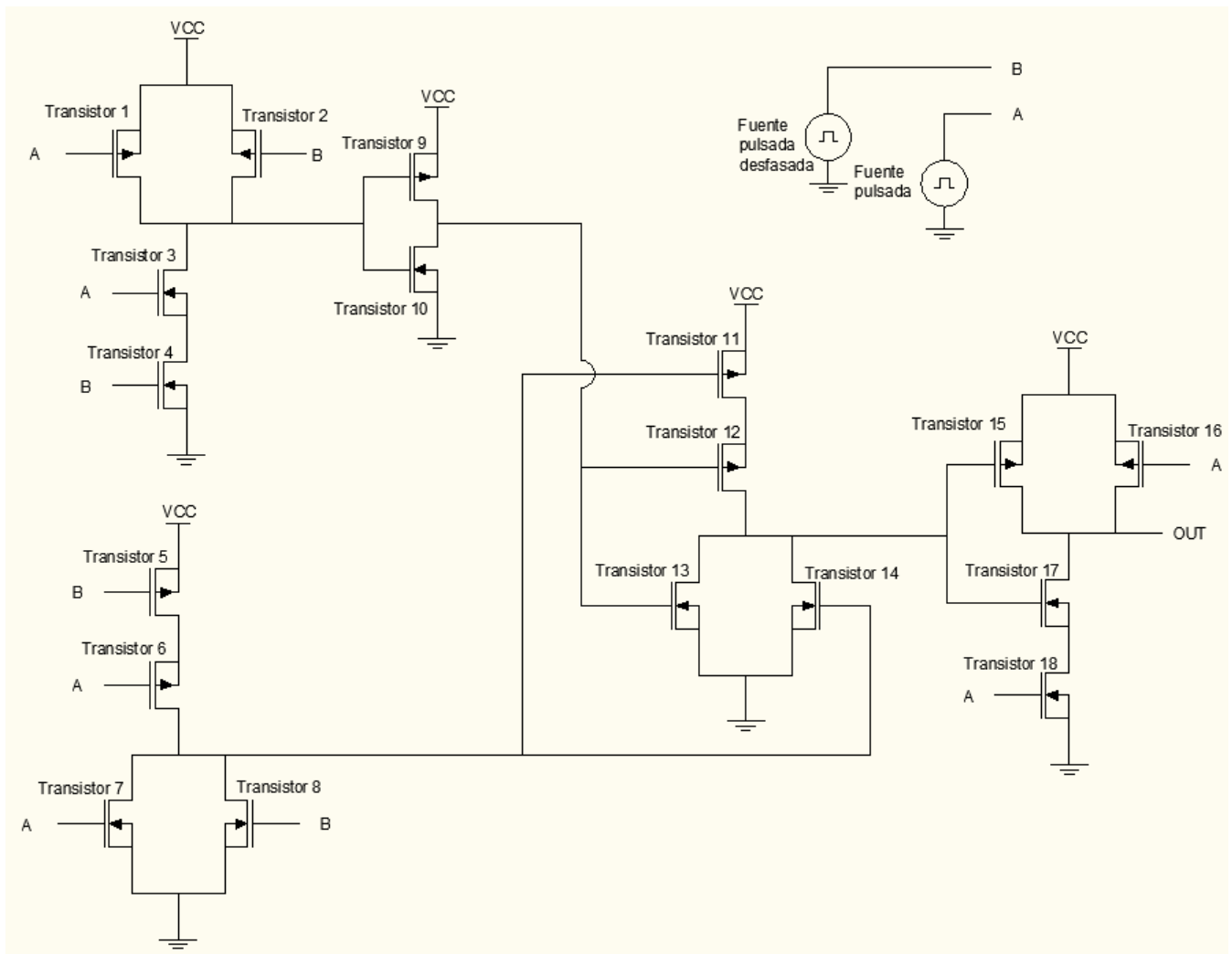


Figura 17. Esquema completo circuito de puertas lógicas

Se ha numerado cada uno de los transistores para poder hacer referencia más adelante a alguno de ellos.

En el siguiente apartado se muestra como se ha creado el circuito anterior.

5.1.2 Simulación con Spice OPUS

Como el caso del circuito con un solo transistor, para simular el circuito se utiliza el programa Spice Opus, ya que permite simular de manera fácil los circuitos que se deseen con transistores CMOS, además de modificar cada una de las características del transistor.

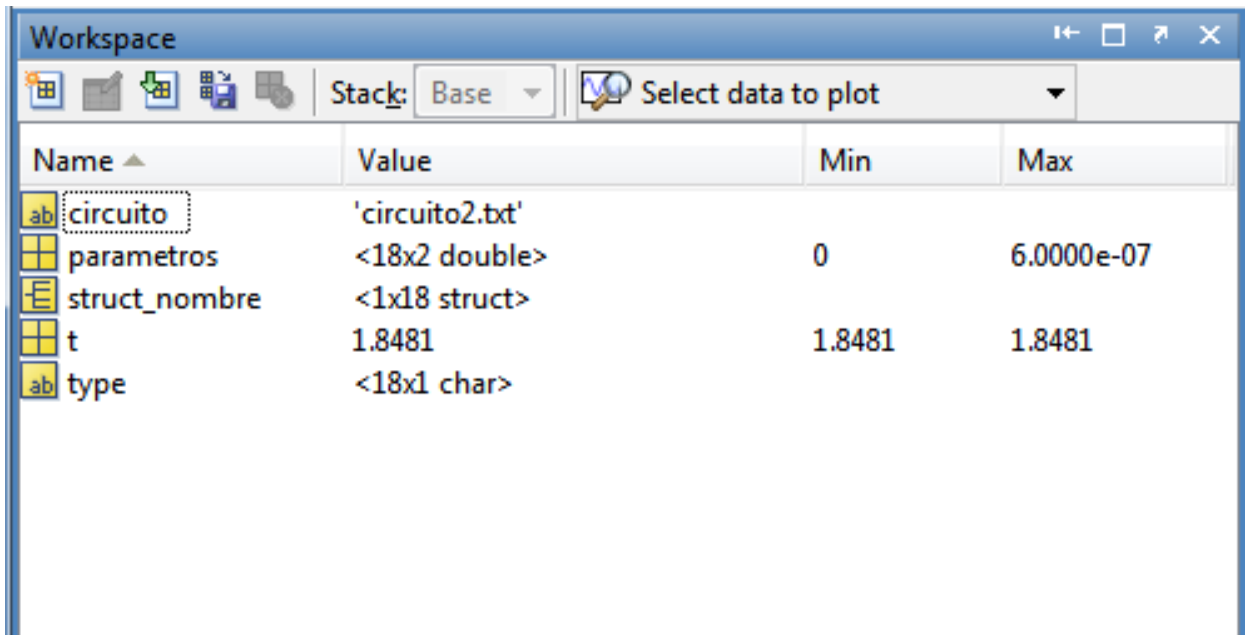
En este código, respecto en el código del circuito inversor, se ha realizado una modificación ya que interesa que no se realicen cálculos con el programa Spice Opus para que el diseño de este código sea mucho más ameno para cualquier usuario diseñador. De esta manera en el código Spice Opus únicamente se puede generar el circuito y extraer tensiones de cada una de sus partes.

La problemática que suponen los cálculos de VGS, VGB y VGD es que se tienen que calcular externamente y del código Spice Opus extraer todos los valores de tensión que existe en los transistores.

Como en el caso del circuito con un solo transistor, una vez ejecutado el código anterior el programa Spice Opus crea una serie de variables con las características del transistor, como por ejemplo las dimensiones del transistor, el tipo de transistor (N o P), etc. Estas variables pueden ser útiles para realizar cálculos como el tiempo equivalente de estrés, donde se necesita el área del transistor.

La diferencia con respecto al caso anterior (sección 4) es que en este caso extraerá los parámetros de cada uno de los transistores que forman el circuito, concretamente en este caso el circuito está formado por 18 transistores.

Algunos de los parámetros que extrae y que son útiles para futuros apartados son los siguientes (figura 18):



Name ▲	Value	Min	Max
ab circuito	'circuito2.txt'		
parametros	<18x2 double>	0	6.0000e-07
struct_nombre	<1x18 struct>		
t	1.8481	1.8481	1.8481
ab type	<18x1 char>		

Figura 18. Variables que crea el código Spice OPUS

En la anterior figura aparecen las siguientes variables:

- **circuito:** Es el nombre del archivo donde se encuentra el código que define el circuito creado.
- **parámetros:** Los dos valores que se muestran en este apartado muestran la longitud y el ancho de los transistores diseñados, en este caso 18.
- **struct_nombre:** Muestra el nombre de cada uno de los transistores que forman el circuito
- **t:** Muestra el tiempo que ha tardado el ordenador en ejecutar el código del circuito y extraer todos los parámetros.
- **type:** Define el tipo de cada uno de los transistores que forman el circuito (N o P)

Además de estas variables también crea una tabla llamada "V1output.dat" situada en la carpeta "Results" que incluye las tensiones de cada nodo y el tiempo de simulación, valores necesarios para obtener vgs, vgb y vgd y calcular el tiempo de estrés que más adelante se utilizará para calcular los tiempos de ruptura.

Por ejemplo si queremos extraer las tensiones de uno de los transistores se selecciona la columna que corresponda a las tensiones que se deseen y se realiza una gráfica con dicha tensión más la primera columna que corresponde al tiempo de simulación.

Un ejemplo de resultado en uno de los transistores que forman el circuito con puertas lógicas es el siguiente, correspondiente al transistor número 3:

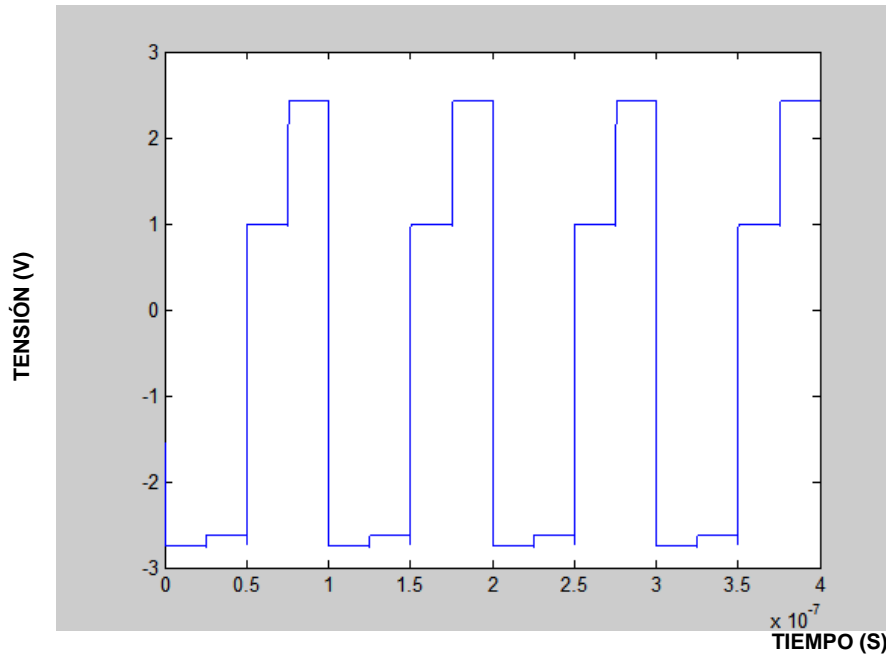


Figura 19. Tensión obtenida del transistor 3 entre puerta y fuente

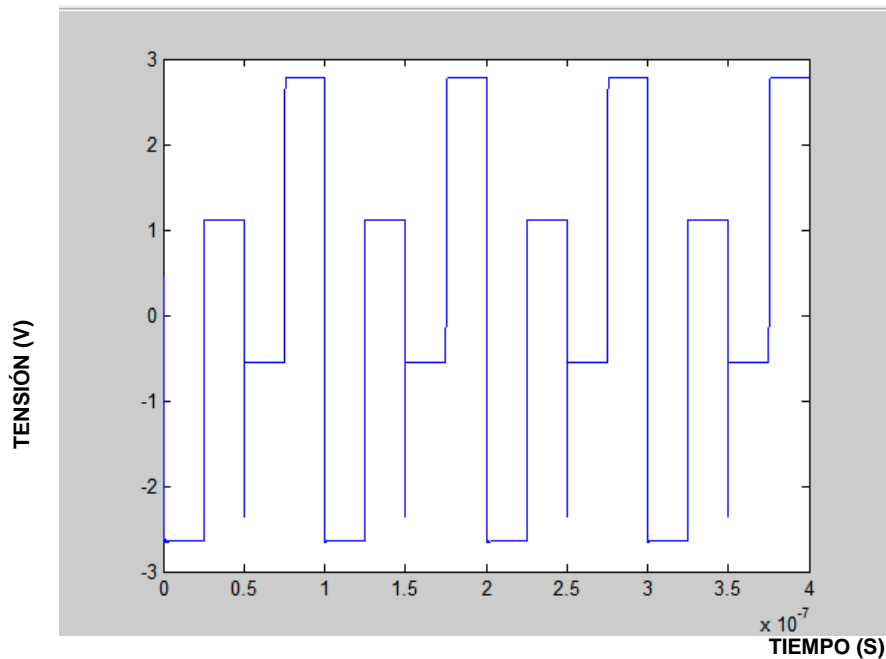


Figura 20. Tensión obtenida del transistor 3 entre puerta y sustrato

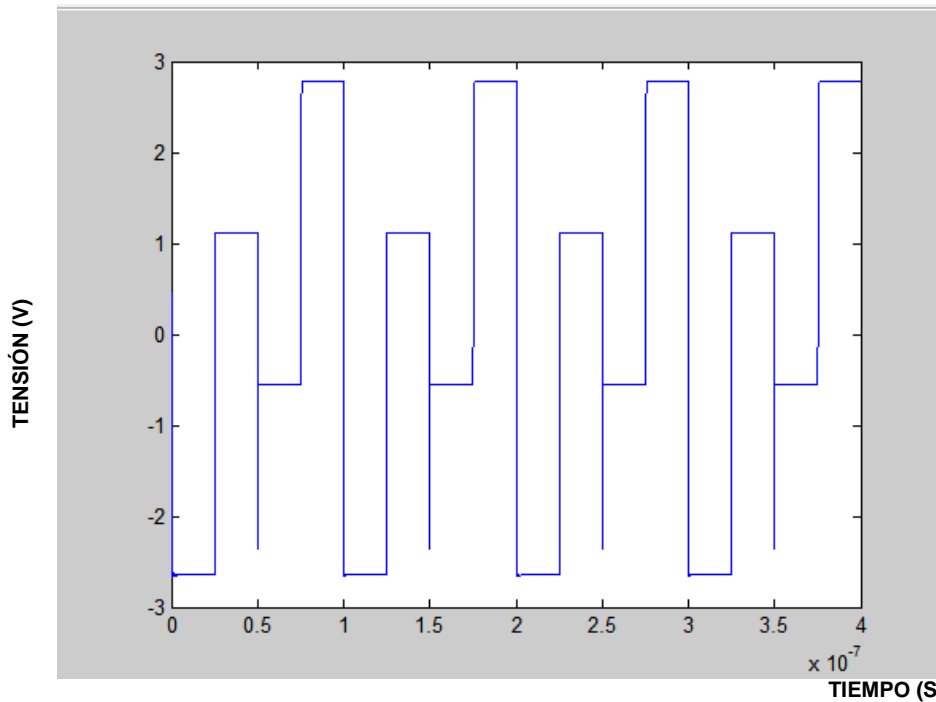


Figura 21. Tensión obtenida del transistor 3 entre puerta y drenador

Los picos que se aprecian son debidos a la conmutación de los transistores, un análisis digital solo permitiría obtener los valores más altos y más bajos, por lo que no detectarían los picos ni los estados intermedios de tensión, la elección de un análisis analógico para este tipo de circuitos es correcta para obtener los valores exactos.

La gráfica de Puerta-Drenador y Puerta-Bulk son iguales ya que estos dos terminales están cortocircuitados.

En el siguiente apartado se describirá el código que permite analizar toda la información que se extrae del código Spice Opus con el fin de calcular las posibles rupturas dieléctricas que pueden sufrir cada uno de los transistores del circuito.

5.2 EVALUACIÓN DEL ESTRÉS DE LOS TRANSISTORES

El objetivo del análisis de las graficas es el mismo que en el caso de los circuitos con un solo transistor, y es el de obtener el estrés de cada una de las graficas para después con la formula de la ruptura dieléctrica verificar si se ha producido ruptura en uno de los transistores que forman el circuito.

En este caso se realiza el análisis analógico ya que comparándolo con el análisis digital tiene más ventajas y permite una mayor exactitud.

En este nuevo código se añaden mejoras que no se han tenido en cuenta en el código para circuitos de un solo transistor y que pueden ser útiles para analizar circuitos complejos.

En concreto se han realizado las siguientes mejoras:

- Introducido sistema de iteraciones que permite repetir todos los pasos para simular ruptura dieléctrica para comparar diferentes posibilidades y calcular probabilidades de ruptura.
- Generado un contador de rupturas que permite conocer qué partes del transistor y que transistores son más vulnerables al efecto de la ruptura dieléctrica. Cosa que permite conocer los “puntos débiles” de circuitos complejos con muchos transistores.
- Creación de una variable Weibull para cada una de las zonas del transistor y para cada uno de los transistores, para independizar los resultados de las rupturas entre cada uno de los transistores y cada una de sus zonas.
- Generación de tablas que muestran todas las variables de Weibull y todos los tiempos de estrés en el circuito y en cada una de las iteraciones, para si se desea analizar posteriormente los resultados (No se borran los resultados anteriores cada vez que se realiza una iteración).
- Visualización de los resultados de las rupturas mediante gráficas de cada una de las zonas del transistor (de cada uno de los transistores) y el total de rupturas/transistor que sufre el circuito.

5.2.1 Diagrama de flujo del código

En este apartado se explica detalladamente el funcionamiento del código y su composición. El diagrama de flujo se muestra en la figura 22.

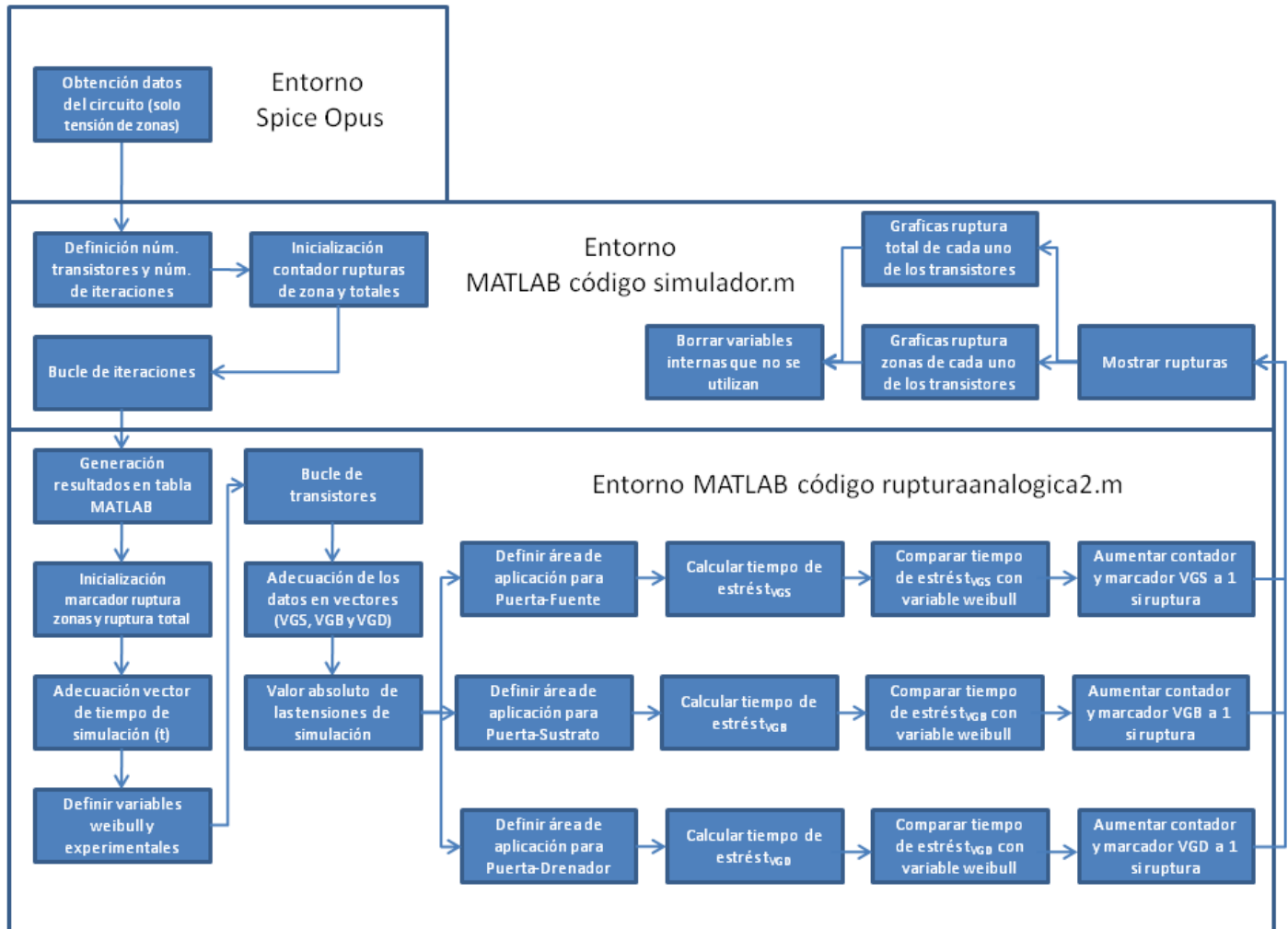


Figura 22. Diagrama de flujo análisis analógico circuito de uno/varios transistores

- **Obtención datos del circuito:**

Esta tarea genera el circuito que más adelante se analizará, funciona en el entorno Spice OPUS y un programa diseñado para que muestre los parámetros del transistor.

- **Definición número de transistores e iteraciones:**

Se extrae de los parámetros del programa Spice Opus el número de transistores que compone el circuito a analizar. Después se determina el número de veces que se desea simular la ruptura dieléctrica sobre el circuito para calcular la probabilidad de que exista ruptura en un mismo transistor (o en cada una de las zonas que lo componen).

En esta tarea empieza el código llamado “simulador.m”.

- **Inicialización contador rupturas de zona y totales:**

Este apartado genera una tabla en la que se mostraran el número de rupturas que han sufrido cada una de las zonas de cada uno de los transistores del circuito, además de mostrar la cantidad de rupturas totales que sufre un transistor.

Un ejemplo de tabla contador de rupturas se muestra en la tabla 8.

ruptura <4x18 double>								
	1	2	3	4	5	6	7	8
1	0	0	0	0	0	0	0	0
2	2	3	0	0	0	0	2	0
3	0	0	0	0	0	0	0	0
4	2	3	0	0	0	0	2	0

Tabla 8. Tabla contador de rupturas dieléctricas

Las columnas representan cada uno de los transistores, la primera fila corresponde a una ruptura entre puerta-fuente, la segunda fila una ruptura entre puerta-sustrato, la tercera fila una ruptura entre puerta-drenador y la última fila la suma total de roturas que ha sufrido en cada una de las iteraciones.

No siempre coincide el número total de roturas con la suma de las zonas, ya que si el transistor ha sufrido más de una rotura en una misma iteración solo se considera una rotura en la última fila. En el principio los inicializa a 0.

- **Bucle de iteraciones:**

En este apartado se genera el bucle de iteraciones que calculara las rupturas dieléctricas del circuito tantas veces como se desee definiendo el número de veces en el apartado anterior de definición de iteraciones. Cada una de las veces que se realice una iteración no tiene por qué dar el mismo resultado ya que las rupturas dieléctricas dependen de la variable aleatoria de Weibull y por tanto un transistor que sufra una ruptura en una de sus zonas en una iteración, en la siguiente no tiene porque sufrirla.

- **Generación resultados en tabla MATLAB:**

Se genera una tabla compatible con MATLAB para poder trabajar con los resultados del circuito llamada "datos".

En esta tarea empieza el código llamado "rupturaanalogica.m" y que se encargará de calcular el estrés y las rupturas dieléctricas de cada una de las zonas del transistor y de cada uno de los transistores.

- **Inicialización marcador de rupturas de zona y totales:**

Estos marcadores definen si se ha producido ruptura y donde se ha producido para activar las tablas de estrés y ruptura dieléctrica más adelante. En el principio de la simulación y cada vez que se realiza una iteración se inicializan a 0.

- **Adecuación vector de tiempo de simulación:**

En esta simulación, a diferencia que en las simulaciones de un solo transistor, para simplificar y no tener que generar el vector tiempo que es común para todos los transistores se genera antes de realizar el bucle de transistores.

- **Definición variables aleatorias de Weibull y experimentales:**

Esta tarea genera un valor aleatorio que sigue una distribución de Weibull que más adelante se comparará con el valor de estrés que sufre el transistor en cada uno de sus terminales.

A diferencia con los casos anteriores, se genera una variable de Weibull para cada una de las zonas del transistor y para cada uno de los transistores, para independizar los resultados obtenidos en otras zonas del transistor.

Las variables experimentales son aquellas variables necesarias para realizar los cálculos del tiempo de estrés que en futuras tareas se comparará con la variable de Weibull.

- $A_{ref}=49e-12 \text{ m}^2$ (Área de la estructura de test considerada)
- $V_{ref}=3.6 \text{ V}$; (Tensión de estrés acelerada)
- $n=32$; (Parámetro que depende de la tecnología)

- **Bucle de transistores:**

En este apartado se genera el bucle que analiza todos los transistores que forman el circuito, para realizar un análisis del tiempo de estrés que hay en cada una de sus zonas, para más adelante calcular las rupturas dieléctricas.

- **Adecuación de los datos en vectores (VGS,VGB y VGD):**

Las tensiones que extrae el programa Spice Opus los muestra en una tabla como explica el anterior apartado. Esta tarea se encarga de separar los datos de la tabla, a los vectores siguientes: Vector de tensión puerta-fuente, tensión puerta-sustrato y tensión puerta-drenador y se separan para distinguir entre las diferentes zonas de cada uno de los transistores, ya que en la tabla que extrae existen los resultados de todos los transistores.

- **Valor absoluto de las tensiones de simulación:**

Debido a que en el análisis analógico queremos calcular la integral de toda la tensión aplicada a cada parte del transistor, las tensiones negativas también tienen que ser tenidas en cuenta ya que también crean un estrés sobre los transistores y por tanto se hacen positivas para tenerlas en cuenta en el estrés total.

- **Definición del área de aplicación para cada una de las zonas:**

Según las zonas de los transistores se define un área de aplicación de la ruptura, el valor no es exacto ya que depende del diseño físico del transistor puede variar. Los valores fijados son los siguientes:

- 10% del área de la puerta para el enlace puerta-drenador
- 80% del área de la puerta para el enlace puerta-sustrato
- 10% del área de la puerta para el enlace puerta-fuente

- **Calculo del tiempo de estrés para cada una de las zonas y cada uno de los transistores:**

Mediante la ecuación 5, que se muestra en el capítulo de ruptura analógica, los datos extraídos del programa Spice Opus, los parámetros del transistor y las variables experimentales, se calcula el tiempo de estrés equivalente en cada zona del transistor.

- **Comparación tiempo de estrés con variable de Weibull:**

En esta tarea se compara el tiempo de estrés con el valor de la variable aleatoria que sigue una distribución de Weibull. Pueden ocurrir dos casos:

- La variable aleatoria que sigue una distribución de Weibull es más grande que el tiempo de estrés para una de las zonas, entonces no se produce ruptura dieléctrica en esa zona en concreto del transistor.
- La variable aleatoria que sigue una distribución de Weibull es más pequeña que el tiempo de estrés para una de las zonas, entonces se produce ruptura dieléctrica en esa zona en concreto del transistor.

La diferencia con anteriores análisis es que se obtiene un resultado de cada una de las zonas del transistor y cada uno de los transistores de manera independiente.

- **Aumentar contador y marcadores de cada una de las zonas y el total a 1 :**

En caso de que se produzca una ruptura, se aumenta el valor del contador para realizar un análisis posterior de los resultados de las rupturas. También se pasan a 1 los marcadores de rupturas.

En este punto acaba el código "rupturaanalogica2.m" ya que se han analizado todos los estreses y todas las rupturas dieléctricas que se han producido en el circuito.

- **Mostrar rupturas:**

A diferencia de en casos anteriores, como en el código "rupturaanalogica2.m" se han generado marcadores de ruptura y contadores se puede analizar fácilmente todas las rupturas que se han generado.

Se realiza un barrido por todos los transistores para analizar el número de rupturas y se muestran en pantalla mediante gráficas.

En esta tarea se retoma el código "simulador.m" para mostrar los resultados obtenidos.

- **Borrado variables internas:**

Esta tarea elimina todas las variables que se han creado dentro del código que no son útiles ni aportan información al usuario, así no se mezclan con las variables importantes y se extraen conclusiones del circuito mucho más rápido.

5.2.2 Visualización de los resultados

A diferencia de los anteriores análisis de circuitos más simples, los resultados referentes a las rupturas dieléctricas de este análisis se visualizan mediante gráficas para que sean más intuitivos los resultados.

En este caso se ha definido el número de iteraciones en 10 (análisis de todo el circuito) y el circuito contiene 18 transistores.

Los resultados se recogen en 4 gráficas:

- Gráfica 1: Rupturas dieléctricas zona Puerta-Fuente en cada uno de los transistores (figura 23).
- Gráfica 2: Rupturas dieléctricas zona Puerta-Sustrato en cada uno de los transistores (figura 24).
- Gráfica 3: Rupturas dieléctricas zona Puerta-Drenador en cada uno de los transistores (figura 25).
- Gráfica 4: Gráfica rupturas totales por iteración en cada uno de los transistores. (figura 26).

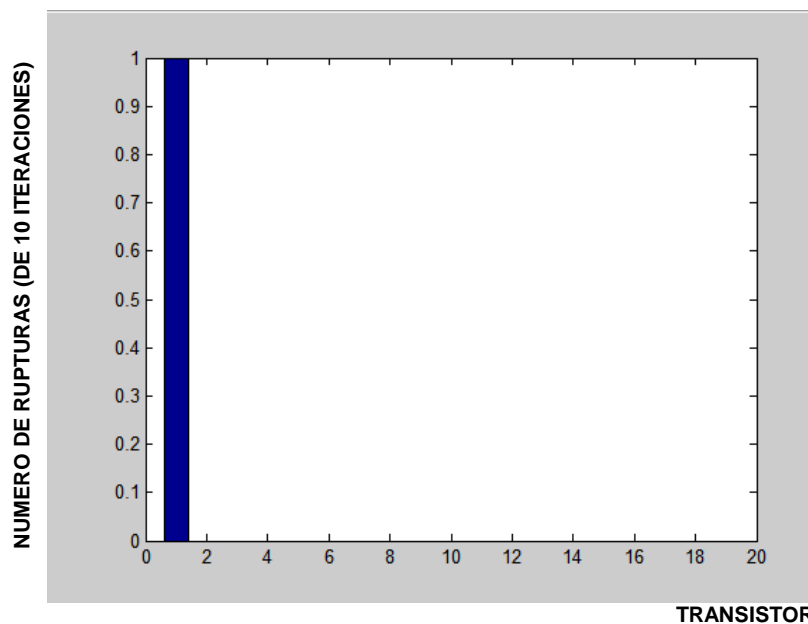


Figura 23. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Fuente de cada uno de los transistores

Las conclusiones que se extraen de la anterior gráfica es que solo ha ocurrido una ruptura dieléctrica en las 10 iteraciones en la zona puerta-fuente, concretamente en el primer transistor.

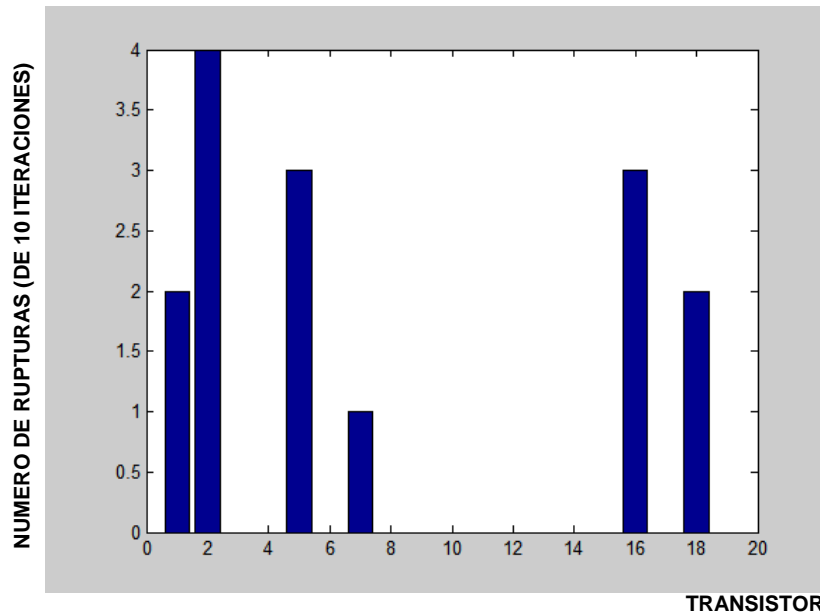


Figura 24. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Sustrato de cada uno de los transistores

Las conclusiones que se extraen de la anterior gráfica es que se producen diversas rupturas en varios transistores en esta zona en concreto.

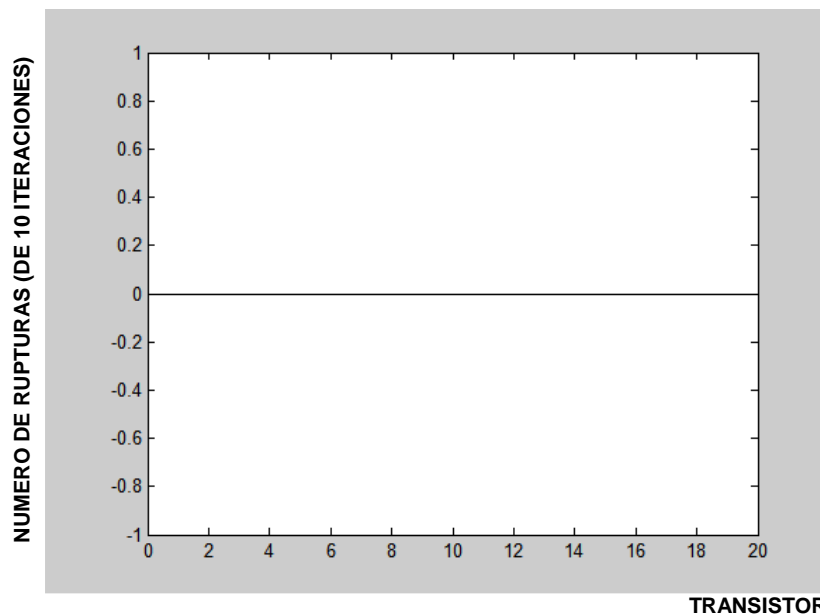


Figura 25. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Drenador de cada uno de los transistores

Las conclusiones que se extraen de la anterior gráfica es que no se produce ninguna ruptura en la zona puerta-drenador en ninguno de los transistores en las 10 iteraciones realizadas. Esto es debido a que los estreses obtenidos en cada uno de los transistores son muy pequeños respecto con los valores de

tensión marcados en el circuito (4,5 voltios en las entradas a, b y en la tensión VCC). Si se modifica esta tensión se pueden visualizar rupturas en esta gráfica.

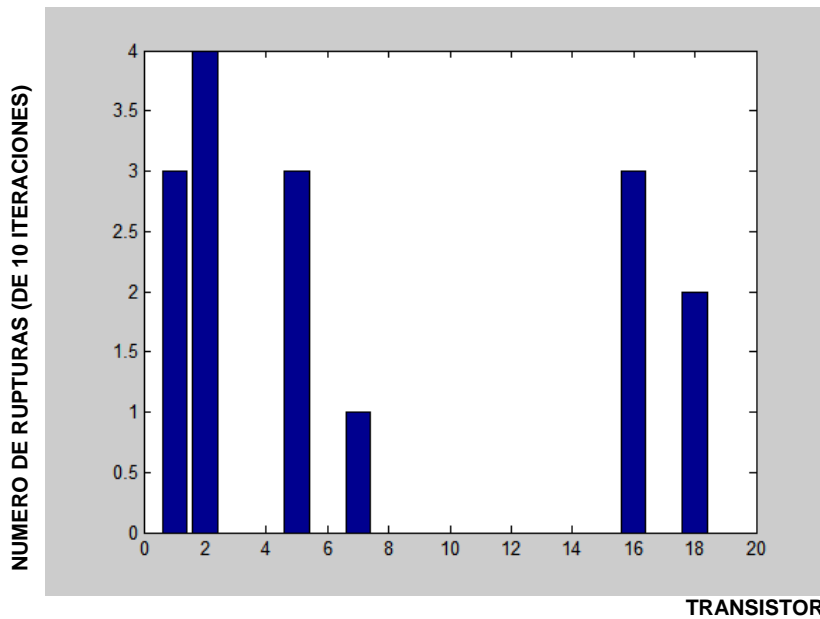


Figura 26. Numero de rupturas producidas en 10 iteraciones en todos los transistores (máximo 1 ruptura por iteración)

Las conclusiones que se extraen de la anterior gráfica son que los transistores que sufren ruptura dieléctrica son los transistores 1, 2, 5, 7, 16 y 18. El resto no ha sufrido una ruptura dieléctrica. Solo se tiene en cuenta

Gracias a todas estas gráficas se puede tener una idea más exacta de que partes de un circuito complejo son más susceptibles a la ruptura dieléctrica y permite conocer que partes se deben reforzar o rediseñar para mejorar la fiabilidad de los circuitos analizados.

En el siguiente apartado se mostrarán las conclusiones que se pueden extraer del análisis del circuito.

5.3 CONCLUSIONES

En este apartado se interpretan los resultados obtenidos del anterior análisis mediante el código diseñado y se sacan conclusiones del circuito con puertas lógicas.

Observando las gráficas de cada una de las zonas se saca la conclusión de que las zonas que más probabilidad tienen de sufrir una ruptura con esta configuración de circuito son la zona puerta-fuente y puerta-sustrato.

La zona puerta-sustrato tiene sentido ya que existe mucha más área donde se puede producir la ruptura y por tanto la probabilidad es mayor.

La zona puerta-fuente tiene sentido ya que hay una variación más grande de tensión entre la puerta y la fuente para estos casos, muchas veces conecta directamente con VCC o masa y la diferencia de potencial que se produce en esta zona aumenta la probabilidad de que exista una ruptura.

Observando la gráfica de ruptura general de los transistores (figura 26) se obtiene el siguiente resultado (figura 27):

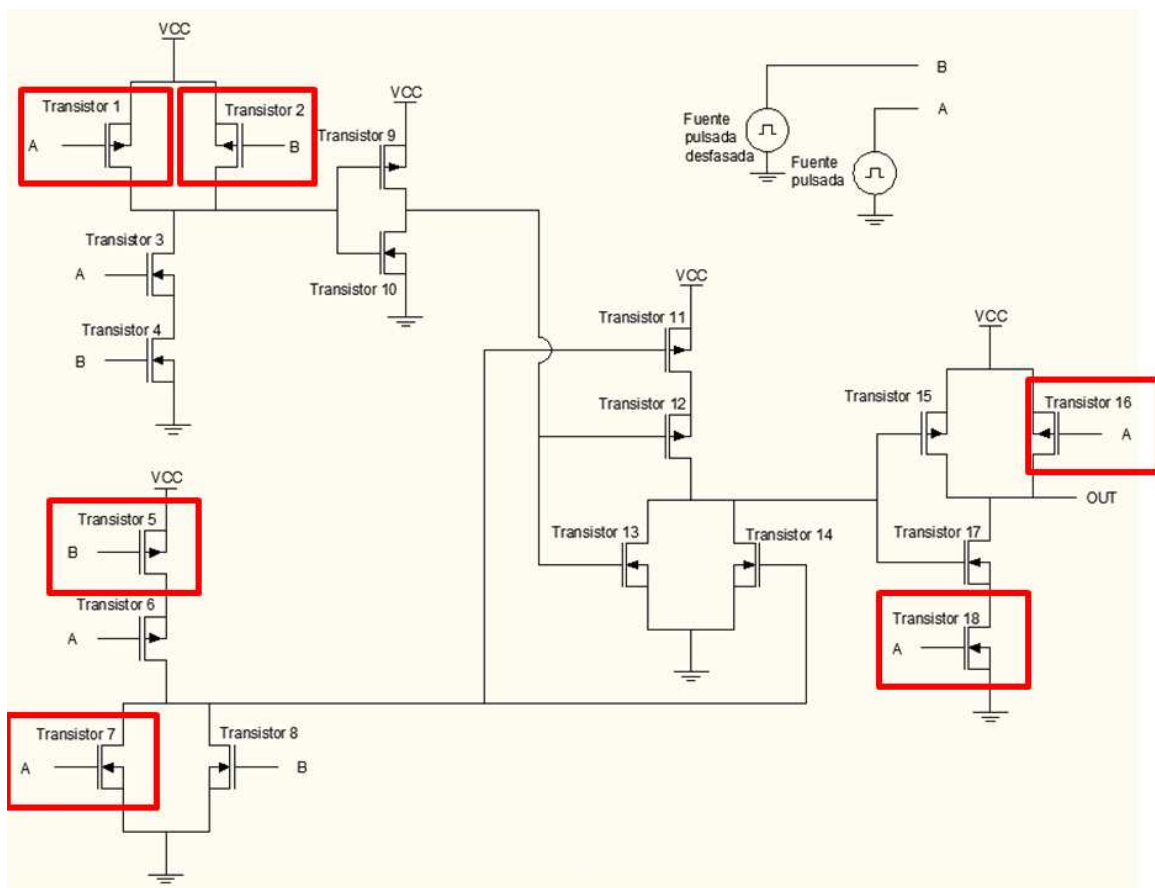


Figura 27. Los transistores que más sufren rupturas dieléctricas de todo el circuito (rodeados por un cuadrado rojo)

Se puede observar que los transistores que más sufren son los que se encuentran conectados a los terminales de tensión VCC o masa, además se puede observar como la puerta siempre tiene una entrada, ya sea A o B.

Las conclusiones que se extraen de los anteriores resultados son:

- Los transistores que más probabilidad tienen de sufrir una ruptura son aquellos que contienen las entradas directas del circuito, por lo que se deben de reforzar estos transistores para evitar estos problemas.
- Los transistores que más probabilidad tienen de sufrir ruptura también son aquellos que se conecten a los terminales de alimentación VCC o masa.
- El resto de los transistores están menos expuestos a este tipo de problemas pero si se aumentan mucho la tensión de VCC puede aumentar mucho la probabilidad de que sufran ruptura dieléctrica ya que aumenta el estrés aplicado en las zonas del transistor.

En este apartado se ha diseñado un código más o menos complejo para que más adelante se pueda diseñar un código que permita analizar todas las rupturas dieléctricas que puedan aparecer en cada uno de sus transistores.

También se ha diseñado a partir del análisis analógico de un solo transistor, un código capaz de analizar circuitos complejos basados en tecnología CMOS formado por cualquier cantidad de transistores.

Se han introducido varias modificaciones respecto al anterior código (sección 4) para conseguir acercar a la realidad los resultados de rupturas (Variable Weibull independiente para cada zona de cada uno de los transistores); posibilidad de introducir iteraciones para ver diferentes resultados de un mismo circuito; generación de contadores y marcadores para analizar la cantidad de rupturas que han aparecido en cada una de las iteraciones y la creación de gráficas para facilitar el análisis de los resultados obtenidos finalmente.

Finalmente se han sacado conclusiones de las partes más susceptibles a la ruptura dieléctrica del circuito diseñado en este mismo capítulo

En el siguiente capítulo se diseñará un código que permita calcular la probabilidad de ruptura de cada una de las partes que forman un circuito complejo ayudándose de los resultados obtenidos con el análisis realizado en este capítulo, con el objetivo de obtener valores exactos de probabilidad y poder realizar comparaciones con otros circuitos o las mejoras que han supuesto modificaciones en el mismo circuito.

6 CALCULO DE LA PROBABILIDAD DE RUPTURA

En el anterior capítulo se han obtenido todas las rupturas que suceden en una o varias iteraciones en cada una de las zonas de cada uno de los transistores. En este capítulo se diseñará un código que calcule la probabilidad de que ocurran estas rupturas y se mostrarán en un gráfico.

Para realizar este capítulo se parte de los datos obtenidos del anterior capítulo, por lo que es un código que se deberá ejecutar siempre después de ejecutar el código "simulador.m".

6.1 EXPLICACIÓN DEL CÓDIGO IMPLEMENTADO

En este apartado se expondrán cada una de las partes que forman el código a implementar, concretamente recibe el nombre de "probruptura.m"

Inicialmente se mostrará su diagrama de flujo y a continuación se explicarán cada una de sus etapas.

Las tablas que se generan en el código anterior "simulador.m" y que son necesarias para el código que vamos a implementar son las siguientes:

- testres: Para tener el valor de estrés de todas las zonas y de todos los transistores (Tabla 9).

testres <30x18 double>					
	1	2	3	4	5
1	7.9624	12.4036	2.9076e-08	0	7.9624
2	42.5932	66.3509	1.5554e-07	0	42.5932
3	2.9862e-08	4.0940e-10	2.9862e-08	2.3872e-11	2.2403e-10
4	7.9624	12.4036	2.9076e-08	0	7.9624
5	42.5932	66.3509	1.5554e-07	0	42.5932
6	2.9862e-08	4.0940e-10	2.9862e-08	2.3872e-11	2.2403e-10

Tabla 9. Fragmento de la tabla "testres"

Cada una de las columnas corresponde a transistores diferentes, la fila 1 corresponde a la zona puerta-fuente, la fila 2 corresponde a la zona puerta-sustrato y la fila 3 corresponde a la zona puerta-drenador.

Las 3 primera filas forman parte de la primera iteración, las 3 siguientes la segunda y así sucesivamente.

- xruptura: Para obtener todas las variables aleatorias que siguen una distribución de Weibull de cada una de las zonas de todos los transistores del circuito. Esta tabla sigue un patrón similar a la tabla de testres (tabla 10):

xruptura <30x18 double>					
	1	2	3	4	5
1	30.8817	263.9766	46.5568	94.7989	42.6954
2	7.6606	23.2185	35.5558	49.9065	271.2979
3	49.8683	11.4801	37.5546	158.1204	122.3367
4	27.9076	104.0026	55.7389	25.6825	13.8835
5	132.1196	148.0435	79.1281	60.4482	119.8959
6	12.1636	129.8090	103.6209	66.0875	35.6295

Tabla 10. Fragmento de la tabla "xruptura"

Cada una de las columnas corresponde a transistores diferentes, la fila 1 corresponde a la zona puerta-fuente, la fila 2 corresponde a la zona puerta-sustrato y la fila 3 corresponde a la zona puerta-drenador. Las 3 primera filas forman parte de la primera iteración, las 3 siguientes la segunda y así sucesivamente.

La idea es que cada tiempo de estrés se pueda relacionar con la misma posición de la tabla de variables aleatorios que siguen una distribución de Weibull y esto para cada una de las iteraciones. Cosa que facilita mucho el análisis posterior y el diseño del código que gestione estas tablas.

El código siguiente también necesita dos variables que las extrae del anterior código para funcionar correctamente, en concreto son:

- iteraciones: Necesario para conocer el número de veces que se ha repetido el análisis en todo el circuito.
- num: Para conocer el número máximo de transistores que forman el circuito.

A continuación se mostrará y explicará el diagrama de flujo del código que calcula la probabilidad de ruptura dieléctrica (figura 28).

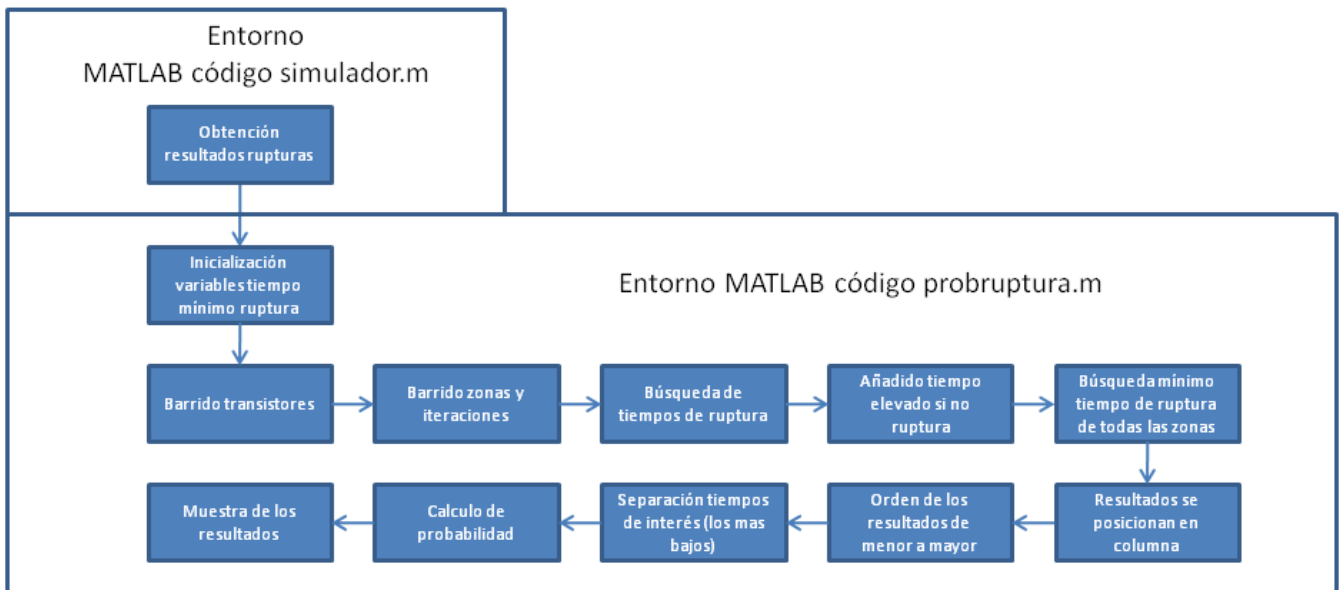


Figura 28. Diagrama de flujo código "proruptura"

- Obtención resultados rupturas:

Se carga el código y realiza el análisis del circuito, donde obtiene todas las posibles rupturas dieléctricas que puede sufrir cada uno de los transistores del circuito.

Como ya se ha explicado anteriormente, las tablas y las variables que genera el código "simulador.m" y que son necesarias para este nuevo código son "xruptura", "testres", "num" y "iteraciones".

- Inicialización variables tiempo mínimo ruptura:

En esta tarea se inicializan las variables que más adelante se utilizarán para gestionar los tiempos de ruptura de cada uno de los transistores.

- Barrido transistores, zonas e iteraciones:

Este barrido es necesario para más adelante analizar cada una de las casillas de las tablas "xruptura" y "testres".

- Búsqueda de tiempos de ruptura:

Mediante el barrido anterior se busca todas las rupturas que han aparecido en el análisis del código "simulador.m".

Para lograrlo compara cada una de las casillas de "testres" con las casillas de "xruptura". Si la casilla de la tabla "xruptura" es más pequeña que su complementaria en la tabla "testres" entonces se ha producido una ruptura en esa zona de ese transistor y se apunta el valor de tiempo de la tabla "xruptura" en una de las variables inicializadas (TBD).

- **Añadido tiempo elevado si no ruptura:**

Si en la búsqueda anterior no se encuentra una ruptura en una de las casillas, se introduce un valor elevado de tiempo (en este caso 1^{30}) en la variable inicializada (TBD), para simular que nunca se produce ruptura y no tener en cuenta este valor de tiempo de ruptura.

- **Búsqueda mínimo tiempo de ruptura de todas las zonas:**

En esta tarea recoge la variable TBD que incluye todas las rupturas producidas y valores muy elevados en el resto de las casillas y selecciona los valores de ruptura más pequeños en cada uno de los transistores (el valor más pequeño de las 3 zonas que forman el transistor en caso de que haya más de una ruptura en un mismo transistor) para más adelante utilizar solo esos valores para calcular la probabilidad.

Opcional si se desea calcular únicamente una ruptura en cada uno de los transistores.

- **Resultados se posicionan en columna:**

Los resultados de las rupturas se muestran en una tabla, ahora se ordenan en una columna para trabajar mejor con ellos.

- **Orden de los resultados de menor a mayor:**

Con el fin de calcular la probabilidad se ordenan los resultados de las rupturas de cada uno de los transistores de menor a mayor.

- **Separación tiempos de interés (los más bajos):**

En esta tarea se desechan todos aquellos valores elevados que se han añadido anteriormente cuando no se ha producido una ruptura.

- **Cálculo de la probabilidad:**

Se calcula la probabilidad con los tiempos de ruptura restantes después de todo el proceso anterior.

Para hacerlo se divide 1 entre el número total de resultados de rupturas. Se vuelve a dividir el número total de ruptura del resultado anterior.

Una vez obtenido este valor se muestra en una gráfica logarítmica los valores de tiempo con el valor de probabilidad de que este ocurra.

- **Muestra de los resultados:**

Finalmente se muestra la probabilidad de que exista una ruptura dieléctrica en todo el circuito mediante dos gráficas que se mostrarán y explicarán en el siguiente apartado.

6.1.1 Análisis de resultados

A continuación se analizarán los resultados obtenidos de la situación del circuito del capítulo anterior (Se han aplicado tensiones altas y aumentado el tiempo de los pulsos para obtener estos valores).

La primera de las gráficas que aparecen en pantalla una vez ejecutado el código (figura 29), muestra la probabilidad de que exista una ruptura dieléctrica en el circuito.

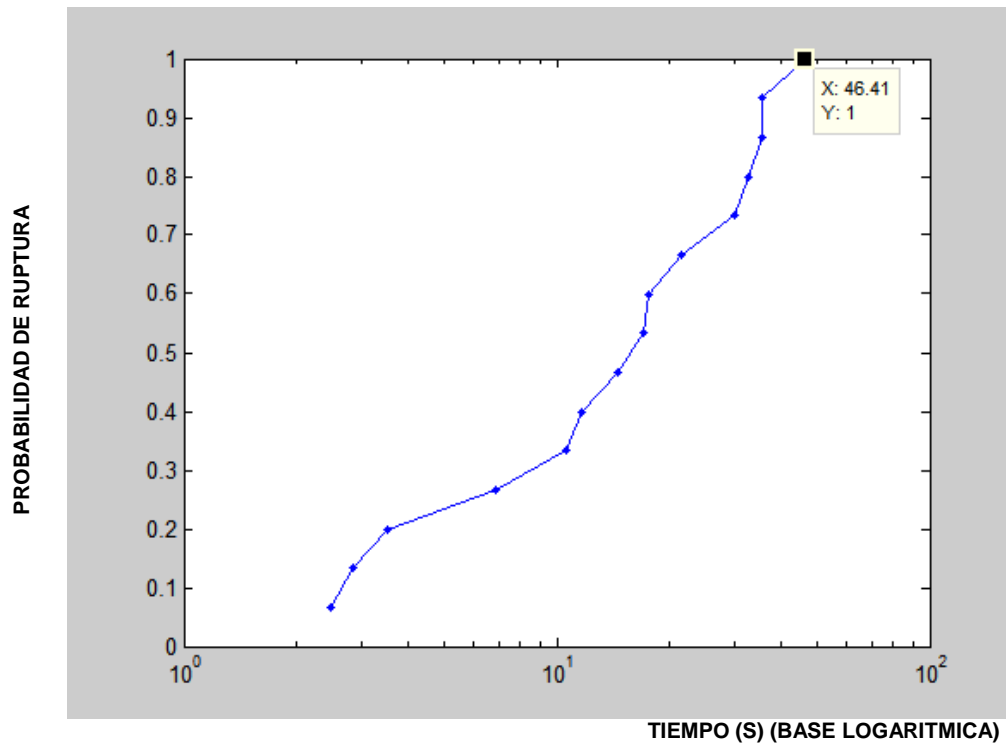


Figura 29. Probabilidad de ruptura del circuito basado en puertas lógicas

Para analizar correctamente la anterior gráfica se mostrarán los resultados en una tabla (tabla 11) donde aparecen cada uno de los valores de tiempo con la probabilidad de que se produzca una ruptura en un transistor del circuito.

T (s)	Prob.	Prob. (%)
2,474	0,06667	6,667
2,851	0,1333	13,33
3,513	0,2	20
6,885	0,2667	26,67
10,65	0,3333	33,33
11,68	0,4	40
14,6	0,466	46,6
17,06	0,5333	53,33
17,56	0,6	60
21,69	0,6667	66,67
29,97	0,7333	73,33
32,51	0,8	80
35,51	0,8667	86,67
35,51	0,9333	93,33
46,41	1	100

Tabla 11. Valores de probabilidades de ruptura respecto el tiempo

En la tabla 11 se muestra la probabilidad de que se produzca una ruptura dieléctrica en cualquiera de los transistores para diferentes tiempos de aplicación de las señales de entrada A y B en el circuito del anterior capítulo.

Por ejemplo si se aplica 2,474 segundos las señales de entrada existe un 6,667% de probabilidad de que se produzca una ruptura dieléctrica en uno de los transistores.

Para que exista aproximadamente un 50% de probabilidad de que exista ruptura dieléctrica en un transistor se debe de mantener las señales de entrada aproximadamente 17 segundos.

La aplicación de la anterior señal durante aproximadamente 46 segundos supone un 100% de probabilidad de que se produzca una ruptura.

La probabilidad de ruptura también se puede expresar según la representación de Gumbel, que se trata de una representación de la función acumulativa de la distribución mostrada en la anterior figura.

En la siguiente gráfica (figura 30) se muestra la distribución de Gumbel de los resultados de probabilidad mostrados en la anterior gráfica (figura 29).

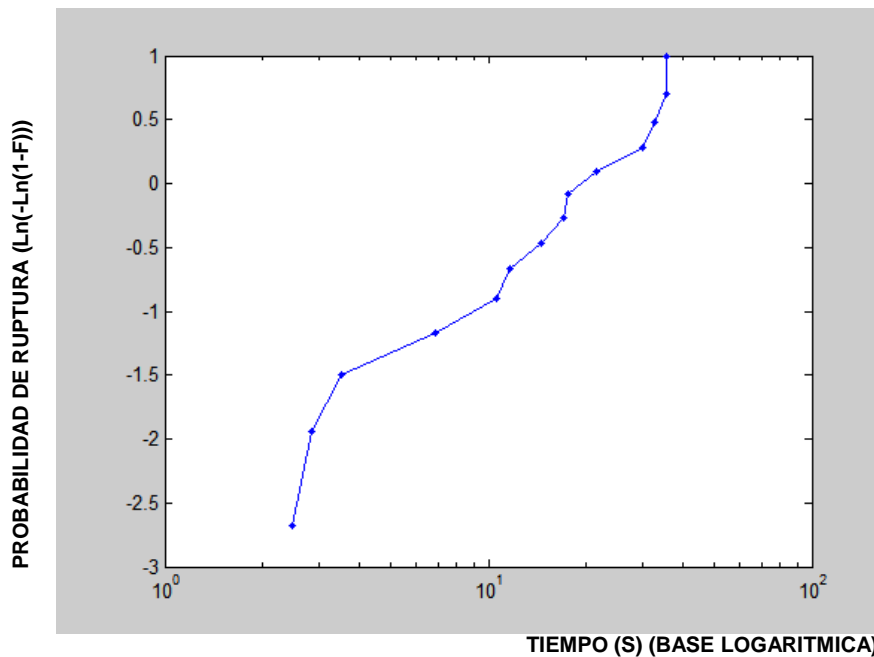


Figura 30. Representación de Gumbel de los tiempos de ruptura normalizados de la grafica correspondiente a la figura 29

Los valores de la distribución de Gumbel de la anterior gráfica se muestran en la siguiente tabla:

En la anterior tabla se pueden apreciar los valores acumulados de las probabilidades de la primera gráfica. Como es aproximadamente lineal significa que sigue efectivamente una distribución de Weibull.

En este capítulo se ha definido el código que calcula la probabilidad de ruptura dieléctrica según el tiempo de aplicación de la señal A y B sobre el circuito explicado en el anterior capítulo.

En el siguiente capítulo se realizará un análisis completo de rupturas dieléctricas en cada uno de los transistores de dos circuitos, además de calcular la probabilidad de que se produzca una ruptura en cada uno de ellos.

7 ANALISIS DE VARIOS CIRCUITOS

Una vez realizados todos los pasos para localizar las posibles rupturas dieléctricas, calcular la probabilidad de que se produzcan y analizar los puntos débiles en un circuito basado en tecnología CMOS se mostrarán las posibilidades del código implementado a partir de la simulación de varios circuitos basados en puertas lógicas.

Se analizarán dos circuitos, el primero se trata de una puerta XOR y el segundo es un conjunto de 40 inversores en serie.

7.1 PUERTA XOR

El primer circuito a analizar se trata de una puerta XOR, que está compuesta por diferentes puertas lógicas, en concreto dos puertas NOT, dos puertas AND y una puerta OR.

Se expresa cómo $F = A \oplus B$ pero la operación que realiza es:

$$F = \overline{A}B + A\overline{B} \quad \text{ec. 7}$$

En circuitos lógicos, se representa con el siguiente símbolo (figura 31).



Figura 31. Símbolo puerta XOR

Y su tabla de la verdad se muestra en la figura 12.

A	B	Salida
0	0	0
0	1	1
1	0	1
1	1	0

Tabla 12. Tabla de la verdad puerta XOR

7.1.1 Esquemático del circuito

La distribución de cada uno de los componentes de la puerta XOR es la siguiente (figura 32).

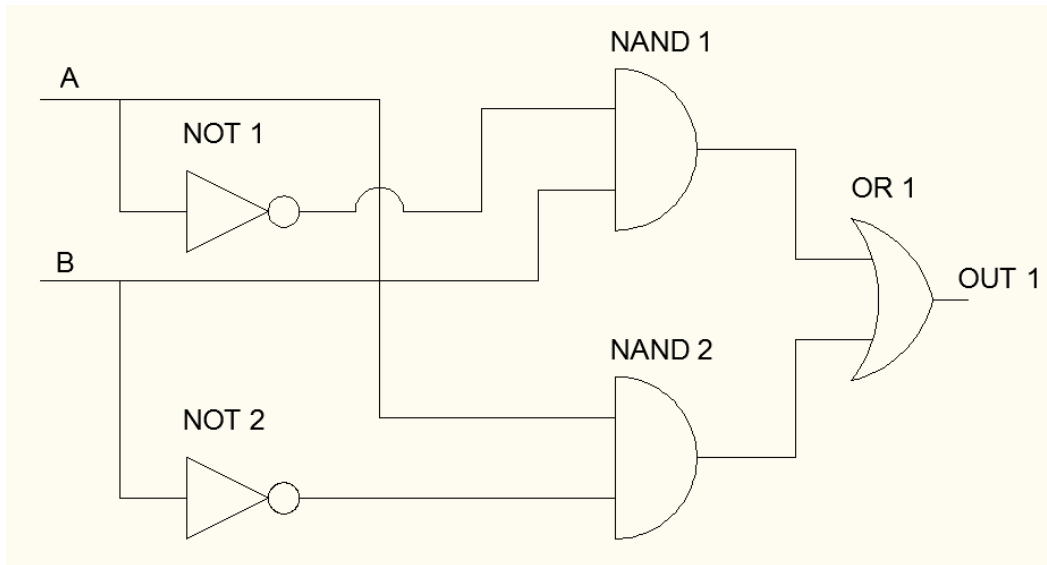


Figura 32. Esquema del circuito XOR.

7.1.2 Entradas y salida

La figura 33 muestra las entradas A y B:

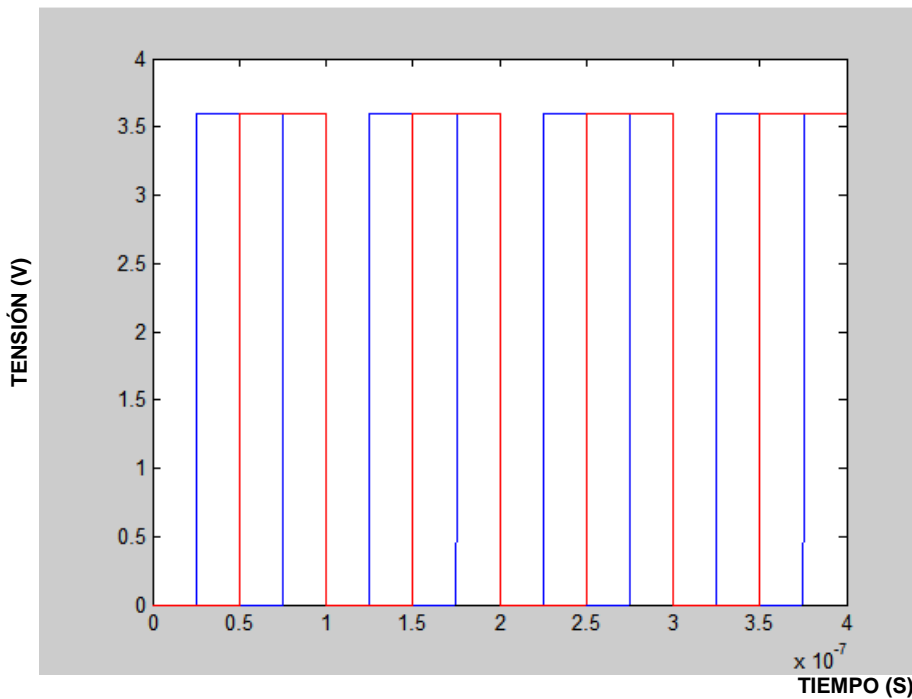


Figura 33. Evolución en el tiempo de las entradas A y B del circuito XOR

La línea de color azul corresponde a la entrada A y la de color rojo a la entrada B, se puede apreciar el desfase entre ellas y que se visualizan todos los estados de la tabla de la verdad.

Para verificar que la salida corresponde a la tabla de la verdad (tabla 12) en función de las entradas se muestra la figura 34, que corresponde a la salida OUT.

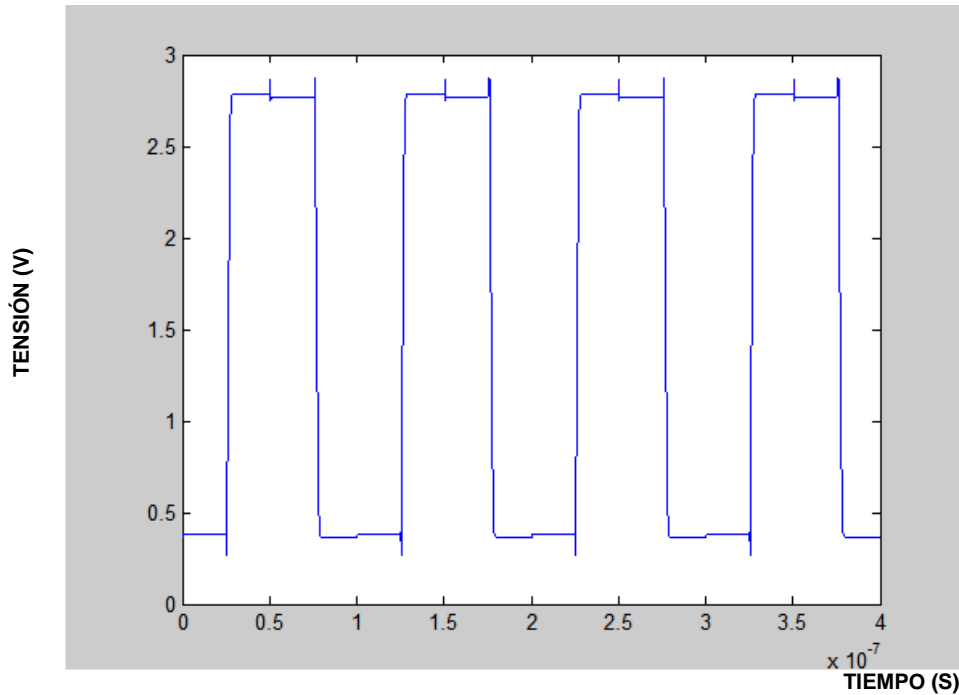


Figura 34. Salida OUT del circuito XOR

Analizando cada uno de los transistores que forman las puertas lógicas que se describen anteriormente se obtiene el esquema de la figura 35 donde se puede observar la composición de cada una de las puertas lógicas.

Hay que tener en cuenta que los inversores que aparecen después de las puertas AND y de la puerta OR corresponden a transistores de las mismas puertas lógicas y no inversores independientes.

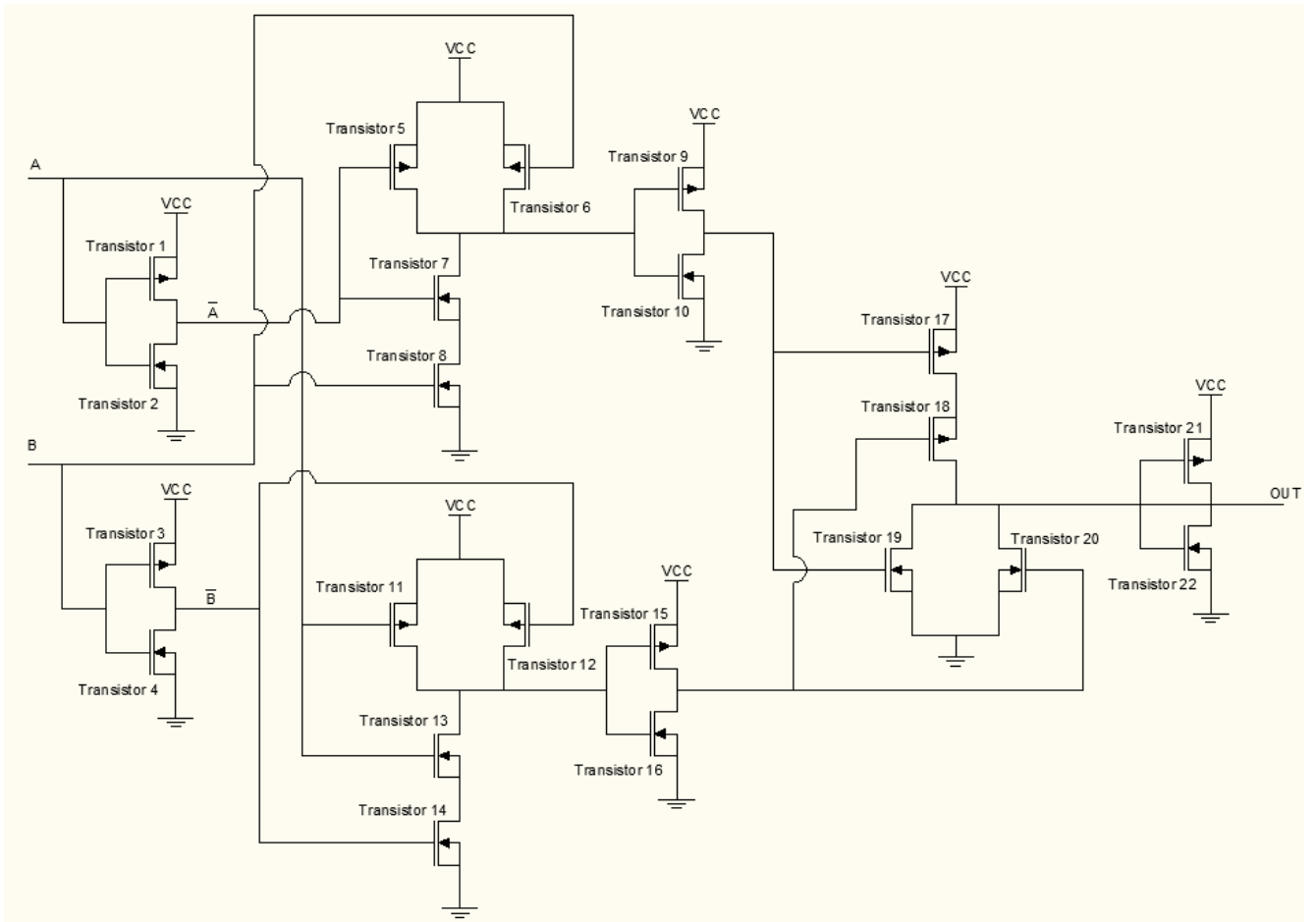


Figura 35. Esquema de circuito completo que representa una puerta XOR

7.1.3 Resultado del análisis de fiabilidad

Ejecutando el código de análisis analógico sobre el circuito anterior y aumentando el tiempo de pulso de las entradas, el tiempo de simulación y la tensión de entrada se obtienen los siguientes resultados.

Los valores iniciales para obtener estos resultados son los siguientes:

- Tensión entrada A: 5.1 V
- Tensión entrada B: 5.1 V
- Tensión alimentación: 5.1 V
- Tiempo de muestreo: 0.1 ms
- Tiempo total simulación: 400ms

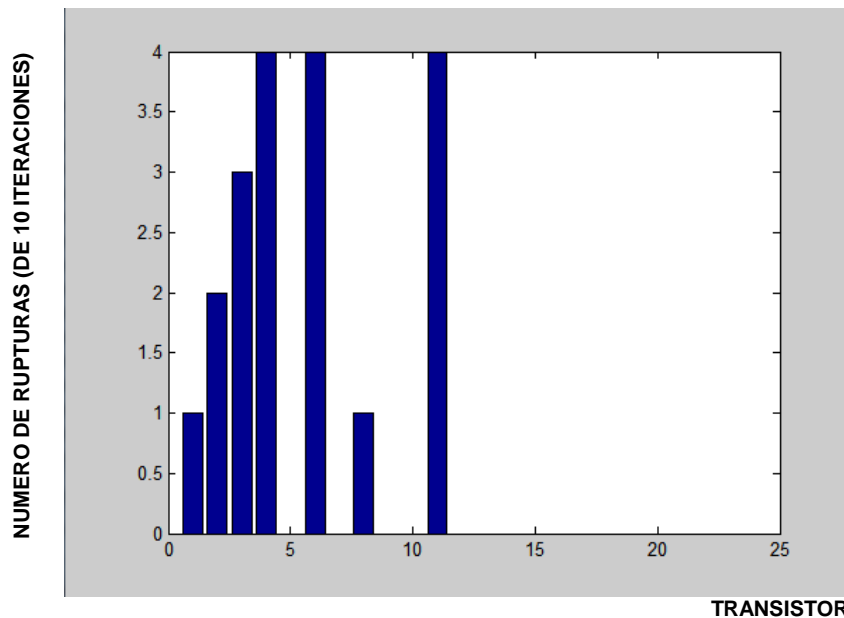


Figura 36. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Fuente de cada uno de los transistores (Puerta XOR)

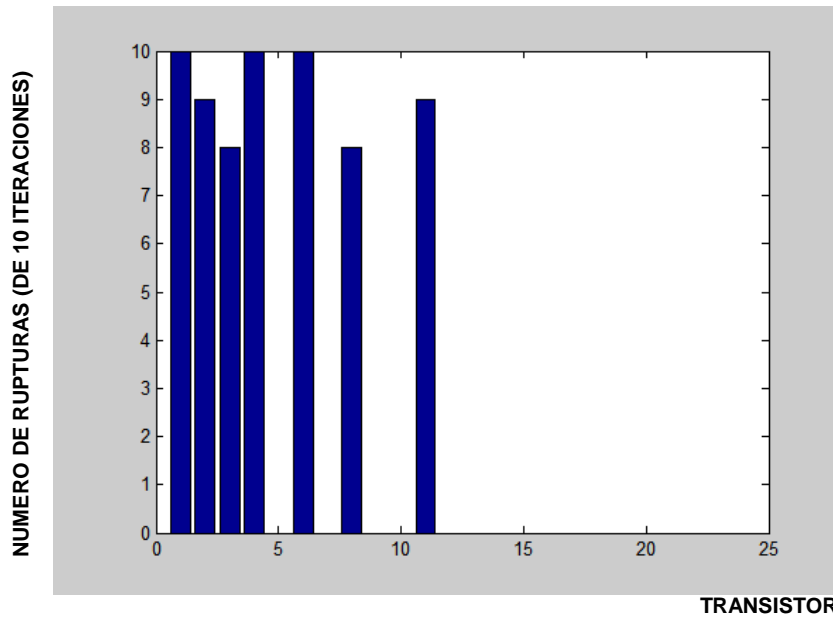


Figura 37. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Sustrato de cada uno de los transistores (Puerta XOR)

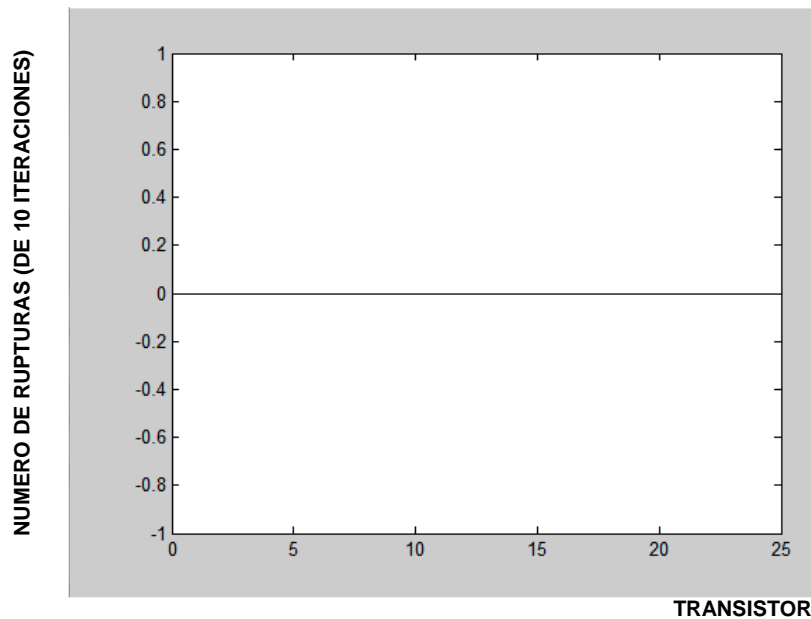


Figura 38. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Drenador de cada uno de los transistores (Puerta XOR)

Las conclusiones que se extraen de la anterior gráfica es que no se produce ninguna ruptura en la zona puerta-drenador en ninguno de los transistores en las 10 iteraciones realizadas. Debido a que la diferencia de tensión entre el drenador y la puerta de todos los transistores no es tan elevada como de la puerta y las demás zonas del transistor.

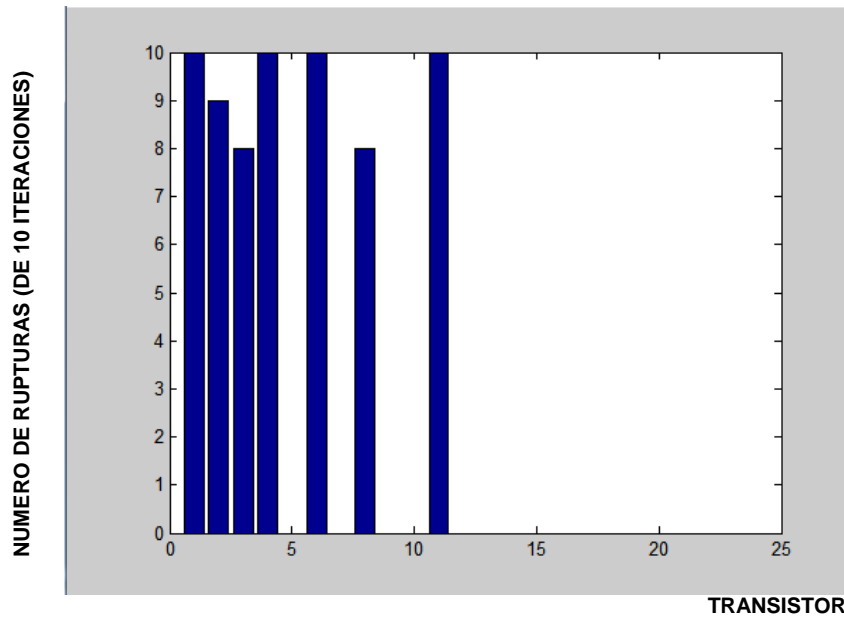


Figura 39. Numero de rupturas producidas en 10 iteraciones en todos los transistores (Puerta XOR)

En todas las gráficas anteriores se puede observar que los transistores conectados a las entradas, son los que más sufren rupturas dieléctricas. En cambio, los últimos transistores no sufren rupturas y por tanto esa parte del circuito es más inmune a este efecto.

También se puede apreciar que las partes de los transistores que más sufren son las que se encuentran conectadas a los terminales de tensión VCC o masa.

A continuación se mostrarán los resultados de los puntos débiles del circuito que forma una puerta XOR.

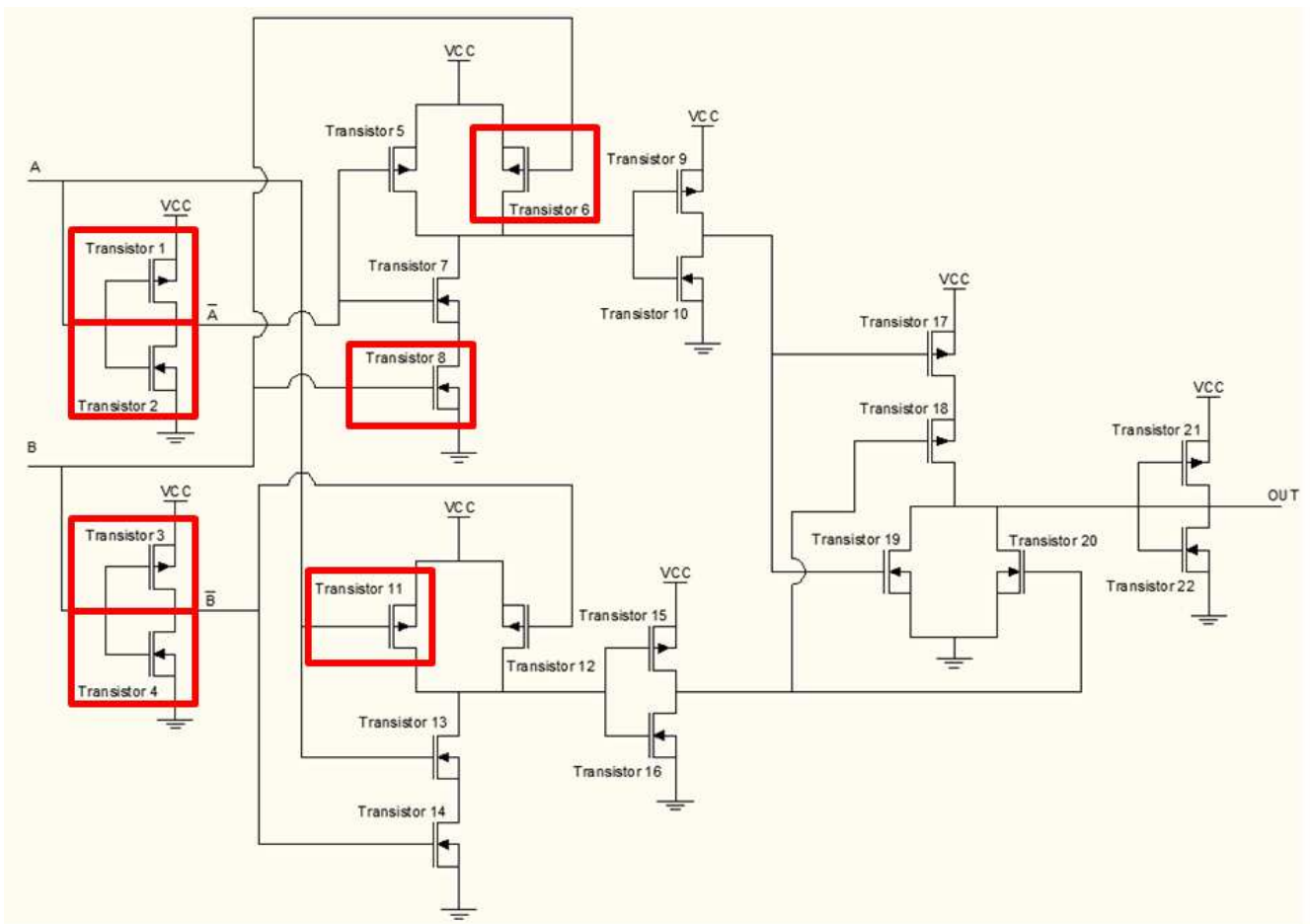


Figura 40. Representación mostrando los puntos débiles del circuito XOR

Como en el caso anterior, las conclusiones que se extraen de los anteriores resultados son:

- Los transistores que más probabilidad tienen de sufrir una ruptura son aquellos conectados a las entradas directas del circuito.
- Las zonas de los transistores que más sufren son aquellas que se conectan a los terminales de alimentación VCC o masa.
- El resto de los transistores son menos susceptibles a la ruptura pero si se aumentan mucho la tensión de VCC puede aumentar mucho la probabilidad de que sufran ruptura dieléctrica ya que aumenta el estrés aplicado en las zonas del transistor.

7.1.4 Probabilidad de ruptura

En este apartado se calculará la probabilidad de que exista una ruptura en el circuito anterior.

La gráfica muestra la función acumulada de probabilidad:

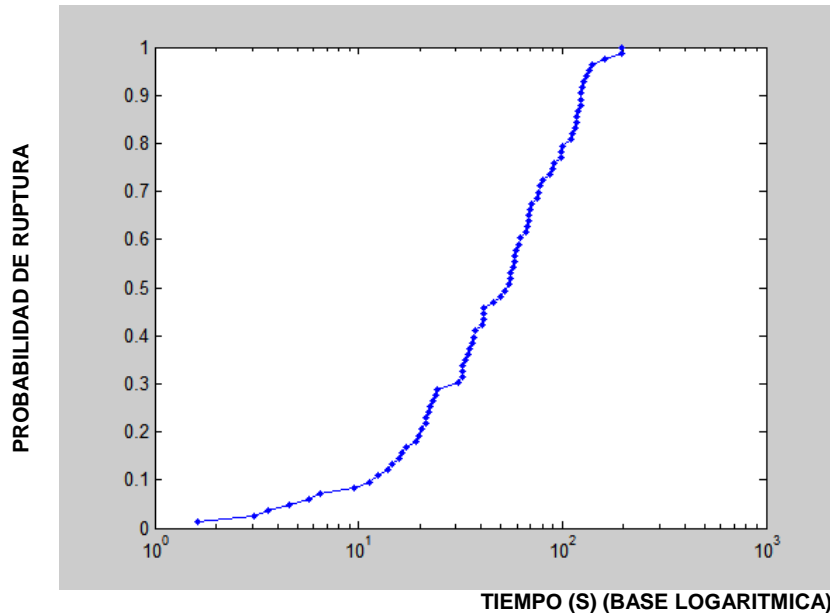


Figura 41. Probabilidad de ruptura del circuito XOR

A continuación se muestra una tabla con algunos de los valores de probabilidad de la anterior gráfica:

X	Y	Y (%)
1,615	0,01205	1,205
22,08	0,241	24,1
54,53	0,506	50,6
89,9	0,747	74,7
197,2	1	100

Tabla 13. Varios resultados probabilidad de ruptura circuito XOR

Se puede observar que en aprox. 22 segundos existe un 25% de probabilidad de que exista una ruptura dieléctrica en uno de los transistores, en aprox. 54 segundos un 50% de probabilidad, a aprox. 90 segundos un 75% de probabilidad y a aprox. 200 segundos la máxima probabilidad de que se produzca una ruptura en uno de los transistores del circuito 1.

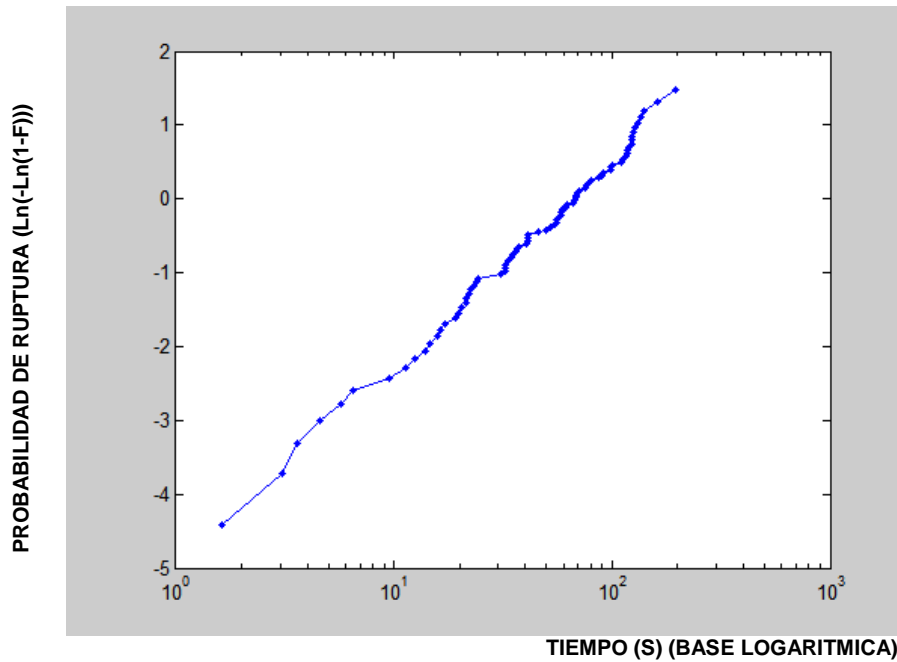


Figura 42. Representación de Gumbel de los tiempos de ruptura normalizados del circuito XOR

En la gráfica de la figura 47 se puede observar que la distribución de Gumbel es lineal, eso significa que la distribución de probabilidad realizada sigue una distribución de Weibull.

El valor de la pendiente es el valor de β (que es 1,24) y el valor del tiempo cuando la recta pasa por 0 proporciona el valor de μ (que es 100).

En el siguiente apartado se realizará el análisis de las rupturas dieléctricas de un circuito formado por 40 inversores en serie.

7.2 CONJUNTO DE INVERSORES EN SERIE

El segundo circuito está formado por un conjunto de inversores en serie, concretamente 40, el número total de transistores que forma este circuito es de 80 transistores, 40 tipo N y 40 tipo P.

La figura 43 muestra la distribución de estas puertas lógicas:

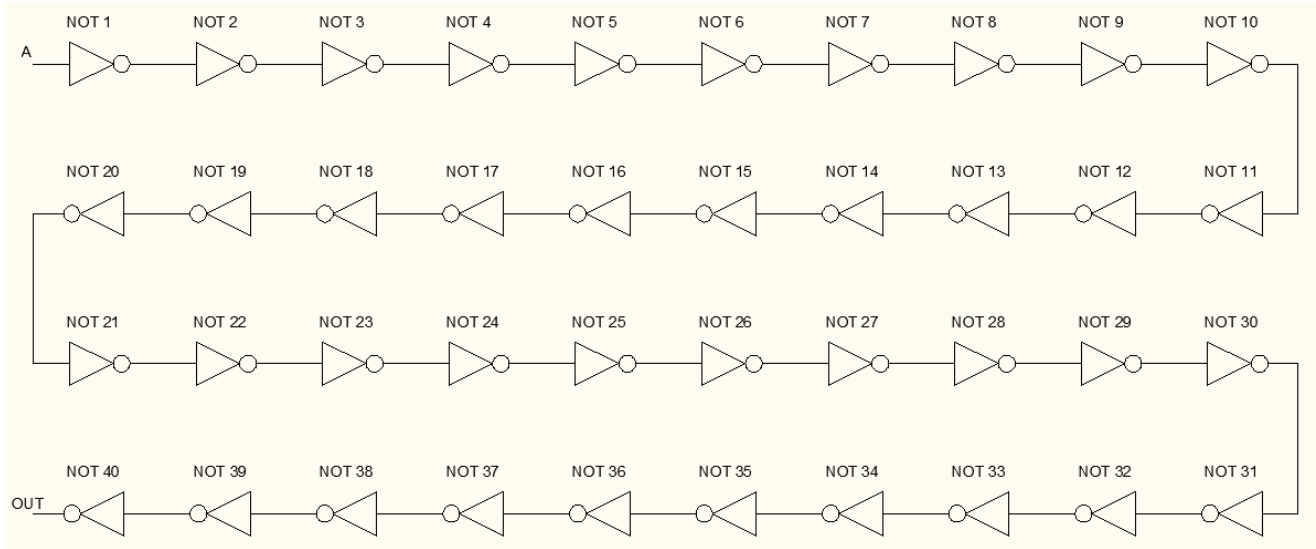


Figura 43. Distribución puertas lógicas NOT en serie.

Este circuito tiene una única entrada y una salida por la que sale la entrada sin invertir. Una posible aplicación podría ser para que la señal A soporte una carga elevada con el mismo valor de señal.

A continuación se mostrará una gráfica con la entrada A:

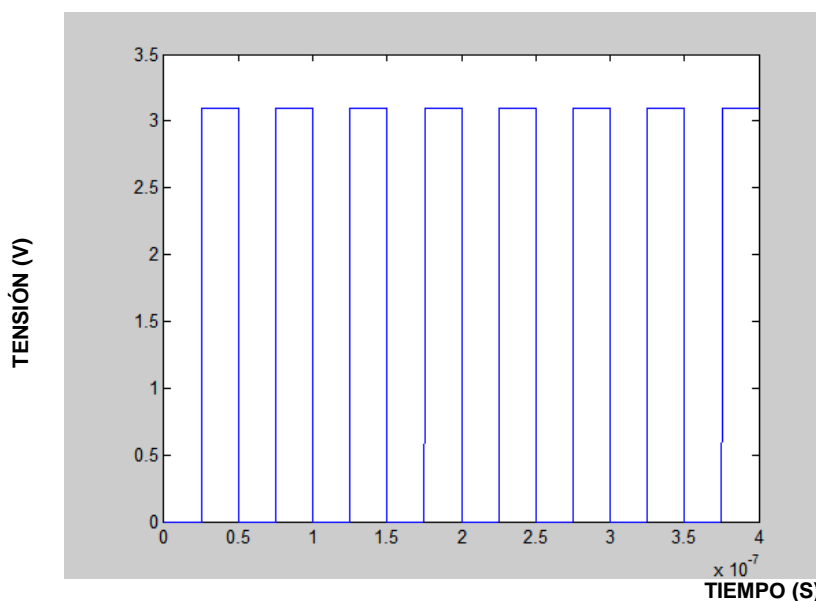


Figura 44. Evolución en el tiempo de la entrada A del circuito NOT en serie

La salida en principio tiene que ser igual que la entrada. El resultado que proporciona el código Spice Opus es el siguiente:

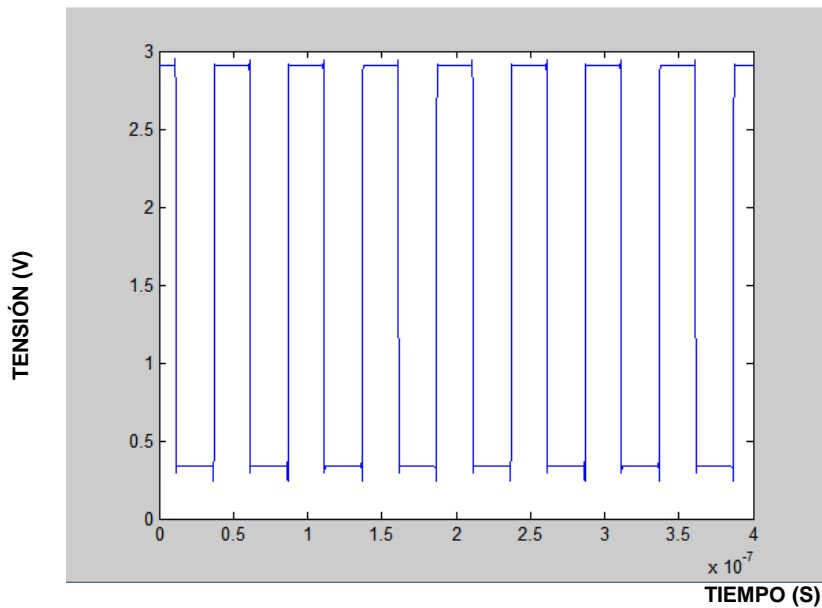


Figura 45. Salida OUT del circuito NOT en serie

Se puede observar que el resultado obtenido no es exactamente igual que la entrada y se aprecia un cierto desfase respecto la entrada A. Posiblemente este efecto es debido a la cantidad de transistores por los que pasa la señal, además se aprecia una disminución de la tensión de salida debido al mismo motivo.

El esquemático del circuito completo se muestra en la figura 46.

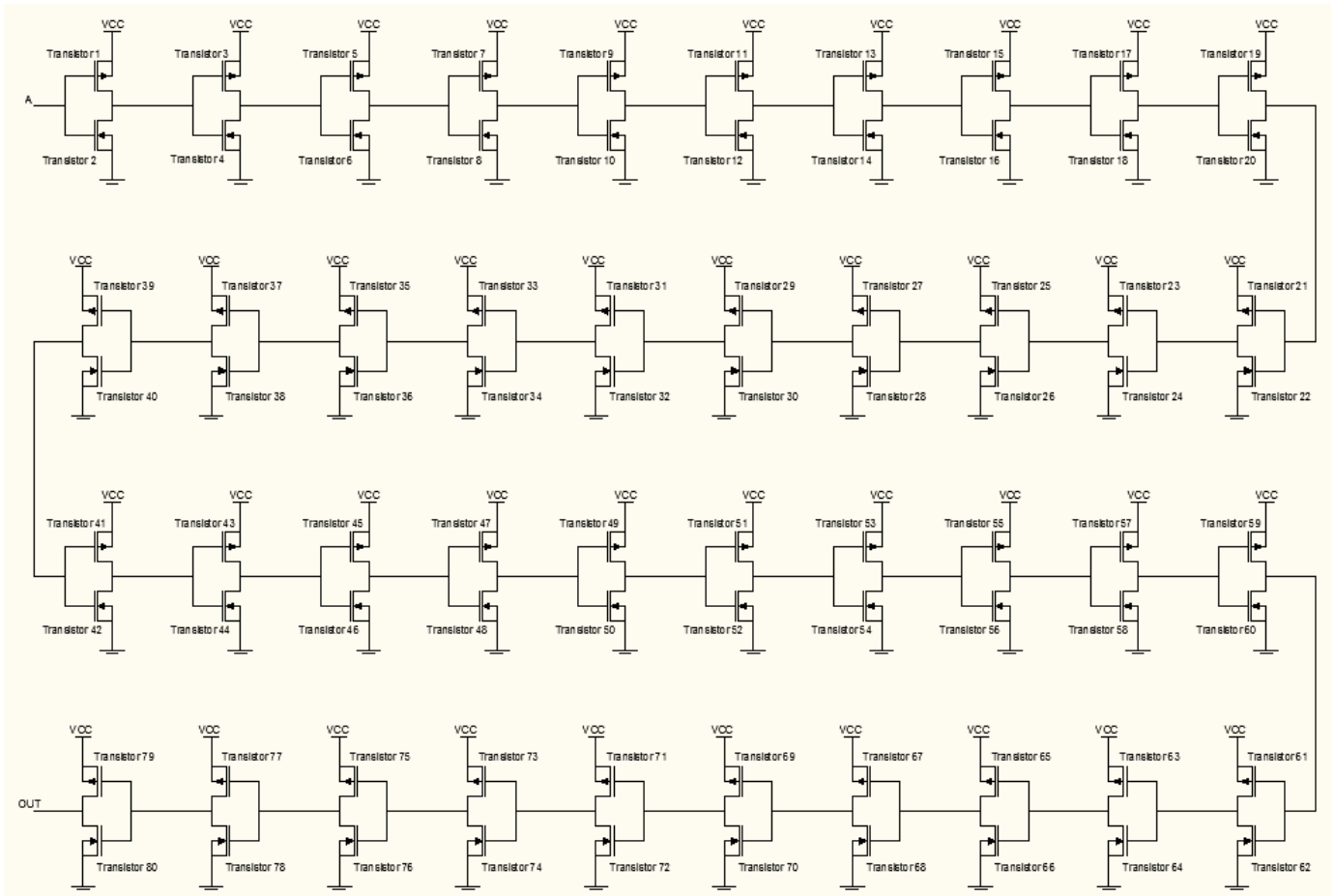


Figura 46. Esquema del circuito NOT en serie formado por 40 inversores en serie

7.2.1 Resultado del análisis de fiabilidad

Ejecutando el código de análisis analógico sobre el circuito anterior y aumentando el tiempo de pulso de las entradas, el tiempo de simulación y la tensión de entrada se obtienen los siguientes resultados:

Los valores iniciales para obtener estos resultados son los siguientes:

- Tensión entrada A: 9.1 V
- Tensión alimentación: 9.1 V
- Tiempo de muestreo: 0.1 ms
- Tiempo total simulación: 400ms

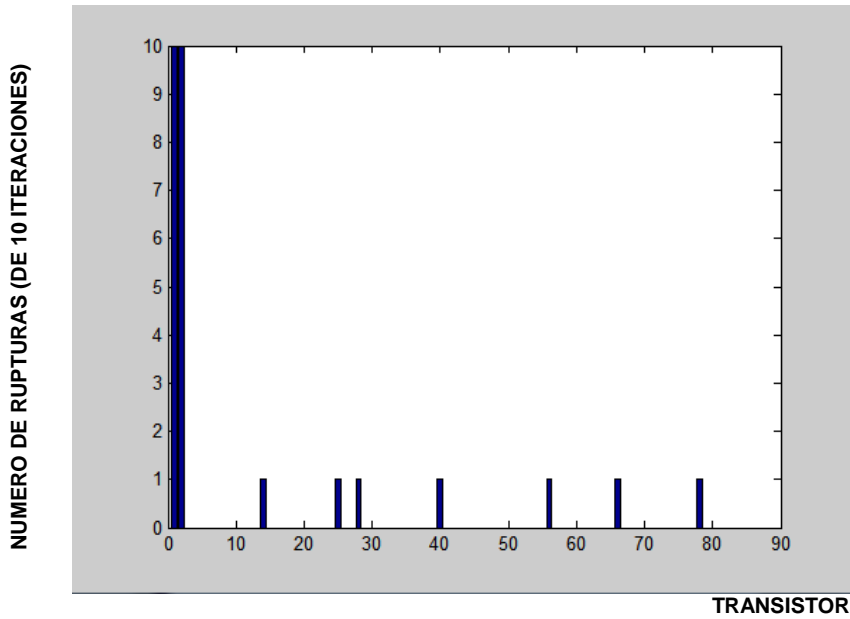


Figura 47. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Fuente de cada uno de los transistores (NOT en serie)

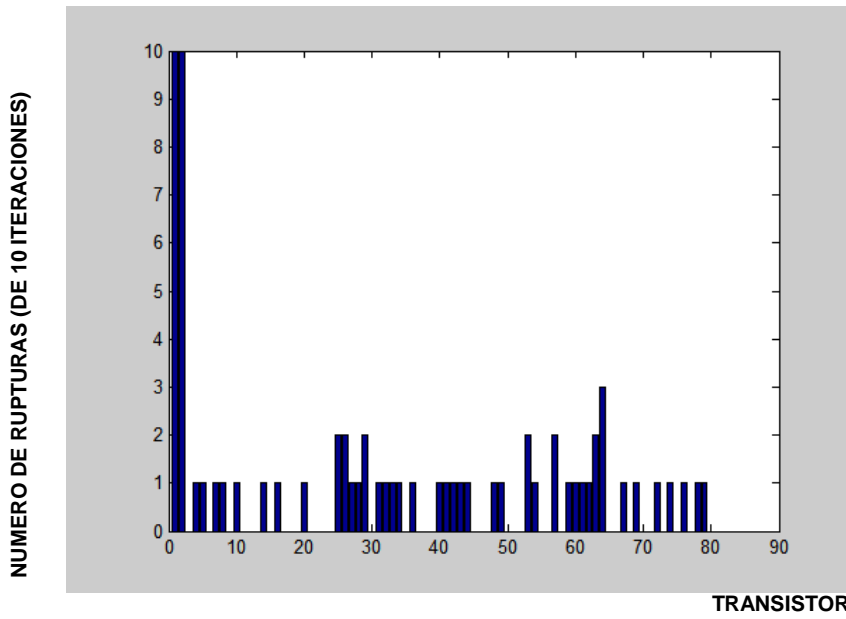


Figura 48. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Sustrato de cada uno de los transistores (NOT en serie)

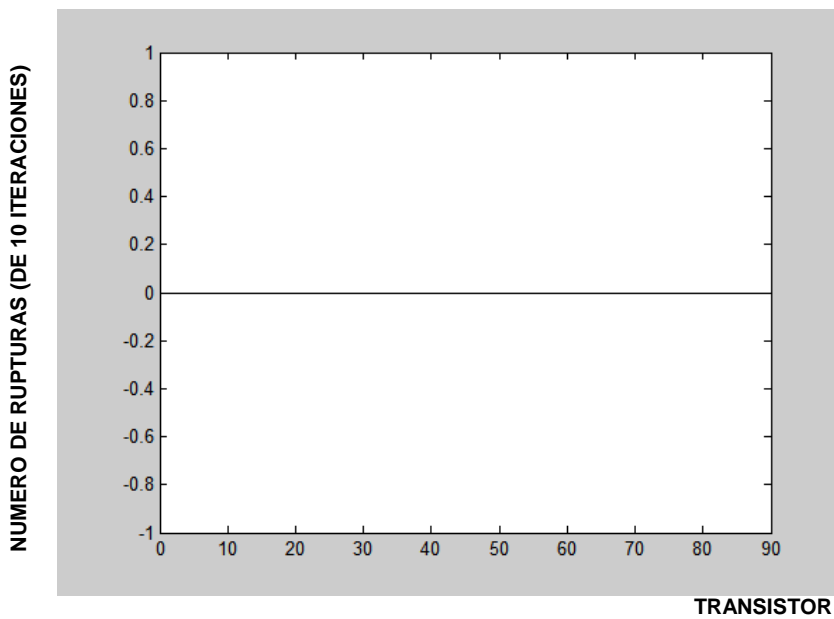


Figura 49. Numero de rupturas producidas en 10 iteraciones en la zona Puerta-Drenador de cada uno de los transistores (NOT en serie)

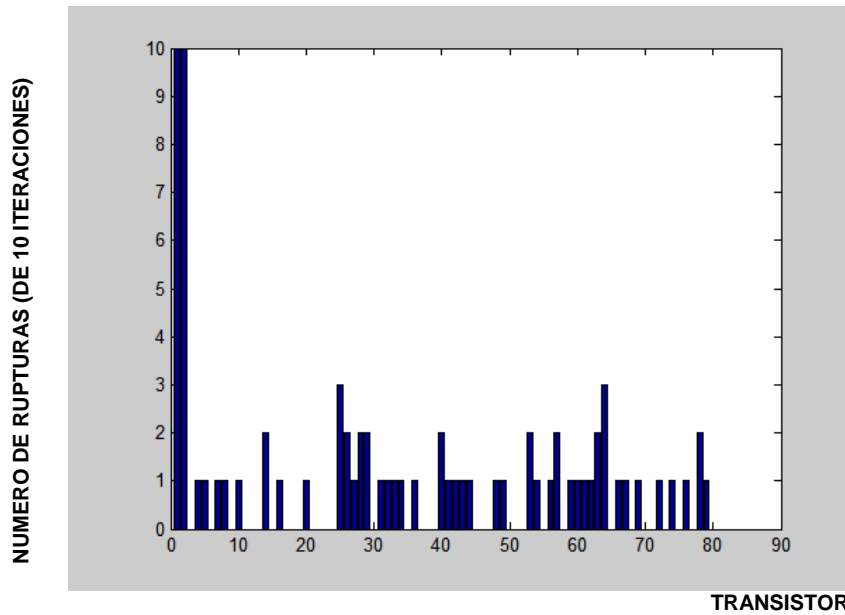


Figura 50. Numero de rupturas producidas en 10 iteraciones en todos los transistores (NOT en serie)

En las gráficas anteriores se puede apreciar que la probabilidad de ruptura dieléctrica es bastante homogénea en la mayoría de los transistores del circuito, esto es debido a que están todos en serie y sufren tensiones parecidas. Aun así, los transistores situados en la entrada tienen más posibilidades de sufrir una ruptura al estar conectados directamente a la señal de entrada.

Una vez más se observa que la zona puerta-drenador no sufre rupturas ya que la diferencia de tensión entre las dos zonas no es tan elevada como en las demás zonas de los transistores.

La figura 51 muestra los puntos débiles del circuito que forma una puerta XOR.

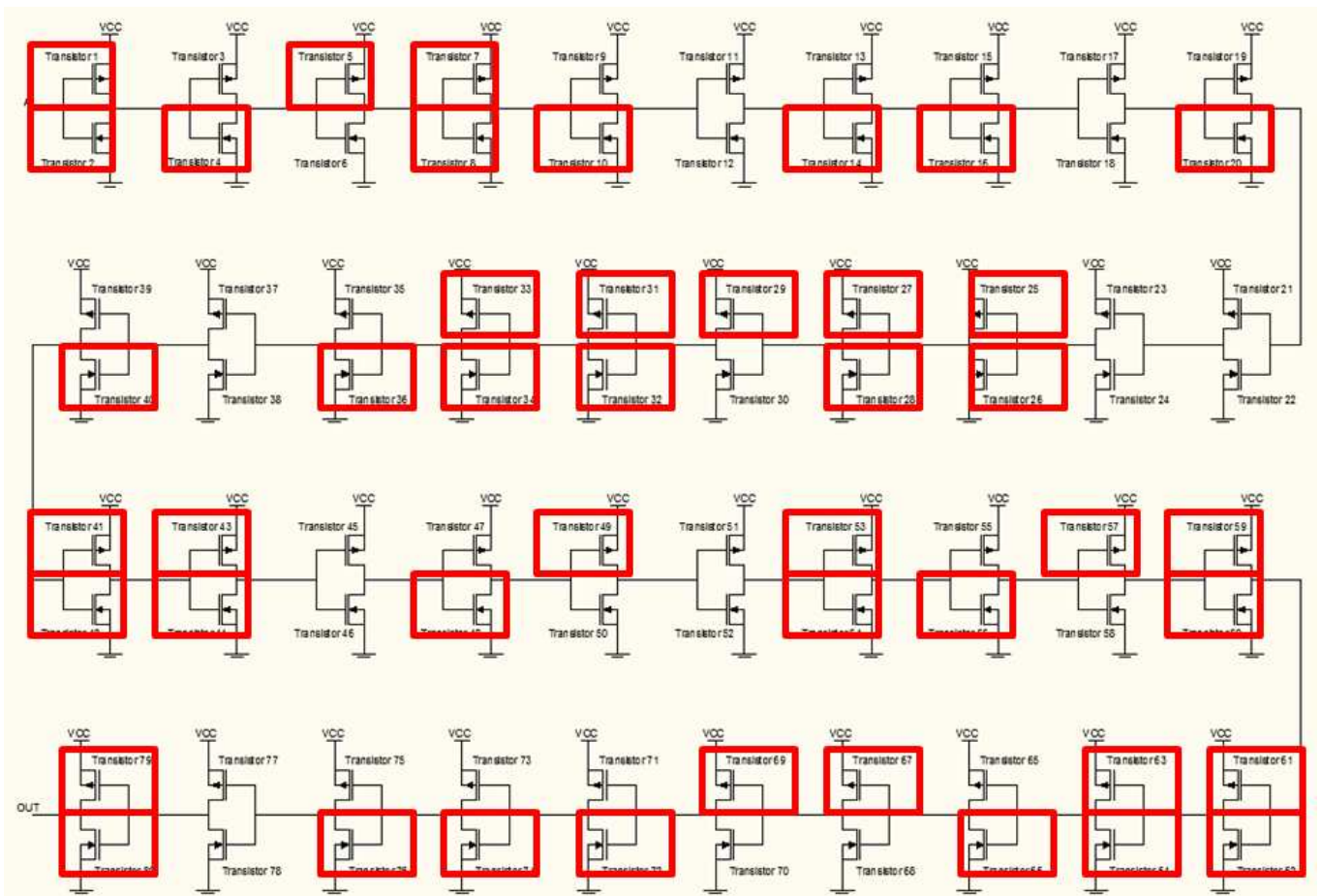


Figura 51. Representación mostrando los puntos débiles del circuito basado en inversores en serie

En este caso, al ser un circuito muy homogéneo, las probabilidades de que se produzca ruptura son muy similares en todo el circuito.

Aún así se puede observar que los transistores que más probabilidad tienen de que se produzca una ruptura son aquellos que se encuentran en las entradas, ya que en todas las iteraciones sufren una ruptura dieléctrica.

Como en el caso anterior, las zonas de los transistores que más sufren son aquellas que se conectan a los terminales de alimentación VCC o masa.

En el siguiente apartado se calculará la probabilidad de que se produzca una ruptura dieléctrica en todo el circuito.

La gráfica 52 muestra la función acumulada de probabilidad.

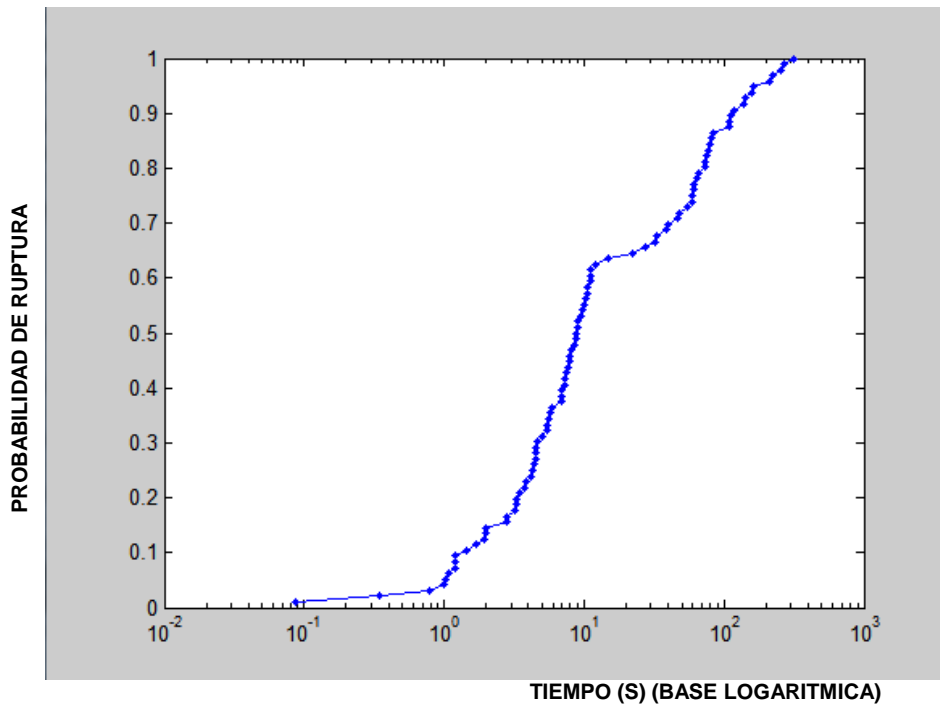


Figura 52. Probabilidad de ruptura del circuito NOT en serie

A continuación se muestra una tabla (tabla 14) con algunos de los valores de probabilidad de la anterior gráfica:

X	Y	Y (%)
0,08718	0,01042	1,042
4,34	0,25	25
8,804	0,5	50
59,84	0,75	75
312,5	1	100

Tabla 14. Varios resultados probabilidad de ruptura circuito NOT en serie

Se puede observar que en aprox. 4 segundos existe un 25% de probabilidad de que exista una ruptura dieléctrica en uno de los transistores, en aprox. 9 segundos un 50% de probabilidad, a aprox. 59 segundos un 75% de probabilidad y a aprox. 312 segundos la máxima probabilidad de que se produzca una ruptura en uno de los transistores del circuito compuesto por inversores en serie.

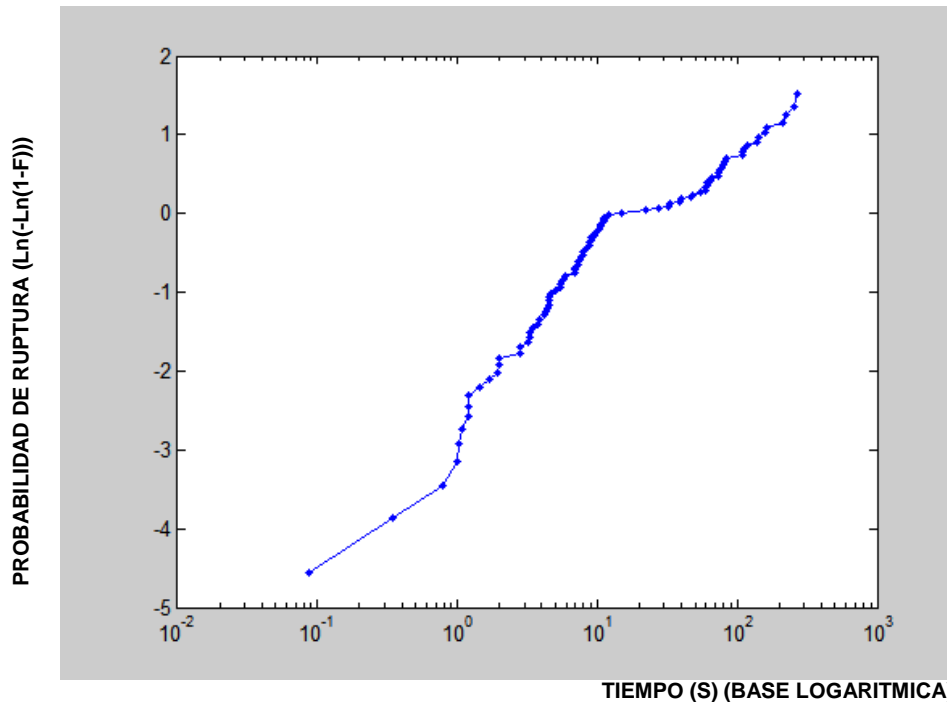


Figura 53. Representación de Gumbel de los tiempos de ruptura normalizados del circuito 2

En la anterior gráfica (figura 53) se puede observar la distribución de Gumbel. En este caso no es tan lineal como en otros análisis pero se podría aproximar a una recta de pendiente positiva, lo que significa que la densidad de probabilidad sigue una distribución de Weibull.

Como puede verse, el simulador desarrollado permite determinar los puntos débiles de los dos circuitos y el cálculo de la probabilidad que tienen de que se produzca una ruptura dieléctrica en una parte del circuito.

Se puede observar que se puede realizar estos análisis con cualquier circuito basado en tecnología CMOS y permite sacar conclusiones que sin esta herramienta sería mucho más difícil.

8 BIBLIOGRAFIA

La principal fuente de información que se ha utilizado, que ha sido el eje y guía imprescindible para poder realizar este proyecto se trata de la tesis de Javier Martín Martínez.

- **Tesis de Javier Martín Martínez:** Modelado de los efectos de la ruptura dieléctrica, BTI y variabilidad en MOSFETs ultraescalados para la simulación de circuitos. **UAB (2009)**

- **Adicionalmente se ha consultado:**
 - o <http://bacterio.uc3m.es/docencia/profesores/daniel/pfisicos/fischeros/diel01.pdf> (Teoría ruptura dieléctrica)

 - o http://www.tecnun.es/asignaturas/PFM_Mat/Prog/Dielecv2.pdf (Teoría ruptura dieléctrica)

 - o Manuales Spice Opus

 - o Manuales Matlab

9 CONCLUSIÓN

Se ha diseñado una herramienta de simulación capaz de evaluar la probabilidad de que se produzca la ruptura dieléctrica en transistores MOSFET que forman parte de un circuito fabricado con tecnología CMOS.

La herramienta permite localizar la zona del transistor en que se ha producido la ruptura y mostrar los transistores que son más susceptibles a estas rupturas en un circuito complejo formado por la cantidad de transistores que se desee. Este permite visualizar los puntos débiles desde el punto de vista de la ruptura dieléctrica en circuitos complejos antes de su diseño, permitiendo optimizar esos transistores que son más “débiles” y evitando el diseño de prototipos para comprobar la susceptibilidad del circuito a las rupturas dieléctricas.

Adicionalmente, la herramienta permite evaluar la probabilidad de que ocurran estas rupturas dieléctricas en un punto del circuito, permitiendo determinar la probabilidad de ruptura de los transistores según el tiempo de aplicación de la señal o las señales de entrada de un circuito complejo, parámetros obtenidos mediante el programa Spice Opus.

La aplicación directa de esta última funcionalidad permite determinar la vida del circuito.

La funcionalidad se ha demostrado a partir de la simulación de la fiabilidad de dos circuitos ejemplo (una puerta XOR y una cadena de inversores). Los resultados han mostrado que los MOSFETS más susceptibles a la ruptura dieléctrica son aquellos que sus terminales están conectadas a las entradas de señal y a la alimentación (tanto Vcc como masa).

Una posible ampliación de este proyecto sería diseñar un nuevo código que complemente al actual y que permita visualizar el efecto de las rupturas dieléctricas sobre el circuito, y si estas rupturas son capaces de inutilizar el transistor o solamente lo debilitan.

10 RESUMEN/RESUM/SUMMARY

En este proyecto se ha desarrollado una herramienta de simulación que permite evaluar la probabilidad de ocurrencia de rupturas dieléctricas en un circuito basado en tecnología CMOS. El simulador permite localizar que zona del transistor es la que sufre la ruptura (Puerta-Drenador, Puerta-Sustrato o Puerta-Fuente) lo que facilita la detección de posibles “puntos débiles” de un circuito complejo y conocer qué transistores se deben de optimizar para aumentar la fiabilidad asociada a las rupturas dieléctricas.

La herramienta permite también analizar la probabilidad de ruptura del circuito, permitiendo determinar el tiempo de vida de un circuito, teniendo en cuenta la probabilidad de que alguno de los transistores pierda su funcionalidad.

En aquest projecte s'ha desenvolupat una eina de simulació que permet evaluar la probabilitat d'ocurrència de ruptures dielèctriques a un circuit basat en tecnologia CMOS. El simulador permet localitzar quina zona del transistor es la que pateix la ruptura (Porta-Drenador, Porta-Sostrat o Porta-Font), això facilita la detecció de possibles “punts febles” d'un circuit complex i conèixer quins transistors s'han d'optimitzar per augmentar la fiabilitat associada a les ruptures dielèctriques.

L'eina permet també analitzar la probabilitat de ruptura en tot el circuit, permetent determinar el temps de vida d'un circuit valorant la probabilitat de que algun dels transistors perdi la seva funcionalitat.

This project has developed a simulation tool that evaluates the probability of dielectric breakdown in a circuit based on CMOS technology. The simulator allows locate the part of transistor that can to suffer a breakdown (Gate-Drain, Gate-Bulk or Gate-Source) which facilitates the detection of possible “weak points” of a complex circuit and knows that transistors must be optimized for increased reliability against dielectric breakdown.

The tool also allows analyze the probability of rupture of circuit, allowing to determine the lifetime of a circuit taking into account a probability of any of the transistors to lose its functionality.