



Disseny, fabricació i caracterització d'amplificadors de baix soroll per instrumentació.

Memòria del Treball Final de Carrera
d'Enginyeria Electronica,
realitzat per
Sergi Peira Bayó
i dirigit per
Joan Garcia Garcia
Bellaterra, Juny de 2008

El sotasignat, **Joan Garcia Garcia** professor/a de l'Escola Tècnica Superior d'Enginyeria de la UAB,

CERTIFICA:

Que el treball a què correspon aquesta memòria ha estat realitzat sota la seva direcció per en

Sergi Peira Bayó

I per tal que consti firma la present.

Bellaterra, 2008

INDEX

Capítol 1- INTRODUCCIÓ.....	1
1.1- OBJECTIUS I MOTIVACIÓ.	1
1.2- CONTINGUTS DELS CAPÍTOLS.	3
1.3- INTRODUCCIÓ.	4
1.3.1- AMPLIFICADORS OPERACIONALS.	4
1.3.2- AMPLE DE BANDA.....	5
1.3.3- GUANY EN LLAÇ TANCAT I REALIMENTACIO NEGATIVA.....	6
1.3.4- AMPLIFICADOR INVERSOR.....	7
Capítol 2- DISSENY DE PARTIDA.	9
2.1- AMPLIFICADOR OPERACIONAL LMH6624 \ LMH6626.....	9
2.2- ESTUDI TEÒRIC.	11
Capítol 3- DISSENY I SIMULACIONS AMB ADS.	15
3.1- DISSENY D'UNA SOLA ETAPA AMB REALIMENTACIÓ NEGATIVA.	15
3.2- DISSENY DE DUES ETAPES EN SERIE AMB REALIMENTACIÓ NEGATIVA	18
3.3- DISSENY DE TRES ETAPES EN SERIE AMB REALIMENTACIÓ NEGATIVA.	20
3.4- CONCLUSIONS.....	21
Capítol 4- DIMENSIONAT I DISSENY DEL LAYOUT.....	23
4.1- ESTUDI DE LA IMPLEMENTACIÓ.	23
4.1.1- DISSENY DEL LAYOUT D'UNA SOLA ETAPA.	25
4.1.2- DISSENY DEL LAYOUT DE DUES ETAPES EN SÈRIE.....	27
4.1.3- DISSENY DEL LAYOUT DE TRES ETAPES EN SÈRIE.	28
Capítol 5- FABRICACIÓ DELS PROTOTIPS.....	31
5.1- FABRICACIÓ DE L'AMPLIFICADOR AMB UNA SOLA ETAPA.	32
5.2- FABRICACIÓ DE L'AMPLIFICADOR AMB DUES ETAPES.	33
5.3- FABRICACIÓ DE L'AMPLIFICADOR AMB TRES ETAPES.....	34
5.4- SIMULACIONS	35
5.4.1- SIMULACIONS DEL CIRCUIT AMB UNA SOLA ETAPA.....	37
5.4.2- SIMULACIONS DE CIRCUIT AMB DUES ETAPES.....	38
5.4.3- SIMULACIONS DEL CIRCUIT AMB TRES ETAPES.....	39
Capítol 6- CONCLUSIONS.....	41
Capítol 7- REFERÈNCIES.....	44
Capítol 8- ANNEX.....	45

Capítol 1- INTRODUCCIÓ.

En aquesta memòria es descriurà el funcionament dels amplificadors d'instrumentació, considerant un cas en particular i realitzant el seu corresponent estudi. Conseqüentment, i com a part principal, es farà el disseny i la fabricació per a uns requeriments en concret, verificant el seu correcte funcionament.

1.1- OBJECTIUS I MOTIVACIÓ.

En el present projecte es pretenen aplicar conceptes d'enginyeria electrònica, estudiats a classe, i posats en pràctica als laboratoris durant els anys d'estudi. L'elecció dels amplificadors operacionals com a tema principal, es deu en part a la seva gran presència a molts circuits moderns. Els usos més típics de l'amplificador operacional són, la del disseny d'oscil·ladors, filtres i amplificadors, entre d'altres tipus de circuits d'instrumentació. Per al nostre cas en concret, es tractarà d'un amplificador de tensió per a un dispositiu de baixa potència, amb el qual es pretenen amplificar senyals de baixa intensitat.

El present projecte apareix per la necessitat, per part del Laboratori de Llum Sincotró ALBA-CELLS, d'amplificar un senyal molt baix, en concret, el corrent generat per un núvol d'electrons (provinent de l'accelerador de partícules del futur Sincotró ALBA) sobre un cable. L'amplificació

tindria que ser suficient per tal per poder tractar aquest senyal i poder treballar amb ell sense cap problema. Així doncs, el projecte es basarà en el disseny i fabricació d'un amplificador, el qual haurà complir una sèrie de requeriments.

En primer lloc, i com a resultat ideal, l'amplificador hauria de ser capaç d'aconseguir un guany de 80 dB's, amb un ample de banda de 50 MHz. Aquest ample de banda es deu a que el núvol d'electrons que generarà el corrent, té una forma amb components espectrals de fins a 50 MHz. En segon lloc, ens trobarem amb les mides que haurà de tenir l'amplificador, amb una limitació màxima de $3 \times 3.5 \text{cm}^2$ d'àrea, ja que aquest serà l'espai on anirà situat l'amplificador. Per altra banda, veurem l'elecció del millor operacional per al nostre cas (el LMH6626, del qual es parlarà amb posterioritat), el qual ens regirà, tant a l'hora de realitzar les simulacions pertinents, adaptant-nos a les seves característiques elèctriques, com a la distribució dels components dins de la placa, ajustant-nos a les mides del seu encapsulat, i al diagrama de connexions de l'amplificador. Pel que fa al número d'operacionals a ser utilitzats dins de la mateixa placa no existirà cap restricció, sempre que es respecti l'àrea esmentada. Així doncs, sabudes les mides màximes que podrà tenir la placa i les mides dels encapsulats de cada operacional, s'intentarà integrar el màxim d'operacionals en sèrie dins de la mateixa placa, per tal de trobar una amplificació òptima.

Un cop vistos els requisits, el primer pas serà realitzar el disseny principal de l'amplificador, que a mesura que avanci el projecte s'anirà millorant i optimitzant. Una vegada trobat i avaluat el circuit, de manera ideal a l'ordinador, el següent pas serà intentar fer un model a partir del layout, el qual serà fabricat i analitzat, per tal de intentar aconseguir el resultat esperat de les especificacions.

1.2- CONTINGUTS DELS CAPÍTOLS.

El contingut d'aquesta memòria està distribuïts en 6 capítols. En cadascun d'ells es tractaran els diferents punts per a l'estudi, disseny i fabricació d'amplificadors d'instrumentació. La disposició dels capítols es conseqüent amb l'ordre que s'ha seguit durant la realització del projecte.

El primer capítol, consistirà en introduir tant la situació a tractar, com els objectius que es persegueixen. També es farà una lleugera introducció de conceptes que es faran servir durant el projecte.

En el segon capítol es descriurà el disseny de partida que s'ha pres, en el qual es basaran els futurs dissenys de l'amplificador. Aquest capítol servirà per explicar perquè s'han pres certes decisions a l'hora de dissenyar el circuit.

En el tercer capítol, es realitzaran els dissenys amb el software ADS dels amplificadors d'una, dues i tres etapes, dels quals es descriurà com han anat evolucionant els circuits, a fi i efecte d'aconseguir les especificacions. També es farà una avaluació de les respostes d'aquest circuits, fent servir els valors de resistències i condensadors adequats per obtenir un bon senyal, i utilitzant els valors propis de l'amplificador operacional que es farà servir per a la fabricació.

El quart capítol serà on es mostraran els passos que s'han seguit per tal de dissenyar els layouts que serviran per fabricar els prototips. Es mostrarà també un estudi previ per tal d'entendre l'àrea de la que disposem per a la placa final, tenint en compte la mida dels components que la ocuparan, optimitzant així el màxim espai possible.

En el cinquè capítol es descriurà el procés de fabricació basat en els layouts dissenyats, mostrant com queden finalment les plaques. Un cop soldats tots els components podrem realitzar les simulacions per a cada circuit, traient les primeres conclusions dels models reals.

Finalment, en el sisè i últim capítol, es presentaran les conclusions finals de la memòria, intentant també que serveixi de resum dels resultats mes importants.

1.3- INTRODUCCIÓ.

En aquest apartat, es descriuran els temes principals en que es basa aquest projecte, donant una explicació general per tal d'introduir alguns conceptes que s'utilitzaran al llarg del projecte, com son, la teoria general dels amplificadors operacionals, el model d'amplificador inversor, i l'ús de la realimentació negativa. Alguns d'aquest aspectes es tractaran també en capítols posteriors.

1.3.1- AMPLIFICADORS OPERACIONALS.

Podem definir a un amplificador operacional com un circuit electrònic, que consta bàsicament de dues entrades (V_+ i V_-) i una sortida (V_{out}). Aquesta ultima sortida es la diferencia entre les dues primeres entrades esmentades, i multiplicada per un factor que anomenarem guany (G). Per lo tant, podem definir la sortida de l'operacional com:

$$V_{out} = G \cdot (V_+ - V_-) \quad (1.1)$$

A continuació es mostra el símbol elèctric basic d'un amplificador operacional:

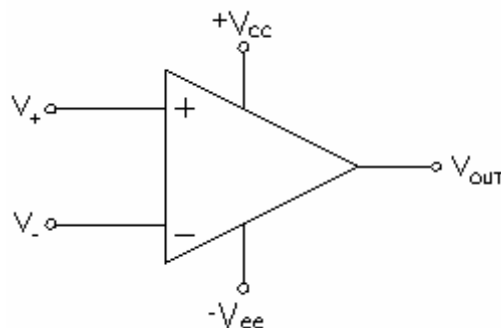


Figura 1. Símbol elèctric d'un amplificador operacional

On:

V_+ es la entrada no inversora.

V_- es la entrada inversora.

$+V_{cc}$ i $-V_{ee}$ son l'alimentació positiva i negativa del operacional.

V_{out} es la sortida del operacional.

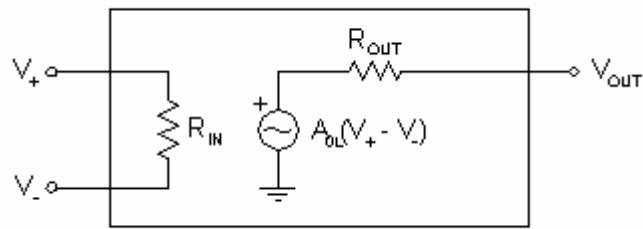


Figura 2. Circuit equivalent d'un amplificador equivalent

La següent taula mostra les principals característiques típiques dels amplificadors operacionals, els seus símbols i el valor que s'adopta en un cas ideal, tot i que per a la realització d'aquest projecte les simulacions seran per a casos reals:

Característica	Símbol	Cas ideal
Guany de tensió en llaç obert	A_{OL}	Infinit
Freqüència de guany unitat	f_{unitat}	Infinit
Resistència d'entrada	R_{in}	Infinit
Resistència de sortida	R_{out}	Zero
Corrent de polarització d'entrada	$I_{in(polarització)}$	Zero
Corrent d'offset d'entrada	$I_{in(offset)}$	Zero
Tensió d'offset d'entrada	$V_{in(offset)}$	Zero
Relació de rebuig al mode comú	$CMRR$	Infinit

Taula 1. Característiques típiques de l'amplificador.

1.3.2- AMPLE DE BANDA.

La realimentació negativa incrementa l'ample de banda d'un amplificador i disminueix el guany. Degut a això, la freqüència de tall en llaç tancat és més alta que la freqüència de tall en llaç obert. Contra més gran es la realimentació negativa, més gran es la freqüència de tall en llaç tancat, es a dir, contra més petit es el guany en llaç tancat, més gran es l'ample de banda en llaç obert. A continuació es mostra l'equació (1.2) per a l'ample de banda en llaç tancat $f_{(CL)}$:

$$f_{(CL)} = \frac{f_{unitat}}{A_{CL} + 1} \quad (1.2)$$

L'equació anterior la podem ordenar com:

$$f_{unitat} = A_{CL} \cdot f_{(CL)} \quad (1.3)$$

Es pot veure com la freqüència de guany unitat es igual al producte del guany en llaç tancat i de l'ample de banda, per a molts llocs s'anomenarà a aquesta freqüència; GBW (Gain Band Width).

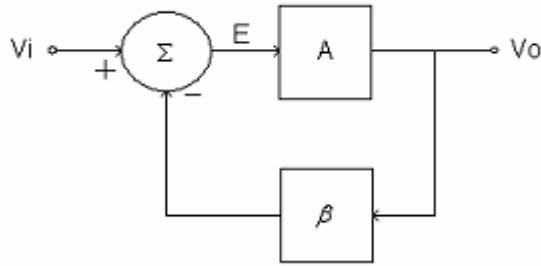
1.3.3- GUANY EN LLAÇ TANCAT I REALIMENTACIO NEGATIVA.

Els amplificadors operacionals son dispositius molt útils, tot i això, en moltes aplicacions, el guany del dispositiu és massa gran, i el seu ample de banda massa estret com per poder fer un us efectiu del mateix. Per poder controlar el guany de tensió que te un amplificador operacional, se li afegeix una realimentació negativa, que fa que el circuit sigui molt mes estable. El guany ve donat per la següent equació:

$$AV = - \frac{R_{realimentació}}{R_{entrada}} \quad (1.4)$$

El concepte de la realimentació es basa en la idea de portar una part de la senyal de la sortida cap a l'entrada del sistema. Un us apropiat de la realimentació negativa permet exercir un control precís sobre les prestacions dels circuits electrònics. En contraposició a la realimentació negativa trobem la realimentació positiva, la qual reforça els canvis.

Així doncs, la idea bàsica de la realimentació negativa es simple: prendrem una mostra del senyal de sortida i la sumarem al senyal d'entrada desfasada (es adir, la restarem). D'aquesta manera, el circuit veurà la diferencia entre la entrada i la sortida. Si el senyal de sortida es molt gran, la diferencia serà negativa. Inversament, el senyal diferencia serà positiu si la sortida es molt petita. A continuació, aquest senyal es multiplica per el guany del circuit i cancel·la l'error de sortida. Per tant, el circuit funcionarà de manera que els errors no desitjats apareixeran de forma que es forci a la sortida a compensar-los.



$$\frac{V_o}{V_{in}} = \frac{A}{1 + A \cdot \beta}$$

Figura 3. Realimentació negativa

(1.5)

L'equació (1.5) de la figura 3 descriu l'estabilitat de qualsevol sistema realimentat ja que si el denominador es fa zero la sortida es faria inestable:

$$1 + A \cdot \beta = 0 \Rightarrow A \cdot \beta = -1 = 1_{-180^\circ} \quad (1.6)$$

Si la magnitud del guany de llaç ($A \cdot \beta$) assolix el valor de 1 i un desplaçament de la fase de -180° , aleshores el guany en llaç tancat es fa indefinit i el circuit comença a oscil·lar. Si el guany de llaç a la freqüència d'oscil·lació es lleugerament més gran que 1, aleshores es reduirà fins a 1 degut al guany que patiran els elements actius del circuit per estar funcionant en els límits de la saturació. Si el guany de llaç fos molt més gran que 1 es produirien enormes no linealitats que farien que el circuit entres en un cicle entre la saturació positiva i la saturació negativa.

1.3.4- AMPLIFICADOR INVERSOR.

L'amplificador inversor es el circuit amplificador operacional més bàsic, i es basa en el model de realimentació negativa paral·lel-paral·lel. Utilitza la realimentació negativa per estabilitzar el guany de tensió total. La raó per la que es necessita estabilitzar el guany en tensió total es perquè el guany en llaç obert resulta massa gran e inestable per ser útil sense alguna forma de realimentació. El model bàsic es mostra a la figura 5. Per si mateix, aquest model es de mesura de corrent i no de mesura de tensió. Per aconseguir que sigui un amplificador de mesura de tensió, s'afegeix una resistència d'entrada R_i (com en la figura 5). Per explicar el funcionament del amplificador inversor, farem servir el model bàsic que apareix a la figura 5, on no mostrarem les tensions de la font d'alimentació.

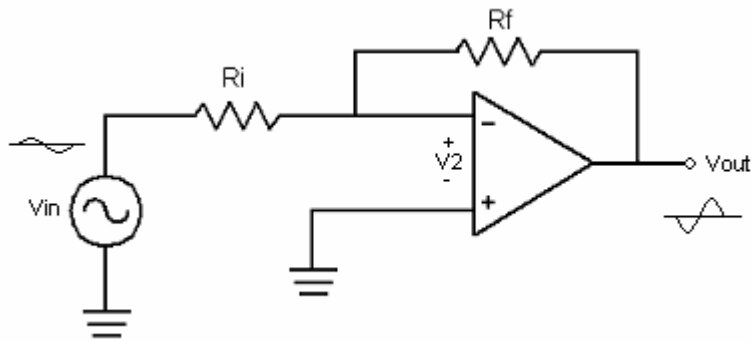


Figura 5. Amplificador inversor

Una entrada V_{in} excita l'entrada inversora a través de la resistència R_i , lo que produeix una tensió d'entrada inversora V_2 . La tensió d'entrada amplifica mitjançant el guany de tensió enllaç obert per produir una tensió de sortida invertida. La tensió de sortida es realimenta cap a l'entrada a través de la resistència de realimentació R_f , el que produeix una realimentació negativa perquè la sortida està desfasada 180° respecte a la entrada, per lo que qualsevol canvi en V_2 produït per la tensió d'entrada se li oposa un canvi degut a la senyal de sortida.

Així es com l'alimentació negativa estabilitza el guany total de tensió: si el guany en tensió enllaç obert creix per alguna raó, la tensió de sortida creixerà i realimentarà més tensió a la entrada inversora. Aquesta realimentació oposada de tensió redueix V_2 .

Capítol 2- DISSENY DE PARTIDA.

En aquest capítol es realitzarà l'estudi del cas particular en que es basarà aquest projecte. Primerament es mostraran les principals característiques de l'amplificador operacional que es farà servir a la fabricació (LMHH6626 de NATIONAL SEMICONDUCTOR), adaptant el disseny a les seves especificacions. Seguidament es mostrarà el disseny basic utilitzat, i els seus càlculs teòrics.

2.1- AMPLIFICADOR OPERACIONAL LMH6624 \ LMH6626.

Després de considerar diverses opcions, es va escollir l'amplificador operacional LMHH6626 (Dual Ultra Low Noise Wideband Operational) degut a les seves especificacions de baix de baix soroll. No es farà una descripció detallada de l'operacional, ja que al final del treball es presentarà el datasheet complet. En canvi, si que es remarcaran les principals característiques per tal de comprendre el seu funcionament i els avantatges que presenta.

Les principals característiques de l'operacional LMH6626 son:

- Dos operacionals integrats en el mateix chip (en el cas dual).
- Ample de banda de 1.3GHz.
- Molt baix soroll d'entrada : $0.92\text{nV}/\sqrt{\text{Hz}}$, $2.3\text{pA}/\sqrt{\text{Hz}}$

- Errors de tensió dc baixa: $100\mu\text{V } V_{os}, \pm 0.1\mu\text{V}/^\circ\text{C}$

La topologia realimentada proporciona dels següents beneficis:

- Entrada balancejada.
- Baix offset de tensió i corrent.
- Very low offset drift.
- Guany en llaç obert de 81 dB.
- Common mode rejection ratio de 95dB.
- Power supply rejection ratio de 88dB.

L'operacional pot ser trobat en dos models, Single i Dual, on l'única diferencia principal és que el model Single només està proveït d'un sol amplificador, mentre que el Dual de dos. A continuació es mostren els diagrames dels seus patillatges:

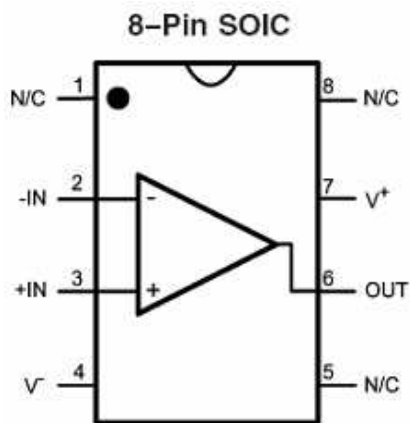


Figura6. a)

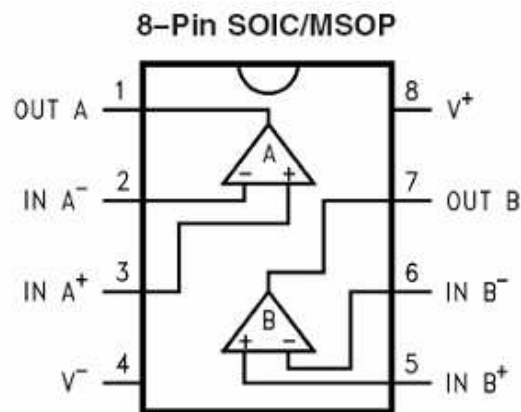


Figura 6. b)

Figura6. Diagrama de connexions LMH6624/LMH6624 a) Single b) Dual

Evidentment, el model dual, al estar proveït de 2 amplificadors integrats i el mateix numero de patillatge, variarà el seu diagrama de connexions, fent que el disseny per cada circuit sigui diferent.

2.2- ESTUDI TEÒRIC.

L'objectiu d'aquest punt serà estudiar l'equivalent circuital del nostre amplificador, realitzant el disseny amb components discrets, i amb impedàncies per tal de poder realitzar els càlculs necessaris per establir el guany i l'ample de banda.

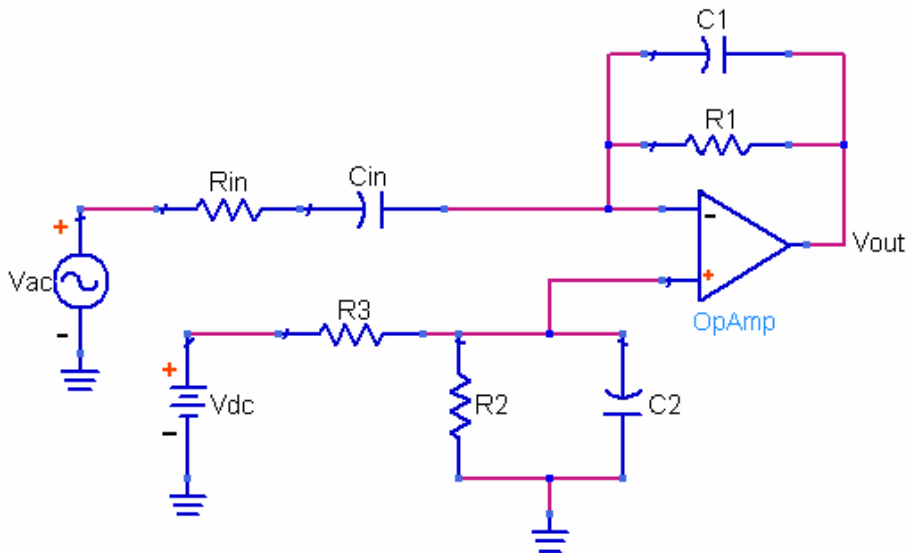


Figura 7. Disseny circuital amb components discrets.

Com podem observar en la figura 7, el disseny està basat en un amplificador inversor realimentat negativament. Si ens fixem en el circuit, es poden apreciar diverses modificacions del circuit inversor original. Primerament s'han afegit dues capacitats, una a l'entrada, per tal de poder filtrar freqüències indesitjades, i una altre a la realimentació, amb la que depenent del valor escollit, podrem millorar la estabilitat del circuit. La segona modificació es pot observar en l'entrada positiva de l'amplificador on, en comptes de tenir connexió directa a massa, tenim un conjunt de resistències i condensadors alimentats per una font V_{dc} . Aquest conjunt a l'entrada positiva servirà per cancel·lar l'error de corrent de bias, on el conjunt de l'entrada positiva tindrà que ser igual al conjunt de components situats a l'entrada negativa juntament amb la realimentació.

A continuació es mostra l'equivalent circuital amb impedàncies, amb el que podem realitzar càlculs més fàcilment:

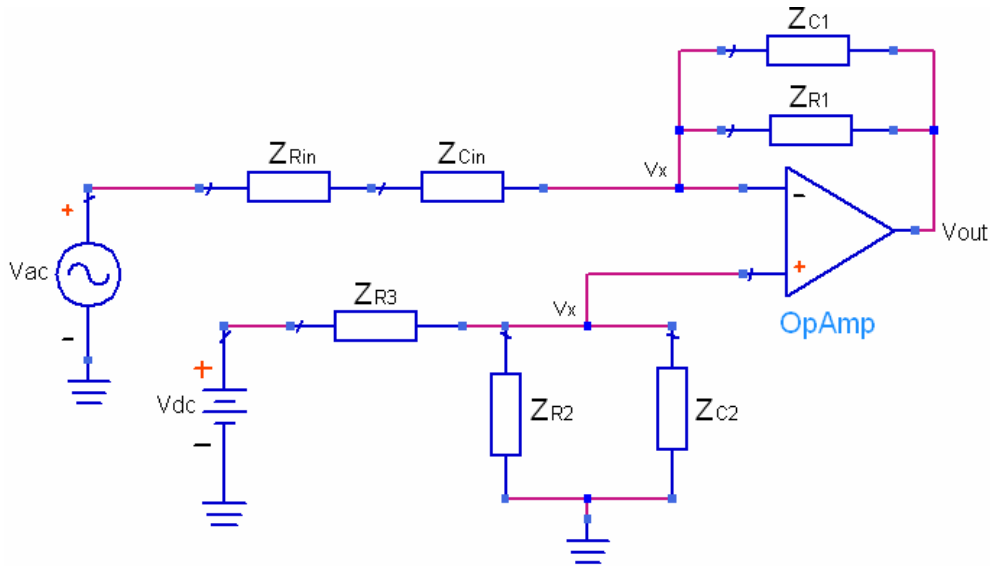


Figura 8. Equivalent circuitual amb impedàncies.

De la figura 8 podem extraure les següents equacions:

$$\frac{V_{ac} - V_x}{Z_{Rin} + Z_{Cin}} = \frac{V_x - V_{out}}{Z_{R1} // Z_{C1}} \quad (2.1)$$

$$\frac{V_{dc} - V_x}{Z_{R3}} = \frac{V_x}{Z_{R2} // Z_{C2}} \quad (2.2)$$

Un cop analitzat el circuit i determinades les equacions que regeixen el seu funcionament, podem observar que ens trobem amb dues equacions amb dues incògnites, pel que passarem a desenvolupar-les:

$$\frac{V_{ac} - V_x}{Z_{Rin} + Z_{Cin}} = \frac{(V_x - V_{out}) \cdot (Z_{C1} + Z_{R1})}{Z_{R1} \cdot Z_{C1}} \quad (2.2)$$

$$\frac{V_{dc} - V_x}{Z_{R3}} = \frac{V_x \cdot (Z_{R2} + Z_{C2})}{Z_{R2} \cdot Z_{C2}} \quad (2.3)$$

Després de desenvolupar els denominadors, multipliquem en diagonal i aïllem Vout i Vx:

$$\begin{aligned} & V_{out} \cdot ((Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Cin}) + (Z_{R1} \cdot Z_{Rin}) + (Z_{R1} \cdot Z_{Cin})) = \\ & = V_x \cdot ((Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1}) + (Z_{R1})) - V_{ac} \cdot ((Z_{C1}) + (Z_{R1})) \end{aligned} \quad (2.4)$$

$$V_x \cdot ((Z_{R2} \cdot Z_{R3}) + (Z_{C2} \cdot Z_{R3}) + (Z_{R2}) + (Z_{C2})) = V_{dc} \cdot (Z_{R2} + Z_{C2}) \quad (2.5)$$

Substituïm conjunts d'impedàncies que acompanyen a les tensions per tal de facilitar les operacions:

$$V_{out} \cdot (A) = V_x \cdot (B) - V_{ac} \cdot (C) \quad (2.6)$$

$$V_x \cdot (D) = V_{dc} \cdot (E) \quad (2.7)$$

On:

$$(A) = (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Cin}) + (Z_{R1} \cdot Z_{Rin}) + (Z_{R1} \cdot Z_{Cin}) \quad (2.8)$$

$$(B) = (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1}) + (Z_{R1}) \quad (2.9)$$

$$(C) = (Z_{C1}) + (Z_{R1}) \quad (2.10)$$

$$(D) = (Z_{R2} \cdot Z_{R3}) + (Z_{C2} \cdot Z_{R3}) + (Z_{R2}) + (Z_{C2}) \quad (2.11)$$

$$(E) = (Z_{R2} + Z_{C2}) \quad (2.12)$$

Aïllem V_x de la equació (2) i la substituïm a l'equació (1) per tal de trobar V_{out} :

$$V_{out} = \left(V_{dc} \cdot \left(\frac{E \cdot B}{D} \right) - V_{ac} \cdot (C) \right) / (A) \quad (2.13)$$

Si fem les següents substituir :

$$Z_R = R \quad (2.14)$$

$$Z_C = \frac{1}{C \cdot S} = \frac{1}{j \cdot C \cdot W} = \frac{1}{j \cdot C \cdot 2 \cdot \pi \cdot f} \quad (2.15)$$

I reemplaçem A, B, C, D i E a l'equació (2.13) obtenim:

$$V_{out} = \left(\frac{V_{dc} \cdot \left(\frac{E \cdot B}{D} \right)}{A} \right) - \left(\frac{V_{ac} \cdot C}{A} \right)$$

$$V_{out} = \left(\frac{V_{dc} \cdot \left(\frac{((Z_{R2} + Z_{C2})) \cdot ((Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Rin}) + (Z_{C1}) + (Z_{R1}))}{(Z_{R2} \cdot Z_{R3}) + (Z_{C2} \cdot Z_{R3}) + (Z_{R2}) + (Z_{C2})} \right)}{(Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Cin}) + (Z_{R1} \cdot Z_{Rin}) + (Z_{R1} \cdot Z_{Cin})} \right) - \left(\frac{V_{ac} \cdot ((Z_{C1}) + (Z_{R1}))}{((Z_{C1} \cdot Z_{Rin}) + (Z_{C1} \cdot Z_{Cin}) + (Z_{R1} \cdot Z_{Rin}) + (Z_{R1} \cdot Z_{Cin}))} \right) \quad (2.13)$$

Així doncs, l'equació (2.13) serà la que regirà la relació entre entrades i sortides del circuit de la figura 8.

Capítol 3- DISSENY I SIMULACIONS AMB ADS.

L'objectiu d'aquest capítol serà dissenyar el circuit amplificador, ajudats pel software ADS, per tal de poder simular els dissenys, i anar-nos apropant cada cop més al disseny final a fabricar. Com a primer pas, es farà servir com a base el disseny estudiat a l'anterior capítol, i a partir d'aquí es realitzaran els dissenys per a una, dues i tres etapes. Corresponentment a cada disseny es realitzaran les seves simulacions per tal de verificar si compleixen o no les especificacions desitjades.

3.1- DISSENY D'UNA SOLA ETAPA AMB REALIMENTACIÓ NEGATIVA.

Primer es realitzarà el disseny de l'amplificador amb només una sola etapa, per tal de verificar que el disseny de l'amplificador funciona correctament, sense la preocupació de si assoleix o no el nivell desitjat d'amplificació. D'aquesta manera es pretén evitar possibles errors en els futurs dissenys més complexos. El primer disseny analitzat es mostra a la figura 9:

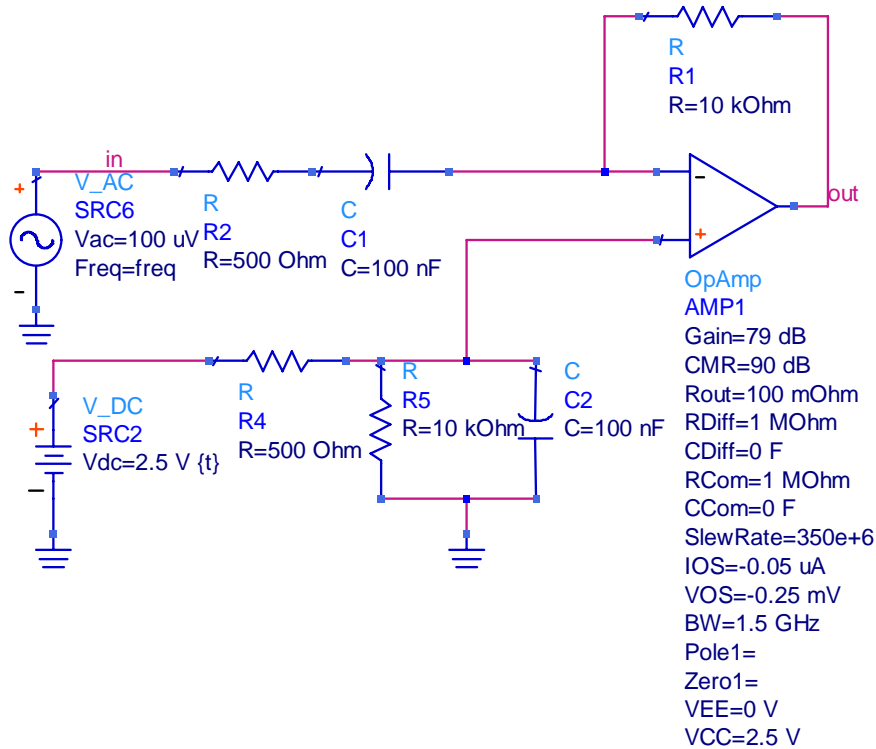


Figura 9. Disseny amplificador d'una etapa

A la figura 9 s'observa el disseny de l'amplificador amb una sola etapa, on s'han introduït les especificacions del propi amplificador operacional que es farà servir per a la fabricació. També s'han utilitzat els valors de resistències adequats per tal d'aconseguir un valor de guany en llaç tancat desitjat. Finalment, i després de realitzar diverses proves, es van fer servir com a R1 (resistència de realimentació) i R2 (resistència d'entrada), els valor de R1=1K Ohm i R2=100 Ohm, fent que el valor en llaç tancat sigui igual a -10.

$$AV = -\frac{R_{realimentació}}{R_{entrada}} = -\frac{1K}{100} = -10 \quad (3.1)$$

El signe menys significa que el senyal a la sortida serà de signe oposat a la de la entrada, ja que:

$$V_o = -V_i \cdot AV \quad (3.2)$$

Pel que fa a les alimentacions, podem observar com en alterna s'ha introduït un valor de Vac=100uV per tal de simular una entrada molt baixa, comparable a la que tindrà el sistema d'instrumentació que es vol implementar, i corresponent a la teòrica provocada el núvol d'electrons esmentat sobre un cable.

A continuació es mostraran les simulacions obtingudes per al disseny d'una etapa:

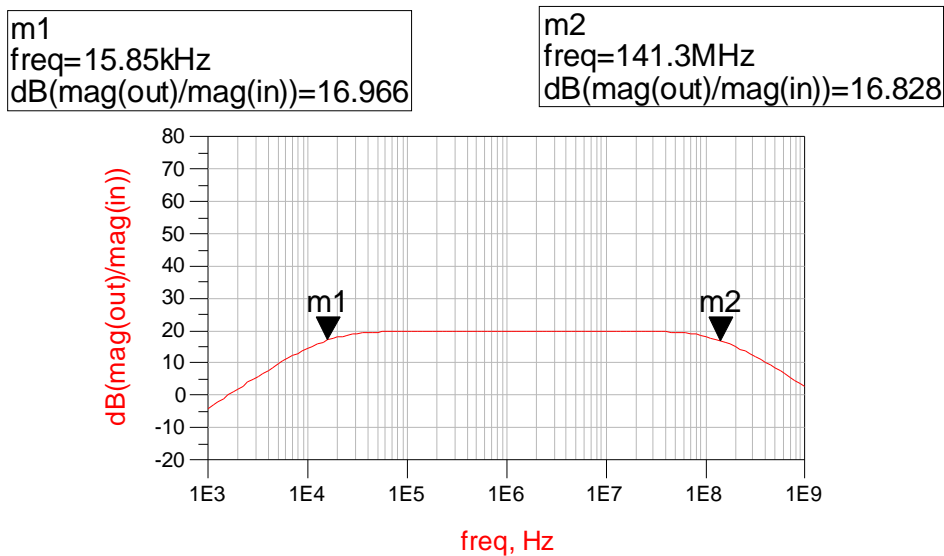


Figura 10. Resposta amplificador d'una etapa

De la figura 10 podem extreure els següents valors d'ample de banda i guany:

$$Bw = f_2 - f_1 = 141.3\text{MHz} - 15.85\text{kHz} = 141.28\text{MHz} \quad (3.3)$$

$$G = 20\text{dB} = 10 \quad (3.4)$$

$$GBW = 141.28\text{MHz} \times 10 = 1.412\text{GHz} \quad (3.5)$$

Analitzant la gràfica de la figura 10 podem observar com s'ha obtingut un guany de 20dB, el qual no assoleix el guany requerit en les especificacions (80dB's). En canvi si podem veure com s'ha superat l'ample de banda demanat (50MHz), obtenint un BW d'uns 141MHz. Per tal de calcular aquest valor de l'ample de banda, s'han situat dos marques (m1 i m2) a la gràfica10, una a cada banda del guany màxim. Aquestes marques tenen un valor de -3dB respecte al guany màxim, i a més tenen una freqüència associada cadascuna, la diferència entre els quals donarà el valor de l'ample de banda. En un principi aquests resultats no seran del tot determinants, ja que només s'ha simulat una sola etapa, amb la intenció de simular almenys tres etapes en sèrie. La següent tasca a tractar, serà la de simular dues etapes en sèrie, basades en el disseny d'una etapa, e intentar millorar el guany, per tal d'apropar-nos a les especificacions.

3.2- DISSENY DE DUES ETAPES EN SERIE AMB REALIMENTACIÓ NEGATIVA .

En aquest punt es tractarà el mateix disseny estudiat per al disseny d'una etapa, però per a una aplicació de dues etapes. En un principi, les dimensions sobre les que es podrà fabricar són conegudes, sabent fins i tot que podríem directament dissenyar un amplificador amb tres etapes, però al igual que l'anterior punt d'una etapa, es voldrà seguir l'evolució del disseny de manera progressiva, per el mateix raonament d'evitar possibles errors en futurs dissenys. A continuació es mostra el disseny del circuit per a dues etapes, utilitzant els mateixos valors que en el punt anterior:

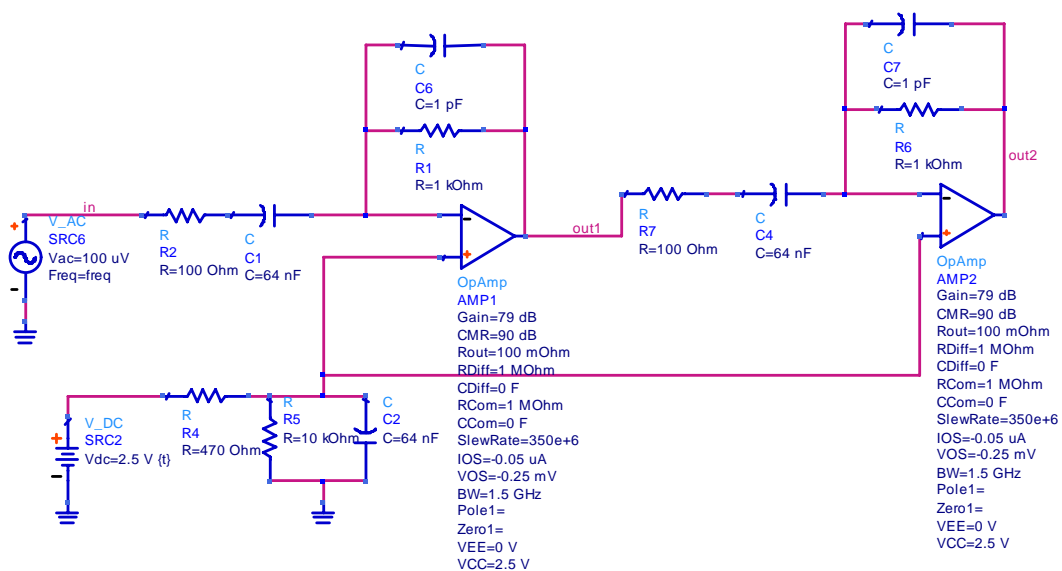


Figura 11. Disseny amplificador de dues etapes

Com s'observa a la figura 11, es tracta del disseny de dues etapes en sèrie, col·locant el senyal de sortida de la primera etapa alimentant l'entrada de la segona. Els valors dels operacionals, al igual que el disseny d'una etapa, són els donats pel datasheet del operacional LMH6626. Els valors de les resistències també són els mateixos que el cas anterior, per el que el guany en llaç tancat serà de 10 per a cada etapa, el que suposarà, que al estar en sèrie, tindrem un guany total de 100 (10x10). Es pot veure com s'han alimentat les dues entrades positives de cada amplificador a partir del mateix punt, estalviant-nos així de repetir una part del circuit. El que s'espera d'aquest disseny respecte l'anterior, és que col·locant dues etapes en sèrie, puguem augmentar el guany.

A continuació es mostra la simulació obtinguda de la figura 11:

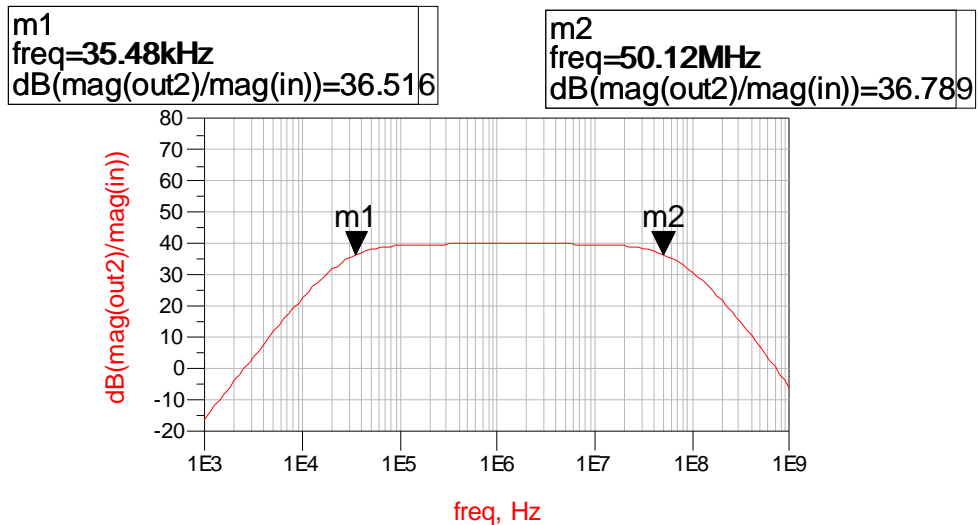


Figura 12. Resposta amplificador de dues etapes

De la figura 12 podem extreure els següents valors d'ample de banda i guany:

$$Bw = f_2 - f_1 = 50.12\text{MHz} - 35.48\text{kHz} = 50.08\text{MHz} \quad (3.6)$$

$$G = 40\text{dB} = 100 \quad (3.7)$$

$$GBW = 50.08\text{MHz} \times 100 = 5\text{GHz} \quad (3.8)$$

Observant la figura 12 podem veure que els resultats obtinguts han variat respecte el model d'una sola etapa. En aquest cas s'ha aconseguit augmentar el guany fins a 40dB, apropant-nos més al resultat desitjat de 80dB. D'altra banda, l'ample de banda s'ha reduït fins a 50MHz, just dins del valor requerit pel sistema. Queda doncs verificat que amb l'augment d'una etapa més, els valors han variat considerablement, fent que la opció poder augmentar en una etapa més, tres en total, doni la possibilitat d'assolir els valors desitjats. Per tant, l'objectiu per al següent disseny de tres etapes serà el mateix, tractar d'augmentar el guany, respectant l'ample de banda aconseguit fins ara.

3.3- DISSENY DE TRES ETAPES EN SERIE AMB REALIMENTACIÓ NEGATIVA.

Finalment s'ha realitzat l'últim disseny de tres etapes. Al igual que en els dos anteriors, s'han mantingut els valors de les resistències, condensadors, i els propis característics dels operacionals, que com ja s'ha esmentat abans, tenen els valors corresponents a les especificacions de l'amplificador operacional que es farà servir per a la fabricació. Aquest serà l'últim disseny degut a que, per temes d'espai, no cabrien mes operacionals en la zona limitada que tindrem per fabricar. A continuació es mostra el disseny a simular i construir:

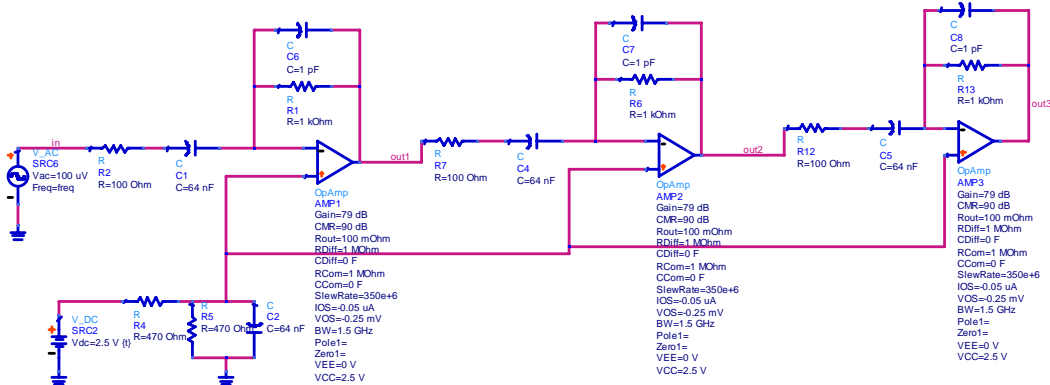


Figura 13. Disseny amplificador de tres etapes

Al igual que en el cas de dues etapes, les entrades positives dels operacionals estan alimentades per el mateix punt, evitant repetir parts del circuit que més tard, a l'hora de la fabricació, es estalviaran espai físic dins la placa. Pel que fa al guany, en mantenir els mateixos valors de resistències, tindrem també un guany en llaç tancat de 10 per a cada etapa, el que ens proporcionarà un guany total de 1000 (10x10x10). A continuació es mostren les simulacions obtingudes de la figura14:

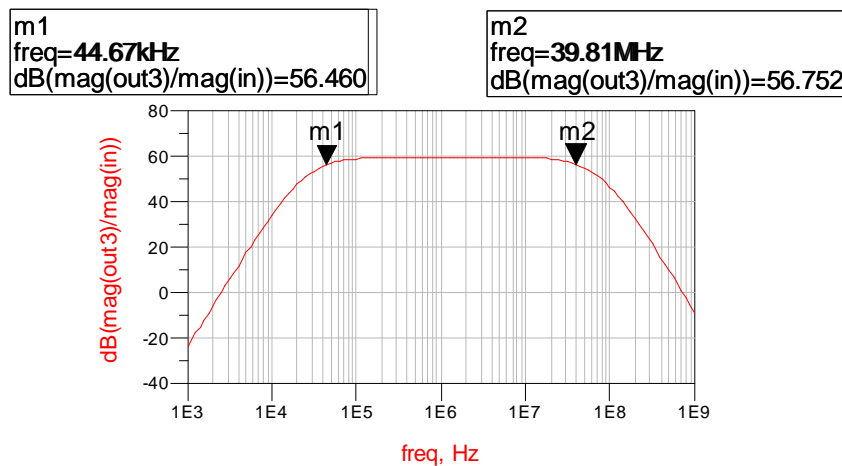


Figura14. Resposta amplificador de tres etapes

De la figura 10 podem extreure els següents valors d'ample de banda i guany:

$$Bw = f_2 - f_1 = 39.81\text{MHz} - 44.67\text{KHz} = 39.76\text{MHz} \quad (3.9)$$

$$G = 60\text{dB} = 1000 \quad (3.10)$$

$$GBW = 39.76\text{MHz} \times 1000 = 39.76\text{GHz} \quad (3.11)$$

Com a últim cas, observem la figura 14, corresponent a la simulació de tres etapes. Podem veure doncs, com s'ha tornat a augmentar el guany, aquest cop fins a 60dB, essent la màxima aproximació que s'ha aconseguit al resultat idoni de 80dB. En contrapartida, l'ample de banda s'ha vist disminuït, assolint un valor d'uns 40MHz, 10MHz menys que el resultat idoni, el qual hem tingut de reduir per tal d'aconseguir un guany en amplificació mes òptim. Tot i que els valors obtinguts de la tercera i ultima simulació, no assoleix exactament els valors demanats al inici, es poden donar com a satisfactoris, ja que tot i no ser ideals, queden molt propers al requisits.

3.4- CONCLUSIONS.

Un cop realitzades les simulacions per als tres casos, podem concloure veient com s'ha seguit una progressió constant pel que fa als resultats, aconseguint en cada augment d'una etapa, un resultat millor respecte l'anterior. A continuació es mostren els resultats de les tres simulacions en una sola gràfica:

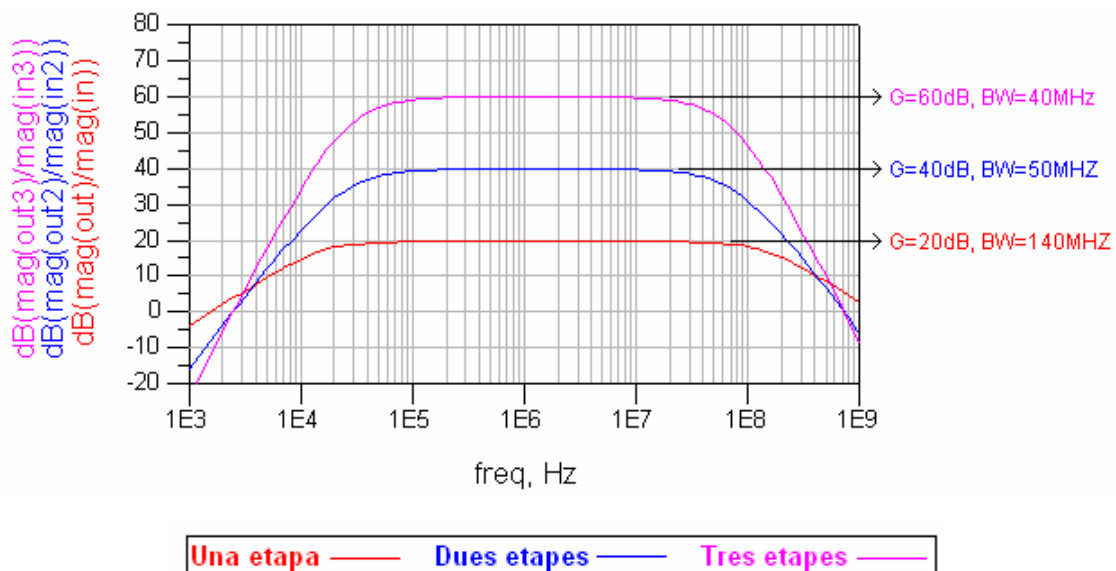


Figura 15. Respostes simulacions d'una, dues i tres etapes

Podem veure doncs a la figura 15, com per a cada disseny s'ha aconseguit augmentar 20dB cada cop que s'afegia una etapa, fins arribar a un màxim de 60dB, assolint gairebé el valor ideal requerit de 80dB. Pel que fa a l'ample de banda, no ha estat tant progressiu com el guany, ja que, al passar d'una a dos etapes, l'ample de banda s'ha vist reduït a mes de la meitat, i en augmentar una etapa mes, només hi ha hagut una diferència de 10MHz respecte a la diferència anterior de 90MHz. Tot i així l'ample de banda s'ha pogut considerar dins dels límits.

Un cop vistos els resultats amb l'ADS dels diferents circuits, el següent pas serà el de dissenyar el layout dels circuits vistos d'una, dos i tres etapes, per tal de poder fabricar-los i simular les seves respostes, millorant els circuits si fes falta per aconseguir uns resultats similars als trobats amb les simulacions de l'ADS.

Capítol 4- DIMENSIONAT I DISSENY DEL LAYOUT.

En el quart capítol es descriuran els passos que s'han seguit per realitzar els layouts que es faran servir per a la fabricació dels dissenys. Al igual que en el capítol anterior, es mostrarà el seguiment progressiu des del disseny d'una sola etapa, seguit del de dues etapes, fins al disseny final de tres etapes. Abans de realitzar els dissenys però, es farà un petit estudi de la implementació, ja que, al passar dels dissenys realitzats en el capítol anterior als models reals, ens haurem de basar en els models de diagrames de connexions i en les mides de l'amplificador operacional escollit (LMHH6626), d'aquesta manera doncs, es pretén optimitzar la seva futura implementació.

4.1- ESTUDI DE LA IMPLEMENTACIÓ.

A continuació es mostra el diagrama de connexions de l'amplificador operacional amb el que es basaran els dissenys. Com es mostra a la figura 16, apareixen dos models (single and dual), dels quals ja s'ha especificat amb anterioritat que l'única diferència es la utilització d'un sol amplificador pel *single*, i l'ús de dos amplificadors per al *dual*.

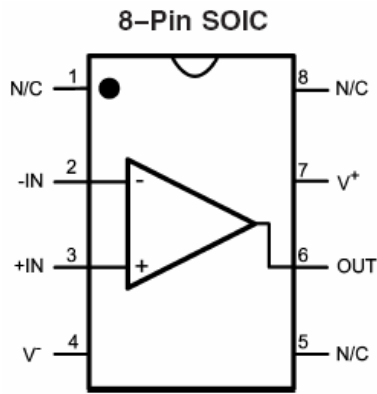


Figura16. a) Single

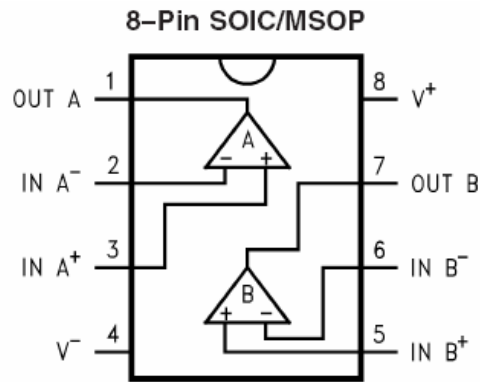


Figura16. b) Dual

Figura16. Diagrama de connexions LMH6624 \ LMH6626 a) Single b) Dual

A l'hora de realitzar els layouts, s'ha utilitzat el model *single* per l'amplificador d'una etapa, y el model dual per als amplificadors de dues i tres etapes, ajustant el model a les connexions per a cada cas.

Un cop fetes les primeres aproximacions del disseny, el següent pas ha estat el de realitzar un model real de layout (utilitzant el software ADS), ajustant-nos a les mesures reals dels amplificadors operacionals. A continuació es mostren les mides de l'amplificador *single* en el que ens hem basat per a realitzar l'amplificador amb una sola etapa:

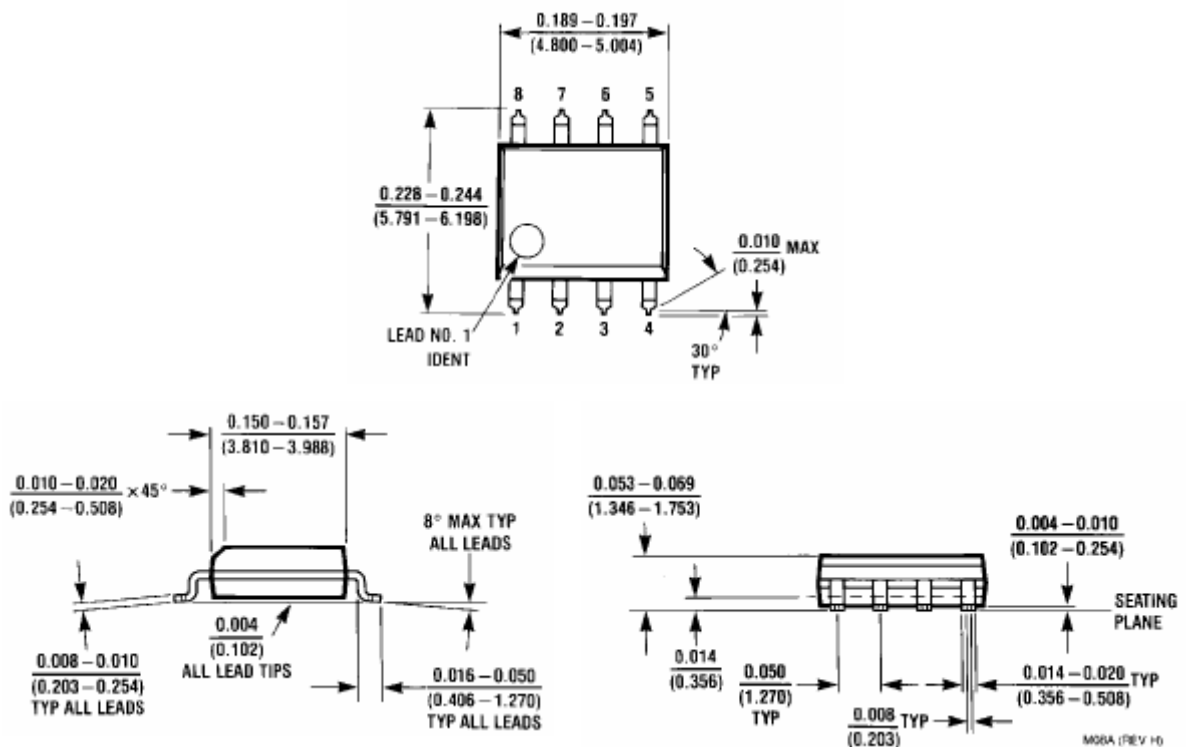


Figura 17. Mides de l'amplificador operacional LMH6626 single

Ja es pot suposar que el model d'una sola etapa ha estat el més senzill de realitzar, tant pel fet de ser d'una sola etapa, com per la simplicitat de les connexions al venir proveït només d'un sol amplificador.

En la figura 17 es mostren les dimensions de l'operacional amb dos amplificadors. Com ja hem comentat, aquest model ens servirà per als casos de dues i tres etapes. En aquest cas ens trobarem amb més problemes a l'hora d'implementar el layout, per diferents raons d'espai i creuament de línies, per el que s'optarà, com es veurà més endavant, per a realitzar el dissenys per les dues cares de la placa. El fet d'utilitzar les dues cares de la placa farà que haguem de fer servir vies. Aquestes vies seran bàsicament, petites perforacions d'una banda de la placa a l'altre, en les quals se li introduirà algun material conductor que farà d'enllaç perquè hi circuli la senyal.

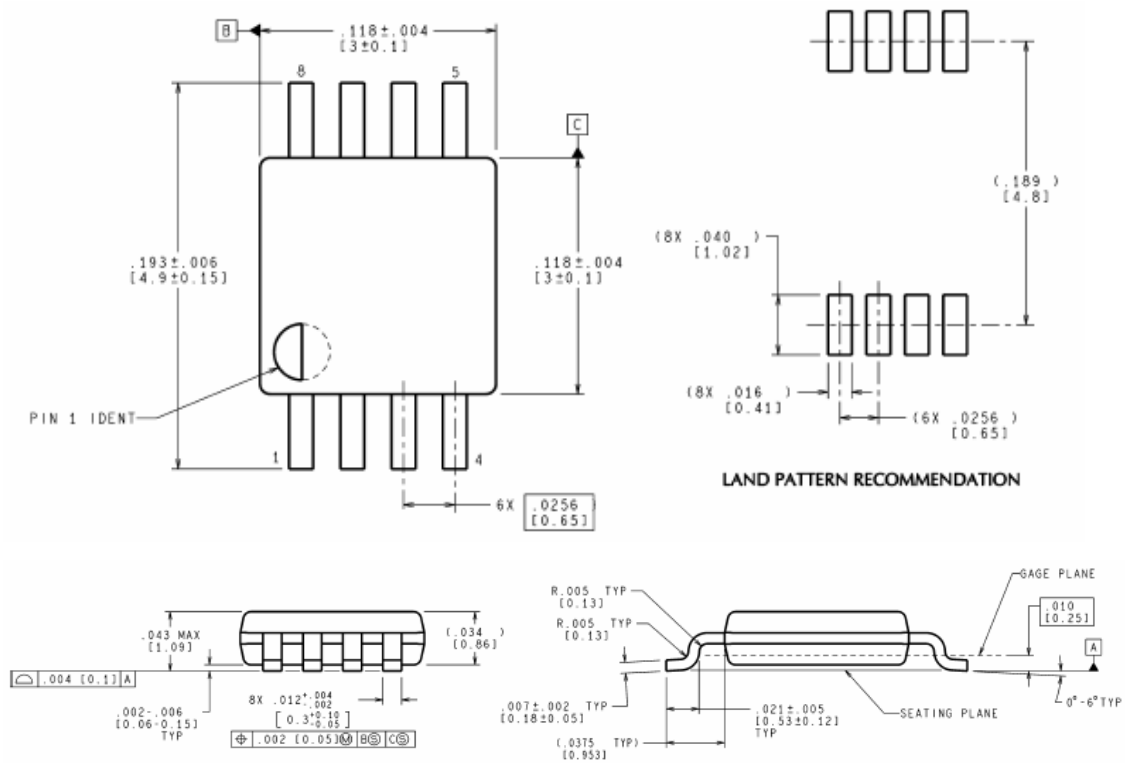


Figura 17. Mides de l'amplificador operacional LMH6626 dual

4.1.1- DISSENY DEL LAYOUT D'UNA SOLA ETAPA.

Com ja hem comentat abans, l'amplificador amb una sola etapa ha estat el més senzill de realitzar, al no tenir problemes d'espai ni creuament de línies. Primer s'ha realitzat un model aproximat, basant-nos en les connexions de l'operacional single, fixant-nos be en les entrades i sortides. A continuació es mostra un primer model abans de realitzar el layout:

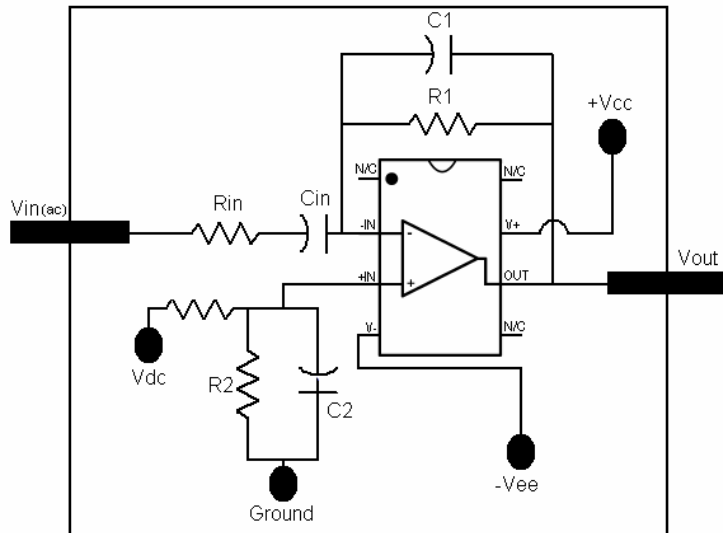


Figura 19. Primer model enrutat de pistes amplificador d'una etapa

Entrades: $V_{in}(ac)$, $V(dc)$, $+V_{cc}$, $-V_{ee}$

Sortides: V_{out}

Podem observar en la figura anterior com l'únic punt conflictiu del disseny es el creuament de línies entre la entrada $+V_{cc}$ i la realimentació. Aquest conflicte implica que el creuament de pistes afegeixi acoblament capacitiu i sigui una font de soroll. A priori, s'havia comentat que el disseny d'una sola etapa no tenia creuament de línies, però com es veurà en la següent figura 19, on apareix el layout d'aquest disseny, aquest suposat creuament no representa cap problema, ja que s'aprofitarà l'espai entre la base de l'operacional i la placa per passar la línia d'entrada de $+V_{cc}$, i d'aquesta manera evitar aquest creuament.

En la següent figura es mostra el disseny del model d'una sola etapa:

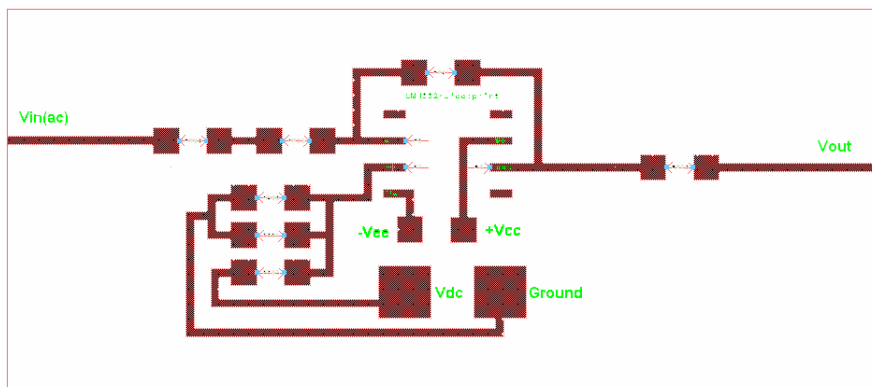


Figura 21. Layout de l'amplificador d'una sola etapa

Fent un primer cop d'ull a la figura 21 podem observar que faltaria la capacitat de realimentació, però al voler fer diferents proves per a les futures simulacions, es va optar per no posar-la directament, amb la possibilitat de realitzar tècniques de soldadura sobre la fabricació d'aquest disseny, soldant la resistència i capacitat de realimentació una sobre de l'altre, aconseguint d'aquesta manera el paral·lel entre els dos components.

4.1.2- DISSENY DEL LAYOUT DE DUES ETAPES EN SÈRIE.

En aquest punt s'analitzarà el disseny de dues etapes, utilitzant l'operacional *dual* amb dos amplificadors integrats dins del mateix chip. Per aquest cas hi hauran el mateix numero entrades i sortides de la placa, exceptuant que -Vee (alimentada per 0V) serà adherida a massa. Al tenir les entrades positives de cada amplificador per el mateix senyal, aprofitarem el mateix divisor de tensió de dc per alimentar-los a tots dos a la vegada, estalviant-nos espai i línies de connexió. A continuació mostrem la primera aproximació del disseny:

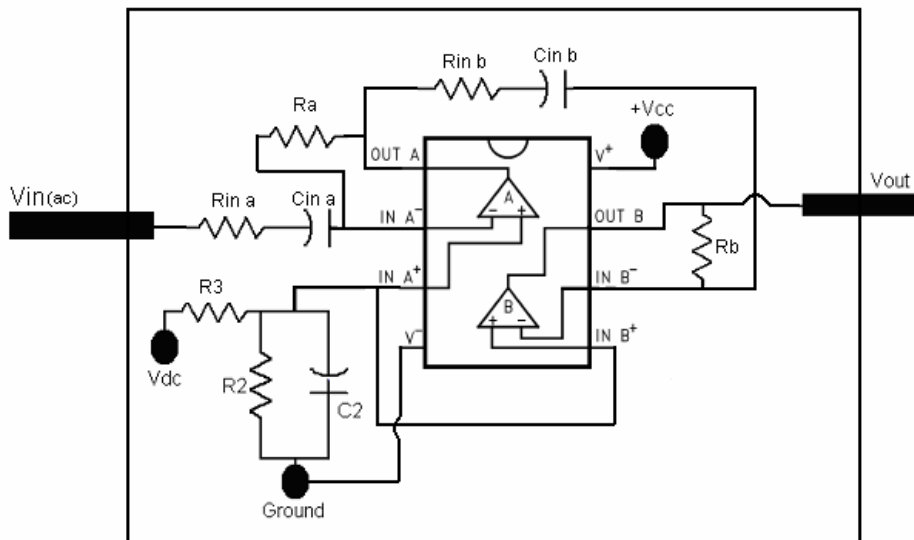


Figura 22. Primer model enrutat de pistes amplificador de dues etapes

Per aquest cas apareixerà més d'un problema de creuament a l'hora de realitzar l'interconexionat, per el que es va optar per a realitzar el disseny del layout utilitzant les dues cares de la placa. En aquest apareixeran dos creuaments, el primer es produeixen entre la

entrada negativa de l'operacional B i la sortida de la placa Vout, el segon serà entre la entrada positiva de l'operacional B i la entrada V- connectada a massa.

Com s'observa a la següent figura 23, les línies en color groc representen les pistes que seran fabricades per la cara posterior de la placa, a excepció dels laterals de la placa (que representen massa) que es trobaran a ambos costats, tant per la part superior com la posterior. A la següent figura trobarem el model de dues etapes:

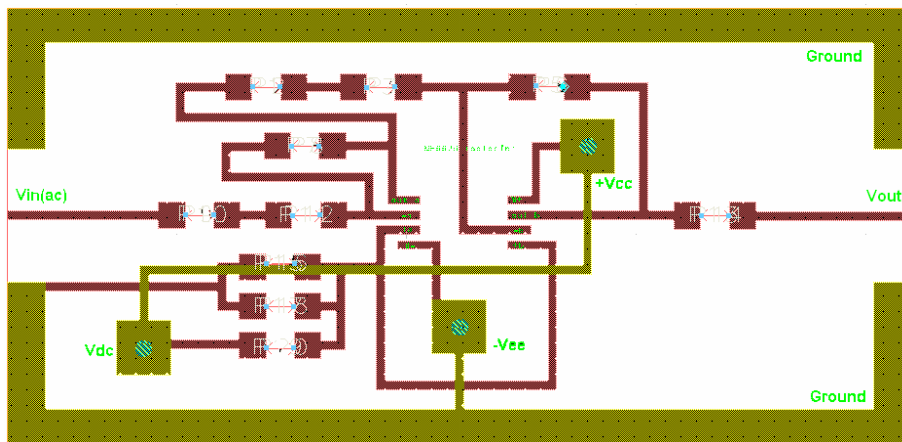


Figura 23. Layout de l'amplificador de dues etapes

En aquest cas també s'utilitzarà l'espai entre la part inferior del chip i la placa per traçar pistes, com per exemple, la unió de la sortida de la primera etapa i la realimentació de la segona. Podem observar com la part posterior s'ha fet servir per unir l'alimentació de l'operacional i l'alimentació Vdc, que tenen el mateix valor, i l'enllaç de l'alimentació negativa de l'operacional a massa. També s'ha optat per no col·locar en el disseny les capacitats de realimentació, optant també per realitzar la soldadura entre resistència i capacitat de realimentació en els diferents casos de simulacions que es van realitzar. Els espais dels laterals esquerre i dret que no estan coberts per massa són deguts a l'àrea que ocuparan els connectors que s'utilitzaran.

4.1.3- DISSENY DEL LAYOUT DE TRES ETAPES EN SÈRIE.

Com a tercer i últim disseny, es presenta el cas de tres etapes, el qual, com en el cas anterior, també utilitza el model *dual* amb dos operacionals. Evidentment, per aquest disseny es va optar per la opció d'utilitzar les dues cares de la placa per poder traçar pistes sense problemes. A continuació es mostra un primer estudi del disseny:

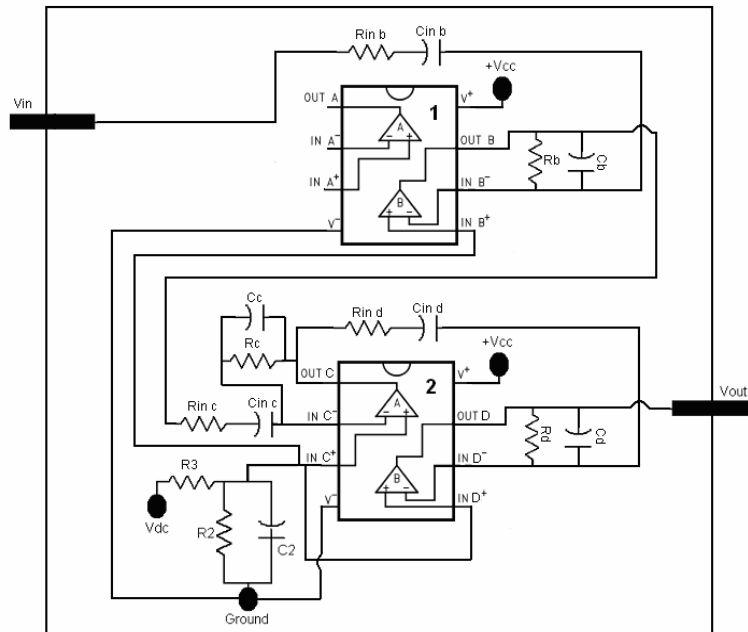


Figura 24. Primer model enrutat de pistes amplificador de tres etapes

En aquest cas, la utilització de les dues cares ens farà servei per evitar el creuament entre l'entrada negativa de l'operacional INB- amb la sortida OUTB del mateix operacional, i l'alimentació negativa V- del segon operacional amb la amb la entrada positiva IND+. La cara posterior també serà utilitzada per poder unir les alimentacions +Vcc dels dos operacional amb l'entrada Vdc, i per enllaçar a massa les alimentacions -Vee dels dos operacionals. Un cop fetes les primeres aproximacions es va realitzar el disseny final, on, observant la figura 25, podem veure que s'han afegit al disseny l'espai per col·locar les capacitats de realimentació:

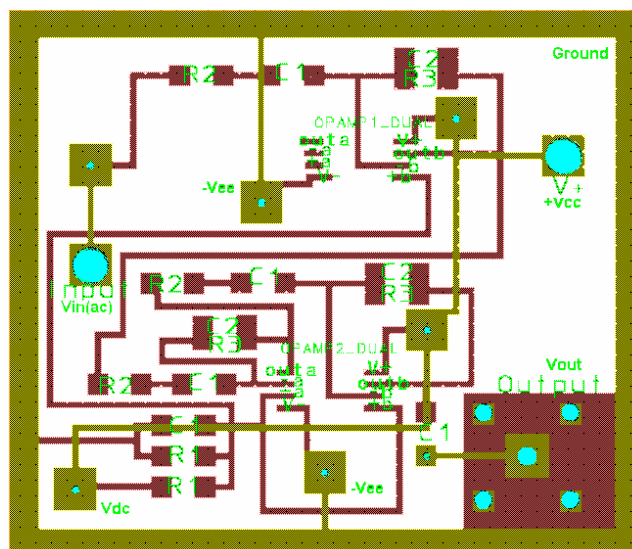


Figura 25. Layout de l'amplificador de tres etapes

En aquest últim disseny s'han utilitzat, a part de les mides reals dels operacionals, l'àrea màxima especificada als requeriments de $3 \times 3.5 \text{ cm}^2$, el que ens ha condicionat a l'hora de la col·locació dels components. A això també se li ha de sumar la utilització de dos connectors per a l'entrada i la sortida Vin i Vout diferents, que, en comptes d'entrar i sortir pels laterals de la placa, ho faran directament per la part superior. L'ús d'aquests connectors serà necessari ja que l'espai que teòricament ocuparà la placa realment, requereix d'aquesta entrada per la part superior, degut a que la placa estarà compresa en un espai tancat, fent que no pugui sobresortir res pels laterals.

Capítol 5- FABRICACIÓ DELS PROTOTIPS.

Un cop realitzats tots els dissenys dels circuits, simulacions i layouts, passarem a la fabricació dels prototips. Aquesta fabricació es realitzarà als laboratoris del Departament d'Enginyeria Electrònica, utilitzant com a material per a la placa el substrat FR4, la qual està recoberta de 35um de coure per les dues cares. Aquest coure s'anirà fresant, per tal d'eliminar les parts que no interessin, i que només quedi el dibuix de les pistes.

Els components que es soldaran sobre la placa seran: resistències, condensadors, amplificadors operacionals i connectors. Tots ells seran SMD (Surface Mount Device), es a dir, que la soldadura serà superficial sense perforar la placa.

Utilitzar tecnologia SMD ens oferirà certs avantatges, com per exemple:

- Reduir pes i dimensions.
- Reduir la quantitat de forats a la placa.
- Permetrà la integració de les dues cares del circuit imprès.
- Reduirà costos de fabricació.
- Reduirà les interferències electromagnètiques, gracies a la mida mes reduïda del contactes.

- En el cas de components passius , com resistències i condensadors, s'aconsegueix valors més precisos.

Encara que no tot seran avantatges, ja que les reduïdes dimensions dels components i l'àrea de la placa, faran que el muntatge manual dels circuits es compliquin molt més que amb la tecnologia through hole, on es perfora la placa per soldar. Les dimensions dels contactes metàl·lics dels components (de vegades gairebé inexistents) implicarà una soldadura molt més precisa.

Pel que fa a les vies que uniran les dues cares de les plaques, es realitzaran petites perforacions que travessaran la placa. La manera per comunicar les dues bandes es provarà de dues formes. La primera serà la de col·locar un cable per dins la via i soldant a banda i banda, l'altre forma es basarà en un compost líquid conductor, Epoxi plata. Aquest líquid espès s'introduirà dins la via, per tal de que, col·locant la placa dins el forn del laboratori durant 20 minuts a 140°, l'Epoxi es solidifiqui i pugui realitzar la funció de material conductor.

5.1- FABRICACIÓ DE L'AMPLIFICADOR AMB UNA SOLA ETAPA.

En un principi, la fabricació de l'amplificador d'una etapa pot semblar no gaire necessària sabent que es disposa de l'espai suficient per col·locar fins a tres etapes, però ens servirà per realitzar les primeres proves i trobar possibles errors, ja que els futurs dissenys es basaran en aquest. Com ja s'ha comentat en el capítol anterior, per al amplificador d'una sola etapa s'utilitzarà l'operacional *sig/e*, amb només un amplificador integrat. A continuació es mostra el layout en que s'ha basat:

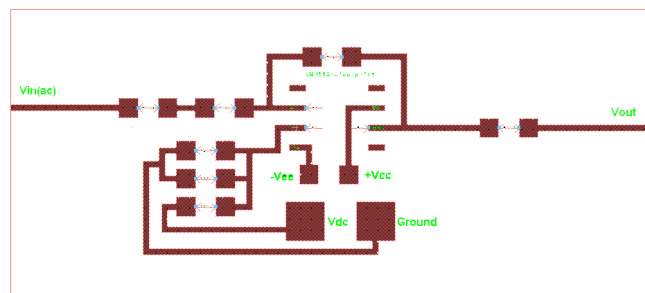


Figura 26. Layout de l'amplificador d'una etapa

Observant la imatge de la figura 27 podem veure certes parts del disseny que seran variades en futurs dissenys. La primera part serà al tractar d'unir l'alimentació +Vcc de l'operacional amb l'entrada Vdc, ja que al estar alimentades pel mateix valor, poden ser enllaçades en un mateix punt de la placa. L'altre part serà al enllaçar l'alimentació negativa del operacional (-Vcc) i la massa del divisor de tensió.

5.2- FABRICACIÓ DE L'AMPLIFICADOR AMB DUES ETAPES.

Per a la fabricació de l'amplificador de dues etapes es farà servir l'amplificador *dual*, el que ens permetrà utilitzar dos amplificadors però un sol chip. Per aquest cas s'ha decidit deixar una part del coure dels laterals d'ambdues cares de la placa per fer de massa, connectant en aquest punt -Vcc i la massa del divisor de tensió. A continuació es mostra la fabricació i el layout en que s'ha basat l'amplificador de dues etapes

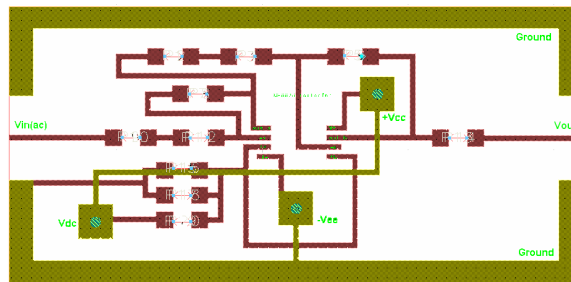


Figura 28. Layout de l'amplificador de dues etapes

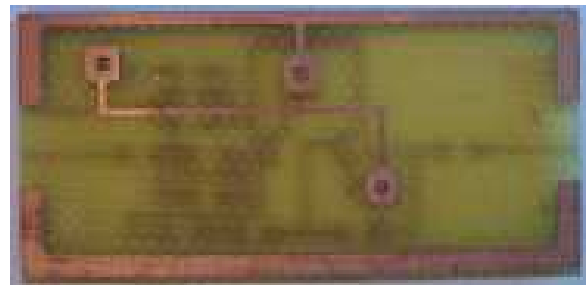
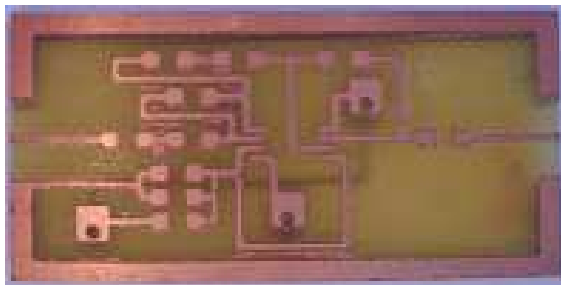


Figura 29. Prototip amplificador de dues etapes.Top. Figura 30. Prototip amplificador de dues etapes.Bottom.

Com podem observar en les figures 29 i 30, s'han utilitzat les dues cares del circuit imprès, per el que en aquest cas, si que s'han hagut de fer servir vies, utilitzant les dues tècniques esmentades per tal de comunicar les dues bandes. La primera serà la d'utilitzar un cable que travessi la perforació, i la segona utilitzant l'Epoxi plata omplint les vies. Després de realitzar diverses proves s'ha arribat a la conclusió que cap de les dues tècniques per les vies es clarament

avantatjosa respecte l'altre, per lo que el fet d'utilitzar una o l'altra no influirà en els resultats de les simulacions.

5.3- FABRICACIÓ DE L'AMPLIFICADOR AMB TRES ETAPES.

Al igual que en l'amplificador de dues etapes, també es farà servir l'operacional *dual*, però en aquest cas utilitzarem dos operacionals, optimitzant al màxim l'espai, i així poder utilitzar tres etapes. Com es evident, aquest cop també s'utilitzaran les dues cares de la placa, evitant així el creuament de pistes i fer un disseny més senzill. A continuació es mostra la fabricació i el disseny en que s'ha basat l'amplificador de tres etapes:

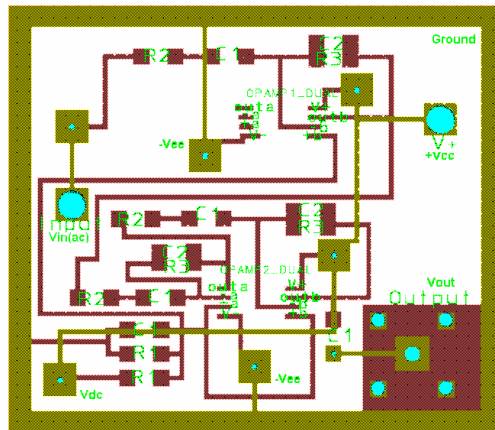


Figura 31. Layout de l'amplificador de dues etapes

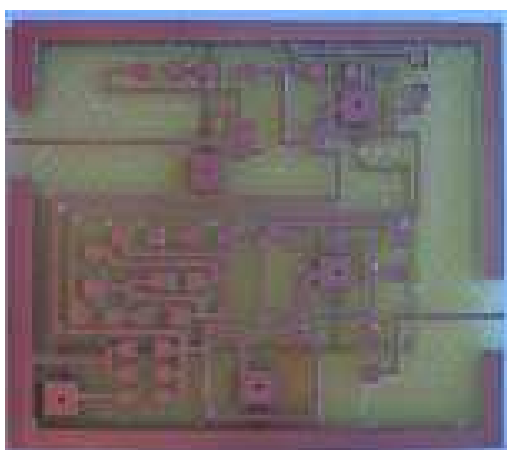


Figura 32 Prototip amplificador tres etapes.Top.

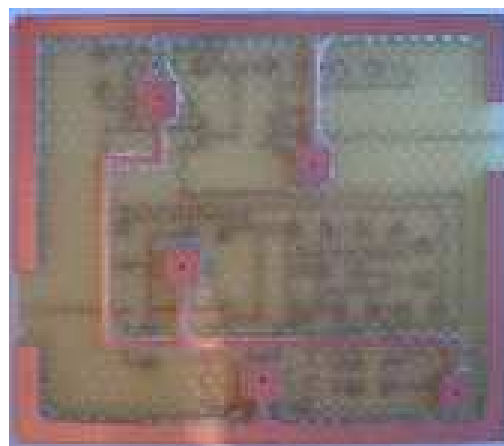


Figura 33 Prototip amplificador tres etapes.Bottom.

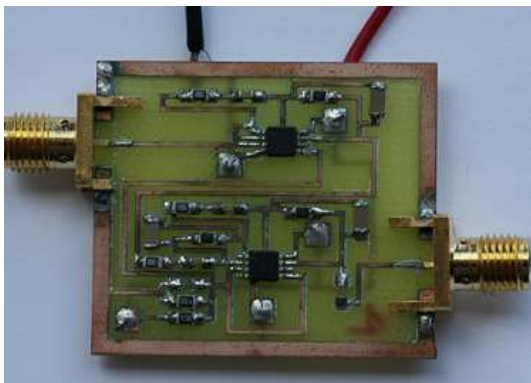


Figura 34. Prototip amplificador tres etapes amb els components soldats .Top.

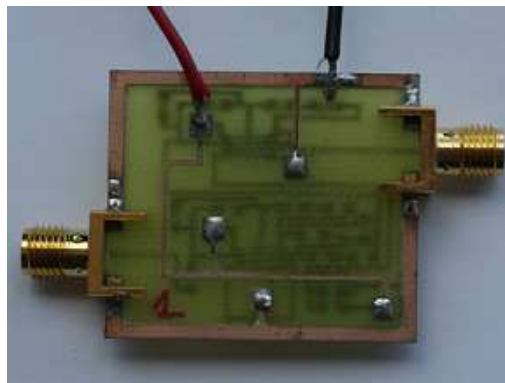


Figura 35. Prototip amplificador tres amb els components soldats etapes. Bottom.

Ens les figures 32 i 33 es mostren els circuits impresos de la part superior i inferior del circuit de tres etapes. Com es pot observar, l'espai a quedat optimitzant al màxim, sabent que hem de reservar cert espai tant al costat dret com l'esquerra per col·locar-hi els connectors. En aquest cas es evident que s'han hagut d'utilitzar les dues cares del circuit, fent servir vies per tal de fer circular la senyal. Pel que fa a les figures 34 i 35, es pot observar el mateix disseny que en les figures anteriors, però amb el components soldats, i utilitzant els connectors que ens proporcionaran per part del Laboratori de llum Sincotró ALBA-CELLS, ja que aquest connectors seran els que ells faran servir per a realitzar les seves proves.

5.4- SIMULACIONS

Un cop fabricades les plaques i soldats tots els components, només queda alimentar les entrades, i observar quina resposta dona la sortida. Així doncs, un cop calibrat l'analitzador de xarxes del laboratori, el podem connectar a l'entrada i la sortida de la placa, per tal de fer circular la senyal i observar si s'amplifica correctament. També farem servir la font d'alimentació, que ens proporcionarà els 2.5V de tensió que necessiten l'alimentació dels operacionals i l'entrada Vdc, proporcionant per altra banda la massa on aniran connectades l'alimentació negativa dels operacionals i el terra del divisor de tensió del circuit. A continuació es mostra una imatge del laboratori treballant amb una de les plaques fabricades:

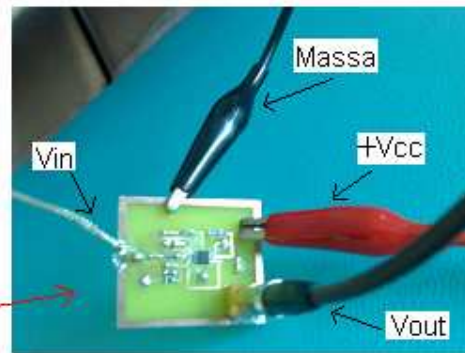
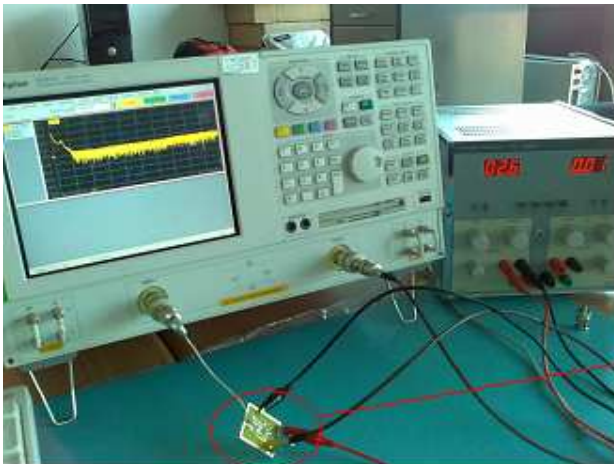


Fig 36.a) Connexió entre l'analitzador vectorial, font d'alimentació i prototip. Fig 36. b) Entrades i sortides prototip.

Figura 36. Imatge del laboratori treballant amb un prototip.

Una vegada obtingudes les dades de les simulacions amb l'analitzador vectorial, guardarem aquestes dades en arxius ".s2p", amb els que podrem treballar amb més deteniment utilitzant el software ADS. Un cop tinguem els arxius ".s2p" de l'analitzador farem servir l'esquemàtic d'ADS de la figura 37, el qual ens permetrà tornar a simular totes les dades obtingudes de les simulacions de les plaques:

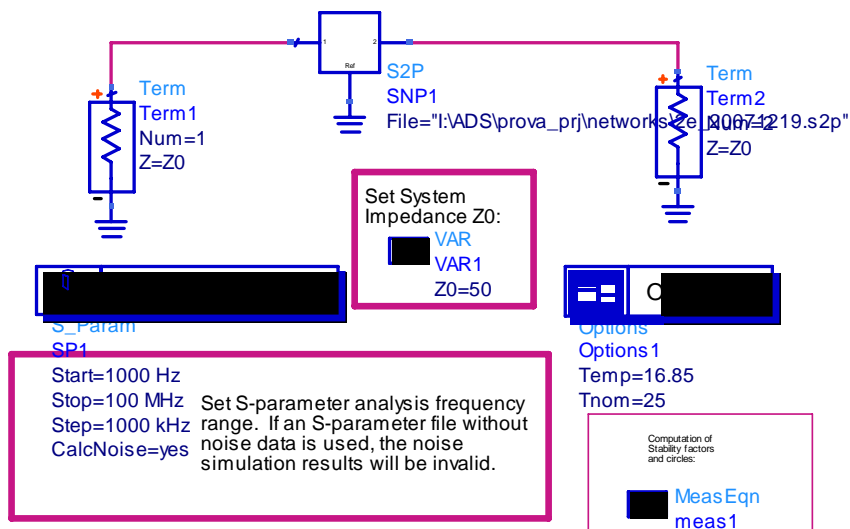


Figura 37. Mòdul per graficar arxius ".s2p"

A continuació es mostraran les simulacions obtingudes per a les diferents plaques amb una, dues i tres etapes. Com es podrà observar, els resultats distaran força dels simulats amb el software ADS, ja que, tot i intentar fer les simulacions el mes reals possibles, diferents factors, com el comportament real dels materials, les soldadures dels components, i les condicions

ambientals entre d'altres, afectaran als resultats finals. En els següents punts podrem observar les gràfiques extretes al laboratori de les plaques.

5.4.1- SIMULACIONS DEL CIRCUIT AMB UNA SOLA ETAPA.

En el cas d'una etapa, no es va perdre molt temps en realitzar simulacions, ja que només es pretenia comprovar que el circuit dissenyat amplificava correctament, i que s'havien pres be els valors dels components. D'altra banda també va servir per practicar les soldadures amb components SMD, el que dificultava el seu muntatge manual degut a les seves dimensions .

Com es pot veure en la figura 38, tot i ser una resposta un tant inestable, podem trobar una certa semblança amb els resultats de les simulacions amb ADS, superant fins i tot, el guany màxim que sobrepassa els 20dB, i aconseguint un ample de banda de 80 MHz.

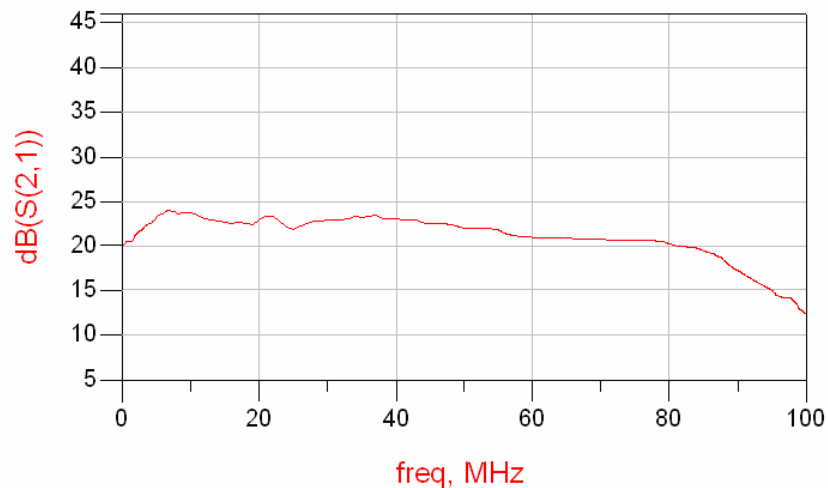


Figura 38. Resultat del prototip d'una etapa

D'aquesta manera, el resultat es pot considerar com a positiu. La utilització de l'operacional single (amb un sol amplificador integrat), i el poc recorregut que ha de realitzar el senyal per al cas d'una sola etapa, han ajuntat també a que el senyal es veies molt menys afectat que en les simulacions següents, on es veurà que al afegir mes components i camí a recórrer, la resposta estarà cada cop mes afectada.

5.4.2- SIMULACIONS DE CIRCUIT AMB DUES ETAPES.

Amb la intenció de seguir l'evolució que s'ha aconseguit amb les simulacions amb ADS, el resultat que s'espera per al circuit de dues etapes tindria que doblar el valor del guany respecte al disseny d'una etapa, arribant al menys als 40dB, amb la contrapartida que l'ample de banda es veuria disminuït gairebé a la meitat.

Així doncs, un cop fabricada la placa, es passarà a analitzar les dades que traurem a partir de l'analitzador vectorial:

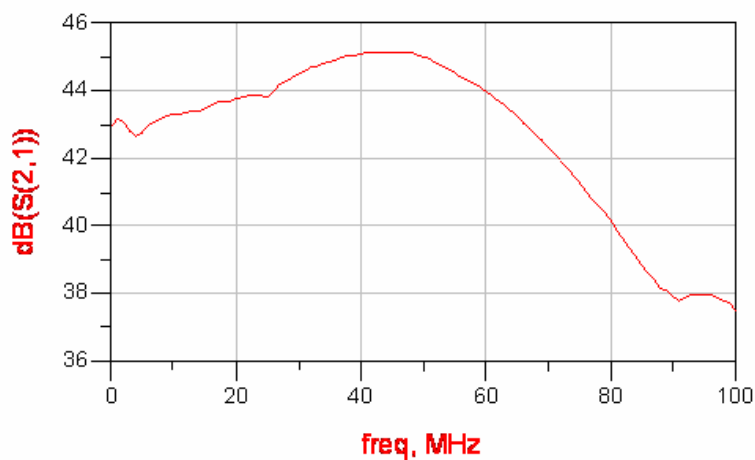


Figura 39. Resultat del prototip de dues etapes (I)

Les figures 39 i 40, són mesures fetes del mateix circuit, on la única diferencia es l'afinament de certes soldadures. La mida dels components va dificultar aquestes soldadures, les quals es va intentar repassar fins que quedés una bona soldadura, per tal d'aconseguir la màxima conducció.

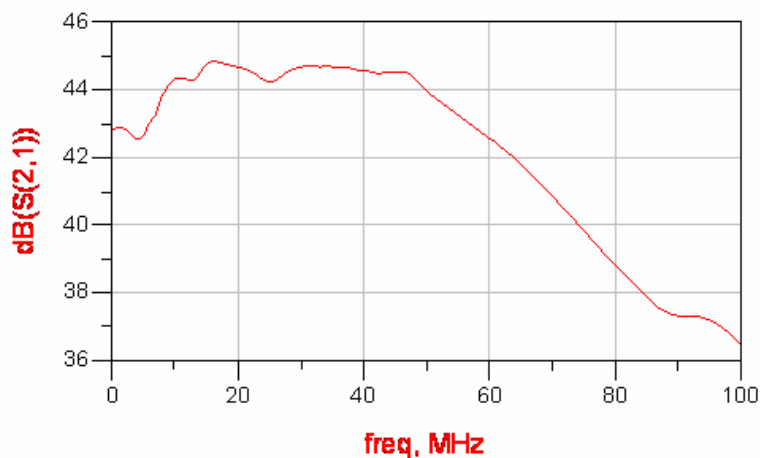


Figura 40. Resultat del prototip de dues etapes (II)

Podem observar com les especificacions més importants de l'amplificador es compleix, aconseguint un guany màxim de 45 dB, superior al simulat amb ADS. L'ample de banda per tant, també es veurà reduït fins a 50MHz. Els valors que es donen de guany i ample de banda seran aproximats degut a la inestabilitat que presenta la senyal.

D'aquesta manera, també es poden donar com a satisfactoris els resultats obtinguts per la simulació del circuit de dues etapes, aconseguint un guany i un ample de banda similar al de les simulacions amb ADS. El següent propòsit que es voldrà aconseguir amb la simulació de tres etapes serà intentar que la inestabilitat no incrementi, i poder aconseguir el guany teòric de 60dB i l'ample de banda de 40MHz.

5.4.3- SIMULACIONS DEL CIRCUIT AMB TRES ETAPES.

Com a tercer i últim disseny, es realitzaran les mesures per al circuit de tres etapes, on s'espera treure el màxim guany, aprofitant tot l'ample de banda disponible. Per aquest cas el disseny del circuit es veurà ampliat, afegint gairebé el doble de components, ja que per al circuit amb tres etapes es faran servir dos operacionals. L'enrutat de les pistes també es veurà complicat pel fet de la limitació de l'espai, el que provocarà que algunes pistes tinguin que fer massa recorregut. El tenir que incorporar gairebé el doble de components, es traduirà també en la realització del doble de soldadures, cosa que complicarà el muntatge manual, tant per la dificultat per aconseguir una bona soldadura, com per l'espai disponible per treballar. A continuació es mostra la simulació per al circuit de tres etapes:

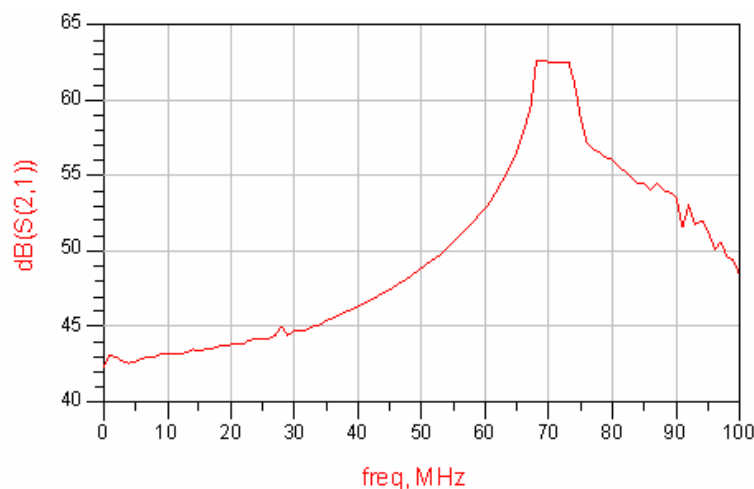


Figura 41. Resultat del prototip de tres etapes

Com es pot observar a la figura 41, no s'han aconseguit gaire bons resultats. Potser si que el guany màxim ha arribat a un punt superior al de les simulacions amb ADS, però la reducció

dràstica de l'ample de banda fa que no es pugui considerar com un bon resultat. A part de la possible mala conducció de la senyal per culpa de les soldadures, el mal funcionament pot ser també degut a diversos motius, com són, les distàncies que recorren les pistes al llarg de la placa per tal de no entrecreuar-se entre elles, les cantonades de 90 graus que ha de realitzar la senyal durant l'enrutat, i les dimensions de les connexions dels components amb les pistes (footprint), afectant al rendiment del circuit.

Capítol 6- CONCLUSIONS.

En aquest últim capítol es farà una conclusió final i una valoració global dels resultats obtinguts, per poder discutir si el projecte en qüestió respon a les demandes que es feien al inici d'aquest treball. Les conclusions que es realitzaran es basaran en funció dels diferents passos que s'han anat seguit, des de els primers dissenys teòrics dels capítols dos i tres, passant per el disseny del layout del quart capítol, fins a la fabricació final de la placa del capítol cinc.

En primer lloc, es parlarà sobre els dissenys teòrics que s'han simulat amb ADS. Aquests dissenys han estat basats en el primer circuit d'una etapa, el qual s'han anat encadenant en sèrie per tal d'augmentar el guany, i mantenint el màxim de d'ample de banda. S'ha considerat com a millor resultat dels tres dissenys d'una dues i tres etapes, aquest últim, assolint un guany de 60dB amb un ample de banda de 40MHz. A continuació es mostra el resultat obtingut amb ADS del circuit amb tres etapes:

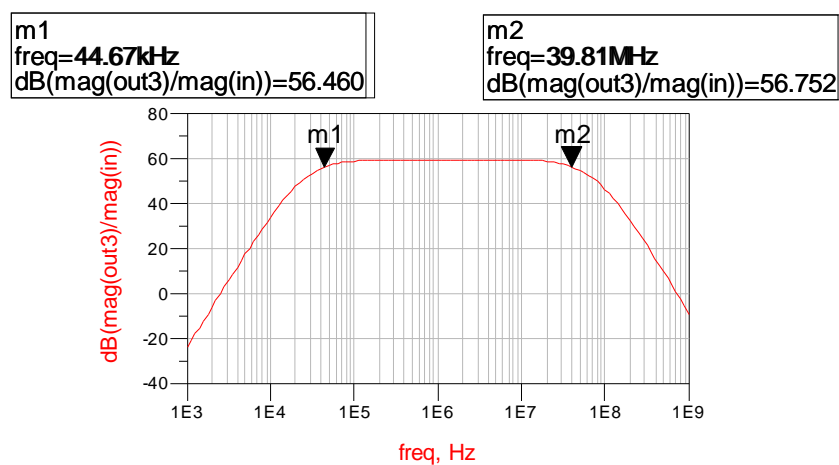


Figura 42. Resposta del disseny d'ADS del model de dues etapes

Tot i que els requeriments ideals que es demanaven de 80dB de guany i 50MHz d'ample de banda no s'han assolit, s'ha donat per bo el resultat, donant el disseny del circuit com a correcte per realitzar la seva fabricació.

D'altra banda trobem el treball que s'ha realitzat amb el layout, adaptant els dissenys dels circuits, a les mides reals dels operacionals, resistències, capacitats i connectors, tots ells de tecnologia SMD. La integració del disseny tenia com a area límit $3 \times 3.5 \text{cm}^2$. En la figura 43 es mostra el disseny del layout final de tres etapes:

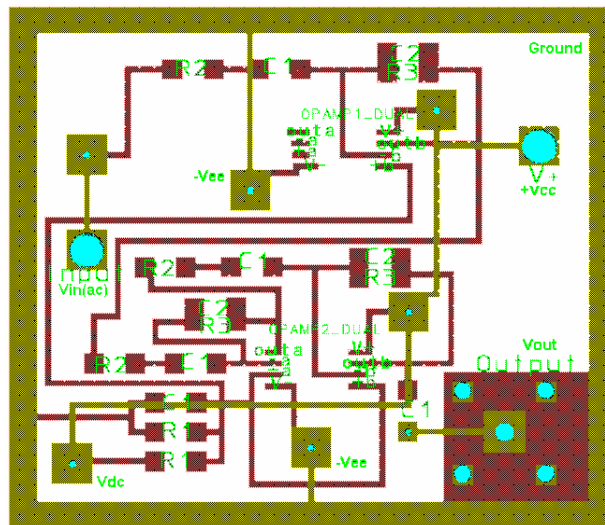


Figura 43. Layout del model de tres etapes

Per tal de complir amb les mides, s'ha optimitzat al màxim l'espai, utilitzant les dues cares de la placa per poder traçar totes les pistes.

Un cop realitzat el layout, fabricat i amb tots els components soldats, l'últim pas és el de comprovar que aquest disseny final dóna els resultats esperats. Es van realitzar el dissenys per una, dues i tres etapes, els quals no van donar del tot una resposta idònia, o almenys el que verdaderament s'esperava d'ells. Pel que fa al model d'una sola etapa es va poder comprovar que amplificava correctament, el que donava a suposar que els següents models donarien bons resultats. Pel que fa a les simulacions de la placa amb dues etapes, també es va assolir parcialment els requeriments, ja que s'aconseguia un guany de 45dB, superior al de les simulacions amb ADS, i amb un ample de banda també esperat d'uns 50MHz. A continuació es mostra la resposta que va donar la simulació de la placa de dues etapes:

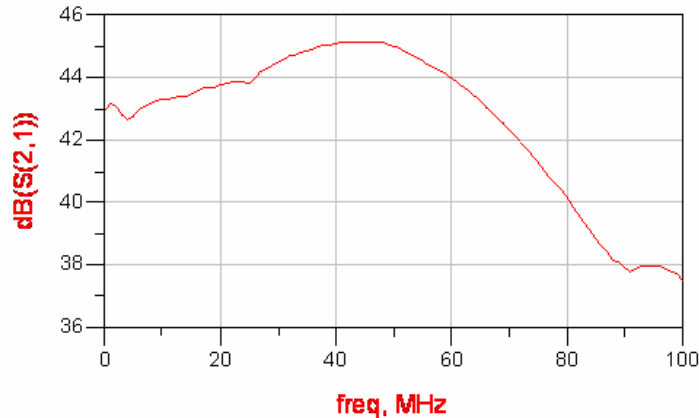


Figura 44. Simulació del prototip de dues etapes

Pel que fa al tercer i últim disseny de tres etapes, no es va poder extreure cap conclusió positiva, ja que les seves mesures van ser molt inestables, fent que el senyal varies molt cada cop que s'intentava fer algun canvi, tant del disseny, com de l'ajust de les soldadures, com de la modificació dels components. Gran part del problema pot ser també degut a l'enrutat d'algunes pistes, essent aquestes en certes parts, molt llargues (per evitar encreuaments), i amb molts angles de 90°, la qual cosa faria que el senyal s'anés veient afectat mica a mica durant el seu camí. Així doncs, es va donar com a millor resultat, el trobat per a la placa de dues etapes.

Aquest projecte s'ha considerat beneficiós per l'alumne, ja que s'han posat en practica molts conceptes apresos durant la carrera, tant a nivell teòric per tal de poder realitzar els dissenys dels amplificadors, com a nivell pràctic, ja que s'ha fet servir software utilitzat a practiques d'electrònica, com es l'ADS, i a mes s'ha pogut fabricar la placa, on s'han tingut que soldar tots els components i prendre totes les mesures reals dels dissenys al laboratori.

Capítol 7- REFERÈNCIES.

- Albert Paul Malvino, "*Principios de la electrónica*", McGraw W-Hill/InternAmericana de España, S.A.U.
- Richard F. Shea, "*Amplifier Handbook*", McGraw W-Hill Book Company.
- Thomas M. Frederiksen, "*Intuitive Operational Amplifiers*", McGraw W-Hill Book Company.
- James M. Fiore, "*Amplificadores Operacionales y circuitos Integrados Lineales*", Thomson Edition.

Capítol 8- ANNEX.

Datasheet:

- LMH6624/LMH6626 (Single/Dual Ultra Low Noise Wideband Operational Amplifier)

CATALÀ

Aquest projecte consisteix en l'estudi, disseny i fabricació d'un amplificador de baix soroll per instrumentació, el qual es basarà en uns requisits de guany, ample de banda i de mides a complir.

Un vegada vistos els requisits i fet un estudi previ de la situació, el primer pas serà realitzar el disseny principal de l'amplificador, el qual s'anirà millorant a mesura que avanci el projecte. Un cop dissenyat i avaluat el circuit amb el software ADS, el següent pas serà intentar fer un model de layout, el qual serà fabricat i analitzat, per tal de intentar aconseguir el resultat esperat de les especificacions. Finalment, es detallaran les conclusions a les quals s'ha arribat després d'haver realitzat aquest projecte

CASTELLANO

Este proyecto consiste en el estudio, diseño y fabricación de un amplificador de bajo ruido para instrumentación, el cual se basará en unos requisitos de ganancia, ancho de banda y de medidas a cumplir.

Vistos los requisitos y hecho un estudio previo de la situación, el primer paso será realizar el diseño principal del amplificador, el cual se irá mejorando a medida que avance el proyecto. Una vez diseñado y evaluado el circuito con el software ADS, el siguiente paso será intentar hacer un modelo de layout, el cual será fabricado y analizado, con la intención de intentar conseguir el resultado esperado de las especificaciones. Finalmente, se detallaran las conclusiones a las cuales se ha llegado después de haber realizado este proyecto.

ENGLISH

This project consists on the study, design and manufacture of a low-noise amplifier for instrumentation, which will be based on requirements of gain, bandwidth and size.

Having on hand all requirements, and made a preliminary study of the situation, the first step will be to design the main amplifier, which will be improved as we advance the project. Once designed and evaluated the circuit with the ADS software, the next step will be try to make a standard layout, which will be produced and analyzed, with the intention of trying to achieve the expected result of the specifications. Finally, will be exposed all the conclusions of this project.