

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ,
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ



*Αλγόριθμοι Χωροθέτησης με Περιορισμούς
Πτώσης Τάσης*

Διπλωματική Εργασία
Σκούρτης Αναστάσιος

Βόλος, Ιούλιος 2013

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

ΠΟΛΥΤΕΧΝΙΚΗ ΣΧΟΛΗ

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ, ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ
ΚΑΙ ΔΙΚΤΥΩΝ

**Αλγόριθμοι Χωροθέτησης με Περιορισμούς Πτώσης
Τάσης**

IR-Drop aware placement for energy efficient and
Reliable Computing

Διπλωματική εργασία

του

Σκούρτη Αναστάσιου

Επιβλέποντες:

Σταμούλης Γεώργιος	Ευμορφόπουλος Νέστωρ
Καθηγητής	Επίκουρος Καθηγητής

Διπλωματική εργασία για την απόκτηση του διπλώματος του Μηχανικού Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων του Πανεπιστημίου Θεσσαλίας, στα πλαίσια του προγράμματος προπτυχιακών σπουδών του τμήματος Μηχανικών Η/Υ, Τηλεπικοινωνιών και Δικτύων της Πολυτεχνικής Σχολής του Πανεπιστημίου Θεσσαλίας

.....

Σκούρτης Αναστάσιος

Διπλωματούχος Μηχανικός Ηλεκτρονικών Υπολογιστών, Τηλεπικοινωνιών και Δικτύων Πανεπιστημίου Θεσσαλίας

Copyright © Skourtis Anastasios, 2013

Με επιφύλαξη κάθε δικαιώματος. All rights reserved

Απαγορεύεται η αντιγραφή, αποθήκευση και διανομή της παρούσας εργασίας, εξολοκλήρου ή τμήματος αυτής, για εμπορικό σκοπό. Επιτρέπεται η ανατύπωση, αποθήκευση και διανομή για σκοπό μη κερδοσκοπικό, εκπαιδευτικής ή ερευνητικής φύσης, υπό την προϋπόθεση να αναφέρεται η πηγή προέλευσης και να διατηρείται το παρόν μήνυμα. Ερωτήματα που αφορούν τη χρήση της εργασίας για κερδοσκοπικό σκοπό πρέπει να απευθύνονται προς τον συγγραφέα.

Ευχαριστίες

Με την ολοκλήρωση της παρούσας εργασίας θα ήθελα να ευχαριστήσω μια σειρά ανθρώπων που με βοήθησαν και με υποστήριξαν με ποικίλους τρόπους καθ' όλη τη διάρκεια της εκπόνησης και της συγγραφής της.

Αρχικά θα ήθελα να ευχαριστήσω θερμά τους επιβλέποντες της διπλωματικής μου εργασίας, κ. Σταμούλη και κ. Ευμορφόπουλο για την εμπιστοσύνη που επέδειξαν στο πρόσωπό μου, την άριστη συνεργασία και τη συνεχή καθοδήγηση.

Επίσης, θα ήθελα να ευχαριστήσω του φίλους και συνεργάτες Δρ. Αντώνη Δαδαλιάρη και τον απόφοιτο της σχολής και μεταπτυχιακό πλέον φοιτητή στο TU DELFT Γιώργο Πινήτα, διότι χωρίς τη συνεχή βοήθεια και τις πολύτιμες συμβουλές τους η περάτωση της παρούσας εργασίας θα ήταν σχεδόν αδύνατη.

Τέλος, οφείλω ένα μεγάλο ευχαριστώ στην οικογένεια μου και στους φίλους μου για την αμέριστη υποστήριξη και την ανεκτίμητη βοήθεια που μου παρείχαν καθ' όλη την διάρκεια των σπουδών μου.

Σκούρτης Αναστάσιος

Βόλος, 2013

ΠΕΡΙΕΧΟΜΕΝΑ

ΠΙΝΑΚΑΣ ΕΙΚΟΝΩΝ	9
ΕΙΣΑΓΩΓΗ.....	10
ΚΕΦΑΛΑΙΟ 1 ^ο : ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ / ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ	11
➤ ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ.....	11
➤ ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ.....	13
➤ ΦΥΣΙΚΗ ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ	21
➤ ΕΡΓΑΛΕΙΑ CAD / EDA.....	25
ΚΕΦΑΛΑΙΟ 2 ^ο : ΧΩΡΟΘΕΤΗΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΠΕΡΙΟΡΙΣΜΟΥΣ ΠΤΩΣΗΣ ΤΑΣΗΣ	29
➤ ΠΤΩΣΗ ΤΑΣΗΣ (VOLTAGE DROP OR IR - DROP).....	29
➤ ΧΩΡΟΘΕΤΗΣΗ (PLACEMENT).....	32
ΚΕΦΑΛΑΙΟ 3 ^ο : ΠΡΟΣΕΓΓΙΣΕΙΣ ΕΠΑΝΑΧΩΡΟΘΕΤΗΣΗΣ ΜΕ ΠΕΡΙΟΡΙΣΜΟΥΣ ΠΤΩΣΗΣ ΤΑΣΗΣ	45
➤ ΠΡΟΣΕΓΓΙΣΗ Α	45
➤ ΠΡΟΣΕΓΓΙΣΗ Β	48
ΚΕΦΑΛΑΙΟ 4 ^ο : ΣΥΜΠΕΡΑΣΜΑΤΑ	52
➤ ΜΕΘΟΔΟΛΟΓΙΑ Α', ΣΥΜΠΕΡΑΣΜΑΤΑ - ΒΕΛΤΙΩΣΕΙΣ.....	52
➤ ΜΕΘΟΔΟΛΟΓΙΑ Β', ΣΥΜΠΕΡΑΣΜΑΤΑ - ΒΕΛΤΙΩΣΕΙΣ.....	53
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	55

ΠΙΝΑΚΑΣ ΕΙΚΟΝΩΝ

Εικόνα 1.1 - CPU's transistor count and the Moore's Law.....	12
Εικόνα 1.2 - Front-end design flow.....	16
Εικόνα 1.3 - Back-end design flow.....	20
Εικόνα 1.4 - Physical Design flow.....	24
Εικόνα 2.1 - IC Voltages Supply per year.....	29
Εικόνα 2.2 - The resistance between the outer power supply and a cell at the center of the chip.....	30
Εικόνα 2.3 - The voltage drop phenomenon.....	31
Εικόνα 2.4 - Gate of Arrays.....	33
Εικόνα 2.5 - Sea of gates Model.....	33
Εικόνα 2.6 - Mixed Cell.....	34
Εικόνα 2.7 - General Cell (Macros).....	34
Εικόνα 2.8 - Steiner tree net model.....	37
Εικόνα 2.9 - Clique net model.....	38
Εικόνα 2.10 - Star net model.....	38
Εικόνα 2.11 - Bounding Box net model.....	39
Εικόνα 3.1 - IR - Drop aware replacement, approach A.....	47
Εικόνα 3.2 - Replacement tool.....	49
Εικόνα 3.3 - IR - Drop aware replacement, approach B.....	51

ΕΙΣΑΓΩΓΗ

Ζούμε σε έναν ψηφιακό κόσμο, όπου η ζήτηση για τρανζίστορ όλο και μικρότερων διαστάσεων είναι συνεχής, προκειμένου να παρουσιάζεται μόνιμη αύξηση της επεξεργαστικής ισχύος των κυκλωμάτων που τα περιλαμβάνουν. Καθώς λοιπόν οι διαστάσεις των τρανζίστορ μειώνονται, τα τρανζίστορ γίνονται όλο και πιο ευάλωτα σε παραμετρικές μεταβολές (στατικές και χρονικές) και φυσικές ανωμαλίες, όπως η πτώση τάσης (IR - DROP) που μπορεί να οδηγήσει σε μεγάλες καθυστερήσεις, λογικά λάθη και σε αποτυχίες στη σταθερότητα και αποδοτικότητα της μνήμης.

Αυτά τα γεγονότα απειλούν τη σωστή λειτουργία και επομένως την απόδοση των ψηφιακών συστημάτων. Η συμβατική λογική υπαγορεύει το σχεδιασμό με τη χρήση ζωνών ασφαλείας (κλιμάκωση της τάσης ή του ρολογιού, αύξηση του μέγεθος των τρανζίστορ). Ωστόσο οι μέθοδοι αυτές περιορίζουν τα κέρδη από άποψη ενέργειας και απόδοσης που λαμβάνονται από την κλιμάκωση της τεχνολογίας. Αυτά σε συνδυασμό με τις σπάνιες χειρίστες συνθήκες (παραμετρικές μεταβολές, διακυμάνσεις τάσεως και θερμοκρασίας), οι οποίες συνήθως λαμβάνονται ως υπόθεση κατά τη διάρκεια του σχεδιασμού μπορεί να οδηγήσουν σε υπερβολική κατανάλωση ισχύος, γεγονός το οποίο έρχεται σε άμεση σύγκρουση με την βασικότερη πρόκληση που αντιμετωπίζει ένας σχεδιαστής ολοκληρωμένων κυκλωμάτων.

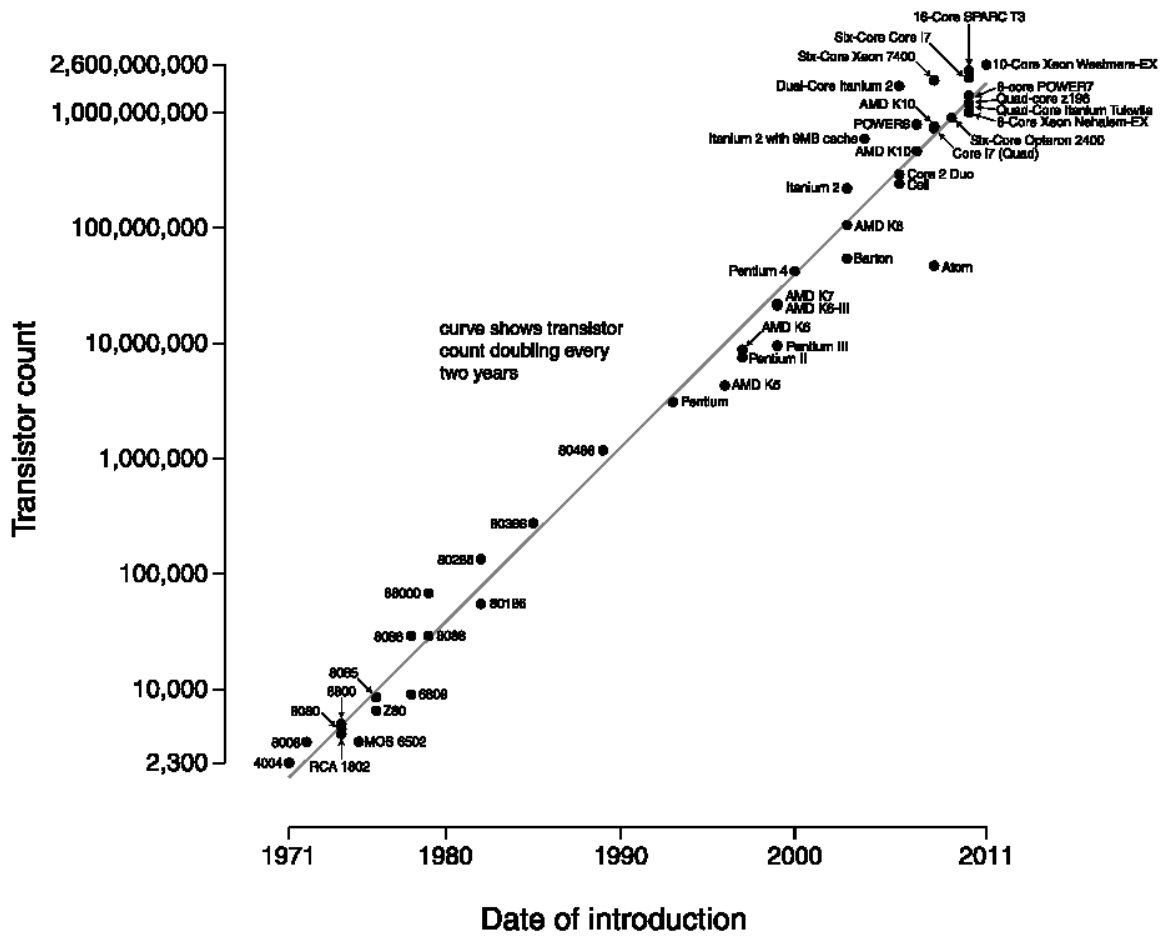
ΚΕΦΑΛΑΙΟ 1^ο : ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ / ΒΑΣΙΚΕΣ ΕΝΝΟΙΕΣ

ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Η σχεδίαση ολοκληρωμένων κυκλωμάτων (Integrated Circuit Design - IC Design) αφορά την δημιουργία - υλοποίηση κυκλωματικών στοιχείων όπως μικροεπεξεργαστές (microprocessors), μνήμες (RAM/ROM memories, flash memories), FPGAs (Field Programmable Gate Arrays) και ASICs (Application Specific Integrated Circuits). Τα σύγχρονα ολοκληρωμένα κυκλώματα είναι πολύπλοκα και πολυεπίπεδα, με ένα chip μεγάλου μεγέθους να αποτελείται πλέον από πάνω από ένα δισεκατομμύριο τρανζίστορ. Το γεγονός αυτό, σε συνάρτηση με την συνεχώς αυξανόμενη ανάγκη της αγοράς για παραγωγή ολοκληρωμένων κυκλωμάτων στο μικρότερο δυνατό χρονικό διάστημα έχει οδηγήσει στην ανάπτυξη και χρήση εργαλείων αυτοματοποιημένης σχεδίασης (Automated Design Tools). Η χρήση εργαλείων αυτής της κατηγορίας κρίνεται πλέον απαραίτητη στην πλειοψηφία των βημάτων που ακολουθούνται κατά την σχεδίαση ενός κυκλώματος.

Το διάγραμμα που ακολουθεί παρουσιάζει τη ραγδαία αύξηση του αριθμού των τρανζίστορ σε κάποιες από τις σημαντικότερες μονάδες επεξεργαστών σε συνάρτηση με το νόμο του Moore. Ο νόμος του Moore υποστηρίζει πως κάθε δύο χρόνια επιτυγχάνεται ο διπλασιασμός του αριθμού των τρανζίστορ που συνθέτουν ένα επεξεργαστή.

Microprocessor Transistor Counts 1971-2011 & Moore's Law



Εικόνα 1.1 - Moore's Law / Transistor Count

ΡΟΗ ΣΧΕΔΙΑΣΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Μία ολοκληρωμένη ροή σχεδίασης απαιτεί την χρήση ενός συνδυασμού εργαλείων αυτοματοποιημένης σχεδίασης για την ορθή ολοκλήρωση του σχεδιασμού. Οι προκλήσεις της αυξανόμενης καθυστέρησης μεταξύ των διασυνδέσεων (interconnection delay) οδήγησε σε έναν νέο τρόπο προσέγγισης όσον αφορά στην σχεδίαση και στην υλοποίηση αυτών των εργαλείων. Υπάρχουν δύο διακριτές ροές σχεδίασης, μια για την υλοποίηση ASIC και μια την υλοποίηση FPGA. Η εργασία αυτή βασίζεται στη ροή σχεδίασης που αφορά κυκλώματα τύπου ASIC.

Η όλη διαδικασία χωρίζεται σε δύο επιμέρους ροές :

- Front - End Flow
- Back - End Flow

Front - End Flow

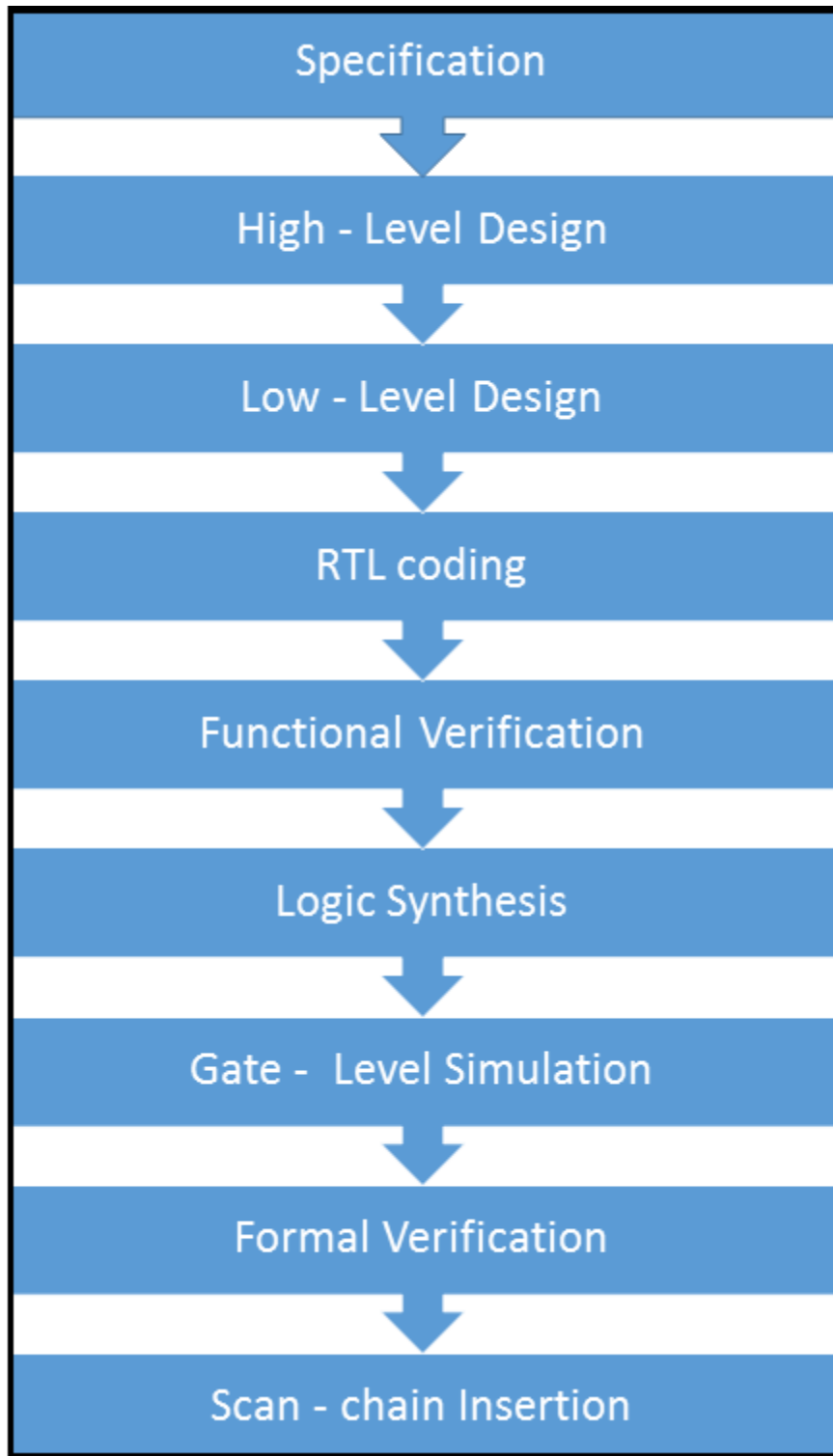
Το εμπρόσθιο τμήμα της ροής είναι υπεύθυνο για την παραγωγή - δημιουργία ενός netlist σε επίπεδο πυλών και περιλαμβάνει στάδια όπως τον αρχιτεκτονικό σχεδιασμό, τη προσομοίωση και τη σύνθεση. Η ροή ολοκληρώνεται με το βήμα τη λογικής σύνθεσης. Αναλυτικότερα :

- Specification: Ανάλυση του απώτερου στόχου, εκτίμηση των προβλημάτων που μπορεί να παρουσιαστούν και των πόρων που έχουμε στη διάθεσή μας για την υλοποίηση του τελικού αποτελέσματος.
- High - Level Design: Ορισμός των blocks υψηλού επιπέδου που απαρτίζουν την προκειμένη σχεδίαση και περιγραφή του τρόπου επικοινωνίας τους. Η περιγραφή γίνεται με την χρήση γλωσσών υψηλού επιπέδου (SystemC, C, C++).

- Low - Level Design: Υλοποίηση του κάθε block ξεχωριστά.
- RTL Coding: Το στάδιο κατά το οποίο μια σχεδίαση χαμηλού επιπέδου εκφράζεται με τη βοήθεια μιας γλώσσας περιγραφής υλικού Hardware Description Languages (HDL) χρησιμοποιώντας στοιχεία τα οποία μπορούν να συντεθούν.
- Functional Verification: Επαλήθευση της ορθής λειτουργικότητας της σχεδίασης. Δημιουργία test benches προκειμένου να εφαρμοστούν όλα τα πιθανά “ερεθίσματα” στην είσοδο της σχεδίασης με σκοπό τον έλεγχο όλων των πιθανών αποτελεσμάτων.
- Logic Synthesis: Η διαδικασία κατά την οποία το εργαλείο σύνθεσης δέχεται ως είσοδο τη περιγραφή της λειτουργίας του κυκλώματος σε επίπεδο καταχωρητών, την τεχνολογία που θέλουμε να χρησιμοποιήσουμε και τους περιορισμούς που έχουμε θέσει στην σχεδίαση και επιστρέφει την σχεδίαση σε επίπεδο λογικών πυλών με την χρήση των πυλών της βιβλιοθήκης που δόθηκε ως είσοδος. Αφού παραχθεί η σχεδίαση σε επίπεδο λογικών πυλών γίνεται ανάλυση χρονισμού για να ελεγχθεί αν η σχεδίαση καλύπτει τις απαιτήσεις που έχουν τεθεί.
- Gate-level Simulation: Έλεγχος της λειτουργικότητας της σχεδίασης σε επίπεδο πυλών.

Η συνήθης πρακτική που ακολουθείται είναι προτού προχωρήσουμε στο back-end στάδιο της ροής να εισάγουμε ένα επιπλέον στάδιο για το Formal Verification της σχεδίασης και να δημιουργούμε τις κατάλληλες αλυσίδες σάρωσης (Scan-Chains).

- Formal Verification: Έλεγχος για την ορθότητα της μετατροπής της σχεδίασης από το επίπεδο καταχωρητών σε αυτό των πυλών.
- Scan - Chain Insertion: Εισαγωγή αλυσίδων σάρωσης σε περίπτωση που το ολοκληρωμένο που σχεδιάζουμε αποτελεί κατ'ουσίαν μια σχεδίαση που χρησιμοποιείται για τον έλεγχο έταιρων κυκλωμάτων (Design for Testability - DFT).



Εικόνα 1.2 - Front-End Design Flow

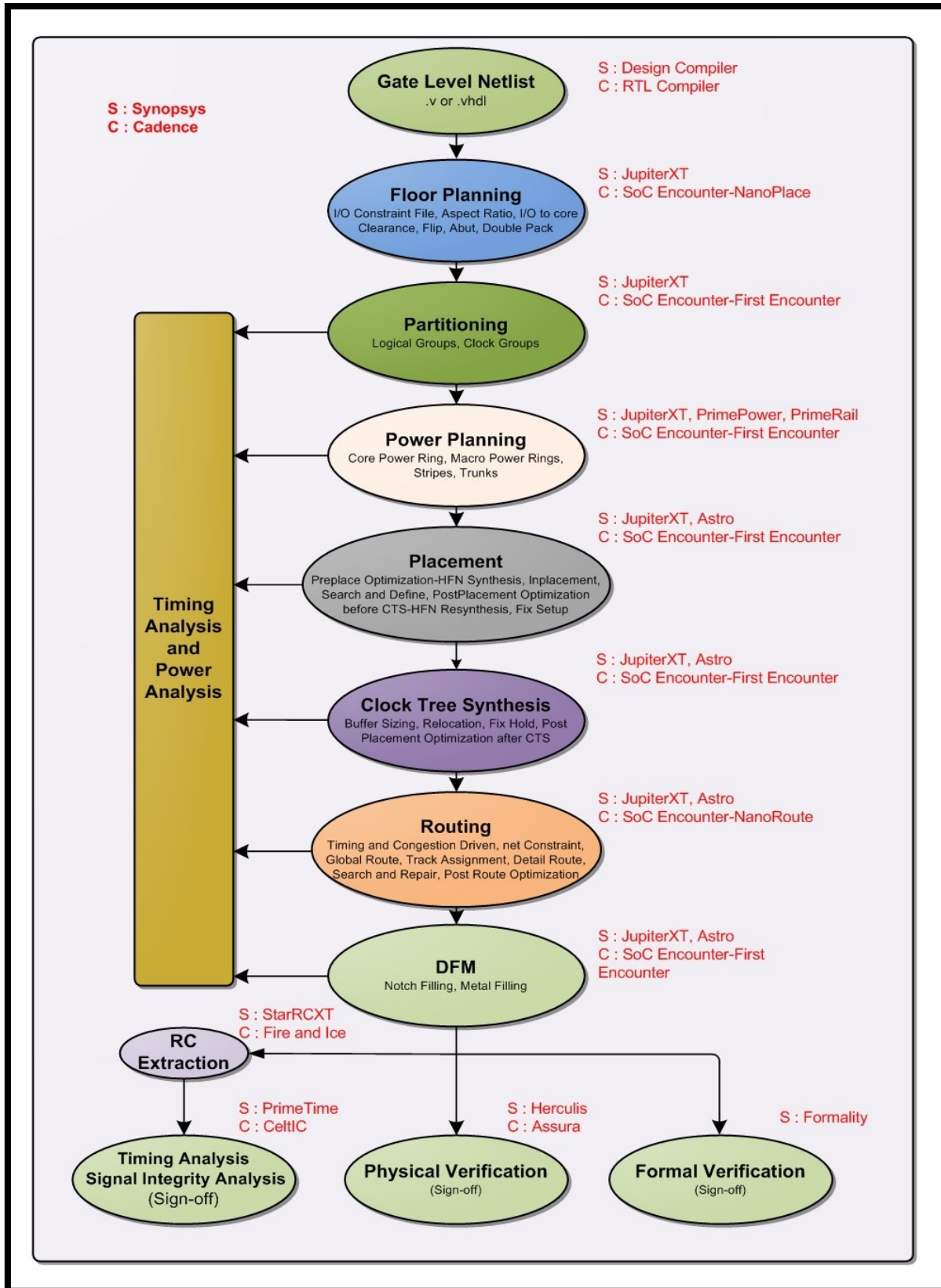
Back - End Flow

Σε αυτό το στάδιο, οι κυκλωματικές αναπαραστάσεις των στοιχείων της σχεδίασης μετατρέπονται σε γεωμετρικές αναπαραστάσεις σχημάτων, που όταν κατασκευαστούν με τα κατάλληλα στρώματα από υλικά, θα εξασφαλίσουν την απαιτούμενη λειτουργία. Το επόμενο στάδιο είναι η κατασκευή του συστήματος που υλοποιείται στα κατάλληλα Wafer Fabrication Houses. Αναλυτικότερα το Back - End στάδιο της συνολικής ροής αποτελείται από τα ακόλουθα βήματα:

- Gate - Level Netlist: Η σχεδίαση του κυκλώματος σε επίπεδο τεχνολογικών πυλών.
- Floorplanning: Η διαδικασία προσδιορισμού των δομών που πρέπει να τοποθετηθούν κοντά μεταξύ τους, και ο καθορισμός του χώρου που απαιτείται κατά τέτοιο τρόπο ώστε να πληρούν τους ενίοτε αλληλοσυγκρουόμενους στόχους του διαθέσιμου χώρου, τις απαιτούμενες επιδόσεις, και την επιθυμία να έχουμε όλα τα τμήματα της σχεδίασης όσο το δυνατό πιο κοντά μεταξύ τους.
- Partitioning: Η διαδικασία διαίρεσης της συνολικής διαθέσιμης επιφάνειας για την σχεδίαση του ολοκληρωμένου σε μικρότερους υποχώρους. Αυτό γίνεται κυρίως για να διαχωριστούν τα διάφορα λειτουργικά τμήματα και επίσης για να γίνει ευκολότερα η χωροθέτηση και η δρομολόγηση της σχεδίασης.
- Placement: Η διαδικασία χωροθέτησης των κελιών της σχεδίασης στην περιοχή του πυρήνα.
- Clock Tree Synthesis (CTS): Πριν από την προκείμενη φάση, το σήμα του ρολογιού δεν μεταβιβάζεται και θεωρείται ιδανικό. Το δέντρο του σήματος του ρολογιού ξεκινά από την πηγή που παράγει τον παλμό του ρολογιού και καταλήγει στις εισόδους των flip-flops.

- Routing: Υπάρχουν δύο τύποι δρομολόγησης της φυσικής σχεδίασης, το Global Routing και το Detailed Routing. Με το Global routing δεσμεύονται οι πόροι δρομολόγησης που χρησιμοποιούνται για τις διασυνδέσεις. Το Detailed Routing αναθέτει σε συγκεκριμένες διαδρομές μεταλλικά στρώματα και αγωγούς, εντός των συνολικών πόρων δρομολόγησης.
- Signoff: Ελέγχει την ορθότητα του φυσικού σχεδίου, πριν την παραγωγή. Οι βασικότερες κατηγορίες ελέγχου είναι οι ακόλουθες:
 - Design Rule Checking (DRC): Επίσης γνωστός και ως Γεωμετρικός Έλεγχος. Περιλαμβάνει την εξακρίβωση του αν η σχεδίασή μας μπορεί να κατασκευαστεί αξιόπιστα λαμβάνοντας υπόψη τους σύγχρονους περιορισμούς της φωτολιθογραφίας.
 - Layout Versus Schematic (LVS): Γνωστή και ως Σχηματική Επαλήθευση. Χρησιμοποιείται προκειμένου να βεβαιωθούμε ότι η χωροθέτηση και η δρομολόγηση των κελιών της σχεδίασης δεν έχει αλλάξει τη λειτουργικότητα της.
 - Formal Verification: Επαλήθευση της λειτουργικότητας της σχεδίασης μετά το πέρας των παραπάνω σταδίων.
 - Voltage - Drop Analysis (IR - Drop Analysis): Σε αυτό το στάδιο επαληθεύεται εάν η ισχύς του πλέγματος είναι αρκετά ισχυρή ώστε να εξασφαλίσει ότι η τάση που εκπροσωπεί το κάθε κελί δεν 'πέφτει' ποτέ κάτω από ένα προκαθορισμένο περιθώριο.
 - Signal - Integrity Analysis: Έλεγχος της ποιότητας του σήματος. Αναλύεται ο θόρυβος που οφείλεται στη αλληλεπίδραση μεταξύ των σημάτων και ελέγχεται η επίδρασή του στη λειτουργικότητα του κυκλώματος.

- Static Timing Analysis (STA): Χρησιμοποιείται για να εξακριβωθεί εάν όλα τα λογικά μονοπάτια δεδομένων της σχεδίασης μπορούν να λειτουργήσουν με τη προβλεπόμενη συχνότητα ρολογιού.
- Electro - Migration Lifetime Check (ELC): Ελέγχει το κύκλωμα ώστε να εξασφαλίσει ένα ελάχιστο χρόνο ζωής λειτουργίας του κυκλώματος στη προβλεπόμενη συχνότητα ρολογιού χωρίς το κύκλωμα να υποκύψει στο φαινόμενο της ηλεκτρομετανάστευσης.



Εικόνα 1.3 - Back-End Design Flows

ΦΥΣΙΚΗ ΣΧΕΔΙΑΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

Η φυσική ροή σχεδίασης είναι κατ' ουσία το back -end design flow. Γίνεται όμως ξεχωριστή αναφορά στη συγκεκριμένη ροή, που έχει ως στόχο την παρουσίαση επιπλέον λεπτομερειών. Με αυτόν τον τρόπο θα μας δωθεί η δυνατότητα για μία πιο πρακτική αντίληψη όχι μόνο της φυσικής ροής σχεδίασης αλλά και του σχεδιασμού κατάλληλων αλγορίθμων οι οποίοι θα μπορούσαν να ενσωματωθούν σε βιομηχανικά εργαλεία σχεδίασης ολοκληρωμένων κυκλωμάτων.

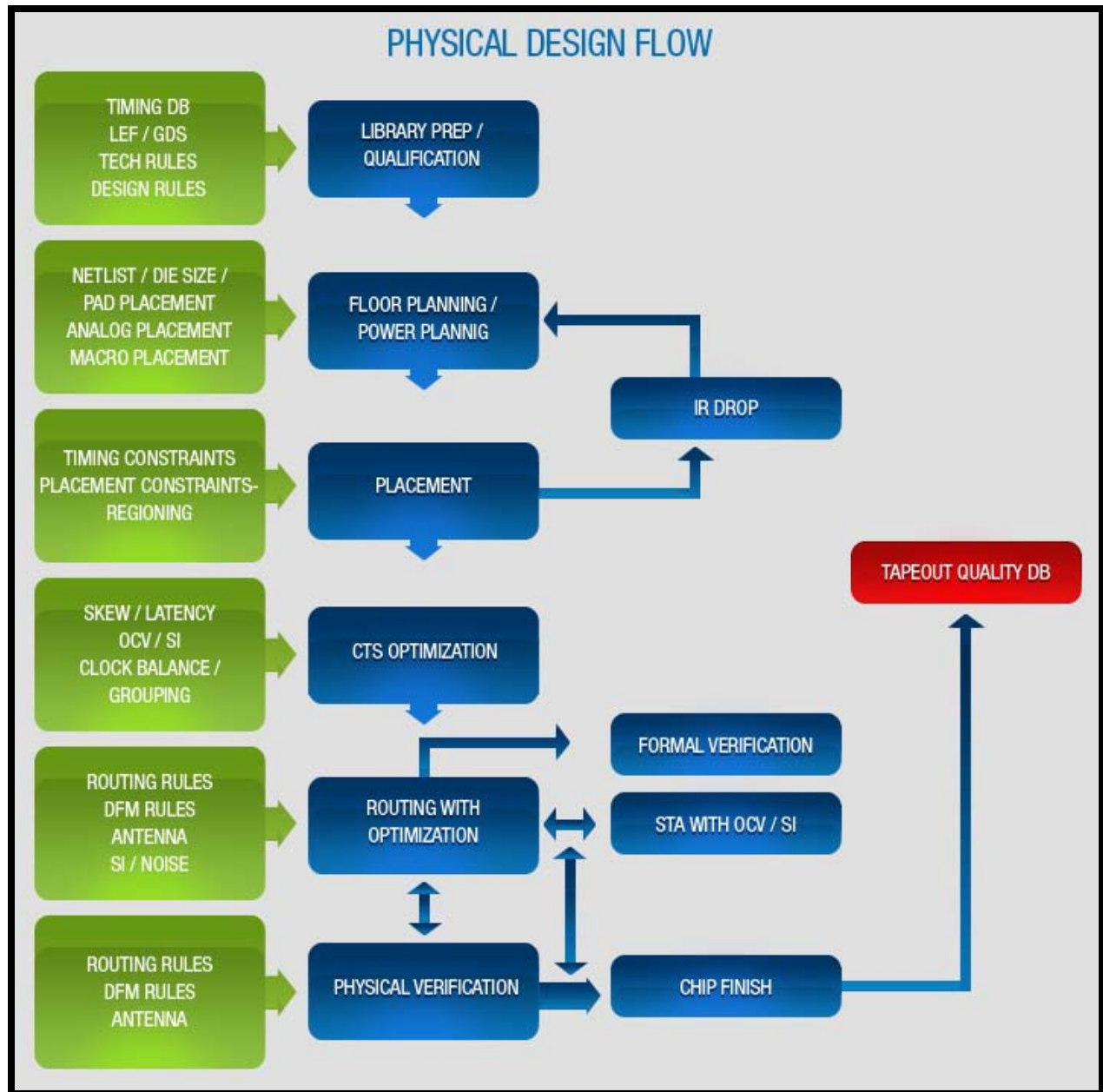
Η φυσική σχεδίαση ενός ολοκληρωμένου κυκλώματος αποτελείται από τα ακόλουθα βήματα:

- Design Netlist: Ένα netlist σε επίπεδο πυλών είναι κατ' ουσίαν το αποτέλεσμα που προκύπτει από την διαδικασία της σύνθεσης (synthesis) ενός ψηφιακού κυκλώματος. Σύνθεση ονομάζεται η διαδικασία κατά την οποία μετατρέπουμε μια σχεδίαση η οποία μας δίνεται σε κάποια γλώσσα περιγραφής υλικού σε ένα βέλτιστο netlist σε επίπεδο πυλών το οποίο προσδιορίζεται πλήρως από μια τεχνολογική βιβλιοθήκη. Δύο από τα πιο διαδεδομένα εργαλεία σύνθεσης ψηφιακών κυκλωμάτων είναι ο Synopsys Design Compiler και ο Cadence RTL Compiler.
- Floor Planning: Το floorplanning είναι κατά πολλούς το πρώτο ουσιαστικό βήμα της φυσικής σχεδίασης. Στο βήμα αυτό κάνουμε μια πρώτη εκτίμηση του συνολικού χώρου που απαιτείται για τις βασικές δομικές μονάδες του chip και καθορίζουμε τις σχετικές τους θέσεις εντός του προκείμενου χώρου. Η διαδικασία είναι απαραίτητη διότι μέσω αυτής καθορίζεται το κατά πόσο η προς υλοποίηση σχεδίαση δύναται να χωρέσει εντός της διαθέσιμης περιοχής.
- Partitioning: Στο βήμα αυτό ο σχεδιαστής καλείται να βρει τον κατάλληλο τρόπο διαίρεσης της περιοχής, που καταλαμβάνει το chip, σε μικρότερες

και ευκολότερα διαχειρίσιμες περιοχές. Αυτό γίνεται προκειμένου να διαχωρίσουμε τα functional blocks της σχεδίασης και να διευκολύνουμε περαιτέρω την διαδικασία του placement και του routing που περιγράφονται παρακάτω.

- Placement: Η χωροθέτηση πραγματοποιείται σε τέσσερα βήματα, που απώτερο στόχο έχουν την βέλτιστη τοποθέτηση των κελιών της σχεδίασης στον προκαθορισμένο χώρο.
 - Pre-placement Optimization: Στη φάση αυτή πραγματοποιούμε βελτιώσεις στην σχεδίασή μας σε επίπεδο net list πριν αρχίσουμε την τοποθέτηση των κελιών πάνω στην επιθυμητή επιφάνεια.
 - In-Placement Optimization: Στο προκείμενο στάδιο πραγματοποιείται μια επαναβελτιστοποίηση της λογικής της σχεδίασης. Το στάδιο αυτό εκτελείται κατ' επανάληψη και συμπεριλαμβάνει διαδικασίες βελτίωσης του κυκλώματος όπως το cell sizing, το cell moving και το cell bypassing.
 - Post-Placement Optimization: Μετά την τοποθέτηση των πυλών διορθώνουμε όσες παραβιάσεις έχουν εμφανιστεί.
 - Post-Placement Optimization after Clock Tree Synthesis: Στην τελευταία φάση του placement βελτιστοποιούμε τον χρονισμό του κυκλώματος και προσπαθούμε να διατηρήσουμε το clock skew.
- Clock Tree Synthesis: Ο στόχος του clock tree synthesis είναι να ελαχιστοποιήσουμε το skew και το insertion delay.
- Routing: Υπάρχουν δύο τύποι routing, το Global Routing και το Detailed Routing οι οποίοι έχουν αναλυθεί επαρκώς σε προηγούμενη ενότητα.

- Physical Verification: Στο τελευταίο στάδιο της φυσικής σχεδίασης ελέγχουμε την ορθότητα του layout που έχει παραχθεί. Αυτό περιλαμβάνει:
 - Την πλήρη συμμόρφωση της σχεδίασής μας με όλες τις τεχνολογικές απαιτήσεις που έχουν τεθεί (Design Rule Checking - DRC).
 - Την συνέπεια ως προς το αρχικό net list (Layout vs. Schematic - LVS).
 - Την εξάλειψη antenna effects (Antenna Rule Checking).
 - Την πλήρη συμφωνία της σχεδίασης μας με τις ηλεκτρικές απαιτήσεις που έχουν τεθεί (Electrical Rule Checking - ERC).



Εικόνα 1.4 - Physical Design flow

Εργαλεία EDA

Η αυτοματοποιημένη ηλεκτρονική σχεδίαση (EDA), είναι κατ'ουσίαν, η υλοποίηση ενός κυκλώματος με παράλληλη χρήση ειδικών λογισμικών τα οποία έχουν δημιουργηθεί κατά περίπτωση για την υποβοήθηση της διαδικασίας. Στην περίπτωση που εξετάζουμε, στον σχεδιασμό δηλαδή, ενός ολοκληρωμένου κυκλώματος, η εν σειρά χρησιμοποίηση μιας ομάδας εργαλείων για την παραγωγή της τελικής σχεδίασης στοιχειοθετεί μια ροή σχεδιασμού.

- Ιστορία του EDA: Η αυτοματοποιημένη ηλεκτρονική σχεδίαση VLSI κυκλωμάτων και συστημάτων είναι ένας σημαντικός τομέας της επιστήμης των υπολογιστών και της μηχανικής. Συνέβαλε σημαντικά στην εξέλιξη της τεχνολογίας των υπολογιστών και πιο συγκεκριμένα, με την επιτυχή υποστήριξη στην τήρηση του νόμου του Moore τα τελευταία σαράντα χρόνια, βοήθησε στην δημιουργία υψηλών επιδόσεων και οικονομικά συμφέρουσας τεχνολογικής υποδομής που άλλαξε τη ζωή και την κοινωνία. Η ευρύτατη επιτυχία του τομέα EDA δίνει ώθηση στην βιομηχανία υψηλής τεχνολογίας για σημαντικότερα και πιο καινοτόμα αποτελέσματα βάσει συγκεκριμένων επιτυχιών και στόχων που κατάφερε να πετύχει:
 - Κατάφερε να διαχειριστεί την εκθετική αύξηση στην πολυπλοκότητα της σχεδίασης. Από τον πρώτο μικροεπεξεργαστή (Intel 4004) με τα 2.250 τρανζίστορ στους τελευταίους πολυπύρηνους επεξεργαστές με πάνω από ένα δισεκατομμύριο τρανζίστορ.
 - Είναι ένας από τους πρώτους τομείς στην επιστήμη και την μηχανική των υπολογιστών που εφάρμοσε τις ιδέες και τις τεχνικές του υπολογιστικού μοντέλου, της υπολογιστικής λογικής και της υπολογιστικής εύρεσης στη σχεδίαση ηλεκτρονικών κυκλωμάτων με αξιοσημείωτη επιτυχία. Άλλαξε ριζικά τον τρόπο που οι ηλεκτρονικοί μηχανικοί σχεδιάζουν και

κατασκευάζουν ολοκληρωμένα κυκλώματα. Κάθε κύκλωμα που σχεδιάζεται στις μέρες μας ξεκινάει με ένα υπολογιστικό μοντέλο (ορισμένο σε μία εκτελέσιμη γλώσσα προγραμματισμού) σε υψηλό επίπεδο αφαίρεσης, ακολουθεί η διαδικασία σύνθεσης και βελτιστοποίησης του κυκλώματος, και η διαδικασία ψηφιακής προσομοίωσης και πρωτοτυποποίησης, καθώς και της επαλήθευσης, πριν την τελική κατασκευή μέσω προηγμένων λιθογραφικών και χημικών διεργασιών.

- ο Ο τομέας του EDA είναι από τους πρώτους στους οποίους υπήρξε σημαντική διεπιστημονική συνεργασία, όπου επιστήμονες και μηχανικοί της επιστήμης των υπολογιστών συνεργάστηκαν επιτυχώς με ηλεκτρονικούς μηχανικούς για να αντλήσουν και να χρησιμοποιήσουν κατάλληλα επίπεδα κυκλωματικών μοντέλων.

Στις μέρες μας ο τομέας του EDA αντιμετωπίζει σημαντικές εσωτερικές προκλήσεις. Για παράδειγμα, η σχεδίαση ASIC κυκλωμάτων έχει πλέον πολύ υψηλό κόστος, με δαπάνες ανά σχεδίαση άνω των τριάντα εκατομμυρίων δολαρίων. Η ταχεία αύξηση στον αριθμό των τρανζίστορ που είναι διαθέσιμα σε ένα μόνο chip οδηγεί στην system-on-chip ολοκλήρωση, στην πολύπλοκη αλληλεπίδραση μεταξύ λογισμικού και υλικού. Επίσης, ο τομέας των εφαρμογών που ενεργοποιήθηκε από την τεχνολογία των ημιαγωγών αναπτύσσεται με γοργούς ρυθμούς, με ένα εύρος εφαρμογών που σχετίζονται με υψηλών επιδόσεων μικροεπεξεργαστές και επεξεργαστές σήματος, με φορητές συσκευές χαμηλής κατανάλωσης, με μικρο-αισθητήρες που λειτουργούν σε δίκτυα από chip με χαμηλό κόστος ανά μονάδα και χαμηλές ανάγκες ενέργειας.

Με την νέα χιλιετία η βιομηχανία του VLSI κάνει το μεγάλο άλμα και περνά το φράγμα των 100 nm και κατευθύνεται ταχύτατα προς τα 32nm. Συνεπώς, δημιουργείται μία νέα γενιά εργαλείων EDA για τα νέα, σε κλίμακα νανόμετρων, CMOS, η οποία γενιά εργαλείων υιοθετεί την υπολογιστική κβαντική φυσική για να αντιμετωπίσει ζητήματα στο επίπεδο νανοκλίμακας αλλά και να αναπτυχθούν τεχνολογίες πέρα από το νόμο του Moore.

Παράλληλα, με την πρόοδο στην μοντελοποίηση και βελτιστοποίηση των τεχνικών που χρησιμοποιούνται για την αντιμετώπιση των προβλημάτων της αυτόματης

σχεδίασης, υπήρξε μια ακόμη σημαντική εξέλιξη. Η εξέλιξη αυτή είχε να κάνει με την εμφάνιση και ανάπτυξη της αφαιρετικής σχεδίασης καθώς και τη χρήση ακριβέστερων μεθόδων εκτίμησης για την αντιμετώπιση της εκθετικής αύξησης στην πολυπλοκότητα της σχεδίασης.

- Εξέλιξη των EDA: Η ιστορία των αλγορίθμων αυτόματης σχεδίασης, ξεκίνησε με αλγορίθμους όπως αυτός των Kernighan και Lin (bi-partitioning heuristics) που προϋπήρχαν της σχεδίασης VLSI συστημάτων. Οι αλγόριθμοι αυτοί οδήγησαν στην ανάπτυξη της θεωρίας του VLSI και την εισαγωγή της ως διδασκόμενο μάθημα στα πανεπιστήμια.

Στις αρχές της δεκαετίας του 1980, η γνωστική περιοχή σχετικά με το πολυπυρίτιο και τα εργαλεία φυσικής σχεδίασης βασιζόταν στη θεωρία των γράφων, στο γεωμετρικό προγραμματισμό, στους φυσικούς νόμους, στην εξελικτική βιολογία, σε στοχαστικές μεθόδους, στη θεωρία κυκλωμάτων και σε φασματικές μεθόδους. Στα μέσα της ίδιας δεκαετίας, οι αυστηροί χρονικοί περιορισμοί αποτέλεσαν κίνητρο για την ανάπτυξη του θεωρητικού υπόβαθρου για τα μοντέλα καθυστέρησης διασύνδεσης.

Στο ξεκίνημα της δεκαετίας του 1990 η ανάγκη για βελτιστοποίηση των αναγκών ενέργειας, οδήγησε στην υιοθέτηση και περαιτέρω επέκταση της μεθόδου πεπερασμένων στοιχείων και της τεχνικής πλέγματος που χρησιμοποιήθηκαν για την επίλυση προβλημάτων σχετικών με την εξίσωση της θερμότητας. Με την πάροδο των μεταγενέστερων ετών το EDA αποτέλεσε ξεχωριστό γνωστικό αντικείμενο της επιστήμης της Ηλεκτρονικής και εξελίχθηκε σε μεμονωμένο τομέα νέας τεχνολογίας με χιλιάδες αποκλειστικά απασχολούμενους μηχανικούς.

- Εφαρμογές των EDA: Οι κύριοι τομείς της σχεδίασης ενός ολοκληρωμένου κυκλώματος, για τους οποίους έχουν αναπτυχθεί κατάλληλα λογισμικά τα οποία ανήκουν στην κατηγορία των EDA εργαλείων είναι οι παρακάτω:

- Σχεδιασμός (Design)
 - High Level Synthesis
 - Logic Synthesis
 - Schematic Capture
 - Layout

- Προσομοίωση (Simulation)
 - Logic Simulation
 - Behavioral Simulation
 - Hardware Emulation

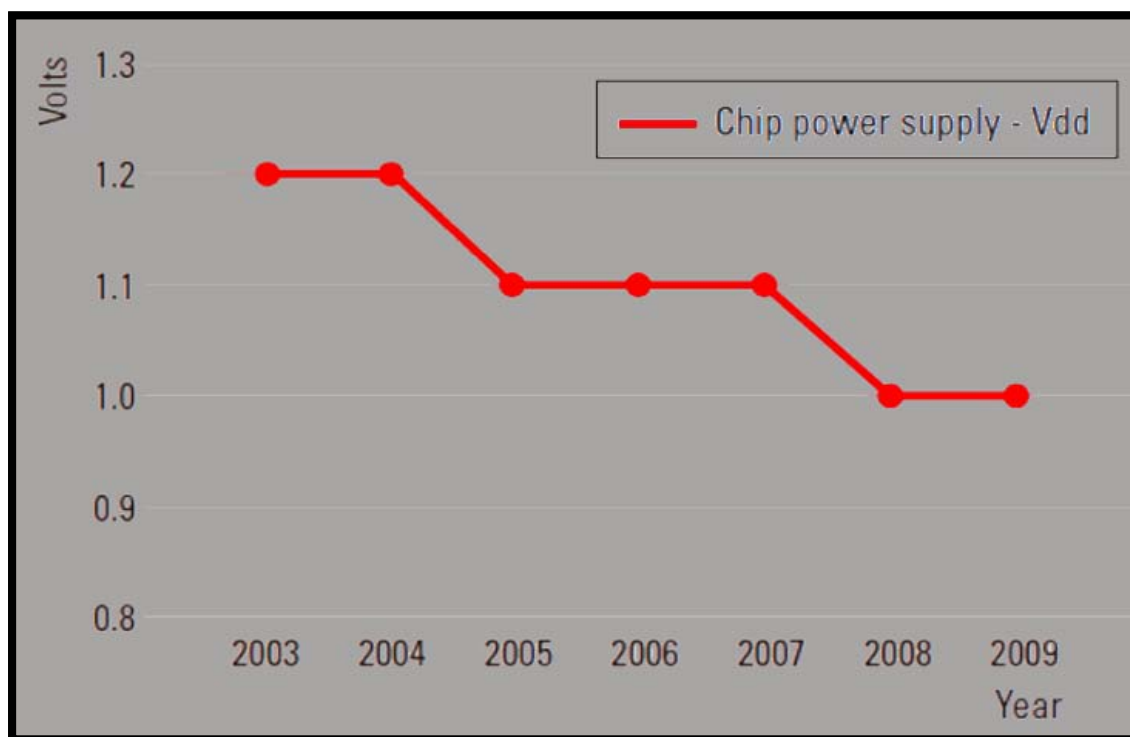
- Ανάλυση και Επαλήθευση (Analysis and Verification)
 - Functional Verification
 - Formal Verification
 - Equivalence Checking
 - Static Timing Analysis
 - Physical Verification

- Κατασκευή (Manufacturing)
 - Mask Data Preparation

ΚΕΦΑΛΑΙΟ 2^ο : ΧΩΡΟΘΕΤΗΣΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ ΜΕ ΠΕΡΙΟΡΙΣΜΟΥΣ ΠΤΩΣΗΣ ΤΑΣΗΣ

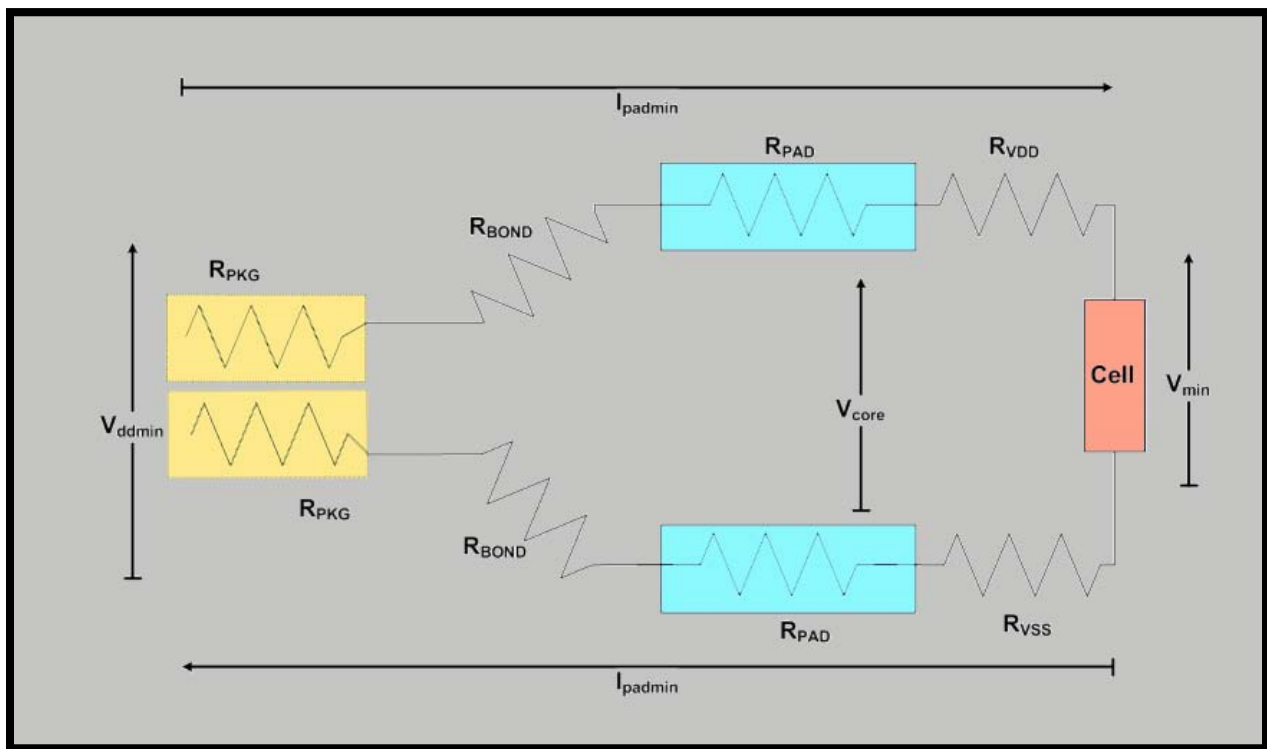
ΠΤΩΣΗ ΤΑΣΗΣ (VOLTAGE DROP OR IR - DROP)

Η αύξηση της πολυπλοκότητας, όπως και της ταχύτητας λειτουργίας των σύγχρονων ολοκληρωμένων κυκλωμάτων, έχει επιφέρει δραματική αύξηση και της καταναλισκόμενης ισχύος. Επιπρόσθετα, παρατηρείται αισθητή ελάττωση της απαιτούμενης τάσης τροφοδοσίας.

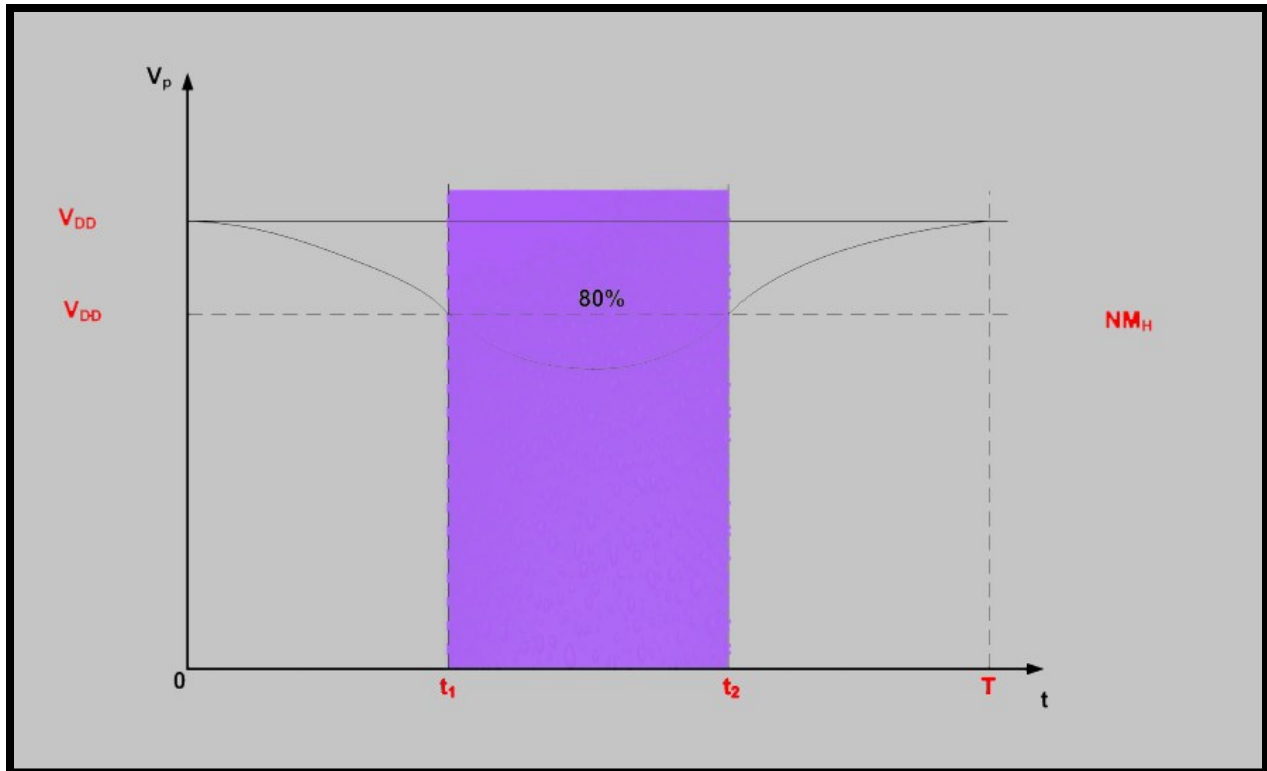


Εικόνα 2.1 - IC Voltages Supply per year

Πιο συγκεκριμένα τα σύγχρονα ολοκληρωμένα κυκλώματα τεχνολογίας βαθέως υπομικρού (45nm, 28nm) περιέχουν τεράστια δίκτυα διανομής ισχύος με αποτέλεσμα να αντιμετωπίζουν ένα πλήθος προβλημάτων αξιοπιστίας. Μερικά από τα σημαντικότερα προβλήματα είναι, η αυξομείωση τάσης λόγω φαινομένων επαγωγής και τα φαινόμενα ηλεκτρομετανάστευσης λόγω της υπερβολικής πυκνότητας ρεύματος. Το μεγαλύτερο από τα προβλήματα αυτά είναι αυτό της πτώσης τάσης (Voltage Drop ή IR - Drop). Το IR - Drop χαρακτηρίζει την πτώση του πραγματικού επιπέδου τάσης που παρέχεται στις ενεργές συσκευές (υποκυκλώματα - blocks) του κυκλώματος λόγω της πεπερασμένης αντίστασης των καλωδίων τάσης/γείωσης κάτι το οποίο μπορεί να έχει δυσμενή επίπτωση στην ταχύτητα του κυκλώματος και τα περιθώρια θορύβου, υποβιβάζοντας την απόδοση και την αξιοπιστία του κυκλώματος



Εικόνα 2.2 - The resistance between the outer power supply and a cell at the center of the chip. The voltage drop is the sum of the of the voltage drop at R_{VDD} and R_{VSS}



Εικόνα 2.3 - The voltage drop phenomenon that occurs in a power cesspool on the power distribution grid

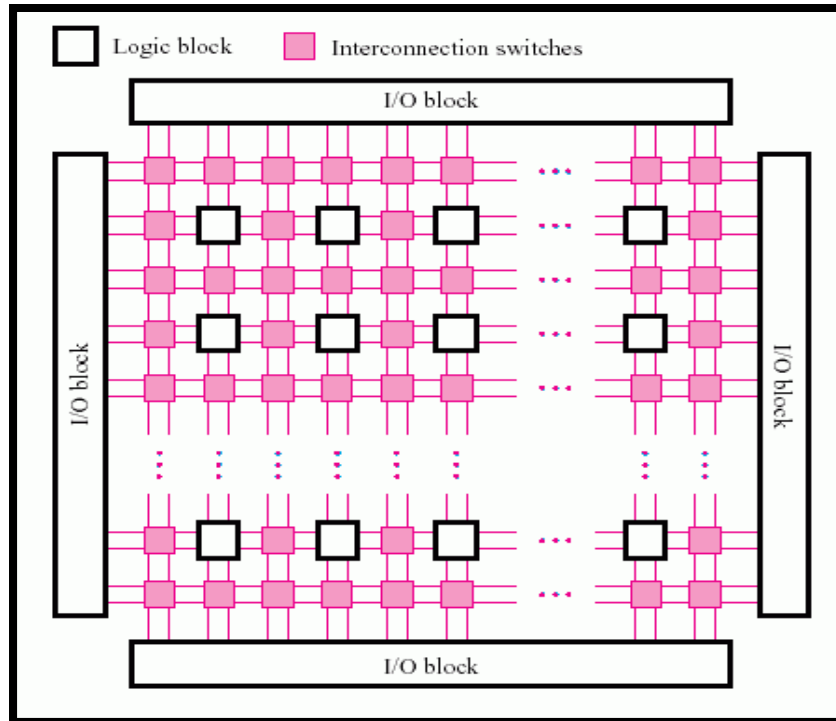
Στην εν λόγω διπλωματική εργασία θα ασχοληθούμε με μεθοδολογίες που μπορούν να υλοποιηθούν και να ενσωματωθούν σε εργαλεία αυτόματης σχεδίασης ώστε να αντιμετωπιστεί το πρόβλημα της πτώσης τάσης στα σύγχρονα ολοκληρωμένα κυκλώματα. Η μεθοδολογίες αυτές θα μπορούσαν να εφαρμοστούν μετά τη διαδικασία της χωροθέτησης (placement) ενός ολοκληρωμένου κυκλώματος. Στα υποκεφάλαια που ακολουθούν θα γίνει εκτενής αναφορά σε κάποιες από αυτές τις μεθοδολογίες, αλλά προηγουμένως θα αναφερθούμε επισταμένως στο θεωρητικό υπόβαθρο που διέπει την διαδικασία της χωροθέτησης ενός ψηφιακού ολοκληρωμένου κυκλώματος.

ΧΩΡΟΘΕΤΗΣΗ (PLACEMENT)

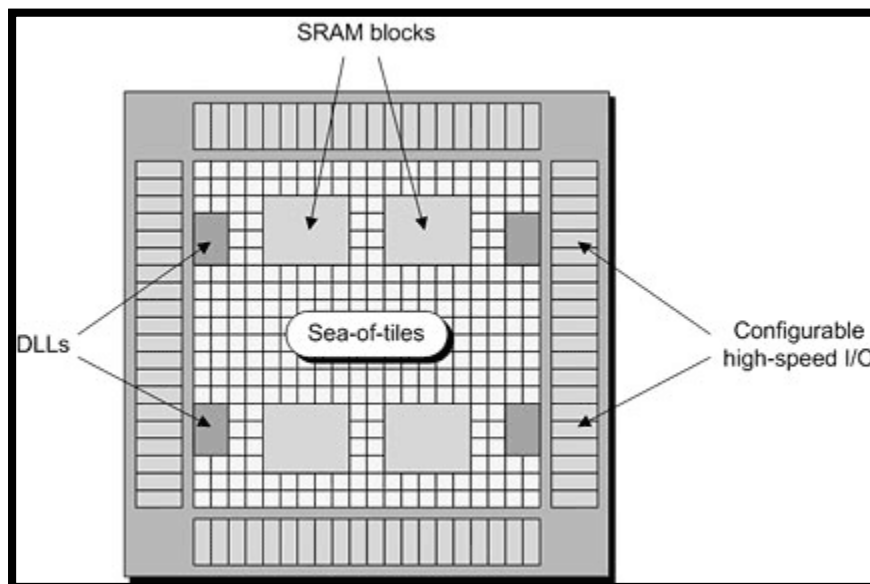
Ως Placement μπορεί να οριστεί το πρόβλημα χωροθέτησης (εύρεσης του κατάλληλου τρόπου τοποθέτησης) μιας ομάδας αντικειμένων σε έναν πλήρως καθορισμένο χώρο, προκειμένου να ελαχιστοποιηθεί η τιμή μιας αντικειμενικής συνάρτησης. Στην περίπτωση που καλούμαστε να τοποθετήσουμε «ιδανικά» ένα σύνολο κελιών τα οποία αποτελούν ένα ολοκληρωμένο κύκλωμα, η αντικειμενική αυτή συνάρτηση αναφέρεται, στην πλειοψηφία των περιπτώσεων, είτε στο συνολικό μήκος καλωδίου που χρησιμοποιείται για τη σύνδεση των κελιών, είτε στην συνολική επιφάνεια που αυτά καταλαμβάνουν.

Το τελικό αποτέλεσμα που προκύπτει μετά την ολοκλήρωση της προκείμενης διαδικασίας αποτυπώνεται σε μορφή layout. Υπάρχουν πέντε βασικές κατηγορίες layout οι οποίες διαχωρίζονται, κατά κύριο λόγο, από την ελευθερία που παρέχεται στον σχεδιαστή κατά την υλοποίηση του τελικού αποτελέσματος:

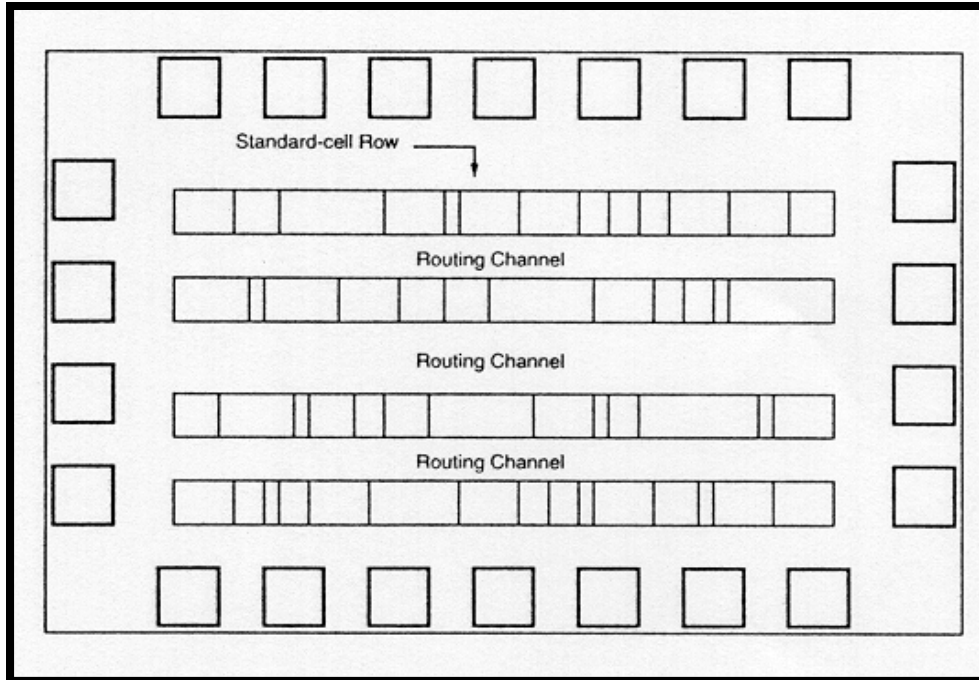
- Gate Array
- Sea of Gates
- Standard Cell
- Mixed Cell
- General Cell (Macros)



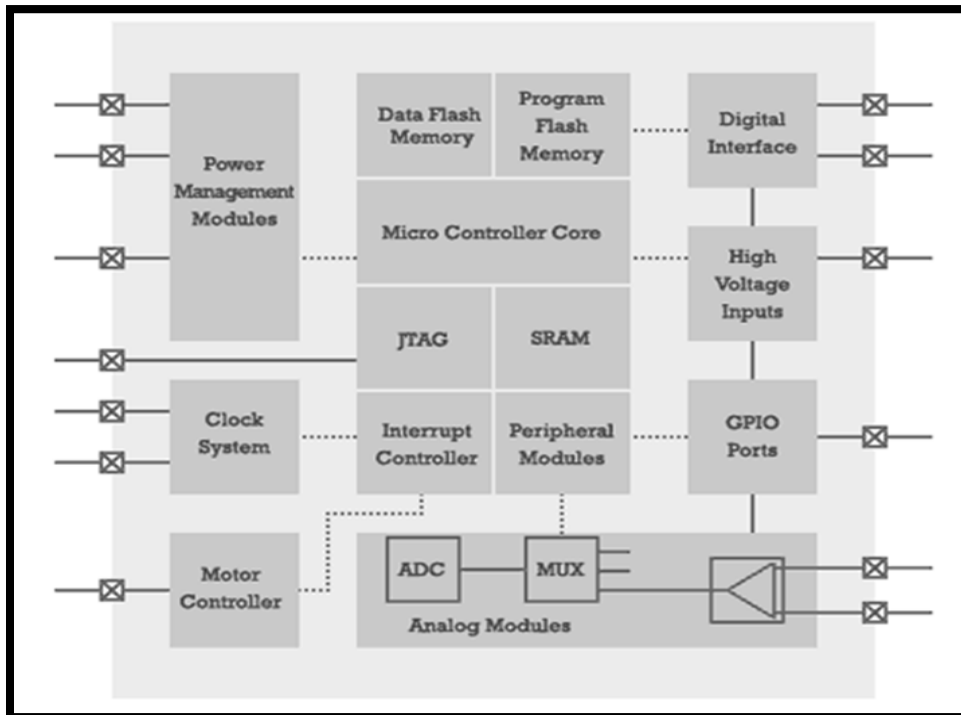
Εικόνα 2.4 - Gate Array Model



Εικόνα 2.5 - Sea of gates Model



Εικόνα 2.6 - Standard Cell Model



Εικόνα 2.7 - Mixed Cell Model

Σύμφωνα με τη διεθνή βιβλιογραφία το πρόβλημα του Placement διαιρείται σε πέντε υποκατηγορίες:

- Global Placement: Το global placement παράγει ένα αρχικό placement στο οποίο υπάρχει αλληλοεπικάλυψη (overlap) μεταξύ των κελιών. Η διαδικασία του global placement μπορεί να εκτελεστεί επαναληπτικά, προκειμένου να παραχθεί κάποιο καλύτερο αποτέλεσμα.
- Final Placement: Το final placement βελτιστοποιεί τις θέσεις των κελιών που έχουν προκύψει από το παραπάνω βήμα. Η διαδικασία είναι πάντοτε επαναληπτική και πρακτικά δίνει αποτελέσματα τα οποία κινούνται εντός ενός συγκεκριμένου συνόλου λύσεων. Η τελική λύση που προκύπτει είναι, συνήθως, μια συγκεκριμένη χωροθέτηση των κελιών χωρίς κανένα φαινόμενο επικάλυψης.
- Area Minimization: Το πρόβλημα ελαχιστοποίησης της καταλαμβανόμενης από τα κελιά περιοχής είναι κατά βάση ένα δισδιάστατο πρόβλημα τοποθέτησης αντικειμένων σε περιορισμένο χώρο και ανήκει στα NP-hard προβλήματα.
- Legalization: Εάν το τελικό κύκλωμα εξακολουθεί να παρουσιάζει αλληλοεπικάλυψη μεταξύ των κελιών, πρέπει εκ νέου να εφαρμοστούν τεχνικές «νομιμοποίησης» των θέσεών τους.
- Post-Placement Optimization: Σε ορισμένες περιπτώσεις η τελική λύση του προβλήματος μπορεί να βελτιωθεί αισθητά, εφαρμόζοντας επιπλέον τεχνικές οι οποίες αφήνουν ανέπαφη την πλειοψηφία των κελιών.

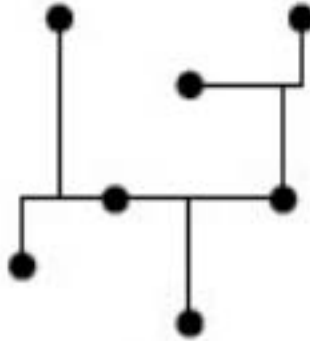
Global Placement

Υπάρχουν δύο βασικές προσεγγίσεις όσον αφορά στο Global Placement. Η πρώτη είναι ο διαχωρισμός του κυκλώματος βάση του γράφου διασυνδεσιμότητας του κυκλώματος (graph partitioning) και η δεύτερη είναι ο διαχωρισμός του κυκλώματος με χρήση αναλυτικών μεθόδων (analytic based placement).

Graph partitioning: Η συγκεκριμένη προσέγγιση βασίζεται στην εύρεση του κατάλληλου τρόπου διαχωρισμού του υπεργράφου (hyper graph) που σχηματίζεται εάν λάβουμε υπόψη μας όλες τις συνδέσεις μεταξύ των στοιχείων που απαρτίζουν το προς εξέταση κύκλωμα. Η διεργασία διαχωρισμού (partitioning) εκτελείται αναδρομικά και τμηματοποιεί την σχεδίαση βάσει προεπιλεγμένων κριτηρίων. Στην πλειοψηφία των περιπτώσεων βασικό κριτήριο αποτελεί η ισόποση κατανομή των βαρών των ακμών του γράφου στις δύο νέες περιοχές που δημιουργούνται. Όταν αναφερόμαστε στο βάρος μιας ακμής αναφερόμαστε κατ' ουσία σε μια τιμή που της έχει ανατεθεί σε σχέση με την βαρύτητα που παρουσιάζει ως προς την σημαντικότητα της σύνδεσης των προκείμενων κελιών. Ο τρόπος υπολογισμού έχει άμεση σχέση με το net model που χρησιμοποιείται για την αναπαράσταση του κυκλώματος σε μορφή γράφου. Τα σημαντικότερα μοντέλα είναι τα ακόλουθα:

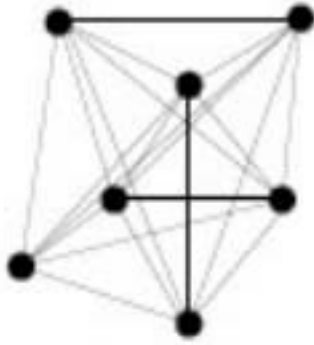
- Steiner Tree: Στην πλειοψηφία των αλγορίθμων που χρησιμοποιούν αυτή τη μορφή αναπαράστασης των net παρουσιάζεται επιπρόσθετα και μια επέκταση αυτού του μοντέλου το ευθύγραμμο (rectilinear) Steiner Tree. Η χρήση ενός rectilinear Steiner Tree παρουσιάζει σημαντικά πλεονεκτήματα εάν αναλογιστούμε πως την διαδικασία του placement διαδέχεται η διαδικασία του routing. Ένα δέντρο της προκείμενης μορφής αποτελείται αποκλειστικά από οριζόντιες και κάθετες ακμές οι οποίες εκτείνονται προς εκείνες τις κατευθύνσεις που απαιτείται για να συμπεριληφθούν όλα τα εμπλεκόμενα στο net στοιχεία. Ο αριθμός των ακμών είθισται να είναι ο μικρότερος δυνατός βάσει του

οποίου ελαχιστοποιείται το συνολικό μήκος καλωδίου που απαιτείται για την διασυνδεσιμότητα των κελιών και των pins που αποτελούν το net.



Εικόνα 2.8 - Steiner tree net model

- Distance Based: Για τον προσδιορισμό του μήκους καλωδίου του εκάστοτε net υπολογίζεται το άθροισμα της ευκλείδειας απόστασης μεταξύ όλων εκείνων των στοιχείων του κυκλώματος που συνδέονται μεταξύ τους και το απαρτίζουν.
- Clique: Η χρήση του μοντέλου κλίκας είναι αρκούτως διαδεδομένη στα εργαλεία που υλοποιούν αλγορίθμους global placement. Το συγκεκριμένο μοντέλο βασίζεται στην κατάλληλη μετατροπή ενός net σε ένα υπογράφο κλίκας. Για τον υπολογισμό του βάρους των ακμών που συνθέτουν το net χρησιμοποιείται ο μαθηματικός τύπος : $w(i,j)=2/k$. Το βάρος, δηλαδή, μιας υπάρχουσας ακμής που προσδιορίζει την σύνδεση μεταξύ ενός στοιχείου i και ενός στοιχείου j ισούται με το αποτέλεσμα της διαίρεσης του δύο με το συνολικό αριθμό στοιχείων που απαρτίζουν την κλίκα. Ο υπολογισμός γίνεται βάσει του παραπάνω τύπου προκειμένου να ελαττώσουμε, χωρίς να διαταράξουμε την συνολική, επιρροή των μεγάλων δικτυωμάτων έναντι των μικρότερων που αποτελούν συνήθως την πλειοψηφία σε μια μέση ψηφιακή σχεδίαση. Βασικό χαρακτηριστικό και πλεονέκτημα του μοντέλου είναι η μικρή πολυπλοκότητα υπολογισμού των βαρών.



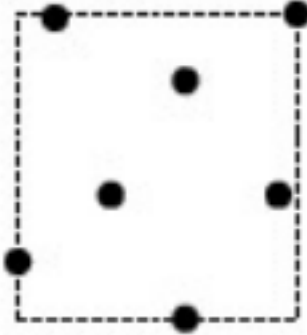
Εικόνα 2.9 - Clique net model

- Star: Το μοντέλο αυτό είναι μια παραλλαγή του μοντέλου κλίκας, όπου οι υπερακμές του σχηματιζόμενου υπεργράφου, μετατρέπονται σε υπογράφους σε σχηματισμό αστέρα.



Εικόνα 2.10 - Start net model

- Bounding Box: Ο υπολογισμός του συνολικού μήκους καλωδίου γίνεται βάσει της ημiperιμέτρου του μικρότερου παραλληλογράμμου που περιβάλλει το κάθε net.



Εικόνα 2.11 - Bounding Box net model

Analytic - Based Placement: Η χρήση αναλυτικών μεθόδων για το κατάλληλο partitioning του κυκλώματος σχετίζεται άμεσα με το graph partitioning. Η βασική τους, όμως, διαφορά έγκειται στο_ότι ο βασικός στόχος, πλέον, δεν είναι η εύρεση του min cut, αλλά ο προσδιορισμός της καλύτερης δυνατής θέσης για το cut line. Ο σημαντικότερος αλγόριθμος αυτής της κατηγορίας είναι ο Gordian, καθώς και μία από τις βασικότερες παραλλαγές του ο Gordian - L. Ο αλγόριθμος Gordian έχει δύο βασικά χαρακτηριστικά, πραγματοποιεί global optimization σε κάθε βήμα και κατά το partitioning δημιουργεί αποκλειστικά ορθογώνιες περιοχές. Συνοπτικά τα βήματα του αλγορίθμου είναι τα εξής:

- Τοποθετούμε όλα τα στοιχεία του κυκλώματος εντός της προβλεπόμενης περιοχής που έχουμε στη διάθεσή μας.
- Χρησιμοποιούμε κατάλληλες μεθόδους τμηματοποίησης για να δημιουργήσουμε ομάδες στοιχείων ενώ παράλληλα ακολουθούμε ρητά τους κανόνες καθολικής βελτιστοποίησης που έχουν τεθεί.

- Όταν οι ομάδες στοιχείων που έχουν σχηματιστεί έχουν πλήθος στοιχείων μικρότερο από μια μεταβλητή, η τιμή της οποίας έχει προαποφασιστεί στην αρχή της εκτέλεσης του αλγορίθμου, τοποθετούμε καταλλήλως τα στοιχεία στον διαθέσιμο χώρο.

Ο Gordian χρησιμοποιεί το partitioning για να περιορίσει την ελευθερία κίνησης των κελιών, και όχι για να ελαττώσει το μέγεθος του προβλήματος. Ένας άτυπος περιορισμός για το partitioning είναι πως οι δύο νέες περιοχές, που δημιουργούνται στο εκάστοτε βήμα, πρέπει να έχουν αναλογία $\frac{1}{2}$ στην χειρότερη των περιπτώσεων. Το final placement είναι, ίσως, το σημαντικότερο βήμα του Gordian. Στις standard cell σχεδιάσεις τα κελιά έχουν το ίδιο ύψος, το μήκος τους, όμως, μπορεί να διαφέρει αισθητά. Ο στόχος είναι να δημιουργήσουμε σειρές στις οποίες θα τοποθετηθούν τα κελιά, οι οποίες θα απέχουν την μικρότερη δυνατή απόσταση μεταξύ τους.

Ο αλγόριθμος Gordian-L ακολουθεί την βασική στρατηγική του Gordian, τροποποιεί μερικώς, όμως, το global placement και τον τρόπο που γίνεται το partitioning. Οι βασικότερες τροποποιήσεις είναι η μετατροπή της αντικειμενικής συνάρτησης σε γραμμική και ο επαναληπτικός διαχωρισμός της εκάστοτε περιοχής σε ίσους χώρους.

Σύμφωνα με τη βιβλιογραφία, ο Gordian-L παρουσιάζει ελαφρώς καλύτερα αποτελέσματα ως προς την ελαχιστοποίηση της απαιτούμενης περιοχής σε κυκλώματα με μικρό αριθμό πυλών, ενώ ο Gordian παρουσιάζει καλύτερα αποτελέσματα ως προς το συνολικό μήκος καλωδίου σε κυκλώματα με μεγάλο αριθμό πυλών.

Forced - Based Methods: Οι forced-based μέθοδοι είναι μια υποκατηγορία της χωροθέτησης πυλών με χρήση αναλυτικών μεθόδων. Το όνομά τους προκύπτει από την διαφορετική ερμηνεία του προβλήματος του quadratic placement. Πιο συγκεκριμένα, η ονομασία τους προκύπτει εάν θεωρήσουμε τα στοιχεία του κυκλώματος ως αντικείμενα και τα nets ως ελάσματα που τα συνδέουν. Με βάση αυτή την τροποποίηση το ζητούμενο του προβλήματος, η ελαχιστοποίηση δηλαδή του συνολικού μήκους καλωδίου,

μετατρέπεται πλέον στην εύρεση του κατάλληλου τρόπου χωροθέτησης που θέτει το σύστημα που δημιουργείται σε κατάσταση ισορροπίας.

Simulated annealing: Η μέθοδος του simulated annealing, παρόλο που χαρακτηρίζεται από την απλότητά της, χρησιμοποιείται σπανίως στην διαδικασία του global placement, όταν δεν έχουν παραχθεί τα επιθυμητά αποτελέσματα, κυρίως λόγω του ότι ο συνολικός χώρος λύσεων είναι υπερβολικά μεγάλος. Παρόλα αυτά, χρησιμοποιείται σε ένα ευρέως διαδεδομένο placer, τον Dragon, στο στάδιο του global placement, χωρίς να δίνονται συγκεκριμένες λεπτομέρειες για τον τρόπο εφαρμογής της στην επίσημη περιγραφή του συγκεκριμένου εργαλείου.

Clustering: Μία διαφορετική προσέγγιση πάνω στο πρόβλημα του placement, είναι η ομαδοποίηση των κελιών του κυκλώματος σε συστάδες (clustering). Το clustering παρουσιάζει δύο βασικά πλεονεκτήματα:

- Βελτιώνει την ταχύτητα εκτέλεσης λόγω της ελάττωσης του συνόλου αντικειμένων που καλούμαστε να χωροθετήσουμε.
- Βοηθάει στην διαφυγή από τοπικά ελάχιστα που μπορούν να αλλοιώσουν την ποιότητα της τελικής λύσης.

Το βασικότερο μειονέκτημα του clustering είναι ο τρόπος επιλογής των κελιών που θα ομαδοποιηθούν. Οι δύο βασικές προσεγγίσεις είναι είτε μια προεπιλογή που βασίζεται στον αρχικό υπεργράφο είτε η επιλογή βάσει ενός αρχικού placement. Σημαντικότερο παράδειγμα αυτής της κατηγορίας είναι ο αλγόριθμος Timberwolf, ο οποίος χρησιμοποιεί ένα συνδυασμό simulated annealing και clustering.

Final Placement

Το υποβλήμα του final placement περιορίζεται κατ'ουσίαν στην εύρεση του κατάλληλου τρόπου αναπροσαρμογής των θέσεων των κελιών έτσι ώστε να τοποθετηθούν στις βέλτιστες δυνατές θέσεις εξαλείφοντας τυχών φαινόμενα επικάλυψης. Ακολουθούν οι βασικότερες προσεγγίσεις που άπτονται του προκείμενου προβλήματος.

Simulated annealing: Η διαδικασία του simulated annealing εκκινεί με έναν τυχαίο αρχικό διαχωρισμό του κυκλώματος. Ακολούθως, πραγματοποιείται ένας νέος διαχωρισμός των στοιχείων του κυκλώματος ανταλλάσσοντας τις θέσεις ορισμένων κελιών των νέων περιοχών που έχουν δημιουργηθεί. Για κάθε μια από τις αλλαγές αυτές, υπολογίζεται κάποιο κόστος. Εάν το κόστος της κίνησης των κελιών είναι αρνητικό τότε η προκείμενη κίνηση γίνεται δεκτή, εάν είναι ίσο με το μηδέν ή θετικό τότε η κίνηση αυτή γίνεται δεκτή υπό προϋποθέσεις. Αυτή η διαφοροποίηση είναι και ο βασικός λόγος που το simulated annealing μπορεί να υπερβεί τοπικά ελάχιστα στην διαδικασία εύρεσης του καθολικού ελάχιστου.

Η ποιότητα της λύσης που παράγεται από την εφαρμογή του simulated annealing εξαρτάται από την επιλογή της μεταβλητής t που είθισται να αναπαριστά την θερμοκρασία και το βήμα μείωσης της προκείμενης θερμοκρασίας (την μεταβλητή a εν προκειμένω). Όσο μεγαλύτερη είναι η αρχική θερμοκρασία και όσο μικρότερος είναι ο ρυθμός ελάττωσής της, τόσο καλύτερα είναι τα αποτελέσματα που προκύπτουν. Το μειονέκτημα, όμως, είναι πως ο χρόνος που απαιτείται για τον σχηματισμό της κατάλληλης λύσης είναι ανάλογος του συνολικού αριθμού βημάτων μείωσης της θερμοκρασίας.

Greedy Approaches:

- Αλγόριθμος Domino: Ο αλγόριθμος δέχεται ως είσοδο ένα placement, δεν απαιτεί, όμως, η προκείμενη χωροθέτηση να είναι legalized. Ακολούθως, διαχωρίζει τον συνολικό χώρο σε υποπεριοχές, βάσει συγκεκριμένων κριτηρίων, και τις εξετάζει μία προς μία. Κατά τη διάρκεια τροποποίησης της εκάστοτε περιοχής οι υπόλοιπες θεωρούνται ανενεργές. Στην

επιλεγμένη περιοχή, ο Domino εκκινεί την εξέταση των κελιών από αριστερά προς τα δεξιά. Κάθε κελί διαχωρίζεται σε μια ομάδα υποκελιών, ίσου μεγέθους, για τα οποία υπολογίζονται νέες «νόμιμες» θέσεις σε κάθε μια από τις προκαθορισμένες σειρές της περιοχής. Βάσει αυτών των βημάτων διατυπώνεται, σε μαθηματική μορφή, ένα transportation problem. Το κόστος της κάθε μεταφοράς σχετίζεται άμεσα με το netlength του εκάστοτε υποκελιού. Την επίλυση του παραπάνω προβλήματος ακολουθεί η επιλογή της νέας θέσης του κελιού. Η θέση αυτή ταυτίζεται με τη θέση όπου έχουν τοποθετηθεί τα περισσότερα υποκελιά του. Το βασικό πλεονέκτημα του Domino είναι πως λόγω της επαναληπτικής διαδικασίας που ακολουθείται παρουσιάζει την ιδιότητα να αποφεύγει τοπικά ελάχιστα που μπορούν να εμφανιστούν και να αλλοιώσουν την ποιότητα της τελικής λύσης.

- Αλγόριθμος Dragon: Ο προκείμενος αλγόριθμος αποδέχεται την global λύση ως ιδανική, οπότε αντί της χρήσης simulated annealing εφαρμόζει μια άπληστη προσέγγιση επίλυσης του προβλήματος χωροθέτησης. Για κάθε ένα από τα κελιά ερευνούνται τα γειτονικά του, έτσι ώστε να γίνει η επιλογή του καταλληλότερου προς ανταλλαγή κελιού. Το σύνολο των γειτονικών κελιών είναι σχετικά μικρό με αποτέλεσμα ο αριθμός των προς ανταλλαγή κελιών να είναι μικρός.
- Placer Mongrel: Ο συγκεκριμένος placer ασχολείται μόνο με την μετακίνηση των κελιών εντός του εκάστοτε row. Διατηρεί την σχετική σειρά των κελιών και προσπαθεί να βρει τις κατάλληλες υποακολουθίες αυτής που μπορούν να αλλάξουν εκατέρωθεν θέσεις. Η εύρεση του ζεύγους υποακολουθιών έχει αποδειχθεί πως μπορεί να καταστεί δυνατή με χρήση δυναμικού προγραμματισμού εντός πολυωνυμικού χρόνου, ανάλογο με τον συνολικό αριθμό των pins των προς εξέταση κελιών.

Legalization

Οι αλγόριθμοι που παρουσιάστηκαν στην παραπάνω ενότητα δεν δίνουν πάντοτε στην έξοδό τους ένα legal placement. Γι' αυτό και στην συνολική διαδικασία χωροθέτησης ενός κυκλώματος εισάγεται και ένα τελικό βήμα «νομιμοποίησης» της σχεδίασης.

Στην περίπτωση του standard-cell placement η διαδικασία που ακολουθείται, στην πλειοψηφία των περιπτώσεων, είναι να γίνεται ένας αρχικός διαχωρισμός των κελιών ως προς τις συντεταγμένες x και y , και ακολούθως να τοποθετούνται στις σειρές που έχουν προκαθοριστεί χρησιμοποιώντας την συντεταγμένη y για την επιλογή της κατάλληλης σειράς και την συντεταγμένη x για την θέση τους εντός της προκείμενης σειράς.

ΚΕΦΑΛΑΙΟ 3^ο: ΠΡΟΣΕΓΓΙΣΕΙΣ ΕΠΑΝΑΧΩΡΟΘΕΤΗΣΗΣ ΜΕ ΠΕΡΙΟΡΙΣΜΟΥΣ ΠΤΩΣΗΣ ΤΑΣΗΣ

Αφού προηγήθηκε η λεπτομερής περιγραφή του φαινομένου πτώσης τάσης (ir - drop) αλλά και της έννοιας της χωροθέτησης των ολοκληρωμένων κυκλωμάτων, σε αυτό το κεφάλαιο θα ακολουθήσει η διακριτή περιγραφή των βημάτων δύο μεθοδολογιών - αλγορίθμων χωροθέτησης ολοκληρωμένων κυκλωμάτων λαμβάνοντας υπόψιν τους περιορισμούς πτώσης τάσης. Λόγω του ότι μία τέτοια χωροθέτηση ακολουθεί την κλασσική διαδικασία της χωροθέτησης, συνηθίζεται να αναφερόμαστε σε τέτοιους αλγόριθμους ως αλγόριθμους επανατοποθέτησης.

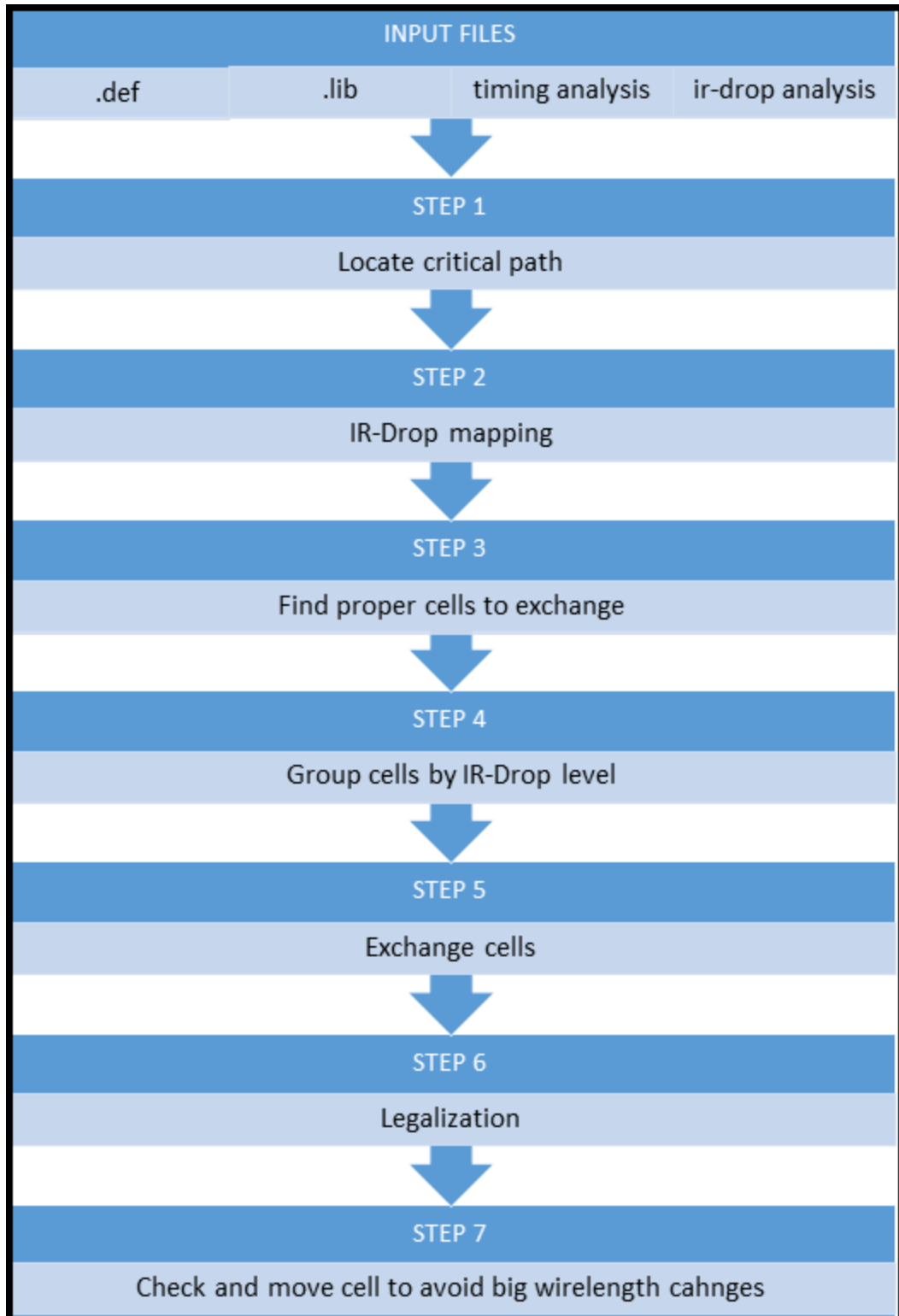
ΜΕΘΟΔΟΛΟΓΙΑ Α

Είσοδοι:

1. Αρχείο .def μιας pre-placed legalized σχεδίασης
2. Αρχείο .lib το οποίο περιγράφει τη βιβλιοθήκη τεχνολογίας που χρησιμοποιείται
3. Αρχείο εξόδου που παρουσιάζει δεδομένα που αφορούν το χρονοισμό της σχεδίασης, και ειδικότερα το σύνολο των κελιών που αποτελούν το κρίσιμο μονοπάτι του κυκλώματος
4. Αρχείο εξόδου από την ir - drop analysis. Η ir - drop analysis χρησιμοποιείται για να λάβουμε μια πολύ καλή εκτίμηση της πραγματικής τιμής του ir - drop σε κάθε κελί με μικρό περιθώριο λάθους. Για να είναι επιτυχής η διαδικασία εκτίμησης απαιτούνται 300 δείγματα τουλάχιστον τα οποία προκύπτουν με την εφαρμογή κατάλληλων input vectors.

Βήματα:

1. Εντοπισμός του κρίσιμου μονοπατιού και αποθήκευση σε κατάλληλη δομή, έτσι ώστε να προσφέρεται εύκολη πρόσβαση σε αυτά τα κελιά
2. Δημιουργία ενός ir - drop mapping του κυκλώματος βάσει των δεδομένων που έχουν συγκεντρωθεί
3. Εντοπισμός των κατάλληλων κελιών βάσει συγκεκριμένων κριτηρίων τα οποία είναι υποψήφια προς ανταλλαγή με τα κελιά που απαρτίζουν το κρίσιμο μονοπάτι
4. Ομαδοποίηση των κελιών ως προς το ir -drop που παρουσιάζουν. Η ομαδοποίηση αυτή προσφέρει μεγαλύτερη ταχύτητα στον αλγόριθμο καθώς και ευκολία επεκτασιμότητας των κριτηρίων επιλογής
5. Ανταλλαγή των κελιών μεταξύ αυτών με το μεγαλύτερο ir - drop και του κελιού που βρίσκεται εγγύτερα σε αυτό και παρουσιάζει μικρότερη πτώσης τάσης.
6. Legalizing από την αρχή προκειμένου να εξαλειφθούν τυχών φαινόμενα επικάλυψης που ενδέχεται να εμφανιστούν μετά την πάροδο των ανταλλαγών
7. Εξέταση κάθε μίας από τις σειρές τοποθέτησης των κελιών και μετακίνηση των κελιών κατ' ελάχιστη απόσταση προς εκείνη την κατεύθυνση που υπάρχει κενό ώστε να αποφευχθεί όποια υπέρ του δέοντος αύξηση του μήκους καλωδίου



Εικόνα 3.1 - IR-Drop aware replacement, approach A

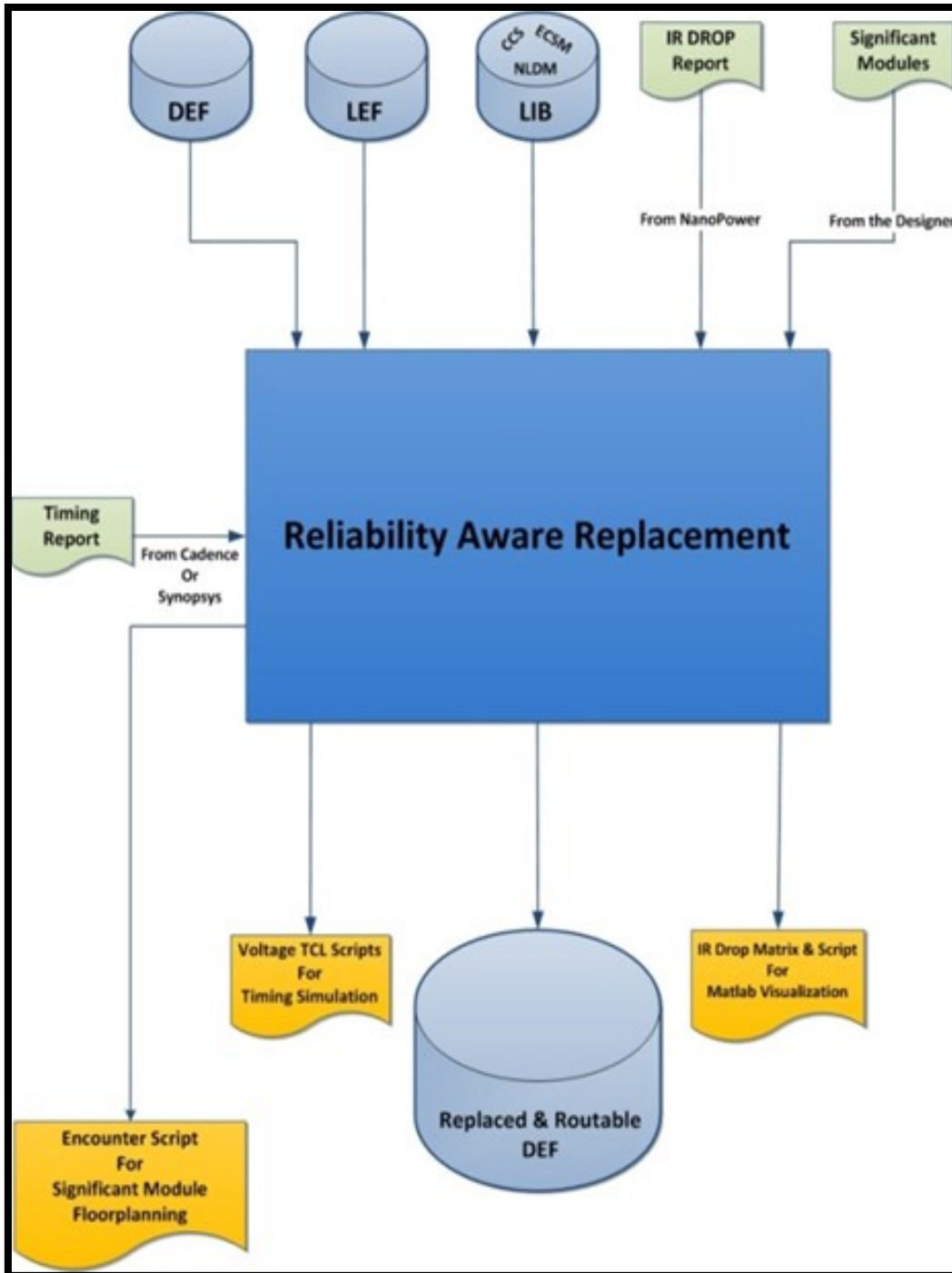
ΜΕΘΟΔΟΛΟΓΙΑ Β

Είσοδοι:

1. Αρχείο .def μιας pre-placed legalized σχεδίασης
2. Αρχείο .lef με την τεχνολογία που χρησιμοποιείται
3. Αρχείο .lib το οποίο περιγράφει τη βιβλιοθήκη τεχνολογίας που χρησιμοποιείται
4. Αρχείο εξόδου που παρουσιάζει δεδομένα που αφορούν το χρονισμό της σχεδίασης, και ειδικότερα το σύνολο των κελιών που αποτελούν το κρίσιμο μονοπάτι του κυκλώματος
5. Αρχείο εξόδου από την ir - drop analysis. Η ir -drop analysis χρησιμοποιείται για να λάβουμε μια πολύ καλή εκτίμηση της πραγματικής τιμής του ir - drop σε κάθε κελί με μικρό περιθώριο λάθους. Για να είναι επιτυχής η διαδικασία εκτίμησης απαιτούνται 300 δείγματα τουλάχιστον τα οποία προκύπτουν με την εφαρμογή κατάλληλων input vectors.
6. Αρχείο με τους κρίσιμους υπολογισμούς σε περίπτωση που θέλουμε να γίνει επανατοποθέτηση με βάση την σημαντικότητα

Έξοδοι:

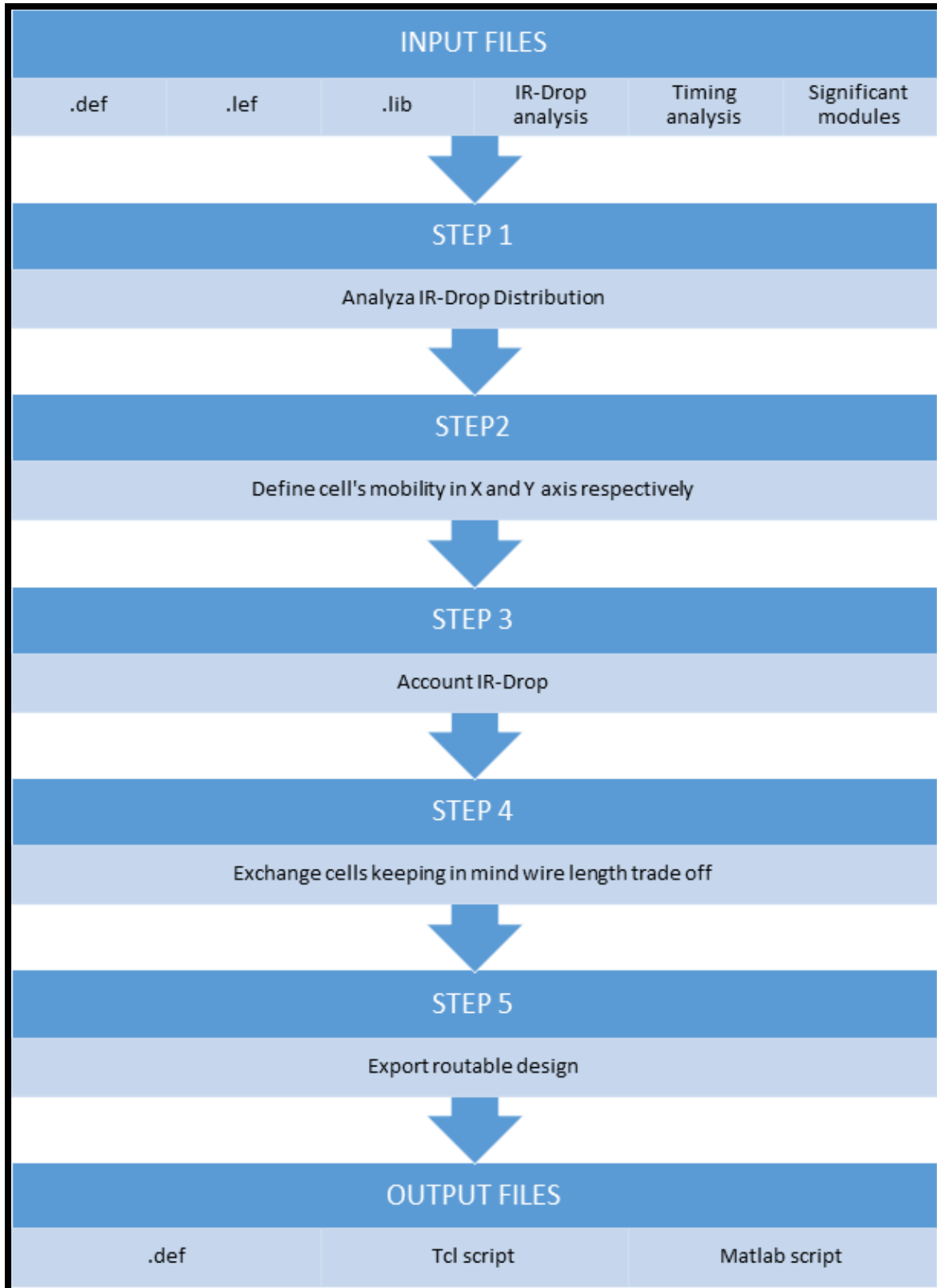
1. Αρχείο .def με την επανατοποθετημένη σχεδίαση, συμβατή με το βιομηχανικό οικοσύστημα ψηφιακής σχεδίασης κυκλωμάτων.
2. Tcl scripts τα οποία χρησιμεύουν στην ανάλυση του χρονισμού της επανατοποθετημένης σχεδίασης με βάση τη νέα τάση κάθε κελιού.
3. Matlab scripts για την απεικόνιση της νέας κατανομής τάσης στο Matlab



Εικόνα 3.2 - Replacement tool

Βήματα:

1. Αποθήκευση των σημαντικών πληροφοριών σε κατάλληλες δομές (κρίσιμα μονοπάτια, πληροφορίες τεχνολογίας, πληροφορίες σχεδίασης και IR-Drop).
2. Συγκέντρωση του τύπου των κελιών που βρίσκονται στο κρίσιμο μονοπάτι.
3. Ανίχνευση των κελιών που είναι υποψήφια για ανταλλαγή λαμβάνοντας υπόψιν το είδος του κελιού, και την κινητικότητα που έχει οριστεί από τον σχεδιαστή, διαφορετικά λαμβάνοντας υπόψιν τις λεπτομέρειες της τεχνολογίας γίνεται ένας πρόχειρος υπολογισμός για να βρεθεί η μέγιστη απόσταση που μπορεί να τοποθετηθεί ένα κελί.
4. Ανταλλαγή των κελιών από το κρίσιμο μονοπάτι έτσι ώστε να μειωθεί το ir-drop και να διατηρηθεί το μήκος καλωδίου σε λογικά πλαίσια. Δίνεται προτεραιότητα στα κελιά που παρουσιάζουν το μεγαλύτερο ir-drop.
5. Εξέταση ότι όλες οι αλλαγές στις δομές δεδομένων δεν έχουν παραβιάσει το πρότυπο του αρχείου .def ώστε να μπορεί η τελική επανατοποθετημένη σχεδίαση να είναι συμβατή με τα βιομηχανικά εργαλεία.



Εικόνα 3.2 - IR -Drop aware replacement, approach B

ΚΕΦΑΛΑΙΟ 4^ο : ΣΥΜΠΕΡΑΣΜΑΤΑ

Στο κεφάλαιο αυτό θα γίνει αναφορά στα συμπεράσματα που εξήχθησαν από τις μεθοδολογίες που περιεγράφηκαν παραπάνω καθώς και βελτιώσεις όσον αφορά στις εν λόγω μεθοδολογίες.

ΜΕΘΟΔΟΛΟΓΙΑ Α', ΣΥΜΠΕΡΑΣΜΑΤΑ - ΒΕΛΤΙΩΣΕΙΣ

- Παρόλο που η πολυπλοκότητα του αλγορίθμου είναι $O(n^2)$ μιας και ακολουθεί την brute-force μεθοδολογία ή αλλιώς την μεθοδολογία της εξαντλητικής αναζήτησης, μπορεί πολύ εύκολα να βελτιωθεί και με την μέθοδο του διαίρει και βασίλευε (divide and conquer) σε $O(n \log n)$.
- Αποτελεί μια βασική μοντελοποίηση του προβλήματος λαμβάνοντας υπόψη του μόνο τη κέρδος-ζημία με βάση το μήκος του καλωδίου (tradeoff between ir-drop and wire length).
- Η ομαδοποίηση των κελιών βάσει του IR - Drop προσδίδει ταχύτητα στην εκτέλεση.
- Επίσης, η ομαδοποίηση των κελιών βάσει του IR - Drop προσφέρει ευελιξία σε τυχόν επεκτάσεις του αλγορίθμου.
- Λόγω του Legalization που ακολουθεί τις ανταλλαγές των κελιών δίνεται μεγάλο εύρος πιθανών ή ακόμη και βέλτιστων λύσεων.

ΜΕΘΟΔΟΛΟΓΙΑ Β', ΣΥΜΠΕΡΑΣΜΑΤΑ - ΒΕΛΤΙΩΣΕΙΣ

- Και στη δεύτερη προσέγγιση ισχύουν σε μεγάλο βαθμό τα συμπεράσματα που αναγάγαμε από την πρώτη. Επιπρόσθετα, όμως, ο αλγόριθμος δίνει στον χρήστη την δυνατότητα να περιορίζει το εύρος λύσεων, δηλαδή την κινητικότητα που έχουν τα κελιά, γεγονός που μειώνει αισθητά το χρόνο εκτέλεσης του αλγορίθμου. Οπότε σε περίπτωση που ο χρήστης έχει γνώση της τεχνολογίας σχεδίασης και το κόστος που έχει η επέκταση του καλωδίου μπορεί να μειώσει σημαντικά το χρόνο εκτέλεσης σε μεγάλες σχεδιάσεις.
- Σημαντικό πρόβλημα είναι η έλλειψη της δυνατότητας εφαρμογής του σταδίου της νομιμοποίησης (legalization). Ο αλγόριθμος έχει την δυνατότητα να αντικαταστήσει μόνο κελιά του ίδιου τύπου ώστε η σχεδίαση να μπορεί να είναι συμβατή με τα βιομηχανικά εργαλεία σχεδίασης ψηφιακών κυκλωμάτων. Αυτό οδηγεί στην μείωση της ευελιξίας και απόδοσης του αλγορίθμου, μιας και το εύρος των πιθανών και μπορεί βέλτιστων λύσεων μειώνεται σημαντικά.
- Εκτός από την επανατοποθέτηση με βάση το ir-drop έχει και την δυνατότητα να συνδυάζει και την σημαντικότητα των υπολογισμών μια σχεδίασης (και ειδικότερα συστημάτων βίντεο και ήχου) στοχεύοντας στην βελτίωση τόσο της απόκρισης της σχεδίασης όσο και της κατανάλωσης ισχύος.
- Μπορούμε να προτείνουμε τις ακόλουθες βελτιώσεις για τον εν λόγω αλγόριθμο.
 - Όσον αφορά την μοντελοποίηση του προβλήματος θα μπορούσε να ληφθεί υπόψη και η λειτουργικότητα του κελιού όσο και η κατανάλωσης ισχύος του.
 - Γνωρίζουμε λόγο της πληθώρας των τρανζίστορ αλλά και της λογικής μια σχεδίασης ότι δεν λειτουργούν όλα τα τρανζίστορ με την ίδια συχνότητα.

Εκμεταλλευόμενοι το γεγονός αυτό μπορούμε να αυξήσουμε αισθητά το εύρος λύσεων και να επιτύχουμε πολύ καλύτερα αποτελέσματα όσον αφορά την συνολική κατανάλωση της σχεδίασης.

- Θα μπορούσαμε να βρούμε διαφορετικές μεθόδους επανατοποθέτησης με τη μοντελοποίηση του προβλήματος σε φυσικό επίπεδο πράγμα που αποτελεί μια εξαιρετικά δύσκολη διαδικασία.

BIBΛΙΟΓΡΑΦΙΑ

1. Shekhar Borkar, Tanay Karnik, Siva Narendra, Jim Tschanz, Ali Keshavarzi, and Vivek De. Parameter variations and impact on circuits and microarchitecture. In Proceedings of the 40th annual Design Automation Conference, DAC '03, pages 338-342, New York, NY, USA, 2003. ACM.
2. Cristian Constantinescu. Trends and challenges in VLSI circuit reliability. *IEEE Micro*, 23(4):14-19, 2003.
3. Antonios Dadaliaris. Reliability Driven Placement Algorithms. PhD thesis, Computer Science Dept., University Of Thessaly, June 2012.
4. Nestoras E. Evmorfopoulos, Dimitris P. Karampatzakis, and Georgios I. Stamoulis. Precise identification of the worst-case voltage drop conditions in power grid verification. In ICCAD, pages 112-118, 2006.
5. Panagiotis Giannakou. Timing Analysis for technologies under 45nm. Master's thesis, Computer Science Dept., University Of Thessaly, Greece, Volos, Nov 2012.
6. Pinitas Georgios. Significance Driven IR - Drop Aware Placement for Energy Efficient and Reliable Computing. Master's thesis, Computer Science Dept., University Of Thessaly, Greece, Volos, Jul 2012
7. Nilanjan Banerjee, Georgios Karakonstantis, Jung Hwan Choi, Chaitali Chakrabarti, and Kaushik Roy. Design methodology for low power and parametric robustness through output-quality modulation: Application to color-interpolation filtering. *IEEE Trans. on CAD of Integrated Circuits and Systems*, 28(8):1127-1137, 2009.

8. Nilanjan Banerjee, Georgios Karakonstantis, and Kaushik Roy. Process variation tolerant low power dct architecture. In DATE, pages 630-635, 2007.
9. Georgios Karakonstantis, Nilanjan Banerjee, and Kaushik Roy. Process-variation resilient and voltage-scalable dct architecture for robust low-power computing. IEEE Trans. VLSI Syst., 18(10):1461-1470, 2010.
10. Georgios Karakonstantis, Debabrata Mohapatra, and Kaushik Roy. System level dsp synthesis using voltage overscaling, unequal error protection & adaptive quality tuning. In SiPS, pages 133-138, 2009.
11. Debabrata Mohapatra, Georgios Karakonstantis, and Kaushik Roy. Significance driven computation: a voltage-scalable, variation-aware, quality-tuning motion estimator. In ISLPED, pages 195-200, 2009.
12. Mehrdad Nourani and Arun Radhakrishnan. Testing on-die process variation in nanometer VLSI. IEEE Design & Test of Computers, 23(6):438-451, 2006.
13. N.H.E. Weste and D.M. Harris. CMOS VLSI Design: A Circuits and Systems Perspective. Addison Wesley, 2010.
14. Qing K. Zhu. IR Voltage Drop, pages 87-104. John Wiley & Sons, Inc., 2005.
15. Robert Brayton and Jason Cong. Electronic Design Automation - Past, Present and Future. NFS Workshop, Jul 2009
16. Sarrafzadeg, M. and Wang, M. , "Global and detailed placement," In Proceedings of International conference on Computer-Aided Design
17. Sangiovanni-Vincentelli, A. , "The tides of EDA," Design & Test of Computers, IEEE, Nov.-Dec. 2003

18. Vygen, J. , "Algorithms for detailed placement of standard cells," In Proceedings of Design, Automation and Test in Europe 1998, pp.321-324, 1998
19. Jun Cheng Chi, Tsung Hui Huang and Mely Chen Chi , "An IR drop-driven placer for standard cells in a SOC design", SOC Conference, 2005. Proceedings. IEEE International, Sept. 2005
20. Roy, J.A. and Markov, I.L. , "Seeing the Forest and the Trees: Steiner Wirelength Optimization in Placement," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, April 2007
21. Dunlop, A.E. and Kernighan, B.W. , "A Procedure for Placement of Standard-Cell VLSI Circuits," Computer-Aided Design of Integrated Circuits and Systems, IEEE transactions on, January 1985
22. Madden, P.H.; , "Reporting of standard cell placement results," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Feb 2002
23. Brenner, U. and Vygen, J. , "Legalizing a placement with minimum total movement," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Dec. 2004
24. Chandy, J.A.; Sungho Kim; Ramkumar, B.; Parkes, S.; Banerjee, P.; , "An evaluation of parallel simulated annealing strategies with application to standard cell placement," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Apr 1997
25. Golshan, K. "Physical Design Essentials: An ASIC Design Implementation Perspective". New York: Springer (2007). ISBN 0-387-36642-3

26. <http://asic-soc.blogspot.in/2008/03/process-variations-and-static-timing.html>
27. <http://asic-soc.blogspot.in/2008/04/low-power-design-techniques.html>
28. http://en.wikipedia.org/wiki/Computer-aided_design
29. http://en.wikipedia.org/wiki/Electronic_design_automation
30. http://en.wikipedia.org/wiki/Integrated_circuit
31. [http://en.wikipedia.org/wiki/Physical_design_\(electronics\)](http://en.wikipedia.org/wiki/Physical_design_(electronics))
32. http://users.auth.gr/linardis/Courses/MetaptyxVLSI/LowPower/low_power_1.pdf