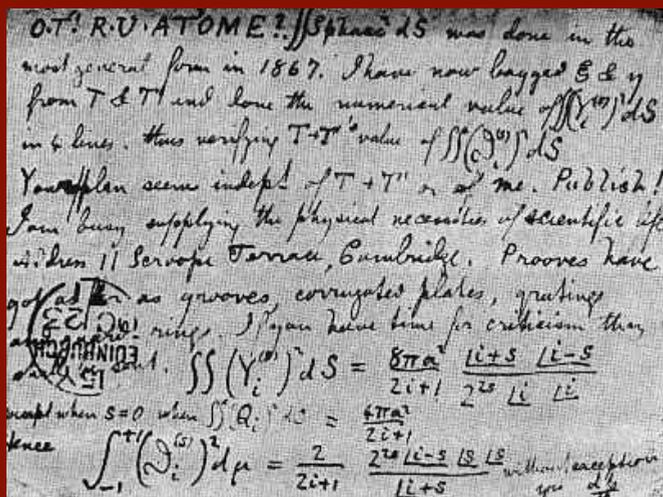


Tesis Doctoral

Ingeniería de Telecomunicación

Diseño de circuitos electrónicos de ultra-bajo consumo en tecnologías nanométricas



Autor: José María Hinojo Montero

Director: Antonio J. Torralba Silgado

Codirector: Clara I. Luján Martínez

Ingeniería electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2016



Tesis Doctoral
Ingeniería de Telecomunicación

Diseño de circuitos electrónicos de ultra-bajo consumo en
tecnologías nanométricas

Autor:

José María Hinojo Montero

Director:

Antonio J. Torralba Silgado

Catedrático de Universidad

Codirector:

Clara I. Luján Martínez

Investigador post-doctoral

Ingeniería electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

2016

Tesis Doctoral: Diseño de circuitos electrónicos de ultra-bajo consumo en tecnologías nanométricas

Autor: José María Hinojo Montero
Director: Antonio J. Torralba Silgado
Codirector: Clara I. Luján Martínez

El tribunal nombrado para juzgar la Tesis arriba indicada, compuesto por los siguientes doctores:

Presidente:

Vocales:

Secretario:

acuerdan otorgarle la calificación de:

El Secretario del Tribunal

Fecha:

A mi familia
A mis profesores

Agradecimientos

Me gustaría comenzar este documento mostrando mi más profundo agradecimiento a mis directores, Dr. Antonio J. Torralba Silgado y Dra. Clara I. Luján Martínez, por su incuestionable ayuda durante el desarrollo de esta tesis doctoral. Sin ella y su dedicación y guía cuando los problemas comenzaban a aparecer, estas líneas que se escriben ahora hubieran sido imposible. Siempre estaré en deuda por todas las cosas que me han enseñado durante estos años, no sólo a nivel académico, sino personal y profesional, también. Muchas gracias por la paciencia infinita que han tenido conmigo.

De igual forma, tengo que agradecer a Elena Cabrera por la ayuda y el apoyo que me ha brindado durante este tiempo. Estos años se han hecho mucho más llevaderos gracias a largas charlas y a los momentos de diversión y desvarío tomando café. Gracias a todas nuestras "discusiones" técnicas he tenido la posibilidad de mejorar mis conocimientos, algo que me ha ayudado a plantear y resolver mejor mis problemas. También quiero darle las gracias al resto de personas que hacen microelectrónica, Enrique López, Fernando Muñoz, Fernando Márquez y Trini Sánchez, por siempre mostrarse disponibles cuando he ido a consultarles alguna de las dudas que me han surgido en todo este proceso.

Sería injusto no mencionar al resto de miembros del Grupo de Ingeniería Electrónica, por mostrarse accesibles, así como a todos los compañeros de la sala, por todos esos grandes momentos de risas que hemos vivido.

Por otro lado, tengo que darle las gracias a Dr. Jaime Ramirez Ángulo y a Dra. Esther Rodríguez Villega por su cálida acogida durante mi estancia en sus grupos de investigación, haciéndome sentir como un miembro más de su equipo. El poder colaborar con ellos ha sido un verdadero placer ya que me ha permitido abordar otros problemas que, de otra forma, hubieran sido imposibles abordar durante el transcurso de esta tesis doctoral. También me gustaría agradecerles a todas las personas que he tenido la posibilidad de conocer durante estas estancias. En este punto, me gustaría hacer una mención a Dr. Shanta Thoutam, con quien compartí muchas tardes en *NMSU* hablando sobre la idea de diseñar "*The ultimate LDO*" y cuyas reflexiones y consultas me han llevado a investigar y aclarar muchas de las dudas que tenía presentes. También quiero aprovechar desde estas líneas para hacer mención a Javier Pérez, su esposa Piedad Mayagoitia y a Javier Alvidrez, por hacerme sentir como si estuviera en casa. Siempre recordaré esos asados y tacos que compartimos.

De igual forma, agradecerle el resto de grandes personas que he conocido durante esos meses, Alejandro, Elam o George, grandes personas que siempre recordaré y a las que le deseo lo mejor y espero poder ver pronto, allí donde estén.

Finalmente, y no menos importante, me gustaría agradecer el apoyo que me ha brindado mi familia y mi pareja, quien ha soportado estoicamente muchas de mis divagaciones, a lo largo de este proceso, por hacerme mucho más amenas las largas jornadas y siempre estar ahí.

José María Hinojo Montero
Sevilla, 2016

Resumen

El escalado de los procesos de fabricación de semiconductores, predicho por el Dr. Moore en los años sesenta, ha tenido un gran impacto en el desarrollo de la electrónica integrada actual. Por una parte, la reducción del tamaño de los transistores ha permitido incrementar la densidad de integración, dando la posibilidad a los diseñadores de introducir un mayor número de funcionalidades dentro de una misma área. Por otro lado, este fenómeno ha llevado consigo una reducción de los costes asociados a la fabricación, logrando abaratar el producto final.

Esta continua evolución e incremento de la funcionalidad dentro de un mismo circuito integrado, implica, a su vez, un aumento de la complejidad a la hora de planificar la generación y distribución de las distintas tensiones de alimentación, necesarias para cada uno de los bloques incluidos en el *chip*. Esto provoca que las especificaciones de ruido, regulación y/o estabilidad asociadas a cada dominio de alimentación varíen según la naturaleza del sistema al que se pretende alimentar. Por esta razón, los circuitos destinados a la gestión de la potencia han tomado una mayor relevancia en los últimos años, puesto que las restricciones impuestas por los sistemas integrados son cada vez mayores.

Dentro de los circuitos destinados a la gestión de potencia, los reguladores lineales y, en concreto, los de bajo *dropout* se corresponden con un bloque básico, ya que permiten la generación de tensiones de alimentación muy estables, precisas y de bajo ruido. Estas características los convierten en el circuito ideal para alimentar a sistemas analógicos o de radio-frecuencia, muy sensibles a variaciones de la alimentación. Otra característica de estos bloques, que ha provocado el creciente interés de la comunidad científica en ellos, es la posibilidad de poder integrarlos sin necesidad de incluir ningún dispositivo externo, con el consecuente ahorro económico y de área en la tarjeta impresa. Sin embargo, dentro de los inconvenientes cabe destacar dos. Por una parte, la eficiencia máxima teórica que pueden lograr es baja frente a soluciones basadas en capacidades conmutadas o inductores. Por otro lado, al buscarse un esquema de compensación interna, el polo dominante del sistema viene fijado por un nodo interno del circuito, provocando que el polo no-dominante esté dominado por la carga. Esto se traduce en un gran problema de estabilidad, debido a que las variaciones que sufre la carga se traducen en un desplazamiento en frecuencia del polo no dominante, degradando el margen de fase de todo el sistema.

Según lo descrito anteriormente, esta investigación se ha centrado en el estudio de reguladores lineales de tipo *Low-DropOut* o *LDO* compensados internamente y sus propiedades, dada la problemática de este tipo de celdas cuando se busca minimizar su consumo quiescente. Para ello, uno de los objetivos marcados versa sobre la búsqueda de topologías alternativas que permitan el diseño de *LDOs* de altas prestaciones, sin suponer un incremento del consumo quiescente y que sean válidos para entornos de baja tensión de alimentación. En este sentido, se ha apostado por el uso de la celda *Flipped Voltage Follower* como regulador debido a su baja impedancia de salida, gran estabilidad y sencillez.

Una segunda línea, se ha centrado en la búsqueda de esquemas de compensación simples que permitan extender la estabilidad de este tipo de regulador en todo el rango de funcionamiento. Para ello, se ha explorado un esquema basado en la compensación clásica de *Miller* donde se ha utilizado un esquema de replica para ajustar de forma dinámica el valor de la resistencia según la carga del sistema.

Por último, con el objetivo de minimizar lo máximo posible el consumo quiescente de los reguladores *LDOs* sin degradar las prestaciones de la respuesta transitoria, se ha explorado el uso de *buffers* clase AB para gestionar la puerta del transistor de paso. Esta técnica permite mejorar la respuesta transitoria, al ser capaz de crear corrientes elevadas durante las transiciones sin necesidad de penalizar la eficiencia del regulador.

Abstract

The continuous downscaling of semiconductor fabrication processes, which was predicted by PhD. Moore in 1965, have had a great impact in the development of nowadays integrated electronics. The reduction of transistor size has allowed, on one hand, the integration of more devices in the same area, increasing the integration density, while, on the other hand, has led to the reduction of fabrication costs, making the final product cheaper and accessible.

However, this increase in the functionality of a single integrated circuit entails greater complexity in the generation and distribution of the different biasing voltages needed throughout one chip. Thus, as more different systems are integrated in the same chip, more different biasing domains coexists in it, leading several different requirements of noise, regulation and/or stability that need to be satisfied simultaneously. Therefore, power management circuits have been acquiring greater significance as technology downscales, reaching its maximum nowadays, when the nanoscale had taken those issues to its culmen.

Linear regulators, and more concretely, low-dropout linear regulators, are an essential block in any power management system, able to generate precise and extremely-stable low-noise biasing voltages what make them the ideal choice for extremely biasing-sensitive circuits such as analog or radio-frequency systems. In addition to this, low-dropout linear regulators can be completely integrated without needing any external device, what translates to expenses and area savings. For all these reasons, low-dropout linear regulators have been lately acquiring extensive attention from the scientific community. However, those circuits also have some disadvantages, indeed, the maximum theoretical efficiency that can be achieved though low-dropout linear regulators is lower than switched capacitor or inductor-based solutions efficiency. In addition to this, as internal compensation is required, the system's dominant pole is given by an internal node, making the non-dominant pole to be fixed by the charge. This leads to a great stability concern as charge variations translate to a frequency displacement of the non-dominant pole that degrades the whole system phase margin.

In accordance with previously described issues, this research has been focused on the study of minimum-quiescent consumption internally compensated low-dropout linear regulators (LDO). The first objective of this research is the proposal of low-voltage

high-performance LDO structures that do not increase quiescent consumption. Thus, the Flipped Voltage Follower cell has been proposed as regulator due to its inherent low output impedance, great stability and simplicity.

The second aim of this research has been the proposal of simple compensation schemes that allow full-operation range stability. So that, a classical Miller compensation based scheme where a replica circuit dynamically adjust the charge resistance has been proposed.

Finally, in order to minimize quiescent consumption of LDOs regulators without degrading transient response performance, class-AB buffers have been proposed to drive the pass transistor gate. This technique enhances the transient response as it generates high currents during transitions without compromising efficiency.

Índice

| | |
|---|-----------|
| <i>Resumen</i> | V |
| <i>Abstract</i> | VII |
| 1. Introducción | 1 |
| 1.1. Reguladores de tensión | 2 |
| 1.2. Objetivos | 8 |
| 1.3. Aportaciones | 9 |
| 1.4. Organización | 9 |
| 2. Reguladores de tipo LDO internamente compensados | 11 |
| 2.1. Conceptos claves de los reguladores LDO compensados internamente | 12 |
| 2.1.1. Regulación de línea | 14 |
| 2.1.2. Regulación de carga | 15 |
| 2.2. Problemática | 15 |
| 2.2.1. Estabilidad | 16 |
| 2.2.2. Respuesta transitoria | 22 |
| 2.2.3. Rechazo a las variaciones de la tensión de alimentación | 35 |
| 2.3. Comparativa estado del arte | 42 |
| 2.4. Conclusiones | 51 |
| 3. Enfoque alternativo: FVF | 53 |
| 3.1. Regulador LDO basado en el FVF y CAFVF | 54 |
| 3.2. Aportaciones | 65 |
| 3.2.1. Aportación 1 | 66 |
| Estabilidad | 68 |
| Resultados experimentales | 73 |
| 3.2.2. Aportación 2 | 78 |
| Estabilidad | 80 |
| Resultados experimentales | 84 |
| 3.3. Conclusiones | 89 |

| | |
|--|------------|
| 4. Esquema adaptativo basado en la compensación de Miller | 93 |
| 4.1. Compensación de Miller: separación de polos | 93 |
| 4.2. Arquitectura | 99 |
| 4.2.1. Estabilidad | 102 |
| 4.3. Resultados experimentales | 104 |
| 4.4. Discrepancias | 109 |
| 4.5. Conclusiones | 113 |
| 5. Regulador LDO de ultra-bajo consumo | 117 |
| 5.1. Introducción | 117 |
| 5.2. Arquitectura | 118 |
| 5.2.1. Estabilidad | 119 |
| 5.3. Resultados experimentales | 124 |
| 5.4. Conclusiones | 129 |
| 6. Conclusiones | 133 |
| 6.1. Trabajo futuro | 134 |
| 7. Conclusions | 137 |
| 7.1. Future work | 138 |
| Apéndice A. Contribuciones | 139 |
| A.1. Revistas | 139 |
| A.1.1. Aceptadas | 139 |
| A.1.2. Enviadas a revisión | 139 |
| A.2. Congresos | 139 |
| <i>Índice de Figuras</i> | 141 |
| <i>Índice de Tablas</i> | 147 |
| <i>Bibliografía</i> | 149 |

1 Introducción

En el panorama actual, los dispositivos alimentados por baterías están teniendo cada vez más relevancia. Desde un punto de vista industrial, un claro ejemplo es la expansión del Internet de las Cosas (por su nomenclatura en inglés, *Internet of Things, IoT*), [1–4]. EA nivel industrial, ete nuevo paradigma de interconexión ha dado lugar a gran cantidad de soluciones basadas en nodos inalámbricos de muy bajo consumo [5–8]. Por su parte, este auge se ha visto reflejado en el usuario normal a través del crecimiento de la telefonía móvil o *wearables*¹ [9].

Uno de los principales motivos de esta tendencia se debe al escalado de las tecnologías destinadas a la fabricación de circuitos integrados. Bajo la predicción de la Ley de Moore [10], la reducción del tamaño de los transistores ha permitido incrementar la densidad de integración, reduciendo el coste del producto final. A su vez, este hecho ha permitido la integración de funciones, cada vez más complejas, en una misma área originando el concepto de sistema en un chip o *System-on-Chips* (en adelante, *SoC*). Dichos sistemas se caracterizan por integrar en un mismo sustrato todos aquellos subsistemas necesarios, ya sean bloques analógicos, de radiofrecuencia y/o digitales, que permitan desempeñar una determinada función. Este nuevo paradigma, dentro de la industria de los semiconductores, ha provocado un cambio en la forma de concebir los sistemas. Se ha pasado de una visión centralizada, donde el ordenador personal o *PC* ocupaba el centro y el resto de sistemas se adecuaban en torno a este dispositivo; a una distribuida donde multitud de sistemas operan entre sí mediante una comunicación inalámbrica. En este nuevo esquema de interconexión, existe una gran heterogeniedad de dispositivos móviles alimentados por baterías. Como consecuencia de este cambio, la filosofía de diseño de circuitos integrados se ha visto alterada. Durante los noventa, estaba guiada por la mejora de prestaciones que dejaban en un segundo plano aspectos como el consumo; mientras que, en la última década, la reducción en el consumo de potencia se ha convertido en un objetivo prioritario con el auge de las soluciones de tipo *SoC*. Esto ha permitido desarrollar circuitos integrados de gran eficiencia que consiguen prolongar la vida útil de las baterías lo máximo posible [11].

¹ Es el nombre que reciben aquellos accesorios de ropa o moda que, gracias a la incorporación de sistemas electrónicos, tienen funciones y características avanzadas tales como la monitorización del ritmo cardíaco o funciones de realidad aumentada.

Como se desprende de lo anterior, el suministro, acondicionamiento y gestión de la potencia juegan un papel fundamental en los *SoCs*.

Sin embargo, para que estos dispositivos alcancen el máximo de sus prestaciones, se necesita una tensión de alimentación estable y precisa. En este punto, los reguladores de tensión se han manifestado como un bloque imprescindible dentro de cualquier *SoC* actual. Su misión es convertir la tensión de entrada, procedente de una fuente de energía ruidosa y variante en el tiempo (véase la Figura 1.1); en una tensión estable, precisa e independiente de la carga que, a la vez, permita atenuar las fluctuaciones procedentes de la fuente de energía original. Un ejemplo de la complejidad de estos sistemas de gestión de potencia, en un sistema actual, puede verse en [12] donde los autores presentan una descripción de los requisitos para un dispositivo tan extendido como un módem *CDMA* para un teléfono móvil. Este caso muestra la necesidad de hasta once líneas de alimentación independientes. Además, se introduce una lógica de control para gestionar la potencia que permite apagar aquellos módulos que no se utilicen. El objetivo de este bloque es maximizar la eficiencia energética del dispositivo en todo momento.

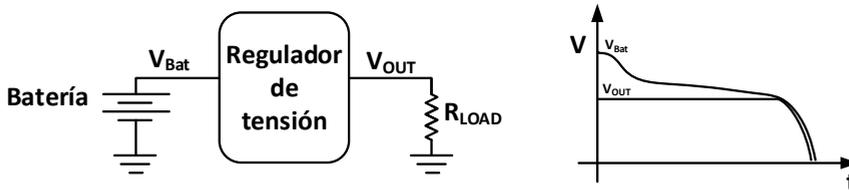


Figura 1.1 Representación de la curva característica de descarga de una batería para una carga R_{LOAD} y la respuesta de un regulador de tensión.

1.1 Reguladores de tensión

Los dispositivos encargados de entregar una tensión regulada a la carga se pueden dividir en tres grupos. El primero estaría formado por los reguladores de capacidades conmutadas que están basados en la transferencia de carga. El siguiente lo constituirían los reguladores por conmutación que se caracterizan por el uso de una bobina como elemento acumulador de energía. Por último, se encontrarían los reguladores lineales. Estos hacen uso de un elemento de paso para suministrar la potencia necesaria a la carga.

De todos ellos, los **reguladores de capacidades conmutadas**, también conocidos como bombas de carga, son ampliamente utilizados, en los circuitos integrados, por su capacidad para generar una tensión distinta y/o con una polaridad diferente del valor de tensión suministrado por la fuente de energía principal. En líneas generales, este tipo de reguladores es utilizado en aquellas aplicaciones sin requisitos muy exigentes, donde es aceptable una baja eficiencia y se requiere de una baja potencia. Un ejemplo en el que su uso es adecuado

son las celdas de memoria no volátil como memorias Flash, *EEPROMs*² o *DRAM*³.

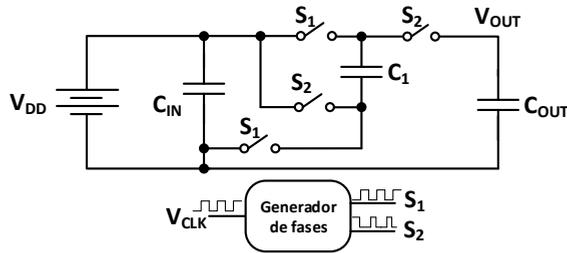


Figura 1.2 Topología clásica de un regulador de tensión basado en capacidades conmutadas.

La Figura 1.2 muestra el modo de trabajo de un regulador de capacidades conmutadas donde puede observarse la secuencia de apertura y cierre de los interruptores, alternativamente, a pares. En primer lugar, los interruptores etiquetados como S_1 son cerrados, lo que permite la carga de la capacidad C_1 al valor de la tensión de entrada V_{DD} . A continuación, los interruptores S_1 son abiertos y los etiquetados como S_2 son cerrados. Este cambio coloca a la capacidad C_1 , cargada a la tensión V_{DD} , en serie con la tensión de entrada, provocando una caída de $2 \cdot V_{DD}$. Por tanto, la tensión de salida V_{OUT} del circuito será equivalente a $2 \cdot V_{DD}$. A partir de este instante, el ciclo se repite. Si el valor de C_{OUT} es lo suficientemente alto, durante la fase S_1 , la tensión V_{OUT} tendrá un valor cercano a $2 \cdot V_{DD}$.

Por otro lado, la misma topología utilizada en la Figura 1.2 puede usarse para reducir la tensión de entrada a la mitad sin más que intercambiar los terminales de entrada y de salida. A su vez, existe la posibilidad de utilizar configuraciones más complejas que permiten obtener un ratio racional de conversión. Algunas de estas topologías se presentan en [13–20]. Como se desprende de esta funcionalidad, los reguladores basados en capacidades conmutadas presentan una gran versatilidad, puesto que modificando los esquemas de configuración se pueden generar diferentes tensiones de salida.

La principal desventaja que presenta este tipo de reguladores es su reducida capacidad de regulación. Esto se debe a que el único mecanismo posible para regular la tensión de salida se consigue a través de la modificación de la resistencia de salida del sistema. Sin embargo, para cambiar su valor es necesario alterar la frecuencia de conmutación de los interruptores y esta acción resulta contraproducente. Al incrementar dicha frecuencia, no sólo se aumenta la resistencia de salida del regulador, sino que, también, se incrementa la disipación de potencia, lo que se traduce en una eficiencia menor. Además, se hace necesaria la inclusión de circuitería adicional que permita determinar el valor de V_{OUT} y que, en base a esta modifique la frecuencia de conmutación. Esto supone un consumo adicional que degrada aún más su eficiencia energética, [21]. Por este motivo, los reguladores de capacidades conmutadas son usados en circuitos donde sólo se requiere de una conversión de la tensión de entrada y no se necesita de una exhaustiva regulación.

² Electrical Erasable Programmable Read Only Memory

³ Dynamic Random Access Mode

En la práctica, hay otras muchas consideraciones que limitan la eficiencia de los reguladores de capacidades conmutadas en una implementación *CMOS*. Lo primero que hay que tener en cuenta, es que para conseguir que las capacidades utilizadas para almacenar la energía alcancen su valor, se requiere que la constante de tiempo generada por la resistencia de conducción, R_{ON} , de los interruptores, y las propias capacidades sean mucho menor que la frecuencia de conmutación. Desde el punto de vista de la implementación, esto implica el uso de una elevada relación de aspecto en los transistores que forman dichos interruptores; lo que conlleva, a su vez, el incremento del consumo de la circuitería que gestiona la puerta de dichos interruptores, especialmente si se hace uso de una frecuencia de conmutación elevada. De ahí que, estas pérdidas adicionales deban ser consideradas en el diseño. [22] muestra una metodología para encontrar el tamaño óptimo de los interruptores y de la frecuencia de conmutación, asegurando que las pérdidas por conducción sean iguales a las generadas por los parásitos de la puerta de los interruptores. Otro factor a tener en cuenta es que el ratio de conversión depende, directamente, de la topología utilizada. Así, para conseguir determinadas relaciones, será necesaria la implementación de multitud de capacidades. Esto, unido al tamaño de los interruptores, consumirá un gran área dentro del dado de silicio. Finalmente, la implementación de las capacidades, en el propio dado de silicio, supone la aparición de una capacidad parásita apreciable entre cada plato y tierra, introduciéndose pérdidas adicionales. De este razonamiento se infiere que si se pretende lograr una alta eficiencia, se hace necesario la utilización de procesos de fabricación específicos que reduzcan dichos parásitos, o el uso de capacidades fuera del chip, con el consiguiente incremento de costes y de área en la tarjeta impresa.

Un segundo tipo de reguladores son los conocidos *reguladores por conmutación*. Estos se componen de una etapa encargada de convertir la señal de entrada no regulada V_{IN} , en una señal rectangular, cuyo valor promedio sea igual al valor de la tensión de salida V_{OUT} fijada, un filtro paso bajo encargado de filtrar la señal rectangular, de forma que a la salida se obtenga el valor V_{OUT} requerido; y una lógica de control que permite implementar el mecanismo de regulación. Éste se encarga de comparar V_{OUT} con una tensión de referencia V_{ref} , para ajustar la fracción del período de tiempo que la primera etapa entrega al filtro paso bajo de V_{IN} . De esta forma, por medio de una modulación de ancho de pulso (en inglés, Pulse Width Modulation, PWM), se controla el valor promedio de la señal rectangular. En la Figura 1.3, se muestra un diagrama de bloques de un regulador de conmutación.

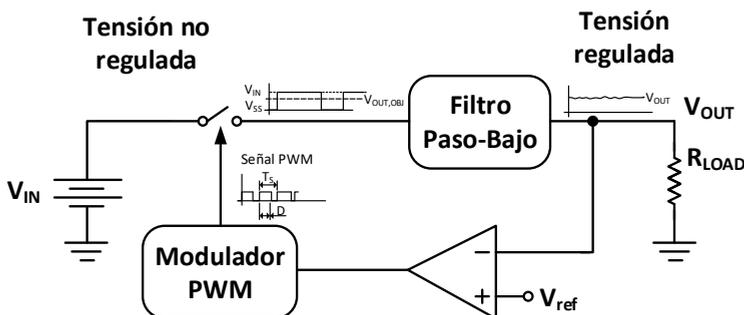


Figura 1.3 Diagrama de bloques de un regulador de tensión por conmutación.

A diferencia de los reguladores de capacidades conmutadas, la eficiencia de estos dispositivos puede ser muy alta, aproximándose al 100% conforme los componentes utilizados presentan un comportamiento más ideal. En la práctica, los reguladores de conmutación presentan una eficiencia comprendida entre el 75% y el 90%, [23–28].

Como se desprende de la Figura 1.3, existe una amplia variedad de combinaciones en el esquema de conmutación y filtrado que pueden usarse para generar una tensión regulada diferente de la tensión de entrada V_{IN} , con la misma u opuesta polaridad.

A pesar de la alta eficiencia que se puede lograr con estos reguladores, su principal inconveniente radica en la utilización de un elemento inductivo como elemento de almacenaje de energía y filtrado. Por tanto, es necesario poder integrar bobinas que presenten un alto factor de calidad. Este hecho lleva a que la mayor parte de las veces se opte por hacer uso de bobinas fuera del chip, lo que supone un incremento del coste del producto al incrementar el área ocupada en el PCB y añadir componentes extras.

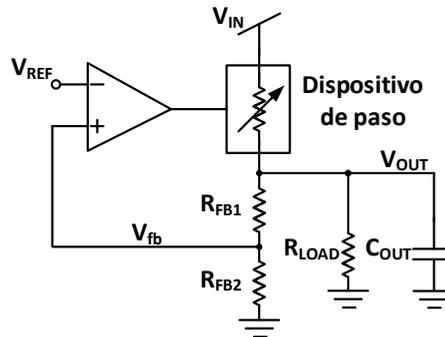


Figura 1.4 Diagrama de bloques de un regulador lineal de tensión.

Por último, el tercer tipo de reguladores de tensión existente son los conocidos como *reguladores lineales*. La Figura 1.4 muestra un diagrama conceptual donde puede comprobarse la existencia de tres bloques básicos para su implementación. El primero se corresponde con el elemento de paso o serie que se encarga de suministrar la potencia requerida a la carga. El segundo componente está constituido por una red de realimentación, implementada por un divisor resistivo, que permite ajustar el valor de la salida a la referencia. Por último, el tercer elemento es el denominado amplificador de error. Éste permite comparar dicha versión escalada de V_{OUT} con una referencia V_{ref} , ajustando así, la tensión de puerta del elemento de paso. Este mecanismo es el encargado de regular la tensión de salida.

Este tipo de reguladores se pueden clasificar como *High-DropOut (HDO)* o *Low-DropOut (LDO)*⁴, donde *dropout* hace referencia a la mínima diferencia entre la tensión no regulada y la salida regulada que permite que el mecanismo de regulación actúe. Se considera que un regulador es de tipo *HDO* cuando su tensión de *dropout* es superior a 600 mV, [29]. En caso contrario, se estaría ante un regulador de tipo *LDO*. En la práctica, la

⁴ En este punto, se adopta la nomenclatura inglesa para facilitar al lector la comprensión, evitando pérdidas de significado ante traducciones confusas. En adelante, las referencias a estos tipos de reguladores se harán por sus siglas inglesas.

tensión de *dropout* varía entre 0.15V y 0.35V. Esta caída de tensión es importante, porque se traduce directamente en potencia disipada. Por tanto, los reguladores *LDO* disipan una menor potencia que su contrapartida *HDO*. Esto ha provocado que los reguladores de bajo *dropout*, en los últimos años, hayan incrementado su popularidad en el mercado de los dispositivos con baterías.

Una segunda división se puede realizar atendiendo al esquema de compensación utilizado: externo o interno. En el primer caso, se hace uso de una capacidad externa de elevado valor (en el rango de los μF) conectada a la salida del regulador lineal, de forma que el nodo de salida fija el polo dominante del sistema. En un regulador compensado internamente, el polo dominante está determinado por un nodo interno (generalmente, el nodo asociado a la puerta del elemento de paso cuya capacidad parásita es elevada, del orden de decenas de pF) del circuito, provocando que el polo formado en el nodo de salida sea uno no dominante. Como consecuencia, la capacidad que cuelga de dicho nodo no podrá superar un valor máximo para no degradar la estabilidad de todo el regulador lineal. Este hecho unido, como se ha comentado anteriormente, al auge de las soluciones de tipo *SoC*, ha provocado un cambio de tendencia, en la que los reguladores compensados externamente están siendo reemplazados por aquellos compensados internamente, debido al ahorro de costes, al menor número de componentes que se necesitan, y a la reducción de área en la tarjeta impresa que suponen.

Como puede observarse, un regulador lineal se caracteriza por la simplicidad de su esquema, puesto que requiere de pocos bloques para regular la tensión de salida. Este hecho permite obtener implementaciones de reducido coste en área y consumo. Sin embargo, dichos reguladores presentan dos limitaciones. Por un lado, la tensión regulada de salida V_{out} nunca podrá ser superior que la tensión de entrada V_{in} . Por otro, la eficiencia η nunca podrá ser superior al cociente V_{out}/V_{in} , por lo que existe un límite teórico para la misma.

Si se define la eficiencia energética como

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out} \cdot I_{out}}{V_{in} \cdot I_{in}} = \frac{V_{out} \cdot I_{out}}{V_{in} \cdot (I_{out} + I_q)} \quad (1.1)$$

se puede observar que, a medida que la tensión de entrada se incrementa, la caída, en el elemento de paso, es mayor, degradándose la eficiencia. No obstante, la eficiencia energética puede maximizarse si la tensión V_{in} está cercana a su valor mínimo, conforme la Ecuación (1.2), y si se reduce el consumo quiescente, definido como la potencia que emplea el regulador para funcionar correctamente, lo máximo posible.

$$V_{in,min} = V_{out,nom} + V_{dropout} \quad (1.2)$$

En la Figura 1.5 se muestra un ejemplo de cómo varía la eficiencia de un regulador lineal ante diferentes valores de la tensión de entrada V_{in} y del consumo quiescente I_q . Para el ejemplo, se ha tomado un regulador ideal cuya tensión de salida es $V_{out,nom} = 1\text{V}$, $V_{dropout} = 0.2\text{V}$ y una corriente de salida I_{out} máxima de 0.1A. Se han supuesto cuatro consumos quiescentes distintos. En todos los casos, se puede comprobar que el máximo

de la eficiencia que se alcanza es

$$\eta = \frac{V_{out} \cdot I_{out}}{V_{in} \cdot (I_{out} + I_q)} \leq \frac{V_{out}}{V_{in}} = \frac{1}{1.2} = 0.8333 \quad (1.3)$$

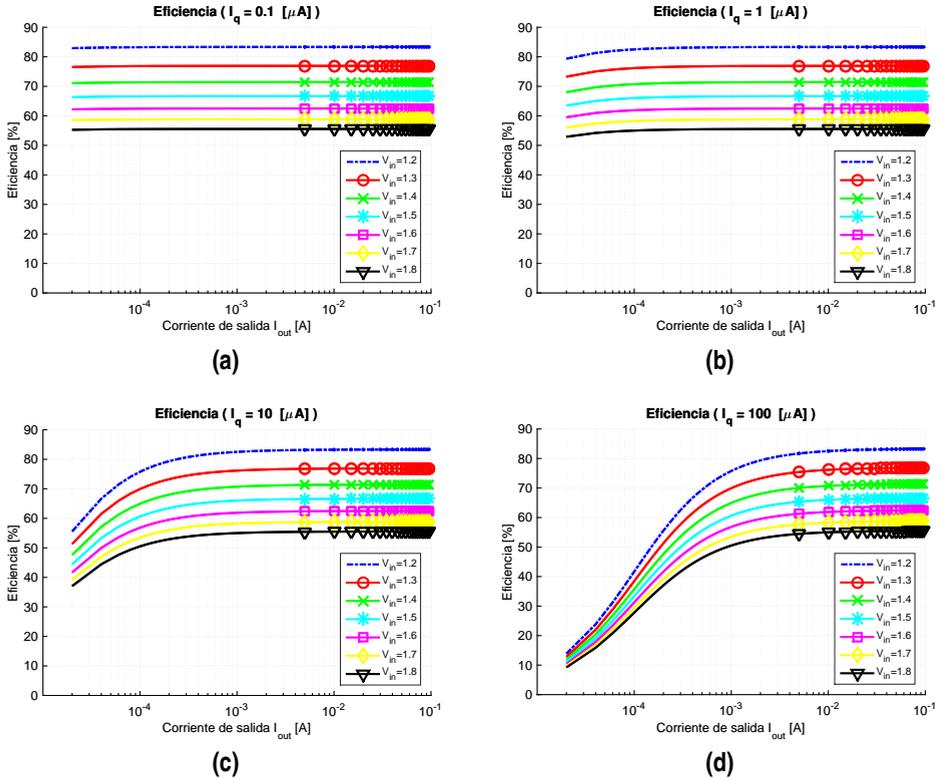


Figura 1.5 Ejemplo de la variación de la eficiencia de un regulador lineal frente a la corriente I_{LOAD} para distintos valores de la tensión de entrada y del consumo quiescente.

Finalmente, en la Tabla 1.1 se recogen las principales propiedades de los diferentes tipos de reguladores de tensión que se han presentado, a modo comparativo. En ella se puede observar cómo la ventaja principal de los reguladores lineales es la de presentar una salida con muy poco ruido frente a los reguladores de conmutación o capacidades conmutadas. Además, implementarlos en una tarjeta impresa supone un ahorro frente a los otros dos grupos, debido al menor número de componentes necesarios. A pesar de ello, los reguladores lineales presentan dos inconvenientes. el primero es su eficiencia, que es inferior a la de los otros dos grupos. No obstante, cuando la tensión no regulada es cercana al valor de *dropout*, su eficiencia se incrementa. La segunda desventaja es el hecho de no poder generar una tensión de salida superior al valor de entrada. No obstante,

si estas limitaciones son dejadas en un segundo plano, los reguladores lineales se utilizan extensamente en aplicaciones donde se requieren de altas prestaciones como una rápida respuesta frente a variaciones de la carga y un alto rechazo a ruidos procedentes de la tensión de entrada.

Tabla 1.1 Tabla comparativa de las principales características y aplicaciones de los reguladores lineales, de capacidades conmutadas y por conmutación.

| Tipo de regulador | Lineal | Capacidades conmutadas | Conmutación |
|---------------------------|--|------------------------|--|
| Elevación de la tensión | No | Sí | Sí |
| Reducción de la tensión | Sí | Sí | Sí |
| Inversión de la polaridad | No | Sí | Sí |
| Eficiencia | Pobre | Pobre | Alta |
| Ruido | Bajo | Alto | Alto |
| Regulación | Alta | Pobre | Media |
| Area | Pequeña | Media/Alta | Media/Alta |
| Coste | Bajo | Medio | Alto |
| Aplicaciones | Bloques Analógicos, RF, requisitos altos de regulación | DRAM, Flash, EEPROM | Microprocesadores, bloques digitales, SRAMs ^a |

^a Static Random Access Memories

1.2 Objetivos

Atendiendo a lo descrito en el punto anterior, esta tesis se centra en el estudio de los reguladores lineales de tipo *Low-DropOut* o *LDO* compensados internamente y sus propiedades, como consecuencia de la problemática que este tipo de diseños presentan cuando se requiere un bajo consumo quiescente. De manera que los objetivos que se han marcado durante el transcurso de la investigación, se correspondan con la búsqueda de topologías alternativas que permitan el diseño de *LDOs* de altas prestaciones, sin suponer un incremento del consumo quiescente y que sean válidos para entornos de baja tensión de alimentación. Asimismo, se han buscado esquemas de compensación simples que permitan extender la estabilidad e investigado técnicas conocidas, como los seguidores de tensión o las estructuras de ganancia cascodos, que permitan atacar la problemática desde otra perspectiva.

Las ideas propuestas se han implementado en tecnologías *CMOS* modernas (65 y 180 nanómetros), con el fin de validar los resultados obtenidos por simulación. Este hecho ha supuesto, también, resolver la problemática del test de medida asociado a este tipo de circuitos con unas características muy particulares.

1.3 Aportaciones

Las principales contribuciones desarrolladas, durante el transcurso de esta tesis doctoral, se recogen a continuación.

- **Aportación 1.** Se ha procedido al diseño de un regulador *LDO* compensado internamente y basado en la celda *Flipped Voltage Follower* o *FVF* en una tecnología de 65 nanómetros. En esta primera aportación, se hace uso de técnicas de acoplamiento RC para poder incrementar las prestaciones del regulador, ante variaciones de la tensión de entrada o de la carga.
- **Aportación 2.** Se ha diseñado un regulador *LDO* compensado internamente y basado en la celda *Flipped Voltage Follower* o *FVF* en una tecnología de 65 nanómetros. En esta segunda aportación se utiliza un novedoso esquema para incrementar la respuesta transitoria del regulador frente a variaciones de V_{in} o de I_{out} , permitiendo reducir el consumo quiescente de la celda.
- **Aportación 3.** Se presenta un nuevo esquema de compensación basado en la compensación clásica de Miller. Para ello se introduce una resistencia variable cuyo valor se modifica acorde a la zona de funcionamiento del regulador. De esta forma, se consigue salvar las limitaciones impuestas por el esquema clásico.
- **Aportación 4.** Se hace uso de un seguidor de tensión tipo clase-AB con mejora del *slew-rate* y del ancho de banda para atacar a la puerta del elemento de paso. Esta técnica permite incrementar la respuesta transitoria sin penalizar el consumo quiescente.

1.4 Organización

Esta memoria se encuentra organizada como se especifica seguidamente. Como ha podido comprobarse, el Capítulo 1, está dedicado a introducir al lector en la problemática de la generación de una tensión de alimentación precisa y estable.

El Capítulo 2, supone una revisión de las características principales que definen a un regulador *LDO* compensado internamente, y los problemas a los que un diseñador debe hacer frente cuando plantea este tipo de celdas. Además, se presentan aquellas técnicas destinadas a resolver alguno o varios de estos problemas. Asimismo, se muestran las contribuciones de mayor relevancia que se han realizado en la literatura para su resolución. El cierre del capítulo está formado por una comparativa de aquellos reguladores más relevantes publicados hasta la fecha, con el objetivo de que el lector obtenga una idea aproximada del rango de valores de los distintos parámetros.

Seguidamente, el Capítulo 3 presenta la utilización de las celdas *FVF* y *CAFVF* como reguladores *LDO* compensados internamente. En él, se realiza un análisis de sus ventajas e inconvenientes, presentando aquellas técnicas que se han propuesto en la literatura científica con el objetivo de mitigar sus debilidades. Al final de esta revisión, se muestra una comparativa de los trabajos recogidos. Tras ello, se encuentran dos de las aportaciones

llevadas a cabo durante el transcurso de esta tesis doctoral, para la mejora de la respuesta transitoria de la celda *CAFVF*.

El Capítulo 4 explica una nueva técnica de compensación basada en la compensación clásica de Miller. En él, se muestra una comparativa de la técnica propuesta frente al esquema clásico y a un esquema con resistencia. Además, se detalla la topología seleccionada para su implementación física. Al final del capítulo, se muestran los resultados obtenidos del chip de prueba.

El siguiente capítulo, Capítulo 5, introduce un regulador *LDO* basado en la topología clásica donde se ha incorporado un *buffer* para manejar la puerta del elemento de paso. Este *buffer* esta basado en un seguidor de tensión clase-AB. Al igual que en los capítulos anteriores, al finalizar éste se presentan los resultados obtenidos de las medidas.

Finalmente, en el capítulo Capítulo 7 se muestran las conclusiones obtenidas, así como las posibles futuras líneas de investigación que pueden seguir a este estudio.

2 Reguladores de tipo *LDO* internamente compensados

En este capítulo, se va a realizar una introducción a los reguladores lineales de tipo *LDO* compensados internamente, repasando sus características principales. De esta forma, se pretende introducir al lector en la problemática de este tipo de celda, así como en el significado de las magnitudes utilizadas para evaluar su rendimiento.

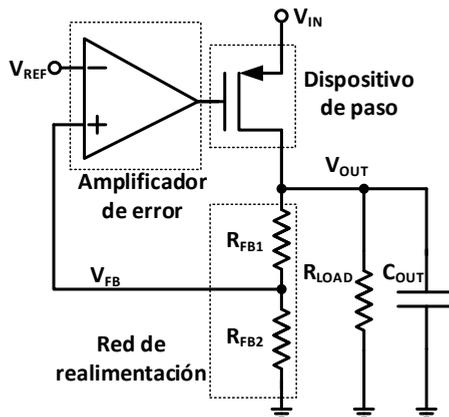


Figura 2.1 Esquema clásico de un regulador *LDO* con transistor PMOS.

Una vez expuestas las magnitudes que caracterizan el rendimiento de los reguladores lineales, se van a detallar los problemas asociados a este tipo de sistemas, dividiéndose en tres áreas:

- **Estabilidad.** En este apartado se especifica cómo afecta que el polo dominante del regulador sea fijado por un nodo interno y no por la capacidad de salida. Además, se hace una revisión de las principales publicaciones destinadas a la mejora de la

estabilidad, presentando al final de la sección una tabla resumen donde se recogen sus principales características.

- **Respuesta transitoria.** Describe de forma cuantitativa cómo influyen en la respuesta transitoria las variaciones de la carga y de la tensión de entrada. A su vez, se presenta una recopilación de las principales técnicas propuestas en la literatura destinadas a su mejora en los reguladores LDOs compensados internamente. Finalmente, se muestra una tabla con las especificaciones de los trabajos presentados.
- **Rechazo a las variaciones de la tensión de entrada.** Se estudia cómo afectan las variaciones de la tensión de entrada en estos sistemas. Como en los apartados anteriores, se recogen los principales trabajos destinados a su mejora. Al final de la sección, se presenta una tabla donde se muestran las principales características de los trabajos expuestos.

Seguidamente, se facilitan al lector las principales figuras de méritos utilizadas para comparar los reguladores LDOs así como una comparativa de los trabajos recopilados durante el estudio de la problemática asociada. Por último, se presentan unas breves conclusiones a modo de cierre.

2.1 Conceptos claves de los reguladores LDO compensados internamente

La Figura 2.1 muestra la topología clásica de los reguladores LDOs. En ella el elemento de paso se corresponde con un transistor PMOS. La principal ventaja de usar un transistor de este tipo radica en que la tensión de dropout, $V_{dropout}$, puede ser tan baja como una $V_{SD|sat}$. Desde el punto de vista de los dispositivos operados por baterías, el uso de un transistor PMOS permite un mayor aprovechamiento de la batería, al disponer de un mayor rango de operación, extendiendo su vida útil. Sin embargo, estos presentan una gran desventaja: ocupan una mayor área que su versión NMOS para una corriente $I_{out,max}$ fija, motivada por una reducción de la movilidad del transistor.

A pesar de que las variaciones de la carga y la tensión de entrada afectan al comportamiento en gran señal del regulador, para estudiar sus principales características, es necesario acudir a un modelo de pequeña señal. En él, se asumirá que el amplificador de error presenta un comportamiento ideal. Tras esta simplificación, el circuito quedaría como se muestra en la Figura 2.2

Atendiendo al modelo presentando en la Figura 2.2, se observa que

$$g_{mp} \left[v_{in} - A_v \left[\frac{R_{fb2}}{R_{fb1} + R_{fb2}} v_{out} - V_{REF} \right] \right] + \frac{v_{in} - v_{out}}{r_{op}} = v_{out} \left[\frac{1}{R_{fb1} + R_{fb2}} + \frac{1}{R_L} \right] \quad (2.1)$$

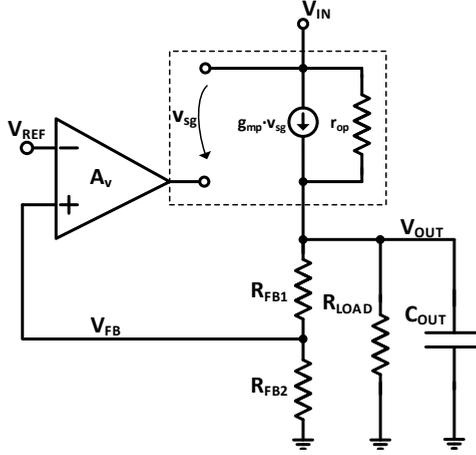


Figura 2.2 Modelo de pequeña señal de un regulador LDO de tipo PMOS.

$$v_{out} = \frac{g_{mp} + \frac{1}{r_{op}}}{g_{mp} A_v \frac{R_{fb2}}{R_{fb1} + R_{fb2}} + \frac{1}{[R_{fb1} + R_{fb2}] || R_L || r_{op}}} v_{in} + \frac{g_{mp} A_v}{g_{mp} A_v \frac{R_{fb2}}{R_{fb1} + R_{fb2}} + \frac{1}{[R_{fb1} + R_{fb2}] || R_L || r_{op}}} V_{REF} \quad (2.2)$$

donde g_{mp} y r_{op} representan la transconductancia y resistencia de salida del transistor de paso, respectivamente, A_v se corresponde con la ganancia del amplificador de error, R_L es una resistencia equivalente que permite modelar a la carga conectada a la salida del regulador LDO y R_{fb1} y R_{fb2} hacen mención a las resistencias que implementan la red de realimentación. Si se asume que $g_{mp} r_{op} \gg 1$ y $R_{fb1} + R_{fb2} \gg 1$, la Ecuación (2.2) se puede simplificar como se muestra en la Ecuación (2.3)

$$v_{out} \approx \frac{g_{mp} r_{op}}{g_{mp} r_{op} A_v \frac{R_{fb2}}{R_{fb1} + R_{fb2}}} v_{in} + \frac{g_{mp} r_{op} A_v}{g_{mp} r_{op} A_v \frac{R_{fb2}}{R_{fb1} + R_{fb2}}} V_{REF} \quad (2.3)$$

Una vez obtenido este resultado, el término $R_{fb2} / [R_{fb1} + R_{fb2}]$ pasa a representarse por β , indicando de esta forma, que se corresponde con el factor de realimentación. De esta ecuación se desprende que v_{in} es atenuada por la ganancia del amplificador de error A_v mientras que V_{REF} , procedente de una referencia de tensión, no. Por tanto, v_{out} se puede reducir al valor mostrado en la Ecuación (2.4).

$$v_{out} \cong \frac{v_{in}}{A_v \beta} + \frac{1}{\beta} V_{REF} \quad (2.4)$$

2.1.1 Regulación de línea

La regulación de línea representa una medida que indica cómo de robusto es un regulador de tensión frente a las variaciones del nivel de continua en la tensión de entrada. Por tanto, este parámetro es un indicador de las variaciones, que en régimen estacionario, sufre la salida regulada ante un cambio, en la tensión de entrada. Se define como se indica en la Ecuación (2.5).

$$Reg.Linea = \frac{\Delta V_{out}}{\Delta V_{in}} \tag{2.5}$$

Idealmente, la salida regulada V_{out} debe ser fija hasta que el bucle de regulación pierda su efectividad. Sin embargo, la ganancia finita del amplificador de error va a provocar una dependencia de V_{out} con respecto V_{in} . Para su cálculo, al igual que se ha mostrado en la sección anterior, se acudirá a un modelo donde el transistor de paso es sustituido por su modelo de pequeña señal, mientras que el resto de componentes se representarán de forma ideal. La Figura 2.3 muestra cómo quedaría el circuito.

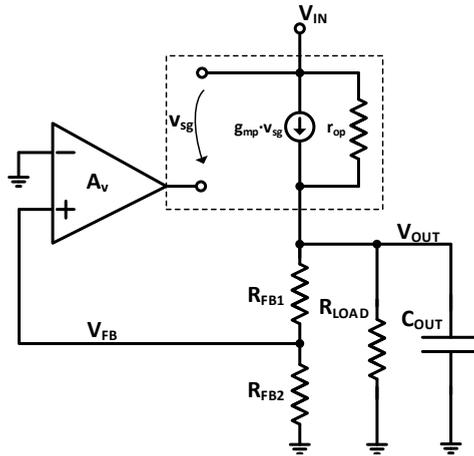


Figura 2.3 Modelo de pequeña señal utilizado para el cálculo de la regulación de línea de un regulador LDO de tipo PMOS.

Asumiendo una variación ΔV_{in} en la tensión de entrada, se obtiene una variación en el nodo de salida V_{out} que atende a la Ecuación (2.6), donde se puede asumir que

$$Reg.Linea = \frac{\Delta V_{out}}{\Delta V_{in}} \approx \frac{1}{A_v \frac{R_{fb2}}{R_{fb1} + R_{fb2}}} = \frac{1}{A_v \beta} \tag{2.6}$$

En la Ecuación (2.6) se puede observar cómo a una mayor ganancia del amplificador de error, la regulación de línea mejora.

2.1.2 Regulación de carga

Esta segunda magnitud es una representación de la robustez del regulador de tensión frente a los cambios en la corriente demandada por la carga. Su definición se presenta en la Ecuación (2.7). Al igual que en el caso de la regulación de línea, se corresponde con una magnitud que caracteriza el régimen estacionario del regulador. En este caso, se recurre nuevamente al modelo de pequeña señal para su estudio, Figura 2.4.

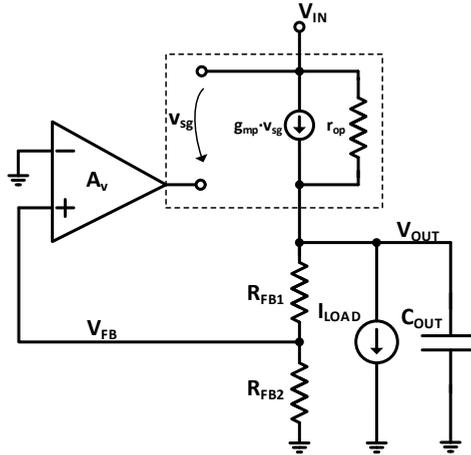


Figura 2.4 Modelo de pequeña señal utilizado para el cálculo de la regulación de carga de un regulador *LDO* de tipo *PMOS*.

$$Reg.carga = \frac{\Delta V_{out}}{\Delta I_{load}} \tag{2.7}$$

Si se asume una variación ΔI_{out} en la carga, esta provocará que el nodo de salida cambie acorde a la Ecuación (2.8).

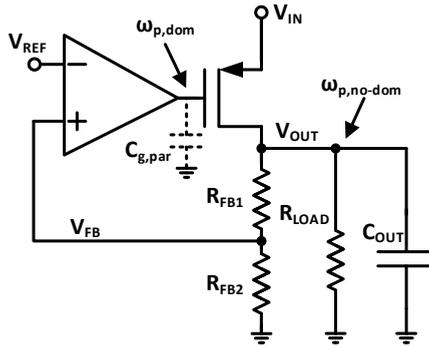
$$Reg.carga = \frac{\Delta V_{out}}{\Delta I_{load}} \approx - \frac{1}{g_{mp} \frac{R_{fb1} + R_{fb2}}{R_{fb2}}} A_v \tag{2.8}$$

2.2 Problemática

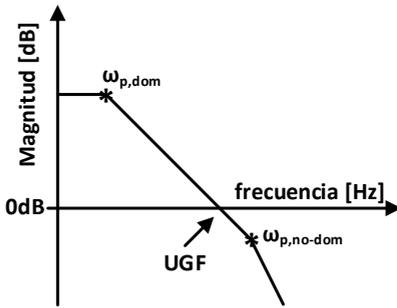
El diseño de reguladores *LDO* compensados internamente presenta, fundamentalmente, dos retos: la estabilidad, desde el punto de vista de un sistema realimentado que se somete a variaciones, y la respuesta transitoria. Añadido a estos dos problemas, y como consecuencia directa de la elección del polo dominante, existe un tercer punto de estudio, la respuesta frente a variaciones en la tensión de alimentación. A continuación se detallan cada uno de estos problemas.

2.2.1 Estabilidad

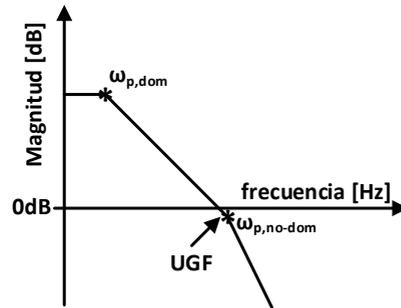
Un regulador LDO compensado internamente supone que, en el esquema utilizado en la Figura 2.5a, el polo dominante está asociado al nodo de la puerta del transistor de paso. Esto se debe a la gran capacidad parásita que aparece en dicho nodo, como consecuencia del elevado tamaño requerido por el transistor de paso, ya que éste es el encargado de suministrar la corriente demandada por la carga. De esta forma, el polo no dominante del sistema vendrá determinado por el nodo de salida.



(a) Regulador LDO compensado internamente.



(b) Respuesta en frecuencia para una corriente I_{out} alta.



(c) Respuesta en frecuencia para una corriente I_{out} baja.

Figura 2.5 Respuesta en frecuencia de un regulador LDO compensado internamente.

El principal problema de que el polo no dominante esté fijado por el nodo de salida es que éste varía según la carga del sistema [30]. Este proceso se ejemplifica en la Figura 2.5b y Figura 2.5c donde se ha asumido un modelo de dos polos para simplificar el diagrama. Así, cuando la carga demande una gran corriente al sistema, la resistencia de salida R_{out} será pequeña, empujando el polo a alta frecuencia. En cambio, cuando la carga reduce la corriente requerida, R_{out} se incrementa, lo que provoca que el polo no dominante se

acerque a la frecuencia de ganancia unitaria (en inglés, UGF^1), degradando la estabilidad del sistema. Atendiendo a este modelo, la función de transferencia del sistema se muestra en la Ecuación (2.9).

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = -\frac{A_v g_{mp} R_{eq} \left[1 - s \frac{C_{gd}}{g_{mp}} \right]}{1 + s a_1 + s^2 a_2} \quad (2.9)$$

donde

$$a_1 = R_p [C_p + C_{gs} + (1 + g_{mp} r_{op}) C_{gd}] + R_{eq} [C_{OUT} + C_{db} + C_{sd} + C_{gd}] \quad (2.10)$$

$$a_2 = R_{eq} R_p [C_{OUT} [C_p + C_{gs} + C_{gd}] + C_{gd} [C_p + C_{gs}]] \quad (2.11)$$

Como se desprende de la Ecuación (2.9), si se tiene en cuenta que $g_{mp} r_{op} \gg 1$ y $C_{OUT} \gg C_p \gg \{C_{gd}, C_{gs}, C_{db}, C_{sd}\}$, los polos del sistema se pueden aproximar por la Ecuación (2.12) y Ecuación (2.13).

$$\omega_{p1} \approx \frac{1}{g_{mp} r_{op} C_{gd}} \quad (2.12)$$

$$\omega_{p2} \approx \frac{C_{OUT} C_p}{g_{mp} C_{gd}} \quad (2.13)$$

Como puede verse en la Ecuación (2.13), el polo no dominante depende de la transconductancia del transistor de paso, g_{mp} , y de la capacidad parásita C_{gd} . Esto provoca que el cambio del punto de operación de dicho transistor, al cambiar las condiciones de carga, provoque una variación de este polo. De tal forma que, en condiciones donde la corriente requerida por la carga sea elevada, g_{mp} tendrá un valor cercano a la unidad. En este caso, ω_{p2} se desplazará a alta frecuencia, reduciendo su impacto en el margen de fase. Sin embargo, al reducirse I_{LOAD} , el valor de la transconductancia disminuirá. Este cambio motivará un acercamiento del polo no dominante a frecuencias medias. Por consiguiente, el margen de fase decrementará su valor, debido a la degradación en la fase que este acercamiento de ω_{p2} a la frecuencia UGF provoca. La Figura 2.6a y Figura 2.6b muestran la variación que sufren estos parámetros para un transistor de paso cuando R_L cambia.

En el caso del polo dominante, a pesar de presentar una dependencia con g_{mp} y r_{op} , éste permanece aproximadamente constante. Esto se debe al hecho de que el producto $g_{mp} r_{op}$ apenas sufre variación para una carga moderada o baja. No obstante, cuando la corriente I_{LOAD} es alta, ω_{p1} se ve reducido, así como la ganancia A_{ol} de todo el sistema debido al valor del mismo. En la Figura 2.7, se muestra cómo se modifica el producto $g_{mp} r_{op}$ en función de la corriente de carga.

Atendiendo a la descripción anterior, en la Figura 2.8 se observa un ejemplo real del diagrama de Bode de un regulador LDO compensado internamente. Como se ve, la variación que sufre el polo no dominante en los reguladores LDO compensados internamente

¹ Unity Gain Frequency

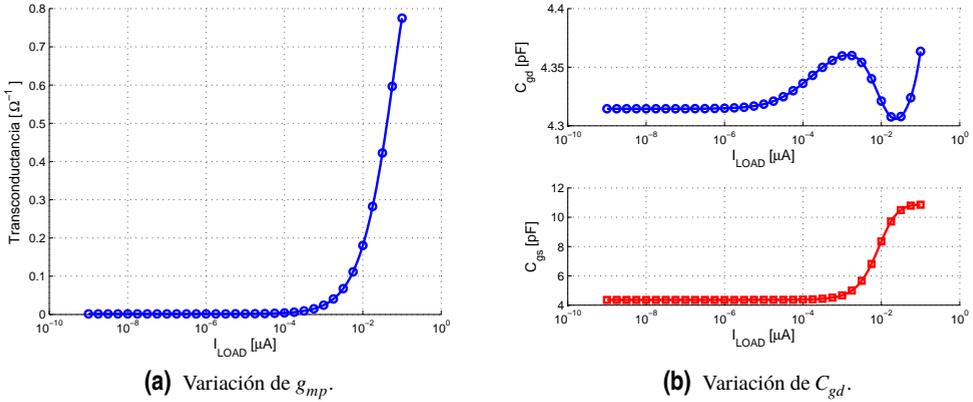


Figura 2.6 Variación de los parámetros (a) g_m , (b) C_{gd} y C_{gs} del transistor de paso.

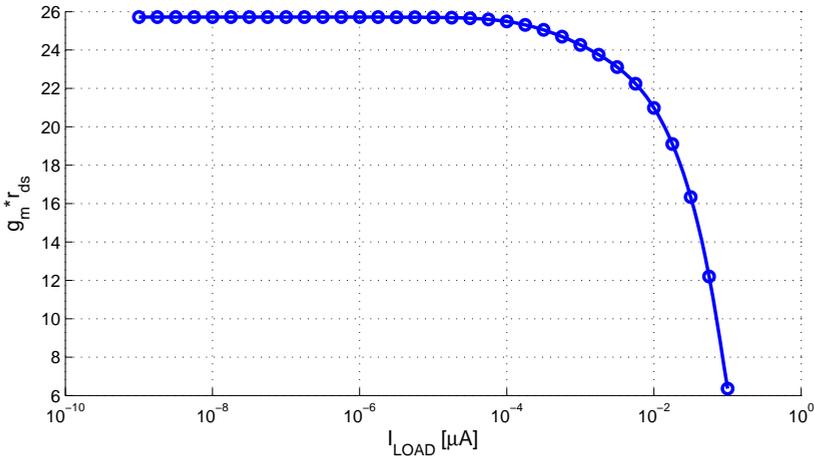


Figura 2.7 Variación del producto $g_{mp}r_{op}$ en función de I_{LOAD} .

provoca que el sistema se vuelva inestable. Por esta razón, es necesario utilizar técnicas de compensación en frecuencia. Estas permiten mover este polo a una frecuencia lo suficientemente alta como para que no se degrade la estabilidad del sistema.

La literatura ha aportado diferentes soluciones a esta problemática. Una de las primeras técnicas destinadas a la mejora de la estabilidad se corresponde con la descrita en [31]. Los autores utilizan una técnica de compensación basada en el control del factor de amortiguamiento [32]- [33] que permite incrementar el ancho de banda del sistema en lazo abierto. Tal y como se representa en la Figura 2.9, su implementación física requiere de una capacidad de compensación C_c , responsable de fijar el polo dominante del sistema, y de un bloque que permite el ajuste del factor de amortiguamiento. La finalidad de este bloque,

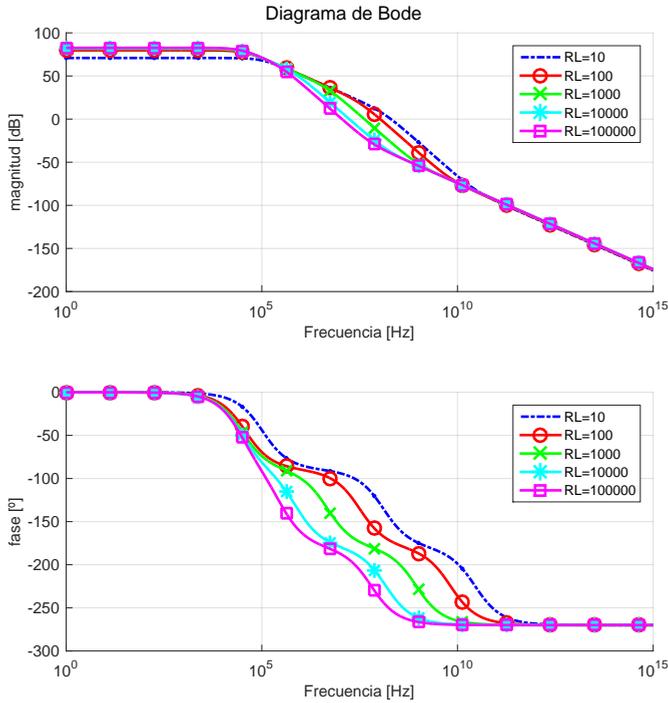


Figura 2.8 Respuesta en frecuencia de un regulador *LDO* compensado internamente para diferentes valores de R_L .

compuesto por una ganancia negativa $-A_{DF}$ y una capacidad C_{DF} , radica en incrementar el factor de calidad del par de polos complejos conjugados que aparecen en alta frecuencia, de forma que el sistema se haga estable. De acuerdo a [33], los valores, para cada uno de estas magnitudes, deben ser los mostrados en la Ecuación (2.14) y la Ecuación (2.15).

$$C_{DF} = C_C = g_{m1} \sqrt{\frac{8C_{p2}C_{OUT}}{g_{m2}g_{mp}}} \quad (2.14)$$

$$g_{m4} = 4g_{m1} \quad (2.15)$$

La principal ventaja de este esquema de compensación, frente a uno clásico como puede ser la técnica *Nested Miller Compensation*, es la eliminación de la capacidad interna C_{C2} , responsable de la degradación del ancho de banda. Una segunda ventaja es la reducción del valor de los elementos pasivos requeridos para su implementación, por lo que se consigue un ahorro en área. No obstante, como principal desventaja de esta técnica cabe señalar el incremento de la potencia estática disipada por el regulador como consecuencia de la introducción de elementos activos para implementar la ganancia negativa $-A_{DF}$.

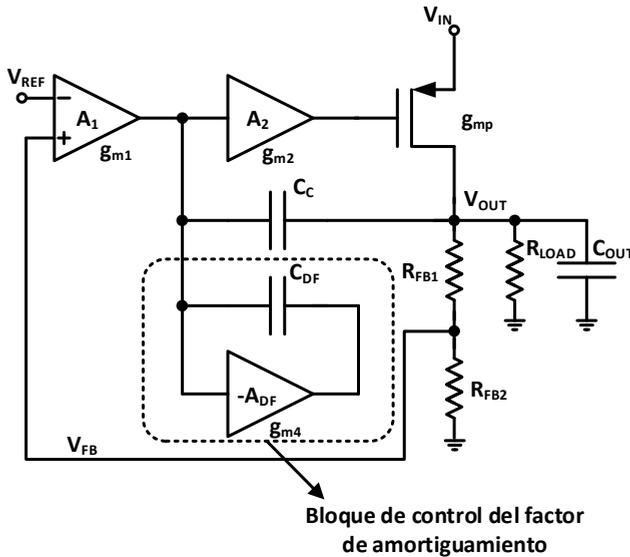


Figura 2.9 Estructura de la técnica de control del factor de amortiguamiento propuesta en [31].

Una variante de la técnica anteriormente expuesta es la presentada en [34], donde los autores muestran una técnica de compensación basada en la reducción del factor de calidad Q . Con este fin, se hace uso de un esquema que permite controlar el factor de calidad del par de polos complejos conjugados no dominantes, mejorando la estabilidad frente a cargas bajas. Para ello, se reutiliza la carga activa del par diferencial del amplificador de error como *buffer* de corriente. De esta forma, se consigue reducir el valor del factor de calidad del polinomio de segundo orden que fija el par de polos complejos no dominantes. Además de estos elementos, es necesario introducir un etapa adicional encargada de generar un cero en el semiplano izquierdo con el objetivo de mejorar la estabilidad e incrementar la corriente que se inyecta en la puerta del transistor de paso. La Figura 2.10 muestra el modelo de pequeña señal de esta solución.

Tal y como puede verse en la Figura 2.10, el aporte principal de esta técnica lo constituye la reutilización de estructuras del propio circuito para efectuar la compensación. Así, se evita añadir nuevas ramas al circuito que introduzcan un consumo adicional. Como punto negativo, cabe destacar el hecho de que la salida de cada una de las etapas se encuentra cargada por las capacidades de compensación, lo que provoca una reducción drástica del *slew-rate* del regulador LDO presentado.

Otra forma de mejorar la estabilidad de los reguladores LDO compensados internamente se corresponde con el uso de un multiplicador capacitivo, mediante la utilización de *buffers* de corrientes, [35]. Esta técnica se basa en el empleo de elementos activos para incrementar el efecto de la capacidad de compensación. De esta forma, se consigue reducir el área total empleada por la misma, aspecto crítico en la integración de sistemas dentro de un mismo *chip*. A su vez, cabe destacar que el área consumida por los elementos activos es

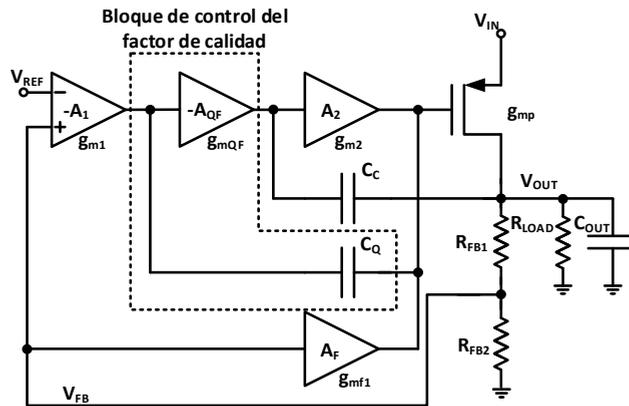


Figura 2.10 Estructura de la técnica de control del factor de calidad propuesta en [34].

despreciable debido a la reutilización de partes de los propios amplificadores operacionales ya existentes en el diseño.

Una de las primeras publicaciones registradas en la literatura que hace uso de esta técnica en un regulador *LDO* compensado internamente se corresponde con [36]. En ella, el autor muestra un regulador basado en un amplificador de dos etapas, donde la etapa de salida se corresponde con el transistor de paso. La Figura 2.11 representa un diagrama simplificado del esquema utilizado. Como puede observarse, la capacidad C_C es la responsable de realizar la separación de los polos mientras que C_{C2} es la encargada de hacer dominante el nodo interno en alta frecuencia. Además de esta técnica, el autor hace uso de un buffer entre la primera y segunda etapa para incrementar el *slew-rate* en el nodo de puerta, y empujar a alta frecuencia los polos no dominantes.

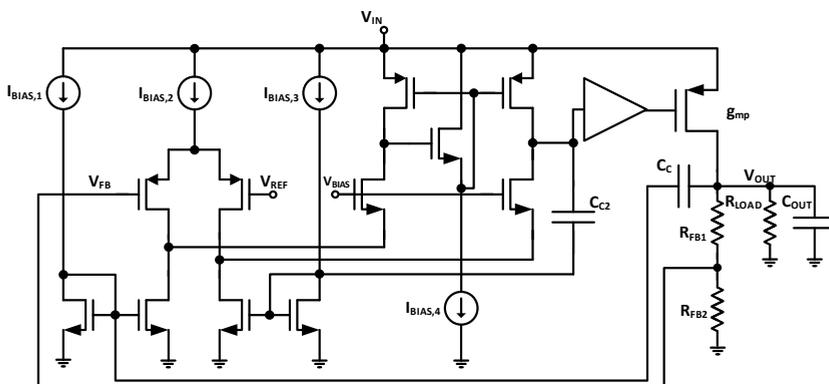


Figura 2.11 Estructura de un regulador *LDO* haciendo uso de la técnica propuesta en [36].

Otros ejemplos de esta técnica se pueden encontrar en [37–44]. En concreto, [39] introduce el uso de un derivador formado por una capacidad C_{CB} y un *buffer* de corriente.

Este último componente presenta una doble finalidad. Por una parte, permite establecer un camino directo entre la salida del regulador LDO y la puerta del transistor de paso. Por tanto, las variaciones de la tensión de salida V_{OUT} , sensadas y transformadas en una corriente por la capacidad C_{CB} , son inyectadas en la puerta del transistor de paso. Esto permite incrementar el *slew-rate* en dicho nodo, mejorando la respuesta transitoria de todo el sistema. Por otro lado, la inclusión de dicho *buffer* permite modificar la respuesta en frecuencia del regulador, separando los polos del sistema en bucle abierto ya que la capacidad C_{CB} es vista desde el nodo de la puerta del transistor de paso como $C = A_{CB}C_{CB}$, donde A_{CB} representa la ganancia del *buffer* de corriente. El efecto multiplicador de la técnica propuesta permite reducir el valor de la capacidad C_{CB} necesaria, permitiendo ahorrar área. Dicha arquitectura se puede contemplar con más detalle en la Figura 2.12.

A pesar de los casos anteriores, el uso de un *buffer* de corriente no es incompatible con las técnicas clásicas de compensación. El esquema presentado en [44], hace uso de *buffers* de corriente con un esquema de compensación *Reverse Nested Miller Compensation* (RNMC) para generar dos grados de libertad a la hora de diseñar el regulador propuesto.

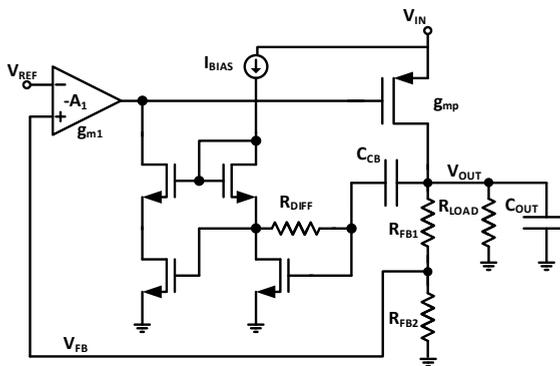


Figura 2.12 Estructura de un regulador LDO haciendo uso de la técnica propuesta en [39].

En la Tabla 2.1 se recogen las principales características de los trabajos anteriormente mencionados.

2.2.2 Respuesta transitoria

La capacidad de un regulador LDO para reaccionar frente a cambios en la tensión de alimentación y/o a variaciones de la corriente demandada por la carga define su respuesta transitoria. Ésta será mejor cuanto menor sea la magnitud de los picos de tensión producidos a su salida, y menor sea el tiempo de establecimiento. Este aspecto resulta crítico para evitar que la carga conectada al regulador sufra comportamientos anómalos, como un apagado accidental (un microcontrolador) o pérdida de prestaciones (un VCO).

Tabla 2.1 Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores LDO compensados internamente.

| | [31] | [34] | [39] | [40] ^a | [41] ^a | [42] | [44] |
|--------------------------------------|-----------------------------|----------------|---------------------|-------------------|-------------------|----------------|------------|
| Proceso | [μm] | 0.6 | 0.35 | 0.35 | 0.18 | 0.35 | 0.5 |
| V_{IN} | [V] | 1.5-4.5 | 1.2-3.3 | 3-4 | 1.2 | 1.1-1.5 | 1.2-1.5 |
| V_{OUT} | [V] | 1.3 | 1.0 | 2.8 | 1.0 | 1.0 | 1.21 |
| $V_{DROPOUT}$ | [mV] | 200 | 200 | 200 | 200 | 200 | 200 |
| $I_{LOAD,max}$ | [mA] | 100 | 100 | 50 | 100 | 50 | 100 |
| I_q | [μA] | 38 | - ^d | 65 | 39 ^c | 54 | 45 |
| C_{OUT} | [pF] | 1e2 | 1e2 | 1e2 | 1e4 | 1e2 | 1e5 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9620 | - ^d | 99.9350 | 99.9610 | 99.9460 | 99.9550 |
| Area | [mm^2] | 0.3073 | - ^d | 0.3500 | - ^d | - ^d | 0.4000 |
| Tiempo de respuesta ^b | [μs] | 2 | 50 | 15 | 25 ^c | 2 | 4 |
| ΔV_{OUT} variando V_{IN} | | | | | | | |
| • Máximo | [mV] | 160 | - ^d | 90 | - ^d | - ^d | 23 |
| • Mínimo | [mV] | -1.5 | - ^d | -10 | - ^d | - ^d | 12 |
| $\Delta V_{IN}/I_r$ ^e | [V/ μs] | 3/6 | - ^d | 1/1 | - ^d | - ^d | 1/0.1 |
| ΔV_{OUT} variando I_{LOAD} | | | | | | | |
| • Máximo | [mV] | 100 | 40 ^c | 80 | 210 | 100 | 47 |
| • Mínimo | [mV] | -90 | -20 ^c | -80 | -210 | -80 | -48 |
| $\Delta I_{LOAD}/I_r$ ^e | [mA/ μs] | 90/0.5 | 99.9/2 ^c | 50/1 | 99/1 | 50/1 | 99.999/0.1 |
| Regulación de línea | [mV/V] | - ^d | 0.344 | - ^d | - ^d | - ^d | 0.098 |
| Regulación de carga | [$\mu\text{V}/\text{mA}$] | - ^d | -338 | - ^d | - ^d | - ^d | 250 |

^a Valores obtenidos por simulación ^b Peor caso ^c Estimación realizada a partir de los datos proporcionados por el artículo ^d No aportan información ^e I_r : Tiempo de subida

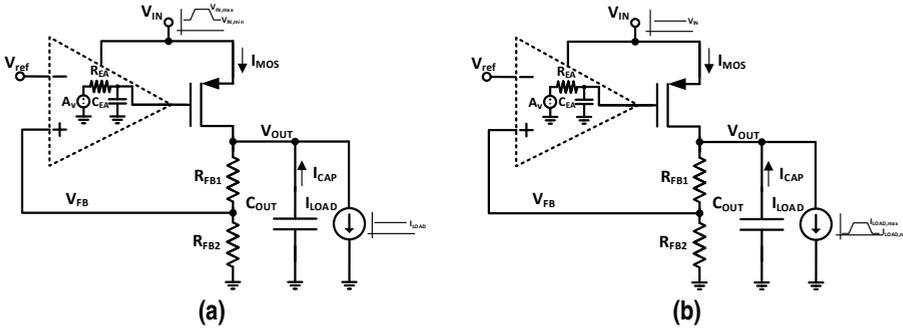


Figura 2.13 Esquema de un regulador LDO ante cambios (a) en la tensión de alimentación y (b) en la corriente de carga .

La Figura 2.13a muestra un ejemplo de variación de línea. En este caso, se propone el estudio de la respuesta de línea cuando la tensión de entrada se incrementa hasta su valor máximo en un tiempo finito t_r , volviendo a recuperar su valor inicial, en un tiempo dado, t_f . La respuesta de un regulador LDO ideal, cuyo lazo de realimentación presenta un ancho de banda infinito, se muestra en la Figura 2.14a. En ella, se puede observar cómo al cambiar la tensión V_{IN} , la respuesta del bucle de control es inmediata, modificando la tensión de puerta del transistor de paso para ajustarla a la nueva situación lo que provoca que V_{OUT} , I_{MOS} e I_{CAP} permanezcan inalterados.

La Figura 2.14b representa un caso más realista donde el amplificador de error se ha implementado como un sistema con un polo dominante, Figura 2.13a. Esta consideración va a provocar que el lazo de realimentación presente un ancho de banda finito y, por tanto, el regulador no pueda responder instantáneamente a las variaciones de la tensión de alimentación, causando que la tensión V_{OUT} cambie. Como se puede ver, mientras que la tensión V_{IN} permanece constante, la tensión de puerta del transistor de paso se fija a un valor que permite generar la corriente demandada por la carga. Sin embargo, cuando V_{IN} se incrementa, la tensión de puerta no es capaz de seguir dicho incremento instantáneamente, como consecuencia del ancho de banda finito del lazo de realimentación. Por tanto, la caída V_{SG} del transistor de paso se incrementa, aumentando la corriente I_{MOS} inyectada por el transistor de paso. Este incremento de corriente fluye hacia la capacidad C_{OUT} , puesto que la corriente I_{LOAD} permanece constante. Por tanto, la tensión V_{OUT} aumenta. Este comportamiento se mantiene hasta que el lazo de control comienza a actuar, incrementando V_{GATE} y reduciéndose la corriente que genera el transistor de paso, lo que supone que V_{OUT} reduzca su valor. El proceso finaliza, una vez que el amplificador de error se encarga de fijar V_{GATE} a su nuevo valor, haciendo que la caída V_{SG} se mantenga constante. En este instante, la tensión de salida habrá alcanzado nuevamente su valor nominal y la corriente I_{MOS} será equivalente a la demandada por la carga, I_{LOAD} .

Si la tensión de entrada V_{IN} se reduce repentinamente, el proceso que tiene lugar es contrario al anterior. En esta nueva situación, la caída V_{SG} se ve reducida, motivando que la corriente generada por el transistor de paso, I_{MOS} , sea menor que I_{LOAD} . Esta diferencia de corriente es aportada por la capacidad C_{OUT} puesto que, si se asume que I_{LOAD} es constante,

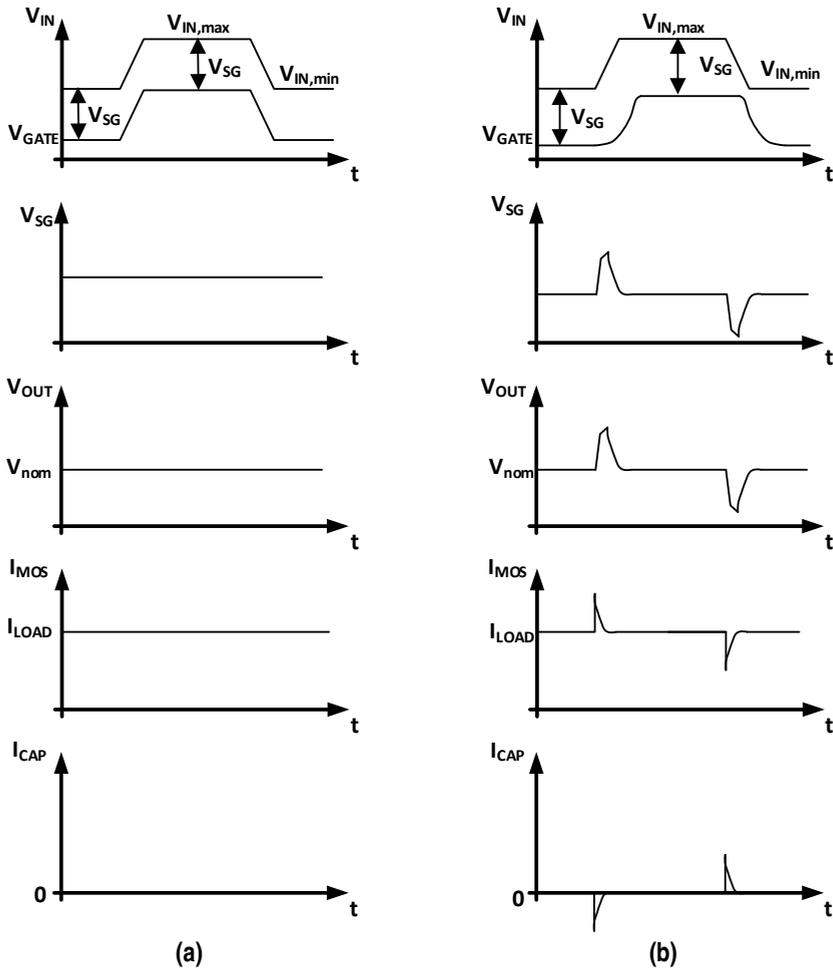


Figura 2.14 Esquema de un regulador *LDO* ante cambios (a) en la tensión de alimentación y (b) en la corriente de carga .

$I_{LOAD} = I_{MOS} + I_{CAP}$. Esto va a provocar que la tensión V_{OUT} reduzca su valor, hasta que el lazo de realimentación comience a actuar, reduciendo el valor de V_{GATE} . A partir de ese punto, la caída V_{SG} y la corriente I_{MOS} comenzarán a incrementarse acercándose a su valor original, permitiendo que V_{OUT} regrese a su valor nominal. Finalmente, una vez que V_{GATE} , V_{OUT} e I_{MOS} recuperen su valor inicial, la corriente I_{CAP} volverá a ser cero, permitiendo que la capacidad C_{OUT} recupere su carga inicial.

Otro aspecto importante de la respuesta transitoria es la capacidad de reacción del regulador *LDO* frente a variaciones rápidas de la carga; es decir, a cambios en la corriente que entrega al dispositivo que se encuentra a su salida. La Figura 2.15 representa un

ejemplo de variación de la carga, donde se pretende estudiar el caso en que la corriente I_{LOAD} , demandada por la carga, incrementa su valor hasta alcanzar su máximo en un tiempo t_r . A continuación, y tras un intervalo de tiempo no definido, T , recuperará su valor inicial transcurrido un instante t_f . Para este nuevo caso, la respuesta de un regulador LDO ideal, mostrada en la Figura 2.15a, es instantánea. Al no presentar una limitación de ancho de banda, el lazo de control responde en el mismo instante que la corriente I_{LOAD} cambia, modificando la tensión V_{GATE} para ajustar la caída V_{SG} a las nuevas condiciones. De esta forma, la tensión V_{OUT} y la corriente I_{CAP} permanecen constantes.

La Figura 2.15b presenta la respuesta del regulador LDO en el caso de usar un modelo de amplificador operacional de un sólo polo y ganancia finita para el amplificador de error, como el indicado en la Figura 2.13b. Al igual que en la respuesta transitoria de línea, esta consideración va a limitar el ancho de banda del lazo de realimentación, y, por consiguiente, la capacidad de regulación del LDO para mantener constante la tensión de salida V_{OUT} . En este nuevo caso, cuando la corriente I_{LOAD} aumenta su valor rápidamente, el lazo de control no es capaz de reaccionar ante esta variación, y el exceso de corriente que demanda la carga debe ser suministrado por la capacidad C_{OUT} , incrementándose la corriente I_{CAP} . Esto provoca una reducción de la carga almacenada en C_{OUT} , decrementándose el valor de la tensión de salida V_{OUT} . Una vez que el lazo de control comienza a actuar e incrementa la tensión de puerta del transistor de paso, I_{CAP} se reduce y la corriente I_{MOS} comienza a aumentar para suministrar el nuevo valor I_{LOAD} . Alcanzado este punto, la tensión de salida comienza a recuperar su valor nominal. Una vez que el lazo de regulación consigue establecer el nuevo valor de V_{GATE} , la caída V_{SG} logra ajustarse a la nueva condición y la tensión de salida alcanza su valor nominal. Esta situación será permanente hasta que se produzca un nuevo cambio en la carga.

Por su parte, cuando I_{LOAD} reduce su valor en un breve intervalo de tiempo, la caída V_{SG} se encuentra en su valor máximo debido a que el regulador está suministrando $I_{LOAD,max}$. Esto provoca que mientras el lazo de control es capaz de actuar, el exceso de corriente que se genera sea absorbido por la capacidad de salida, como se refleja en la Figura 2.15b. Por todo ello, V_{OUT} incrementa su valor debido al aumento de la carga de dicha capacidad. Esta condición se mantiene en el tiempo hasta que el lazo de control recupera su capacidad de actuación. A partir de ese instante, el amplificador de error comienza a incrementar el valor de V_{GATE} , reduciendo la caída V_{SG} y, por tanto, la corriente I_{MOS} entregada a la carga lo que permite que I_{CAP} se anule y V_{OUT} alcance su valor máximo. A continuación, la tensión de puerta del transistor de paso alcanzará su valor final, permitiendo que V_{OUT} recupere su valor nominal y la corriente I_{MOS} se ajuste al valor demandado por la carga. Llegado este punto, el lazo de realimentación se encargará nuevamente de regular I_{MOS} , V_{GATE} y V_{OUT} .

Como se desprende de esta descripción cualitativa de la respuesta transitoria de un regulador LDO, el ancho de banda del lazo de realimentación, así como la capacidad de cargar y descargar la puerta del transistor de paso, son dos parámetros críticos a la hora de conseguir mejorar la respuesta transitoria global. Siguiendo esta línea, se han publicado durante los últimos años una gran cantidad de trabajos, [45–62], que buscan mejorar la respuesta transitoria acudiendo a técnicas como la polarización adaptativa y/o dinámica del amplificador de error, el uso de amplificadores de error de tipo clase AB o *buffers* que permitan cargar y descargar la puerta del transistor de paso rápidamente, sin

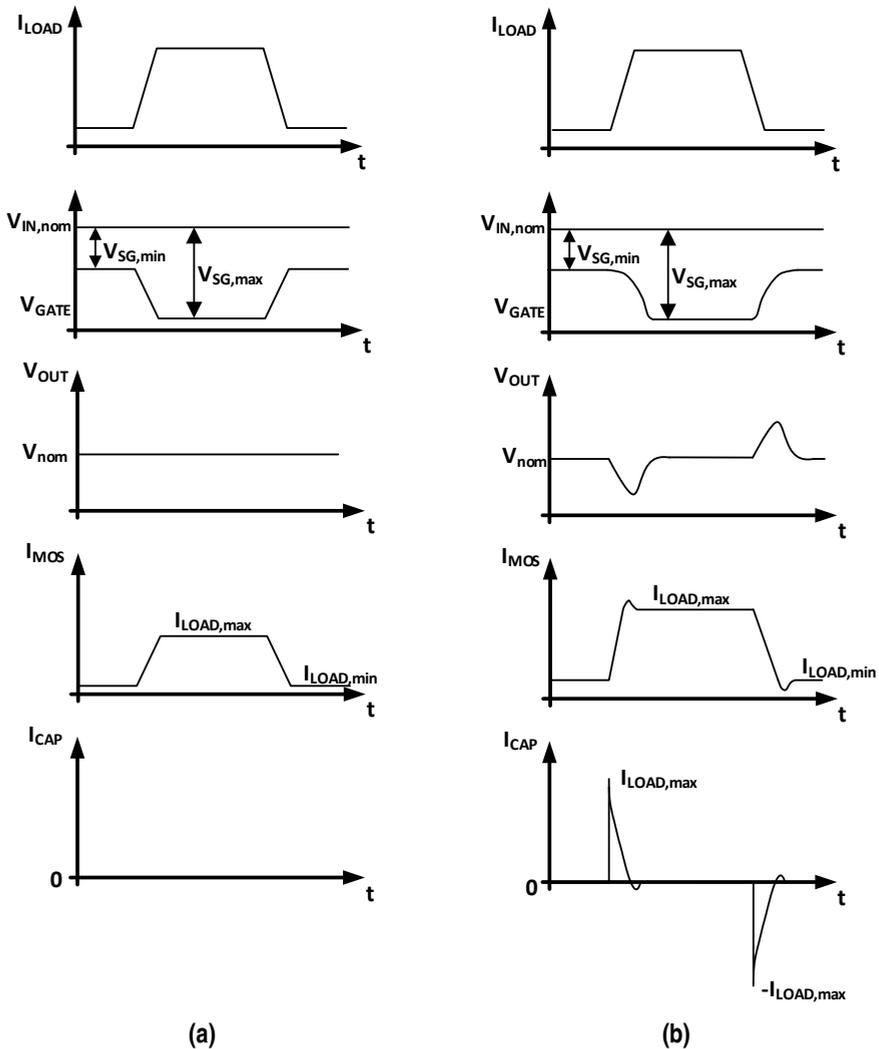


Figura 2.15 Esquema de un regulador *LDO* ante cambios (a) en la tensión de alimentación y (b) en la corriente de carga .

incrementar el consumo quiescente. Seguidamente, se presentan algunos de los trabajos más significativos destinados, principalmente, a mejorar la respuesta transitoria.

Una de las primeras técnicas utilizadas para mejorar la respuesta transitoria de los reguladores *LDOs* internamente compensados es el uso de circuitos polarizados dinámicamente. Ésta se basa en modificar la corriente de polarización del regulador conforme varía I_{LOAD} . Por tanto, para cargas ligeras, dicha corriente se minimiza con el objetivo de maximizar la eficiencia en corriente. Ahora bien, para cargas altas, se tiende a aumentar

con la finalidad de incrementar la velocidad del lazo de control y la ganancia, permitiendo al regulador reaccionar con mayor rapidez a las posibles variaciones de la carga. Por su parte, la principal desventaja que presenta esta técnica es la propia variación del consumo quiescente así como la complejidad a la hora de diseñar este tipo de soluciones. Esto último se debe al hecho de que es necesario estudiar cada una de las regiones de funcionamiento del regulador para comprobar la estabilidad del mismo.

La primera aparición de un regulador LDO compensado internamente haciendo uso de un *buffer* con polarización dinámica se presenta en [45], donde el autor usa como amplificador de error un esquema propuesto por [63]. En este caso, la corriente de polarización del par diferencial es generada mediante un amplificador en corriente. Esto provoca que la ganancia de lazo abierto de este amplificador operacional autopolarizado se incremente por un factor $g_{m_{tail}} r_{o^2}$, siendo $g_{m_{tail}}$ la transconductancia del transistor que actúa como fuente de corriente y r_{o^2} la resistencia de salida de la etapa que genera la tensión de puerta del mismo. A su vez, la corriente que polariza el par diferencial será proporcional a I_{LOAD} .

En [46], los autores hacen uso de un convertor de corriente de tipo I (CCI²) para sensar la corriente entregada a la carga y poder generar una corriente de polarización proporcional a la misma. La principal ventaja de utilizar este método es que la corriente I_{BIAS} sigue con exactitud a I_{LOAD} , permitiendo minimizar la regulación de carga al incrementar el ancho de banda del lazo de control. La Figura 2.16 representa la celda utilizada para monitorizar la corriente entregada a la carga.

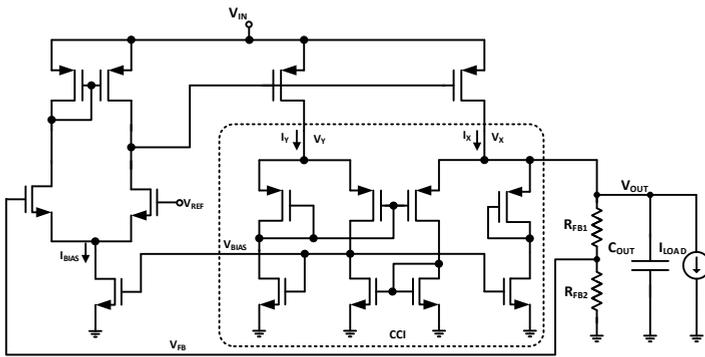


Figura 2.16 Regulador LDO haciendo uso de un CCI para sensar la corriente I_{LOAD} y generar una corriente de polarización I_{BIAS} proporcional.

La idea de sensar la corriente I_{LOAD} se reaprovecha en [48] y [52] para una mejora de la respuesta transitoria. Los autores de [48] dividen la fuente de corriente que polariza el amplificador de error en dos, una es la encargada de generar una corriente I_{BIAS} constante y de valor reducido. La otra fuente es la responsable de suministrar la corriente proporcional al valor de la carga, I_{AB} . Como se desprende de la Figura 2.17, esta corriente es generada a través de un espejo de corriente simple. De esta forma, al igual que en el caso anterior, el ancho de banda y el *slew-rate* del amplificador de error se ven aumentados conforme la

² Current Conveyor Type I

carga del regulador se incrementa, permitiendo cargar y descargar la capacidad parásita de puerta del transistor de paso con mayor rapidez. Sin embargo, las dimensiones del transistor encargado de replicar las variaciones de la carga deben ser ajustadas para poder replicarlas correctamente. Esto se debe a que la caída V_{SD} , que dicho transistor presenta, es mayor que la tensión de *dropout*. Por consiguiente, su tamaño deberá ser inferior al del transistor de paso, una vez se consideren los efectos provocados por la modulación del canal. El uso de un espejo de corriente simple es replicado en [53] para generar la corriente de polarización adaptativa. A diferencia del trabajo anterior, el amplificador de error es implementado mediante un transconductor de alto ancho de banda presentando en [47].

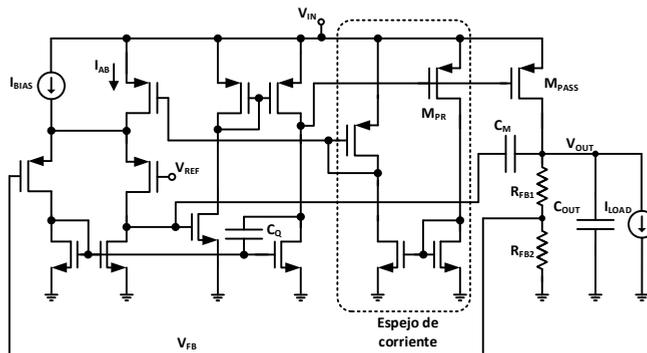


Figura 2.17 Regulador *LDO* haciendo uso de un espejo de corriente simple para generar I_{BIAS} en [48].

El trabajo [52] utiliza el convertor de corriente propuesto en [46] para sensar la carga, en vez de un espejo de corriente simple, y añade un nuevo bloque para mejorar los picos producidos en la tensión de salida como consecuencia de la variación de la corriente de carga. Este nuevo bloque se encarga de incrementar aún más el *slew-rate* del amplificador de error en el nodo de puerta. Los transistores se han diseñado para trabajar en *subthreshold*. De esta forma, en los instantes de cambio de la corriente I_{LOAD} se puede generar una corriente alta que ayude a la carga y descarga de la capacidad parásita del transistor sin incrementar el consumo quiescente de todo el regulador en condiciones estacionarias.

En [56], los autores proponen el uso de un amplificador de error con polarización adaptativa que presenta una alta ganancia y alto *slew-rate*. Con ello pretenden mejorar la respuesta transitoria manteniendo la topología clásica de un regulador *LDO*. En concreto, el amplificador de error propuesto se basa en los trabajos publicados en [64] y [65]. Por una parte, la mejora del *slew-rate* se efectúa mediante un esquema de polarización adaptativa basado en la celda *Flipped Voltage Follower (FVF)* [66,67]. Como resultado, en presencia de una señal de entrada, esta celda permite incrementar la corriente de polarización de la etapa de entrada, superando la corriente de polarización I_{BIAS} . Sin embargo, cuando la señal de entrada deja de aplicarse, el consumo de la etapa de entrada se corresponde con I_{BIAS} . Por su parte, la mejora de la ganancia se efectúa a través de la utilización de dos amplificadores de puerta común cuya salida es sumada a través de un espejo de corriente.

A su vez, para incrementar aún más el *slew-rate* del amplificador de error en el nodo de puerta, se utiliza un bloque que permite acoplar las variaciones de la tensión de salida al nodo de puerta así como actuar de compensación, al aprovechar el efecto multiplicador que presenta. Este bloque está compuesto por un amplificador de puerta común y una capacidad C_a , responsable de compensar el regulador presentado. La Figura 2.18 muestra la estructura de todo el conjunto.

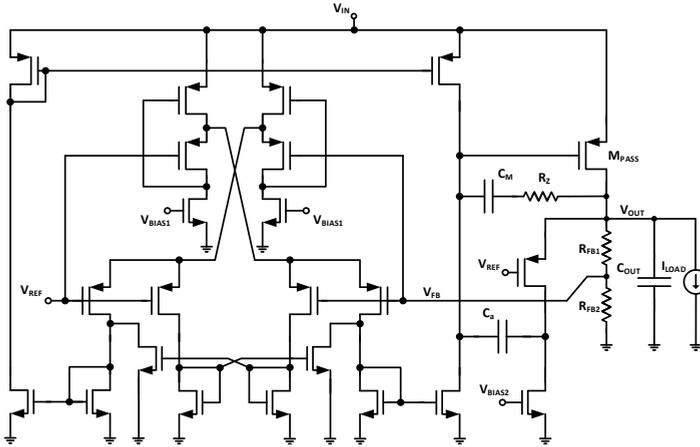


Figura 2.18 Regulador LDO haciendo uso de un esquema de polarización adaptativa basado en la celda FVF con mejora de la ganancia.

En contraposición con los trabajos anteriores, en [54], los autores proponen un esquema de polarización adaptativo que les permite dividir el transistor de paso en dos: uno de tamaño reducido, encargado de suministrar la corriente cuando la demanda por parte de la carga es baja, y otro, de gran dimensión, destinado a proporcionar altas cargas. Este último puede ser encendido o apagado en función del valor de la corriente I_{LOAD} . Con ello consiguen que, para corrientes bajas, la segunda etapa del amplificador de error se encuentre en triodo, apagando el transistor de paso principal. A partir del instante en el que la corriente I_{LOAD} supera un cierto umbral, esta etapa comienza a amplificar, encendiendo el transistor de mayor tamaño. Esta separación permite disponer de dos lazos de control, compuestos por dos y tres etapas de amplificación. La virtud principal de este esquema es la mejora de la estabilidad cuando la corriente demandada por la carga es baja, al convertir el regulador en un sistema de dos polos. Por su parte, la corriente de polarización del amplificador de error es generada a través de un espejo de corriente, de igual forma que en los trabajos anteriormente analizados. No obstante, en este caso, el transistor utilizado para sensar la corriente es el transistor de tamaño reducido lo que les permite limitar la cantidad de corriente que se genera para el amplificador de error. Por tanto, se consigue reducir el consumo quiescente del regulador sin perder prestaciones. En [61], los autores presentan un esquema similar. Sin embargo, a diferencia de [54], la corriente I_{LOAD} se estima a partir del nodo de puerta.

Por último, [62] presenta una metodología de diseño de reguladores *LDOs* con polarización adaptativa donde los autores buscan una solución de compromiso que les permita optimizar la respuesta transitoria, la eficiencia en corriente y el consumo quiescente. Con el fin de ilustrar esta metodología, utilizan el esquema presentando en la Figura 2.19, donde se puede observar un esquema clásico de polarización adaptativa, junto con el uso de una compensación de tipo *Nested Miller*. A partir de este esquema, se determina la relación existente entre la corriente de polarización del amplificador de error y el valor mínimo de la corriente de carga para que el regulador sea estable. Además, esta relación les permite determinar el ratio óptimo que debe presentar la fuente de corriente adaptativa para no degradar la eficiencia en corriente.

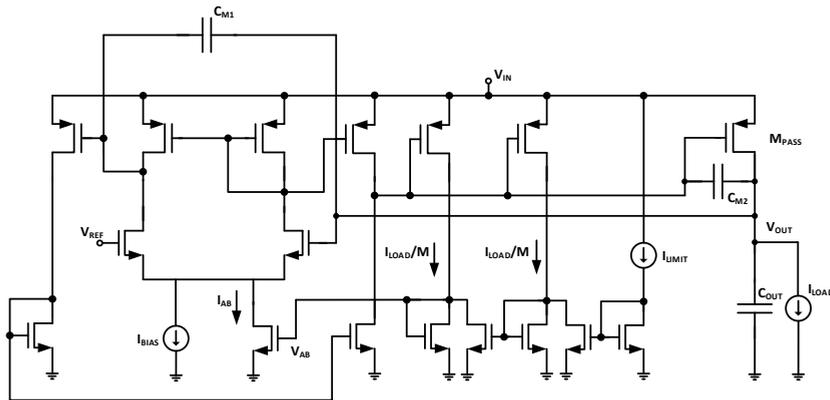


Figura 2.19 Regulador *LDO* haciendo uso de un esquema de polarización adaptativa basado en la celda *FVF* con mejora de la ganancia.

Otra técnica utilizada para mejorar la respuesta transitoria de los reguladores *LDOs* radica en incrementar el *slew-rate* del amplificador de error. Esta mejora permite reducir el tiempo de carga y de descarga de la capacidad parásita del transistor de paso ya que el amplificador de error requiere de un menor tiempo para fijar el nuevo valor de tensión en la puerta del mismo. La utilidad de esta técnica radica en que el consumo quiescente del regulador no varía en función de la carga del mismo, por lo que el punto de operación del amplificador de error se mantiene.

Una forma de mejorar esta magnitud se encuentra en el uso de una etapa de salida de tipo *push-pull*. Un ejemplo de ello se puede encontrar en [47], donde los autores utilizan dos amplificadores de puerta común y un circuito de suma en corriente. Este último bloque es necesario para poder controlar la etapa *push-pull*. Con este esquema, consiguen una mejora de la respuesta de línea y de carga. Otro ejemplo es el presentado en [49] donde los autores implementan un circuito para el aumento del *slew-rate* negativo con el fin de mejorar la respuesta del regulador frente a incrementos de la corriente demandada por la carga. Para ello, implementan un segundo lazo de control con alto ancho de banda, permitiendo al regulador responder con mayor rapidez frente a variaciones de I_{LOAD} . El mayor inconveniente de este esquema es que la introducción de este segundo lazo de control actúa al mismo tiempo que el lazo principal, degradando la estabilidad del sistema.

Además, la mejora del *slew-rate* se hace únicamente en un sentido, el negativo. Esto provoca que el amplificador de error deba preestablecer un mayor consumo quiescente debido a que es el responsable de cargar la capacidad parásita del transistor de paso, cuando la corriente I_{LOAD} se reduce.

Otro circuito para incrementar aún más el *slew-rate* puede verse en [55], donde se hace uso de un amplificador clase AB, basado en un OTA publicado en [64]. Este bloque se encarga de controlar la etapa *push-pull* a través de dos comparadores en corriente, responsables de detectar si se está produciendo un incremento o una reducción de la tensión de salida V_{OUT} . De esta forma, si la corriente I_{LOAD} se reduce rápidamente, la salida del comparador asociado se activa, incrementando la corriente de carga de la capacidad parásita. En el caso contrario, cuando I_{LOAD} se incrementa, V_{OUT} tiende a disminuir. Este cambio es detectado por el otro comparador, provocando el aumento de la corriente de descarga. Como consecuencia, se consigue mejorar la respuesta en gran señal del regulador de forma independiente del lazo principal de control.

Otro ejemplo de uso de esta variante para mejorar el *slew-rate* se presenta en [57]. Los autores proponen el uso de un transistor de paso que integra un buffer con una etapa de salida de tipo *push-pull* para manejar la puerta del transistor de paso. La finalidad de este *buffer* es doble. Por una parte, desde el punto de vista de gran señal, ayuda a evitar la limitación por *slew-rate* del amplificador de error. Por otra, desde un punto de vista de pequeña señal, ayuda a mejorar la estabilidad de todo el sistema, al empujar a frecuencias más altas el polo debido a la capacidad parásita del transistor de paso.

Otra forma de mejorar la respuesta transitoria se basa en la utilización de acoplamientos RC que permitan mejorar el *slew-rate* del amplificador de error en los momentos de variación de la tensión de entrada o de la corriente requerida por la carga. Un ejemplo de esta técnica se presenta en [50] donde se propone un circuito de polarización dinámico que aprovecha los acoplamientos RC, para incrementar la corriente del amplificador de error, en los instantes de cambio de la tensión de salida. Para ello, los autores utilizan dos comparadores que les permiten detectar cuándo se está produciendo una variación en la tensión V_{OUT} y en el sentido en que ésta se da. Estas señales son las utilizadas para generar los incrementos de la corriente de polarización. El trabajo [51] usa las tensiones V_{OUT} y V_{REF} para incrementar la corriente de la etapa de salida del amplificador de error.

Por último, otra variante destinada a la mejora de la respuesta transitoria se corresponde con el trabajo presentado en [60] donde los autores modulan la tensión de sustrato del transistor de paso para reducir su tensión umbral V_{th} . Esto les permite, dada una corriente I_{LOAD} máxima, reducir el tamaño del transistor. Por tanto, la capacidad parásita asociada a la puerta del mismo se reducirá, empujando el polo dominante del sistema a una frecuencia más alta. Esto permite un incremento del ancho de banda de todo el sistema que repercute en una mejora del tiempo de respuesta. Para modular la tensión de sustrato, los autores utilizan un segundo amplificador de error que les permita fijar correctamente dicha tensión, evitando que el diodo que forma la unión sustrato-fuente entre en conducción. El principal inconveniente de esta técnica radica en el uso de este segundo amplificador que requiere de un gran ancho de banda, y, por tanto, un alto consumo quiescente para garantizar la estabilidad de todo el sistema.

En la Tabla 2.2 y Tabla 2.3 se recogen las principales características de los trabajos anteriormente mencionados.

Tabla 2.2 Comparativa de los trabajos expuestos.

| | [46] | [47] | [48] | [49] | [50] | [51] | [52] | [53] | [54] |
|--------------------------------------|--------------------------------|---------------------|-----------------------|------------------|---------|-------------------|---------------------|---------------------|------------|
| Proceso | [μm] | 0.35 | 0.18 | 0.35 | 0.35 | 0.13 | 0.35 | 0.35 | 0.065 |
| V_{IN} | [V] | 2.0-3.6 | 1.0-1.8 | 1.2-3.3 | 1.8-3.3 | 0.9-1.5 | 1.2-3.3 | 1.2 | 2.5-4.0 |
| V_{OUT} | [V] | 1.8 | 0.9 | 1.0 | 1.6-3.1 | 0.8 | 1.0-3.1 | 1.0 | 2.35 |
| $V_{DROPOUT}$ | [mV] | 200 | 100 | 200 | 200 | 100 | 200 | 200 | 150 |
| $I_{LOAD,max}$ | [mA] | 240 | 50 | 100 | 100 | 50 | 100 | 100 | 100 |
| I_g^a | [μA] | 1030 | 1.2 | 680.5 | 37.7 | 1.33 | 76 | 380.1 | 7 |
| C_{OUT} | [pF] | $_b$ | 1e2 | 1e2 | 1e2 | 1e4 | 0 | 1e2 | 1e2 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9572 | 99.9976 | 99.3246 | 99.9623 | 99.9987 | 99.9241 | 99.6213 | 99.9930 |
| Area | [mm^2] | 0.1100 ^c | 0.09 ^{ad} | $_b$ | 0.1445 | 0.03045 | 0.35 ^c | 0.0987 ^c | 0.0642 |
| Tiempo de respuesta | [μs] ^a | 0.2 ^e | 4 | 0.5 ^e | 9 | 140 | 2.4 | 5 ^e | 0.15 |
| ΔV_{OUT} variando V_{IN} | [mV] | 20 | 400 ^e | 60 | $_b$ | 100 ^e | 175 ^e | 50 | 196 |
| • Máximo | [mV] | -20 | -250 ^e | -70 | $_b$ | -250 ^e | -110 ^e | -38 | -183 |
| • Mímino | [V/ μs] | 0.1/2 | 0.5/1 ^e | 0.20/1 | $_b$ | 0.60/0.5 | 1/2 | 1/1 | 0.50/0.5 |
| ΔV_{OUT} variando I_{LOAD} | [mV] | 10 | 200 ^e | 12 | 97 | 100 ^e | 90 | 50 | 231 |
| • Máximo | [mV] | -50 | -425 ^e | -12 | -78 | 750 ^e | -90 | -105 | -243 |
| • Mímino | [mA/ μs] | 149/2 | 49,500/2 ^e | 25/1 | 1000/1 | 500/2 | 99/1 | 100/1 | 99,950/0.5 |
| Regulación de línea | [mV/V] | 0.8000 | 3.6250 | 0.2200 | 0.0574 | $_b$ | 7.1430 ^e | 0.3900 | 1.0000 |
| Regulación de carga | [$\mu\text{V}/\text{mA}$] | 2.77 | 148.00 | 9.90 | 109.00 | $_b$ | 170.00 ^e | 78.20 | 80.00 |

^a Peor caso ^b No aportan información ^c Área efectiva ^d PADs incluidos ^e Estimación realizada a partir de los datos proporcionados por el artículo
^f t_r : Tiempo de subida

Tabla 2.3 Comparativa de los trabajos expuestos.

| | [55] | [56] | [57] | [58] | [59] | [60] | [61] | [62] |
|--------------------------------------|------------------|-----------|---------------------|---------------------|----------|-----------------------|------------|-----------------|
| Proceso | 0.35 | 0.11 | 0.065 | 0.065 | 0.13 | 0.13 | 0.13 | 0.18 |
| V_{IN} | 1.2 | 1.8-3.8 | 0.75-1.2 | 0.75-1.2 | 0.75-1.2 | 1.1-1.4 | 1 | 1.4 |
| V_{OUT} | 1.0 | 1.6-3.6 | 0.5 | 0.55 | 0.502 | 1.0 | 0.8 | 1.2 |
| $V_{DROPOUT}$ | 200 | 200 | 250 | 200 | 148 | 100 | 200 | 200 |
| $I_{LOAD,max}$ | 100 | 200 | 50 | 50 | 100 | 5 | 100 | 100 |
| I_q^a | 14.0 | 41.5 | 16.2 | 487 | 43.2 | 99.04 | 93 | 141 |
| C_{OUT} | 1e2 | 4e1 | 1e2 | 1e4 | 1e2 | $_b$ | 1e2 | 1e2 |
| $\eta _{I_{LOAD,max}}$ | 99.9860 | 99.9793 | 99.9676 | 99.0354 | 99.9568 | 98.0577 | 99.9071 | 99.8592 |
| Area | 0.0378 | 0.2100 | 0.0096 ^c | 0.0133 ^c | $_b$ | 0.02474 | 0.0420 | 0.07 |
| Tiempo de respuesta | 2.7 | 0.65 | 1.2 | 20 ^d | 12.3 | 1 ^d | 1.7 | 30 ^d |
| ΔV_{OUT} variando V_{IN} | | | | | | | | |
| • Máximo | $_b$ | $_b$ | 36.25 | 4.1 | $_b$ | 4 ^d | $_b$ | $_b$ |
| • Mínimo | $_b$ | $_b$ | -41.88 | -4.3 | $_b$ | -4 ^d | $_b$ | $_b$ |
| $\Delta V_{IN}/I_q^e$ | $_b$ | $_b$ | 0.45/5 | 0.45/10 | $_b$ | 0.27/0.1 ^d | $_b$ | $_b$ |
| ΔV_{OUT} variando I_{LOAD} | | | | | | | | |
| • Máximo | 200 ^d | 200 | 96.9 | 29 | 92 | 200 ^d | 90 | 85 |
| • Mínimo | -270 | -385 | -100 | -113 | -270 | -220 ^d | -120 | -110 |
| $\Delta t_{LOAD}/t_r^e$ | 99.9/1 | 199.5/0.5 | 500/1 | 50/0.1 | 1000/0.1 | 100.1 ^d | 99.999/0.1 | 99.99/1 |
| Regulación de línea | $_b$ | 8.9 | 6.67 | 4 | 2.86 | 54.48 ^d | 1.0 | 0.6 |
| Regulación de carga | $_b$ | 108 | 560 | 180 | $_b$ | $_b$ | 140 | 270 |

^a Peor caso ^b No aportan información ^c Área efectiva ^d Estimación realizada a partir de los datos proporcionados por el artículo
^e t_r : Tiempo de subida

2.2.3 Rechazo a las variaciones de la tensión de alimentación

El rechazo a las variaciones de la tensión de alimentación (en inglés, *Power-Supply Ripple Rejection* o *PSRR*) hace referencia a la capacidad de regular la tensión de salida V_{out} frente a una tensión de entrada ruidosa. A diferencia de la regulación de línea, el *PSRR* determina la medida en la que las perturbaciones de baja y/o alta frecuencia existentes en V_{in} van a aparecer en la tensión regulada. La Figura 2.20a muestra los diferentes caminos que afectan al *PSRR* en un regulador *LDO* junto con una representación del *PSRR*, Figura 2.20b. Como se puede observar, existen tres caminos diferentes que contribuyen al *PSRR*. El primero de ellos procede del bloque que genera la tensión V_{REF} . Este camino contribuye fundamentalmente a las bajas frecuencias. El segundo se origina como consecuencia del valor finito que posee el amplificador de error al rechazo de las variaciones de la tensión de alimentación. El último camino está compuesto por dos contribuciones. Por un lado, el del bucle principal de regulación y, por otro lado, el carácter finito de la resistencia de salida del transistor de paso así como la presencia de capacidades parásitas que acoplan las altas frecuencias a la salida.

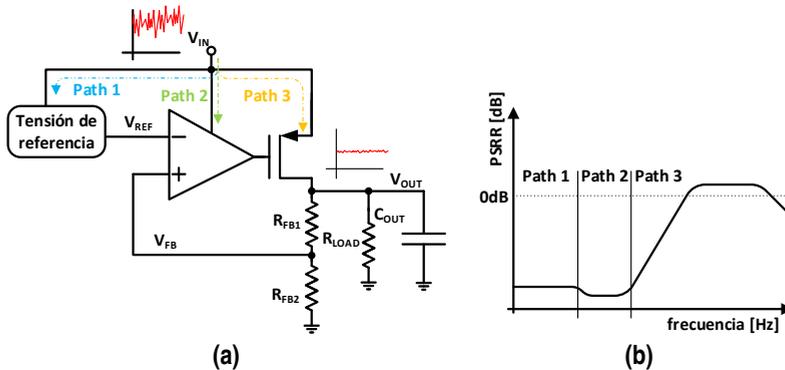


Figura 2.20 Representación de las posibles contribuciones al *PSRR*. (a) Caminos desde V_{in} a V_{out} por donde las interferencias de la línea pueden acoplarse y (b) contribuciones de los diferentes caminos al *PSRR*.

Para determinar cómo afectan cada una de estas contribuciones a un regulador *LDO*, se utilizará el modelo de pequeña señal mostrado en la Figura 2.21, donde el amplificador de error ha sido sustituido por un amplificador ideal de ganancia A_v y un único polo, $\omega_{p1} = 1/R_p C_p$. En el caso del transistor de paso, éste se ha modelado utilizando un modelo de pequeña señal para frecuencias medias, donde se han tenido en cuenta todas las capacidades parásitas que afectan. Por último, la impedancia de salida se ha modelado únicamente como una capacidad, puesto que el objetivo de este estudio son los reguladores *LDO* compensados internamente para su utilización en *SoCs*. Por tanto, la capacidad C_{out} se corresponde con la suma de las capacidades parásitas que el regulador observaría desde cada una de las cargas colocadas a su salida. Si se desea extender el estudio a reguladores lineales compensados externamente, sería necesario considerar la inductancia parásita, L_c , y la resistencia serie equivalente, R_{ESR} , presentes en cualquier condensador físico.

Resolviendo las ecuaciones nodales del modelo anterior, se tiene la Ecuación (2.16).

$$PSRR(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{R_{eq}}{r_{op}} \frac{1 + g_{mp}r_{op} + s \cdot a_1 + s^2 \cdot a_2}{1 + g_{mp}R_{eq}A_v\beta + s \cdot b_1 + s^2 \cdot b_2} \quad (2.16)$$

donde

$$R_{eq} = (R_{fb1} + R_{fb2}) || R_L || r_{op} \quad (2.17)$$

$$\beta = \frac{R_{fb2}}{R_{fb1} + R_{fb2}} \quad (2.18)$$

$$a_1 = R_p(1 + g_{mp}r_{op}) [C_p + C_{gd}] + r_{op} [C_{db} + C_{sd}] \quad (2.19)$$

$$a_2 = r_{op}R_p [C_{db} + C_{sd}] [C_p + C_{gs} + C_{gd}] + r_{op}R_pC_{gs}C_{gd} \quad (2.20)$$

$$b_1 = R_{eq} [C_{OUT} + C_{gd} + C_{db} + C_{sd}] + R_p [C_p + C_{gs} + C_{gd}] + g_{mp}R_pC_{gd}R_{eq} - R_{eq}C_{gd}A_v\beta \quad (2.21)$$

$$b_2 = R_pR_{eq} [[C_{OUT} + C_{gd} + C_{db} + C_{sd}] [C_p + C_{gs} + C_{gd}] - C_{gd}^2] \quad (2.22)$$

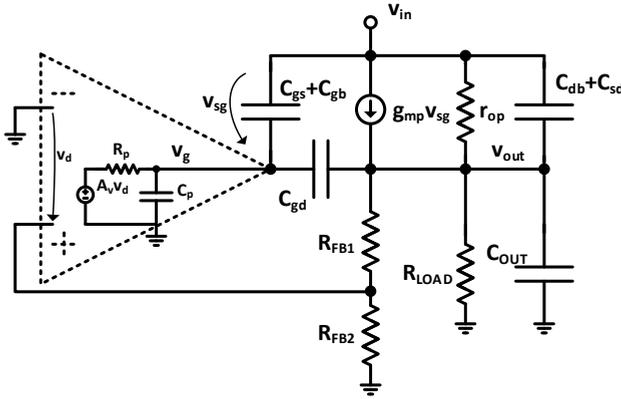


Figura 2.21 Modelo de pequeña señal utilizado para el cálculo del PSRR.

Asumiendo que $g_{mp}r_{op} \gg 1$, y particularizando la Ecuación (2.16) para $s = 0$, puede verse que el valor del PSRR coincide con el de la regulación de línea, Ecuación (2.6). Este resultado era de esperar debido a que la regulación de línea mide la inmunidad de la tensión regulada a variaciones de la tensión de DC de V_{in} .

$$PSRR(0) = \frac{R_{eq}}{r_{op}} \frac{1 + g_{mp}r_{op}}{1 + g_{mp}R_{eq}A_v\beta} \approx \frac{1}{A_v\beta} \quad (2.23)$$

La Figura 2.22a muestra una curva típica de PSRR para un regulador LDO compensado internamente. Como se puede observar, a partir de $\omega_{z1} \approx 1/R_p [C_p + C_{gd}]$, la respuesta se degrada, como consecuencia de la pérdida de ganancia del bucle de regulación. Esta degradación persiste hasta que se hace dominante el efecto de la impedancia de salida. No

obstante, cuando se trata de un *LDO* compensado externamente, donde la capacidad C_{OUT} es dominante, el efecto de la impedancia de salida se observa en un rango de frecuencias mucho menor. Esto provoca que el efecto de la pérdida de ganancia del bucle de regulación se reduzca, logrando un mejor *PSRR* a altas frecuencias. Dicho resultado se puede observar en la Figura 2.22b. La Tabla 2.4 recoge los valores utilizados para la obtención de las curvas mostradas en la Figura 2.22.

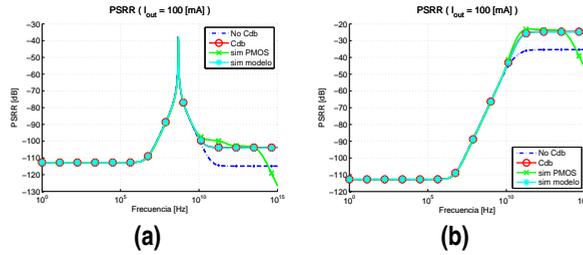


Figura 2.22 Ejemplo de *PSRR* para un *LDO* compensado (a) internamente y (b) externamente.

Tabla 2.4 Tabla con los valores utilizados para la obtención de las curvas mostradas en la Figura 2.22.

| Magnitud | Valor | Magnitud | Valor |
|-----------|--|----------|-----------------------|
| A_v | $10^6 [V/V]$ | g_{mp} | $0.776 [\Omega^{-1}]$ |
| R_{fb1} | $10 [k\Omega]$ | r_{op} | $8.3752 [\Omega]$ |
| R_{fb2} | $10 [k\Omega]$ | C_{gs} | $10.85 [pF]$ |
| R_L | $10 [\Omega]$ | C_{gd} | $6.685 [pF]$ |
| R_p | $1 [k\Omega]$ | C_{gb} | $0.779 [pF]$ |
| C_p | $25 [pF]$ | C_{db} | $4.636 [pF]$ |
| W/L | $250 \times (50/0.18) [\mu m]/[\mu m]$ | C_{sd} | $27.65 [fF]$ |

Como se desprende de la Figura 2.22, en los reguladores *LDO* compensados internamente existe una degradación de prestaciones en las frecuencias intermedias. En los últimos años, se ha visto un creciente interés por resolver esta problemática [68–84]. Una de las soluciones más sencillas presentadas consiste en la utilización de un filtro RC paso de baja que atenúe la tensión de entrada, [68]. La principal ventaja de este método es que la atenuación extra que supone este filtro paso de baja se refleja directamente en el *PSRR* del regulador. No obstante, el valor de la resistencia utilizada debe mantenerse bajo (en el rango de 1-10 Ω), para minimizar la potencia disipada en ella y evitar la reducción del rango de tensión disponible. Por tanto, para que el filtro paso de baja sea relevante, el valor de la capacidad debe incrementarse a valores comprendidos en el rango de 1-100 μF , haciendo imposible su integración dentro del dado de silicio. Como consecuencia de estas restricciones, esta técnica no es viable en sistemas que requieren de una alta escala de

integración (*SoCs*), baja tensión de alimentación y bajo consumo. De igual modo, si el filtro paso de baja se implementa mediante una inductancia, el valor requerido para la misma y la potencia disipada en la resistencia de deriva, debido a la disparidad entre los valores de la impedancia de la fuente (encargada de suministrar la tensión V_{IN} al circuito) y la entrada del regulador, hacen inviable su integración dentro de un sistema.

Los autores de [69, 71] proponen una técnica para mejorar el *PSRR* de un regulador *LDO* basado en la utilización de un transistor NMOS que actúa como cascodo del transistor de paso [85]. La Figura 2.23 muestra un esquema simplificado de la técnica. De esta forma, se aísla la fuente del transistor de paso de las posibles fluctuaciones de la tensión de entrada. No obstante, para el correcto funcionamiento del cascodo, se requiere que la tensión de puerta del mismo sea más alta que la tensión V_{IN} . Además, al actuar este transistor como un seguidor de tensión, es importante minimizar el ruido en su terminal de puerta. Por este motivo, los autores introducen una bomba de carga encargada de alimentar a la referencia mostrada en la Figura 2.23. El filtro paso de baja que se coloca a la salida de la referencia permite atenuar aún más las variaciones de V_{IN} en dicha tensión de polarización. Haciendo uso de esta estrategia, los autores consiguen una mejora cercana a los 30dB para una frecuencia de 50MHz. Sin embargo, el principal problema de esta técnica radica en el incremento de la tensión de alimentación, provocando que el regulador *LDO* requiera de una tensión de dropout cercana a 0.6V, valor inapropiado para los actuales requisitos. Otra desventaja es el consumo de área que implica la integración de la bomba de carga, la referencia y el transistor NMOS cascodo, cuyas dimensiones deben permitir el paso de la corriente I_{LOAD} máxima. Esta misma técnica se puede observar en [72, 73]. Sin embargo, los autores sustituyen el circuito que genera la referencia por un regulador lineal con un elemento de paso formado por un transistor NMOS. Esta modificación les permite reducir la potencia disipada por la referencia usada en [71] así como el tamaño de las capacidades de la bomba de carga, ya que este elemento sólo se encarga de alimentar al amplificador de error del regulador (1 μ A). Por su parte, en [73], [81] hacen uso de dos reguladores auxiliares para aumentar la inmunidad de la tensión de puerta del transistor cascodo, y, en consecuencia, el nivel de desacople del transistor de paso. Esto provoca que la tensión de dropout del regulador se vea incrementada para albergar a este segundo regulador.

Una forma alternativa propuesta por [70] es el uso de un circuito de réplica que proporcione una versión escalada de la corriente suministrada a la carga. De esta forma, se puede tener un segundo lazo de control de baja ganancia y alto ancho de banda, lo que permite conseguir una respuesta transitoria adecuada a la aplicación sin necesidad de degradar el rechazo a las variaciones de la tensión de alimentación. Para ello, los autores separan el camino directo de ganancia del camino de realimentación, sumando ambos caminos mediante un amplificador de corriente. Sin embargo, el principal inconveniente de esta aproximación es el parecido que debe tener el circuito de replica con el principal, a través de las diferentes regiones de funcionamiento, complicando la arquitectura excesivamente.

En [74, 75], los autores proponen un nuevo esquema para incrementar el *PSRR* en alta frecuencia. Para ello, introducen un camino directo entre la tensión de entrada (terminal de la fuente) y la puerta del transistor de paso, que permite acoplar sus fluctuaciones. De esta forma, se consigue que la corriente del transistor de paso sea independiente de las variaciones de V_{IN} , puesto que se ha eliminado la dependencia de la tensión V_{SG} con ésta. Como resultado, en la carga no aparecerán estas variaciones. No obstante, para poder

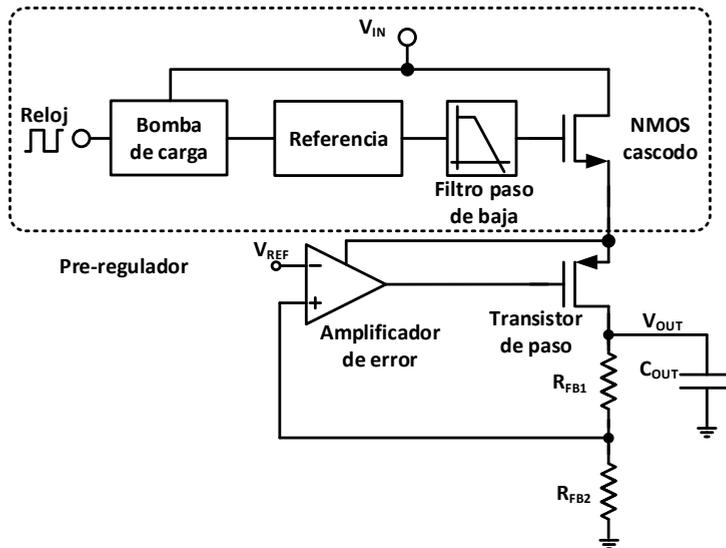


Figura 2.23 Diagrama de bloques de la técnica propuesta en [69, 71] para mejorar el *PSRR*.

efectuar esta cancelación es necesario amplificar las variaciones de la tensión de entrada a un valor de $(g_{mp} + g_{dsp})/g_{mp}$, así se compensa el efecto de la resistencia de salida finita del transistor de paso, además de generar un cero en la respuesta del *PSRR* que permite cancelar el efecto del polo dominante del regulador *LDO*. Por tanto, se consigue extender la atenuación en baja frecuencia hasta los 9MHz. La Figura 2.24 expone el diagrama de bloques de la implementación llevada a cabo por los autores.

Una solución equivalente se propone en el trabajo [78]. Los autores optan por introducir un filtro paso de banda como camino directo de acoplamiento de la tensión de entrada. En este caso, la segunda etapa del amplificador de error es utilizada para realizar la suma en corriente del lazo de realimentación creado por el amplificador de error y el filtro paso de banda. El principal problema de esta solución radica en que sólo permite mejorar la capacidad para rechazar fluctuaciones en la tensión de alimentación en las frecuencias medias, requiriendo de un circuito de ajuste para adaptarse a las diferentes condiciones de carga.

El trabajo desarrollado en [82] propone un técnica de mejora del *PSRR* basada, también, en la generación de un camino directo entre la tensión de entrada y el nodo de puerta del transistor de paso. A diferencia de los trabajos anteriormente analizados, donde la tensión de alimentación se amplificaba o filtraba, esta nueva técnica sirve para generar una corriente proporcional a las variaciones de la tensión de alimentación. Para ello, se utiliza una réplica escalada del transistor de paso polarizado con una corriente I_{LR} correlada con I_{LOAD} . Esto permite que los parámetros de pequeña señal de la réplica tengan un valor equivalente a los del transistor de paso. En la puerta de dicho transistor, es donde se lleva a cabo el acoplamiento de las fluctuaciones de la tensión de entrada a través de una conexión diodo. Esto permite generar una corriente proporcional a dichas variaciones. A continuación, dicha corriente es amplificada para conseguir que la función de transferencia

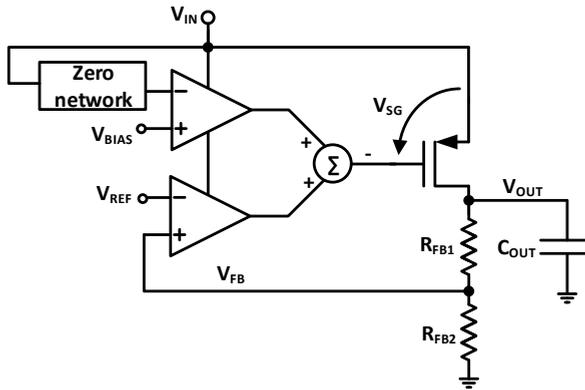


Figura 2.24 Diagrama de bloques de la técnica propuesta en [75] para mejorar el *PSRR*.

entre la puerta y la tensión V_{IN} sea 1. Por último, esta corriente es convertida a tensión, por medio de un *buffer* de corriente, y acoplada al nodo de puerta del transistor de paso. Con este proceso, la tensión V_{SG} del transistor de paso no dependerá de la tensión de entrada, consiguiendo incrementar el *PSRR* hasta que este camino pierda ganancia en frecuencia. La ventaja principal de este esquema radica en que es apto para cualquier condición de carga del regulador *LDO* y no hace uso de capacidades externas, por lo que resulta conveniente para su integración en sistemas *SoCs*. Ahora bien, la complejidad del diseño supone su desventaja más destacable.

En la Tabla 2.5 se muestran las características de los trabajos anteriormente presentados.

Tabla 2.5 Comparativa de los principales trabajos publicados en la literatura.

| | [71] | [72] | [73] | [76] | [77] | [78] | [81] ^a | [81] ^b | [82] |
|-----------------------------|--------------------------------|-------------------|---------------------|---------------------|------------------|----------------|-------------------|-------------------|------------------|
| Proceso | [μm] | 0.6 | 0.35 | 0.35 | 1.5 | 0.18 | 0.13 | 0.35 | 0.18 |
| V_{IN} | [V] | 1.8 | 1.6 | 1.8 | 1.4 | 1.8 | 1.15-1.4 | 1.6 | 1.8 |
| V_{OUT} | [V] | 1.2 | 1.2 | 1.2 | 1.2 | 1.5 | 1 | 1.6 | 1.6 |
| $V_{DROPOUT}$ | [mV] | 400 | 150 | 200 | 200 | 300 | 150 | 400 | 200 |
| I_{LOAD} | [mA] | 5 | 10 | 10 | 5 | 25 | 50 | 12 | 50 |
| I_q | [μA] ^c | 70 | 70 | 39 | 192 ^d | 300 | 37 | 28.6 | 43.9 |
| C_{OUT} | [pF] | - ^e | 1e2 | 1e2 | 1.5e4 | 1.25e2 | 2e1 | 1e2 | 1e2 |
| $\eta _{I_{LOAD,max}}$ | [%] | 98.6193 | 99.3049 | 99.6115 | 96.3000 | 98.8142 | 99.9261 | 99.7622 | 99.6355 |
| Area | [mm ²] | - ^e | 0.0659 ^f | 0.0920 ^f | 1.2000 | 0.0400 | 0.0180 | 0.0550 | 0.0840 |
| Tiempo de respuesta | [μs] | 0.6 ^d | 2 | 3 ^d | 800 | - ^e | 0.4 | 10 | 10 |
| ΔV_{OUT} V_{IN} | [mV] | - ^e | - ^e | - ^e | 50 ^d | - ^e | - ^e | 61 | 8 |
| • Máximo | [mV] | - ^e | - ^e | - ^e | -15 ^d | - ^e | - ^e | -62 | -8 |
| • Mínimo | [V/ μs] | - ^e | - ^e | - ^e | 0.5 ^f | - ^e | - ^e | 1.70.5 | 1.70.5 |
| ΔV_{OUT} I_{LOAD} | [mV] | 290 ^d | 303 | 360 | 170 ^d | - ^e | 56 | 40 | 42 |
| • Máximo | [mV] | -750 ^d | -410 | -380 | -60 ^d | - ^e | -42 | -100 | -105 |
| • Mínimo | [mV/ μs] | 50.1 ^d | 10/0.06 | 5/0.01 | 50.1 | - ^e | 49.95/0.2 | 12/1 | 500.1 |
| Regulación de línea | [mV/V] | - ^e | 0.25 | 0.45 | - ^e | - ^e | 8.1 | 0.31 | 0.28 |
| Regulación de carga | [$\mu\text{V}/\text{mA}$] | - ^e | 320 | 500 | 920 | - ^e | 55.6 | 390 | 680 |
| PSRRf=1 [kHz] | [fs] | -70 ^d | -67 ^d | - ^e | - ^e | - ^e | -72 ^d | -70 ^d | -82 ^d |
| PSRRf=100 [kHz] | [fs] | -62 ^d | -39 ^d | -55 ^d | -57 | - ^e | -40 ^d | -35 ^d | -60 ^d |
| PSRRf=1 [MHz] | [fs] | -40 ^d | -25 ^d | -42 ^d | -55 | -40 | -40 | -25 ^d | -42 ^d |

^a Un sólo pre-regulador ^b Dos pre-reguladores ^c Peor caso ^d Estimación realizada a partir de los datos aportados por el artículo ^e No aporta información
^f Área efectiva ^g t_r :Tiempo de subida

2.3 Comparativa estado del arte

De la sección anterior se desprende que un regulador LDO internamente compensado requiere de un bajo consumo quiescente, una rápida respuesta transitoria y un alto rechazo a las variaciones en la tensión de alimentación. Este conjunto de requisitos dificulta enormemente el estudio comparativo de los diferentes trabajos publicados debido a que cada uno de ellos mejora alguno de los aspectos anteriormente mencionados. Por este motivo, para poder llevar a cabo una comparativa objetiva, es necesario utilizar una figura de merito (FOM^3) que permita evaluar, de manera equitativa, los diferentes trabajos. En este sentido, se utilizará la FOM propuesta en [86] que posibilita comparar la respuesta transitoria de los diferentes reguladores a partir del consumo quiescente (I_q), la máxima corriente que es capaz de entregar el regulador a la carga ($I_{LOAD,max}$) y el tiempo de respuesta (T_r). Esta última magnitud se define según la Ecuación (2.24), donde ΔV_{OUT} representa la máxima variación de la tensión V_{OUT} cuando se produce una variación de la línea o de la carga. La Ecuación (2.25) presenta la expresión final de la FOM . Como se puede observar, cuanto menor sea el valor de la FOM , mejor será la respuesta transitoria del regulador LDO frente a variaciones.

$$T_r = \frac{C_{OUT}\Delta V_{OUT}}{I_{LOAD,max}} \quad (2.24)$$

$$FOM = T_r \frac{I_q}{I_{LOAD,max}} = \frac{C_{OUT}\Delta V_{OUT}}{I_{LOAD,max}} \frac{I_q}{I_{LOAD,max}} = C_{OUT} \frac{\Delta V_{OUT} I_q}{I_{LOAD,max}^2} \quad (2.25)$$

La Tabla 2.6 recoge los valores obtenidos de la FOM por los principales reguladores LDOs compensados internamente que se han publicado en los últimos años. Por su parte, la Figura 2.26 representa en el eje de ordenadas el valor de la FOM obtenido frente al consumo quiescente de los trabajos publicados. En este caso, cuanto más cercano al origen de coordenadas, mejor será el rendimiento del regulador. Según muestra la leyenda, las referencias que aparecen en color azul se corresponden con aquellos trabajos que se han centrado en mejorar la estabilidad, el color rojo representa a los reguladores que mejoran la respuesta transitoria, usando técnicas como la polarización activa y, por último, el color negro, representa a aquellos que se han centrado en mejorar el rechazo a variaciones en la tensión de alimentación.

Atendiendo a los resultados mostrados en la Tabla 2.6 y la ??, el regulador que consigue la mejor FOM de los trabajos expuestos es el presentado en [56] con un valor de 24.28fs. Éste se corresponde con uno de los trabajos destinados a mejorar la respuesta transitoria gracias al uso de una amplificador con polarización adaptativa basado en el trabajo pblicado en [64] y [65]. Sin embargo, a pesar de conseguir el valor más bajo de la comparativa, en la ?? aparece en la zona central, indicando que el ratio entre la eficiencia energética y la respuesta transitoria es mejorable. Esto se debe al gran consumo quiescente que presenta el trabajo cuando la corriente de carga I_{LOAD} es alta.

El segundo mejor regulador de la comparativa se corresponde con el propuesto en [78]. A pesar de tratarse de un trabajo que se centra en la mejora del $PSRR$ del regulador, su

³ Figure of Merit

respuesta transitoria es equiparable a la de los trabajos que proponen técnicas específicas para mejorarla gracias a la utilización de un amplificador de error basado en el trabajo publicado en [34]. Para incrementar la respuesta transitoria, los autores utilizan una etapa de salida tipo *push-pull*. El transistor *PMOS* es controlado por la salida de la primera etapa mientras que el transistor *NMOS* es gestionado por la salida negativa del par diferencial de entrada. Esto permite incrementar la corriente en el nodo de puerta del transistor de paso en los momentos de transición sin necesidad de incrementar el consumo quiescente de todo el sistema. No obstante, a pesar de presentar la *FOM* más baja de toda la comparativa, no presenta el mejor ratio de respuesta transitoria frente a eficiencia energética. Por este motivo, el trabajo se halla en la zona media del eje de abscisas. De acuerdo a la ??, el trabajo que presenta el mejor ratio es el propuesto en [47] cuyo consumo estático es de tan sólo $1.2\mu A$. Sin embargo, las grandes variaciones que sufre la tensión V_{OUT} cuando cambia la corriente entregada a la carga penalizan su *FOM*.

Tabla 2.6 Valores de la *FOM* obtenidos por los trabajos expuestos.

| | | | | | | | | | |
|---------|------|--------|-------------------|-------------------|-------------------|--------|--------|--------|--------|
| | | [31] | [39] | [40] ^a | [41] ^a | [42] | [44] | [46] | [47] |
| T_r | [ns] | 0.19 | 0.32 | 42 | 0.36 | 5.18 | 140 | 0.025 | 1.5 |
| FOM_1 | [fs] | 72.2 | 416 | 16380 | 388.8 | 2331 | 63000 | 107.29 | 36 |
| | | [48] | [49] | [50] | [52] | [53] | [54] | [55] | [56] |
| T_r | [ns] | 0.036 | 0.175 | 170 | 0.155 | 0.474 | 0.0688 | 0.47 | 0.117 |
| FOM_1 | [fs] | 245 | 65.975 | 4420 | 589.16 | 33.18 | 56.69 | 65.8 | 24.28 |
| | | [57] | [58] | [59] | [61] | [62] | [72] | [73] | [76] |
| T_r | [ns] | 0.394 | 28.4 | 0.362 | 0.21 | 0.195 | 7.13 | 7.4 | 690 |
| FOM_1 | [fs] | 127.59 | 2.77e5 | 156.384 | 195.3 | 274.95 | 4.99e4 | 2.89e4 | 2.65e7 |
| | | [78] | [81] ^c | [81] ^d | [82] | | | | |
| T_r | [ns] | 0.0392 | 1.167 | 1.225 | 0.4 | | | | |
| FOM_1 | [fs] | 29.01 | 2.78e3 | 4.48e3 | 440 | | | | |

^a Valores obtenidos por simulación ^b No aporta información sobre la capacidad de carga

^c Un sólo pre-regulador ^d Dos pre-reguladores

Según esta comparativa, los trabajos que obtienen mejores resultados son aquellos que proponen una mejora de la respuesta transitoria debido a que la *FOM* propuesta en [86] favorece este aspecto. Como contrapartida, otros autores han propuesto diferentes *FOMs* que permitan evaluar otros aspectos de un regulador *LDO* compensado internamente distintos a la respuesta transitoria frente la carga. Las *FOMs* más representativas se recogen en [47], [87] y [88].

En el primer caso, [47], los autores proponen una *FOM* que enfatiza el tiempo de respuesta del regulador a diferencia de la *FOM* tradicional utilizada, Ecuación (2.25). Para ello, se propone la sustitución del parámetro T_r , Ecuación (2.24), por el propio tiempo de

establecimiento. No obstante, los autores no especifican cómo determinan el valor de esta magnitud. La Ecuación (2.26) muestra la expresión final de la *FOM* indicada.

$$FOM_2 = T_r \frac{I_q}{|I_{LOAD}|_{max}} \tag{2.26}$$

Ahora bien, los autores de [87] proponen una versión modificada de la figura de mérito mostrada en la Ecuación (2.25), que busca normalizar el impacto que presenta el tiempo de subida, t_{rise} , y de bajada, t_{fall} , del estímulo utilizado para verificar el comportamiento del LDO frente a variaciones de la carga. Con ello, se busca establecer una comparativa más justa, dada la disparidad de criterios existentes en la literatura para verificar el comportamiento de este tipo de celdas. La expresión final de la *FOM* propuesta se puede observar en Ecuación (2.27), donde $K = t_{rise}/t_{rise}^{min}$. Este parámetro será siempre mayor o igual que la unidad, puesto que en el mejor caso, el tiempo t_{rise} o t_{fall} utilizado coincidirá con el mínimo.

$$FOM_3 = K \frac{\Delta V_{OUT} I_q}{\Delta I_{LOAD}} \tag{2.27}$$

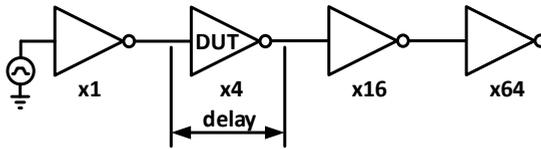


Figura 2.25 Esquema conceptual para determinar la métrica $FO_{4,delay}$ de un inversor.

Por último, en [88] se proponen dos nuevas figuras de mérito basadas en las anteriores, persiguiendo establecer una comparativa más justa. Estas nuevas *FOMs* se corresponde con las mostradas en la Ecuación (2.28) y la Ecuación (2.29). En el caso de la Ecuación (2.28), y puesto que la relación entre la variación que sufre la tensión V_{OUT} con respecto al tiempo t_{rise} o t_{fall} es no lineal, los autores introducen una dependencia del factor K , usado en la Ecuación (2.27), con la raíz cúbica. A su vez, normalizan la respuesta transitoria haciendo uso de la métrica independiente del proceso $FO_{4,delay}$, [89–91]. Esta se basa en la estimación del retraso introducido por un inversor cuando se excita tal y como representa la Figura 2.25. La puerta del inversor con tamaño unidad se altera a través de un inversor de tamaño 1/4, mientras que a su salida, el inversor unitario encuentra un conjunto de cuatro inversores de tamaño $x4$. Con estas modificaciones, se pretende eliminar la ventaja, debida a su mayor velocidad, que presentan las tecnologías modernas. La segunda *FOM* propuestas por estos autores, elimina el factor K de escalado usado en la Ecuación (2.27) y la Ecuación (2.28), conservando únicamente la normalización por el término $FO_{4,delay}$. En esta nueva *FOM*, el tiempo de respuesta T_r se determina como el tiempo que tarda el regulador en establecer la salida frente a un cambio de la corriente de carga I_{LOAD} .

$$FOM_4 = K^{1/3} \frac{\Delta V_{OUT} [I_q + |I_{LOAD}|^{min}]}{FO_{4,delay} \Delta I_{LOAD}} \tag{2.28}$$

$$FOM_5 = T_r \frac{I_q + I_{LOAD}^{min}}{FO_{4,delay} \Delta I_{LOAD}} \quad (2.29)$$

Para finalizar la presentación de las diferentes figuras de méritos que se han publicado en la literatura, se presenta en la Tabla 2.7 una comparativa del valor obtenido por los diferentes reguladores previamente estudiados.

Tabla 2.7 Valores de la *FOM* obtenidos por los trabajos expuestos.

| | | | | | | | | |
|--------------------------------|--------|-------------------|-------------------|-------------------|--------|---------|--------|---------|
| | [31] | [39] | [40] ^c | [41] ^d | [42] | [44] | [46] | [47] |
| <i>FOM</i> ₁ [fs] | 72.2 | 416 | 16380 | 388.8 | 2331 | 63000 | 107.29 | 36 |
| <i>FOM</i> ₂ [ps] | 760 | 19500 | 9750 | 2160 | 2250 | 1800 | 858.3 | 96 |
| <i>FOM</i> ₃ [mV] | 7.22 | 10.4 | 16.38 | 19.44 | 23.31 | 6.3 | 51.5 | 0.72 |
| <i>FOM</i> ₄ [V/μs] | 1.680 | 9.232 | 6.499 | 11.936 | 7.360 | 1.423 | 10.244 | 34.777 |
| <i>FOM</i> ₅ [pico] | 1.905 | 7.831 | 3.333 | 14.286 | 3.061 | 2.190 | 58.390 | 5.423 |
| | [48] | [49] | [50] | [52] | [53] | [54] | [55] | [56] |
| <i>FOM</i> ₁ [fs] | 245 | 65.975 | 4420 | 589.16 | 33.18 | 56.69 | 65.8 | 24.28 |
| <i>FOM</i> ₂ [ps] | 3402.5 | 3393 | 3640 | 9120 | 10.5 | 4944 | 378 | 134.88 |
| <i>FOM</i> ₃ [mV] | 2.45 | 0.66 | 0.44 | 58.9 | 1.66 | 1.7e6 | 6.58 | 6.07 |
| <i>FOM</i> ₄ [V/μs] | 3.856 | 0.967 | 1.099 | 19.089 | 6.774 | 645.248 | 16.935 | 126.617 |
| <i>FOM</i> ₅ [pico] | 4.972 | 0.256 | 0.095 | 26.533 | 1.940 | 9.055e6 | 7.763 | 29.375 |
| | [57] | [58] | [59] | [61] | [62] | [72] | [73] | [76] |
| <i>FOM</i> ₁ [fs] | 127.59 | 2.77e5 | 156.384 | 195.3 | 274.95 | 4.99e4 | 2.89e4 | 2.65e7 |
| <i>FOM</i> ₂ [ps] | 388.8 | 1.948e5 | 5313.6 | 1581 | 42300 | 14000 | 11700 | 3.072e7 |
| <i>FOM</i> ₃ [mV] | 0.64 | 13.83 | 1.56 | 15.62 | 27.50 | 29.95 | 2.89 | 8.832e7 |
| <i>FOM</i> ₄ [V/μs] | 5.035 | 109.149 | 6.171 | 15.578 | 18.080 | 61.696 | 45.028 | 3020.31 |
| <i>FOM</i> ₅ [pico] | 1.187 | 35.678 | 0.791 | 13.773 | 19.976 | 2.857 | 0.608 | 6.095e6 |
| | [78] | [81] ^a | [81] ^b | [82] | | | | |
| <i>FOM</i> ₁ [fs] | 29.01 | 2.78e3 | 4.48e3 | 440 | | | | |
| <i>FOM</i> ₂ [ps] | 296 | 23833.3 | 36583.3 | 6600 | | | | |
| <i>FOM</i> ₃ [mV] | 1.4504 | 16.68 | 26.89 | 2.2 | | | | |
| <i>FOM</i> ₄ [V/μs] | 8.489 | 8.362 | 13.477 | 6.270 | | | | |
| <i>FOM</i> ₅ [pico] | 6.380 | 8.107 | 12.443 | 1.455 | | | | |

^a Un sólo pre-regulador ^b Dos pre-reguladores ^c Valores obtenidos por simulación

^d No aporta información sobre la capacidad de carga

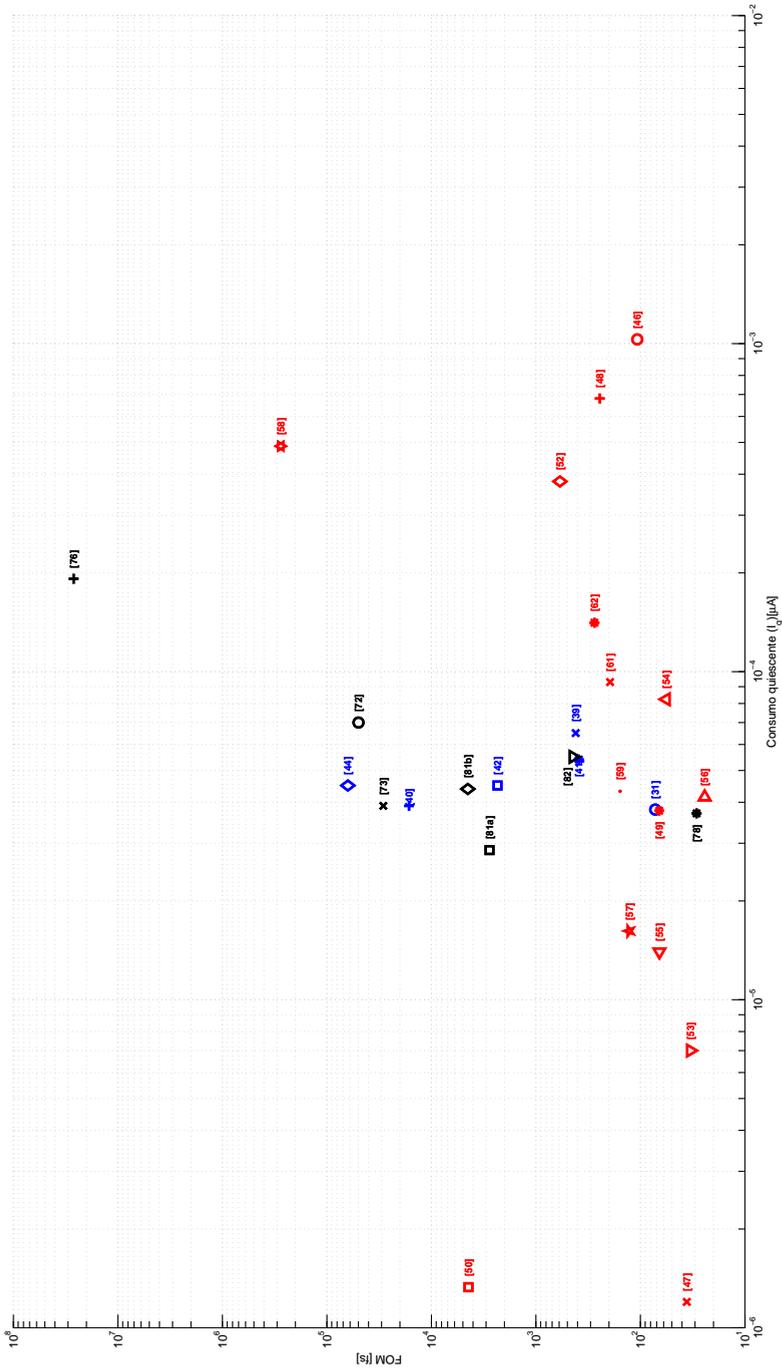


Figura 2.26 Representación de la FOM expuesta en Ecuación (2.25) frente al consumo quiescente del regulador LDO presentado.

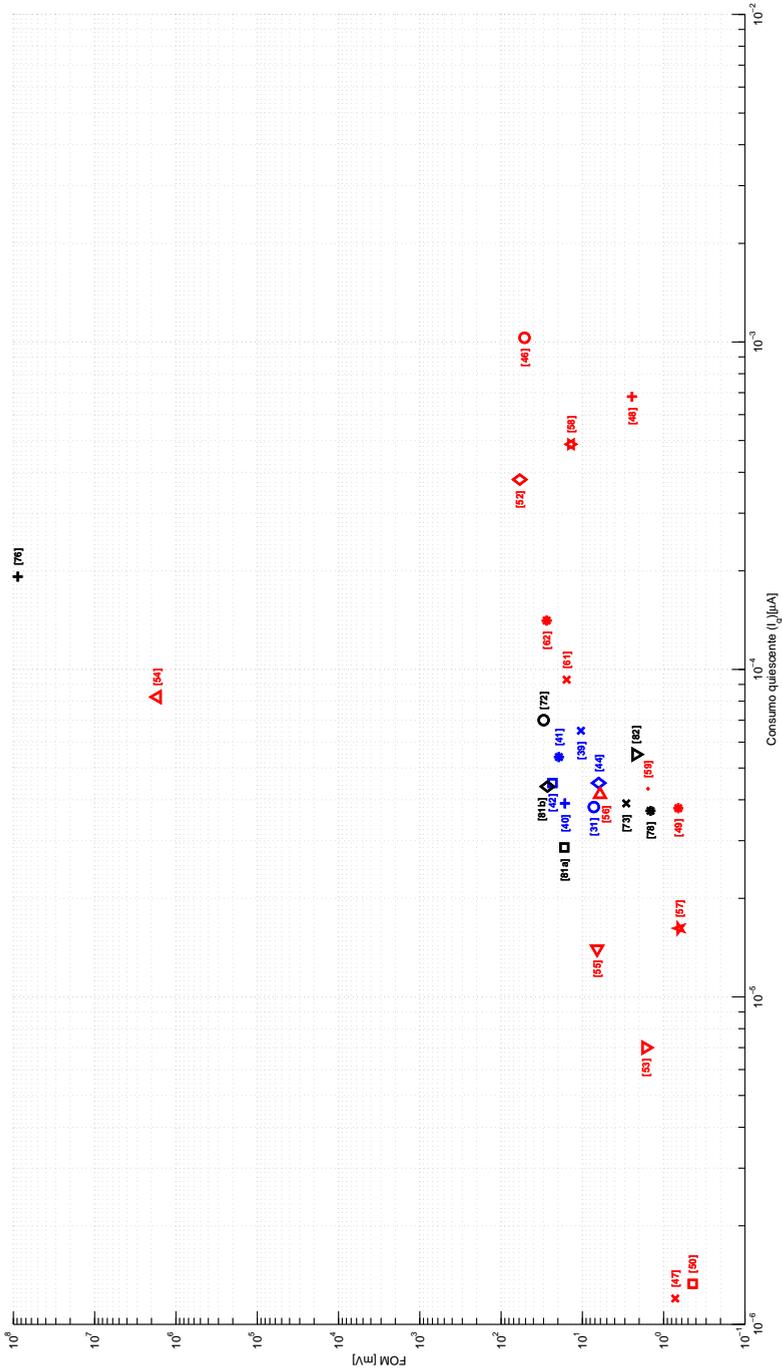


Figura 2.28 Representación de la FOM expuesta en Ecuación (2.27) frente al consumo quiescente del regulador LDO presentado.

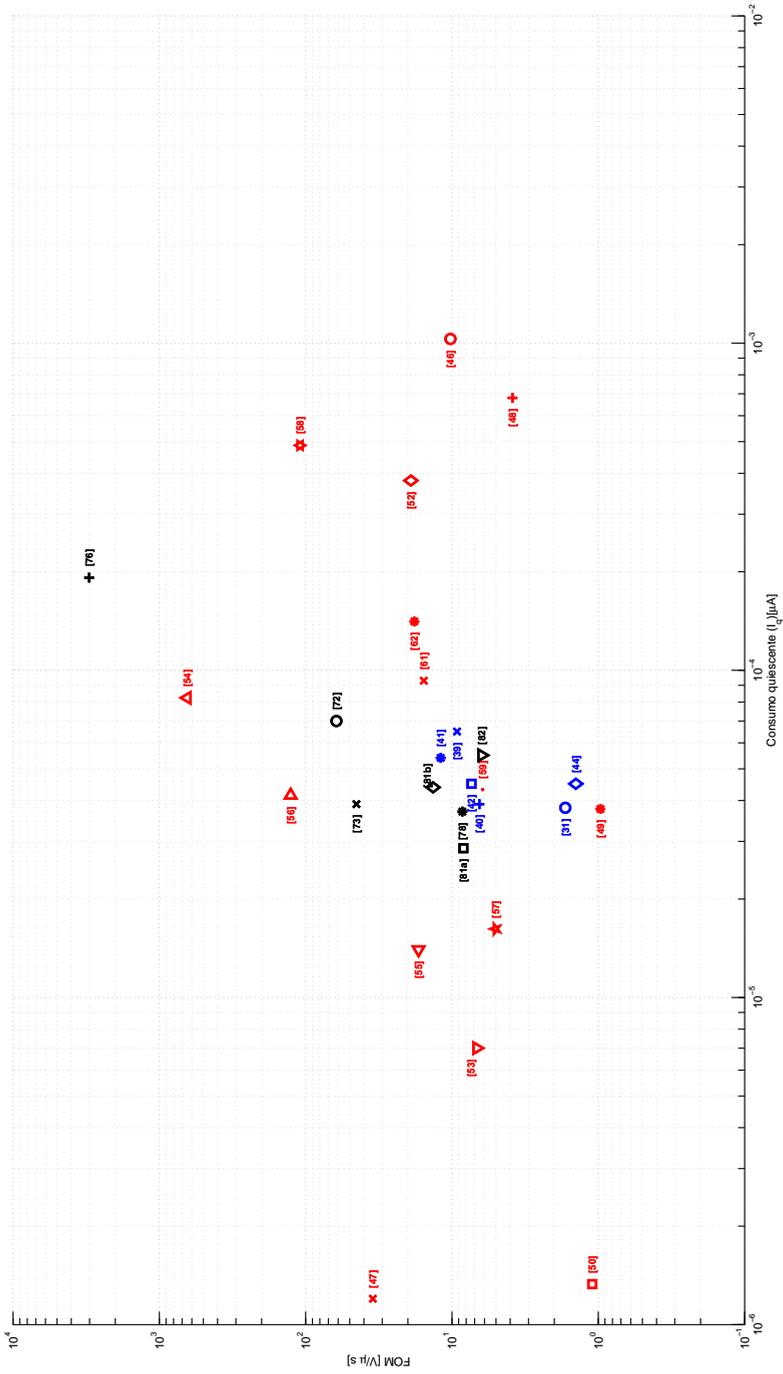


Figura 2.29 Representación de la FOM expuesta en Ecuación (2.28) frente al consumo quiescente del regulador LDO presentado.

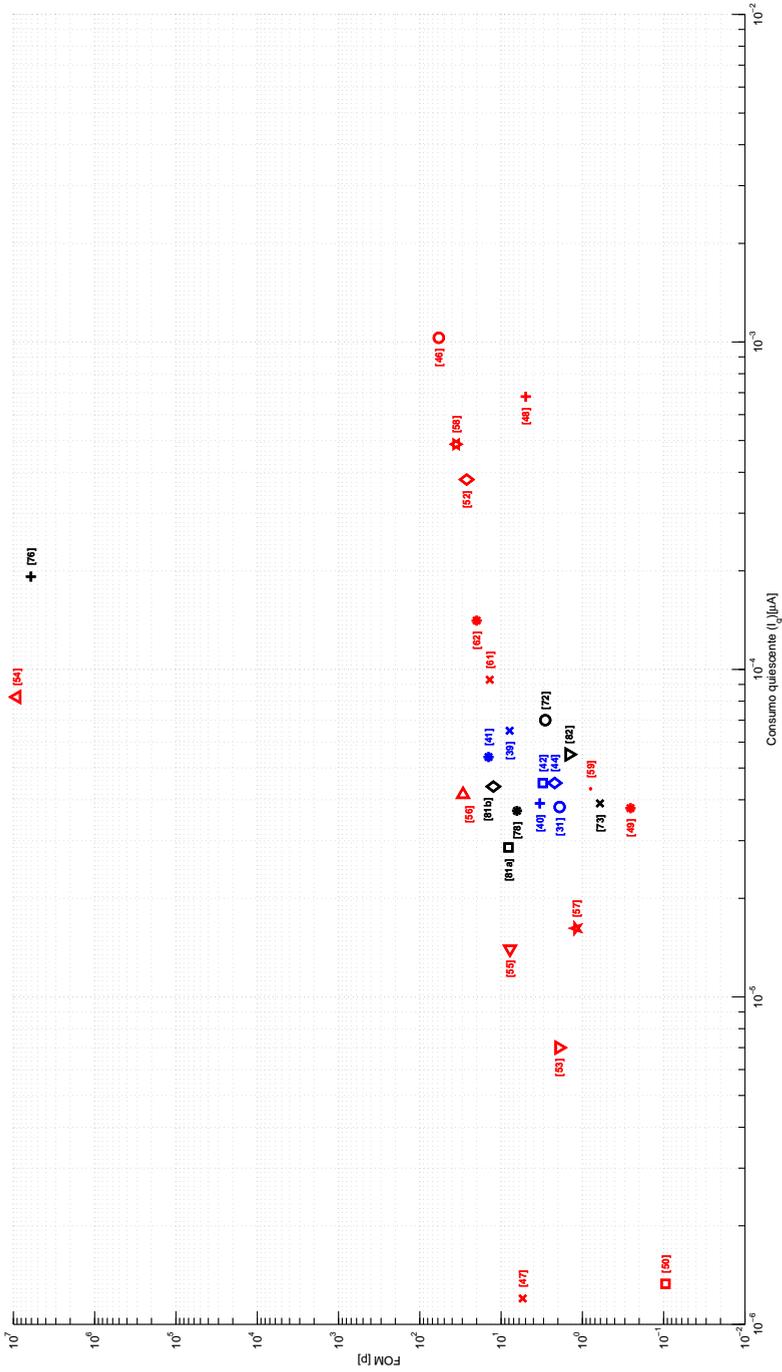


Figura 2.30 Representación de la FOM expuesta en Ecuación (2.29) frente al consumo quiescente del regulador LDO presentado.

2.4 Conclusiones

Este capítulo ha presentado la topología clásica utilizada para la implementación de un regulador *LDO* compensado internamente, así como los principales problemas que afectan a esta estructura.

En primer lugar, desde el punto de vista de la estabilidad de todo el regulador, el hecho de asociar el polo dominante a un nodo interno del circuito provoca que los polos no dominantes estén fijados por la carga. Esto conduce a que a medida que la corriente demandada por la carga varíe, su posición se modifique, afectando seriamente a la estabilidad del regulador. Por tanto, será necesario realizar un estudio de los polos y ceros del sistema para diferentes regímenes de funcionamiento que permitan garantizar la estabilidad en todos ellos. Una de las principales soluciones que se muestran en la literatura, se corresponde con la utilización de técnicas clásicas de separación de polos junto con nuevas alternativas destinadas a controlar el factor de calidad del par de polos complejos conjugados no dominantes.

La respuesta transitoria ocupa otro aspecto muy importante que debe resolverse, puesto que repercute, de forma directa, en el funcionamiento de la carga. Por ejemplo, una reducción abrupta de la tensión de salida puede provocar que el sistema conectado al regulador se apague. En este sentido, la ausencia de una capacidad de salida C_{OUT} de gran valor provoca que estas variaciones no puedan ser amortiguadas, cediendo o absorbiendo parte de su carga. Por tanto, se debe intentar minimizar las variaciones y el tiempo de establecimiento de la tensión de salida V_{OUT} . Siguiendo este razonamiento, las técnicas propuestas para mitigar este problema se han basado en el uso de esquemas de polarización adaptativos y etapas de salida en el amplificador de error que mejoren el *slew-rate* en el nodo de puerta del transistor de paso.

El tercer gran problema que afecta a este tipo de circuitos se corresponde con las variaciones en la tensión de entrada debido a su aplicación, al ser utilizado, principalmente, en sistemas *SoCs* donde van a coexistir sistemas digitales y analógicos. Por tanto, es necesario mejorar el rechazo a estas variaciones en todo el espectro de frecuencias para aislar en la medida de lo posible los bloques sensibles de las señales de alta frecuencia procedente del resto de bloques.

Por último, se presenta una comparativa de los trabajos presentados en la literatura con el objetivo de solventar alguno de los problemas anteriormente comentados. Además, se introducen las principales figuras de méritos utilizadas para comparar los reguladores expuestos.

3 Enfoque alternativo: FVF

La topología clásica de un regulador *LDO* precisa de una alta ganancia de lazo para mejorar su capacidad de regulación, como se ha visto en la Ecuación (2.4) y Ecuación (2.6). Sin embargo, este incremento de ganancia tiene como contrapartida una degradación de la estabilidad en lazo cerrado de todo el sistema, al acercar los polos no dominantes a la frecuencia *UGF*. Por tanto, es necesario establecer una solución de compromiso entre la precisión con la que se desea generar la tensión regulada V_{OUT} y la estabilidad de todo el sistema, [92, 93].

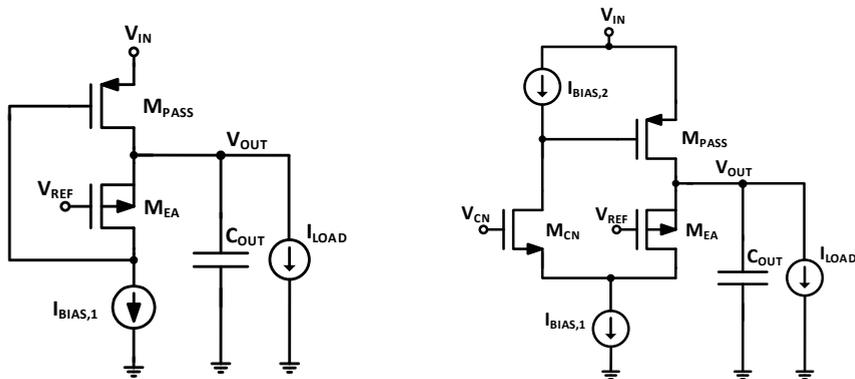


Figura 3.1 Esquema de un regulador *LDO* usando la celda (a) *FVF* y (b) *CAFVF* .

A pesar de los esfuerzos dedicados a paliar esta problemática mediante el uso de las técnicas vistas en el capítulo anterior, diversos autores han optado por la búsqueda de una topología alternativa que presente de forma inherente una buena regulación. En este sentido, la celda *Flipped Voltage Follower, FVF*, [66, 67] cumple con estas expectativas y ha sido utilizada como regulador *LDO* como consecuencia de su baja impedancia de

salida y gran estabilidad en frecuencia. No obstante, uno de los primeros usos de esta celda como regulador *LDO* se corresponde con [86], donde los autores utilizan la celda *Cascode Flipped Voltage Follower* [94] (en adelante, *CAFVF*) como etapa de potencia. Con anterioridad, esta misma celda había sido utilizada como *buffer* en [95] para manejar la puerta del transistor de paso.

En este capítulo, se procederá a describir las celdas *FVF* y *CAFVF* y su funcionamiento como regulador *LDO*. Esta descripción permitirá ver las ventajas e inconvenientes que este esquema presenta frente a la topología clásica. Seguidamente, se presentarán los trabajos publicados en la literatura científica que han hecho uso de esta celda para implementar reguladores *LDOs*. Por último, se mostrarán las aportaciones que se han realizado para la mejora de las prestaciones del *CAFVF*, desde el punto de vista de su respuesta transitoria y regulación.

3.1 Regulador *LDO* basado en el *FVF* y *CAFVF*

La celda *FVF*, Figura 3.1a, supone una evolución del amplificador en configuración de drenador común o, también denominado, seguidor de tensión. A pesar de haber sido utilizada con anterioridad en la literatura científica, no es hasta la referencia [66] cuando se identifica esta celda y se acuña su nombre. Su principal ventaja radica en la baja impedancia de salida que presenta, $r_o = 1/g_m^{M_{EA}} g_m^{M_{pass}} r_o^{M_{EA}}$, lograda, gracias a la realimentación local introducida. Esta característica permite al *FVF* suministrar una gran cantidad de corriente a la carga. Sin embargo, su capacidad de absorción estará limitada por la corriente de polarización de la rama, representada por la fuente $I_{BIAS,1}$ en la Figura 3.1a. Este comportamiento va a provocar que, al ser utilizado como un regulador *LDO*, el *FVF* sea capaz de responder rápidamente ante una demanda de corriente por parte de la carga. Por el contrario, su tiempo de respuesta vendrá determinado por la corriente $I_{BIAS,1}$. Si se opta por usar un valor pequeño de $I_{BIAS,1}$ para reducir su consumo quiescente, el tiempo que la tensión de salida V_{OUT} tarde en recuperar su valor nominal se verá notablemente incrementado.

La Figura 3.2 establece una comparativa de la estructura del *FVF* con la topología clásica de un regulador *LDO*. Como se puede observar, el transistor M_{pass} se corresponde con el transistor de paso, encargado de suministrar la corriente necesaria a la carga. Por su parte, el transistor M_{EA} actúa como amplificador de error, puesto que se trata de un amplificador en configuración de puerta común. De esta forma, la tensión V_{OUT} es comparada con una referencia de tensión, V_{REF} , para generar la señal de control de la puerta del transistor de paso. Este mecanismo permite ajustar la tensión V_{GATE} , a través de la realimentación local, de forma que la caída $V_{SG}^{M_{pass}}$ se corresponda con el valor adecuado que permita generar la corriente I_{LOAD} requerida.

La tensión V_{REF} se relaciona con V_{OUT} a través de la Ecuación (3.1) donde $V_{SG}|^{M_{EA}}$ coincide con la caída V_{SG} del transistor que actúa como amplificador de error. Esta tensión es un valor constante e independiente de la corriente requerida por la carga.

$$V_{OUT} = V_{REF} + V_{SG}|^{M_{EA}} \quad (3.1)$$

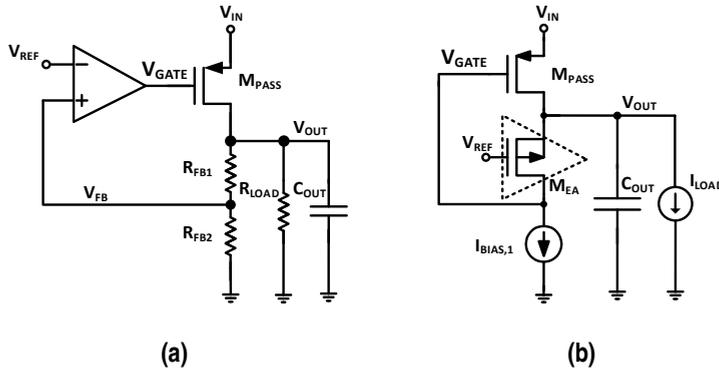


Figura 3.2 Comparativa entre la (a) topología clásica y (b) basada en el FVF .

El mecanismo por el cual la tensión V_{OUT} se regula se representa en la Figura 3.3. En concreto, cuando la corriente demandada por la carga I_{LOAD} aumenta su valor de forma repentina, la tensión V_{OUT} tenderá a reducir su valor, quedando por debajo del valor establecido por V_{REF} . Por tanto, la caída $V_{SG}|^{M_{EA}}$ reducirá su valor provocando que la tensión V_{GATE} disminuya, debido a la ganancia no inversora del amplificador de puerta común que constituye M_{EA} . De esta forma, la $V_{SG}|^{M_{pass}}$ se incrementará, aumentando la corriente que se inyecta a la carga y a la capacidad de salida, C_{OUT} . Debido a esto, la tensión V_{OUT} irá aumentado hasta alcanzar de nuevo su valor nominal. En el caso contrario, si I_{LOAD} reduce su valor, la tensión V_{OUT} tiende a incrementarse, aumentando la caída $V_{SG}|^{M_{EA}}$ y, en consecuencia, la tensión V_{GATE} . Así, la corriente que inyecta el transistor de paso a la carga se verá reducida, al decrementar su caída $V_{SG}|^{M_{pass}}$. Este mecanismo permitirá que la tensión de salida reduzca su valor hasta alcanzar el establecido por la referencia V_{REF} nuevamente.

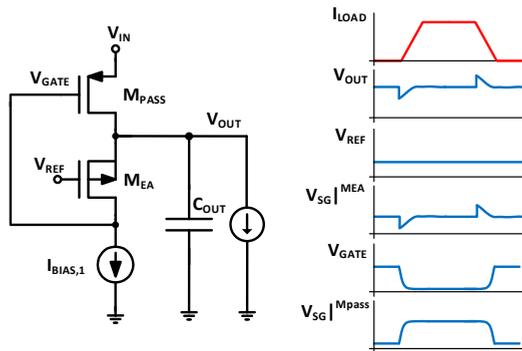


Figura 3.3 Mecanismo de regulación de un regulador LDO basado en el FVF.

La primera vez que se hace uso del *FVF* como regulador *LDO* es en [96] y [97]. Aquí, los autores utilizan la estructura mostrada en la Figura 3.1a para generar la tensión regulada V_{OUT} junto con un amplificador de ganancia unitaria para la generación de la tensión V_{REF} . El diseño completo se presenta en la Figura 3.4. Como puede apreciarse, la tensión V_{BG} , procedente de una referencia de tensión y provista a la entrada del amplificador de ganancia unitaria, es reproducida a su salida. Esto provoca que la tensión V_{REF} quede definida por la Ecuación (3.2).

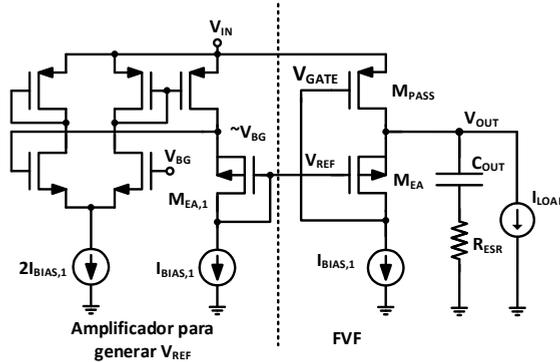


Figura 3.4 Regulador *LDO* basado en el *FVF* presentado en [97].

$$V_{REF} = V_{BG} - V_{SG}^{M_{EA,1}} \quad (3.2)$$

Haciendo el transistor $M_{EA,1}$ en conexión diodo, insertado en la etapa de salida del amplificador, igual al transistor M_{EA} y al tener la misma corriente de polarización, se cumple que la caída $V_{SG}^{M_{EA,1}} = V_{SG}^{M_{EA}}$. Por tanto, usando la Ecuación (3.1) y la Ecuación (3.2) se llega a la relación expuesta en la Ecuación (3.3).

$$V_{OUT} = V_{REF} \quad (3.3)$$

El gran inconveniente que presenta este trabajo se corresponden con su respuesta transitoria, cuyo comportamiento es asimétrico debido al uso de una fuente constante, I_{BIAS1} , para descargar la capacidad parásita de la puerta del transistor de paso. Esto provoca que para reducir el pico ascendente de la tensión V_{OUT} se necesite incrementar el consumo quiescente. Otro aspecto a tener en cuenta sería la baja ganancia de lazo que presenta el *FVF*, provocando un incremento de la regulación de carga y línea.

Otra muestra de regulador basado en el *FVF* es el presentado en [98–100]. Los autores sustituyen el transistor de paso en el *FVF* por una estructura autodenominada *composite transistor*, [101]. Esta celda, mostrada en la Figura 3.5, está compuesta por una etapa de amplificación de gran ancho de banda, [102], y un transistor, encargado de suministrar la corriente requerida. La etapa de ganancia añadida tiene como misión gestionar la capacidad parásita del transistor de paso y aportar un incremento de la ganancia de lazo abierto, mejorando su capacidad de regulación. A su vez, la realimentación de tipo

camino de descarga de la capacidad parásita en el nodo de puerta que no está limitado por una fuente fija de corriente. Como resultado, se forma una etapa de tipo clase-AB que permite controlar el consumo quiescente. Una ventaja adicional de añadir dicho transistor, es el incremento de la resistencia de salida de la fuente de corriente. Esto provoca que el polo dominante, asociado a dicho nodo, sea empujado a frecuencias más bajas. Por tanto, se incrementa la separación entre el polo dominante y no dominante, mejorando la estabilidad del regulador *LDO*.

Sin embargo, añadir el transistor M_{N1} para obtener los beneficios anteriormente indicados, provoca un aumento de la tensión mínima de entrada. A diferencia de la estructura clásica de la celda *FVF*, cuya $V_{IN}^{min} = V_{SG}^{M_{pass}} + V_{DS}^{sat}$, la estructura propuesta por [103] incrementa esta magnitud en una V_{DS}^{sat} , pasando a $V_{IN}^{min} = V_{SG}^{M_{pass}} + 2V_{DS}^{sat}$. Como se recoge en la tabla resumen de características presentada por el autor, este planteamiento presenta una tensión de entrada mínima de 1.4V. Por este motivo, este diseño no es escalable a tecnologías nanométricas, donde la tensión de alimentación es inferior a 1.2V.

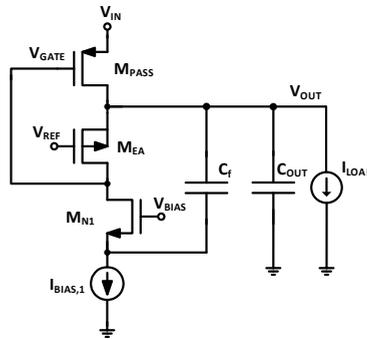


Figura 3.7 Mejora propuesta en [103] de un regulador *LDO* basado en el *FVF*.

A diferencia del último caso presentado, una forma de mejorar la ganancia del regulador *LDO* basado en el *FVF*, sin necesidad de limitar el rango de la tensión de entrada, es la utilización de la versión *CAFVF*, representada en la Figura 3.1b. La ventaja de esta celda, descrita en [94], es la inclusión del transistor M_{CN} en el lazo de realimentación local para incrementar la ganancia total de la celda. Esto se debe a que, desde un punto de vista de pequeña señal, este nuevo transistor es visto como un segundo amplificador de puerta común. Por tanto, su efecto se suma al del transistor M_{EA} . Otra de las ventajas que presenta añadir este nuevo transistor es la reducción de la impedancia de salida. El valor de ésta pasa a ser el representado en la Ecuación (3.4), asumiendo que $R_{B1}, R_{B2} \gg r_{ox}$, donde R_{B1} y R_{B2} representan la impedancia de salida de las fuentes I_{BIAS1} e I_{BIAS2} y r_{ox} , la resistencia de salida del transistor M_x .

$$R_{out} \approx \frac{1}{g_{m_{M_{pass}}} g_{m_{M_{EA}}} g_{m_{M_{CN}}} r_{o_{M_{pass}}} r_{o_{M_{CN}}}} \quad (3.4)$$

Una de las primeras referencias que muestran la posibilidad de utilizar el CAFVF como regulador LDO internamente compensado es [86]. En este caso, dada la coincidencia temporal de la publicación con el artículo [94], los autores no hacen uso de dicha nomenclatura. La idea propuesta consiste en sustituir el transistor de paso de la topología clásica por un conjunto de celdas CAFVF, en su versión PMOS. La Figura 3.8 representa un diagrama de bloques de la solución presentada por los autores, así como la implementación de cada una de las etapas que sustituyen al transistor de paso. Éstas están diseñadas para una corriente de salida máxima de $5mA$, requiriendo un total de 20 etapas para suministrar la máxima carga del regulador, $100mA$. Una particularidad que presenta este diseño es el uso de una etapa de réplica en el lazo de realimentación. Ésta se utiliza para garantizar la estabilidad del sistema cuando $I_{LOAD} = 0$. De esta forma, la función de lazo abierto del sistema no depende del punto de operación del transistor de paso, evitando la implementación de algunas de las técnicas vistas en Capítulo 2. Sin embargo, la desventaja más destacable que presenta este diseño es el uso de una gran capacidad, $600pF$, requerida para estabilizar el sistema y desacoplar posibles ruidos procedentes del exterior. En concreto, los autores hacen uso de una tecnología de fabricación de $90nm$ CMOS, donde el regulador LDO consume una área total cercana a $0.1mm^2$. De este valor, los autores destinan el 90% de la área a integrar dicha capacidad. Por tanto, a pesar de la rápida respuesta transitoria que presenta el regulador, la gran área consumida por esta capacidad limita su uso en los sistemas de tipo SoCs, donde esta magnitud es un recurso muy limitado.

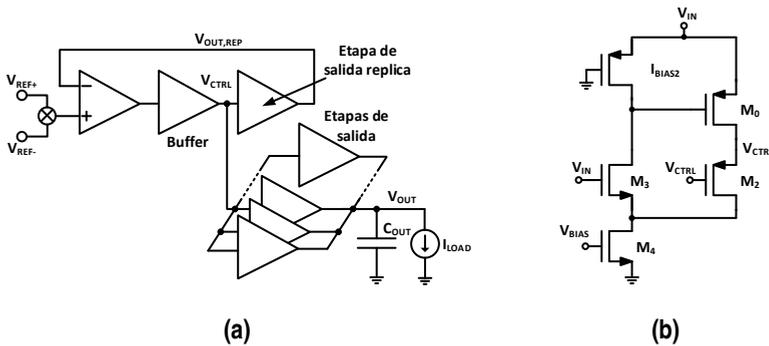


Figura 3.8 Esquema de un regulador propuesto en [86]. (a) Diagrama de bloques del circuito y (b) celda CAFVF usado para generar la corriente de salida.

Como se ha visto en el caso del FVF, usar la celda CAFVF para implementar un regulador LDO tiene como inconveniente el uso de fuentes estáticas para polarizar las diferentes ramas del diseño. Esto provoca una limitación en la respuesta transitoria del regulador, al poder cargar y descargar la capacidad parásita de la puerta de M_{pass} únicamente a través de una corriente constante. De ahí que, para poder mejorar la respuesta transitoria del regulador, se requiera un aumento del valor de estas fuentes. Dicha acción, que supone incrementar el consumo quiescente del regulador, provoca, a su vez, una degradación de la eficiencia del mismo. En consecuencia, es necesario buscar soluciones alternativas. Algunas de las

en el nodo de puerta, se hace uso de un acoplamiento capacitivo que permite detectar las variaciones de la tensión V_{OUT} y, así, poder incrementar de forma dinámica la corriente en la entrada del buffer, logrando reducir el tiempo de respuesta ante variaciones de la corriente I_{LOAD} .

Los autores de [108] y [109] presentan un sistema que puede ser utilizado como regulador *LDO* y puerta digital de potencia, [110], entregando una corriente I_{OUT} máxima de 4A. La Figura 3.12 muestra el diagrama de bloques del regulador presentado. En ella, se muestra la presencia de un multiplexor, MUX1, que permite seleccionar el modo de funcionamiento a través de la lógica de control, adaptando la tensión de salida a las necesidades del sistema en un momento determinado. Así, en el modo *LDO*, se puede comprobar que los autores implementan dos lazos de realimentación usando la celda *CAFVF* para ello. Así, el lazo formado por el amplificador de error, el transistor M_{EA} y la capacidad parásita asociada a su puerta se encargan de fijar el valor de la tensión V_{OUT} . Por su parte, el lazo constituido por el propio *CAFVF* es el encargado de responder frente a las variaciones producidas en V_{OUT} .

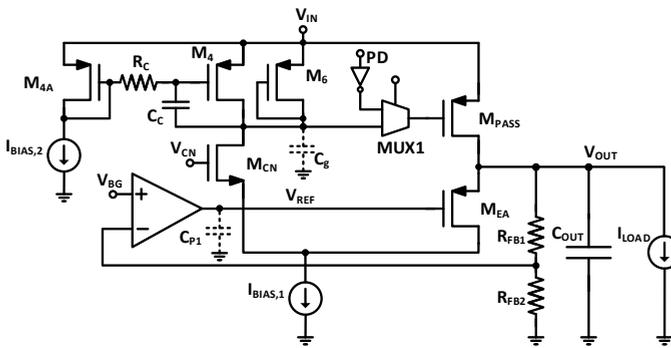


Figura 3.12 Regulador *LDO* presentado en [109].

Desde el punto de vista de la estabilidad, los autores implementan un esquema de compensación compuesto por los transistores M_4 , M_6 y los elementos pasivos R_c y C_c . La idea de este esquema es generar una red de retraso que permita compensar el movimiento del polo no dominante, generado por la capacidad C_{OUT} . Además, los elementos M_4 , R_c y C_c constituyen un multiplicador capacitivo en baja frecuencia, permitiendo reducir el valor de la capacidad C_c necesaria para la implementación de la red de retardo, donde el valor de C_c debe ser varias veces el de la capacidad parásita C_g . El transistor M_6 se utiliza para limitar la ganancia total del regulador en lazo abierto, mejorando la estabilidad.

A continuación, en la Tabla 3.1 se recogen, a modo comparativo, las principales características de los reguladores *LDO* presentados anteriormente. Con el fin de poder realizar una comparativa equitativa, se utilizará la FOM_1 presentada en la Ecuación (2.25). Los valores obtenidos por cada uno de los trabajos se presentan en la Tabla 3.2. Como puede verse, el trabajo que consigue mejor FOM es el presentado en [87], debido a su bajo consumo quiescente y de la pequeña capacidad C_{OUT} utilizada a la salida del regulador.

Tabla 3.1 Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores LDO compensados internamente.

| | [86] | [87] | [97] | [99] ^a | [100] | [103] | [105] | [106] | [109] |
|--------------------------------------|--------------------|---------------------|-------------------|-------------------|--------------------|------------------|------------------|-------------------|---------------------|
| Proceso | [μm] | 0.09 | 0.09 | 0.35 | 0.065 | 0.35 | 0.35 | 0.18 | 0.014 |
| V_{IN} | [V] | 1.2 | 0.75-1.2 | 1.2-1.5 | 1.2 | 1.4-3.3 | 1.28-3.3 | 0.9-1.8 | 0.5-1.1 |
| V_{OUT} | [V] | 0.9 | 0.5-1 | 1.0 | 1.0 | 1.2 | 1.1 | 0.7 | 0.4-1.0 |
| $V_{DROPOUT}$ | [mV] | 300 | 200 | 200 | 200 | 200 | 180 | 80 | |
| $I_{LOAD,max}$ | [mA] | 100 | 100 | 50 | 50 | 50 | 100 | 50 | 4000 |
| I_q | [μA] | 6000 | 8 | 95 | 13.2 | 34.6 | 25 | 3.9 | 10000 |
| C_{OUT} | [pF] | 6e2 | 5e1 | 1e2 | 1e4 | 2e2 | 1e2 | 1e2 | 7e6 |
| $\eta _{LOAD,max}$ | [%] | 94.3400 | 99.9920 | 99.9051 | 99.9868 | 99.9654 | 99.9750 | 99.9961 | 99.7506 |
| Area | [mm ²] | 0.0980 ^c | 0.0190 | 0.0448 | - ^d | 0.0800 | 0.1260 | 0.0406 | 0.0410 ^f |
| Tiempo de respuesta ^b | [μs] | 0.015 ^c | 3.75 ^c | 0.3 | 0.925 | 1.4 ^c | 1.4 | - ^d | 1.5 ^c |
| ΔV_{OUT} variando V_{IN} | | | | | | | | | |
| • Máximo | [mV] | - ^d | 40 | - ^d | - ^d | 20 ^c | 20 ^c | - ^d | - ^d |
| • Mínimo | [mV] | - ^d | -33 | - ^d | - ^d | -28 ^c | 0 ^c | - ^d | - ^d |
| $\Delta V_{IN}/I_r$ ^e | [V/ μs] | - ^d | 0.42/10 | - ^d | - ^d | 0.20/3 | 1/1e3 | - ^d | - ^d |
| ΔV_{OUT} variando I_{LOAD} | | | | | | | | | |
| • Máximo | [mV] | 45 | 114 | 130 ^c | 43.92 | 46 | 31 | 500 ^c | 35 ^c |
| • Mínimo | [mV] | -45 | -73 | -160 ^c | -341.63 | -75 | -80 | -500 ^c | -40 ^c |
| $\Delta I_{LOAD}/I_r$ ^e | [mA/ μs] | 100/1e-4 | 98.5/0.1 | 500.5 | 500.1 ^f | 49.9/0.3 | 1000.5 | 500.1 | 3650/1.5 |
| Regulación de línea | [mV/V] | - ^d | 3.78 | 18 | 216.8 | 8.8 | - ^d | - ^d | - ^d |
| Regulación de carga | [$\mu V/mA$] | 900 ^a | 100 | 280 | 133e3 | 3000 | 190 ^c | - ^d | - ^d |

^a Valores obtenidos por simulación ^b Peor caso ^c Estimación realizada a partir de los datos proporcionados por el artículo ^d No aportan información ^e I_r : Tiempo de subida ^f No contempla el transistor de paso

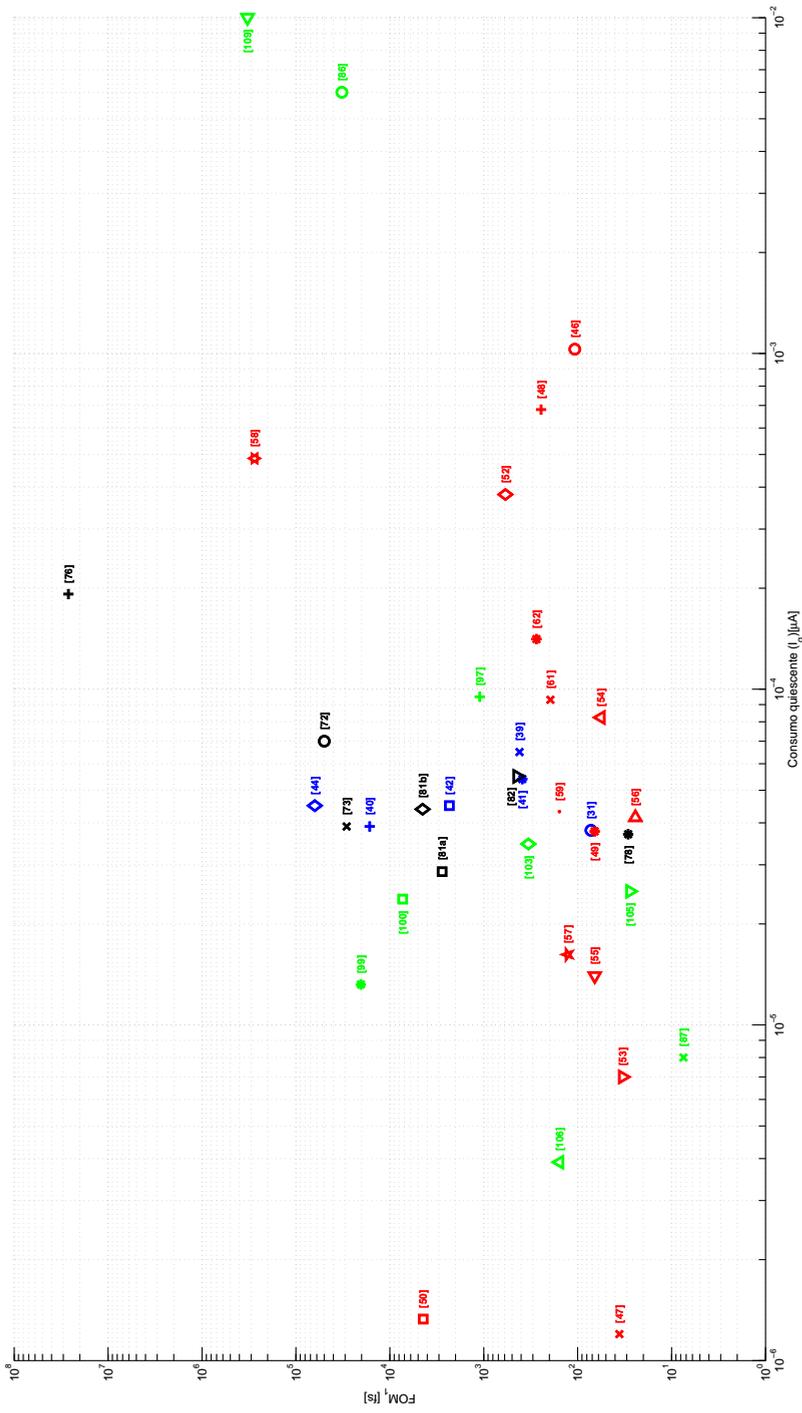


Figura 3.13 Representación de la FOM expuesta en Ecuación (2.25) frente al consumo quiescente del regulador.

Tabla 3.2 Valores de la *FOM* obtenidos por los reguladores *LDO* basados en el *FVF* y *CAFVF*.

| | | [86] | [87] | [97] ^a | [99] ^b | [100] |
|---------|------|----------|------|-------------------|-------------------|---------|
| T_r | [ns] | 0.54 | 0.09 | 0.58 | 77.11 | 15.40 |
| FOM_1 | [fs] | 32400.00 | 7.48 | 1102.00 | 20357.04 | 7299.60 |

| | | [103] | [105] | [106] ^a | [109] ^a |
|---------|------|--------|-------|--------------------|--------------------|
| T_r | [ns] | 0.48 | 0.11 | 2.00 | 131.25 |
| FOM_1 | [fs] | 334.93 | 27.75 | 156.00 | 328125.00 |

^a Estimación realizada a partir de los datos proporcionados por el artículo

^b Valores obtenidos por simulación

3.2 Aportaciones

Tal y como se ha visto en la sección anterior, un regulador *LDO* compensado internamente y basado en la celda *FVF* o *CAFVF*, presenta una limitación en su respuesta transitoria debido, principalmente, al uso de fuentes estáticas de polarización. Al disponer únicamente de una corriente constante, la carga y descarga de la capacidad parásita del transistor de puerta presenta un tiempo de respuesta marcado por el valor de dichas corrientes. Esto supone que, si se quiere incrementar la velocidad de respuesta del regulador, se tenga que incrementar el valor de las fuentes de polarización, aumentando el consumo quiescente y, por tanto, la potencia disipada por el propio regulador. Para evitar aumentar las pérdidas producidas por el consumo quiescente del regulador, se proponen dos variantes basadas en acoplamientos capacitivos que permitan convertir las fuentes de polarización de la celda *CAFVF* en dinámicas.

En este punto, es necesario indicar que el uso de acoplamientos capacitivos para la mejora de la respuesta transitoria es una técnica conocida y utilizada en numerosos diseños, donde se busca una mejora de la respuesta transitoria sin degradar su consumo. En el caso de los reguladores de tipo *LDO*, existen varias soluciones que hacen uso de esta técnica con anterioridad al trabajo presentado, como se puede comprobar en [103, 104]. No obstante, dada la sencillez de la técnica, de forma paralela al desarrollo de esta tesis doctoral se han publicado diversos trabajos como [105], editado en 2013, [106, 108], divulgados durante el año 2015, o [109], correspondiente al año 2016. En todos ellos, los autores hacen uso de uno o varios acoplamientos para la mejora de la respuesta transitoria frente a variaciones de la carga. Sin embargo, en ellos no se hace referencia a la respuesta del regulador frente a variaciones de la tensión de entrada.

En este sentido, las aportaciones que se presentan en las Subsección 3.2.1 y Subsección 3.2.2 buscan la mejora de la respuesta transitoria frente a variaciones de la tensión de línea o de la carga, de forma simultánea. En ambos casos, el objetivo es mantener la variación de V_{OUT} dentro de unos límites frente a estímulos con tiempos de subida y de bajada similares. Para ello, no sólo se ha hecho uso de acoplamientos capacitivos, sino que además se han usado transistores polarizados en la región de triodo para conseguir un

mayor incremento de la corriente de polarización en los instantes de transición. De acuerdo con esto, la aplicación de esta técnica en tecnologías nanométricas en reguladores *LDO* resulta novedosa. Asimismo, se ha utilizado un esquema *gain-boosting* para incrementar la ganancia de lazo abierto del regulador, permitiendo mejorar la regulación de línea y de carga.

En el caso de la primera aportación, la fuente de corriente $I_{BIAS,2}$, Figura 3.1b, se transforma en una fuente dinámica gracias al acoplamiento capacitivo de la tensión V_{IN} y V_{OUT} , con el objetivo de acelerar la carga de la capacidad parásita del transistor de paso. Por su parte, para la conversión de la fuente $I_{BIAS,1}$ se ha utilizado un amplificador que consigue la inversión necesaria para lograr la descarga de la capacidad parásita de M_{PASS} . Con el fin de mejorar el incremento de la corriente en las transiciones, los transistores encargados de generar dicha corriente se han polarizado en triodo para conseguir un mayor aumento.

Finalmente, la segunda aportación consigue sustituir uno de los dos acoplamientos utilizados en el diseño anterior por un camino directo entre la salida, V_{OUT} , y la puerta del transistor de paso. Este cambio permite descargar con mayor rapidez la capacidad parásita de M_{PASS} , logrando una menor caída de la tensión regulada cuando I_{LOAD} incrementa su valor o V_{IN} sufre una reducción. Al igual que en la aportación anterior, los transistores responsables de generar esta corriente de descarga han sido polarizados en la región de triodo para conseguir un mayor aumento. A su vez, se consigue reducir el consumo quiescente al simplificar la estructura.

3.2.1 Aportación 1

La estructura propuesta, basada en la celda *CAFVF*, se muestra en la Figura 3.14. Como puede observarse, las fuentes $I_{BIAS,1}$ e $I_{BIAS,2}$ han sido sustituidas por dos fuentes de corriente dinámicas, dependientes de la tensión V_{IN} y V_{OUT} . La Figura 3.14a representa el esquema utilizado para la implementación de $I_{BIAS,2}$, mientras que la Figura 3.14b, muestra el acoplamiento capacitivo junto con el amplificador diferencial usado para hacer $I_{BIAS,1}$ dinámica. Para estos circuitos, si la tensión V_{IN} incrementa su valor, el nodo X tiende, instantáneamente, a aumentar, provocando que la corriente que circula por el transistor M_{xx} sea mayor. Por tanto, la corriente $I_{BIAS,2}$, utilizada para cargar la capacidad parásita (C_{gg}) de puerta de M_{PASS} , es mayor, lo que permite reducir el tiempo que tarda el nodo de puerta en alcanzar su nuevo valor. Además, con el objetivo de magnificar este efecto, la tensión V_{OUT} es acoplada, ya que tiende a aumentar, también. Al mismo tiempo, pretendiendo lograr un comportamiento simétrico, se ha realizado un esquema similar con la fuente de corriente $I_{BIAS,1}$. Sin embargo, para llevarlo a cabo se ha necesitado un amplificador diferencial para comparar la variación producida, tanto en la tensión de entrada como en la de salida, y generar una respuesta proporcional, que aumente la corriente de descarga $I_{BIAS,1}$.

Cabe destacar que la tensión en la puerta de M_{yy} , transistor de entrada del amplificador diferencial mostrado en la Figura 3.14b, se compara con una referencia de tensión V_X que se genera a partir de M_{aa} - M_{bb} , eliminando la necesidad de utilizar una referencia externa de tensión. Los elementos R_X y C_X estabilizan esta referencia de tensión frente a transiciones rápidas de V_{IN} y V_{OUT} .

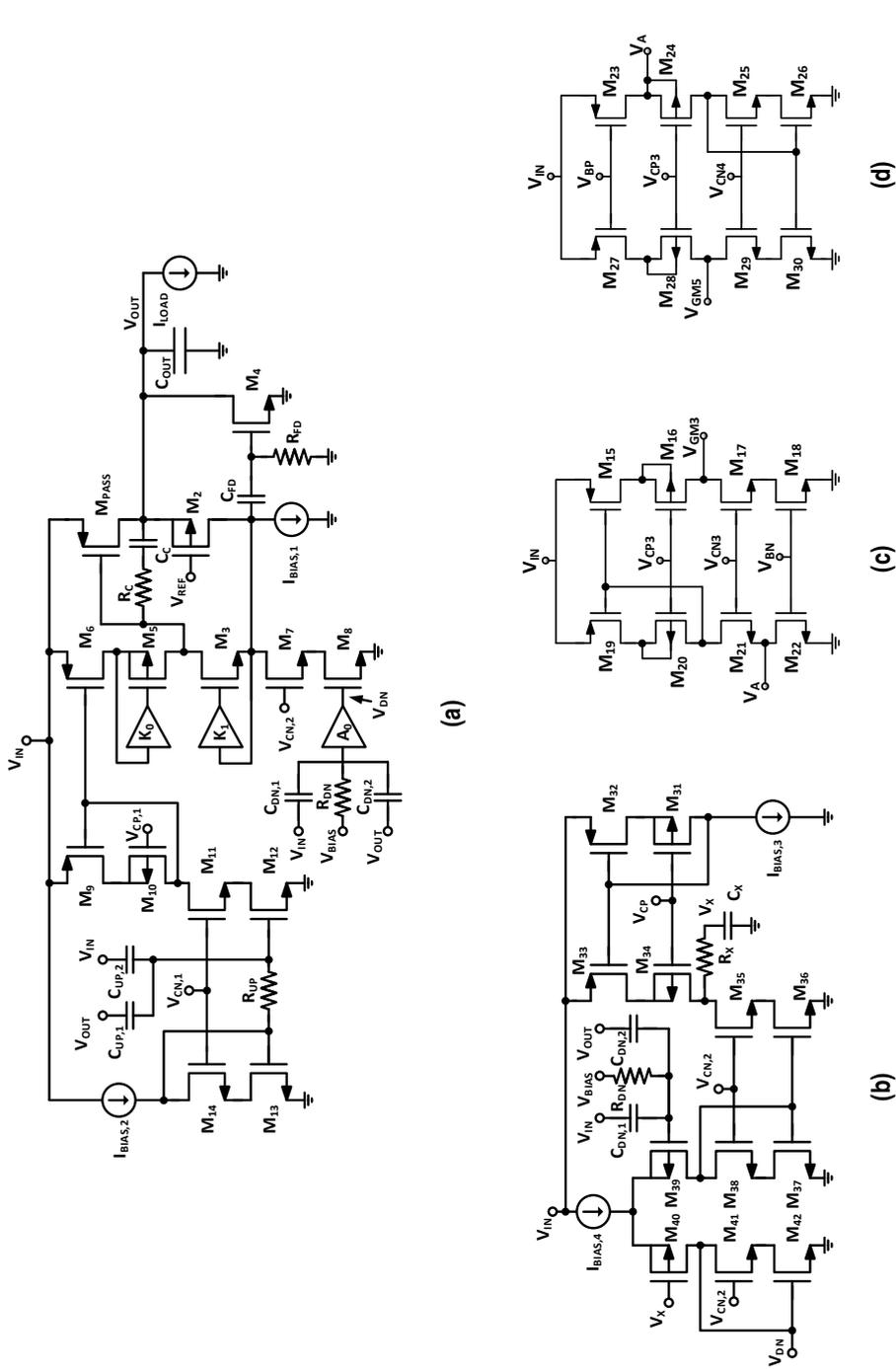


Figura 3.14 Estructura del regulador propuesto. (a) Versión simplificada del circuito, (b) Detalle del amplificador diferencial usado para incrementar el *slew-rate* negativo, (c) detalle del amplificador usado para mejorar la ganancia del transistor M_{CN} y (d) M_8 .

Los valores de los elementos pasivos R_{UP} , $C_{UP,1}$, $C_{UP,2}$ y R_{DN} , $C_{DN,1}$, $C_{DN,2}$ han sido calculados para maximizar las variaciones de la tensión de puerta de los transistores M_{xx} y M_{yy} , respectivamente. Para ello, el valor de las resistencias R_{UP} y R_{DN} es lo suficientemente grande como para establecer correctamente el punto de operación de M_{xx} y M_{yy} . A continuación, el valor de las capacidades es calculado de forma que se logre el incremento de la corriente de polarización necesario, Ecuación (3.5). En esta ecuación, R se corresponde con el valor usado de R_{UP} y R_{DN} . A su vez, ΔV_{gate} es la variación de la tensión de puerta necesaria para que el transistor genere, durante las variaciones de V_{IN} y V_{OUT} , el aumento de corriente necesario. Por último, ΔV representa la variación sufrida por V_{IN} o V_{OUT} , en un intervalo de tiempo Δt .

$$C = -\frac{R}{\Delta t} \ln \left[1 - \frac{\Delta V_{gate} \Delta t}{\Delta V} \right] \tag{3.5}$$

De igual modo, para mejorar la ganancia en lazo abierto de todo el sistema, se han introducido dos amplificadores complementarios [111, 112], Figura 3.14c y Figura 3.14d. Por último, los elementos C_3 , R_3 y M_4 , mostrados en la Figura 3.14a, se añaden con el fin de reducir los incrementos de la tensión de salida cuando la corriente demandada por la carga se reduce o la tensión de entrada se incrementa. En condiciones estacionarias, donde no se producen variaciones de V_{IN} o I_{LOAD} , M_4 está polarizado en la región de corte, a través de R_3 , evitando incrementar el consumo quiescente del regulador *LDO*. Sin embargo, cuando alguna de estas dos magnitudes aumenta su valor, C_3 acopla la variación producida en el nodo Y a la puerta de M_4 , entrando este último en conducción. Este mecanismo permite crear un camino de descarga que conduce el exceso de corriente hacia tierra. Como resultado, se consigue reducir el incremento de V_{OUT} .

Estabilidad

El principal método para estudiar la estabilidad de cualquier sistema, incluido un regulador *LDO*, consiste en el análisis de su modelo de pequeña señal. En este caso concreto, el modelo simplificado que se ha utilizado para llevar a cabo este estudio se muestra en la Figura 3.15.

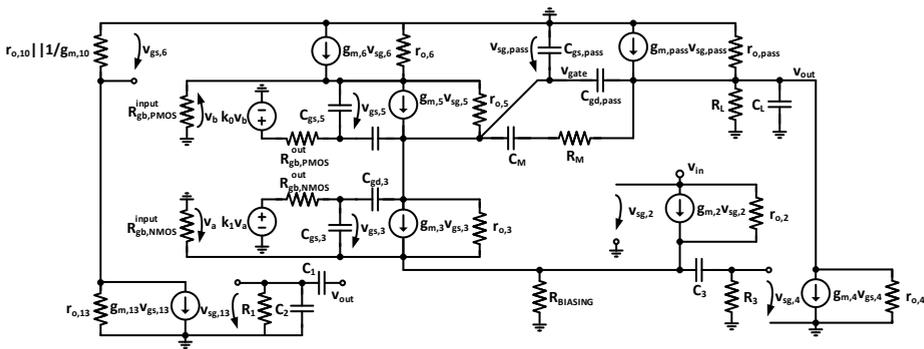


Figura 3.15 Modelo de pequeña señal del regulador *LDO* propuesto.

Los valores g_{m_i} , r_{o_i} y C_{o_i} representan la transconductancia, la resistencia de salida y la capacidad parásita vista a tierra de la etapa i -ésima, respectivamente. Para este modelo se han contemplado los efectos que, sobre la respuesta en frecuencia del sistema, pueden ejercer los acoplamientos RC.

La Ecuación (3.6) recoge la función de transferencia asociada al modelo de pequeña señal mostrado en la Figura 3.15.

$$H(s) = A_{OL} \frac{1 + a_1s + a_2s^2 + a_3s^3 + a_4s^4 + a_5s^5 + a_6s^6 + a_7s^7 + a_8s^8}{1 + b_1s + b_2s^2 + b_3s^3 + b_4s^4 + b_5s^5 + b_6s^6 + b_7s^7 + b_8s^8 + b_9s^9} \quad (3.6)$$

donde

$$A_{OL} = g_{m,3}g_{m,2}g_{m,p}K_1R_{o,3}R_{Biasing} \| R_{gb,NMOS}^{input} R_{LOAD} \| r_{o,p} \quad (3.7) \quad a_1 = R_3C_3 \quad (3.8)$$

$$a_2 = R_1R_3C_3[C_1 + C_2] \quad (3.9)$$

$$a_3 = R_1R_3C_3C_M \left[R_M[C_1 + C_2] - \frac{C_1}{g_{m,p}} \right] + \frac{R_1R_3R_{gb,PMOS}^{out}C_1C_3C_{gs,3}}{K_1g_{m,3}r_{o,3}} \quad (3.10)$$

$$a_4 = R_1R_3R_M C_1 C_3 C_M \left[\frac{R_{gb,NMOS}^{out}}{K_1} \left[C_{gd,3} \left[1 - \frac{1}{g_{m,p}R_M} + \frac{1}{g_{m,3}r_{o,3}} \right] + \frac{C_{gs,3}}{g_{m,3}r_{o,3}} \right] + \frac{R_{gb,PMOS}^{out}}{K_0} \left[C_{gd,5} + \frac{C_{gd,3}}{g_{m,5}R_{gb,PMOS}^{input}} \right] - \frac{C_{gd,p}}{g_{m,p}} - \frac{2C_{gd,3}}{g_{m,3}} \right] \quad (3.11)$$

$$a_5 = R_1R_3R_M C_1 C_3 C_M \left[C_{gd,3} \left[\frac{R_{gb,NMOS}^{out}C_{gs,3}}{K_1g_{m,3}} - \frac{R_{gb,NMOS}^{out}R_{gb,PMOS}^{out}C_{gd,p}}{K_1g_{m,p}} + \frac{R_{gb,NMOS}^{out}R_{gb,PMOS}^{out}C_{gs,5}}{K_0K_1g_{m,5}R_{gb,PMOS}^{input}} \right] + \frac{R_{gb,PMOS}^{out}}{K_0K_1g_{m,3}r_{o,3}} \left[R_{gb,NMOS}^{out}C_{gs,3}C_{gd,5} - \frac{R_{gb,PMOS}^{out}C_{gd,p}C_{gs,5}}{g_{m,p}g_{m,2}g_{m,5}g_{m,10}r_{o,2}r_{o,6}r_{o,13}} \right] \right] + \frac{R_1R_{gb,PMOS}^{out}C_M C_{gd,3}C_{gd,5}}{K_0g_{m,p}g_{m,3}g_{m,5}g_{m,10}} \cdot \left[\frac{C_1C_{gs,5}}{g_{m,2}r_{o,2}r_{o,10}} - \frac{R_{gb,NMOS}^{out}C_2C_{gs,3}}{K_1r_{o,5}r_{o,13}} \right] \quad (3.12)$$

$$a_6 = R_1 R_3 R_M R_{gb,NMOS}^{out} C_1 C_3 C_M C_{gd,3} \left[\frac{C_{gs,3} C_{gs,5}}{K_1 g_{m,3} g_{m,5}} - \frac{C_{gd,p} C_{gs,3}}{K_1 g_{m,p} g_{m,3}} + \frac{R_{gb,PMOS}^{out} C_{gs,3} C_{gd,5}}{K_0 K_1 g_{m,3}} - \frac{R_{gb,PMOS}^{out} C_{gd,p} [C_{gs,5} + C_{gd,5}]}{K_0 K_1 g_{m,p} g_{m,5} R_{gb,PMOS}^{input}} \right] + \frac{R_{gb,PMOS}^{out} C_{gs,3} [C_{gd,5} + C_{gs,5}]}{K_0 K_1 g_{m,3} g_{m,5} R_{gb,PMOS}^{input}} + \frac{R_{gb,PMOS}^{out} C_2 C_{gs,3} C_{gd,3} C_{gd,5}}{K_0 K_1 g_{m,3} C_1} \quad (3.13)$$

$$a_7 = \frac{R_1 R_3 R_M R_{gb,NMOS}^{out} C_3 C_M}{K_0 K_1} \left[C_1 C_{gd,3} \left[\frac{C_{gd,5} C_{gs,5}}{g_{m,3} g_{m,5}} - \frac{C_{gd,p} C_{gd,5}}{g_{m,p} g_{m,5}} \right] + \frac{R_{gb,PMOS}^{out} C_{gs,3} C_{gd,5}}{K_0 K_1 g_{m,3}} \left[\frac{1}{g_{m,10} r_{o,10}} + \frac{g_{m,4}}{g_{m,p} g_{m,5} r_{o,6}} \right] + \frac{R_{gb,PMOS}^{out} C_2 C_{gs,3} C_{gd,3} C_{gd,5}}{K_0 K_1 g_{m,3} C_1} \right] - \frac{C_{gd,p} C_{gs,3} [C_{gd,5} + C_{gs,5}]}{g_{m,p} g_{m,3} g_{m,5} R_{gb,PMOS}^{input}} - \frac{C_{gd,p} C_{gs,3} C_{gd,5}}{g_{m,2} r_{o,2}} \left[\frac{1}{g_{m,10} r_{o,10}} + \frac{1}{g_{m,10} r_{o,13}} \right] + \frac{C_{gd,p} C_{gs,3} C_{gd,5}}{g_{m,p} g_{m,3} g_{m,5}} \quad (3.14)$$

$$a_8 = \frac{R_{gb,PMOS}^{out} C_2 C_{gd,5} C_{gs,3} C_{gs,5}}{g_{m,3} g_{m,5}} \left[C_{gd,3} + \frac{g_{m,4} C_{gd,p}}{g_{m,p} g_{m,2} g_{m,10} r_{o,2} r_{o,10}} \right] + \frac{R_1 R_3 R_M R_{gb,NMOS}^{out} C_3 C_M C_{gd,p} C_{gd,3} C_{gs,3} C_{gs,5}}{K_0 K_1 g_{m,p} g_{m,3} g_{m,5}} \left[C_1 \left[1 + \frac{1}{g_{m,10} r_{o,10} \| r_{o,13}} \right] + C_2 \right] \quad (3.15)$$

$$b_1 = R_{eq,1} R_{eq,2} \left[C_M \left[\frac{g_{m,p} r_{o,3}}{R_{gb,NMOS}^{input}} + K_1 g_{m,3} r_{o,3} \left[g_{m,p} + \frac{1}{R_L \| r_{o,p}} \right] \right] + \frac{g_{m,p} g_{m,6} g_{m,13} R_1 r_{o,3} C_1}{g_{m,10}} \right] + \frac{1}{g_{m,10}} + \frac{R_{gb,NMOS}^{input}}{R_{gb,NMOS}} \quad (3.16)$$

$$b_2 = r_{o,3} R_{eq,1} R_{eq,2} \left[K_1 \frac{g_{m,3} R_1 C_2 C_{gd,5}}{g_{m,10} r_{o,p} r_{o,13}} + R_3 C_3 \left[\frac{g_{m,p} g_{m,6} g_{m,13} R_1 C_1}{g_{m,10}} \left[g_{m,3} [1 + K_1] + \frac{1}{R_{gb,NMOS}^{input}} \right] + C_M \left[\frac{g_{m,p}}{R_{gb,NMOS}^{input}} + \frac{1}{R_L \| r_{o,p}} \right] \right] + K_1 g_{m,3} \left[1 + \frac{1}{K_0} \right] + K_1 g_{m,p} g_{m,3} r_{o,3} C_{gd,p} \right] \quad (3.17)$$

$$b_3 = K_1 g_{m,3} r_{o,3} R_3 R_{eq,1} R_{eq,2} C_3 \left[C_M [C_L + g_{m,p} R_1 C_2] + C_1 \left[g_{m,p} R_1 [C_{gd,p} + C_M] + C_M \left[\frac{R_1}{R_L \| r_{o,p}} + \frac{g_{m,p} g_{m,6} g_{m,13} R_1 R_M}{g_{m,10}} \right] \right] \right] \quad (3.18)$$

$$b_4 = R_1 R_3 R_{eq,1} R_{eq,2} C_1 C_3 \left[C_M \left[\frac{r_{o,3} C_L}{R_{gb,NMOS}^{input}} + g_{m,p} R_{gb,NMOS}^{out} \right] \left[1 + \frac{r_{o,3}}{R_{gb,NMOS}^{input}} \right] [C_{gd,3} + C_{gs,3}] \right] + K_1 g_{m,3} r_{o,3} C_L [C_M + C_{gd,p} + C_{gs,p}] \quad (3.19)$$

$$b_5 = R_1 R_3 R_{eq,1} R_{eq,2} C_1 C_3 \left[\frac{R_M R_{gb,NMOS}^{out} C_M C_{gs,3} C_{gs,p}}{R_L \| r_{o,p}} + g_{m,p} R_M R_{gb,NMOS}^{out} C_M C_{gd,p} [C_{gd,3} + C_{gs,3}] \right] \left[1 + \frac{r_{o,3}}{R_{gb,NMOS}^{input}} \right] + g_{m,3} r_{o,3} C_{gd,3} \left[K_1 g_{m,3} R_M C_M + \frac{C_{gs,3}}{R_{gb,NMOS}^{input}} [C_{gd,p} + C_{gs,p}] \right] \quad (3.20)$$

$$b_6 = R_1 R_3 R_{eq,1} R_{eq,2} R_{gb,NMOS}^{out} C_3 C_M [R_M C_1 C_L C_{gs,p} C_{gs,3} + g_{m,3} r_{o,3} R_M C_1 C_L C_{gd,3} C_{gs,p} + g_{m,p} r_{o,3} R_M C_1 C_{gd,3} C_{gs,3} C_{gd,p} + \frac{r_{o,3} C_1 C_L}{R_{gb,NMOS}^{input}} [C_{gd,p} + C_{gs,p}] + \frac{R_{gb,NMOS}^{out} C_{gs,5}}{K_0 g_{m,5} R_{gb,NMOS}^{input}} [C_{gd,3} + C_{gs,3}] + \frac{r_{o,3} R_M C_2 C_{gd,p} C_{gs,3} C_{gs,5}}{K_0 g_{m,5} g_{m,10} r_{o,2} r_{o,10}} \left[1 + \frac{R_{gb,NMOS}^{out}}{r_{o,4}} \right] \quad (3.21)$$

$$b_7 = r_{o,3} R_1 R_3 R_{eq,1} R_{eq,2} R_{gb,NMOS}^{out} R_{gb,NMOS}^{out} C_1 C_3 C_M C_L \left[\frac{C_{gs,p} C_{gd,3} C_{gs,3}}{R_{gb,NMOS}^{out}} + \frac{C_{gd,5} C_{gs,3} C_{gs,p}}{K_0 r_{o,3}} + \frac{C_{gs,p} C_{gd,5} C_{gs,3}}{K_0 R_{gb,NMOS}^{input}} \right] + \frac{g_{m,3} C_{gd,3} C_{gd,5} C_{gs,p}}{K_0} + \frac{C_{gd,3} C_{gs,5}}{K_0 g_{m,5} R_{gb,NMOS}^{input}} [C_{gd,p} + C_{gs,p}] + \frac{C_{gs,3} C_{gs,5} C_{gs,p}}{K_0 g_{m,5} R_{gb,NMOS}^{input} R_{gb,NMOS}^{input}} \quad (3.22)$$

$$b_8 = \frac{r_{o,3} R_1 R_3 R_{eq,1} R_{eq,2} R_{gb,NMOS}^{out} R_{gb,NMOS}^{out} C_3 C_L C_M}{K_0} [C_2 C_{gs,p} C_{gd,3} C_{gd,5} C_{gs,3} + C_1 [C_{gd,5} [C_{gd,p} + C_{gs,p}]] \cdot \quad (3.23)$$

$$\cdot \left[C_{gd,3} C_{gs,3} + \frac{C_{gs,5} [C_{gd,3} + C_{gs,3}]}{g_{m,5} R_{gb,NMOS}^{input}} \right] + C_{gs,p} C_{gd,3} C_{gs,3} \left[\frac{C_{gs,5}}{g_{m,5} R_{gb,NMOS}^{input}} + \frac{C_{gd,5}}{g_{m,10} r_{o,10}} \right] \quad (3.24)$$

$$b_9 = \frac{r_{o,3} R_1 R_3 R_{eq,1} R_{eq,2} R_{gb,NMOS}^{out} R_{gb,NMOS}^{out} C_1 C_M C_{gd,3} C_{gd,5} C_{gs,3} C_{gs,5}}{K_0 g_{m,5}} [C_1 + C_2] [C_{gd,p} + C_{gs,p}] \left[1 + \frac{1}{g_{m,10} r_{o,10}} \right]$$

Si se centra la atención en el denominador de la función de transferencia, Ecuación (3.6), dada su complejidad se ha considerado que la frecuencia a la que se produce el polo dominante es mucho menor que el resto de polos y ceros que constituyen el sistema. Esta aproximación permite aproximar el polo dominante de acuerdo con la Ecuación (3.25), donde el coeficiente b_1 se muestra en la Ecuación (3.16).

$$\omega_{pd} \approx \frac{1}{b_1} \quad (3.25)$$

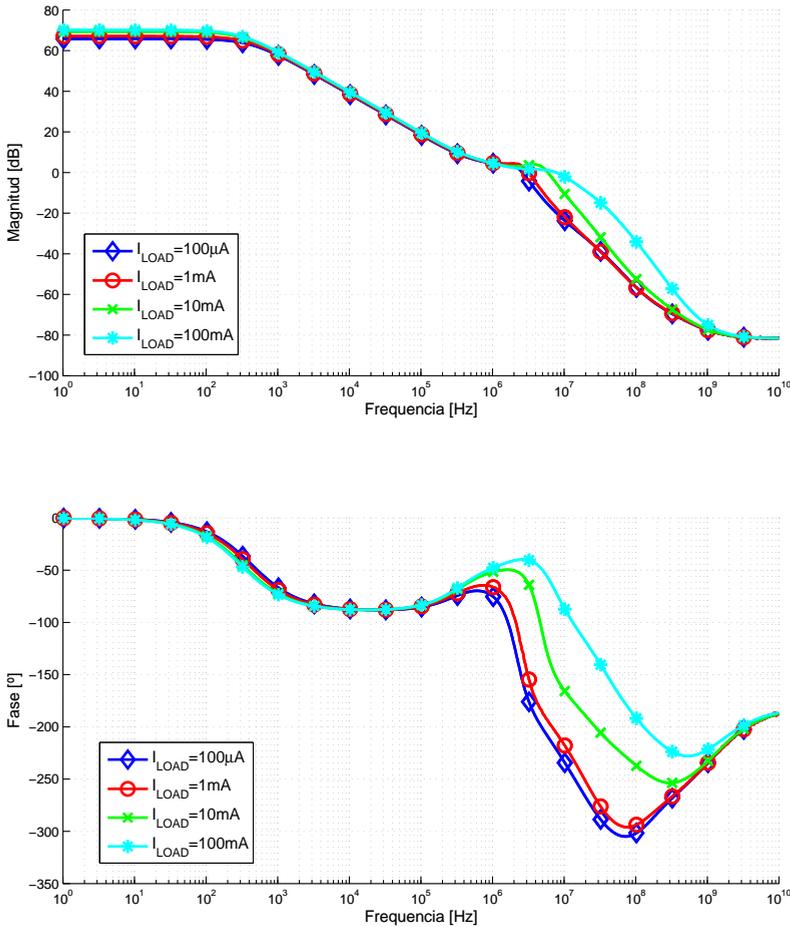


Figura 3.16 Respuesta en frecuencia del regulador *LDO* propuesto.

Por su parte, el polo no dominante viene fijado por la resistencia de salida, R_{o3} , y la capacidad de carga, C_{LOAD} , como era de esperar. Este hecho va a provocar que este segundo polo se mueva hacia la frecuencia *UGF* a medida que I_{LOAD} se reduzca. En consecuencia, el margen de fase tiende a empeorar, al aumentar la contribución de este polo al dominante.

Tabla 3.3 Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador *LDO* propuesto.

| I_{LOAD} | Ganancia [dB] | PM [°] |
|------------|---------------|--------|
| 100 [μA] | 68.53 | 47.12 |
| 1 [mA] | 68.87 | 112 |
| 10 [mA] | 68.85 | 130.4 |
| 100 [mA] | 62.74 | 139 |

Así pues, se ha implementado un esquema de compensación clásico basado en el efecto *Miller* con resistencia de anulación para mejorar el margen de fase para valores de I_{LOAD} comprendidos entre 100μA y 100mA. Se ha implementado a través de los elementos $R_m = 1k\Omega$ y $C_m = 6pF$.

A modo de conclusión, la Figura 3.16 representa la respuesta en frecuencia del regulador propuesto basado en simulaciones *post-layout* para diferentes valores de la corriente de carga, I_{LOAD} . En todas ellas, se ha supuesto el peor caso desde el punto de vista de la estabilidad. Éste se corresponde con el uso de una capacidad $C_{OUT} = 100pF$. La Tabla 3.3 recoge los valores de ganancia y margen de fase correspondientes al diagrama de *Bode* mostrados anteriormente. La Figura 3.17 representa un diagrama polo-cero donde se han dibujado los polos y ceros más significativos del sistema. Tal y como comprobarse, a medida que I_{LOAD} disminuye su valor, el polo no dominante reduce su valor, provocando la degradación del margen de fase. Para evitarlo, el cero introducido por la compensación de *Miller* se ha colocado en la vecindad para contribuir a una mejora del margen de fase.

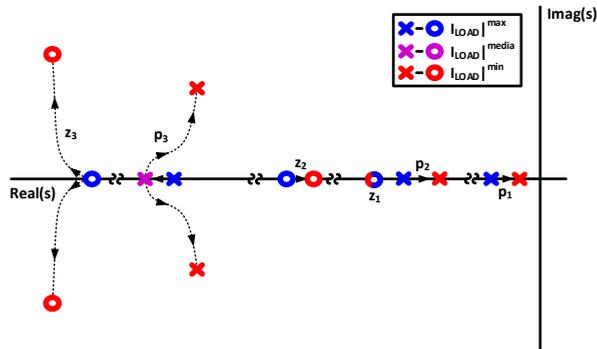


Figura 3.17 Diagrama polo-cero del regulador *LDO* propuesto.

Resultados experimentales

El diseño propuesto ha sido implementado en una tecnología *CMOS* estándar de 65nm. La Figura 3.18a muestra una microfotografía del circuito integrado diseñado a la que se ha sobrepuesto la vista del *layout*, para poder observar la ubicación del mismo. Una vista más

detallada del diseño puede observarse en la Figura 3.18b. En ella, el bloque A (color rojo), se corresponde con el transistor de paso; la sección B (color amarillo) está constituida por la celda *CAFVF* junto con las fuentes de corriente dinámicas y la compensación. Por último, C (color negro) representa el circuito de polarización utilizado para generar las diferentes tensiones de cascodo utilizadas. El área total consumida por este regulador es de 0.0276mm^2 . El regulador ha sido diseñado para suministrar una corriente máxima de 100mA y soportar una capacidad de carga C_{OUT} de hasta 100pF .

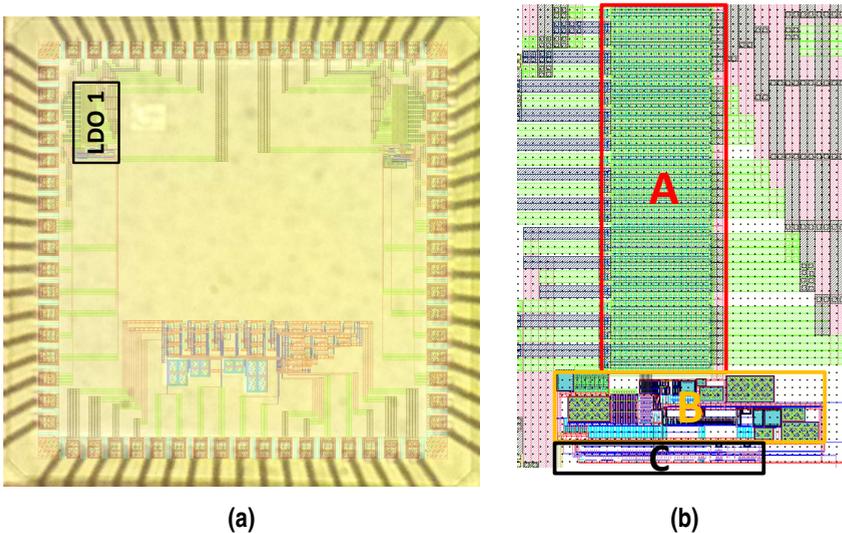


Figura 3.18 (a) Microfotografía del *chip* fabricado y (b) detalle del *layout* realizado.

A continuación se muestra la característica estática, o respuesta en *DC* del regulador, para $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 100\text{mA}$, Figura 3.19a, y $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 0.1\text{mA}$. Esta medida permite verificar que la caída $V_{dropout}$ se corresponde con el valor especificado para I_{LOAD}^{max} . Con este objetivo, se utiliza como estímulo de entrada una señal triangular de período $T = 10\text{ms}$, variando entre 0V y 1.2V , el valor máximo admitido por la tecnología. El período elegido debe ser lo suficientemente lento como para no afectar al comportamiento normal del regulador. Tras someter al regulador a esta entrada, cabe destacar que su salida permanece constante e igual a 0.683V para una tensión V_{IN} superior a 0.877V , en el caso representado en la Figura 3.19b. Esto se traduce en que la tensión de *dropout*, $V_{dropout}$, es de 0.194V , valor ligeramente inferior al valor deseado de 0.2V .

La Figura 3.20 representa la respuesta transitoria del regulador cuando la corriente de carga varía entre 0.1mA y 100mA , haciendo uso de un tiempo de subida, t_r , y de bajada, t_f , de $1\mu\text{s}$. La prueba se ha realizado para el peor caso, donde $C_{OUT} = 100\text{pF}$ y $V_{IN} = 0.9\text{V}$. Bajo estas condiciones, las medidas realizadas han mostrado que V_{OUT} incrementa su valor 123mV cuando la corriente requerida reduce su valor de 100mA a 0.1mA , Figura 3.20b. En el caso de que I_{LOAD} se incremente, V_{OUT} sufre una reducción de 148mV , respecto de



Figura 3.19 Respuesta estática del regulador propuesto para (a) $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 100\text{mA}$ y (b) $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 0.1\text{mA}$.

su valor nominal. Por su parte, el tiempo de establecimiento¹ del regulador frente a este estímulo es inferior a $4.48\mu\text{s}$.

Con respecto a la regulación de línea, las medidas realizadas para evaluar la respuesta transitoria frente a variaciones de V_{IN} se han realizado usando una capacidad de 100pF . Según muestran la Figura 3.21a y Figura 3.21b, la corriente de carga usada es de 100mA . La señal de entrada se ha variado entre 0.9V y 1.2V , usando un tiempo de subida y de bajada de $1\mu\text{s}$. Ante estas condiciones, se ha obtenido una variación de V_{OUT} de $+16\text{mV} / -7\text{mV}$, respecto de su valor nominal. Por otro lado, la Figura 3.21c y Figura 3.21d se han obtenido con $I_{LOAD} = 0.1\text{mA}$. Al someter el circuito diseñado a la misma variación de la tensión de línea que en la medida anterior, la salida V_{OUT} muestra un incremento de 5mV cuando la tensión V_{IN} aumenta su valor. Por contra, cuando V_{IN} reduce su valor de 1.2V a 0.9V , la máxima variación medida es de -12mV . En estas cuatro medidas, el peor tiempo de establecimiento es inferior a $3.61\mu\text{s}$.

Para terminar, las características principales del regulador propuesto se exponen en la Tabla 3.4. Como puede apreciarse, a pesar de que la tensión regulada presenta variaciones pequeñas frente a cambios de V_{IN} , la regulación de línea presenta un elevado valor. Éste se debe al rango de variación ΔV_{IN} utilizado, ya que dicho rango aparece en el denominador de la expresión utilizada para el cálculo de la regulación de línea, Ecuación (2.5).

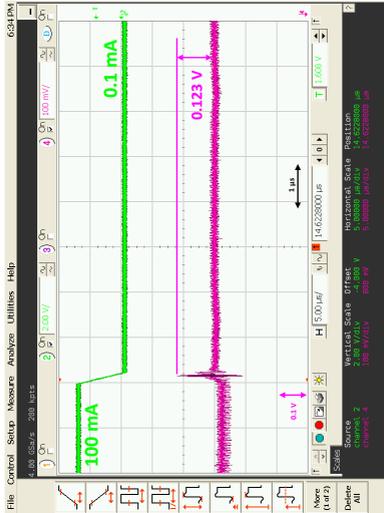
¹ Este valor ha sido medido como el tiempo que tarda la tensión regulada en alcanzar el 1% del valor nominal de V_{OUT}



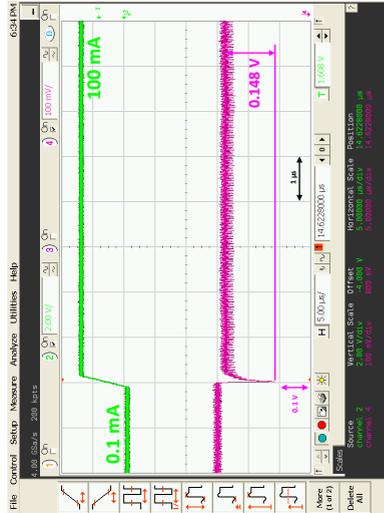
(a)



(b)

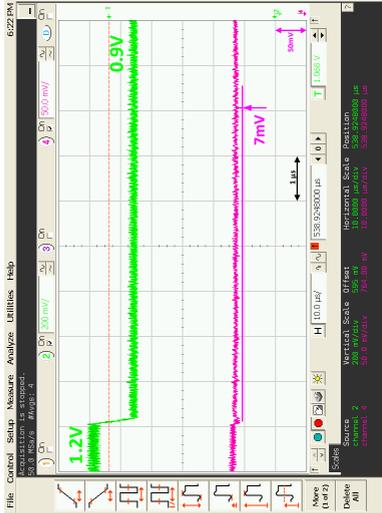


(c)

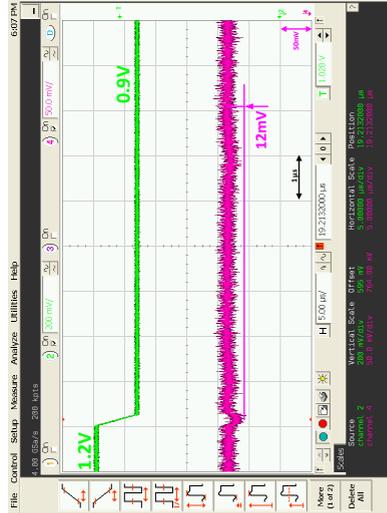


(d)

Figura 3.20 Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100\text{pF}$ e $V_{IN} = 0.9\text{V}$.



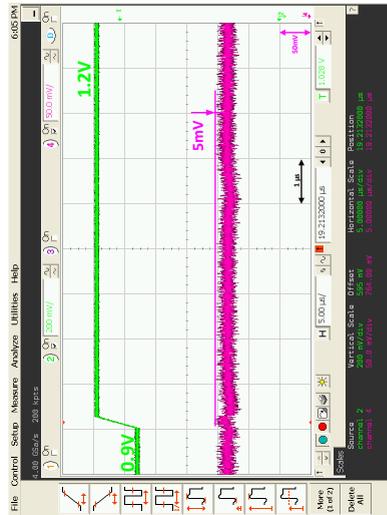
(b)



(d)



(a)



(c)

Figura 3.21 Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100\mu F$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$.

Tabla 3.4 Resumen de las características del regulador presentado.

| | | Regulador propuesto | | Regulador propuesto |
|------------------------|--------------------|------------------------|--------------------------------------|------------------------|
| Proceso | [nm] | 65 | ΔV_{OUT} variando V_{IN} | |
| V_{IN} | [V] | 0.9-1.2 | • Máximo | [mV] 16 |
| V_{OUT} | [V] | 0.7 | • Mínimo | [mV] -7 |
| $V_{DROPOUT}$ | [mV] | 200 | $\Delta V_{IN}/I_r^e$ | [V/ μ s] 0.3/1 |
| $I_{LOAD,max}$ | [mA] | 100 | ΔV_{OUT} variando I_{LOAD} | |
| I_q^a | [μ A] | 39.62 | • Máximo | [mV] 148 |
| C_{OUT} | [pF] | 100 | • Mínimo | [mV] -412 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9604 | $\Delta I_{LOAD}/I_r^e$ | [mA/ μ s] 99.9/0.1 |
| Área | [mm ²] | 0.0276 | Regulación de línea | [mV/V] 15.55 |
| | | | Regulación de carga | [μ V/mA] 261.92 |
| | | | FOM | [fs] 221.87 |

^a Peor caso

3.2.2 Aportación 2

La mejora de la respuesta transitoria de un regulador *LDO* basado en la celda *CAFVF*, manteniendo constante su consumo quiescente, pasa por la mejora del *slew-rate* en el nodo de puerta. Una forma de conseguirlo es a través del uso de fuentes dinámicas de polarización, como se ha visto en la Subsección 3.2.1. No obstante, un método alternativo para mejorar esta magnitud, se corresponde con el uso de un amplificador operacional que introduzca un camino rápido de descarga entre la salida y el nodo de puerta del transistor de paso, permitiendo mantener el consumo quiescente de la celda por debajo de 14 μ A. La Figura 3.22a recoge una versión esquematizada del circuito implementado. Como puede verse, $I_{BIAS,2}$, responsable de cargar la capacidad parásita C_{gg} , se sustituye por una fuente de corriente dependiente de la tensión de entrada y de salida, Figura 3.22a, al igual que en el diseño mostrado en la Figura 3.14. Del mismo modo, el incremento de la ganancia se hace por medio de los dos amplificadores de baja tensión y alto rango de variación, [111, 112].

Asímismo, el camino utilizado para realizar la descarga de la capacidad parásita C_{gg} del transistor M_{PASS} , se efectúa a través de un amplificador inversor, encargado de transformar los cambios de la tensión de entrada y de salida, en incrementos de corriente, Figura 3.22b. En concreto, cuando V_{IN} o V_{OUT} reducen su valor, la corriente a través de los transistores M_{14} y M_{15} aumenta, debido al cambio de su región de operación, como se describe en [113]. Este efecto, unido al del factor multiplicador del espejo de corriente compuesto por los transistores $M_{13} - M_{16}$, genera un pico de corriente en el nodo V_{GATE} que ayuda a descargar rápidamente la capacidad C_{gg} . La Figura 3.23 muestra cómo las corrientes de carga y descarga de C_{gg} incrementan su valor en los instantes de variaciones, contribuyendo a mejorar el *slew-rate* del *CAFVF*. Cabe resaltar que la tensión V_{BIAS} usada para polarizar correctamente los transistores M_{17} y M_{20} , procede de una fuente externa. Por último, con el objetivo de ahorrar potencia estática, el amplificador se ha diseñado para trabajar en la región de inversión moderada, sin que suponga una degradación de sus prestaciones.

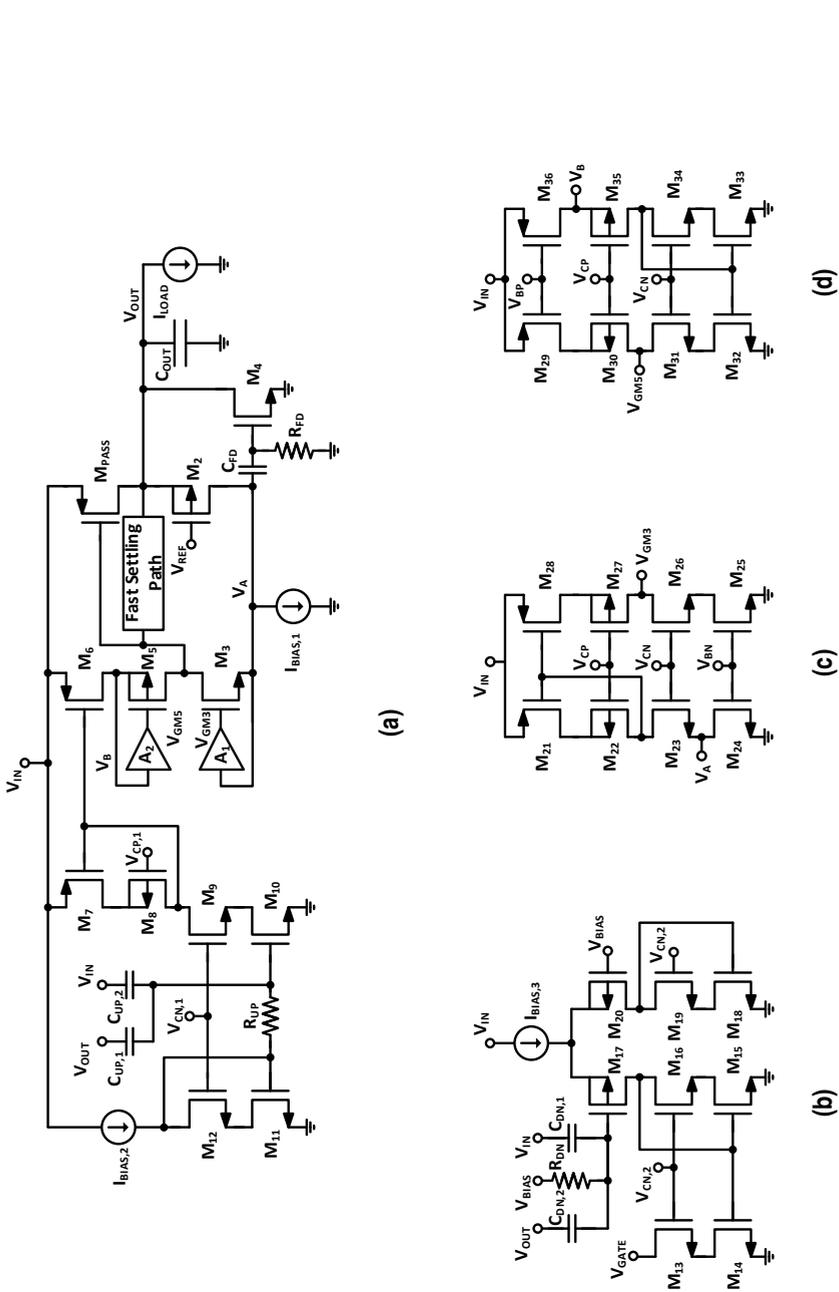


Figura 3.22 Estructura del regulador propuesto. (a) Versión simplificada del circuito, (b) Detalle del camino introducido entre V_{OUT} y V_{GATE} , detalle del amplificador usado para mejorar la ganancia del transistor (c) $M_{CN,2}$ y (d) $M_{G,8}$.

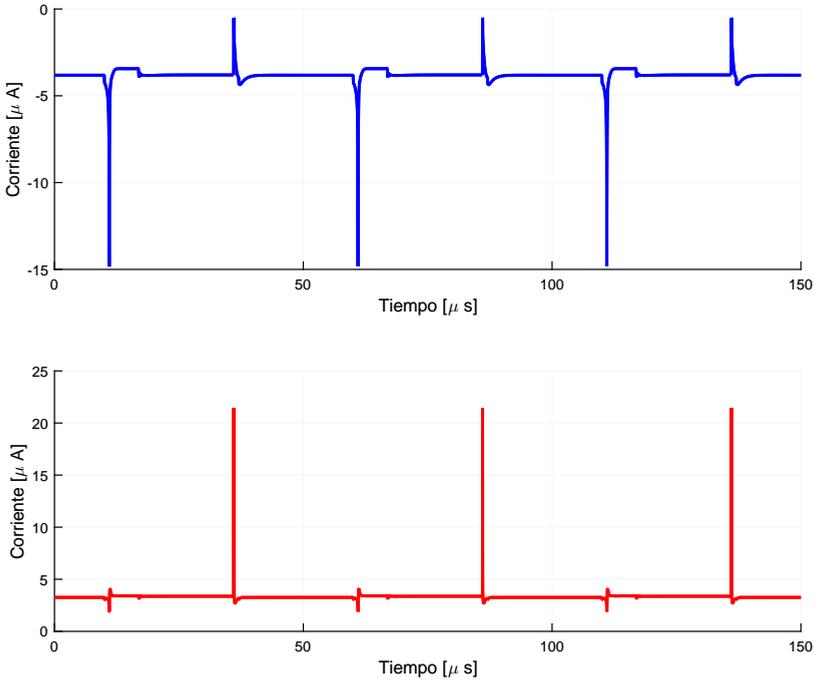


Figura 3.23 Corrientes generadas a través de las fuentes dinámicas $I_{BIAS,2}$, curva azul, y del camino rápido de descarga, curva roja.

A diferencia de otras soluciones anteriores, el uso de este camino directo entre la salida y la puerta de M_{PASS} permite mejorar la respuesta transitoria sin incrementar de forma notable el consumo quiescente del regulador propuesto. En particular, la corriente estática consumida por éste se corresponde con $1.4\mu A$. Sin embargo, durante los momentos de transición, la corriente de descarga que puede llegar a generar este bloque es de hasta $21.5\mu A$, gracias al uso de los acoplamientos capacitivos y a la técnica descrita en [113].

Estabilidad

El análisis de estabilidad del regulador LDO propuesto se estudia a partir del modelo de pequeña señal mostrado en la Figura 3.24, donde g_{m_i} , R_{o_i} y C_{o_i} representan la transconductancia, la resistencia de salida y la capacidad parásita vista a tierra de la etapa i -ésima, respectivamente. Cabe destacar que el efecto que ejercen los acoplamientos RC introducidos para la mejora de la respuesta transitoria son despreciables a baja frecuencia. Por esta razón, no se han incluido en el modelo de pequeña señal presentado.

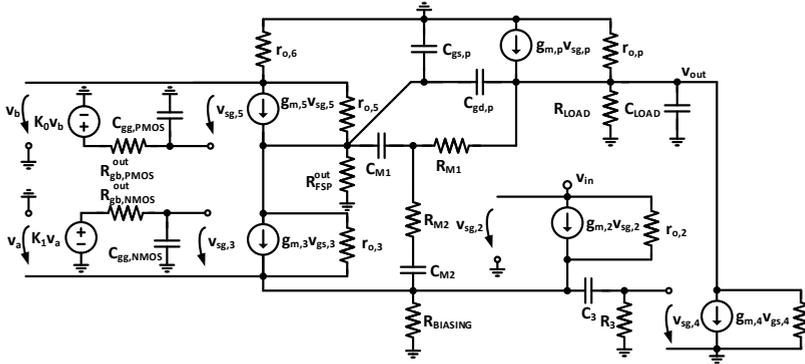


Figura 3.24 Modelo de pequeña señal del regulador LDO propuesto.

La Ecuación (3.26) recoge la función de transferencia asociada al modelo de pequeña señal mostrado. En estas expresiones, $g_{m,x}$ y $r_{o,x}$ se corresponden con la transconductancia y la resistencia de salida del transistor X representado en la Figura 3.22. El término R_{FSP}^{out} modela la resistencia de salida del camino introducido entre el nodo V_{OUT} y la puerta del transistor de paso, Figura 3.22b. Los elementos $R_{gb,NMOS}$, $R_{gb,PMOS}$, C_{gg}^{NMOS} y C_{gg}^{PMOS} están asociados a la resistencia de salida de los circuitos usados para incrementar la ganancia del regulador así como a la capacidad total vista en la puerta de los transistores M3 y M5, respectivamente. Por último, R_L y C_L modelan a la carga conectada a la salida del circuito propuesto.

$$H(s) = A_{OL} \frac{1 + a_1s + a_2s^2 + a_3s^3 + a_4s^4 + a_5s^5 + a_6s^6}{1 + b_1s + b_2s^2 + b_3s^3 + b_4s^4 + b_5s^5 + b_6s^6 + b_7s^7} \quad (3.26)$$

donde

$$A_{OL} = g_{m,2}g_{m,p}R_{FSP}^{out}R_{LOAD}||r_{o,p} \quad (3.27) \quad a_1 = R_3C_3 \quad (3.28)$$

$$a_2 = R_3C_3 [R_{M2}C_{M2} + R_{M1}C_{M1}] \quad (3.29)$$

$$a_3 = R_3R_{M2}C_3C_{M2} \left[R_{M1}C_{M1} + \frac{R_{gb,NMOS}C_{gg}^{NMOS}}{K_1} + \frac{R_{gb,PMOS}C_{gg}^{PMOS}}{K_0} \right] \quad (3.30)$$

$$a_4 = \frac{1}{K_1}R_{M1}R_3R_{gb,NMOS}C_{M1}C_{M2}C_3C_{gg}^{NMOS} \left[\frac{1}{g_{m,3} + R_{M2}} \right] \quad (3.31)$$

$$a_5 = \frac{1}{K_1K_0}R_{M1}R_3R_{gb,NMOS}R_{gb,PMOS}C_{M1}C_{M2}C_3C_{gg}^{NMOS}C_{gg}^{PMOS} \left[\frac{1}{g_{m,3}} + \frac{R_{M2}}{g_{m,3}r_{o,3}} + R_{M2} + \frac{1}{g_{m,5}g_{m,3}r_{o,3}} \right] \quad (3.32)$$

$$a_6 = \frac{1}{K_1 K_0} R_{M1} R_3 R_{gb, NMOS} R_{gb, PMOS} C_{M1} C_{M2} C_3 C_{gd, p} C_{gg}^{NMOS} C_{gg}^{PMOS} \left[\frac{R_{M2}}{g_{m, p}} + \frac{1}{g_{m, p} g_{m, 3}} + \frac{1}{g_{m, 5} g_{m, 3}} \left[\frac{1}{r_{o, 5}} + \frac{1}{r_{o, 3}} \right] \right] \quad (3.33)$$

$$b_1 = g_{m, p} R_{FSP}^{out} R_L \| r_{o, p} [C_{M1} + C_{M2} + C_{gd, p}] \quad (3.34) \quad b_2 = g_{m, p} R_{FSP}^{out} R_L \| r_{o, p} R_3 [C_{M1} + C_{M2} + C_{gd, p}] C_3 + R_3 R_{FSP}^{out} C_{M1} C_3 \quad (3.35)$$

$$b_3 = g_{m, p} R_{FSP}^{out} R_L \| r_{o, p} R_3 C_{M2} C_3 \left[R_{M2} [C_{M1} + C_{gd, p}] + \frac{1}{K_1} R_{gb, NMOS} C_{gg}^{NMOS} \right] + R_3 R_{FSP}^{out} R_{M2} \frac{R_L}{R_L + r_{o, p}} C_{M1} C_{M2} C_3 \quad (3.36)$$

$$b_4 = R_3 R_{FSP}^{out} C_{M2} C_3 \left[g_{m, p} R_L \| r_{o, p} \left[\frac{C_{M1} + C_{gd, p}}{g_{m, 3} K_1} + \frac{R_{M2} C_{M1}}{K_1} \left[1 + \frac{1}{g_{m, 3} r_{o, 3}} \right] \right] + \frac{R_{M2} R_{gb, PMOS} C_{M1} C_{gg}^{PMOS}}{K_0} \right] + R_L \| r_{o, p} C_{M1} \left[R_{M2} C_L + \frac{1}{g_{m, 3} r_{o, p} K_1} R_{gb, NMOS} C_{gg}^{NMOS} \right] \quad (3.37)$$

$$b_5 = R_3 R_{FSP}^{out} R_L \| r_{o, p} R_{gb, NMOS} C_{M2} C_3 C_{gg}^{NMOS} \left[g_{m, p} C_{M1} \left[\frac{R_{M1} C_{gd, p}}{g_{m, 3} K_1} + \frac{R_{gb, NMOS} C_{gg}^{PMOS}}{K_1 K_0} \left[\frac{1}{g_{m, 3}} + R_{M2} \right] \right] + \frac{1}{K_1} R_{gb, PMOS} C_L \left[\frac{C_{gs, p}}{g_{m, 3}} + C_{M1} \left[\frac{1}{g_{m, 3}} + R_{M2} \right] \right] \right] + \quad (3.38)$$

$$R_3 R_{FSP}^{out} R_L \| r_{o, p} C_{M2} C_3 C_{gg}^{NMOS} \left[\frac{g_{m, p} R_{M1} R_{gb, PMOS} R_{gb, NMOS} C_{M1} C_{gd, p} C_{gg}^{PMOS}}{K_0} \left[\frac{1}{g_{m, 3}} + R_{M2} \right] + \frac{R_{gb, NMOS} R_{gb, PMOS} C_{gg}^{PMOS} C_L}{g_{m, 3} K_0} [C_{M1} + C_{gd, p}] + \frac{R_{M1} C_{M1} C_{gg}^{PMOS} C_{gs, p}}{K_0} \left[\frac{R_{gb, PMOS}}{R_L \| r_{o, p}} + \frac{R_{M2}}{g_{m, 5} r_{o, 5}} \right] + \right. \quad (3.39)$$

$$\left. + R_{gb, NMOS} C_{M1} C_L \left[\frac{R_{M1} C_{gs, p}}{g_{m, 3}} + \frac{R_{M2} R_{gb, PMOS} C_{gg}^{PMOS}}{K_0} \right] \right] + \frac{R_{M1} R_3 R_{FSP}^{out} R_{gb, NMOS} R_{gb, PMOS} R_L \| r_{o, p} C_{M1} C_{M2} C_3 C_L C_{gg}^{NMOS} C_{gg}^{PMOS}}{K_1 K_0} \left[\frac{C_{gs, p} + C_{gd, p}}{g_{m, 3}} + R_{M2} [C_{gs, p} + C_{gd, p}] + \frac{C_{gs, p}}{g_{m, 3} g_{m, 5} r_{o, 6}} \right] \quad (3.40)$$

Si se analiza el denominador de la función de transferencia Ecuación (3.26), el polo dominante del sistema se encuentra determinado por la Ecuación (3.41), donde se puede comprobar que éste se encuentra fijado por el valor de las capacidades de compensación C_{M1} y C_{M2} .

$$\omega_{p,dom} = \frac{1}{g_{m,p} R_{FSP}^{out} R_L \parallel r_{o,p} [C_{M1} + C_{M2} + C_{gd,p}]} \quad (3.41)$$

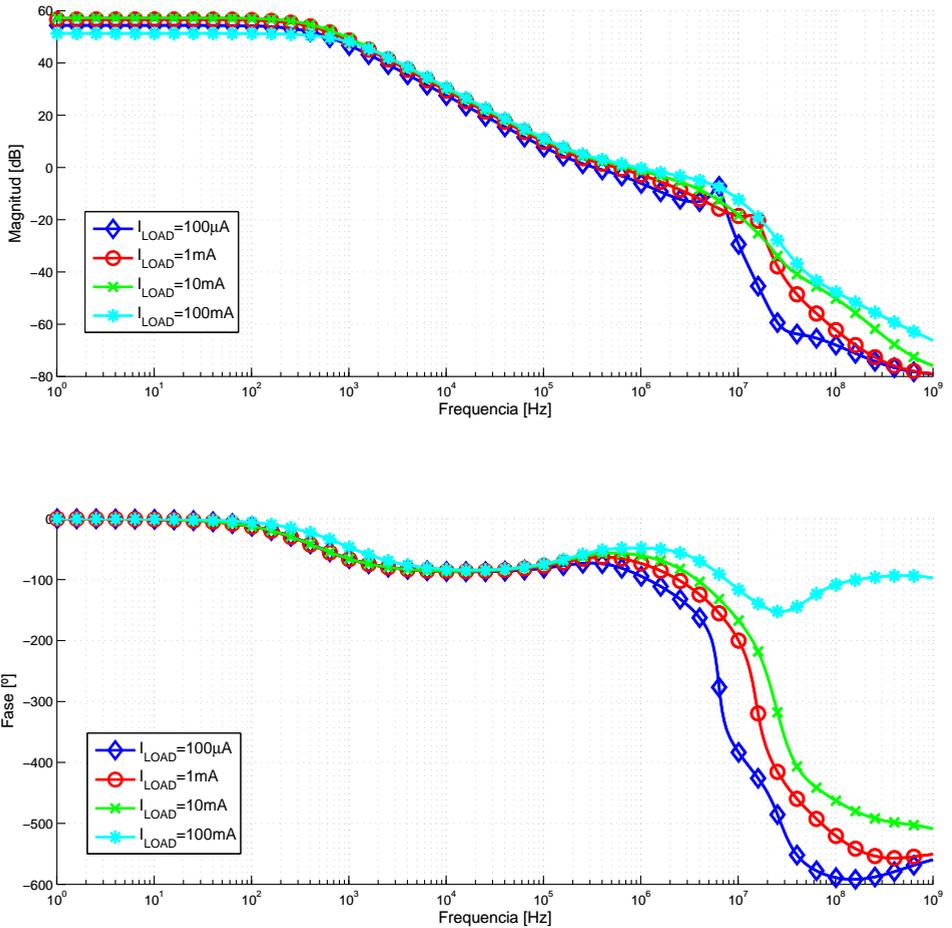


Figura 3.25 Respuesta en frecuencia del regulador *LDO* propuesto.

Por su parte, el polo no dominante viene fijado por la resistencia de salida, R_{o3} , y la capacidad de carga, C_{LOAD} . Así pues, una reducción de la corriente I_{LOAD} desplazará este polo a las proximidades de la frecuencia *UGF*, degradando la estabilidad del regulador. Con el propósito de mejorar el margen de fase para valores de I_{LOAD} comprendidos entre

$100\mu A$ y $100mA$, se ha implementado un esquema de compensación *Nested Miller (NMC)*, compuesto por los elementos $R_{M1} = 1k\Omega$, $C_{M1} = 5pF$, $R_{M2} = 10k\Omega$ y $C_{M2} = 8pF$.

Para finalizar este análisis de estabilidad, la Figura 3.25 representa la respuesta en frecuencia del regulador propuesto basado en simulaciones *post-layout* para diferentes valores de la corriente de carga, I_{LOAD} . En todas las situaciones, se ha contemplado el peor caso desde el punto de vista de la estabilidad, el cual se corresponde al uso de una capacidad $C_{OUT} = 100pF$. La Tabla 3.5 recoge los valores de ganancia y margen de fase correspondientes al diagrama de *Bode* mostrados anteriormente.

Tabla 3.5 Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador *LDO* propuesto.

| I_{LOAD} | Ganancia [dB] | PM [°] |
|---------------|---------------|--------|
| $100 [\mu A]$ | 55.03 | 125.4 |
| $1 [mA]$ | 55.20 | 125.6 |
| $10 [mA]$ | 54.86 | 125.4 |
| $100 [mA]$ | 49.59 | 124.2 |

Al igual que en la Subsección 3.2.1, la Figura 3.26 representa la variación de los polos y ceros del sistema según I_{LOAD} .

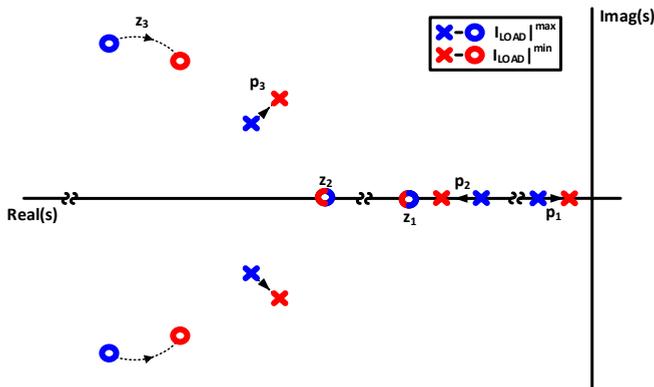


Figura 3.26 Diagrama polo-cero regulador *LDO* propuesto.

Resultados experimentales

El regulador *LDO* propuesto ha sido diseñado e implementado en una tecnología *CMOS* estándar de $65nm$. La Figura 3.27a presenta una microfotografía de la celda dentro del *chip* fabricado, sobre la que se ha superpuesto una vista del *layout*, para poder identificarlo. Una vista ampliada del diseño se puede ver en la Figura 3.27b, donde el bloque denominado como A (color rojo), representa al transistor de paso, el rectángulo marcado como B (color

amarillo) se corresponde con la circuitería de control y, por último, C (color negro) es el circuito de polarización, encargado de generar las tensiones de cascodo correspondientes. El área total ocupada por el regulador es de 0.0292mm^2 . Se ha diseñado para suministrar una corriente máxima de 100mA , soportando una capacidad de carga, C_{OUT} , variable en el rango comprendido entre 0pF y 100pF .

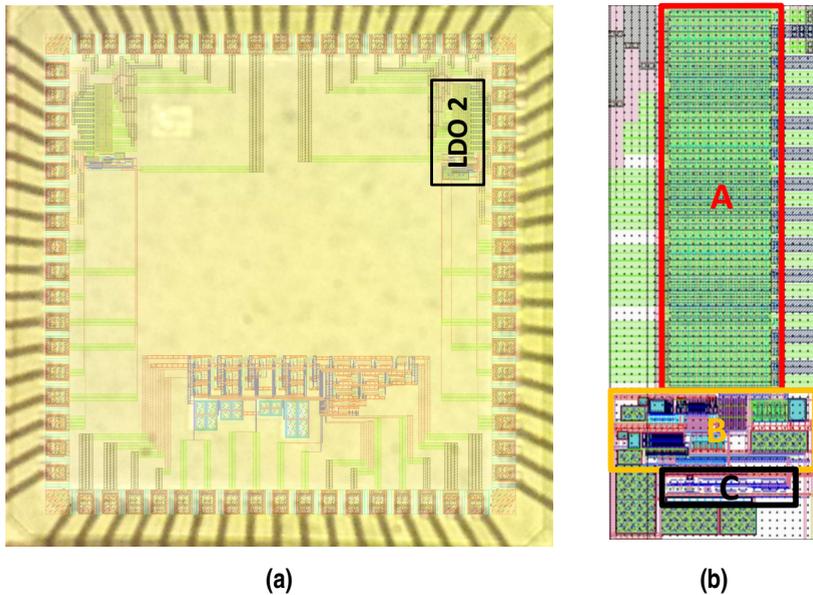


Figura 3.27 (a) Microfotografía del *chip* fabricado y (b) detalle del *layout* realizado.

Seguidamente, se muestra la característica estática, para $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 100\text{mA}$, Figura 3.28a, y $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 0\text{mA}$, Figura 3.28b. Como estímulo de entrada, se ha utilizado una señal triangular de período $T = 10\text{ms}$, variando entre 0V y 1.2V . Habría que subrayar que la tensión regulada permanece constante e igual a 0.688V para $V_{IN} > 0.881\text{V}$. Por tanto, se cumple que $V_{dropout} = 0.193\text{V}$, un valor cercano al establecido en las especificaciones.

La Figura 3.29 muestra la respuesta transitoria frente a variaciones de la corriente requerida por la carga. En todos los supuestos, las medidas efectuadas se han realizado bajo el peor caso, es decir, cuando $V_{IN} = 0.9\text{V}$ y $C_{OUT} = 100\text{pF}$. La Figura 3.29a y Figura 3.29b han sido obtenidas cuando la corriente de carga conmuta de 0.1mA a 100mA , y viceversa, en un tiempo de subida y bajada de 100ns . Bajo estas condiciones, la tensión regulada presenta una variación de $+123\text{mV} / -394\text{mV}$ con respecto a su valor nominal. Del mismo modo, la Figura 3.29c y Figura 3.29d representan la variación sufrida por V_{OUT} cuando I_{LOAD} varía entre 0.1mA y 100mA . En este segundo caso, el tiempo de subida y de bajada utilizado ha sido de $1\mu\text{s}$. Ante este nuevo estímulo, la tensión de salida presenta una variación máxima de 75.9mV . El tiempo de establecimiento, para cada una de las

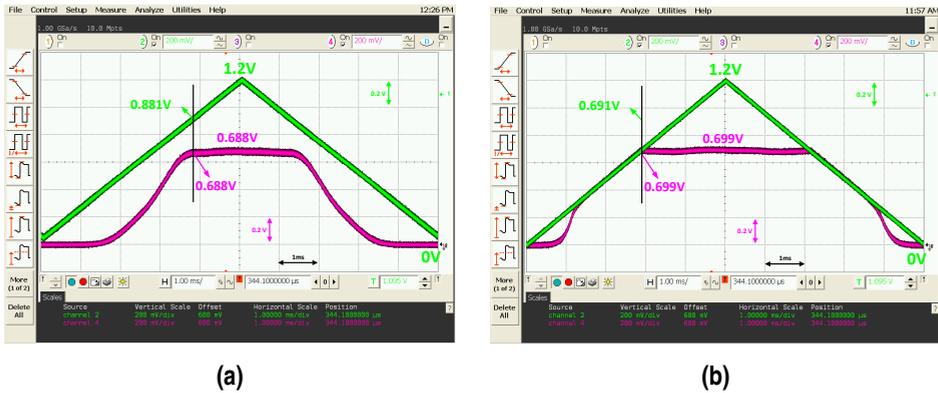


Figura 3.28 Respuesta estática del regulador propuesto para (a) $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 100\text{mA}$ y (b) $C_{OUT} = 100\text{pF}$ e $I_{LOAD} = 0.1\text{mA}$.

medidas anteriores, es de $4.64\mu\text{s}$ y $4.21\mu\text{s}$, respectivamente.

En cuanto a la regulación de línea, las medidas llevadas a cabo para comprobar la respuesta transitoria frente a variaciones de V_{IN} , se han efectuado para $I_{LOAD} = 100\text{mA}$, Figura 3.30a y Figura 3.30b, e $I_{LOAD} = 0.1\text{mA}$, Figura 3.30c y Figura 3.30d. En ambos casos, el valor de la capacidad de carga ha sido de 100pF . Para evaluar la respuesta del regulador, se ha variado la tensión de entrada entre 0.9V y 1.2V , usando un tiempo de subida y de bajada de $1\mu\text{s}$. Ante estas condiciones, se ha obtenido una variación máxima de V_{OUT} de $+45.2\text{mV} / -61.2$, respecto de su valor nominal para el caso donde $I_{LOAD} = 100\text{mA}$. Bajo la mínima corriente demandada por la carga, $I_{LOAD} = 0.1\text{mA}$, la variación de la tensión V_{OUT} se ha mantenido por debajo de 42.5mV . Por último, el peor tiempo de establecimiento ha sido inferior a $5.17\mu\text{s}$.

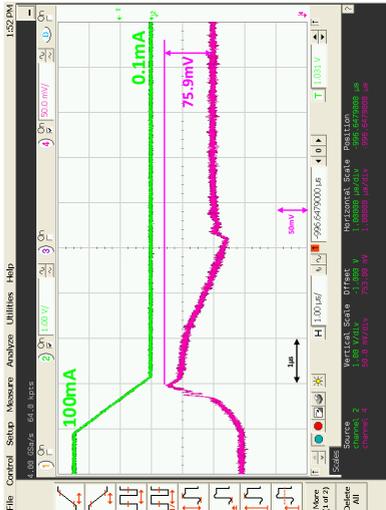
Para concluir, la Tabla 3.6 recoge las características principales del regulador propuesto. En ella se puede observar que, al igual que en el caso anterior, la regulación de línea presenta un elevado valor motivado por el pequeño rango que V_{IN} puede variar.



(a)



(b)

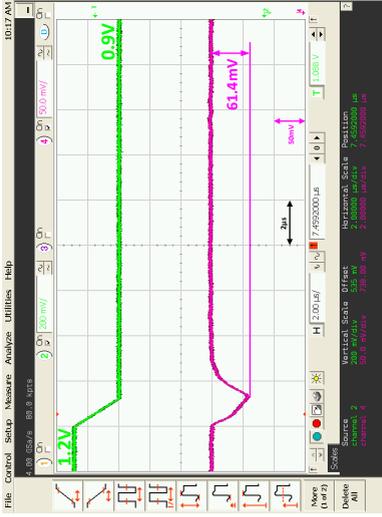


(c)

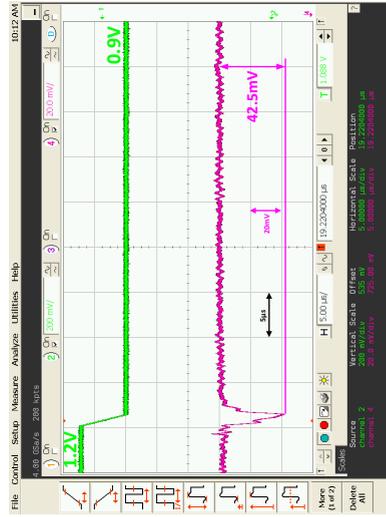


(d)

Figura 3.29 Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100pF$ y $V_{IN} = 0.9V$.



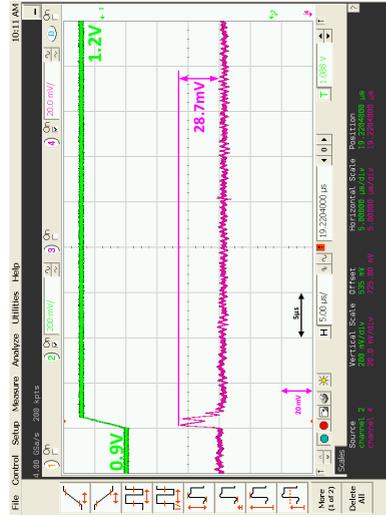
(a)



(b)



(c)



(d)

Figura 3.30 Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100\mu F$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100\mu F$ e $I_{LOAD} = 100\mu A$.

Tabla 3.6 Resumen de las características del regulador presentado.

| Regulador propuesto | | |
|--------------------------------------|---------------|----------|
| Proceso | [nm] | 65 |
| V_{IN} | [V] | 0.9-1.2 |
| V_{OUT} | [V] | 0.7 |
| $V_{DROPOUT}$ | [mV] | 200 |
| $I_{LOAD,max}$ | [mA] | 100 |
| I_q^a | [μ A] | 17.69 |
| C_{OUT} | [pF] | 100 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9823 |
| Area | [mm^2] | 0.0292 |
| ΔV_{OUT} variando V_{IN} | | |
| • Máximo | [mV] | 45.2 |
| • Mínimo | [mV] | -61.4 |
| $\Delta V_{IN}/I_r^e$ | [V/ μ s] | 0.3/1 |
| ΔV_{OUT} variando I_{LOAD} | | |
| • Máximo | [mV] | 123 |
| • Mínimo | [mV] | -394 |
| $\Delta I_{LOAD}/I_r^e$ | [mA/ μ s] | 99.9/0.1 |
| Regulación de línea | [mV/V] | 5.6138 |
| Regulación de carga | [μ V/mA] | 433.8020 |
| FOM | [fs] | 91.46 |

^a Peor caso

3.3 Conclusiones

Los reguladores *LDO* basados en el *FVF* representan una alternativa a tener en cuenta frente a la topología clásica presentada en el Capítulo 2. En consonancia con lo visto a lo largo de este capítulo, las prestaciones conseguidas por los diseños expuestos son equiparables a los resultados conseguidos haciendo uso de un esquema clásico.

Para demostrar la viabilidad de esta técnica en tecnologías modernas, se han presentado dos reguladores *LDO* compensados internamente y basados en la celda *text* realizados en una tecnología *CMOS* estándar de 65nm. De acuerdo con lo visto, la primera aportación consigue solventar los problemas de regulación de línea de la celda *CAFVF* mediante el uso de fuentes de corriente dinámicas. De esta forma, el tiempo de respuesta, así como las variaciones de la tensión regulada se reducen. La segunda aportación prescinde de una de las dos fuentes dinámicas, con el objetivo de reducir el consumo quiescente. En este caso, para solventar la problemática asociada a la descarga de la capacidad C_{gg} del transistor de paso, se ha optado por incluir un camino entre el nodo V_{OUT} y V_{GATE} , de forma que el bloque introducido permite sensar las variaciones de la tensión regulada, generando una corriente proporcional a las mismas. Con esta modificación, el consumo quiescente

consigue reducirse un 55.35%. Además, dicha reducción no afecta significativamente a las variaciones de la tensión regulada y al tiempo de respuesta del regulador, como se desprende de los resultados presentados en la Tabla 3.4 y Tabla 3.6.

Tabla 3.7 Valores de la FOM obtenidos por los reguladores LDO basados en el FVF y $CAFVF$.

| | | [53] | [56] | [78] | [87] |
|---------|------|--------------------|--------|----------|----------|
| T_r | [ns] | 0.4740 | 0.0900 | 0.0392 | 0.1100 |
| FOM_1 | [fs] | 33.18 | 7.48 | 29.01 | 27.75 |
| | | [106] ^a | [105] | Aport. 1 | Aport. 2 |
| T_r | [ns] | 2.0000 | 0.1170 | 0.56 | 0.52 |
| FOM_1 | [fs] | 156 | 24.28 | 221.87 | 91.46 |

^a Estimación realizada a partir de los datos proporcionados por el artículo

La Tabla 3.8 muestra una comparativa que permite poner en perspectiva los dos reguladores LDO planteados en este capítulo. Para ello, se han seleccionado los tres trabajos que presentan mejor FOM^2 haciendo uso de la topología clásica, [53, 56, 78], y los tres mejores basados en la celda FVF , [87, 105, 106]. Según puede verse, los resultados obtenidos se encuentran próximos al estado del arte. En concreto, la segunda aportación presenta la tercera mejor FOM de las soluciones basadas en la celda FVF . Por su parte, del análisis de la Tabla 3.8 se puede comprobar la gran respuesta de las soluciones presentadas frente a variaciones de la tensión de línea, gracias al uso de fuentes de polarización dinámicas. Este hecho provoca que los cambios de V_{OUT} sean muy inferiores a los presentados por el trabajo [53] y equiparables a los resultados obtenidos por [105] y [87]. Sin embargo, en estos dos últimos casos los tiempos de subida y de bajada utilizados son altos (1ms y 10 μ s, respectivamente), favoreciendo un menor ΔV_{out} .

Para finalizar, la Figura 3.31 y Figura 3.32 muestran una comparativa visual de las aportaciones propuestas con el resto de reguladores de la comparativa. En ambos casos, cuanto más cerca del origen de coordenadas se encuentre, mejor será la respuesta del regulador y menor consumo estático tendrá. La Figura 3.31 ubica las aportaciones realizadas en este capítulo dentro de los reguladores LDO basados en la celda FVF . Como puede observarse, se encuentran cerca del estado del arte. Por su parte, la Figura 3.32 compara ambos trabajos con los reguladores expuestos en la Tabla 3.8. En este último caso, ambos diseños están cerca de los trabajos recogidos en la comparativa.

² La comparación de los distintos trabajos se ha realizado usando la FOM presentada en la Ecuación (2.24) y Ecuación (2.25)

Tabla 3.8 Comparativa de los diseños presentados frente a los trabajos publicados en la literatura científica que han obtenido los mejores valores de la FOM usada.

| | [53] | [56] | [78] | [87] | [105] | [106] ^a | Aport. 1 | Aport. 2 |
|--------------------------------------|-----------------------------|----------|------------|------------|-------------------|--------------------|------------|----------|
| Proceso | [μm] | 0.35 | 0.11 | 0.13 | 0.09 | 0.35 | 0.065 | 0.065 |
| V_{IN} | [V] | 2.5-4.0 | 1.8-3.8 | 1.15-1.4 | 0.75-1.2 | 1.28-3.3 | 0.9-1.2 | 0.9-1.2 |
| V_{OUT} | [V] | 2.35 | 1.6-3.6 | 1 | 0.5-1.0 | 1.1 | 0.7 | 0.7 |
| $V_{DROPOUT}$ | [mV] | 150 | 200 | 150 | 200 | 180 | 200 | 200 |
| $I_{LOAD,max}$ | [mA] | 100 | 200 | 50 | 100 | 100 | 100 | 100 |
| I_q^a | [μA] | 7 | 41.5 | 37 | 8 | 25 | 39.62 | 17.69 |
| C_{OUT} | [pF] | 1e2 | 4e1 | 2e1 | 1e2 | 1e2 | 1e2 | 1e2 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9930 | 99.9793 | 99.9261 | 99.9920 | 99.9750 | 99.9961 | 99.9823 |
| Area | [mm^2] | 0.0642 | 0.21 | 0.0180 | 0.0190 | 0.1260 | 0.0406 | 0.0276 |
| Tiempo de respuesta ^b | [μs] | 0.15 | 0.65 | 0.4 | 3.75 ^c | 1.4 | 4.48 | 5.17 |
| ΔV_{OUT} variando V_{IN} | | | | | | | | |
| • Máximo | [mV] | 196 | - <i>b</i> | - <i>b</i> | 40 | 20 | - <i>b</i> | 16 |
| • Mínimo | [mV] | -183 | - <i>b</i> | - <i>b</i> | -33 | 0 | - <i>b</i> | -7 |
| $\Delta V_{IN}/t_r^d$ | [V/ μs] | 0.5/0.5 | - <i>b</i> | - <i>b</i> | 0.42/10 | 1/1e3 | - <i>b</i> | 0.3/1 |
| ΔV_{OUT} variando I_{LOAD} | | | | | | | | |
| • Máximo | [mV] | 231 | 200 | 56 | 114 | 31 | 500 | 148 |
| • Mínimo | [mV] | -243 | -385 | -42 | -73 | -80 | -500 | -418 |
| $\Delta I_{LOAD}/t_r^d$ | [mA/ μs] | 99.950.5 | 199.5/0.5 | 49.95/0.2 | 98.5/0.1 | 100/0.5 | 50/0.1 | 99.9/0.1 |
| Regulación de línea | [mV/V] | 1.00 | 8.90 | 8.10 | 3.78 | - <i>b</i> | - <i>b</i> | 15.55 |
| Regulación de carga | [$\mu\text{V}/\text{mA}$] | 80.00 | 108.00 | 55.60 | 100.00 | 190.00 | - <i>b</i> | 261.92 |

^a Peor caso ^b No aportan información ^c Estimación realizada a partir de los datos proporcionados por el artículo ^d t_r : Tiempo de subida

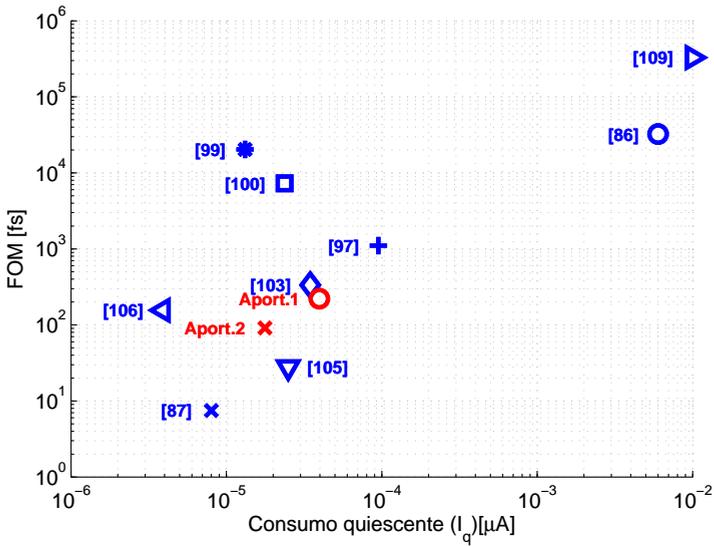


Figura 3.31 Comparación de las aportaciones presentadas en este capítulo frente a los trabajos publicados basados en la celda FVF.

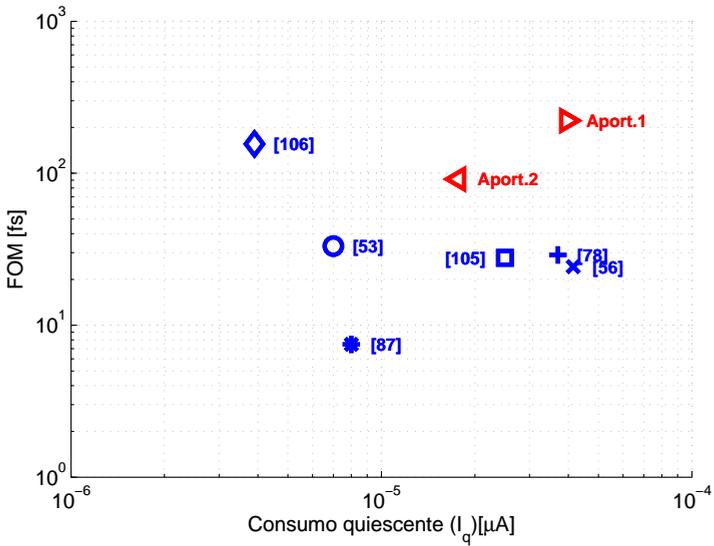


Figura 3.32 Comparación de las aportaciones presentadas en este capítulo frente a los trabajos con mejor FOM publicados.

4 Esquema adaptativo basado en la compensación de *Miller*

La estabilidad en los reguladores *LDO* compensados internamente es uno de los aspectos críticos de estos bloques, como se ha visto en el Capítulo 2, Subsección 2.2.1. Por este motivo, en la literatura se pueden encontrar diferentes trabajos, [31], [34], [39–42], [44], que han propuesto técnicas destinadas a solventar este problema. Sin embargo, el mayor inconveniente que presentan estos esquemas es la introducción de bloques activos que incrementan la complejidad de todo el sistema. Esto supone una limitación durante la fase de diseño puesto que la topología debe poder adaptarse al esquema de compensación usado. Además, se requiere de un estudio pormenorizado de la función de transferencia del regulador, bajo las diferentes condiciones de carga.

Por esta razón, en este capítulo se presenta una variación de la compensación de *Miller*, donde la resistencia utilizada para la generación de un cero que mejore el margen de fase es sustituida por un transistor que funciona en la región lineal. Este cambio permite poder llevar a cabo el ajuste del valor de la resistencia de canal mediante la modificación de la tensión de puerta. Para ello, es necesario la utilización de un circuito de réplica que determine el punto de operación del transistor de paso y permita calcular la tensión V_{CTRL} correcta en cada instante.

4.1 Compensación de *Miller*: separación de polos

Una de las formas más sencillas de llevar a cabo la compensación en frecuencia de un sistema se conoce como *polo dominante*, [114, 115]. Esta técnica consiste en identificar el nodo responsable del polo dominante del sistema e incrementar la capacidad vista por el mismo, reduciendo la frecuencia en la que se produce. Así, se consigue incrementar la separación con el polo no dominante, aumentando la estabilidad del sistema. En la práctica, esta compensación no es útil por el elevado valor de la capacidad que se requiere, haciendo inviable esta técnica para su implementación en soluciones de tipo *SoC*, y por la degradación de las prestaciones, debido a la gran reducción del ancho de banda.

Sin embargo, si se combina con el efecto *Miller*, [116], su implementación física puede llevarse a cabo de forma eficiente. Por esta razón, esta implementación se conoce como compensación de *Miller* o *separación de polos*. Para su explicación, se va a considerar el sistema ideal representado en la Figura 4.1, donde puede verse el modelo de pequeña señal de un sistema compuesto por dos etapas amplificadoras. La primera se corresponde con el amplificador de error, implementado como un sistema ideal de un sólo polo en primera aproximación, y la segunda, representa al transistor de paso. Bajo esta premisa, C_1 agrupa a las capacidades parásitas del transistor de paso que van del nodo de puerta a la salida. Por su parte, los elementos C_{p1} y R_{o1} son la capacidad parásita y resistencia de salida asociadas a la salida del amplificador de error. El elemento Z_C se corresponde con la impedancia usada para efectuar la compensación del sistema. Por último, C_{OUT} y R_{oLOAD} modelan la carga de un regulador *LDO*.

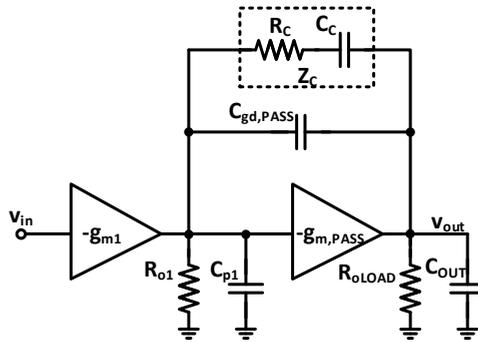


Figura 4.1 Modelo de pequeña señal de dos etapas amplificadoras con una capacidad de acoplamiento entre ellas.

Asumiendo que la impedancia Z_C está formada por una capacidad únicamente, la función de transferencia en lazo abierto del regulador queda como se muestra en la Ecuación (4.1).

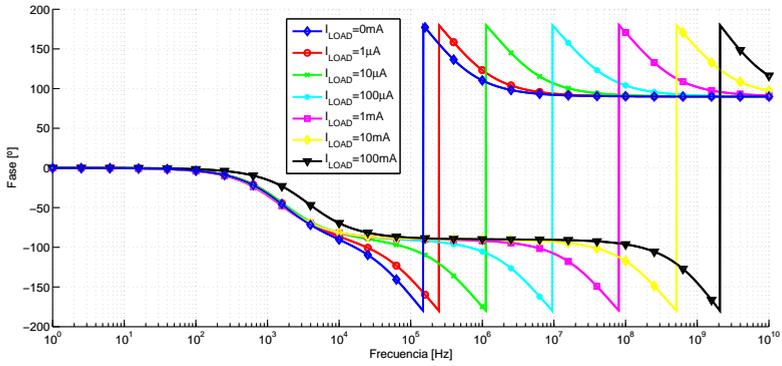
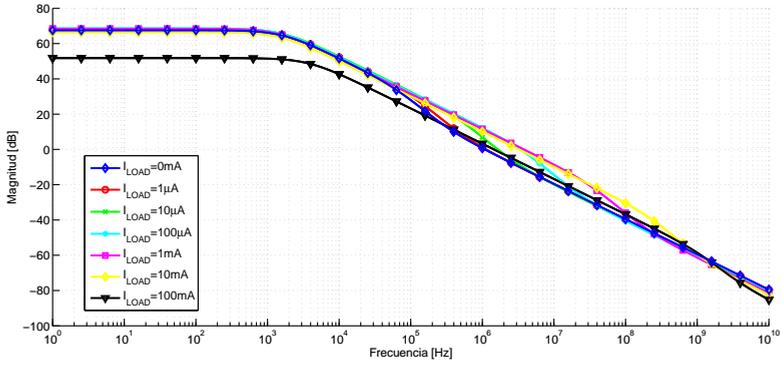
$$H(s) = A_{OL} \frac{1 - s \frac{C_C + C_{gd,PASS}}{g_{m,PASS}}}{1 + s d_{11} + s^2 d_{12}} \quad (4.1)$$

donde

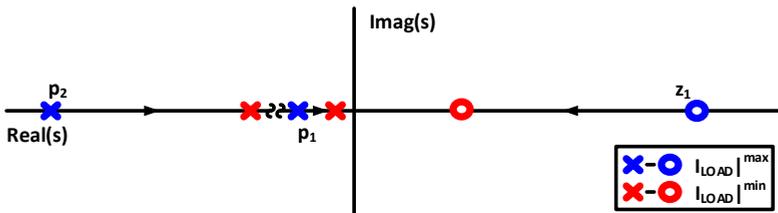
$$A_{OL} = g_{m1} g_{m,PASS} R_{o1} R_{oLOAD} \quad (4.2)$$

$$d_{11} = R_{o1} C_{p1} + R_{oLOAD} [C_{OUT} + C_C + C_{gd,PASS}] + R_{o1} (C_C + C_{gd,PASS}) [1 + g_{m,PASS} R_{oLOAD}] \quad (4.3)$$

$$d_{12} = R_{o1} R_{oLOAD} [C_{p1} (C_C + C_{gd,PASS} + C_{OUT}) + C_{OUT} (C_C + C_{gd,PASS})] \quad (4.4)$$



(a)



(b)

Figura 4.2 (a) Respuesta en frecuencia y (b) diagrama polo-cero del sistema representado por la Ecuación (4.1) para diferentes valores de I_{LOAD} .

Con el objetivo de obtener una expresión manejable, que pueda resultar útil a la hora de diseñar, se va a considerar que $C_{gd,pass} \ll C_C \ll C_{OUT}$ y $g_{m1}R_{o1} \gg 1$. Estas simplificaciones no suponen una pérdida de generalidad debido a que los valores g_{m1} y R_{o1} no se ven afectados por la variación del punto de operación del transistor de paso. Esto permite simplificar la Ecuación (4.3) y Ecuación (4.4), obteniendo la función de transferencia mostrada en la Ecuación (4.5).

$$H(s) \approx \frac{A_{OL} \left[1 - s \frac{C_C + C_{gd,PASS}}{g_{mPASS}} \right]}{1 + s \left[R_{oLOAD} C_{OUT} + R_{o1} C_C \left[1 + g_{mPASS} R_{oLOAD} \right] \right] + s^2 R_{o1} R_{oLOAD} C_{OUT} C_C} \quad (4.5)$$

Según puede apreciarse, el sistema estaría compuesto por dos polos y un cero ubicado en el semiplano derecho, como consecuencia del camino creado por la capacidad existente entre el nodo de salida y la puerta del transistor de paso, $C_C + C_{gd,PASS}$. Este cero, al estar en frecuencias intermedias, va a provocar la degradación del margen de fase del regulador. La Figura 4.2 muestra la variación de los polos y ceros de un regulador cuya función de transferencia es la mostrada en la Ecuación (4.1). Por esta razón, es necesario eliminarlo y, para ello, se pueden utilizar diferentes técnicas: uso de una compensación cascodo, de un seguidor de tensión o de una resistencia en serie con la capacidad de compensación, [114].

La primera opción requiere la presencia de una fuente de corriente cascodo en el nodo V_{GATE} , lo que provoca una reducción del rango de tensión que puede variar dicho nodo. Para evitar que los transistores de la fuente de corriente cascodo entren en la región lineal, el valor mínimo de la tensión V_{GATE} se incrementa a $V_{GATE}|_{min} = 2V_{DS}|_{sat}$. Por tanto, al aumentar, la caída V_{SG} de M_{PASS} se reduce, y, para una corriente de carga dada, el tamaño del transistor deberá ser mayor [117]. Esto lleva a un aumento del área y de los parásitos asociados a M_{PASS} , algo no deseable. Por otro lado, el uso de un seguidor de tensión consigue bloquear el paso de corriente, a través de la capacidad $C_C + C_{gd,PASS}$, entre V_{OUT} y V_{GATE} , eliminando el cero en el semiplano derecho. A pesar de esto, esta solución afecta, nuevamente, al rango de señal disponible en el nodo de puerta. Finalmente, el tercer método que permite eliminar este cero, se corresponde con la inclusión de una resistencia en serie con la capacidad de compensación. Al tratarse de un elemento pasivo, el rango de señal en el nodo de puerta no se ve afectado. Por este motivo, resulta de gran interés su utilización.

Al contemplar el uso de este elemento, la función de transferencia de todo el regulador queda como se muestra en la Ecuación (4.6).

$$H(s) = A_{OL} \frac{1 + s \left[R_C C_C - \frac{C_C + C_{gd,pass}}{g_{mPASS}} \right] - s^2 \frac{R_C C_C C_{gd,pass}}{g_{mPASS}}}{1 + s d_{21} + s^2 d_{22} + s^3 d_{23}} \quad (4.6)$$

donde

$$A_{OL} = g_{m1} g_{mPASS} R_{o1} R_{oLOAD} \quad (4.7)$$

$$d_{21} = R_{oPASS} (C_{OUT} + C_C + C_{gd,pass}) + (1 + g_{mPASS} R_{oLOAD}) R_{o1} (C_{gd,pass} + C_C) + R_{o1} C_{p1} + R_C C_C \quad (4.8)$$

$$d_{22} = R_{oLOAD} R_{o1} [(C_{OUT} + C_{p1}) (C_{gd,pass} + C_C) + C_{OUT} C_{p1}] + (1 + g_{mPASS} R_{oPASS}) R_C R_{o1} C_{gd,pass} C_C + R_C R_{o1} C_C C_{p1} + R_C R_{oPASS} C_C (C_{OUT} + C_{gd,pass}) \quad (4.9)$$

$$d_{23} = R_C R_{oLOAD} R_{o1} C_C [C_{OUT} (C_{gd,pass} + C_{p1}) + C_{gd,pass} C_{p1}] \quad (4.10)$$

Al igual que en el caso anterior, si se asume que $C_C \gg C_{gd,pass}$, el numerador de la Ecuación (4.6) puede aproximarse como se muestra en la Ecuación (4.11). Tal y como puede verse, si se elige adecuadamente el valor de R_C , el cero puede trasladarse al semiplano izquierdo, consiguiendo mejorar el margen de fase del sistema.

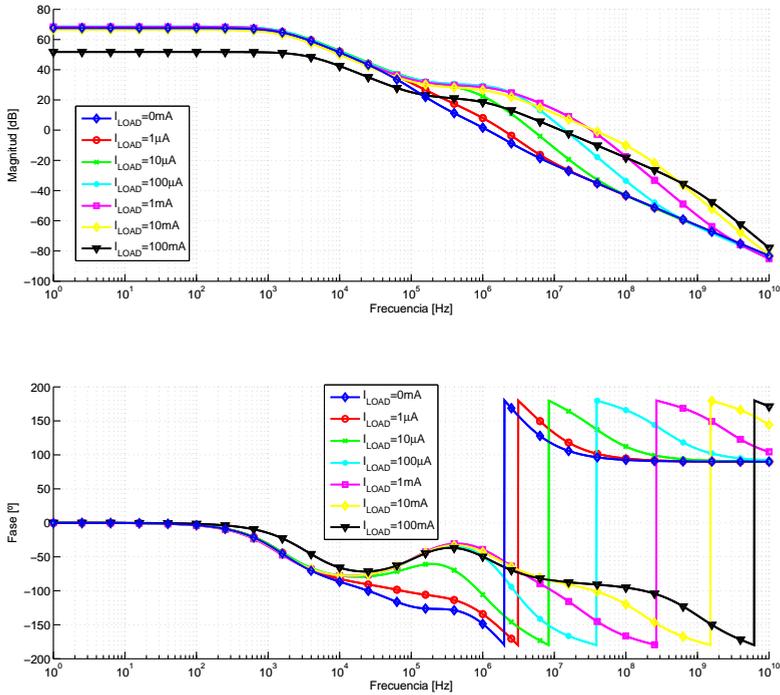
$$N(s) = 1 + sC_C \left[R_C - \frac{1}{g_{mPASS}} \right] - s^2 \frac{R_C C_C C_{gd,pass}}{g_{mPASS}} \quad (4.11)$$

En el caso concreto de que $R_C \gg 1/g_{mPASS}$, se obtienen los ceros mostrados en la Ecuación (4.12) y Ecuación (4.13).

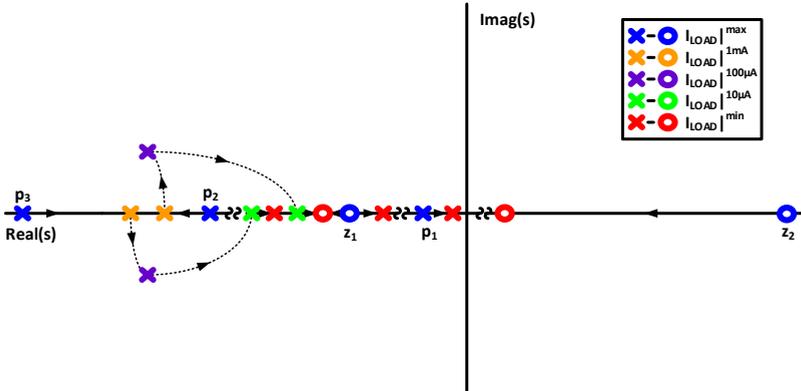
$$z_1 = \frac{1}{R_C C_C} \quad (4.12)$$

$$z_2 = -\frac{1}{C_{gd,pass}/g_{mPASS}} \quad (4.13)$$

En general, el valor de R_C y C_C se elige para hacer estable el regulador *LDO* para el peor caso, es decir, cuando la corriente de carga es mínima, $I_{LOAD} = 0mA$. En esta situación, el polo no dominante se encuentra en las proximidades de la frecuencia *UGF*, por lo que ubicar z_1 en sus proximidades, ayuda a mejorar el margen de fase. Sin embargo, este método de diseño supone un problema cuando la corriente I_{LOAD} aumenta, ya que la posición de z_1 es fija. A medida que I_{LOAD} aumenta de valor, este cero provoca que la frecuencia *UGF* se incremente, dando lugar a una a una reducción drástica del margen de fase. De ahí que sea necesario realizar un sistema que permita efectuar un seguimiento de I_{LOAD} , de forma que se pueda ajustar el valor de R_C de acuerdo a las condiciones de carga del momento. La Figura 4.3 ejemplifica este proceso para un regulador *LDO* compensado internamente. En ella, se muestra la respuesta en frecuencia para diferentes valores de I_{LOAD} .



(a)



(b)

Figura 4.3 (a) Respuesta en frecuencia y (b) diagrama polo-cero del sistema representado por la Ecuación (4.6) para diferentes valores de I_{LOAD} .

4.2 Arquitectura

Como se desprende del análisis anterior, es necesario un mecanismo que permita ajustar el valor de la resistencia R_C , Figura 4.4a, según el valor de la corriente demandada por la carga al regulador. De esta manera, se puede conseguir mejorar el margen de fase fijando un valor mínimo para todo el rango de funcionamiento, desde $I_{LOAD} = 0$ a $I_{LOAD} = I_{LOAD}^{max}$. Por este motivo, se propone la implementación mostrada en la Figura 4.4b. Como puede verse, la resistencia R_C se divide en tres resistencias diferentes. R_{C1} se introduce para garantizar la estabilidad del regulador cuando se cumple que $I_{LOAD} = 0mA$. Una segunda resistencia, R_{C2} , asegura el desplazamiento del cero que aparece en el semiplano derecho al semiplano izquierdo, independientemente del valor de la combinación de R_{C1} y R_{VAR} . Por último, R_{VAR} se corresponde con una resistencia variable, implementada mediante un transistor que trabaja en la región lineal. Su valor se controla a través de la modificación de su tensión de puerta, V_{CTRL} .

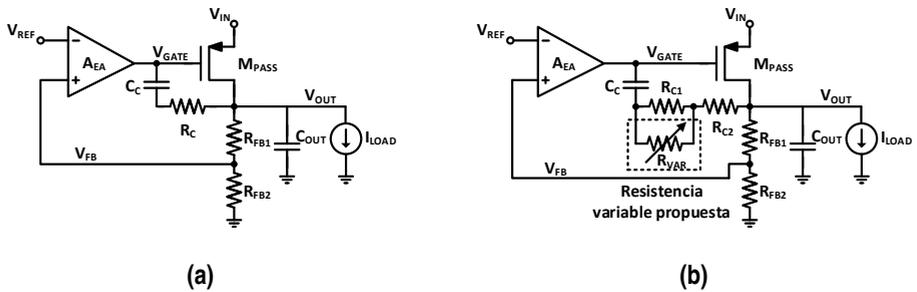


Figura 4.4 (a) Esquema de un regulador *LDO* compensado internamente con resistencia de cancelación. (b) Esquema propuesto con resistencia variable.

La resistencia implementada por M_{P2} ve modificado su valor por el circuito mostrado en la Figura 4.5. Este esquema de control está compuesto por M_{P1} e $I_{BIAS,2}$, que representan una réplica de la rama de salida del regulador, así como por los amplificadores diferenciales A_1 y A_2 , la tensión de referencia denominada V_{COMP} , procedente de una referencia externa, y, por último, un desplazador de nivel que permite generar el valor correcto de V_{CTRL} .

El transistor M_{P1} se corresponde con una versión escalada del transistor de paso, Ecuación (4.14) donde $N = 200$, que permite recrear su comportamiento, evitando el consumo de área que implica la implementación física de M_{PASS} . De esta forma, al fijar la corriente que circula por él, mediante $I_{BIAS,2}$, y forzando a través del amplificador diferencial A_1 que su caída V_{DS} se corresponda con la tensión de *dropout*; se consigue generar la tensión de referencia V_{REF_GATE} . El valor de I_{BIAS} se elige como una versión escalada de la corriente de carga que provoca una degradación del margen de fase del regulador *LDO*. El factor de escala K debe corresponderse con el elegido para la réplica del transistor de paso, M_{P1} , con el objetivo de garantizar que el comportamiento de éste sea el correcto. Esto supone

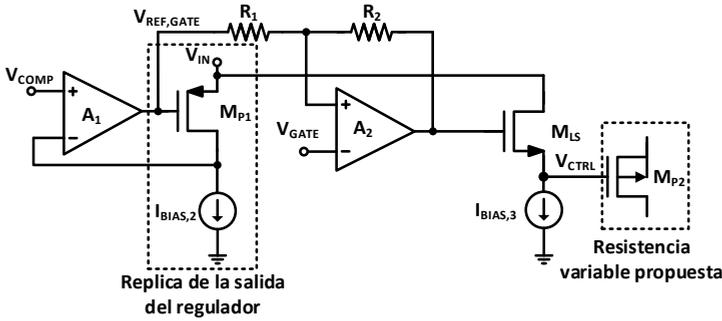


Figura 4.5 Diagrama de bloques del circuito propuesto para controlar el valor de la resistencia R_{VAR} .

que se deba satisfacer la relación $K = N = 200$.

$$\left(\frac{W}{L}\right)_{M_{P1}} = \frac{(W/L)_{M_{PASS}}}{N} \tag{4.14}$$

Una vez generada la tensión de referencia, A_2 se encarga de compararla con V_{GATE} , el valor de la tensión de puerta del transistor de paso, generando una salida proporcional al valor de la carga. Por último, a través del desplazador de nivel formado por M_{LS} e $I_{BIAS,3}$, la salida generada por A_2 se transforma en la tensión de control, V_{CTRL} , encargada de modificar el valor de la resistencia M_{P2} . La Figura 4.6 representa la variación de $r_o|_{M_{P2}}$ con la corriente de carga, I_{LOAD} .

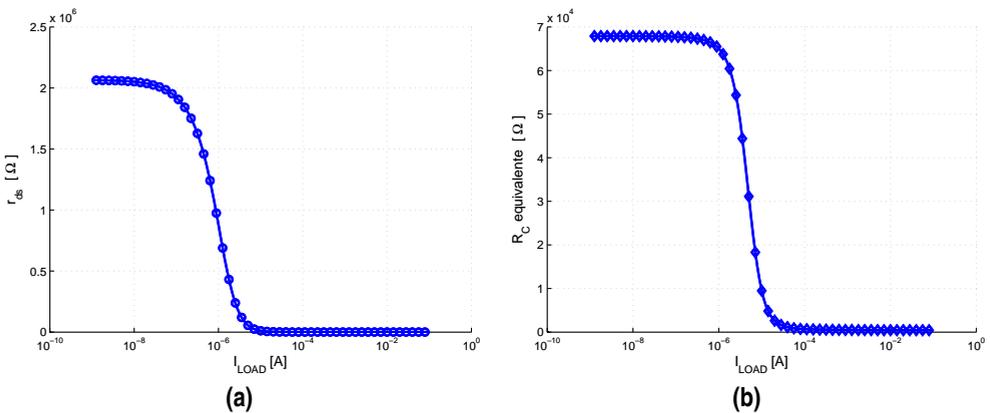


Figura 4.6 (a) Variación de la resistencia de salida r_o de M_{P2} . (b) Variación de la resistencia equivalente de la compensación.

A continuación, la Tabla 4.1 muestra una comparativa del margen de fase del circuito mostrado en la Figura 4.4a y de la técnica propuesta, Figura 4.4b. Como se puede comprobar, la implementación de un esquema que ajusta el valor de la resistencia R_C en función de la carga permite mejorar el margen de fase del regulador LDO en todo su rango de funcionamiento.

Tabla 4.1 Tabla comparativa del margen de fase obtenido por simulación para el esquema basado en el uso de una resistencia (ZNR) y la solución propuesta.

| I_{LOAD} | ZNR [°] | Esquema propuesto [°] | I_{LOAD} | ZNR [°] | Esquema propuesto [°] |
|------------|---------|--------------------------|------------|---------|--------------------------|
| 0[mA] | 62.61 | 61.43 | 100[μA] | 8.90 | 70.82 |
| 100[nA] | 64.3 | 63.18 | 1[mA] | 4.72 | 89.87 |
| 1[μA] | 65.95 | 66.70 | 10[mA] | 16.67 | 92.15 |
| 10[μA] | 35.21 | 57.8 | 100[mA] | 60.74 | 92.87 |

Finalmente, se ha usado como amplificador de error el mostrado en la Figura 4.7, [82]. Éste se corresponde con una topología de dos etapas. Cabe destacar que la primera etapa se compone de un par diferencial de tipo $PMOS$, mientras que la segunda etapa se encarga de generar la tensión de salida del amplificador, gracias a la suma de las corrientes diferenciales generadas. Ésta se lleva a cabo a través del espejo de corriente formado por los transistores M_9 y M_{10} . Por su parte, la realimentación local introducida por las resistencias R_{CMFB} permite cancelar la señal diferencial en el nodo común de puerta de los transistores M_3 y M_4 , además de fijar su tensión de puerta, mejorando el rechazo a variaciones del modo común del amplificador. Por último, los transistores cascos M_7 y M_8 se incluyen para incrementar la ganancia de la segunda etapa, ya que mejoran su resistencia de salida.

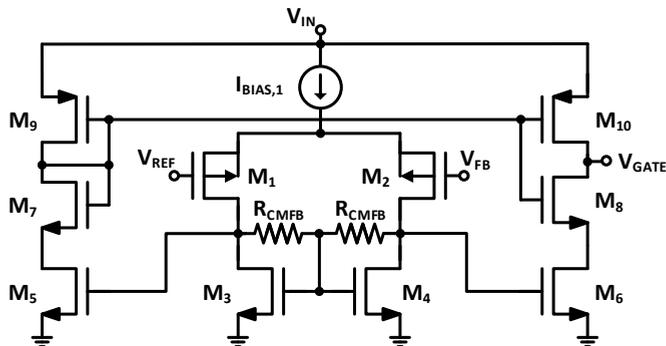


Figura 4.7 Esquema del amplificador de error utilizado para el cómputo del margen de fase presentado en la Tabla 4.1.

4.2.1 Estabilidad

El estudio de la respuesta en frecuencia del regulador propuesto requiere de un análisis del modelo de pequeña señal mostrado en la Figura 4.8, donde se ha ignorado el sistema de control de la resistencia M_{P2} por no encontrarse en el camino de señal y, como consecuencia de ello, no afecta al comportamiento en frecuencia del regulador. En este modelo, G_{Mx} , R_{ox} y C_{ox} representan la transconductancia, la resistencia de salida y la capacidad parásita en el nodo de salida asociada a la primera y segunda etapa del amplificador de error, respectivamente. En relación a esto, R_{o3} , se corresponde con la resistencia equivalente vista a la salida del regulador, es decir, $R_{o3} = r_{o,pass} \parallel [R_{fb1} + R_{fb2}] \parallel R_{LOAD}$. Por último, se ha supuesto que la capacidad parásita asociada a la salida de la primera etapa es despreciable, puesto que se cumple $C_{o1} \ll C_{o2} \ll C_{LOAD}$. De esta forma, se obtiene la función de transferencia mostrada en la Ecuación (4.15).

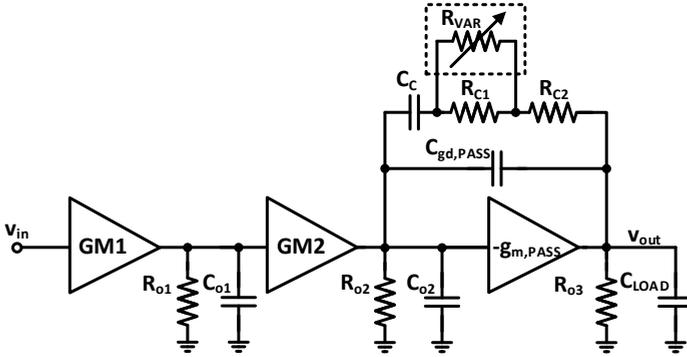


Figura 4.8 Modelo de pequeña señal del regulador LDO propuesto.

$$H(s) = A_{OL} \frac{1 + a_1 s + a_2 s^2}{1 + b_1 s + b_2 s^2 + b_3 s^3} \quad (4.15)$$

donde

$$A_{OL} = -G_{M1} G_{M2} g_{m,pass} R_{o1} R_{o2} R_{o3} \quad (4.16)$$

$$a_1 = \frac{C_C + C_{gd,pass} - g_{m,pass} R_C C_C}{g_{m,pass}} \quad (4.17)$$

$$a_2 = -\frac{R_C C_C C_{gd,pass}}{g_{m,pass}} \quad (4.18)$$

$$b_1 = R_{o2} [C_{gs,pass} + C_{gd,pass} + C_C] + R_{o3} [C_{LOAD} + C_{gd,pass} + C_C] + g_{m,pass} R_{o2} R_{o3} [C_C + C_{gd,pass}] \quad (4.19)$$

$$b_2 = R_{o2}R_{o3} [C_{LOAD} [C_{gs,pass} + C_{gd,pass} + C_C] + C_{gs,pass} [C_{gd,pass} + C_C]] + R_C C_C [R_{o2} [C_{gd,pass} + C_{gs,pass}] + R_{o3} [C_{LOAD} + C_{gd,pass}]] + g_{m,pass} R_{o2} R_{o3} R_C C_C C_{gd,pass} \quad (4.20)$$

$$b_3 = R_{o2}R_{o3}R_C C_C [C_{LOAD} [C_{gs,pass} + C_{gd,pass}] + C_{gs,pass} C_{gd,pass}] \quad (4.21)$$

La Figura 4.10 muestra el diagrama de *Bode* para diferentes valores de I_{LOAD} , obtenido a través de simulaciones *post-layout*. En todas las situaciones estudiadas, el valor de la capacidad de salida es $C_{OUT} = 100pF$, correspondiente al peor caso. La Tabla 4.2 recoge la ganancia y el margen de fase obtenido para las distintas corrientes de carga usadas.

Tabla 4.2 Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador *LDO* propuesto.

| I_{LOAD} | PM [°] | Ganancia [dB] | I_{LOAD} | PM [°] | Ganancia [dB] |
|------------|--------|---------------|------------|--------|---------------|
| 0 [mA] | 61.39 | 49.33 | 10 [μA] | 57.59 | 55.45 |
| 1 [nA] | 61.41 | 49.33 | 100 [μA] | 70.78 | 57.29 |
| 10 [nA] | 61.63 | 49.37 | 1 [mA] | 89.87 | 58.27 |
| 100 [nA] | 63.28 | 49.71 | 10 [mA] | 92.16 | 58.38 |
| 1 [μA] | 66.75 | 51.85 | 100 [mA] | 92.85 | 27.94 |

Por último, la Figura 4.9 muestra la evolución de los polos y ceros del sistema en función de la carga. Como se puede observar, cuando I_{LOAD} es alta, el polo no dominante está constituido por un polo complejo conjugado, $p_{2,3}$, de muy alta frecuencia. Por tanto, su impacto en el margen de fase no tiene repercusión, al ubicarse varias décadas después de la frecuencia de ganancia unitaria. A su vez, a medida que la corriente de carga se reduce, el polo complejo conjugado se transforma en dos polos reales. Uno de ellos se ubica en alta frecuencia mientras que el segundo, se halla próximo a la frecuencia de ganancia unitaria, *UGF*. En este punto, el margen de fase comienza a degradarse paulatinamente, a medida que I_{LOAD} reduce su valor. A la par, el cero introducido por la compensación de *Miller*, adapta su valor a las nuevas condiciones para que el margen de fase no se degrade.

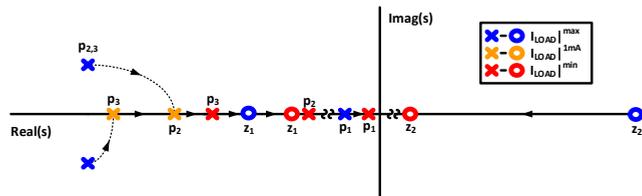


Figura 4.9 Diagrama de polos-ceros asociado al regulador *LDO* propuesto.

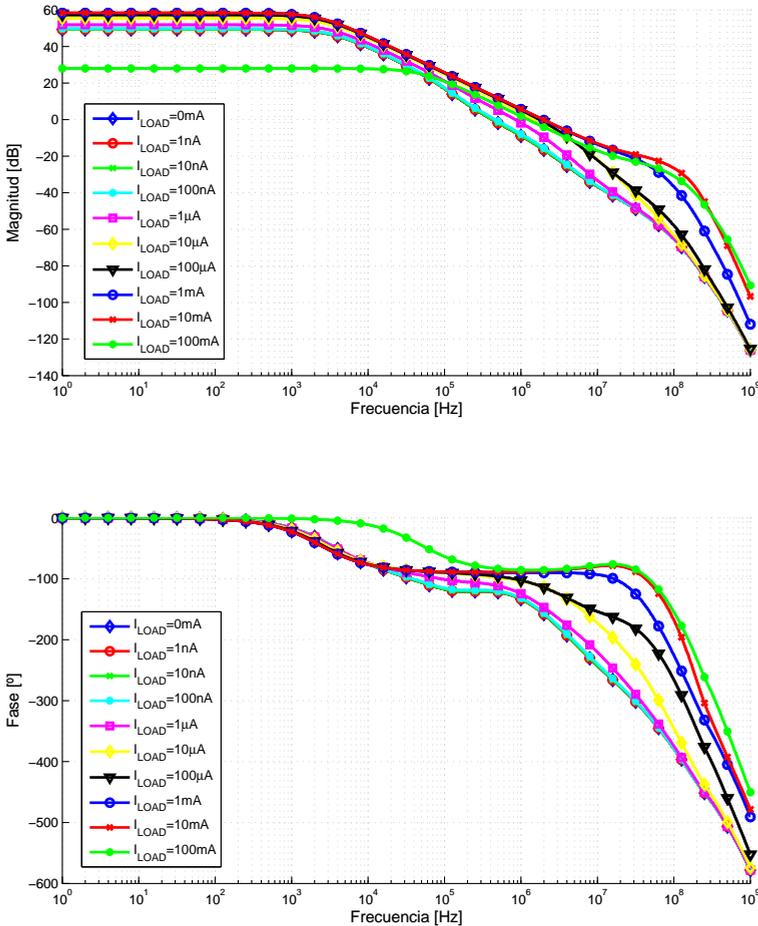


Figura 4.10 Diagrama de *Bode* para distintos valores de I_{LOAD} .

4.3 Resultados experimentales

El regulador *LDO* propuesto se ha implementado en una tecnología *CMOS* estándar de 65nm. La Figura 4.11a presenta una microfotografía de la celda dentro del *chip* fabricado, sobre la que se ha superpuesto una vista del *layout*, para poder identificarlo. Una visión ampliada del diseño, se puede ver en la Figura 4.11b. En ella, el bloque A (color verde) representa al transistor de paso, B (color rojo) se corresponde con el amplificador de error y la red de realimentación constituida por R_{FB1} y R_{FB2} , C (color naranja) es el bloque

de control de la resistencia variable R_{VAR} ; y, por último, D engloba a los circuitos de polarización, tanto para generar las tensiones de cascodo internamente como las diferentes corrientes de polarización. La capacidad ubicada a la derecha del transistor de paso se corresponde con C_C . El área total ocupada por el regulador es de $289\mu m \times 151\mu m$. Se ha diseñado para suministrar una corriente máxima de $100mA$, soportando una capacidad de carga, C_{OUT} , variable en el rango comprendido entre $0pF$ y $100pF$.

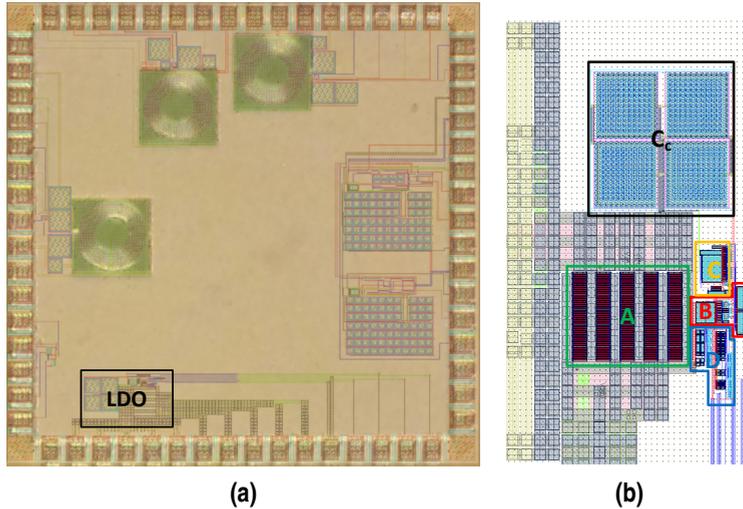


Figura 4.11 (a) Microfotografía del *chip* fabricado y (b) detalle del *layout* realizado.

La Figura 4.12 muestra la característica estática para cuatro valores de la corriente de carga distintos, $I_{LOAD} = 100mA$ (Figura 4.12a), $I_{LOAD} = 1mA$ (Figura 4.12b), $I_{LOAD} = 10\mu A$ (Figura 4.12c) e $I_{LOAD} = 0mA$ (Figura 4.12d). En todas las situaciones, se ha utilizado como entrada una señal triangular de período $T = 10ms$, variando entre $0V$ y $1.2V$. Como puede verse, la tensión V_{OUT} es cercana a $0.8V$ para valores pequeños de I_{LOAD} . Sin embargo, como consecuencia de una desviación en la resistencia parásita en el nodo de salida, cuando la corriente demandada por la carga es máxima, $I_{LOAD} = 100mA$, la tensión regulada cae hasta los $0.754V$. A su vez, en este caso, el valor de la tensión de entrada para el que el *LDO* propuesto comienza a regular su salida es $V_{IN} = 0.991V$, dando lugar a una tensión de *dropout* de $0.237V$. Este valor resulta ligeramente superior al considerado en las especificaciones del regulador. Esta desviación sufrida se explica en mayor detalle en la Sección 4.4.

A continuación, se estudia la respuesta transitoria frente a variaciones de la corriente requerida por la carga. En todas las situaciones, las medidas realizadas se han hecho bajo el peor supuesto, es decir, cuando $V_{IN} = 1.0V$ y $C_{OUT} = 100pF$. La Figura 4.13a y Figura 4.13b han sido obtenidas cuando la corriente de carga conmuta de $0mA$ a $100mA$, y viceversa, en un tiempo de subida y bajada de $100ns$. Bajo estas condiciones, la tensión regulada presenta una variación de $+242mV / -336mV$ con respecto a su valor nominal. Por su parte, la Figura 4.13c y Figura 4.13d representan la variación de V_{OUT} cuando

I_{LOAD} varía en todo su rango de funcionamiento, entre $0mA$ y $100mA$, con un tiempo de subida y de bajada de $1\mu s$. Ante este nuevo escenario, la tensión de salida presenta una variación máxima de $232mV$. El tiempo de establecimiento para cada una de las medidas anteriores es de $X17.05\mu s$ y $16.79\mu s$, respectivamente.

Las medidas llevadas a cabo para el estudio de la regulación de línea se han efectuado para $I_{LOAD} = 100mA$, Figura 4.14a y Figura 4.14b, e $I_{LOAD} = 0.1mA$, Figura 4.14c y Figura 4.14d. En todos los casos, se ha utilizado una capacidad de carga de $100pF$. Para evaluar la respuesta del regulador, se ha variado la tensión de entrada entre $1.0V$ y $1.2V$, usando un tiempo de subida y de bajada de $1\mu s$. Ante estas condiciones, se ha obtenido una variación de V_{OUT} de $+28.9mV / -19.4mV$ respecto de su valor nominal, para el caso donde $I_{LOAD} = 100mA$. Por su parte, cuando $I_{LOAD} = 0mA$, la variación de la tensión V_{OUT} medida es de $10.3mV / -16mV$. Por último, el peor tiempo de establecimiento ha sido inferior a $5.48\mu s$.

Para finalizar esta sección, la Tabla 4.3 recoge las principales características del regulador propuesto.

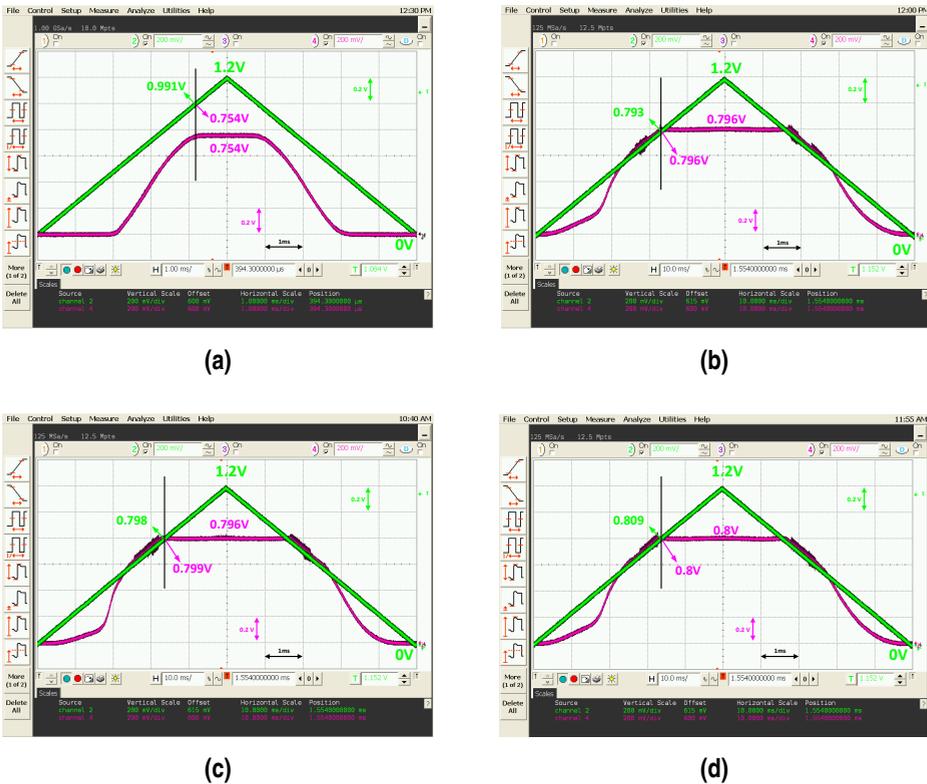
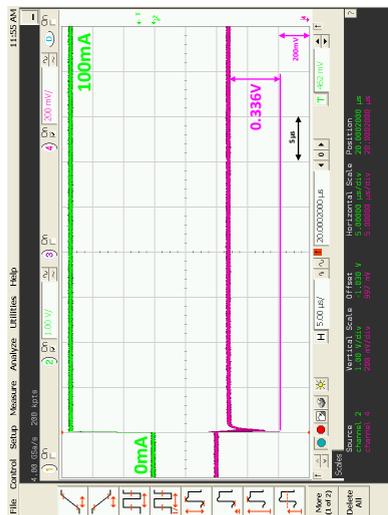


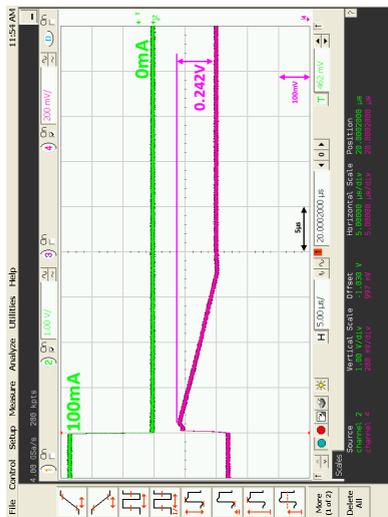
Figura 4.12 Respuesta estática del regulador propuesto para $C_{OUT} = 100pF$ e (a) $I_{LOAD} = 100mA$, (b) $I_{LOAD} = 1mA$, (c) $I_{LOAD} = 10\mu A$ y (d) $I_{LOAD} = 0mA$.



(b)



(d)



(a)



(c)

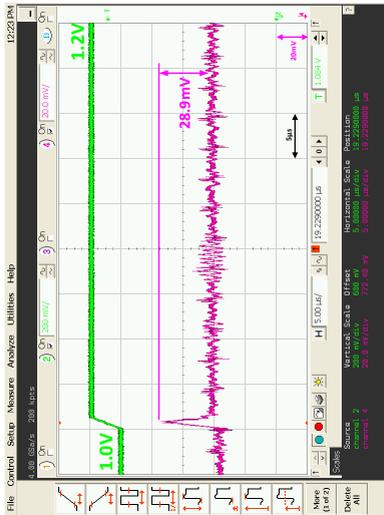
Figura 4.13 Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100pF$ e $V_{IN} = 1.0V$.



(a)



(b)



(c)



(d)

Figura 4.14 Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$.

Tabla 4.3 Resumen de las características del regulador presentado.

| Regulador propuesto | | |
|--------------------------------------|---------------|---------|
| Proceso | [nm] | 65 |
| V_{IN} | [V] | 1.0-1.2 |
| V_{OUT} | [V] | 0.8 |
| $V_{DROPOUT}$ | [mV] | 200 |
| $I_{LOAD,max}$ | [mA] | 100 |
| I_q^a | [μ A] | 17.88 |
| C_{OUT} | [pF] | 100 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9821 |
| Area | [mm^2] | 0.0436 |
| ΔV_{OUT} variando V_{IN} | | |
| • Máximo | [mV] | 28.9 |
| • Mínimo | [mV] | -19.4 |
| $\Delta V_{IN}/I_r^e$ | [V/ μ s] | 0.2/1 |
| ΔV_{OUT} variando I_{LOAD} | | |
| • Máximo | [mV] | 242 |
| • Mínimo | [mV] | -336 |
| $\Delta I_{LOAD}/I_r^e$ | [mA/ μ s] | 100/0.1 |
| Regulación de línea | [mV/V] | 26.5 |
| Regulación de carga | [μ V/mA] | 780.57 |
| FOM | [fs] | 103.35 |

^a Peor caso

4.4 Discrepancias

Los resultados presentados en la sección anterior, Sección 4.3, arrojan diferencias entre las medidas experimentales y las simulaciones *post-layout* efectuadas. En concreto, para valores bajos I_{LOAD} entre $0mA$ y $1mA$, la característica estática del regulador presenta un comportamiento oscilante cuando la tensión de entrada se encuentra comprendida entre $0.6V$ y $0.8V$, valor nominal de la tensión regulada. A partir de este punto, las oscilaciones desaparecen, mostrando la regulación esperada por parte del sistema diseñado. Este hecho puede verse reflejado en la Figura 4.12b, Figura 4.12c y Figura 4.12d. Como consecuencia de esta divergencia entre la respuesta medida y la simulación efectuada, se ha realizado una batería de pruebas para determinar su origen.

La Figura 4.15 representa el diagrama del esquema utilizado para medir la respuesta estática del regulador. Por una parte, para evitar la limitación en corriente que presenta la salida del generador de señales utilizado, *Rohde & Schwarz AM300*, se ha necesitado utilizar un *buffer* intermedio capaz de suministrar la corriente requerida por el *LDO*. En concreto, se ha optado por el uso de un integrado comercial de la compañía *Linear Technology* cuya referencia es *LT1210*. Este mismo dispositivo ha sido utilizado para medir

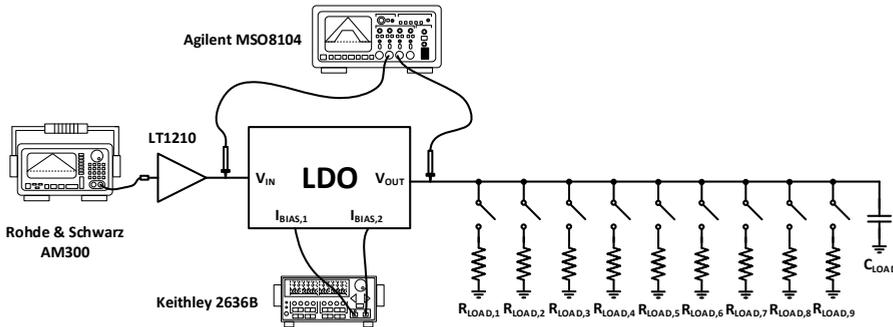


Figura 4.15 Esquema utilizado para medir la respuesta característica del regulador propuesto en el laboratorio.

la respuesta característica del resto de diseños expuestos en esta tesis doctoral sin presentar ninguna anomalía. No obstante, una alternativa al uso de este elemento activo consistiría en la utilización de un *bias tee*¹. De esta forma, se aísla el suministro de la potencia necesaria de la generación del estímulo. Sin embargo, dado que este tipo de elementos son típicos en sistemas de radiofrecuencia destinados a comunicaciones, el puerto de RF presenta una limitación en ancho de banda. La frecuencia mínima admisible por estos dispositivos es 100kHz , mientras que la máxima puede alcanzar las decenas de gigahertzios. Debido a esto, se descartó el uso de esta opción. Por otro lado, la carga se ha emulado mediante el uso de resistencias pasivas con una precisión del 1%. En todas las medidas efectuadas, el valor de la capacidad C_{LOAD} es de 100pF , correspondiente al peor caso desde el punto de vista de la estabilidad.

La Figura 4.16 muestra las medidas del comportamiento para 9 valores distintos de I_{LOAD} cuando V_{IN} varía entre 0V y 1.2V . Para ello, se ha optado por utilizar una señal triangular como estímulo de entrada con un período lo suficientemente lento como para que la respuesta transitoria del regulador no domine la prueba. Según se aprecia, la tensión regulada V_{OUT} presenta una oscilación en el rango que va desde los 0.58V hasta los 0.8V , donde el bucle de regulación toma el control del sistema y estabiliza la tensión. No obstante, este procedimiento no ocurre cuando $I_{LOAD} = 10\text{mA}$, donde se observan oscilaciones en la banda donde V_{OUT} debe permanecer constante.

Esta misma batería de pruebas se ha realizado de forma paralela en el simulador. Con el objetivo de recrear el esquema de medida utilizado en esta herramienta, las simulaciones *post-layout* efectuadas contemplan el uso del *buffer* intermedio utilizado. En este caso concreto, al no suministrar el fabricante un fichero de *SPICE* que lo modele, se ha optado por usar un modelo de primer orden de un amplificador operacional, al que se le ha añadido la red de componentes pasivos requeridos por dicho *buffer*. La Figura 4.17 muestra los resultados obtenidos de esta batería de simulaciones *post-layout* donde se puede observar cómo la salida del regulador permanece estable sin mostrar signos de oscilaciones. Por tanto,

¹ Este dispositivo se corresponde con una red de tres puertos que permite establecer el punto de polarización sin afectar a otros dispositivos.

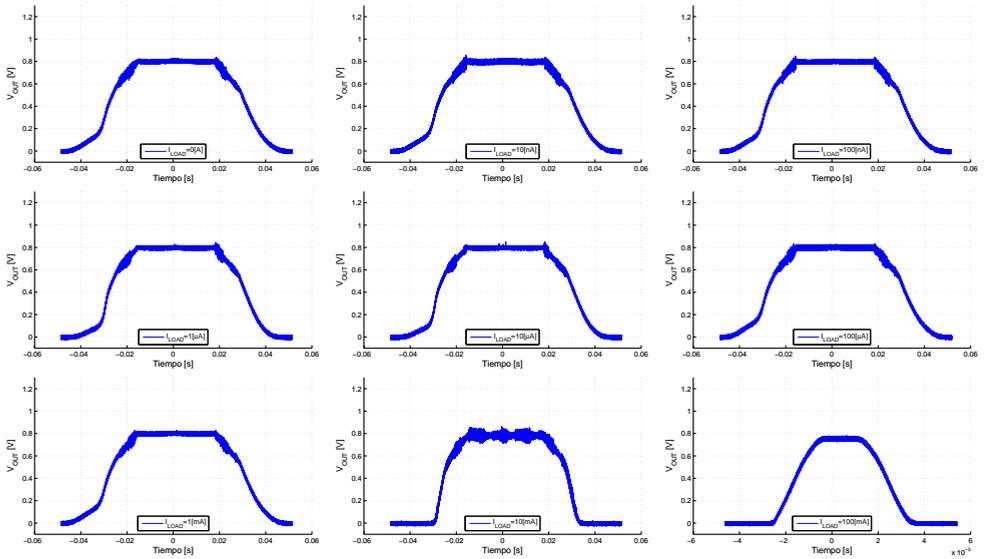


Figura 4.16 Medida de la característica estática del regulador propuesto para diferentes valores de I_{LOAD} .

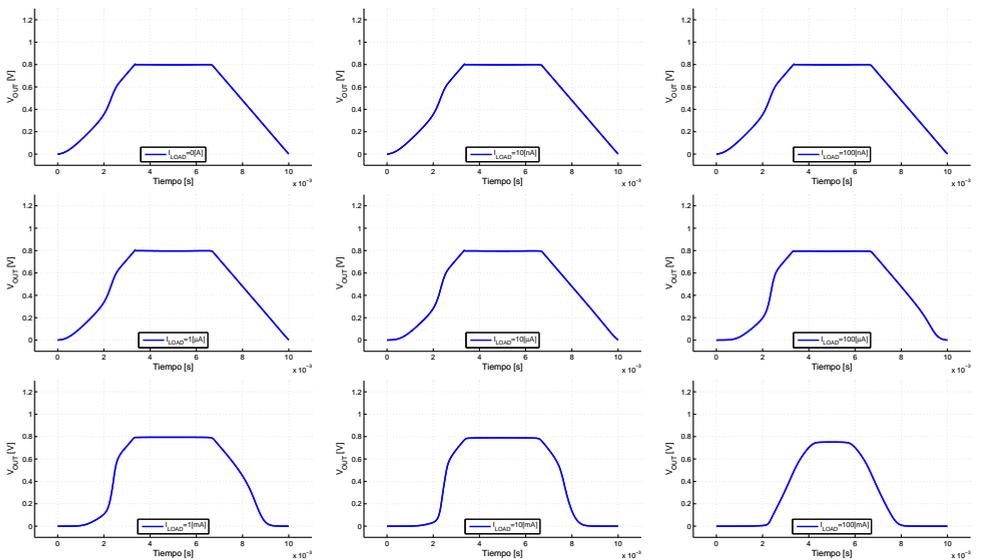


Figura 4.17 Simulación transitoria *post-layout* de la característica estática frente a diversos valores de la corriente de carga.

las simulaciones realizadas para garantizar la integridad del diseño no están correladas con las medidas experimentales llevadas a cabo.

Posteriormente, se ha realizado una segunda prueba para determinar si el esquema de medida utilizado puede ser el causante de este comportamiento. Ésta se ha basado en la simulación de la respuesta del circuito usando como señales de entrada los valores medidos en el laboratorio. Para ello, se ha llevado a cabo una simulación en la que se han utilizado la señal V_{IN} capturada en el laboratorio como fuentes de estímulo. De esta forma, el resultado que se espera de esta prueba es determinar si la tendencia que muestra la salida regulada V_{OUT} del *LDO* propuesto es similar a la observada en medida. Dado el gran coste computacional que implica la simulación, ésta se ha realizado a nivel de esquemático y para el peor caso observado, es decir, cuando $I_{LOAD} = 10mA$. El resultado obtenido se muestra en la Figura 4.19. Como se puede observar, al hacer uso de la señal real medida en el laboratorio, el comportamiento de la tensión V_{OUT} simulada se asemeja al valor medido en el laboratorio. Sin embargo, la oscilación que muestra la señal real, no ha sido posible recrearla haciendo uso del simulador. No obstante, se considera que puede deberse a la existencia de corrientes de fuga en la tarjeta de medida diseñada teniendo en cuenta el bajo valor de las corrientes de polarización utilizadas [118]. En el caso de la corriente que polariza el bucle el de regulación, su valor es de $10nA$. Por otro lado, la corriente encargada de polarizar el circuito de réplica es de $16nA$. Estos valores son lo suficientemente bajos como para poderse ver afectados por cualquiera de las fuentes de fuga existentes en una tarjeta impresa.

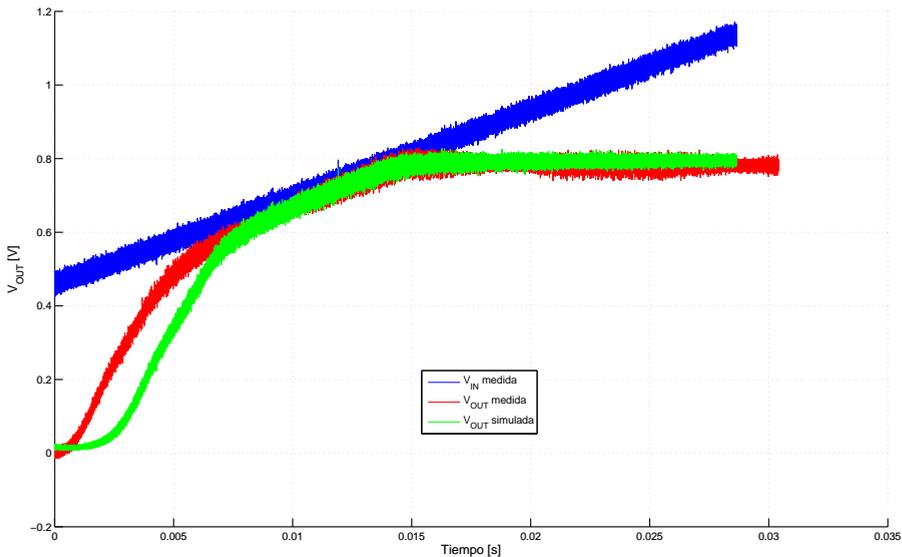


Figura 4.18 Comparativa entre el valor de la tensión V_{OUT} simulado y real, usando como estímulo el valor medido de V_{IN} usando una carga $I_{LOAD} = 10mA$.

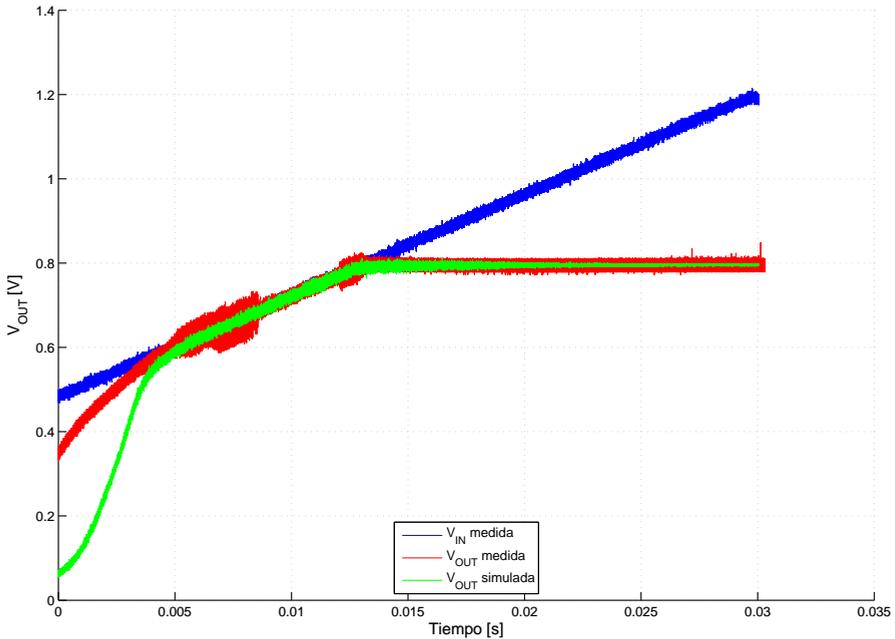


Figura 4.19 Comparativa entre el valor de la tensión V_{OUT} simulado y real, usando como estímulo el valor medido de V_{IN} usando una carga $I_{LOAD} = 100\mu A$.

Por último, como consecuencia de la divergencia existente entre la medida y la simulación de la respuesta característica del regulador propuesto, se ha realizado una segunda versión del mismo donde se han utilizado técnicas específicas para mitigar el posible efecto del *mismatch* en el bucle de regulación y en el circuito de réplica utilizado para modificar el valor de la resistencia en la compensación de *Miller*. Entre las técnicas utilizadas, destaca el uso del centroide común y el uso de transistores *dummies*, para lograr una mayor simetría en la celda. A su vez, se ha incrementado la distancia de los anillos de guarda que rodean a los transistores *PMOS* y *NMOS* para reducir su efecto sobre la tensión umbral del propio transistor [119–123], provocando que ésta se aproxime a su valor nominal. Esta nueva versión ocupa un área de $246.8\mu m \times 227.44\mu m$.

4.5 Conclusiones

Como se ha visto en este capítulo, la estabilidad en los reguladores *LDO* es de vital importancia para garantizar el correcto funcionamiento del regulador y de la carga que se le conecta. En este sentido, uno de los esquemas más sencillos, y extensamente utilizado para compensar amplificadores operacionales, es la compensación de *Miller* con resistencia de anulación. De esta forma, se consigue eliminar la degradación del margen de fase que genera el cero ubicado en el semiplano derecho, como consecuencia del camino directo que crea la capacidad parásita $C_{gd,pass}$ del transistor de paso. No obstante, como se ha

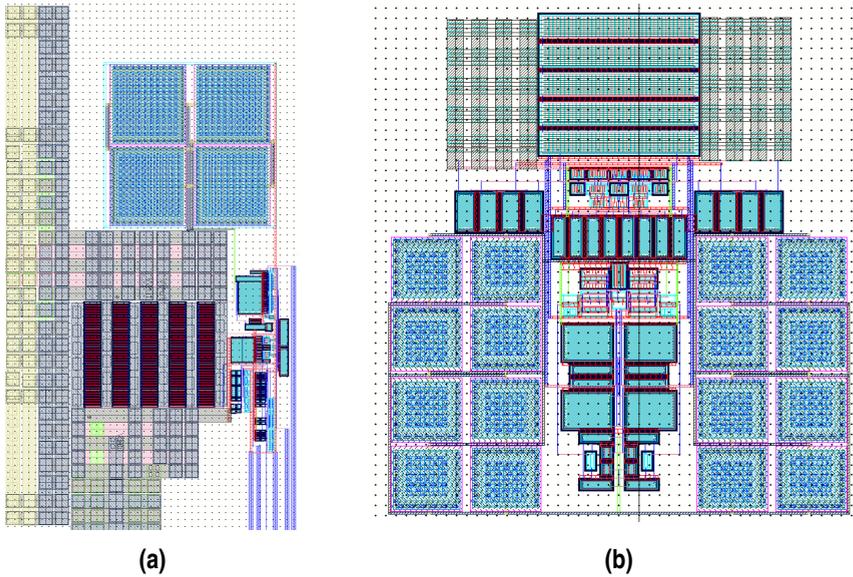


Figura 4.20 Comparativa entre (a) la primera y (b) la segunda versión del *layout* .

mostrado al comienzo de este capítulo, la variación de los parámetros de pequeña señal en el transistor de paso, provoca que esta compensación no sea efectiva en todos los casos de funcionamiento, como se ha mostrado en la Figura 4.3.

Con el objetivo de solventar esta limitación, se ha presentado un esquema de compensación basado en el ajuste del valor de la resistencia R_C según el valor de la corriente demandada por la carga. Para ello, se ha implementado la técnica propuesta en una tecnología *CMOS* estándar de 65nm . De los resultados obtenidos, se observa que el regulador *LDO* es estable para todo el rango de funcionamiento, es decir, desde la ausencia de carga a su salida hasta una carga máxima de 100mA . Al mismo tiempo, la estabilidad del sistema no se ve comprometida cuando la tensión de línea varía.

La Tabla 4.5 muestra una comparativa de las principales magnitudes de los reguladores publicados en la literatura científica. En este caso, los trabajos expuestos en dicha tabla han sido seleccionados por presentar alguna técnica específica para estabilizar el regulador, de forma que se puedan contextualizar los resultados obtenidos. Como se desprende de las medidas obtenidas, las variaciones de V_{OUT} son similares a las de las publicaciones recogidas. Cabe destacar que los valores presentados para ΔV_{OUT} frente a cambios de I_{LOAD} se corresponden con un tiempo de subida y de bajada de $0.1\mu\text{s}$. Por este motivo, son ligeramente superiores a los del resto de diseños presentados. Cuando dichos tiempos se incrementan a $1\mu\text{s}$, la variación que sufre la tensión regulada es de $+232\text{mV} / -110\text{mV}$, aproximándose a los valores del resto de trabajos.

Por su parte, el valor de la figura de mérito obtenido por este regulador es de 103.35fs . La Tabla 4.4 recoge la *FOM* de cada uno de los reguladores expuestos en la Tabla 4.5 a modo comparativo. Según se puede ver, el trabajo expuesto presenta el segundo mejor

Tabla 4.4 Valores de la *FOM* obtenidos por los trabajos expuestos.

| | [31] | [39] | [40] ^a | [41] ^a | [42] | [44] | Apor- tación | Apor- tación* |
|--------------|-------|------|-------------------|-------------------|------|-------|-----------------|------------------|
| T_r [ns] | 0.19 | 0.32 | 42 | 0.36 | 5.18 | 140 | 0.58 | 0.13 |
| FOM_1 [fs] | 72.20 | 416 | 16380 | 388.80 | 2331 | 63000 | 103.35 | 24.36 |

^a Valores obtenidos por simulación

valor de la *FOM*. El primer puesto se encuentra ocupado por [31], que se corresponde con un regulador implementado en una tecnología de $0.6\mu m$ y que hace uso de una técnica para modificar el factor de amortiguamiento del par de polos complejos conjugados que aparece en la función de transferencia del sistema. En este caso, los autores presentan la respuesta transitoria de la tensión de salida para un cambio de I_{LOAD} de $90mA$, es decir, la corriente que emula a la carga varía entre $10mA$ y $100mA$ en $0.5\mu s$. Ante este estímulo, la solución propuesta en este capítulo obtiene una variación de V_{OUT} de $+96.93mV / -39.36mV$, respecto a su tensión nominal $V_{OUT} = 0.8$. Si se actualiza el cálculo de la figura de mérito con estos nuevos valores, se obtiene una $FOM = 24.37fs$. En consecuencia, al utilizar los mismos estímulos que [31], la solución presentada ocuparía el primer lugar de la comparativa.

Por último, la Figura 4.21 supone una representación gráfica de la comparativa llevada a cabo en la Tabla 4.5. Al igual que se ha visto en el capítulo anterior, cuanto más cerca del origen de coordenadas se encuentre el trabajo, mejor será la respuesta del regulador y menor su consumo quiescente. La leyenda “Aportacion*” representa al valor de la *FOM* que alcanza el regulador presentado en este capítulo bajo el test de medida empleado en [31].

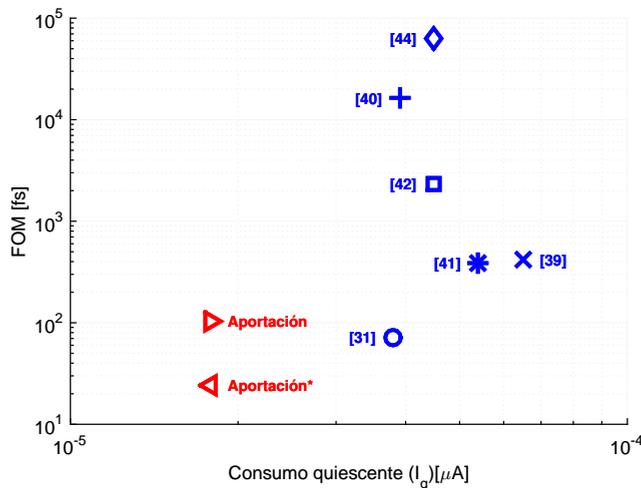


Figura 4.21 Comparación de la aportación presentada en este capítulo frente a los trabajos publicados cuyo objetivo es mejorar la estabilidad.

Tabla 4.5 Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores LDO compensados internamente.

| | [31] | [39] | [40] ^a | [41] ^a | [42] | [44] | Aportación | |
|--------------------------------------|-----------------------------|----------------|-------------------|-------------------|----------------|----------------|---------------------|---------|
| Proceso | [μm] | 0.6 | 0.35 | 0.35 | 0.18 | 0.35 | 0.5 | 0.065 |
| V_{IN} | [V] | 1.5-4.5 | 3.0-4.0 | 1.2 | 1.1-1.5 | 1.2-1.5 | 1.4-4.2 | 1.0-1.2 |
| V_{OUT} | [V] | 1.3 | 2.8 | 1.0 | 1.0 | 1.0 | 1.21 | 0.8 |
| $V_{DROPOUT}$ | [mV] | 200 | 200 | 200 | 100 | 200 | 200 | 200 |
| $I_{LOAD,max}$ | [mA] | 100 | 50 | 100 | 50 | 50 | 100 | 100 |
| I_q^b | [μA] | 38 | 65 | 39 ^c | 54 | 45 | 45 | 17.88 |
| C_{OUT} | [pF] | 1e2 | 1e2 | 1e4 | 1e2 | 1e3 | 1e5 | 1e2 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9620 | 99.9350 | 99.9610 | 99.9460 | 99.9550 | 99.9550 | 99.9821 |
| Area | [mm^2] | 0.3073 | 0.3500 | - ^d | - ^d | 0.2634 | 0.4000 | 0.0436 |
| Tiempo de respuesta ^b | [μs] | 2 | 15 | 25 ^c | 2 | 5 ^c | 4 | 17.05 |
| ΔV_{OUT} variando V_{IN} | | | | | | | | |
| • Máximo | [mV] | 160 | 90 | - ^d | - ^d | 23 | - ^d | 28.9 |
| • Mínimo | [mV] | -1.5 | -10 | - ^d | - ^d | 12 | - ^d | -19.4 |
| $\Delta V_{OUT}/I_q^e$ | [V/ μs] | 3/6 | 1/1 | - ^d | - ^d | 10.1 | - ^d | 0.2/1 |
| ΔV_{OUT} variando I_{LOAD} | | | | | | | | |
| • Máximo | [mV] | 100 | 80 | 210 | 100 | 47 | 70 | 242 |
| • Mínimo | [mV] | -90 | -80 | -210 | -80 | -48 | -70 | -336 |
| $\Delta I_{LOAD}/I_q^e$ | [mA/ μs] | 900.5 | 50/1 | 99/1 | 50/1 | 99.9990.1 | 49/1 | 1000.1 |
| Regulación de línea | [mV/V] | - ^d | - ^d | - ^d | - ^d | 0.098 | - ^d | 26.5 |
| Regulación de carga | [$\mu\text{V}/\text{mA}$] | - ^d | - ^d | - ^d | - ^d | 250.00 | 408.00 ^c | 760.57 |

^a Valores obtenidos por simulación ^b Peor caso ^c Estimación realizada a partir de los datos proporcionados por el artículo
^d No aportan información ^e t_r : Tiempo de subida

5 Regulador *LDO* de ultra-bajo consumo

Los sistemas de gestión de potencia han adquirido una gran importancia en los últimos años, sobre todo en aplicaciones de bajo consumo, debido a la necesidad de reducir la potencia estática consumida por los diferentes bloques, [124]. La importancia de este tipo de sistemas se ha hecho aún más notoria cuando han surgido las redes de sensores inalámbricas [125] (WSNs¹), donde los nodos que las componen están alimentados por baterías o, en algunos casos, de la energía que son capaces de recolectar del entorno que les rodea, [126]. Por este motivo, reducir al máximo el consumo de potencia de cada uno de los bloques que componen los nodos supone extender la vida útil de las baterías lo máximo posible. En este sentido, uno de los bloques críticos se corresponde con los reguladores *LDO*, encargados de suministrar la tensión de alimentación, que siempre se encuentran en estos dispositivos.

Por este motivo, en este capítulo se expone un regulador *LDO* compensado internamente cuyo consumo quiescente es inferior a $0.6\mu A$. Para ello, se ha utilizado un esquema basado en la topología clásica, a la que se ha intercalado un *buffer* clase AB para efectuar la carga y/o descarga de la capacidad parásita del transistor de paso.

5.1 Introducción

A la hora de diseñar reguladores *LDO* de ultra bajo consumo, aquéllos que presentan una corriente quiescente inferior a $1\mu A$, se deben tener en cuenta dos aspectos críticos. Por una parte, la impedancia de salida del amplificador de error, así como de las posibles etapas intermedias es muy alta, como consecuencia de las bajas corrientes de polarización utilizadas. Esto provoca que se generen polos de baja frecuencia que degradan la respuesta en frecuencia. Por tanto, es necesaria la introducción de un esquema de compensación que no genere un consumo adicional. De esta forma, aquellas técnicas de compensación que hagan uso de bloques activos, como [36], [31] o [39], quedarían descartadas.

¹ Wireless Sensor Networks

Por otra parte, el tiempo requerido por el amplificador de error para manejar la capacidad parásita de puerta de M_{PASS} tiende a ser alto, como resultado de las bajas corrientes de polarización usadas, nuevamente. Esto lleva al uso de esquemas donde se intercala un *buffer* de tipo clase AB entremedio del amplificador de error y el propio transistor de paso. Por todo ello, se puede mantener controlado el consumo quiescente del regulador en condiciones estáticas, donde no se producen variaciones de la corriente demandada por la carga o de la tensión de entrada, mientras que durante los instantes de variación, el *buffer* puede generar la corriente suficiente como para cargar o descargar rápidamente dicha capacidad parásita, de modo que la respuesta transitoria no se vea resentida.

5.2 Arquitectura

El regulador LDO propuesto se muestra en la Figura 5.1. Como se puede observar, el amplificador de error está compuesto por un amplificador operacional *Folded Cascode* al que se le han incorporado los amplificadores A_1 , A_2 , A_3 y A_4 para mejorar la ganancia en tensión, Figura 5.2a. Estos se corresponden con los amplificadores de baja tensión y alto rango de señal utilizados en el Capítulo 3 para mejorar la ganancia de las celdas presentadas allí, Figura 5.2b y Figura 5.2c.

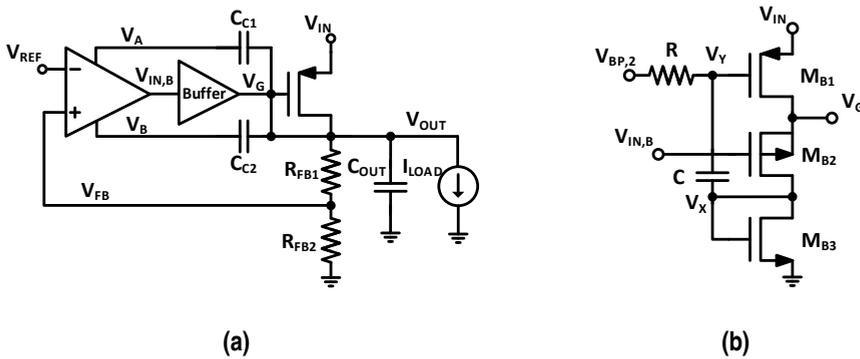
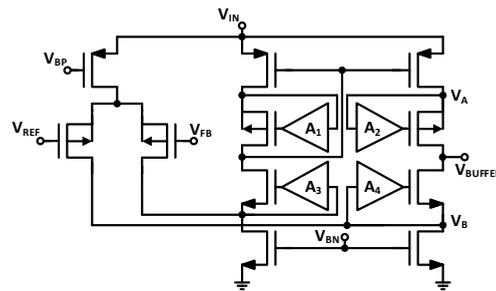


Figura 5.1 (a) Vista simplificada del regulador propuesto y (b) esquemático del *buffer* utilizado para manejar la puerta del transistor de paso.

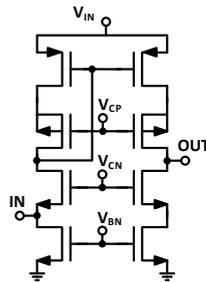
A su vez, para mejorar el rango de señal e incrementar el *slew-rate* en el nodo de puerta, V_G , se ha usado un *buffer* en tensión clase AB [127] que permite incrementar la corriente de carga y/o descarga de la capacidad parásita del transistor M_{PASS} . Para conseguir este funcionamiento, se ha utilizado un acoplamiento RC como se muestra en la Figura 5.1b.

Como se puede apreciar, la resistencia R sirve para establecer el valor de tensión $V_{BP,2}$ en el nodo V_Y . De esta forma, la corriente que circula por la rama compuesta por los transistores M_{B1} , M_{B2} y M_{B3} está bien fijada. Por su parte, desde un punto de vista transitorio, cuando la tensión de entrada al *buffer* $V_{IN,B}$, reduce su valor, debido a un aumento en la corriente

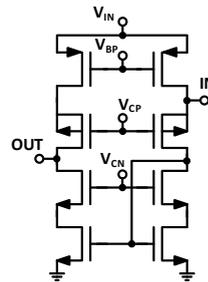
demandada por la carga o a una disminución de la tensión V_{IN} , la caída V_{SG} del transistor M_{B2} se incrementa debido a que V_G no cambia inmediatamente. Durante ese instante, el nodo V_X tiende a incrementar su valor y, como consecuencia del acoplamiento RC , el nodo V_Y tiende a aumentar también. Esto provoca que la corriente que inyecta M_{B1} se reduzca, favoreciendo la descarga de la capacidad parásita de puerta del transistor M_{PASS} , C_{gg} . Por su parte, cuando $V_{IN,B}$ aumenta su valor, la caída $V_{SG}|_{M_{B2}}$ se hace menor, provocando la reducción momentánea de la tensión de los nodos V_X y V_Y , respectivamente. Esto permite que la corriente que inyecta M_{B1} aumente, favoreciendo la rápida carga de C_{gg} .



(a)



(b)



(c)

Figura 5.2 Estructura del regulador propuesto. (a) Detalle del amplificador de error usado para incrementar la ganancia, (b) detalle de los amplificadores A_1 , A_2 , (c) A_3 y A_4 .

5.2.1 Estabilidad

El estudio de la estabilidad requiere analizar su modelo de pequeña señal equivalente, representado en la Figura 5.3. De esta forma, se puede obtener la función de transferencia en lazo abierto de todo el sistema, permitiendo la obtención de los polos y ceros que definen la respuesta en frecuencia del regulador *LDO*.

La Ecuación (5.1) representa la función de transferencia de todo el sistema. Los valores

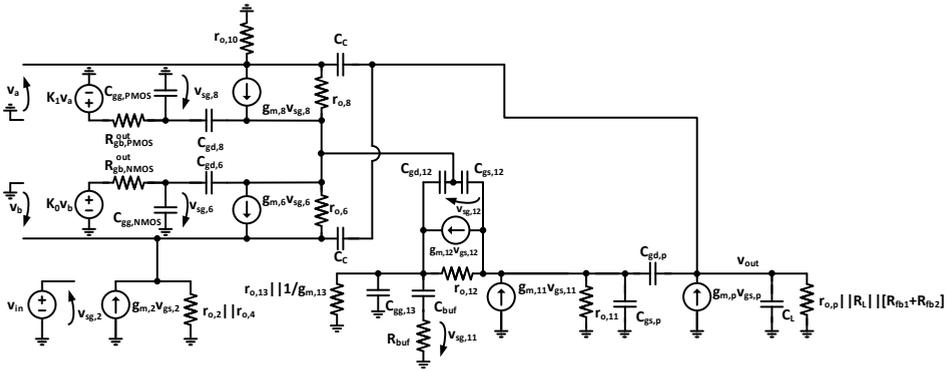


Figura 5.3 Modelo de pequeña señal del regulador LDO propuesto.

g_{m_i} y r_{o_i} representan la transconductancia y la resistencia de salida del transistor i –ésimo, respectivamente. Hay que señalar que los elementos pasivos C_{buf} , R_{buf} han sido incluidos en este análisis para evaluar su impacto en la Ecuación (5.1). Por otro lado, las capacidades C_c son las responsables de llevar a cabo la compensación del regulador propuesto, haciendo uso de un esquema conocido como *Compensación Híbrida Cascodo* o *HCFC²*, [128–132].

$$H(s) = A_{OL} \frac{1 + a_1s + a_2s^2 + a_3s^3 + a_4s^4 + a_5s^5 + a_6s^6 + a_7s^7 + a_8s^8}{1 + b_1s + b_2s^2 + b_3s^3 + b_4s^4 + b_5s^5 + b_6s^6 + b_7s^7 + b_8s^8 + b_9s^9} \quad (5.1)$$

donde

$$A_{OL} = \frac{K_1 K_0 g_{m,2} g_{m,6} g_{m,8} g_{m,p} r_{o,6} r_{o,8} r_{o,10} r_{o,2} \| r_{o,4} r_{o,p} \| R_{LOAD} \| [R_{FB1} + R_{FB2}]}{g_{m,12} r_{o,11} r_{o,12} [K_0 g_{m,6} r_{o,6} R_{o,2} \| R_{o,4} + K_1 g_{m,8} r_{o,8} r_{o,10}]} \quad (5.2)$$

$$a_1 = [1 + g_{m,11} r_{o,13} \| 1/g_{m,13}] R_{buf} C_{buf} \quad (5.3)$$

$$a_2 = \left[\frac{R_{gb,PMOS}^{out} C_{gg,PMOS}}{K_1} + \frac{R_{gb,NMOS}^{out} C_{gg,NMOS}}{K_0} \right] a_1 \quad (5.4)$$

$$a_3 = C_{gg,PMOS} R_{gb,PMOS}^{out} \left[\frac{C_c}{K_1 g_{m,8}} + \frac{R_{gb,NMOS}^{out} C_{gg,NMOS}}{K_1 K_0} \right] a_1 \quad (5.5)$$

$$a_4 = \frac{R_{gb,NMOS}^{out} R_{gb,PMOS}^{out} C_{gg,NMOS} C_{gg,PMOS} C_c}{g_{m,8} K_1 K_0} a_1 \quad (5.6)$$

² Siglas procedentes del inglés, *Hybrid Cascode Feedforward Compensation*

$$a_5 = \frac{R_{gb,NMOS}^{out} R_{gb,PMOS} R_{buf} C_{gg,NMOS} C_{gg,PMOS} C_c C_{buf}}{g_{m,8} g_{m,12} K_1 K_0} [C_{gs,12} + [g_{m,12} - g_{m,11}] r_{o,13} \| 1/g_{m,13} C_{gd,12} +$$

(5.7)

$$+ g_{m,12} r_{o,13} \| 1/g_{m,13} C_{gg,13}]$$

$$a_6 = \frac{R_{gb,NMOS}^{out} R_{gb,PMOS} R_{buf} C_{gg,NMOS} C_c C_{buf}}{g_{m,6} g_{m,8} g_{m,12} g_{m,p} r_{o,6} K_1 K_0} [C_c [C_{gs,p} + C_{gd,p}] [C_{gb,PMOS} + g_{m,8} r_{o,6} C_{gd,8}]$$

(5.8)

$$- g_{m,p} g_{m,6} r_{o,6} r_{o,13} \| 1/g_{m,13} C_{gg,PMOS} C_{gs,12} [C_{gd,12} + C_{gg,13}]]$$

$$a_7 = \frac{R_{buf}^{out} R_{gb,PMOS} C_c C_{buf} C_{gg,NMOS} C_{gg,PMOS}}{g_{m,6} g_{m,8} g_{m,12} r_{o,12} K_0 K_1} [r_{o,12} [C_{gd,p} C_{gd,8} + C_{gd,12} [C_{gd,p} + C_{gs,p}] + C_{gs,12} C_{gs,p}] +$$

(5.9)

$$+ r_{o,13} \| 1/g_{m,13} [C_{gd,8} C_{gs,12} + g_{m,12} r_{o,12} C_{gs,p} C_{gd,12}]]$$

$$a_8 = \frac{R_{buf}^{out} R_{gb,PMOS} R_{o,13} \| 1/g_{m,13} C_c^2 C_{buf} C_{gg,NMOS} C_{gg,PMOS}}{g_{m,p} g_{m,6} g_{m,8} g_{m,12} K_0 K_1} [C_{gd,8} [C_{gd,12} + C_{gg,13}] [C_{gd,p} + C_{gs,p}] +$$

(5.10)

$$+ C_{gs,p} [C_{gg,13} [C_{gd,12} + C_{gs,12}] + C_{gd,12} C_{gs,12}]]$$

$$b_1 = \frac{2K_0 K_1 g_{m,6} g_{m,8} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]] C_c}{K_0 g_{m,6} r_{o,6} r_{o,2} \| r_{o,4} + K_1 g_{m,8} r_{o,8} r_{o,10}}$$

(5.11)

$$b_2 = \frac{2K_0 g_{m,p} g_{m,6} g_{m,8} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]] C_c [K_1 R_{buf} C_{buf} [1 + g_{m,11} r_{o,13} \| 1/g_{m,13}] +$$

(5.12)

$$+ R_{gb,PMOS}^{out} C_{gg,PMOS}]$$

$$b_3 = \frac{2g_{m,p} g_{m,6} g_{m,8} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]] [1 + g_{m,11} r_{o,13} \| 1/g_{m,13}] R_{buf} C_{buf} C_c \cdot$$

(5.13)

$$\cdot [K_0 R_{gb,PMOS}^{out} C_{gg,PMOS} + K_1 R_{gb,NMOS}^{out} C_{gg,NMOS}]$$

$$b_4 = \frac{g_{m,p}g_{m,6} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]]}{K_0 g_{m,6} r_{o,6} r_{o,2} \| r_{o,4} + K_1 g_{m,8} r_{o,8} r_{o,10}} [1 + g_{m,11} r_{o,13} \| 1/g_{m,13}] R_{buf} R_{gb,PMOS} C_{buf} C_{gb,PMOS} C_c \quad (5.14)$$

$$b_5 = \frac{[K_0 C_c + 2g_{m,8} R_{gb,NMOS} C_{gg,NMOS}]}{g_{m,p} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]]} R_{buf} R_{gb,NMOS} R_{gb,PMOS} C_{buf} C_{gb,NMOS} C_{gb,PMOS} C_c^2 \quad (5.15)$$

$$b_6 = \frac{[1 + g_{m,11} r_{o,13} \| 1/g_{m,13}] [g_{m,6} + g_{m,8}] R_{gb,NMOS} R_{gb,PMOS} r_{o,8} r_{o,10} R_{buf} C_{buf} C_c C_{gg,NMOS}}{g_{m,12} [K_0 g_{m,6} r_{o,6} [r_{o,2} \| r_{o,4}] + K_1 g_{m,8} r_{o,8} r_{o,10}]} [C_c C_{gs,p} [C_{gg,PMOS} + g_{m,8} r_{o,6} C_{gd,8}] [r_{o,2} \| r_{o,4}] + C_{gg,PMOS} C_{gd,p} [C_c [r_{o,2} \| r_{o,4}] + C_{gd,8} r_{o,6}] g_{m,p} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]] + C_c C_{gd,8} C_{gs,p} g_{m,8} r_{o,6} [r_{o,2} \| r_{o,4}] + C_{gd,8} C_{gd,p} [C_{gg,PMOS} [g_{m,6} + g_{m,8}] + C_c g_{m,8}] g_{m,p} r_{o,6} [r_{o,2} \| r_{o,4}] [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]]] \quad (5.16)$$

$$b_7 = \frac{R_{gb,NMOS} R_{gb,PMOS} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} R_{buf} C_{buf} C_c^2 C_{gg,NMOS} C_{gg,PMOS}}{g_{m,12} [K_0 g_{m,6} r_{o,6} r_{o,2} \| r_{o,4} + K_1 g_{m,8} r_{o,8} r_{o,10}]} [C_{gd,8} C_{gs,p} + [C_{gd,8} + C_{gd,12} [1 + g_{m,12} [r_{o,13} \| 1/g_{m,13}]] + 2C_{gs,12}] C_{gd,pass} g_{m,p} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]]] \quad (5.17)$$

$$b_8 = \frac{R_{gb,NMOS} R_{gb,PMOS} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} R_{buf} C_{buf} C_c^2 C_{gg,NMOS} C_{gg,PMOS}}{g_{m,12} [K_0 g_{m,6} r_{o,6} r_{o,2} \| r_{o,4} + K_1 g_{m,8} r_{o,8} r_{o,10}]} [C_{gd,8} C_{gs,p} [r_{o,13} \| 1/g_{m,13}] + C_L [C_{gd,8} [C_{gd,p} + C_{gs,p}] + C_{gs,12} C_{gs,p}] + C_{gd,p} [C_{gd,8} [C_{gd,12} + C_{gg,13}] + C_{gg,13} C_{gs,12}] g_{m,p} [r_{o,13} \| 1/g_{m,13}]] \cdot [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]] \quad (5.18)$$

$$b_9 = \frac{R_{gb,NMOS} R_{gb,PMOS} [r_{o,2} \| r_{o,4}] r_{o,6} r_{o,8} r_{o,10} [r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}]] R_{buf} C_{buf} C_L C_c^2 C_{gg,NMOS} C_{gg,PMOS}}{g_{m,12} [K_0 g_{m,6} r_{o,6} r_{o,2} \| r_{o,4} + K_1 g_{m,8} r_{o,8} r_{o,10}]} [C_{gd,p} + C_{gs,p}] + C_{gg,13} C_{gs,p} [C_{gd,12} + C_{C_{gs,12}}] \quad (5.19)$$

Si se asume que existe un polo de muy baja frecuencia, este se puede aproximar a partir del término Ecuación (5.11). Por tanto, el polo dominante del regulador *LDO* propuesto vendrá determinado por la Ecuación (5.20).

$$\omega_{p,dom} \approx \frac{1}{2 [K_{0,8m,6r_{o,6}r_{o,2}} \| r_{o,4} \| [K_{1,8m,8r_{o,8}r_{o,10}}] r_{o,p} \| R_L \| [R_{fb1} + R_{fb2}] C_c]} \quad (5.20)$$

La Figura 5.4 muestra el diagrama de *Bode* para diferentes valores de I_{LOAD} , obtenido a través de simulaciones *post-layout*. En todos los casos, el valor de la capacidad de salida es $C_{OUT} = 100pF$, correspondiente al peor caso. La Tabla 5.1 recoge la ganancia y el margen de fase obtenido para las distintas corrientes de carga usadas.

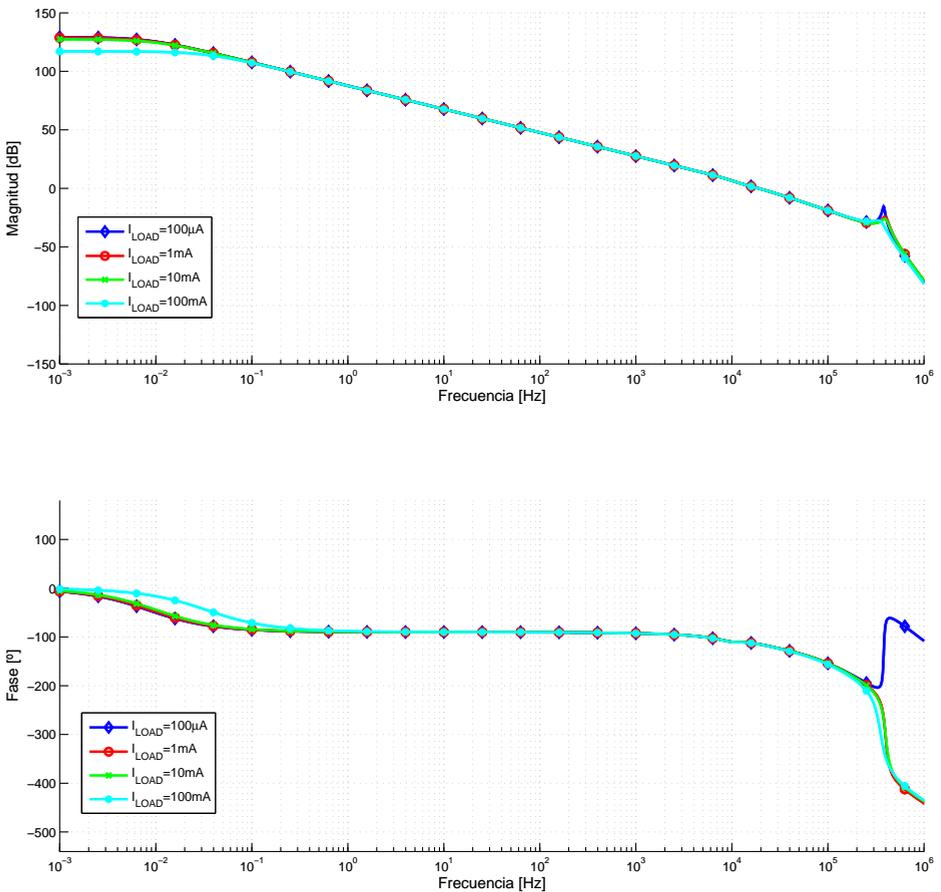


Figura 5.4 Diagrama de *Bode* para distintos valores de I_{LOAD} .

Tabla 5.1 Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador LDO propuesto.

| I_{LOAD} | PM [°] | Ganancia [dB] |
|-----------------|--------|---------------|
| 100 [μA] | 129.14 | 64.25 |
| 1 [mA] | 128.72 | 65.34 |
| 10 [mA] | 127.44 | 65.34 |
| 100 [mA] | 117.04 | 65.1 |

5.3 Resultados experimentales

Con el objetivo de validar el regulador propuesto, la celda se ha fabricado en una tecnología CMOS estándar de 0.18 μm . El regulador se ha diseñado para entregar una corriente máxima de 100mA con una tensión nominal de salida de 1.0V y una capacidad $C_{OUT}|^{max} = 100pF$. Por su parte, la tensión de entrada puede variar desde 1.2V hasta 1.8V, tensión máxima soportada por los transistores nominales de la tecnología empleada.

La microfotografía del *chip* se muestra en la Figura 5.5a. Como puede verse, se ha superpuesto la vista de *layout* de la celda para mostrar la disposición del diseño. La Figura 5.5b presenta una vista más detallada de la implementación física. El bloque A (color rojo) se corresponde con el transistor de paso, B (color naranja) es el amplificador de error, C (color verde) señala la ubicación del *buffer* utilizado para gestionar la puerta de M_{PASS} ; y, por último, el bloque D (color azul) se corresponde con el circuito de polarización y generación de las tensiones de cascode. Por su parte, el rectángulo nombrado como E (color negro), se corresponde con capacidades de desacoplo que permiten estabilizar las tensiones de cascode. El área total que ocupa el regulador, sin contar las capacidades de desacoplo, es de 315 $\mu m \times 460\mu m$, lo que supone un área de 0.1449mm². No obstante, considerándolas, el área total ocupada es de 0.195m².

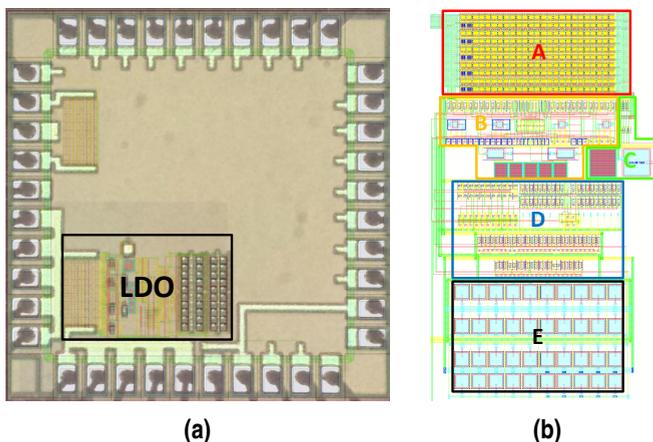


Figura 5.5 (a) Microfotografía del *chip* fabricado y (b) detalle del *layout* realizado.

La Figura 5.6a y la Figura 5.6b muestran la característica estática del regulador para $I_{LOAD} = 100mA$ e $I_{LOAD} = 0mA$, respectivamente. En ambas situaciones, $C_{OUT} = 100pF$ es el valor que se corresponde con el peor caso desde el punto de vista de la estabilidad. Al igual que en los capítulos anteriores, se ha utilizado como estímulo de entrada una señal triangular de período $T = 10ms$ con una amplitud $A = 1.8V_{pp}$ y un nivel de continua $DC = 0.9V$. Como puede comprobarse, $V_{OUT} = 0.982V$ para toda $V_{IN} > 1.142V$ lo que supone una tensión $V_{dropout} = 0.164V$, valor ligeramente inferior a la tensión objetivo de $0.2V$.

A continuación, en la Figura 5.7 se muestra el consumo quiescente del regulador *LDO* propuesto para diferentes valores de la carga. Estos se han obtenido emulando la carga con un potenciómetro y modificando su valor para recorrer todo el rango de funcionamiento. A su vez, la tensión de entrada se ha fijado a su valor mínimo, $V_{IN} = 1.2V$ mientras que $C_{OUT} = 100pF$.

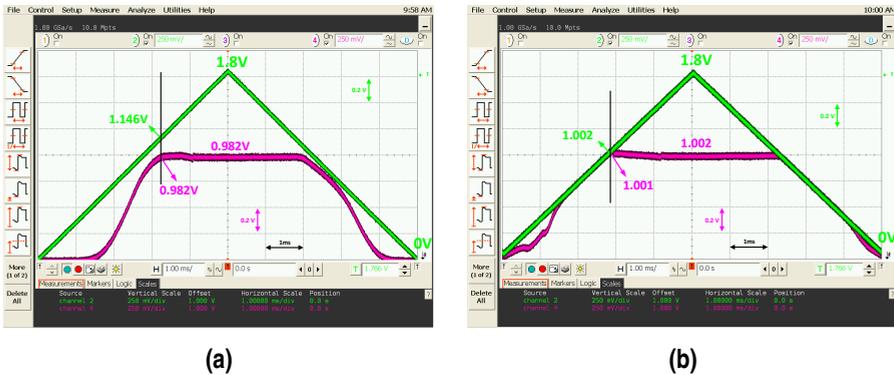


Figura 5.6 Respuesta estática del regulador propuesto para (a) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$.

La Figura 5.8 muestra la respuesta transitoria de la celda diseñada frente a variaciones de la corriente de carga. En todos ellos, las medidas se han realizado asumiendo el peor caso de funcionamiento, es decir, aquella situación en la que $V_{IN} = 1.2V$ y $C_{OUT} = 100pF$. Bajo estas condiciones, la Figura 5.8a y la Figura 5.8b muestran la variación de la tensión de salida cuando I_{LOAD} varía su valor entre $I_{LOAD}^{min} = 100\mu A$ a $I_{LOAD}^{max} = 100mA$ con un tiempo de subida, t_r y de bajada, t_f , de $1\mu s$. En esta situación las variaciones que presenta la tensión regulada son de $274mV / -368mV$, respecto de su valor nominal. A su vez, la Figura 5.8c y la Figura 5.8d representan la modificación de V_{OUT} cuando I_{LOAD} varía entre $1mA$ y $100mA$, con $t_r = t_f = 1\mu s$. En este nuevo caso, la tensión de salida muestra un exceso $274mV$ cuando la corriente de carga reduce su valor, mientras que cuando ésta se incrementa, V_{OUT} sufre una reducción de $268mV$. Por su parte, el peor tiempo de establecimiento medido se produce para el caso en el que I_{LOAD} sufre un cambio de $99.9mA$, obteniendo un valor de $23.58\mu s$. La regulación de carga obtenida es de $85.44\mu V/mA$.

Para el estudio de la regulación de línea, se han utilizado diferentes valores de la corriente de carga de forma que se pueda validar el correcto funcionamiento del regulador diseñado. En todos los casos, el valor de la capacidad C_{OUT} que se ha utilizado es de 100pF . La Figura 5.9a y la Figura 5.9b representan la variación de la tensión de salida para un cambio en V_{IN} entre 1.2V y 1.8V con $t_r = t_f = 1\mu\text{s}$ y una corriente $I_{LOAD} = 100\text{mA}$. Ante este cambio, la tensión V_{OUT} presenta una variación de $246\text{mV} / -281\text{mV}$, respecto de su valor nominal. Por su parte, cuando la corriente de carga se reduce a 0.1mA y V_{IN} se somete a la misma perturbación, V_{OUT} presenta una variación máxima de 254mV . El peor tiempo de establecimiento medido es de $731.16\mu\text{s}$ y se obtiene para el caso en el que $I_{LOAD} = 100\text{mA}$. Por último, el regulador propuesto presenta una regulación de línea de $2.50\text{mV}/\text{V}$.

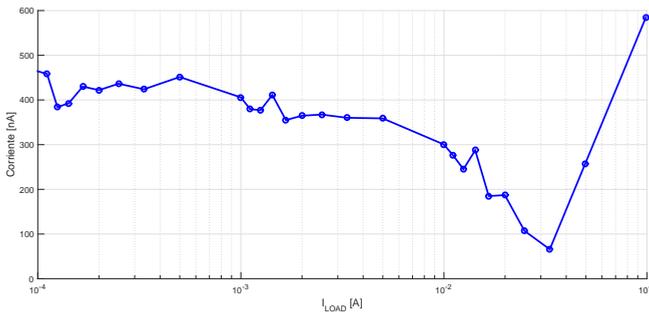


Figura 5.7 Variación del consumo quiescente del regulador LDO propuesto en función de I_{LOAD} .

Para finalizar esta sección, la Tabla 5.2 recoge las principales características del regulador LDO expuesto.

Tabla 5.2 Resumen de las características del regulador presentado.

| | Regulador propuesto | | Regulador propuesto | |
|------------------------|---------------------|--------------------|--------------------------------------|----------------|
| Proceso | [µm] | 0.18 | ΔV_{OUT} variando V_{IN} | |
| V_{IN} | [V] | 1.2-1.8 | • Máximo | [mV] 246 |
| V_{OUT} | [V] | 1.0 | • Mínimo | [mV] -281 |
| $V_{DROPOUT}$ | [mV] | 0.164 | $\frac{\Delta V_{IN}}{t_r}^c$ | [V/µs] 0.6/1 |
| $I_{LOAD,max}$ | [mA] | 100 | ΔV_{OUT} variando I_{LOAD} | |
| I_q^a | [µA] | 0.585 ^b | • Máximo | [mV] 274 |
| C_{OUT} | [pF] | 100 | • Mínimo | [mV] -368 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9994 | $\frac{\Delta I_{LOAD}}{t_r}^c$ | [mA/µs] 99.9/1 |
| Área | [mm ²] | 0.195 | Regulación de línea | [mV/V] 2.5 |
| | | | Regulación de carga | [µV/mA] 85.44 |
| | | | FOM | [fs] 3.76 |

^a Peor caso ^b Incluye el consumo del circuito de polarización



(b)



(d)



(a)



(c)

Figura 5.8 Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100\text{pF}$ y $V_{IN} = 1.2\text{V}$.



(a)



(b)



(c)



(d)

Figura 5.9 Respuesta transitoria a variaciones de V_{IN} , donde (a), (b) $C_{OUT} = 100\mu F$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$.

5.4 Conclusiones

Uno de los principales requisitos impuestos por la tendencia de la electrónica es el bajo consumo. En consecuencia, es necesario minimizar el consumo de todos los bloques de un sistema. A este respecto, el diseño de reguladores de tensión de ultra bajo consumo es crítico para maximizar todo lo posible la vida de la batería e, inclusive, operar sin necesidad de ésta. Por esta razón, el regulador *LDO* presentado en este capítulo busca minimizar el consumo quiescente sin que el resto de prestaciones se vean degradadas.

Se ha optado por una solución inspirada en la topología clásica de los reguladores *LDO*, puesto que se ha intercalado un *buffer* de tensión clase AB entre el amplificador de error y el transistor de paso. El uso de éste permite reducir las especificaciones del amplificador de error, al no tener que cargar y/o descargar la capacidad parásita C_{gg} de puerta de M_{PASS} directamente. Por tanto, es posible encontrar una topología que cumpla con las restricciones de ancho de banda y ganancia y posea una baja corriente de polarización. Por su parte, el seleccionar un *buffer* clase AB, permite mantener controlado el consumo quiescente del mismo y, en los momentos de transición, multiplicar ésta para poder manejar adecuadamente la carga y/o descarga de la capacidad C_{gg} del transistor de paso.

Tabla 5.3 Valores de la *FOM* obtenidos por los trabajos expuestos.

| | [47] | [53] | [54] | [55] | [56] | [78] | Aportación |
|--------------|-------|-------|-------|-------|-------|-------|------------|
| T_r [ns] | 1.50 | 0.47 | 0.07 | 0.47 | 0.12 | 0.04 | 0.64 |
| FOM_1 [fs] | 36.00 | 33.18 | 56.69 | 65.80 | 24.28 | 29.01 | 3.76 |

^a Valores obtenidos por simulación

La Tabla 5.4 muestra una comparativa del trabajo expuesto en este capítulo junto con los seis reguladores más representativos que hacen uso de la topología clásica. Por su parte, la Tabla 5.3 muestra los valores de la figura de mérito obtenidos por los distintos reguladores mostrados. De esta comparación, se puede comprobar que el regulador propuesto consigue mejorar a las soluciones presentadas.

Para finalizar, la Figura 5.10 muestra una representación gráfica del valor de la figura de mérito de cada trabajo frente al consumo quiescente. De esta forma, la proximidad al origen de coordenadas supone una mejor respuesta del regulador frente a variaciones, ya que el valor conseguido por la *FOM* muestra un valor más bajo, y un menor consumo estático.

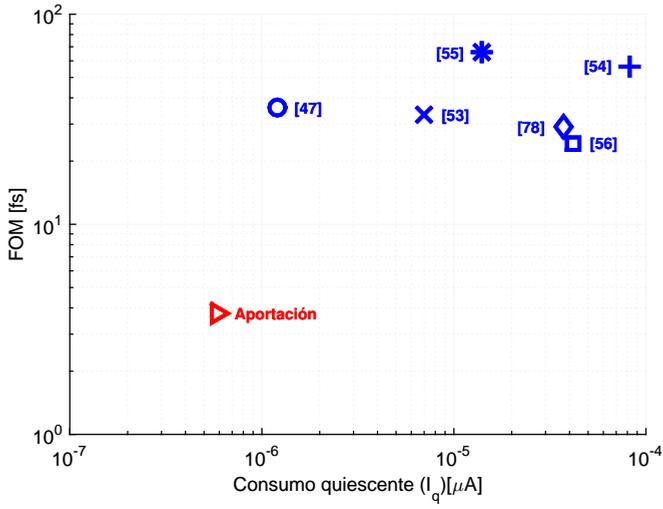


Figura 5.10 Representación de la *FOM* expuesta en Ecuación (2.25) frente al consumo quiescente del regulador.

Tabla 5.4 Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores LDO compensados internamente.

| | [47] | [53] | [54] | [55] | [56] | [78] | Aportación |
|--------------------------------------|-----------------------------|-----------------------|-----------|---------|------------------|----------------|------------|
| Proceso | [μm] | 0.35 | 0.065 | 0.35 | 0.11 | 0.13 | 0.18 |
| V_{IN} | [V] | 1.0-1.8 | 2.5-4.0 | 1.2 | 1.2 | 1.8-3.8 | 1.2-1.8 |
| V_{OUT} | [V] | 0.9 | 2.35 | 1.0 | 1.0 | 1.6-3.6 | 1.0 |
| $V_{DROPOUT}$ | [mV] | 100 | 150 | 200 | 200 | 150 | 200 |
| $I_{LOAD,max}$ | [mA] | 50 | 100 | 100 | 100 | 200 | 100 |
| I_q^a | [μA] | 1.2 | 7.0 | 82.4 | 14.0 | 41.5 | 0.585 |
| C_{OUT} | [pF] | 1e2 | 1e2 | 1e2 | 1e2 | 4e1 | 2e1 |
| $\eta _{I_{LOAD,max}}$ | [%] | 99.9976 | 99.9930 | 99.9177 | 99.9860 | 99.9793 | 99.9994 |
| Area | [mm^2] | 0.0900 ^{b,c} | 0.0642 | 0.0170 | 0.0378 | 0.2100 | 0.1950 |
| Tiempo de respuesta ^b | [μs] | 4.00 | 0.15 | 6.00 | 2.70 | 0.65 | 731.6 |
| ΔV_{OUT} variando V_{IN} | | | | | | | |
| • Máximo | [mV] | 400 ^d | 196 | 8.91 | - ^e | - ^e | 246 |
| • Mínimo | [mV] | -250 ^d | -183 | -10.63 | - ^e | - ^e | -281 |
| $\Delta V_{IN}/t_r^d$ | [V/ μs] | 0.5/1 ^d | 0.50/5 | 0.2/10 | - ^e | - ^e | 0.6/1 |
| ΔV_{OUT} variando I_{LOAD} | | | | | | | |
| • Máximo | [mV] | 200 ^d | 231 | 0.00 | 200 ^d | 200 | 274 |
| • Mínimo | [mV] | -425 ^d | -243 | -68.8 | -270 | -385 | -368 |
| $\Delta I_{LOAD}/t_r^d$ | [mA/ μs] | 40/500.2 ^d | 99.95/0.5 | 1000.3 | 99.9/1 | 190/50.5 | 99.9/1 |
| Regulación de línea | [mV/V] | 3.625 | 1.00 | 4.70 | - ^e | 8.9 | 2.50 |
| Regulación de carga | [$\mu\text{V}/\text{mA}$] | 148.00 | 80.00 | 300.00 | - ^e | 108.00 | 85.44 |

^a Peor caso ^b Área efectiva ^c PADs incluidos ^d Estimación realizada a partir de los datos proporcionados por el artículo

^e No aportan información ^f t_r : Tiempo de subida

6 Conclusiones

El escalado de las tecnologías de fabricación *CMOS* ha permitido satisfacer dos de las principales necesidades de la industria electrónica: la alta integración de sistemas en un mismo *chip* y la reducción del área consumida por estos en el PCB. Sin embargo, como contrapartida a esta evolución, los sistemas de gestión de la potencia han visto incrementar su complejidad, ya que en estos nuevos dispositivos existen multitud de dominios de tensión, responsables de alimentar a los diferentes subsistemas. Este hecho ha provocado que los reguladores lineales de bajo *dropout*, con compensación interna, hayan cobrado una especial relevancia en los últimos años por varios motivos. Por una parte, al no necesitar componentes externos, no sólo reducen la lista de dispositivos externos necesarios, sino que además se consigue un ahorro significativo de área. De esta forma, se puede reducir el tamaño del PCB. Por otro lado, la posibilidad de ser integrado permite la creación de esquemas de distribución de potencia dentro del propio *chip*, destinados a la mejora de la eficiencia energética.

Por estas razones, la investigación llevada a cabo durante el transcurso de esta tesis doctoral se ha centrado en el diseño de reguladores de bajo *dropout* compensados internamente y la problemática asociada a su diseño. En este sentido, se han propuesto diferentes soluciones orientadas al bajo consumo sin que ello suponga una reducción de las prestaciones.

Una línea de investigación seguida ha sido el estudio de reguladores *LDO* basados en la celda *CAFVF*. Como consecuencia de sus bondades, baja impedancia de salida y gran estabilidad en frecuencia, el *FVF* se ha presentado como alternativa al esquema clásico de regulación como se ha podido observar en la introducción del Capítulo 3. En este aspecto, se han propuesto dos reguladores *LDO* que permiten solventar los problemas asociados a la respuesta transitoria que presenta el *FVF* al ser usado como regulador. Las técnicas propuestas para dicha mejora se han basado en el uso de acoplamientos capacitivos, convirtiendo las fuentes estáticas de corrientes que polarizan los diseños en dinámicas, en el caso de la primera aportación. Esto permite incrementar la corriente de carga y de descarga de la capacidad de puerta del transistor de paso sin necesidad de incrementar el consumo quiescente de todo el regulador. En la segunda aportación, se ha optado por combinar el acoplamiento RC junto a un camino de rápida descarga. Esta

variación permite reducir el consumo estático hasta un 55 % sin suponer una degradación de las prestaciones.

Una segunda línea de investigación se ha centrado en el estudio de la estabilidad de estas celdas, como se ha podido verificar en el Capítulo 4. Con este objetivo, se ha propuesto un esquema basado en la compensación de *Miller* con resistencia de anulación. Para solventar los problemas de estabilidad, motivados por la gran variación de los parámetros de pequeña señal del transistor de paso, se ha optado por la implementación de una rama de réplica que permita establecer una tensión de referencia con la que comparar el punto de operación del regulador *LDO*. Esto permite fijar el valor de la resistencia variable R_C en el punto crítico de estabilidad, consiguiendo estabilizar el regulador propuesto para cualquier valor de la carga.

Por último, se ha desarrollado un regulador *LDO* de ultra bajo consumo basado en la topología clásica que pueda ser utilizado en sistemas de *energy harvesting*. Con el objetivo de eliminar las restricciones que impone gestionar la capacidad parásita del transistor de paso al amplificador de error, se ha utilizado un *buffer* clase AB. Éste permite mantener bajo el consumo quiescente mientras que en los instantes de transición puede generar una gran corriente destinada a la carga y descarga de dicha capacidad parásita.

6.1 Trabajo futuro

A continuación, se detallan nuevas líneas de investigación que suponen una evolución del trabajo desarrollado en el marco de esta tesis doctoral. Éstas se pueden agrupar en dos grandes vertientes: la mejora de los sistemas de regulación de la tensión de alimentación y la integración de sistemas de captación de energía que permitan minimizar o, inclusive, eliminar el uso de baterías.

Desde el punto de vista de sistema, el estudio de nuevas técnicas que permitan mejorar prestaciones como el *PSRR* es necesario. En los sistemas analógicos de altas prestaciones, la reducción de las variaciones de la tensión de alimentación es crítico. Un ejemplo se puede ver en [70, 133, 134]. Para ello, es necesario un estudio a nivel de sistema pormenorizado que contemple todas las fuentes que contribuyen a degradar dicha magnitud. Éste permitirá proponer soluciones que no impliquen el incremento del consumo quiescente o el uso de técnicas que incrementen la caída de *dropout*.

Una segunda línea de investigación a llevar a cabo dentro de los sistemas de regulación, se corresponde con el uso de esquemas híbridos que permitan obtener soluciones muy eficientes desde el punto de vista de la potencia. El gran inconveniente que presentan los reguladores lineales es su baja eficiencia cuando la tensión de línea es muy superior a la tensión $V_{IN}|^{min} = V_{OUT} + V_{dropout}$. De este modo, puede resultar muy útil la búsqueda de sistemas de regulación híbridos que incorporen un regulador basado en conmutación y otro lineal. De esta forma, cuando la tensión de línea se desvía del valor $V_{IN}|^{min}$, el regulador conmutado es capaz de establecer a su salida una tensión $V_{IN}|^{min}$, permitiendo que el regulador lineal trabaje en su zona de máxima eficiencia energética. En esta línea, surge la posibilidad de explorar el beneficio que puede reportar el uso de tecnologías diferentes a las *CMOS* convencionales, como puede ser el uso de transistores de Nitruro de Galio o GaN. La industria dedicada a la electrónica de potencia está introduciendo transistores

de GaN en aquellas aplicaciones que requieren de conversiones de potencia dado su bajo coste y alta eficiencia, [135–137]. Por tanto, puede resultar interesante caracterizar este tipo de procesos para determinar el impacto que presenta su uso en la regulación de la tensión de entrada.

Por último, el trabajo a desarrollar en la integración de sistemas de captación de energía o *energy harvesting* dentro de la cadena de conversión de potencia radica en el estudio de las principales características de las fuentes (solar, térmica o RF) y cómo extraer la máxima cantidad de energía de las mismas. Así pues, es necesario el estudio de nuevos circuitos de arranque o *startup*, capaces de funcionar a partir de tensiones muy bajas, del orden de decenas de milivoltios. En dicho caso, se pueden utilizar este tipo de esquemas para alimentar sensores de ultra bajo consumo, [5], o mantener la carga de supercondensadores, evitando que ésta se pierda a través de las corrientes de fuga de los mismos. De esta forma, estos dispositivos podrán utilizarse como reemplazos de las baterías convencionales.

7 Conclusions

Technology downscaling has satisfied two of the most important needs of nowadays industrial electronics. As a consequence of higher integration density, the coexistence of several systems in the same chip becomes plausible and great area reduction is achieved as PCB size diminishes. However, this technology evolution entails an increase in the power management systems complexity as plenty of different voltage domains coexists, biasing the different systems that are integrated together. This fact has led internally-compensated low-dropout regulators to become more relevant during the last years. On the one hand, as no external components are needed, the external circuitry and PCB are simplified and reduced in area. On the other hand, as they can be completely integrated, power distribution through the chip can be handled inside the same silicon dice, what leads to an improvement in energy efficiency.

For all these reasons, the research carried out during this PhD has been focused in internally compensated Low Dropout (LDO) regulators design. Thus, different low-power high-performance solutions have been proposed following two different approaches.

In the first approach, the CAFVF cell- based LDO regulators has been studied and designed. The CAFVF cell properties (low output impedance, high frequency stability) make it a suitable alternative to the classical regulation scheme as it was presented in CHAP FVF. Regarding this, two LDO that improve the FVF- based LDO transient response were presented. The technique proposed in the first contribution uses capacitive coupling in order to turn the static current sources into dynamic. This allows the pass transistor gate capacitance charge and discharge current to increase without increasing the regulator quiescent consumption. In the second contribution fast discharge path was used in addition to the RC coupling in order to reduce the static power consumption up to a 55 % without degrading the performance.

The second approach was focused on the study of the stability of those cells, as it was seen in CHAP3. So that, a miller compensation scheme with nulling resistor was proposed. In order to mitigate the stability problems caused by the large variation of the pass transistor small signal parameters, a replica branch that allows to set a reference voltage to compare with the LDO regulator operation point was implemented. This allows the setting of the

variable resistor RC in the critical stability point, so that the proposed regulator becomes stable for any load value.

Finally, an ultra-low power LDO regulator based on the classical topology was developed for energy harvesting systems. In order to get rid of the limitation that the pass transistor parasitic capacitance imposes to the error amplifier, a class AB buffer was used. This buffer keeps the quiescent consumption low at the same time it provides a large current to the above-mentioned parasitic capacitance in the transient events.

7.1 Future work

In this section, future work areas that directly derive from this PhD. research are going to be presented. They can be assembled into two main objectives: the improvement of the biasing voltage regulation systems and the integration of energy harvesting systems that minimize or even eradicate the battery usage.

From the system point of view, new techniques focused on the improvement of performances such as the PSRR are required. In high performance analog systems, the minimization of the biasing voltage variation is a main concern. An illustrative example of this can be found in [70, 133, 134]. Thus, a detailed system-level study that identifies all the possible origins of biasing voltage degradation is needed. From this study, new solutions that maintains quiescent consumption while increasing the dropout could be proposed.

Regarding regulation systems, hybrid schemes could provide very efficient solutions from the power point of view. The main disadvantage of linear regulators is related to its low efficiency when line voltage is much higher than $V_{IN}^{min} = V_{OUT} + V_{dropout}$. Thus, it would be very useful the hybrid regulation system research that involves a switching based and a lineal regulator. So that, when the line voltage varies from V_{IN}^{min} , the switched regulator can maintain a V_{IN}^{min} output voltage while linear regulator is able to operate at its maximum energetic efficiency. This future research should also involve the study of the possible benefits of using non-conventional CMOS technologies, such as GaN transistors. In fact, power electronics industry is introducing GaN transistors in applications that requires power conversion due to its low cost and high efficiency. CITA. Therefore, those fabrication processes should be characterized in order to determinate its impact in input voltage regulation.

Finally, regarding power conversion in energy harvesting systems, the study of the main sources (solar, thermic, RF) and how to harvest the maximum amount of energy of them should be carried out. Thus, new starting circuits able to operate with extremely low voltages ($\approx 10mV$) would be needed. Those new schemes could also be used in ultra low power sensors or in supercapacitors charge maintenance as a replacement of conventional batteries.

Apéndice A

Contribuciones

A continuación se muestra la lista de contribuciones a revistas y congresos realizadas durante el transcurso de esta tesis doctoral. Algunas de ellas se corresponden con colaboraciones establecidas por el doctorando en las estancias realizadas en centros de investigación extranjeros.

A.1 Revistas

A.1.1 Aceptadas

- [1] J. Hinojo, C. Lujan-Martinez and A. Torralba, "LDO compensation with variable Miller series resistance," *Electronics Letters*, vol. 50, no. 3, pp. 159-161, January 30 2014.
- [2] J.M. Hinojo, C. Luján-Martínez, A. Torralba, J. Ramírez-Angulo, "Internally compensated LDO regulator based on the cascoded FVF," *Microelectronics Journal*, Volume 45, Issue 10, October 2014, Pages 1268-1274, ISSN 0026-2692

A.1.2 Enviadas a revisión

- [1] J. Hinojo, C. Lujan-Martinez, A. Torralba and J. Ramírez-Angulo, "FVF-based Low Dropout Voltage REgulator with enhanced transient response," *ETRI Journal*
- [2] J. Hinojo, C. Lujan-Martinez and A. Torralba, "Adaptive Continuous Resistor for Miller Compensation under Extreme Conditions," *IEEE Transaction on Circuits and Systems I: Regular Papers*

A.2 Congresos

- [1] J. Hinojo, C. Lujan-Martinez, A. Torralba and J. Ramirez-Angulo, "Internally compensated LDO regulator based on the Folded FVF," in *Design of Circuits and Integrated Circuits (DCIS)*, 2012 Conference on, Avignon, 2012, pp. 1-6.

- [2] J. Hinojo, C. Lujan-Martinez, A. Torralba and J. Ramirez-Angulo, "Ultra-low power internally compensated LDO regulator based on two amplifiers in parallel," in *Design of Circuits and Integrated Circuits (DCIS)*, 2013 Conference on, San Sebastián, 2013, pp. 1-6.
- [3] J. Hinojo, C. Lujan-Martinez, A. Torralba, J. Ramirez-Angulo, G. Bistue and J. del Pino, "An Output Capacitorless Low Dropout Voltage Regulator With A Novel Fast Settling Path," in *Design of Circuits and Integrated Circuits (DCIS)*, 2014 Conference on, Madrid, 2014, pp. 1-6.
- [4] J. Perez-Ramirez, E. Curry, D. K. Borah and J. M. Hinojo, "Experimental multiuser mobile optical communication using compressive sensing," in *2014 IEEE Globecom Workshops (GC Wkshps)*, Austin, TX, 2014, pp. 462-468
- [5] E. Curry, D. K. Borah and J. M. Hinojo, "Optimal Symbol Set Design for Generalized Spatial Modulations in MIMO VLC Systems," in *2016 IEEE Globecom Workshops (GC Wkshps)*, Washington DC, USA, 2016

Índice de Figuras

| | | |
|-------|---|----|
| 1.1. | Representación de la curva característica de descarga de una batería para una carga R_{LOAD} y la respuesta de un regulador de tensión | 2 |
| 1.2. | Topología clásica de un regulador de tensión basado en capacidades conmutadas | 3 |
| 1.3. | Diagrama de bloques de un regulador de tensión por conmutación | 4 |
| 1.4. | Diagrama de bloques de un regulador lineal de tensión | 5 |
| 1.5. | Ejemplo de la variación de la eficiencia de un regulador lineal frente a la corriente I_{LOAD} para distintos valores de la tensión de entrada y del consumo quiescente | 7 |
| 2.1. | Esquema clásico de un regulador <i>LDO</i> con transistor PMOS | 11 |
| 2.2. | Modelo de pequeña señal de un regulador <i>LDO</i> de tipo PMOS | 13 |
| 2.3. | Modelo de pequeña señal utilizado para el cálculo de la regulación de línea de un regulador <i>LDO</i> de tipo PMOS | 14 |
| 2.4. | Modelo de pequeña señal utilizado para el cálculo de la regulación de carga de un regulador <i>LDO</i> de tipo <i>PMOS</i> | 15 |
| 2.5. | Respuesta en frecuencia de un regulador <i>LDO</i> compensado internamente | 16 |
| 2.6. | Variación de los parámetros (a) g_m , (b) C_{gd} y C_{gs} del transistor de paso | 18 |
| 2.7. | Variación del producto $g_{mp}r_{op}$ en función de I_{LOAD} | 18 |
| 2.8. | Respuesta en frecuencia de un regulador <i>LDO</i> compensado internamente para diferentes valores de R_L | 19 |
| 2.9. | Estructura de la técnica de control del factor de amortiguamiento propuesta en [31] | 20 |
| 2.10. | Estructura de la técnica de control del factor de calidad propuesta en [34] | 21 |
| 2.11. | Estructura de un regulador <i>LDO</i> haciendo uso de la técnica propuesta en [36] | 21 |
| 2.12. | Estructura de un regulador <i>LDO</i> haciendo uso de la técnica propuesta en [39] | 22 |
| 2.13. | Esquema de un regulador <i>LDO</i> ante cambios (a) en la tensión de alimentación y (b) en la corriente de carga | 24 |
| 2.14. | Esquema de un regulador <i>LDO</i> ante cambios (a) en la tensión de alimentación y (b) en la corriente de carga | 25 |

| | | |
|-------|---|----|
| 2.15. | Esquema de un regulador <i>LDO</i> ante cambios (a) en la tensión de alimentación y (b) en la corriente de carga | 27 |
| 2.16. | Regulador <i>LDO</i> haciendo uso de un <i>CCI</i> para sensar la corriente I_{LOAD} y generar una corriente de polarización I_{BIAS} proporcional | 28 |
| 2.17. | Regulador <i>LDO</i> haciendo uso de un espejo de corriente simple para generar I_{BIAS} en [48] | 29 |
| 2.18. | Regulador <i>LDO</i> haciendo uso de un esquema de polarización adaptativa basado en la celda <i>FVF</i> con mejora de la ganancia | 30 |
| 2.19. | Regulador <i>LDO</i> haciendo uso de un esquema de polarización adaptativa basado en la celda <i>FVF</i> con mejora de la ganancia | 31 |
| 2.20. | Representación de las posibles contribuciones al <i>PSRR</i> . (a) Caminos desde V_{in} a V_{out} por donde las interferencias de la línea pueden acoplarse y (b) contribuciones de los diferentes caminos al <i>PSRR</i> | 35 |
| 2.21. | Modelo de pequeña señal utilizado para el cálculo del <i>PSRR</i> | 36 |
| 2.22. | Ejemplo de <i>PSRR</i> para un <i>LDO</i> compensado (a) internamente y (b) externamente | 37 |
| 2.23. | Diagrama de bloques de la técnica propuesta en [69, 71] para mejorar el <i>PSRR</i> | 39 |
| 2.24. | Diagrama de bloques de la técnica propuesta en [75] para mejorar el <i>PSRR</i> | 40 |
| 2.25. | Esquema conceptual para determinar la métrica $FO_{4, delay}$ de un inversor | 44 |
| 2.26. | Representación de la <i>FOM</i> expuesta en Ecuación (2.25) frente al consumo quiescente del regulador <i>LDO</i> presentado | 46 |
| 2.27. | Representación de la <i>FOM</i> expuesta en Ecuación (2.26) frente al consumo quiescente del regulador <i>LDO</i> presentado | 47 |
| 2.28. | Representación de la <i>FOM</i> expuesta en Ecuación (2.27) frente al consumo quiescente del regulador <i>LDO</i> presentado | 48 |
| 2.29. | Representación de la <i>FOM</i> expuesta en Ecuación (2.28) frente al consumo quiescente del regulador <i>LDO</i> presentado | 49 |
| 2.30. | Representación de la <i>FOM</i> expuesta en Ecuación (2.29) frente al consumo quiescente del regulador <i>LDO</i> presentado | 50 |
| 3.1. | Esquema de un regulador <i>LDO</i> usando la celda (a) <i>FVF</i> y (b) <i>CAFVF</i> | 53 |
| 3.2. | Comparativa entre la (a) topología clásica y (b) basada en el <i>FVF</i> | 55 |
| 3.3. | Mecanismo de regulación de un regulador <i>LDO</i> basado en el <i>FVF</i> | 55 |
| 3.4. | Regulador <i>LDO</i> basado en el <i>FVF</i> presentado en [97] | 56 |
| 3.5. | Implementación de la estructura denominada <i>composite transistor</i> | 57 |
| 3.6. | Implementación del regulador <i>LDO</i> basado en el <i>FVF</i> presentado en [98] | 57 |
| 3.7. | Mejora propuesta en [103] de un regulador <i>LDO</i> basado en el <i>FVF</i> | 58 |
| 3.8. | Esquema de un regulador propuesto en [86]. (a) Diagrama de bloques del circuito y (b) celda <i>CAFVF</i> usado para generar la corriente de salida | 59 |
| 3.9. | Mejora de la respuesta transitoria propuesta en [104] basada en un detector de picos | 60 |
| 3.10. | Mejora de la respuesta transitoria haciendo uso de una etapa <i>push-pull</i> por control digital | 61 |
| 3.11. | Esquema de la utilización de un buffer para gestionar la capacidad parásita del transistor de paso en un (a) <i>FVF</i> y un (b) <i>CAFVF</i> | 61 |
| 3.12. | Regulador <i>LDO</i> presentado en [109] | 62 |

| | | |
|-------|--|----|
| 3.13. | Representación de la <i>FOM</i> expuesta en Ecuación (2.25) frente al consumo quiescente del regulador | 64 |
| 3.14. | Estructura del regulador propuesto. (a) Versión simplificada del circuito, (b) Detalle del amplificador diferencial usado para incrementar el <i>slew-rate</i> negativo, (c) detalle del amplificador usado para mejorar la ganancia del transistor M_{CN} y (d) M_8 | 67 |
| 3.15. | Modelo de pequeña señal del regulador <i>LDO</i> propuesto | 68 |
| 3.16. | Respuesta en frecuencia del regulador <i>LDO</i> propuesto | 72 |
| 3.17. | Diagrama polo-cero del regulador <i>LDO</i> propuesto | 73 |
| 3.18. | (a) Microfotografía del <i>chip</i> fabricado y (b) detalle del <i>layout</i> realizado | 74 |
| 3.19. | Respuesta estática del regulador propuesto para (a) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (b) $C_{OUT} = 100pF$ e $I_{LOAD} = 0.1mA$. | 75 |
| 3.20. | Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100pF$ e $V_{IN} = 0.9V$ | 76 |
| 3.21. | Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$ | 77 |
| 3.22. | Estructura del regulador propuesto. (a) Versión simplificada del circuito, (b) Detalle del camino introducido entre V_{OUT} y V_{GATE} , detalle del amplificador usado para mejorar la ganancia del transistor (c) M_{CN} y (d) M_8 | 79 |
| 3.23. | Corrientes generadas a través de las fuentes dinámicas $I_{BIAS,2}$, curva azul, y del camino rápido de descarga, curva roja | 80 |
| 3.24. | Modelo de pequeña señal del regulador <i>LDO</i> propuesto | 81 |
| 3.25. | Respuesta en frecuencia del regulador <i>LDO</i> propuesto | 83 |
| 3.26. | Diagrama polo-cero regulador <i>LDO</i> propuesto | 84 |
| 3.27. | (a) Microfotografía del <i>chip</i> fabricado y (b) detalle del <i>layout</i> realizado | 85 |
| 3.28. | Respuesta estática del regulador propuesto para (a) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (b) $C_{OUT} = 100pF$ e $I_{LOAD} = 0.1mA$ | 86 |
| 3.29. | Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100pF$ y $V_{IN} = 0.9V$ | 87 |
| 3.30. | Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$ | 88 |
| 3.31. | Comparación de las aportaciones presentadas en este capítulo frente a los trabajos publicados basados en la celda <i>FVF</i> | 92 |
| 3.32. | Comparación de las aportaciones presentadas en este capítulo frente a los trabajos con mejor <i>FOM</i> publicados | 92 |
| 4.1. | Modelo de pequeña señal de dos etapas amplificadoras con una capacidad de acoplamiento entre ellas | 94 |
| 4.2. | (a) Respuesta en frecuencia y (b) diagrama polo-cero del sistema representado por la Ecuación (4.1) para diferentes valores de I_{LOAD} | 95 |
| 4.3. | (a) Respuesta en frecuencia y (b) diagrama polo-cero del sistema representado por la Ecuación (4.6) para diferentes valores de I_{LOAD} | 98 |
| 4.4. | (a) Esquema de un regulador <i>LDO</i> compensado internamente con resistencia de cancelación. (b) Esquema propuesto con resistencia variable | 99 |

| | | |
|-------|---|-----|
| 4.5. | Diagrama de bloques del circuito propuesto para controlar el valor de la resistencia R_{VAR} | 100 |
| 4.6. | (a) Variación de la resistencia de salida r_o de M_{P2} . (b) Variación de la resistencia equivalente de la compensación | 100 |
| 4.7. | Esquema del amplificador de error utilizado para el cómputo del margen de fase presentado en la Tabla 4.1 | 101 |
| 4.8. | Modelo de pequeña señal del regulador LDO propuesto | 102 |
| 4.9. | Diagrama de polos-ceros asociado al regulador LDO propuesto | 103 |
| 4.10. | Diagrama de <i>Bode</i> para distintos valores de I_{LOAD} | 104 |
| 4.11. | (a) Microfotografía del <i>chip</i> fabricado y (b) detalle del <i>layout</i> realizado | 105 |
| 4.12. | Respuesta estática del regulador propuesto para $C_{OUT} = 100pF$ e (a) $I_{LOAD} = 100mA$, (b) $I_{LOAD} = 1mA$, (c) $I_{LOAD} = 10\mu A$ y (d) $I_{LOAD} = 0mA$ | 106 |
| 4.13. | Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100pF$ e $V_{IN} = 1.0V$ | 107 |
| 4.14. | Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$ | 108 |
| 4.15. | Esquema utilizado para medir la respuesta característica del regulador propuesto en el laboratorio | 110 |
| 4.16. | Medida de la característica estática del regulador propuesto para diferentes valores de I_{LOAD} | 111 |
| 4.17. | Simulación transitoria <i>post-layout</i> de la característica estática frente a diversos valores de la corriente de carga | 111 |
| 4.18. | Comparativa entre el valor de la tensión V_{OUT} simulado y real, usando como estímulo el valor medido de V_{IN} usando una carga $I_{LOAD} = 10mA$ | 112 |
| 4.19. | Comparativa entre el valor de la tensión V_{OUT} simulado y real, usando como estímulo el valor medido de V_{IN} usando una carga $I_{LOAD} = 100\mu A$ | 113 |
| 4.20. | Comparativa entre (a) la primera y (b) la segunda versión del <i>layout</i> | 114 |
| 4.21. | Comparación de la aportación presentada en este capítulo frente a los trabajos publicados cuyo objetivo es mejorar la estabilidad | 115 |
| 5.1. | (a) Vista simplificada del regulador propuesto y (b) esquemático del <i>buffer</i> utilizado para manejar la puerta del transistor de paso | 118 |
| 5.2. | Estructura del regulador propuesto. (a) Detalle del amplificador de error usado para incrementar la ganancia, (b) detalle de los amplificadores A_1 , A_2 , (c) A_3 y A_4 | 119 |
| 5.3. | Modelo de pequeña señal del regulador LDO propuesto | 120 |
| 5.4. | Diagrama de <i>Bode</i> para distintos valores de I_{LOAD} | 123 |
| 5.5. | (a) Microfotografía del <i>chip</i> fabricado y (b) detalle del <i>layout</i> realizado | 124 |
| 5.6. | Respuesta estática del regulador propuesto para (a) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$ | 125 |
| 5.7. | Variación del consumo quiescente del regulador LDO propuesto en función de I_{LOAD} | 126 |
| 5.8. | Respuesta transitoria a variaciones de la carga, donde $C_{OUT} = 100pF$ y $V_{IN} = 1.2V$ | 127 |
| 5.9. | Respuesta transitoria a variaciones de V_{IN} , donde (a),(b) $C_{OUT} = 100pF$ e $I_{LOAD} = 100mA$ y (c), (d) $C_{OUT} = 100pF$ e $I_{LOAD} = 100\mu A$ | 128 |

- 5.10. Representación de la *FOM* expuesta en Ecuación (2.25) frente al consumo quiescente del regulador 130

Índice de Tablas

| | | |
|------|---|-----|
| 1.1. | Tabla comparativa de las principales características y aplicaciones de los reguladores lineales, de capacidades conmutadas y por conmutación | 8 |
| 2.1. | Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores <i>LDO</i> compensados internamente | 23 |
| 2.2. | Comparativa de los trabajos expuestos | 33 |
| 2.3. | Comparativa de los trabajos expuestos | 34 |
| 2.4. | Tabla con los valores utilizados para la obtención de las curvas mostradas en la Figura Figura 2.22 | 37 |
| 2.5. | Comparativa de los principales trabajos publicados en la literatura | 41 |
| 2.6. | Valores de la <i>FOM</i> obtenidos por los trabajos expuestos | 43 |
| 2.7. | Valores de la <i>FOM</i> obtenidos por los trabajos expuestos | 45 |
| 3.1. | Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores <i>LDO</i> compensados internamente | 63 |
| 3.2. | Valores de la <i>FOM</i> obtenidos por los reguladores <i>LDO</i> basados en el <i>FVF</i> y <i>CAFVF</i> | 65 |
| 3.3. | Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador <i>LDO</i> propuesto | 73 |
| 3.4. | Resumen de las características del regulador presentado | 78 |
| 3.5. | Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador <i>LDO</i> propuesto | 84 |
| 3.6. | Resumen de las características del regulador presentado | 89 |
| 3.7. | Valores de la <i>FOM</i> obtenidos por los reguladores <i>LDO</i> basados en el <i>FVF</i> y <i>CAFVF</i> | 90 |
| 3.8. | Comparativa de los diseños presentados frente a los trabajos publicados en la literatura científica que han obtenido los mejores valores de la <i>FOM</i> usada | 91 |
| 4.1. | Tabla comparativa del margen de fase obtenido por simulación para el esquema basado en el uso de una resistencia (<i>ZNR</i>) y la solución propuesta | 101 |
| 4.2. | Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador <i>LDO</i> propuesto | 103 |

| | | |
|------|--|-----|
| 4.3. | Resumen de las características del regulador presentado | 109 |
| 4.4. | Valores de la <i>FOM</i> obtenidos por los trabajos expuestos | 115 |
| 4.5. | Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores <i>LDO</i> compensados internamente | 116 |
| 5.1. | Valores del margen de fase y de la ganancia obtenidos de la respuesta en frecuencia del regulador <i>LDO</i> propuesto | 124 |
| 5.2. | Resumen de las características del regulador presentado | 126 |
| 5.3. | Valores de la <i>FOM</i> obtenidos por los trabajos expuestos | 129 |
| 5.4. | Comparativa de los trabajos expuestos para mejorar la estabilidad de los reguladores <i>LDO</i> compensados internamente | 131 |

Bibliografía

- [1] A. Zanella, N. Bui, A. Castellani, L. Vangelista, and M. Zorzi, “Internet of things for smart cities,” *Internet of Things Journal, IEEE*, vol. 1, no. 1, pp. 22–32, Feb 2014.
- [2] J. Jin, J. Gubbi, S. Marusic, and M. Palaniswami, “An information framework for creating a smart city through internet of things,” *Internet of Things Journal, IEEE*, vol. 1, no. 2, pp. 112–121, April 2014.
- [3] P. Vlacheas, R. Giaffreda, V. Stavroulaki, D. Kelaidonis, V. Foteinos, G. Poullos, P. Demestichas, A. Somov, A. Biswas, and K. Moessner, “Enabling smart cities through a cognitive management framework for the internet of things,” *Communications Magazine, IEEE*, vol. 51, no. 6, pp. 102–111, June 2013.
- [4] S. Riazul Islam, D. Kwak, M. Humaun Kabir, M. Hossain, and K.-S. Kwak, “The internet of things for health care: A comprehensive survey,” *Access, IEEE*, vol. 3, pp. 678–708, 2015.
- [5] Farsens, 2015. [Online]. Available: <http://www.farsens.com/>
- [6] Enocean, 2015. [Online]. Available: <https://www.enocean.com/>
- [7] Panstamp, 2015. [Online]. Available: <http://www.panstamp.com/>
- [8] Libelium, 2015. [Online]. Available: <http://www.libelium.com/>
- [9] S. Mann, “Wearable computing: a first step toward personal imaging,” *Computer*, vol. 30, no. 2, pp. 25–32, February 1997.
- [10] G. Moore, “Cramming more components onto integrated circuits,” *Proceedings of the IEEE*, vol. 86, no. 1, pp. 82–85, January 1998.
- [11] ITRS, “International technology roadmap for semiconductors 2013 edition executive summary,” 2013. [Online]. Available: <http://www.itrs.net/ITRS%201999-2014%20Mtg,%20Presentations%20&%20Links/2013ITRS/Summary2013.htm>

- [12] G. Hurtz and D. Sugasawara, "Cdma handset design challenge: 11 separate power supplies," February 2003. [Online]. Available: http://www.eetimes.com/document.asp?doc_id=1226477
- [13] J. Dickson, "On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique," *Solid-State Circuits, IEEE Journal of*, vol. 11, no. 3, pp. 374–378, June 1976.
- [14] R. Pelliconi, D. Iezzi, A. Baroni, M. Pasotti, and P. Rolandi, "Power efficient charge pump in deep submicron standard cmos technology," *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 6, pp. 1068–1071, June 2003.
- [15] F. Su and W.-H. Ki, "Design strategy for step-up charge pumps with variable integer conversion ratios," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 54, no. 5, pp. 417–421, May 2007.
- [16] J. Starzyk, Y.-W. Jan, and F. Qiu, "A dc-dc charge pump design based on voltage doublers," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 48, no. 3, pp. 350–359, Mar 2001.
- [17] M. AbdElFattah, A. Mohieldin, A. Emira, and E. Sanchez-Sinencio, "A low-voltage charge pump for micro scale thermal energy harvesting," in *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, June 2011, pp. 76–80.
- [18] G. Palumbo and D. Pappalardo, "Charge pump circuits: An overview on design strategies and topologies," *Circuits and Systems Magazine, IEEE*, vol. 10, no. 1, pp. 31–45, First 2010.
- [19] Y. Ramadass and A. Chandrakasan, "Voltage scalable switched capacitor dc-dc converter for ultra-low-power on-chip applications," in *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, June 2007, pp. 2353–2359.
- [20] V. Ng and S. Sanders, "A 92switched-capacitor dc-dc converter," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, Feb 2012, pp. 282–284.
- [21] A. P. Chandrakasan and R. W. Brodersen, *Low Power Digital CMOS Design*. Norwell, MA, USA: Kluwer Academic Publishers, 1995.
- [22] A. Stratakos, S. Sanders, and R. Brodersen, "A low-voltage cmos dc-dc converter for a portable battery-operated system," in *Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE*, June 1994, pp. 619–626 vol.1.
- [23] Y. Ramadass and A. Chandrakasan, "Minimum energy tracking loop with embedded dc-dc converter enabling ultra-low-voltage operation down to 250 mv in 65 nm cmos," *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 1, pp. 256–265, Jan 2008.

- [24] E. Soenen, A. Roth, J. Shi, M. Kinyua, J. Gaither, and E. Ortyńska, "A robust digital dc-dc converter with rail-to-rail output range in 40nm cmos," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, Feb 2010, pp. 198–199.
- [25] S. Bandyopadhyay, Y. Ramadass, and A. Chandrakasan, "20 μ a to 100ma dc-dc converter with 2.8 to 4.2v battery supply for portable applications in 45nm cmos," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, February 2011, pp. 386–388.
- [26] Y. Ramadass and A. Chandrakasan, "A battery-less thermoelectric energy harvesting interface circuit with 35 mv startup voltage," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 1, pp. 333–341, Jan 2011.
- [27] Y. Ramadass, A. Fayed, B. Haroun, and A. Chandrakasan, "A 0.16mm² completely on-chip switched-capacitor dc-dc converter using digital capacitance modulation for I_{do} replacement in 45nm cmos," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, Feb 2010, pp. 208–209.
- [28] J. Xiao, A. Peterchev, J. Zhang, and S. Sanders, "A 4 μ a quiescent-current dual-mode digitally controlled buck converter ic for cellular phone applications," *Solid-State Circuits, IEEE Journal of*, vol. 39, no. 12, pp. 2342–2348, Dec 2004.
- [29] G. Rincon-Mora, *Analog IC Design with Low-Dropout Regulators (LDOs)*, 1st ed. New York, NY, USA: McGraw-Hill, Inc., 2009.
- [30] G. A. Rincón-Mora, "Current efficient, low voltage, low drop-out regulators," Ph.D. dissertation, Elec. Comp. Eng. Dept., Georgia Institute of Technology, 1996.
- [31] K. N. Leung and P. Mok, "A capacitor-free cmos low-dropout regulator with damping-factor-control frequency compensation," *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 10, pp. 1691–1702, Oct 2003.
- [32] A. Leung, P. Mok, W. H. Ki, and J. Sin, "Damping-factor-control frequency compensation technique for low-voltage low-power large capacitive load applications," in *Solid-State Circuits Conference, 1999. Digest of Technical Papers. ISSCC. 1999 IEEE International*, Feb 1999, pp. 158–159.
- [33] K. N. Leung and P. Mok, "Analysis of multistage amplifier-frequency compensation," *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, vol. 48, no. 9, pp. 1041–1056, Sep 2001.
- [34] S. K. Lau, P. Mok, and K. N. Leung, "A low-dropout regulator for soc with q-reduction," *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 3, pp. 658–664, March 2007.
- [35] B. Ahuja, "An improved frequency compensation technique for cmos operational amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 18, no. 6, pp. 629–633, Dec 1983.

- [36] G. Rincon-Mora, "Active capacitor multiplier in miller-compensated circuits," *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 1, pp. 26–32, Jan 2000.
- [37] "Pmos low drop-out voltage regulator using non-inverting variable gain stage," Jun. 12 2001, uS Patent 6,246,221. [Online]. Available: <http://www.google.com/patents/US6246221>
- [38] R. Dokania and G. Rincon-Mora, "Cancellation of load regulation in low drop-out regulators," *Electronics Letters*, vol. 38, no. 22, pp. 1300–1302, Oct 2002.
- [39] R. Milliken, J. Silva-Martinez, and E. Sanchez-Sinencio, "Full on-chip cmos low-dropout voltage regulator," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 54, no. 9, pp. 1879–1890, Sept 2007.
- [40] G. Giustolisi, G. Palumbo, and E. Spitale, "Ldo compensation strategy based on current buffer/amplifiers," in *Circuit Theory and Design, 2007. ECCTD 2007. 18th European Conference on*, Aug 2007, pp. 116–119.
- [41] L.-G. Shen, Z.-S. Yan, X. Zhang, and Y.-F. Zhao, "A capacitor-less low-dropout regulator for soc with bi-directional asymmetric buffer," in *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, May 2008, pp. 2677–2680.
- [42] G. Giustolisi, G. Palumbo, and E. Spitale, "Robust miller compensation with current amplifiers applied to ldo voltage regulators," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, no. 9, pp. 1880–1893, Sept 2012.
- [43] A. Garimella, M. Rashid, and P. Furth, "Frequency compensation techniques using current buffers," in *Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on*, Aug 2010, pp. 578–579.
- [44] —, "Reverse nested miller compensation using current buffers in a three-stage ldo," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 57, no. 4, pp. 250–254, April 2010.
- [45] V. Balan, "A low-voltage regulator circuit with self-bias to improve accuracy," *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 2, pp. 365–368, Feb 2003.
- [46] Y.-H. Lam, W.-H. Ki, and C.-Y. Tsui, "Adaptively-biased capacitor-less cmos low dropout regulator with direct current feedback," in *Design Automation, 2006. Asia and South Pacific Conference on*, Jan 2006, pp. 2 pp.–.
- [47] T. Man, P. Mok, and M. Chan, "A high slew-rate push-pull output amplifier for low-quiescent current low-dropout regulators with transient-response improvement," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 54, no. 9, pp. 755–759, Sept 2007.
- [48] C. Zhan and W.-H. Ki, "Output-capacitor-free adaptively biased low-dropout regulator for system-on-chips," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 57, no. 5, pp. 1017–1028, May 2010.

- [49] E. Ho and P. Mok, "A capacitor-less cmos active feedback low-dropout regulator with slew-rate enhancement for portable on-chip application," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 57, no. 2, pp. 80–84, Feb 2010.
- [50] M. Ho and K. N. Leung, "Dynamic bias-current boosting technique for ultralow-power low-dropout regulator in biomedical applications," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 58, no. 3, pp. 174–178, March 2011.
- [51] C. Zheng and D. Ma, "Design of monolithic cmos ldo regulator with d^2 coupling and adaptive transmission control for adaptive wireless powered bio-implants," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 58, no. 10, pp. 2377–2387, Oct 2011.
- [52] C. Zhan and W.-H. Ki, "An output-capacitor-free adaptively biased low-dropout regulator with subthreshold undershoot-reduction for soc," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 59, no. 5, pp. 1119–1131, May 2012.
- [53] X. Ming, Q. Li, Z. kun Zhou, and B. Zhang, "An ultrafast adaptively biased capacitorless ldo with dynamic charging control," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 59, no. 1, pp. 40–44, Jan 2012.
- [54] S. Chong and P. K. Chan, "A 0.9- μ a quiescent current output-capacitorless ldo regulator with adaptive power transistors in 65-nm cmos," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 60, no. 4, pp. 1072–1081, April 2013.
- [55] X. Qu, Z. kun Zhou, B. Zhang, and Z.-J. Li, "An ultralow-power fast-transient capacitor-free low-dropout regulator with assistant push-pull output stage," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 60, no. 2, pp. 96–100, Feb 2013.
- [56] Y. il Kim and S.-S. Lee, "A capacitorless ldo regulator with fast feedback technique and low-quiescent current error amplifier," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 60, no. 6, pp. 326–330, June 2013.
- [57] S. S. Chong and P. K. Chan, "A sub-1 v transient-enhanced output-capacitorless ldo regulator with push-pull composite power transistor," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 22, no. 11, pp. 2297–2306, Nov 2014.
- [58] X. L. Tan, S. S. Chong, P. K. Chan, and U. Dasgupta, "A ldo regulator with weighted current feedback technique for 0.47 nf - 10 nf capacitive load," *Solid-State Circuits, IEEE Journal of*, vol. 49, no. 11, pp. 2658–2672, Nov 2014.
- [59] H. Aminzadeh, M. Nabavi, and W. Serdijn, "Low-dropout voltage source: An alternative approach for low-dropout voltage regulators," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 61, no. 6, pp. 413–417, June 2014.
- [60] K. Keikhosravy and S. Mirabbasi, "A 0.13- μ m cmos low-power capacitor-less ldo regulator using bulk-modulation technique," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 61, no. 11, pp. 3105–3114, Nov 2014.

- [61] X. Qu, Z. kun Zhou, and B. Zhang, "Ultralow-power fast-transient output-capacitorless low-dropout regulator with advanced adaptive biasing circuit," *Circuits, Devices Systems, IET*, vol. 9, no. 3, pp. 172–180, 2015.
- [62] A. Maity and A. Patra, "Tradeoffs aware design procedure for an adaptively biased capacitorless low dropout regulator using nested miller compensation," *Power Electronics, IEEE Transactions on*, vol. 31, no. 1, pp. 369–380, Jan 2016.
- [63] M. Degrauwe, J. Rijmenants, E. Vittoz, and H. De Man, "Adaptive biasing cmos amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 17, no. 3, pp. 522–528, June 1982.
- [64] A. Lopez-Martin, S. Baswa, J. Ramirez-Angulo, and R. Carvajal, "Low-voltage super class ab cmos ota cells with very high slew rate and power efficiency," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 5, pp. 1068–1077, May 2005.
- [65] J. Roh, "High-gain class-ab ota with low quiescent current," *Analog Integrated Circuits and Signal Processing*, vol. 47, no. 2, pp. 225–228, 2006. [Online]. Available: <http://dx.doi.org/10.1007/s10470-006-4959-1>
- [66] J. Ramirez-Angulo, R. Carvajal, A. Torralba, J. Galan, A. Vega-Leal, and J. Tombs, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," in *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol. 3, 2002, pp. 615–618.
- [67] R. Carvajal, J. Ramirez-Angulo, A. Lopez-Martin, A. Torralba, J. Galan, A. Carlosena, and F. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 52, no. 7, pp. 1276–1291, July 2005.
- [68] D. Semiconductor/Maxim, "Application note 883: Improved power supply rejection for ic linear regulators," 2002. [Online]. Available: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/883>
- [69] V. Gupta and G. Rincon-Mora, "A low dropout, cmos regulator with high psr over wideband frequencies," in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, May 2005, pp. 4245–4248 Vol. 5.
- [70] E. Alon, J. Kim, S. Pamarti, K. Chang, and M. Horowitz, "Replica compensated linear regulators for supply-regulated phase-locked loops," *Solid-State Circuits, IEEE Journal of*, vol. 41, no. 2, pp. 413–424, Feb 2006.
- [71] V. Gupta and G. Rincon-Mora, "A 5ma 0.6 μm cmos miller-compensated ldo regulator with -27db worst-case power-supply rejection using 60pf of on-chip capacitance," in *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, Feb 2007, pp. 520–521.
- [72] C. Zhan and W.-H. Ki, "A low dropout regulator for soc with high power supply rejection and low quiescent current," in *Integrated Circuits, ISIC '09. Proceedings of the 2009 12th International Symposium on*, Dec 2009, pp. 37–40.

- [73] —, “An output-capacitor-free cascode low-dropout regulator with low quiescent current and high power supply rejection,” in *Circuits and Systems (APCCAS), 2010 IEEE Asia Pacific Conference on*, Dec 2010, pp. 472–475.
- [74] A. Amer and E. Sanchez-Sinencio, “A 140ma 90nm cmos low drop-out regulator with -56db power supply rejection at 10mhz,” in *Custom Integrated Circuits Conference (CICC), 2010 IEEE*, Sept 2010, pp. 1–4.
- [75] M. El-Nozahi, A. Amer, J. Torres, K. Entesari, and E. Sanchez-Sinencio, “High psr low drop-out regulator with feed-forward ripple cancellation technique,” *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 3, pp. 565–577, March 2010.
- [76] A. Patel and G. Rincon-Mora, “High power-supply-rejection (psr) current-mode low-dropout (ldo) regulator,” *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 57, no. 11, pp. 868–873, Nov 2010.
- [77] B. Yang, B. Drost, S. Rao, and P. Hanumolu, “A high-psr ldo using a feedforward supply-noise cancellation technique,” in *Custom Integrated Circuits Conference (CICC), 2011 IEEE*, Sept 2011, pp. 1–4.
- [78] E. Ho and P. Mok, “Wide-loading-range fully integrated ldr with a power-supply ripple injection filter,” *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 59, no. 6, pp. 356–360, June 2012.
- [79] S. Ganta, C.-J. Park, D. Gitzel, R. Rivera, and J. Silva-Martinez, “An external capacitor-less low drop-out regulator with superior psr and fast transient response,” in *Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium on*, Aug 2013, pp. 137–140.
- [80] Y. Liu, C. Zhan, and W.-H. Ki, “Fast-transient-response high-psr low-dropout regulator based on ultra-fast error amplifier and unity-gain buffer for portable applications,” in *Circuits and Systems (ISCAS), 2014 IEEE International Symposium on*, June 2014, pp. 906–909.
- [81] C. Zhan and W.-H. Ki, “Analysis and design of output-capacitor-free low-dropout regulators with low quiescent current and high power supply rejection,” *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 61, no. 2, pp. 625–636, Feb 2014.
- [82] C.-J. Park, M. Onabajo, and J. Silva-Martinez, “External capacitor-less low drop-out regulator with 25 db superior power supply rejection in the 0.4-4 mhz range,” *Solid-State Circuits, IEEE Journal of*, vol. 49, no. 2, pp. 486–501, Feb 2014.
- [83] C.-J. Park, J. Silva-Martinez, and M. Onabajo, “Design techniques for external capacitor-less ldos with high psr over wide frequency range,” in *Circuits and Systems (MWSCAS), 2014 IEEE 57th International Midwest Symposium on*, Aug 2014, pp. 342–345.

- [84] Y. Lu, Y. Wang, Q. Pan, W.-H. Ki, and C. Yue, "A fully-integrated low-dropout regulator with full-spectrum power supply rejection," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 62, no. 3, pp. 707–716, March 2015.
- [85] C.-H. Lee, K. McClellan, and J. Choma, "A supply-noise-insensitive cmos pll with a voltage regulator using dc-dc capacitive converter," *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 10, pp. 1453–1463, Oct 2001.
- [86] P. Hazucha, T. Karnik, B. Bloechel, C. Parsons, D. Finan, and S. Borkar, "Area-efficient linear regulator with ultra-fast load regulation," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 4, pp. 933–940, April 2005.
- [87] J. Guo and K. N. Leung, "A 6- μ w chip-area-efficient output-capacitorless ldo in 90-nm cmos technology," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 9, pp. 1896–1905, Sept 2010.
- [88] P. M. Furth, S. Krishnapurapu, S. H. Pakala, and M. A. Haque, "A 5.3 μ a quiescent current fully-integrated low-dropout (ldo) regulator with transient recovery time enhancement," in *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Aug 2013, pp. 9–12.
- [89] G.-Y. David Harris, Ron Ho and M. Horowitz, "The fanout-of-4 inverter delay metric," 1997. [Online]. Available: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.68.831&rep=rep1&type=pdf>
- [90] D. G. Chinnery, "Low power design automation," Ph.D. dissertation, Electrical Engineering and Computer Sciences, University of California, Berkeley, 2006.
- [91] D. Chinnery and K. Keutzer, *Overview of the Factors Affecting the Power Consumption*. Boston, MA: Springer US, 2007, pp. 11–53. [Online]. Available: http://dx.doi.org/10.1007/978-0-387-68953-1_2
- [92] G. Rincon-Mora and P. Allen, "Optimized frequency-shaping circuit topologies for ldos," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol. 45, no. 6, pp. 703–708, Jun 1998.
- [93] G. R.-M. R.K. Dokania, "Cancellation of load regulation in low drop-out regulators," *Electronics Letters*, vol. 38, pp. 1300–1302(2), October 2002. [Online]. Available: http://digital-library.theiet.org/content/journals/10.1049/el_20020909
- [94] J. Ramirez-Angulo, S. Gupta, I. Padilla, R. Carvajal, A. Torralba, M. Jimenez, and F. Munoz, "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities," in *Circuits and Systems, 2005. 48th Midwest Symposium on*, Aug 2005, pp. 1151–1154 Vol. 2.
- [95] M. Pulkin and G. Rincon-Mora, "Stable low dropout, low impedance driver for linear regulators," Jun. 3 2003, uS Patent 6,573,694. [Online]. Available: <http://www.google.com/patents/US6573694>

- [96] T. Man, C. Leung, K. Leung, P. Mok, and J. Chan, "Single-transistor-control low-dropout regulator," Oct. 23 2007, uS Patent 7,285,942. [Online]. Available: <http://www.google.com/patents/US7285942>
- [97] T. Man, K. N. Leung, C. Y. Leung, P. Mok, and M. Chan, "Development of single-transistor-control ldo based on flipped voltage follower for soc," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 55, no. 5, pp. 1392–1401, June 2008.
- [98] S. Chong and P. Chan, "A flipped voltage follower based low-dropout regulator with composite power transistor," in *Integrated Circuits (ISIC), 2011 13th International Symposium on*, Dec 2011, pp. 472–475.
- [99] K. Koay, S. Chong, and P. Chan, "A fvf based output capacitorless ldo regulator with wide load capacitance range," in *Circuits and Systems (ISCAS), 2013 IEEE International Symposium on*, May 2013, pp. 1488–1491.
- [100] X. L. Tan, K. C. Koay, S. S. Chong, and P. Chan, "A fvf ldo regulator with dual-summed miller frequency compensation for wide load capacitance range applications," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 61, no. 5, pp. 1304–1312, May 2014.
- [101] Y. Tian and P. K. Chan, "Design of high-performance analog circuits using wideband g_m -enhanced MOS composite transistors," *IEICE Transactions*, vol. 93-C, no. 7, pp. 1199–1208, 2010. [Online]. Available: http://search.ieice.org/bin/summary.php?id=e93-c_7_1199
- [102] H. Kwa, X. Ji, B. Zhang, and P. Chan, "Amplifier circuit, and system incorporating same," Sep. 4 2007, uS Patent 7,265,632. [Online]. Available: <http://www.google.com/patents/US7265632>
- [103] G. Blakiewicz, "Output-capacitorless low-dropout regulator using a cascoded flipped voltage follower," *IET Circuits, Devices & Systems*, vol. 5, pp. 418–423(5), September 2011. [Online]. Available: <http://digital-library.theiet.org/content/journals/10.1049/iet-cds.2010.0431>
- [104] P. Y. Or and K. N. Leung, "An output-capacitorless low-dropout regulator with direct voltage-spike detection," *Solid-State Circuits, IEEE Journal of*, vol. 45, no. 2, pp. 458–466, Feb 2010.
- [105] C.-M. Chen, T.-W. Tsai, and C.-C. Hung, "Fast transient low-dropout voltage regulator with hybrid dynamic biasing technique for soc application," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 21, no. 9, pp. 1742–1747, Sept 2013.
- [106] J. Guo, M. Ho, K. Y. Kwong, and K. N. Leung, "Power-area-efficient transient-improved capacitor-free fvf-ldo with digital detecting technique," *Electronics Letters*, vol. 51, no. 1, pp. 94–96, 2015.

- [107] K. N. Leung, M. Ho, J. Guo, and P. Y. Or, "Development of energy-efficient fast-transient cmos low-dropout regulators for soc applications," in *Circuits and Systems (ISCAS), 2011 IEEE International Symposium on*, May 2011, pp. 305–308.
- [108] K. Luria, J. Shor, M. Zelikson, and A. Lyakhov, "8.7 dual-use low-drop-out regulator/power gate with linear and on-off conduction modes for microprocessor on-die supply voltages in 14nm," in *Solid-State Circuits Conference - (ISSCC), 2015 IEEE International*, Feb 2015, pp. 1–3.
- [109] —, "Dual-mode low-drop-out regulator/power gate with linear and on-off conduction for microprocessor core on-die supply voltages in 14 nm," *Solid-State Circuits, IEEE Journal of*, vol. PP, no. 99, pp. 1–11, 2016.
- [110] M. Yuffe, E. Knoll, M. Mehalel, J. Shor, and T. Kurts, "A fully integrated multi-cpu, gpu and memory controller 32nm processor," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, Feb 2011, pp. 264–266.
- [111] L. Sumanen, M. Waltari, and K. Halonen, "A 10-bit 200 ms/s cmos parallel pipeline a/d converter," in *Solid-State Circuits Conference, 2000. ESSCIRC '00. Proceedings of the 26rd European*, Sept 2000, pp. 439–442.
- [112] —, "A 10-bit 200-ms/s cmos parallel pipeline a/d converter," *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 7, pp. 1048–1055, Jul 2001.
- [113] A. Lopez-Martin, S. Baswa, J. Ramirez-Angulo, and R. Carvajal, "Low-voltage super class ab cmos ota cells with very high slew rate and power efficiency," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 5, pp. 1068–1077, May 2005.
- [114] P. R. Gray, *Analysis and Design of Analog Integrated Circuits*, 5th ed. Wiley Publishing, 2009.
- [115] G. Palumbo and S. Pennisi, *Feedback Amplifiers: Theory and Design*. Springer US, 2007. [Online]. Available: <https://books.google.es/books?id=w4jqBwAAQBAJ>
- [116] J. Miller, *Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit*, ser. Scientific papers of the Bureau of Standards. Government Printing Office, 1919. [Online]. Available: <https://books.google.es/books?id=Q8CN1PJ4Zf0C>
- [117] K. N. Leung, Y. Y. Mai, and P. K. T. Mok, "A chip-area efficient voltage regulator for vlsi systems," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 18, no. 12, pp. 1757–1762, DECEMBER 2010.
- [118] M. H.-T. J. Yeager, *Low Level Measurements Handbook, 7th Edition*. Keithley Instruments, 2013.
- [119] B. P. Wong, A. Mittal, Y. Cao, and G. Starr, *Design for Manufacturability*. John Wiley & Sons, Inc., 2005, pp. 331–342. [Online]. Available: <http://dx.doi.org/10.1002/0471653829.ch10>

- [120] —, *Design for Variability*. John Wiley & Sons, Inc., 2005, pp. 343–387. [Online]. Available: <http://dx.doi.org/10.1002/0471653829.ch11>
- [121] J. V. Faricelli, “Layout-dependent proximity effects in deep nanoscale cmos,” in *Custom Integrated Circuits Conference (CICC), 2010 IEEE*, Sept 2010, pp. 1–8.
- [122] J. Watts, K. Su, and M. Basel, “Netlisting and modeling well-proximity effects,” *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 2179–2186, Sept 2006.
- [123] Y. M. Sheu, K. W. Su, S. Tian, S. J. Yang, C. C. Wang, M. J. Chen, and S. Liu, “Modeling the well-edge proximity effect in highly scaled mosfets,” *IEEE Transactions on Electron Devices*, vol. 53, no. 11, pp. 2792–2798, Nov 2006.
- [124] D. Buss, “Technology in the internet age,” in *Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International*, vol. 1, Feb 2002, pp. 18–21 vol.1.
- [125] I. Akyildiz, W. Su, Y. Sankarasubramaniam, and E. Cayirci, “A survey on sensor networks,” *Communications Magazine, IEEE*, vol. 40, no. 8, pp. 102–114, Aug 2002.
- [126] N. Ansari and T. Han, “Freenet: Spectrum and energy harvesting wireless networks,” *Network, IEEE*, vol. 30, no. 1, pp. 66–71, January 2016.
- [127] J. Ramirez-Angulo, A. Lopez-Martin, R. Carvajal, A. Torralba, and M. Jimenez, “Simple class-ab voltage follower with slew rate and bandwidth enhancement and no extra static power or supply requirements,” *Electronics Letters*, vol. 42, no. 14, pp. 784–785, July 2006.
- [128] P. J. Hurst, S. H. Lewis, J. P. Keane, F. Aram, and K. C. Dyer, “Miller compensation using current buffers in fully differential cmos two-stage operational amplifiers,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, no. 2, pp. 275–285, Feb 2004.
- [129] M. Yavari, O. Shoaie, and F. Svelto, “Hybrid cascode compensation for two-stage cmos operational amplifiers,” in *2005 IEEE International Symposium on Circuits and Systems*, May 2005, pp. 1565–1568 Vol. 2.
- [130] M. Yavari, O. Shoaie, and A. Rodriguez-Vazquez, “Systematic and optimal design of cmos two-stage opamps with hybrid cascode compensation,” in *Proceedings of the Design Automation Test in Europe Conference*, vol. 1, March 2006, pp. 6 pp.–.
- [131] H. Aminzadeh and W. Serdijn, “Low-dropout regulators: Hybrid-cascode compensation to improve stability in nano-scale cmos technologies,” in *2011 IEEE International Symposium of Circuits and Systems (ISCAS)*, May 2011, pp. 2293–2296.

- [132] H. Aminzadeh, M. Danaie, and W. A. Serdijn, “Hybrid cascode feedforward compensation for nano-scale low-power ultra-area-efficient three-stage amplifiers,” *Microelectronics Journal*, vol. 44, no. 12, pp. 1201 – 1207, 2013. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/S0026269213001742>
- [133] C.-H. Lee, K. McClellan, and J. Choma, “A supply-noise-insensitive cmos pll with a voltage regulator using dc-dc capacitive converter,” *IEEE Journal of Solid-State Circuits*, vol. 36, no. 10, pp. 1453–1463, Oct 2001.
- [134] A. Arakali, S. Gondi, and P. K. Hanumolu, “Analysis and design techniques for supply-noise mitigation in phase-locked loops,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 11, pp. 2880–2889, Nov 2010.
- [135] M. d. R. Alex Lidow, Johan Strydom and D. Reusch, *GaN Transistors for Efficient Power Conversion*. John Wiley & Sons Ltd, 2014.
- [136] I. Ramos, M. N. R. Lavín, J. A. García, D. Maksimović, and Z. Popović, “Gan microwave dc-dc converters,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 12, pp. 4473–4482, Dec 2015.
- [137] Y. Zhang, M. Rodriguez, and D. Maksimovic, “Very high frequency pwm buck converters using monolithic gan half-bridge power stages with integrated gate drivers,” *IEEE Transactions on Power Electronics*, vol. PP, no. 99, pp. 1–1, 2016.