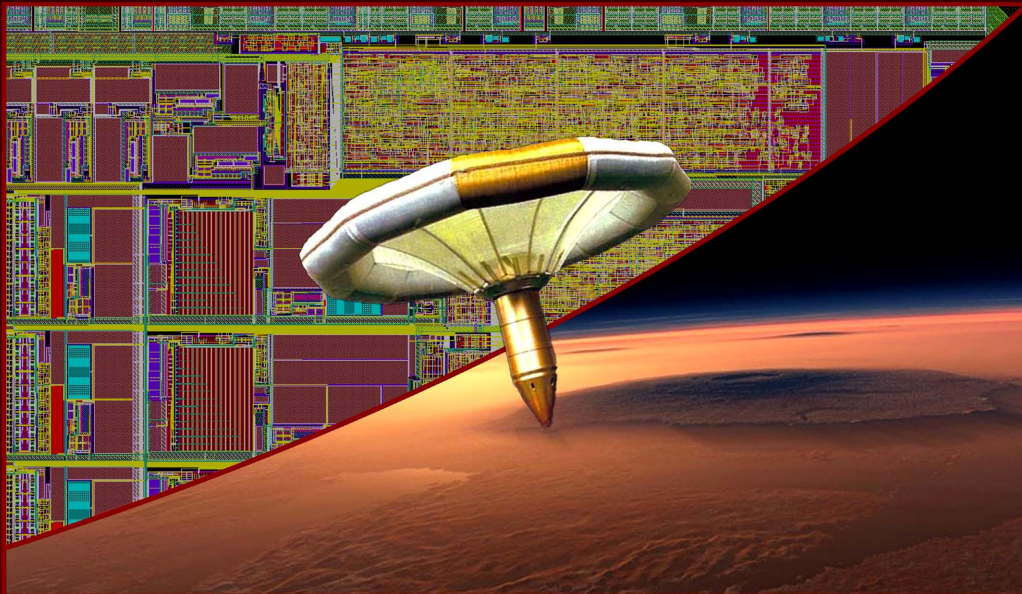


Diseño CMOS de Sistemas de Front-End para Instrumentación Ambiental en Marte

Samuel Sordo Ibáñez



Departamento de Electrónica y Electromagnetismo – Facultad de Física
Instituto de Microelectrónica de Sevilla (Universidad de Sevilla – CSIC)



UNIVERSIDAD DE SEVILLA – CSIC
Dpto. de Electrónica y Electromagnetismo – Facultad de Física
Instituto de Microelectrónica de Sevilla

TESIS DOCTORAL

DISEÑO CMOS DE SISTEMAS DE FRONT-END PARA INSTRUMENTACIÓN AMBIENTAL EN MARTE

Memoria presentada por:

SAMUEL SORDO IBÁÑEZ

para optar al grado de Doctor por la
Universidad de Sevilla

Director: SERVANDO ESPEJO MEANA

Sevilla – 2016

Agradecimientos

EN primer lugar, quiero agradecer a Servando el haberme dado la oportunidad de trabajar en este estupendo grupo. También por su aportación a este trabajo, por todo lo aprendido durante su supervisión, y por su apoyo y ánimos en todo momento.

Las ideas, desarrollos, y resultados de este trabajo de investigación tampoco hubieran sido posibles sin la aportación del resto de compañeros/as del grupo de investigación en el IMSE. Quiero agradecer muy especialmente a Blanca, por su colaboración en el desarrollo y testado de la parte analógica, y a Manuel, por su colaboración en el desarrollo de la parte digital. A Antonio y Joaquín, no sólo por su participación en el desarrollo del ASIC, sino también por todo lo que me habéis enseñado desde el primer día. A Luis, por su colaboración en la parte digital y en el desarrollo del *setup* de test, y también por toda la ayuda que siempre me has brindado. A Alberto y Juan, por su participación y experiencia en los tests de radiación. A José Miguel, por su ayuda y consejos en el diseño de la parte digital, y a Miguel Ángel, por el desarrollo de las placas de test.

También agradecer al personal del departamento de Cargas Útiles e Instrumentación del Instituto Nacional de Técnica Aeroespacial (INTA), especialmente a Marina, Ignacio, Hector y Teresa, por el soporte y la estrecha relación mantenida durante el desarrollo de este trabajo. Gracias también al personal del Centro Nacional de Aceleradores (CNA-CSIC), por facilitarnos el uso de sus instalaciones para los tests de radiación, y especialmente a Yolanda y Gema, por su ayuda y colaboración durante los mismos. También gracias al personal de la Universidad Católica de Leuven (UCL), por su soporte y asesoría durante el uso de sus instalaciones.

Este trabajo tampoco hubiera sido posible sin la financiación del Ministerio de Ciencia e Innovación (actualmente Ministerio de Economía y Competitividad), dentro del programa de Formación de Personal Investigador (FPI), y de los proyectos del Plan Nacional de I+D+i MEIGA (AYA2009-14212-C05-04) y CISMAE (AYA2011-29967-C05-05), en parte también financiados con los Fondos Europeos de Ayuda al Desarrollo Regional (FEDER).

No quiero olvidarme del resto de amigos/as que he ido conociendo en el IMSE durante estos años, por estar siempre dispuestos a echar una mano, y también por el buen ambiente y los buenos ratos del café.

También quiero acordarme del resto de amigos/as que forman y han formado parte importante de mi vida en Valladolid, Tenerife, Madrid y Sevilla, y a los que siempre estaré agradecido.

Aunque prefiero no personalizar, para no olvidarme de nadie, espero que todos y todas os sintáis aludidos.

Por último, a mi familia, por estar siempre ahí incondicionalmente, y a mis maravillosas sobrinas, Jimena y Sofía.

Índice de contenidos

Nomenclatura	19
Resumen	25
1. Introducción	29
1.1. Antecedentes	29
1.1.1. Electrónica para aplicaciones espaciales: retos y tendencias	29
1.1.2. La misión Mars MetNet Precursor y el proyecto MEIGA	33
1.2. Motivación y retos	38
1.3. Estructura de la tesis	40
2. Efectos de la radiación en tecnologías CMOS	43
2.1. Introducción	43
2.2. Interacción radiación-materia	45
2.3. Efectos inducidos por la radiación en la estructura MOS	49
2.3.1. Efectos acumulativos de la TID	50
2.3.1.1. Degradación de la tensión umbral	51
2.3.1.2. Incremento de la corriente de fugas	58
2.3.1.3. Otros efectos inducidos	60
2.3.2. Efectos de los eventos singulares	61
2.4. Endurecimiento frente a la radiación	65
2.4.1. Soluciones tecnológicas	65
2.4.2. Técnicas RHBD	66
2.5. Caracterización frente a la radiación de la tecnología CMOS AMS 0.35 μm	69
2.6. Conclusiones	72
3. Medida de campos magnéticos: sensores y arquitecturas	75
3.1. Introducción	75
3.2. Sensores de magnetorresistencia anisotrópica	76
3.2.1. Modelado del sensor. Linealidad y derivas con la temperatura	80
3.3. Arquitecturas para la medida de campos magnéticos	84
3.3.1. Medidas en lazo abierto	84

3.3.2. Medidas en lazo cerrado	86
3.4. Arquitectura propuesta	91
3.5. Conclusiones	96
4. Diseño del ASIC de front-end para el magnetómetro digital	99
4.1. Introducción	99
4.2. Descripción general del ASIC	101
4.3. Sistema de medida de los sensores AMR	105
4.3.1. Diseño del amplificador de instrumentación	105
4.3.2. Diseño de los DS ADCs	118
4.3.2.1. Descripción de la arquitectura implementada	118
4.3.2.2. Unidad de control de los DS ADCs	125
4.3.2.3. Análisis de ruido	129
4.3.2.4. Diseño del integrador	146
4.3.2.5. Diseño del comparador	151
4.3.2.6. Diseño del oscilador	154
4.3.2.7. Resultados de simulación	159
4.4. Sistema de monitorización de temperatura	163
4.4.1. Diseño del SS ADC multicanal auto-compensado	165
4.4.1.1. El generador de rampa con lazo de realimentación adaptativo	169
4.4.1.2. Los comparadores	174
4.4.1.3. Unidad de control del SS ADC	177
4.4.1.4. Resultados de simulación	180
4.5. Acondicionamiento de los sensores AMR y técnicas de calibración	183
4.5.1. Diseño de los CS DACs	183
4.5.2. Funcionalidades adicionales para test y calibración	186
4.6. Técnicas RHBD aplicadas	193
4.6.1. Robustecimiento mediante diseño frente a la TID	194
4.6.2. Robustecimiento mediante diseño frente a SEEs	199
4.6.2.1. Robustecimiento mediante diseño frente a SEUs	199
4.6.2.2. Robustecimiento mediante diseño frente a los SETs	202
4.6.2.3. Robustecimiento mediante diseño frente a los SELs	203
4.7. Resumen	204
5. Resultados experimentales y caracterización para espacio	207
5.1. Introducción	207
5.2. Resultados experimentales en condiciones típicas y con variaciones en temperatura	208
5.2.1. Metodología de test	208
5.2.2. Resultados experimentales en condiciones nominales	217

5.2.3. Efectos de las variaciones en temperatura	225
5.3. Caracterización de las prestaciones frente a los efectos de la TID	228
5.3.1. Metodología de medida	228
5.3.2. Resultados experimentales	231
5.4. Caracterización de la robustez frente a los SEEs	238
5.4.1. Métricas de evaluación frente a los SEEs	239
5.4.2. Metodología de medida	246
5.4.3. Resultados experimentales	249
5.5. Discusión de los resultados y conclusiones	260
6. Conclusiones y trabajo futuro	265
6.1. Conclusiones	265
6.2. Trabajo Futuro	267
A. Datasheet	269
B. Publicaciones	295
Bibliografía	297

Índice de figuras

1.1.	Estimación del coste total de un satélite en función de su peso [1, 2].	29
1.2.	(a) Evolución y perspectivas de futuro, según el pronóstico de SpaceWorks Inc., del número de satélites puestos en órbita con un peso entre 1 y 50 kg. (b) Distribución por sectores [3].	30
1.3.	Coste de un satélite de 5 kg en función del número de revisiones previas [2].	31
1.4.	(a) Esquema representativo del amortizaje de la misión Mars MetNet. (b) Instrumental científico de la carga útil [25].	35
2.1.	Medidas de la LET en el silicio en función de la profundidad de penetración para el caso de diversas especies de iones incidiendo con una energía de 16 MeV [46].	47
2.2.	(a) Creación de pares e^-/h^+ en el óxido de puerta de la estructura MOS y su distribución. (b) Diagrama de bandas de energía asociado. (c) Evolución de la tensión umbral en función de los procesos físicos involucrados [53].	51
2.3.	Evolución del desplazamiento de la tensión umbral por la acumulación de trampas en el óxido de puerta durante el proceso de <i>annealing</i> para transistores NMOS irradiados con una dosis total de 100 krad, pero con distintas tasas de dosis [56].	53
2.4.	Evolución del desplazamiento de la tensión umbral por la acumulación de trampas en la interfaz Si/SiO ₂ durante el proceso de <i>annealing</i> para transistores NMOS irradiados con una dosis total de 100 krad, pero con distintas tasas de dosis [56].	55
2.5.	Evolución de la tensión umbral para tasas de dosis altas (HDR) y bajas (LDR) en función de la dosis total acumulada.	57
2.6.	Sección transversal de un transistor con aislamiento LOCOS con acumulación de cargas atrapadas en la estructura de “pico de pájaro” por efecto de la radiación.	59
2.7.	Posibles caminos de fuga creados por efecto de la radiación en un transistor NMOS con aislamiento STI.	59
2.8.	Ejemplo de la característica $I_{DS}-V_{GS}$ de un transistor de puerta (azul), parásito (verde) y su combinación (rojo) antes y después de la irradiación [56].	60
2.9.	Generación y transporte de cargas por efecto de un SEE en la región de drenador de un transistor NMOS.	63
2.10.	Ejemplo de layouts de transistores NMOS con geometría encerrada: (a) Transistor anular, (b) Transistor con anillo de fuente, (c) Transistor con anillo de drenador y (d) Transistor con doble anillo.	67

3.1.	Ruido magnético equivalente para diferentes sensores AMR [125].	77
3.2.	Esquema de un sensor AMR para un eje.	79
3.3.	Patrón de magnetización tras un pulso de SET o RESET.	79
3.4.	Magnetómetro digital HMR2300 de Honeywell Inc [136].	85
3.5.	Diagrama de bloques del sistema HMR2300. Método de medida en lazo abierto. . .	85
3.6.	Diagrama de bloques de la implementación de un sistema de medida en lazo cerrado.	87
3.7.	Diagrama de bloques del DAC con arquitectura segmentada.	89
3.8.	Arquitectura propuesta para el magnetómetro.	93
3.9.	Zona de operación del sensor AMR.	93
3.10.	Simulación del efecto del campo magnético transversal sobre la tensión de salida del sensor AMR con la arquitectura en lazo abierto y con la arquitectura propuesta. . . .	95
3.11.	Simulación del error de linealidad del sensor AMR con la arquitectura en lazo abierto y con la arquitectura en lazo cerrado propuesta.	95
4.1.	Diagrama de bloques de un sistema espacial típico [139].	99
4.2.	Diagrama de bloques del ASIC en conjunto con los sensores AMR formando el magnetómetro.	102
4.3.	Circuito típico en semi-puente para la generación de los pulsos de S/R.	104
4.4.	Amplificador de instrumentación totalmente diferencial basado en tres amplificadores operacionales.	106
4.5.	Circuitos selectores de resistencias para la programabilidad de la ganancia del AI. . .	108
4.6.	Esquemático final del amplificador de instrumentación.	109
4.7.	Simulación de la salida del AI con entrada FD (a) y con entrada SE (b) para A=1009. . . .	109
4.8.	Circuito equivalente de ruido del AI con un sensor en puente de Wheatstone.	110
4.9.	Esquemático de los amplificadores operacionales de la primera etapa (U_1 y U_2).	112
4.10.	Esquemático del amplificador operacional de la segunda etapa (U_3).	115
4.11.	Resultados de simulaciones <i>postlayout</i> del CMRR del AI en función de la ganancia. . .	116
4.12.	Resultados de simulaciones <i>postlayout</i> del error máximo de linealidad del AI en función de la ganancia.	117
4.13.	Resultados de simulaciones <i>postlayout</i> del ruido <i>rms</i> equivalente de entrada del AI en función de la ganancia.	117
4.14.	Diagrama de bloques del DS ADC propuesto.	120
4.15.	Diagrama de tiempos del ciclo de conversión del DS ADC.	121
4.16.	Diagrama de flujo simplificado de la operación de la FSM.	126
4.17.	Cronograma de la operación de dos convertidores con la FSM compartida.	127
4.18.	Circuito de generación de las señales de control local.	128
4.19.	Cronograma de la operación de dos convertidores con la FSM y la lógica de control local.	129
4.20.	Sincronizador basado en un esquema de N+1 biestables en cascada.	130

4.21. Circuito equivalente para el análisis de ruido del integrador del DS ADC.	131
4.22. Cronograma de la operación del integrador para el análisis de ruido.	131
4.23. Circuito equivalente de ruido del integrador SE de la Figura 4.21 en la fase de <i>reset</i> . .	132
4.24. Circuito equivalente de ruido del integrador SE de la Figura 4.21 en la fase de integración.	133
4.25. Composición de señales de la señal muestreada a la salida del integrador supuesta una rampa de tensión a la entrada.	134
4.26. Componentes de la magnitud del espectro de ruido equivalente de $V_{SO}(s)$	137
4.27. Función de transferencia resultante del muestreo tras una integración de tiempo finito de duración T_{INT}	138
4.28. Esquemático del amplificador operacional del integrador.	141
4.29. Diagrama de Bode representativo de $H_1(s)$, $H_2(s)$ y del AO en lazo abierto.	142
4.30. Comparativa de las distintas contribuciones de ruido en el DS ADC en función de la configuración programada.	145
4.31. Comparativa mediante resultados de simulación de la influencia del GBW del AO en la respuesta transitoria del integrador.	147
4.32. Esquemático del amplificador operacional del integrador.	147
4.33. Esquemático de la polarización dinámica de los pozos N para eliminar el efecto de la carga parásita en la resistencia del integrador.	150
4.34. Comparativa de resultados de simulación del efecto de la capacidad parásita en R_{INT} sobre la característica de transferencia del convertidor.	150
4.35. Esquemático simplificado del comparador FD de lazo regenerativo con etapa preamplificadora.	151
4.36. Simulación de la operación del comparador del DS ADC en condiciones típicas. . .	153
4.37. Esquemático del oscilador de relajación basado en un astable.	155
4.38. Evolución de la carga y descarga del condensador en el oscilador de relajación. . . .	155
4.39. Esquemático a nivel de transistor del oscilador de relajación implementado.	156
4.40. Representación gráfica de la correspondencia entre $V_{d_{rms}}$ y δT_{rms} en el ciclo de carga del condensador.	157
4.41. Ejemplo de resultados de simulación de las señales de salida del canal de conversión para el caso de una rampa de tensión de entrada.	161
4.42. Código de salida y error de INL del canal de conversión (resolución de 15 bits más signo) en condiciones típicas sin variaciones de <i>mismatch</i>	161
4.43. Variación del código de salida del DS ADC con la temperatura. $V_{IN} = 1V$	164
4.44. Ejemplo de medida por relación con objeto de estabilizar el código de salida con respecto a las fluctuaciones en V_{REF}	165
4.45. Arquitectura de lectura en paralelo basada en SS ADCs.	166
4.46. Errores en el código de salida de un SS ADC debido a la variaciones de la rampa de tensión.	167

4.47. Diagrama de bloques del SS ADC implementado.	168
4.48. Arquitectura del generador de rampa implementado.	169
4.49. Diagrama de tiempos del generador de rampa con el lazo de realimentación hasta que la rampa queda adaptada.	171
4.50. Esquemático del circuito propuesto para el generador de rampa.	171
4.51. Evolución transitoria de la rampa generada y de la tensión de control V_G durante el proceso de adaptación.	175
4.52. Error de linealidad de la rampa generada.	175
4.53. (a) Esquemático de los comparadores del SS ADC. (b) Topología convencional de un comparador auto-polarizado.	176
4.54. Evolución temporal de la señales de entrada y salida del comparador durante el proceso de conversión.	176
4.55. Diagrama de flujo representativo de la operación de la FSM del SS ADC.	178
4.56. Cronograma de la operación de la FSM con uno de los cuatros canales del SS ADC.	179
4.57. Ejemplo de resultados de simulación de las señales de salida del SS ADC para el caso de una rampa de tensión de entrada.	181
4.58. Código de salida y error de INL del SS ADC en condiciones típicas y para una resolución de 15 bits.	182
4.59. Acondicionamiento del sensor AMR con el CS DAC para las medidas en lazo cerrado.	184
4.60. Esquemático a nivel de transistor del CS DAC de 8 bits más signo.	184
4.61. Simulación de una rampa de corriente generada con el CS DAC.	185
4.62. Efecto de las no idealidades del AI y del DS ADC en la característica de transferencia del canal de conversión.	189
4.63. Ejemplo de implementación del proceso de medición en lazo cerrado incluyendo las diversas opciones del ASIC para la calibración.	193
4.64. Ejemplo de <i>layout</i> de un transistor anular.	194
4.65. Ejemplo de <i>layout</i> de un transistor RS.	195
4.66. Geometría del canal de conducción en un transistor RS NMOS.	196
4.67. Comparativa entre <i>layouts</i> de transistores RS NMOS y sus equivalentes de la librería estándar.	198
4.68. Comparativa entre los <i>layouts</i> de un inversor y una puerta NAND <i>rad-hard</i> y sus equivalentes de la librería estándar.	198
4.69. (a) Comparativa de la curva de transferencia estática de dos inversores mínimos (estándar y RH). (b) Respuesta transitoria de dos <i>buffers</i> digitales (estándar y RH).	199
4.70. Esquema de redundancia empleado en la FEE para la detección de SEUs.	201
4.71. <i>Layout</i> final de la FEE.	204
5.1. Micro-fotografía del ASIC que implementa la FEE.	208
5.2. Diagrama de bloques del <i>setup</i> de test de la FEE.	209

5.3.	Imagen de la placa de test del ASIC.	210
5.4.	Imagen del <i>setup</i> de test en el laboratorio.	211
5.5.	Imagen de la GUI implementada para el testado del ASIC.	212
5.6.	Ejemplo de las opciones de testado automático disponibles en la GUI implementada.	212
5.7.	Ejemplo de los resultados de salida del test de un CS DAC.	214
5.8.	Ejemplo del cálculo de la INL de los ADCs con una metodología de test basada en el empleo de un <i>servo-loop</i>	215
5.9.	Ejemplo de la calibración de un DS ADC y su efecto sobre la INL global del convertidor: (a) Sin calibración. (b) Después de la calibración.	215
5.10.	Ejemplo de medición de la DNL en los ADCs con $k = 42$: (a) Histograma medido. (b) Valor estimado de la DNL.	217
5.11.	Ejemplo de medición del nivel <i>rms</i> de ruido equivalente en uno de los DS ADCs.	217
5.12.	Resultados experimentales del error de INL medido en uno de los DS ADCs para cada una de las resoluciones en las que puede ser programado.	218
5.13.	Resultados experimentales del error de INL medido para los 6 DS ADCs de una de las muestras con $A=1$ (a) y con $A=2$ (b).	220
5.14.	Resultados experimentales de la evolución del código de salida del DS ADC en el cruce por cero para una rampa de tensión de entrada.	221
5.15.	Medida de la INL del SS ADC en función de la resolución programada.	224
5.16.	Medida de la INL y DNL de los 3 CS DACs de una de las muestras medidas.	225
5.17.	Variación porcentual de la ganancia del DS ADC con la temperatura con respecto a su valor nominal a 25 °C.	226
5.18.	Variación porcentual de la ganancia del SS ADC con la temperatura con respecto a su valor nominal a 25 °C.	227
5.19.	Instrumento Gammabeam ® X200 empleado para los tests de TID.	229
5.20.	Esquema representativo del <i>setup</i> de test en el laboratorio de radiación del CNA [184].	230
5.21.	(a) Evolución del consumo de corriente con la TID en la configuración por defecto para cada una de las muestras medidas. (b) Promedio de la variación porcentual con la TID del consumo máximo del ASIC con respecto a su valor nominal previo a la irradiación (161.4 mA).	231
5.22.	(a) Evolución de la frecuencia del oscilador interno (configurado a máxima frecuencia) con la TID para cada una de las muestras medidas. (b) Promedio de la variación porcentual con la TID de la frecuencia del oscilador con respecto a su valor nominal.	233
5.23.	Evolución de la tensión de <i>bandgap</i> con la TID para cada una de las muestras medidas.	233
5.24.	Evolución con la TID de la INL y la DNL de un canal de conversión DS ADC.	234
5.25.	Variación media con la TID en los DS ADCs: (a) nivel de ruido <i>rms</i> , (b) variación con la ganancia respecto del valor nominal, y (c) variación del error máximo de INL con respecto al valor nominal.	235
5.26.	Evolución con la TID de la INL y la DNL de un canal de conversión SS ADC.	235

5.27. Variación media con la TID en los SS ADCs: (a) nivel de ruido <i>rms</i> , (b) variación con la ganancia respecto del valor nominal, y (c) variación del error máximo de INL con respecto al valor nominal.	236
5.28. Evolución con la TID de la INL y la DNL de un CS DAC.	237
5.29. Variación media con la TID en los CS DACs: (a) variación de la ganancia respecto del valor nominal, y (b) variación del error máximo de INL con respecto al valor nominal.	237
5.30. (a) Impacto de una partícula en el drenador de un transistor NMOS. (b) Generación y transporte de cargas en el volumen sensible del transistor. (c) Geometría del volumen sensible con el modelo RPP.	241
5.31. Aproximación realizada por el método RPP no integral para la característica de la sección transversal en función de la LET efectiva.	242
5.32. Diferencia de la dependencia de la sección transversal, con la LET efectiva medida experimentalmente, y la aproximación realizada por el método RPP no integral.	244
5.33. Aproximación realizada por el método IRPP a partir del ajuste de los datos experimentales mediante una función de distribución acumulativa de tipo Weibull.	245
5.34. Diagrama representativo del <i>setup</i> de test para la caracterización de la FEE frente a los SEEs.	247
5.35. Imagen de la interfaz gráfica de usuario (GUI) desarrollada para automatizar el proceso de caracterización frente a los SEEs.	247
5.36. Diagrama de flujo del proceso de medida durante los tests frente a los SEEs.	248
5.37. Imagen del <i>setup</i> de test para la caracterización de la FEE frente a los SEEs con el ciclotrón CYCLONE110 en las instalaciones de la UCL.	250
5.38. Placa de test del ASIC situada en el interior del ciclotrón.	250
5.39. Errores de $SEU_{1 \rightarrow 0}$ y de $SEU_{0 \rightarrow 1}$ inducidos para cada valor de LET_{eff}	253
5.40. Distribución del número total de SEUs inducidos en cada uno de los 208 bits de configuración de la FEE.	253
5.41. Característica de la sección transversal de SEUs en función de la LET efectiva.	254
5.42. Ejemplo del procesado de los datos de salida de los ADCs para la determinación de los errores inducidos.	257
5.43. Característica de la sección transversal en función de la LET efectiva para SEEs en los ADCs implementados.	258
5.44. Ejemplo del efecto de un SEE asociado a un error inducido en el lazo de realimentación del generador de rampa.	259

Índice de tablas

1.1.	Resumen de los requisitos planteados para el instrumento MOURA.	39
2.1.	Datos de radiación y temperatura para diversas regiones del Sistema Solar [41].	44
3.1.	Características de sensores empleados en aplicaciones espaciales [108].	76
3.2.	Especificaciones de los sensores AMR de la familia HMC-10xx de Honeywell Inc.	78
3.3.	Valores típicos de sensibilidad y resistencia nominal de los sensores HMC-10xx.	82
3.4.	Características de las arquitecturas del sistema de medida.	96
4.1.	Principales características del AI obtenidas mediante resultados de simulación con variaciones de <i>mismatch</i> y de temperatura. (A = 1 y modo de entrada diferencial).	115
4.2.	Principales características del AI obtenidas mediante resultados de simulación en los <i>corners</i> del proceso y de temperatura. (A = 1 y modo de entrada diferencial).	116
4.3.	Parámetros configurables en la arquitectura del DS ADC implementado.	125
4.4.	Opciones de configuración para el caso de 16 bits (A=1).	125
4.5.	Opciones de configuración para la comparativa de ruido.	145
4.6.	Principales características del AO del integrador obtenidas mediante resultados de simulación con variaciones de <i>mismatch</i> y de temperatura.	148
4.7.	Principales características del AO del integrador obtenidas mediante resultados de simulación en los <i>corners</i> del proceso.	148
4.8.	Principales características del comparador del DS ADC obtenidas mediante resultados de simulación con variaciones de <i>mismatch</i> y de temperatura.	153
4.9.	Principales características del comparador del DS ADC obtenidas mediante resultados de simulación en los <i>corners</i> del proceso.	153
4.10.	Principales características del oscilador de relajación.	158
4.11.	Principales características del canal de conversión.	162
4.12.	Principales características del SS ADC (10, 11 y 12 bits).	182
4.13.	Principales características del SS ADC (13, 14 y 15 bits).	182
4.14.	Principales características de los CS DACs.	186
4.15.	Comparativa de la respuesta transitoria entre un inversor mínimo <i>rad-hard</i> (RH) y su equivalente de la librería estándar (Std).	198
5.1.	Resultados experimentales de las prestaciones de los DS ADCs.	219

5.2. Comparativa de las prestaciones de ruido en función de la configuración seleccionada.	222
5.3. Resultados experimentales de las prestaciones del SS ADCs.	223
5.4. Resultados experimentales de las prestaciones de los CS DACs.	225
5.5. Resumen de la dosis total acumulada por cada una de las muestras durante la campaña de irradiación.	229
5.6. Resumen del proceso de irradiación con iones pesados recibido por cada una de las muestras.	251
5.7. Resumen de los SEUs inducidos para todo el rango de LET_{eff} en los 208 bits pertenecientes a los registros de configuración de la FEE.	252
5.8. Comparativa de las prestaciones de la FEE propuesta con respecto a trabajos con aplicaciones y/o especificaciones similares.	262

Nomenclatura

$\Sigma\Delta ADC$	Sigma-Delta ADC
μFG	Micro-Fluxgate
A/D	Analog to Digital
AC	Alternating Current
ADC	Analog-to-Digital Converter
ADC	Dual-Slope ADC
ADC	Single-Slope ADC
AI	Amplificador de Instrumentación
AMR	Anisotropic Magneto-Resistance
AMS	AustriaMicroSystems
AO	Amplificador Operacional
APS	Active Pixel Sensor
ASIC	Application-Specific Integrated Circuit
ASSP	Application-Specific Standard Product
BJT	Bipolar Junction Transistor
BW	Bandwidth
CCD	Charge-Coupled Device
CMFB	Common-Mode FeedBack
CMOS	Complementary Metal-Oxide-Semiconductor
CMRR	Common-Mode Rejection Ratio
CNA	Centro Nacional de Aceleradores

COTS	Commercial-Off-The-Shelf
CPU	Central Processing Unit
CRC	Cyclotron Resource Centre
CS DAC	Current-Steering DAC
CSIC	Consejo Superior de Investigaciones Científicas
D/A	Digital-to-Analog
DAC	Digital-to-Analog Converter
DAMPE	DARk Matter PArTicle Explorer
DC	Direct Current
DD	Displacement Damage
DDS	Dust Deposited Sensor
DNL	Differential Non-Linearity
DPU	Data Process Unit
DRC	Design Rule Checking
ELT	Enclosed Layout Transistor
ENOB	Effective Number Of Bits
EOC	End Of Conversion
ESA	European Space Agency
ESD	Electrostatic Discharge
FD	Fully Differential
FEE	Front-End Electronics
FG	Fluxgate
FMI	Finnish Meteorological Institute
FPGA	Field Programmable Gate Array
FS	Full Scale

FSM	Finite State Machine
GBW	Gain-Bandwidth Product
GEO	Geostationary Earth Orbit
GMR	Giant MagnetoResistance
GPIB	General Purpose Interface Bus
GUI	Graphical User Interface
HDR	High Dose Rate
I+D+i	Investigación, Desarrollo e Innovación
ICMR	Input Common-Mode Range
IKI	Academia de ciencias de la federación Rusa
IMSE	Instituto de Microelectrónica de Sevilla
INL	Integral Non-Linearity
INTA	Instituto Nacional de Técnica Aeroespacial
IP	Intellectual Property
IRPP	Integral Rectangular Parallelepiped
ITAR	International Traffic in Arms Regulations
IVR	Input Voltage Range
LDR	Low Dose Rate
LEO	Low Earth Orbit
LET	Linear Energy Transfer
LOCOS	Local Oxidation of Silicon
LSB	Least-Significant Bit
LVS	Layout Versus Schematic
MEDA	Mars Environmental Dynamics Analyzer
MEIGA	Mars Environmental Instrumentation for Ground and Atmosphere

MEO	Medium Earth Orbit
MESFET	MEtal–Semiconductor Field-Effect Transistor
MetNet	Meteorological Network
MetSIS	Metnet Solar Irradiance Sensor
MI	MagnetoImpedance
MOS	Metal-Oxide Semiconductor
MTBF	Mean Time Between Failures
NASA	National Aeronautics and Space Administration
NIEL	NonIonizing Energy Loss
NMOS	N-channel MOS
NMOSM	Transistor NMOS de óxido grueso
OWLS	Optical Wireless Link for intra-Spacecraft communications
PC	Personal Computer
pcell	Parameterized Cell
PDK	Process Design Kit
PEX	Parasitic Extraction
PMOS	P-channel MOS
PMOSM	Transistor PMOS de óxido grueso
PNP	Transistor bipolar de tipo PNP
PoR	Power-on Reset
PSD	Power Spectral Density
PSRR	Power Supply Rejection Ratio
PVT	Process, Voltage and Temperature
rad-hard	Radiation-hardened
RADLAB	Radiation Laboratory

RES	Resolution
RHBD	Radiation Hardening By Design
rms	Root Mean Square
RNO	Reoxidized Nitrided Oxide
Roscosmos	Agencia espacial de la federación de Rusia
RPP	Rectangular Parallelepiped
RS	Ringed Source
S	Sensibilidad
S/R	Set/Reset
SAR	Successive Approximation Register
SE	Single-Ended
SEB	Single Event Burnout
SEE	Single-Event Effect
SEFI	Single Event Functional Interrupt
SEGR	Single Event Gate Rupture
SEL	Single Event Latchup
SESB	Single Event Snap-Back
SET	Single Event Transient
SEU	Single Event Upset
SiGe	Silicio-Germanio
SIS	Solar Irradiance Sensor
SNR	Signal-to-Noise Ratio
SOC	Start Of Conversion
SOI	Silicon On Insulator
SPI	Serial Peripheral Interface

STI	Shallow-Trench Isolation
TDC	Time-to-Digital Converter
TID	Total Ionizing Dose
TMR	Tunnel MagnetoResistance
TSMC	Taiwan Semiconductor Manufacturing Company
UCL	Université Catholique de Louvain
UE	Unión Europea
US	Universidad de Sevilla

Resumen

LA tendencia actual de la tecnología aeroespacial hacia la estandarización y la reducción de costes, en paralelo con el diseño de satélites de pequeño tamaño, comúnmente denominados micro-, nano-, o incluso pico-satélites, conlleva el diseño de instrumentación electrónica cada vez más miniaturizada y compacta, a la vez que se mantengan las prestaciones y los niveles de fiabilidad de los sistemas. Esto implica que la microelectrónica, con las inherentes reducciones de peso y volumen, y sobre todo la microelectrónica en tecnologías CMOS convencionales, con la consiguiente reducción en costes, sea cada vez más interesante y necesaria para este sector.

En este trabajo de tesis se presenta el diseño y proceso de cualificación para espacio del ASIC de señal mixta que integrará la electrónica de *front-end* del magnetómetro digital triaxial MOURA en una tecnología CMOS estándar de 0.35 μm . Este instrumento formará parte de la carga útil de la misión Mars MetNet Precursor con el objetivo de realizar medidas precisas de la dirección e intensidad del campo magnético en la superficie de Marte.

Los estrictos requisitos en términos de masa (~80 g), volumen (~150 x 30 x 15 mm) y potencia (< 0.5 W) para este instrumento, no sólo implican la necesidad de integrar en un ASIC la electrónica de *front-end*, sino que también condicionan en gran medida el tipo de sensor a emplear. Por este motivo, en este trabajo se propone un diseño basado en sensores de magnetorresistencia anisotrópica (AMR), como alternativa al uso de magnetómetros *fluxgate*, los cuales han sido tradicionalmente la solución más empleada para la medida de campos magnéticos en aplicaciones espaciales.

El empleo de una tecnología CMOS estándar en lugar de los procesos tecnológicos específicos para espacio permite, entre otras ventajas, reducir de forma significativa los costes y los tiempos de desarrollo. Como contrapartida, será necesario hacer frente a algunos inconvenientes, principalmente focalizados en el hecho de que las tecnologías CMOS no están, en general, cualificadas ni caracterizadas para operar en entornos espaciales. De esta forma, además de los requisitos y compromisos tecnológicos habituales e inherentes al diseño de un circuito integrado de señal mixta, se han de abordar los condicionantes adicionales asociados a las condiciones extremas de operación, principalmente en términos de radiación y temperatura. En este sentido, ha surgido, esencialmente durante la última década, el concepto denominado *Radiation Hardening By Design* (RHBD), consistente en un conjunto de técnicas de diseño de

circuitos integrados en procesos tecnológicos estándar, que son aplicadas a nivel eléctrico y físico, y que están orientadas a aumentar el grado de resistencia a la radiación.

Diversos trabajos reportados en la literatura permiten confirmar, en parte, la viabilidad de las tecnologías integradas CMOS para aplicaciones espaciales mediante el empleo de técnicas RHBD. No obstante, la dependencia de los efectos de la radiación con el proceso tecnológico CMOS empleado y de las condiciones de radiación, entre otros aspectos, junto con la diversidad de aplicaciones, funcionalidades y especificaciones para los circuitos integrados reportados, hacen que esta hipótesis no pueda considerarse confirmada desde un punto de vista absoluto, más aún teniendo en cuenta el alto grado de especificidad de las técnicas RHBD reportadas, las cuales son, en general, únicamente eficientes frente a ciertos efectos asociados con la radiación.

Dentro de este ámbito, el ASIC de señal mixta objeto de este trabajo utiliza una arquitectura orientada a maximizar las prestaciones de los sensores AMR, especialmente en lo referente a linealidad y estabilidad con la temperatura, y con el objetivo de alcanzar niveles de precisión del orden de los 3 nT en un rango de medida de hasta $\pm 100 \mu\text{T}$. Con respecto a las condiciones extremas de operación, y con objeto de que el ASIC no sólo permanezca funcional, sino que además sus prestaciones se mantengan estables durante todo el ciclo de vida útil, se han aplicado diversas técnicas RHBD a lo largo de todo el flujo de diseño, desde el nivel de arquitectura hasta el nivel de *layout*. Esto ha requerido, por un lado, la evaluación, para el caso concreto de la tecnología CMOS seleccionada, de la eficiencia de las técnicas RHBD ya existentes y, por otro, la aportación de nuevas técnicas RHBD principalmente orientadas a la implementación de topologías robustas a nivel de circuito.

A grandes rasgos, la electrónica de *front-end* diseñada incluye 6 canales de adquisición para llevar a cabo medidas precisas, con resoluciones de hasta 16 bits, de señales procedentes de sensores. Tres de estos canales se emplearán para las medidas de campo magnético, mientras que los otros tres restantes se utilizarán para aplicaciones adicionales, como por ejemplo, medidas de orientación gravitacional mediante el uso de acelerómetros. El ASIC también incorpora un sistema para el acondicionamiento de los sensores AMR en su zona óptima de operación, junto con otro sistema para monitorizar su temperatura, así como también la del propio ASIC, además de otras funcionalidades orientadas a la calibración y la detección de errores. Por otro lado, el ASIC ha sido diseñado con un grado muy alto de configurabilidad, de forma que pueda adaptarse, como si de un sistema estándar se tratara, a muchas de las necesidades actuales en instrumentación espacial que requieren una solución compacta y robusta para la implementación de sistemas de adquisición y acondicionamiento de señales de banda base procedentes de sensores. Esto permitirá reducir en gran medida los costes y los tiempos de diseño, de desarrollo y de testado de aplicaciones similares, suponiendo además un incremento en la fiabilidad de las mismas.

Los resultados experimentales obtenidos durante la cualificación del ASIC en un rango exten-

dido de temperaturas, así como frente a la radiación, con una robustez frente a la dosis total de ionización (TID) por encima de 300 krad, y una tasa de error estimada para el ASIC completo del orden de 0.1 errores/año, permiten confirmar no sólo el cumplimiento de las especificaciones para el instrumento MOURA, sino también asegurar que las topologías propuestas, en combinación con el resto de técnicas aplicadas en el proceso CMOS seleccionado, son lo suficientemente robustas como para asegurar unos niveles muy altos de fiabilidad y de estabilidad en las prestaciones, resultando en una solución óptima para su empleo en entornos con condiciones extremas de radiación y temperatura, incluyendo también misiones espaciales de larga duración.

1. Introducción

1.1. Antecedentes

1.1.1. Electrónica para aplicaciones espaciales: retos y tendencias

Tradicionalmente, el sector espacial se ha caracterizado por el diseño de satélites de grandes dimensiones, con altos niveles de complejidad y, sobre todo, por unos costes muy elevados, los cuales fueron posibles gracias al fuerte apoyo económico de las agencias gubernamentales que, generalmente con implicaciones militares y/o estratégicas, lideraban los proyectos espaciales del pasado. En la Fig. 1.1 se muestra una estimación del coste total de un satélite en función de su peso [1, 2].

Actualmente, con la evolución tecnológica y la incorporación del sector privado a la industria del espacio, existe una nueva tendencia enfocada principalmente hacia la reducción de costes, lo cual a su vez está derivando en un sector cada vez más abierto y consolidado, así como también en un mercado más competitivo que no sólo está al alcance de las grandes instituciones o corporaciones, sino del que también son partícipes pequeños grupos y empresas. Como parte de esta nueva tendencia, comenzó a surgir una generación de satélites de pequeño tamaño, con un peso menor de 50 kg, y comúnmente denominados, en función de su peso y

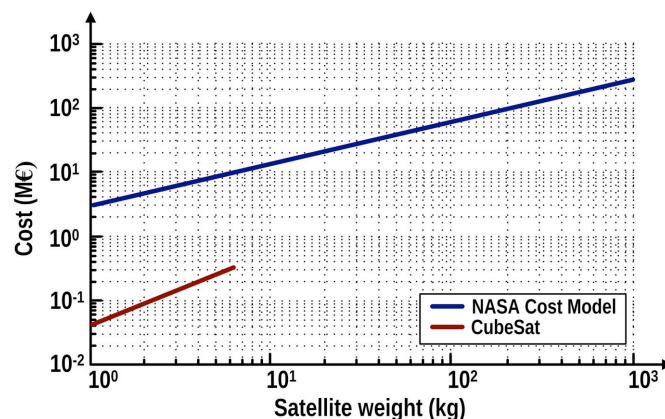


Fig. 1.1.: Estimación del coste total de un satélite en función de su peso [1, 2].

volumen, micro-, nano-, o incluso pico-satélites. Esta tendencia se puede observar claramente en la Fig. 1.2(a), donde se muestra el número de satélites con un peso entre 1 y 50 kg que han sido puestos en órbita en los últimos años, junto con la perspectiva esperada para los próximos años según el pronóstico realizado por la empresa SpaceWorks [3]. En la Fig. 1.2(b) también se muestra la distribución porcentual de estos satélites en función del sector de destino¹, destacando la creciente participación del mercado privado, el cual se espera que llegue a ser claramente dominante en los próximos años [3].

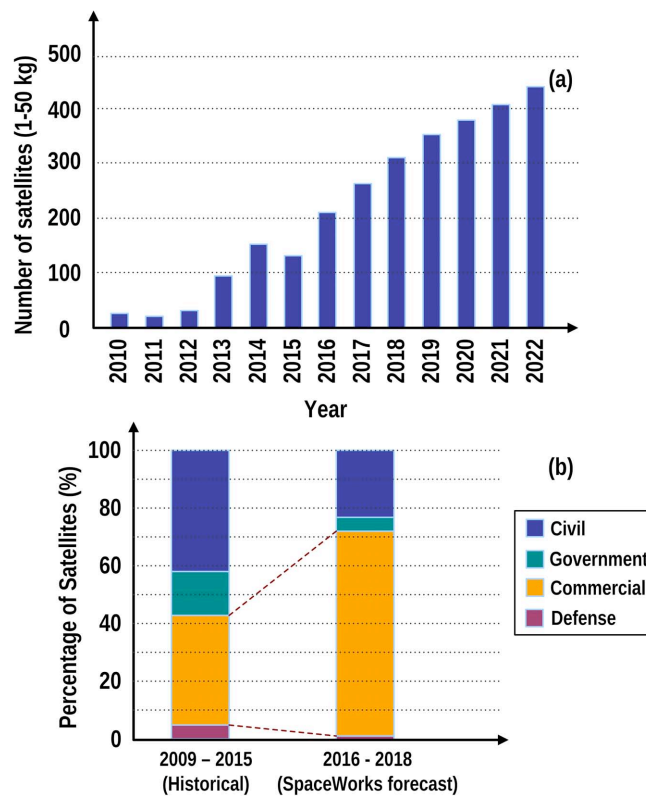


Fig. 1.2.: (a) Evolución y perspectivas de futuro, según el pronóstico de SpaceWorks Inc., del número de satélites puestos en órbita con un peso entre 1 y 50 kg. (b) Distribución por sectores [3].

Dentro de las estrategias llevadas a cabo para optimizar los costes, destacan aspectos tales como la estandarización, la modularidad y la configurabilidad de los sistemas implementados [4], lo que permite reducir de forma considerable no sólo los costes de lanzamiento, sino también los asociados a las fases de desarrollo y cualificación. Esto resulta especialmente beneficioso

¹ En la Fig. 1.2(b) se denotan como aplicaciones gubernamentales a todas aquellas aplicaciones no orientadas a defensa y que nacen a iniciativa de un gobierno o agencia gubernamental. Por otro lado, se denotan como aplicaciones civiles a todas aquellas que, pudiendo estar financiadas con fondos públicos, nacen como iniciativa de otra institución, como por ejemplo, un centro de investigación.

a medida que se desarrollan sucesivas versiones de un instrumento o equipo para aplicaciones similares. En la Fig. 1.3 se muestra un ejemplo que ilustra cómo el coste de un satélite de 5 kg se reduce a medida que su implementación está basada en diseños y componentes previos [2]. En este sentido, también cabe resaltar la plataforma de nano-satélites denominada CubeSat [5], ampliamente extendida en el ámbito científico y académico por ser una alternativa de muy bajo coste para llevar cargas útiles hasta la órbita baja terrestre, permitiendo caracterizar *in situ* el desarrollo de nuevas tecnologías e instrumentos para aplicaciones espaciales. El coste asociado a poner en órbita baja una unidad básica de un CubeSat, con un volumen de $10 \times 10 \times 10 \text{ cm}^3$ y un peso de 1.3 kg, es de aproximadamente 60000 euros (ver Fig. 1.1).

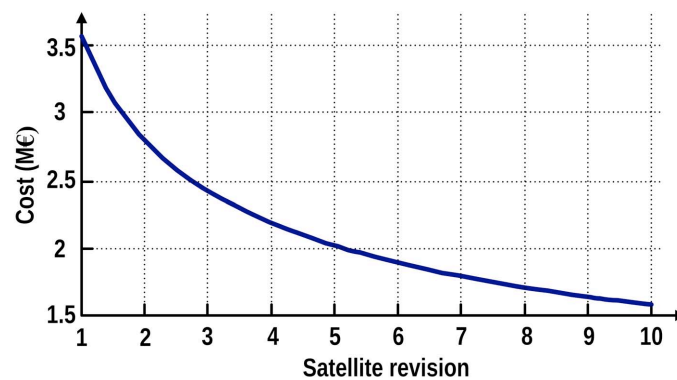


Fig. 1.3.: Coste de un satélite de 5 kg en función del número de revisiones previas [2].

Esta tendencia general implica el diseño de instrumentación espacial cada vez más miniaturizada y compacta, haciendo que la microelectrónica, con las consiguientes reducciones de peso y volumen, y sobre todo la microelectrónica en tecnologías de producción convencionales, con las consiguientes reducciones en los costes y tiempos de desarrollo, sea una alternativa cada vez más interesante y necesaria para este sector.

Esencialmente, los circuitos integrados para aplicaciones espaciales deben ser resistentes a los efectos de la radiación. Otros condicionantes añadidos se corresponden con rangos de temperatura de operación muy amplios, así como también aspectos mecánicos relacionados con el encapsulado, como por ejemplo, condiciones de vacío y resistencia a las vibraciones, los impactos y los ciclos térmicos, entre otros. Estas condiciones de operación, por un lado extremas y, por otro, remotas, implican la necesidad de alcanzar un grado de fiabilidad extremadamente elevado, tanto en lo referente a posibles errores eventuales en el funcionamiento, como a la posibilidad de un fallo permanente como consecuencia de una destrucción brusca o una degradación temprana de los dispositivos. Las exigencias impuestas por estos condicionantes adicionales son compartidas por otros entornos de operación, como es el caso de las aplicaciones asociadas a la instrumentación médica o científica, la instrumentación nuclear o de altas energías, así como en sistemas de aviación y defensa, entre otros.

Tradicionalmente, la microelectrónica para espacio se ha servido de procesos tecnológicos inherentemente robustos a la radiación. Entre ellos, cabe destacar la tecnología SOI (*Silicon On Insulator*) [6], las tecnologías de *triple-well* [7], así como también las tecnologías de capa enterrada y de capa epitaxial [8,9]. Las tecnologías basadas en Silicio-Germanio (SiGe) también han demostrado tener una inherente robustez frente a la radiación [10]. Sin embargo, el empleo de estas tecnologías conlleva algunos inconvenientes. Por un lado, estos procesos tecnológicos son, en general, considerablemente más caros que las tecnologías de producción convencionales. Si bien estos elevados costes eran asumibles en el pasado, gracias al fuerte apoyo de las agencias gubernamentales, actualmente la carga económica derivada de su empleo podría llegar a ser dominante y, por tanto, condicionar en gran medida el coste total del satélite. Por otro lado, su disponibilidad está limitada a un número muy reducido de *foundries*, a la vez que los procesos de exportación, por ser dispositivos robustos a la radiación, se encuentran muy regulados y restringidos. En términos de prestaciones, estas tecnologías suelen conllevar también un retraso de varias generaciones con respecto a las tecnologías convencionales más modernas.

Durante la última década, y coincidiendo con el auge de los satélites de pequeño tamaño, también ha surgido la tendencia a emplear componentes COTS (*Commercial Off-The-Shelf*) junto con circuitos integrados desarrollados en procesos tecnológicos estándar en los sistemas electrónicos para espacio, esencialmente por razones de coste, pero también por cuestiones de rapidez de desarrollo y de fiabilidad. Nace así, en lo relativo a los circuitos integrados, el concepto denominado *Radiation Hardening By Design* (RHBD) [11], consistente en un conjunto de técnicas de diseño de circuitos integrados en procesos tecnológicos estándar, que son aplicadas a nivel eléctrico y físico, y que están orientadas a aumentar el grado de resistencia a la radiación, tanto en lo referente a los errores eventuales, como a la fiabilidad y extensión de la vida útil de los dispositivos. Dado que actualmente las tecnologías de producción de circuitos integrados dominantes en el mercado son las tecnologías CMOS, resulta lógico que se tomen como punto de partida para el desarrollo de las técnicas RHBD.

La aplicación de técnicas RHBD en procesos tecnológicos CMOS estándar supone por tanto una solución de muy bajo coste para aplicaciones espaciales, permitiendo reducir en gran medida el peso y el volumen de la carga útil, a la vez que se consigue una mayor eficiencia en términos de prestaciones, consumo de potencia, y tiempos de desarrollo. En la actualidad, se pueden encontrar numerosas soluciones comerciales para la integración de sistemas electrónicos digitales mediante el empleo de FPGAs tolerantes a la radiación, las cuales han alcanzado un grado significativo de madurez tecnológica, siendo muy común su uso en aplicaciones espaciales [12, 13]. Sin embargo, no se encuentran soluciones COTS que sean igualmente eficientes para el caso de sistemas analógicos o de señal mixta, de forma que el uso de circuitos integrados de aplicación específica (ASICs) llega a ser obligatorio si se desea cumplir con los requisitos tan estrictos de masa y volumen de muchas de las misiones espaciales actuales.

En este sentido, cabe destacar dos líneas de actuación estratégicas en el campo de la microelectrónica para espacio que actualmente están siendo impulsadas tanto por la Unión Europea (UE) como por la Agencia Espacial Europea (ESA). Así, por un lado, el diseño de ASICs de señal mixta para aplicaciones espaciales con tecnologías CMOS europeas, está considerado como un objetivo de especial prioridad dentro del área de espacio del actual programa europeo de investigación y desarrollo Horizon 2020 [14]. Por otro lado, una de las líneas de investigación lideradas por la ESA en materia de microelectrónica es el desarrollo de los denominados ASICs estándar, también conocidos por sus siglas en inglés como ASSPs (*Application-Specific Standard Products*) [15], desarrollados con el objetivo de implementar en un circuito integrado funciones que son muy recurrentes y comunes en aplicaciones espaciales. El disponer de este tipo de dispositivos en tecnologías CMOS convencionales como soluciones abiertas al sector espacial permitiría reducir en gran medida los costes y los tiempos de diseño, de desarrollo y de testado de aplicaciones similares, suponiendo además un incremento en la fiabilidad de las mismas.

Tal y como se presentará con más detalle en las secciones siguientes, el marco de trabajo de esta tesis es precisamente el diseño de un ASIC de señal mixta para aplicaciones espaciales que, implementado en una tecnología CMOS estándar, lleve a cabo las funciones de *front-end* necesarias para la adquisición y acondicionamiento de señales de banda-base procedentes de sensores. Con objeto de asegurar que durante todo su ciclo de vida útil, el sistema implementado exhiba unos niveles muy altos de fiabilidad, así como también de estabilidad en sus prestaciones, se han aplicado un conjunto de técnicas RHBD durante todo el flujo de diseño del ASIC propuesto, extendiéndose tanto a la parte analógica como a la digital del ASIC, así como desde el nivel más bajo de abstracción, es decir, desde el nivel de *layout*, hasta el nivel de arquitectura.

Si bien el diseño propuesto y realizado tiene como primer objetivo implementar la electrónica de *front-end* del magnetómetro 3D digital que formará parte de la carga útil de la misión Mars MetNet (*Meteorological Network*), instrumento que se describe en detalle en la sección siguiente, la solución adoptada resulta de un compromiso de diseño que permite no sólo cumplir con las especificaciones requeridas para el magnetómetro, sino que maximiza la funcionalidad del ASIC diseñado como sistema de *front-end* genérico, con un grado alto de configurabilidad y robustez para que el sistema pueda adaptarse a otros sensores y/o futuras aplicaciones espaciales, reduciendo así el tiempo y los costes en el diseño de sistemas similares.

1.1.2. La misión Mars MetNet Precursor y el proyecto MEIGA

Los objetivos y líneas de trabajo planteadas en esta tesis doctoral se encuentran dentro del marco de tres proyectos del Plan Nacional de I+D+i, desarrollados por el grupo de investigación al que pertenece el autor. Dichos proyectos se denominan “*Diseño y testado de ASICs*”

para el espacio para la misión a Marte *MEIGA-MetNet Precursor*²”, y “*Diseño de circuitos integrados de señal mixta para aplicaciones espaciales*³”. El origen de estos proyectos surge de una colaboración entre el Instituto de Microelectrónica de Sevilla / Universidad de Sevilla (IMSE / US) [16, 17] y el Instituto Nacional de Técnica Aeroespacial (INTA) [18], con el principal objetivo de diseñar, fabricar y testar dos ASICs de señal mixta para la instrumentación científica que formará parte de la carga útil de la misión Mars MetNet Precursor. A más largo plazo, el objetivo es el de seguir avanzando en la explotación de los resultados obtenidos y de los conocimientos adquiridos, incidiendo principalmente en el diseño de circuitos integrados en tecnologías CMOS para futuras misiones espaciales. En este sentido, actualmente se sigue colaborando con el INTA, así como también con el Centro de Astrobiología [19], entre otras instituciones, en el diseño de nuevos ASICs que formarán parte de la carga útil de otras futuras misiones espaciales. Entre ellas, cabe destacar el instrumento MEDA (*Mars Environmental Dynamics Analyzer*), que formará parte del nuevo Rover en la misión Mars 2020 de la NASA [20], y el instrumento SIS (*Solar Irradiance Sensor*), que formará parte de la carga útil en la segunda fase de la misión ExoMars, liderada por las agencias espaciales de Europa y Rusia (ESA y Roscosmos, respectivamente) [21].

La misión Mars MetNet comenzó su andadura en el año 2000, en un consorcio formado por el Instituto de Investigaciones Espaciales de la Academia de Ciencias de la Federación Rusa (IKI), y el Instituto Meteorológico de Finlandia (FMI). En el año 2007, tras un acuerdo entre el FMI y el INTA, la misión pasó a ser trilateral, con la incorporación de España al consorcio. Como parte de este acuerdo, se le asignó a España un 20 % de la carga útil para la incorporación de su propio instrumental científico.

Los principales objetivos científicos de esta misión son, por un lado, analizar la dinámica atmosférica y ambiental de Marte, y también su interacción con la superficie del planeta. Por otro lado, también se pretende estudiar cómo fue el pasado y la evolución de su campo magnético. Si bien Marte no tiene actualmente un campo magnético global significativo (la intensidad media es inferior a 5 nT), los datos obtenidos por las sondas espaciales Mars Express y Mars Global Surveyor evidenciaron la presencia de anomalías magnéticas en su superficie. Estas anomalías, hasta un orden de magnitud más intensas que las que se encuentran en la Tierra, están asociadas principalmente a mecanismos de magnetización térmica remanente de los minerales de la superficie, y sugieren que Marte tuvo en el pasado un campo magnético global, el cual dejó de actuar hace, aproximadamente, 4500 millones de años [22]. La presencia de estas anomalías también sugiere la formación de pequeñas magnetosferas que tienden a reducir en su zona de actuación los niveles de radiación incidente, especialmente la procedente de los vientos solares [22]. De esta forma, la misión Mars MetNet pretende estudiar el campo magnético remanente que se encuentra presente en los minerales de la superficie, y cómo este fluctúa por efecto de los gradientes térmicos y la presencia de los vientos solares. En este

²Referencias: AYA2008-06420-C04-02 y AYA2009-14212-C05-04

³Referencia: AYA2011-29967-C05-05

sentido, cabe destacar que será la primera vez que un instrumento realice medidas del campo magnético desde la propia superficie del planeta [23, 24].

Si bien la primera fase del proyecto consistirá en desplegar una única sonda meteorológica, la *Precursor*, el siguiente objetivo será el de desplegar, al menos, otras 15 sondas más distribuidas en diversos puntos estratégicos del planeta, lo que permitirá disponer de información más precisa y detallada del magnetismo y la climatología marciana a nivel global.

En la Fig. 1.4(a) se muestra una imagen representativa del proceso de amortizaje de la sonda MetNet, a bordo del módulo denominado MetNet Lander [25]. Este módulo es otra de las principales novedades tecnológicas asociadas a esta misión, al hacer uso de estructuras inflables durante las fases de entrada y descenso. Así, al inicio de la fase de entrada a la atmósfera marciana, el módulo desplegará un primer escudo térmico inflable, reduciéndose la velocidad de entrada, aproximadamente, desde los 35000 hasta los 1000 km/h, momento en el que comenzará la fase de descenso con el desprendimiento del escudo térmico y el despliegue de un segundo escudo inflable para estabilizar la sonda y reducir su velocidad durante el descenso. De esta forma, la sonda impactará contra el suelo a una velocidad aproximada de 200 km/h, de forma que parte de ella penetrará en la superficie, finalizando el amortizaje con el despliegue de la instrumentación científica.

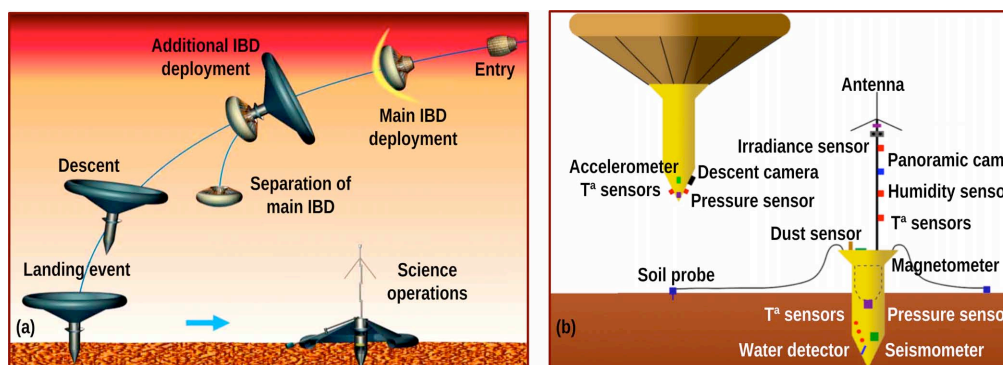


Fig. 1.4.: (a) Esquema representativo del amortizaje de la misión Mars MetNet. (b) Instrumental científico de la carga útil [25].

Tal y como se muestra en la Fig. 1.4(b), la carga útil se distribuye en tres zonas bien diferenciadas [25]. En primer lugar, la sonda incorpora un mástil que alberga la antena de comunicaciones junto con diversos instrumentos entre los que se incluyen sensores de irradiancia solar, humedad, viento, presión y temperatura, además de una cámara CCD (*Charge-Coupled Device*) panorámica. En la zona inferior, incluyendo la parte de la sonda que penetra en la superficie, se encuentran diversos sensores de temperatura, humedad y presión, así como también un acelerómetro, un sensor de polvo depositado y un sismómetro. Finalmente, la carga útil también despliega dos brazos adicionales que incluyen un magnetómetro digital triaxial, y

un instrumento para la medida de la composición y las propiedades del suelo.

Toda la contribución española asociada a la misión MetNet se encuentra englobada dentro del consorcio denominado MEIGA (*Mars Environmental Instrumentation for Ground and Atmosphere*) [26,27], liderado por el INTA, y en el que también participan, además del grupo de investigación al que pertenece el autor en el Instituto de Microelectrónica de Sevilla (CSIC - Universidad de Sevilla), la Universidad Complutense de Madrid [28], la Universidad Carlos III de Madrid [29], y la Universidad Politécnica de Cataluña [30]. En términos de instrumentación científica, la contribución española se traduce en el desarrollo de los siguientes componentes de la carga útil [25,31]:

- MetSIS: este instrumento tiene como objetivo realizar medidas del nivel de irradiancia solar para diferentes longitudes de onda. Con una especificación de peso de aproximadamente 125 g y de 0.5 W para el consumo de potencia, este sensor incluye 32 canales ópticos trabajando en 11 bandas espectrales, dos sensores de temperatura, y dos detectores para medir el ángulo de incidencia de la radiación solar. La disposición del sensor en el mástil extensible de la sonda conllevaba un problema importante, ya que no era físicamente posible rutar todo el cableado necesario para la transmisión de los datos, habiendo espacio únicamente para el rutado de los cables de alimentación. De esta forma, la solución adoptada fue la de implementar un canal de comunicaciones inalámbrico para la transmisión de datos entre el sensor y la unidad central de procesamiento de datos (DPU) de la sonda, situada en la parte inferior. Este enlace de comunicaciones se implementará mediante el diseño de un ASIC de señal mixta, denominado OWLS (*Optical Wireless Link for intra-Spacecraft communications*), que implementa las funciones de un transceptor inalámbrico para comunicaciones ópticas basadas en luz difusa [32,33].
- MOURA: el objetivo de este instrumento es el de implementar un magnetómetro digital triaxial para medir la dirección e intensidad del campo magnético incidente con una resolución del orden de los nanoTeslas (nT), y para un rango de medida de hasta ± 100 μ T. Adicionalmente, este instrumento también realizará medidas de temperatura, así como de orientación gravitacional mediante el empleo de acelerómetros. Los requisitos de masa (~ 80 g), volumen ($\sim 150 \times 30 \times 15$ mm) y potencia (< 0.5 W), son también muy estrictos para este instrumento, lo cual condiciona en gran medida el tipo de sensor a emplear, y también todo lo relativo a la electrónica de *front-end*. Por este motivo, tal y como se verá en la sección siguiente y también a lo largo del presente trabajo de tesis, este instrumento se implementará con sensores basados en magnetorresistencia anisotrópica (AMR), como alternativa más pequeña, ligera y de menor coste, y también más eficiente en términos de potencia, que los sensores de tipo *fluxgate*, los cuales han sido tradicionalmente la solución más empleada para la medición de campos magnéticos en aplicaciones espaciales. Estos condicionantes tan estrictos también implican la necesidad de emplear tecnologías integradas para la implementación de la electrónica

de *front-end*, recurriendo al diseño de otro ASIC de señal mixta para las funciones de adquisición y acondicionamiento de las señales procedentes de los sensores AMR, y de otras funciones adicionales para las medidas de temperatura y de orientación gravitacional [22].

- DDS: este instrumento tiene como principal objetivo caracterizar las propiedades, en términos de distribución de densidad y tamaño, de las partículas de polvo en suspensión procedentes de la superficie, alcanzando una resolución aproximada de 10 partículas/cm³. Adicionalmente, también realizará medidas de temperatura y analizará las concentraciones de monóxido de carbono, dióxido de carbono y vapor de agua, presentes en la atmósfera. El peso especificado para este instrumento es de, aproximadamente, 50 g [34].

La contribución del IMSE al proyecto MEIGA se puede dividir en tres objetivos principales:

1. El primer hito incluye todo lo relativo al proceso de caracterización y “acondicionamiento” para aplicaciones espaciales de la tecnología CMOS seleccionada, como paso previo a la implementación de los ASICs que formarán parte de la carga útil de MEIGA. La tecnología seleccionada es el proceso CMOS estándar de 0.35 μm de AMS (Austria-MicroSystems)⁴. La consecución de este objetivo requirió el diseño de tres ASICs como vehículos de test para la caracterización, frente a la radiación y en un rango de temperaturas extendido, de los diversos dispositivos electrónicos disponibles en la tecnología, incluyendo transistores MOS de óxido fino y grueso, estructuras bipolares, resistencias, condensadores, y también una librería de celdas digitales. También se caracterizaron transistores MOS con geometrías de *layout* especialmente orientadas a incrementar su robustez frente a ciertos efectos asociados con la radiación, así como celdas digitales con diversas arquitecturas y geometrías de *layout rad-hard*. Como parte de esta fase del proyecto, también se alcanzaron los siguientes objetivos [35–37]:
 - a) Implementación de celdas parametrizables (*pcell*) para los transistores MOS con geometrías *rad-hard*, incluyendo también sus modelos eléctricos. Este punto también implicó la adaptación del kit de diseño proporcionado por la *foundry* (PDK), incluyendo rutinas para la determinación de la anchura efectiva de los transistores y modificaciones en los *scripts* del flujo de diseño, tanto para las extracciones a partir del *layout* (PEX), como para las verificaciones (LVS), y para la inclusión de reglas de diseño de *layout* adicionales (DRC).
 - b) Primera versión de una librería digital *rad-hard* incluyendo los modelos eléctricos de las celdas y la información necesaria para su empleo con herramientas de síntesis y *place-and-route* automático.
 - c) Adquisición de experiencia en los procesos y procedimientos de cualificación de circuitos integrados para espacio, y también en el diseño e implementación de los

⁴En la sección 4.2 se justificarán los motivos por los que se ha seleccionado este proceso tecnológico.

sistemas de test asociados.

2. El segundo hito se corresponde con el diseño, fabricación, testado y cualificación para espacio del ASIC OWLS para el instrumento MetSIS, con objeto de implementar el enlace de comunicaciones ópticas entre el sensor de irradiancia solar y la DPU de la sonda. Los componentes principales de este ASIC son los módulos de transmisión y recepción, junto con la interfaz digital. Adicionalmente, el ASIC también dispone de un banco de filtros programable con objeto de permitir comunicaciones tanto en banda base como modulaciones con portadora. En [33] se puede encontrar información más detallada de todo lo relativo al diseño de este ASIC.
3. El tercer hito asociado con el proyecto MEIGA se corresponde con el diseño, fabricación, testado y cualificación para espacio del ASIC de *front-end* para el instrumento MOURA. Las contribuciones y objetivos del presente trabajo de tesis se centran precisamente en todo lo relativo a este ASIC, de forma que serán desgranados en detalle a lo largo de todo el texto. En la sección siguiente se comienza con los objetivos planteados.

1.2. Motivación y retos

Tal y como se ha introducido en la sección anterior, las contribuciones del presente trabajo de tesis están focalizadas en el tercer hito asociado a la participación del IMSE en el proyecto MEIGA, es decir, en la integración de la electrónica de *front-end* del magnetómetro MOURA en un ASIC de señal mixta. La Tabla 1.1 contiene un resumen de las prestaciones y requisitos planteados para este instrumento. De esta forma, con el ASIC diseñado en la tecnología CMOS seleccionada, en combinación con el empleo de sensores AMR como alternativa al uso de magnetómetros *fluxgate*, se consigue cumplir con los estrictos requisitos, en términos de masa, volumen y consumo de potencia, del instrumento MOURA. No obstante, también se deberá hacer frente a ciertos inconvenientes.

Con respecto al ASIC, además de las dificultades, requisitos y compromisos tecnológicos habituales, inherentes al diseño de un circuito integrado de señal mixta, se han de añadir los condicionantes asociados a las condiciones extremas de operación.

Si bien la caracterización de la tecnología en términos de radiación y temperatura (realizada como hito previo a este trabajo, y llevada a cabo sobre los dispositivos básicos de la tecnología CMOS seleccionada) permite afrontar el diseño del ASIC con un cierto nivel de seguridad, la mayor complejidad de un ASIC de señal mixta completo en relación a las celdas básicas, junto con la ausencia de información por parte del fabricante del proceso tecnológico para estas condiciones de operación, implican un nivel de incertidumbre relativamente importante.

Por otro lado, aunque en la literatura se pueden encontrar diversos trabajos, principalmente reportados durante la última década, en los que en cierta medida se puede confirmar la via-

Tabla 1.1.: Resumen de los requisitos planteados para el instrumento MOURA.

MOURA 3D Digital Magnetometer		
Parameter	Units	Description
Sensor	-	HMC-10xx AMR sensors from Honeywell Inc.
Max. range	μT	± 100
Max. resolution	nT	3
Bandwidth	Hz	> 30
Dimensions	mm	150x30x15
Mass	g	80
Supply Voltage	V	3.3 : 5
Power consumption	W	< 0.5
T ^a operating range	°C	-90 : 125
T ^a non-operating range	°C	-135 : 150
TID tolerance	krad	> 50
SEL threshold	MeV·cm ² /mg	> 70

bilidad de los circuitos integrados CMOS para aplicaciones espaciales, la dependencia de los efectos de la radiación con el proceso tecnológico CMOS empleado y con las condiciones de radiación, entre otros aspectos, junto con la diversidad de aplicaciones, funcionalidades y especificaciones para los circuitos integrados reportados, hacen que esta hipótesis no pueda considerarse confirmada desde un punto de vista absoluto, más aún teniendo en cuenta el alto grado de especificidad de las técnicas RHBD más habituales, las cuales son, en general, eficientes únicamente frente a ciertos efectos asociados con la radiación.

Con respecto a los inconvenientes derivados del empleo de sensores AMR, cabe destacar el error de linealidad, y también una variación significativa del *offset* y de la sensibilidad del sensor con la temperatura. Esto último resulta especialmente crítico en entornos de operación con rangos de temperatura extendidos, como es el caso del presente trabajo.

De esta forma, además del objetivo principal y más tangible de este trabajo de tesis, correspondiente a la contribución al instrumento MOURA con el ASIC de *front-end*, también se pretenden alcanzar los siguientes objetivos colaterales:

- Proponer una arquitectura de *front-end* que, implementada en un área de silicio razonable, permita hacer uso de todas las capacidades y funcionalidades disponibles en los sensores AMR, así como optimizar sus prestaciones, principalmente en lo referente a linealidad y estabilidad con la temperatura.
- En paralelo con el punto anterior, el ASIC diseñado deberá hacer frente a las condiciones extremas de operación, lo cual implica la implementación de soluciones robustas y funcionalidades adicionales, como por ejemplo, la incorporación de sistemas de monitorización en temperatura, de detección de errores, así como funciones de calibración

durante la operación. Como parte de este objetivo, se aplicarán diversas técnicas RHBD a lo largo de todo el flujo de diseño, lo cual permitirá, por un lado, evaluar, para el caso concreto de la tecnología CMOS seleccionada, la eficiencia de las técnicas RHBD ya existentes y, por otro, proponer nuevas técnicas RHBD principalmente orientadas a la implementación de topologías robustas para los convertidores A/D. En este sentido, cabe resaltar que el término robusto hace referencia aquí no sólo al hecho de que el ASIC permanezca funcional, sino que además sus prestaciones se mantengan estables, por ejemplo, frente a la radiación, durante todo el ciclo de vida útil.

- Siguiendo las necesidades y tendencias actuales de la microelectrónica de espacio descritas en la sección 1.1.1, el ASIC propuesto también tiene como objetivo proporcionar una solución con un grado muy alto de configurabilidad, de forma que pueda adaptarse, como si de un sistema estándar se tratara, a muchas de las necesidades actuales en instrumentación espacial que requieren una solución compacta y robusta para la implementación de sistemas de adquisición y acondicionamiento de señales de banda base procedentes de sensores. Esto permitiría reducir en gran medida los costes y los tiempos de diseño, de desarrollo y de testado de aplicaciones similares, suponiendo además un incremento en la fiabilidad de las mismas. Este objetivo es extrapolable a cada uno de los bloques IP (*Intellectual Property*) individuales que constituyen el ASIC.
- Junto con el ASIC OWLS para el instrumento MetSIS, este es el primer ASIC de señal mixta que se desarrolla dentro del grupo de investigación para aplicaciones espaciales, es decir, en el que se emplean transistores con geometrías de *layout* especialmente orientadas a mitigar los efectos de la radiación, así como una segunda versión optimizada de la librería digital *rad-hard*, entre otras técnicas RHBD. De esta forma, el diseño de este ASIC servirá como vehículo de test para la verificación del flujo de diseño, lo cual permitirá afianzar los hitos alcanzados durante la fase previa de caracterización y acondicionamiento de la tecnología. En este sentido, se contrastará la correspondencia entre los resultados experimentales y los modelos eléctricos de los transistores y las celdas digitales *rad-hard*, y también se evaluará el nivel de robustez frente a la radiación de la nueva librería digital *rad-hard*.
- Por último, el afianzamiento del flujo de test y de los procesos de cualificación para espacio a partir del ASIC diseñado, y especialmente en lo referente a la radiación, constituye una parte importante de los objetivos planteados.

1.3. Estructura de la tesis

La memoria de esta tesis se divide en seis capítulos. El segundo capítulo está dedicado al análisis de los principales efectos y fuentes de degradación de la estructura MOS como consecuencia de su exposición a la radiación, junto con las diversas opciones reportadas en la

literatura, tanto tecnológicas como de diseño, orientadas a mitigar dichos efectos. También se presentará un resumen de los principales resultados experimentales, obtenidos por el grupo de investigación, de la caracterización frente a la radiación y en un rango de temperaturas extendido, del proceso tecnológico CMOS seleccionado, junto con resultados proporcionados por otros autores en procesos tecnológicos similares.

En el tercer capítulo se presenta, en primer lugar, una descripción detallada de los sensores AMR empleados en el instrumento MOURA, con especial énfasis en el modelado de las no idealidades y en el estudio de las diferentes estrategias de polarización y acondicionamiento de los sensores con objeto de optimizar sus prestaciones. Seguidamente, se presentarán las arquitecturas de *front-end* comúnmente empleadas para la implementación del sistema de medida, analizando las ventajas y los inconvenientes que finalmente justifican el uso de la arquitectura propuesta.

El cuarto capítulo está dedicado a la descripción detallada del ASIC de señal mixta que implementa la electrónica de *front-end* del magnetómetro MOURA siguiendo la arquitectura propuesta en el capítulo anterior. Para ello, se comienza con una descripción general del ASIC, junto con un resumen de las especificaciones de diseño planteadas. A continuación, se presenta el diseño detallado de cada uno de los sistemas propuestos, incluyendo los compromisos de diseño y los resultados de simulación más significativos, así como también las diversas opciones de configuración disponibles, y las técnicas RHBD empleadas a lo largo del flujo de diseño con objeto de hacer frente a las condiciones extremas de operación. También se muestran las diversas opciones implementadas en el ASIC para llevar a cabo un acondicionamiento apropiado de los sensores AMR, junto con otras funcionalidades adicionales para el test y la calibración del sistema.

A continuación, el capítulo quinto se centra en la verificación experimental del ASIC propuesto y en su cualificación para espacio. Para ello, se presenta en primer lugar la metodología de test llevada a cabo, junto con los resultados experimentales de las prestaciones del ASIC en condiciones típicas de laboratorio. Seguidamente, se presentan los resultados experimentales de la evolución de dichas prestaciones en un rango de temperaturas extendido, así como también frente a la radiación, lo cual incluye la evaluación de los efectos acumulativos, asociados a la dosis total de ionización (TID), como a los eventos singulares (SEEs), asociados al impacto de partículas altamente energéticas. Al final de este capítulo se presentará un análisis comparativo de los resultados obtenidos, con objeto de contextualizar las contribuciones propuestas en este trabajo de tesis en el ámbito del estado del arte.

En el capítulo sexto se exponen las conclusiones del presente trabajo de tesis, junto con un apartado dedicado a las líneas de trabajo futuro. Finalmente, en el anexo A se incluye el *datasheet* del ASIC y, en el anexo B, se presenta un listado de las publicaciones realizadas en revistas y congresos, y que están asociadas a este trabajo.

2. Efectos de la radiación en tecnologías CMOS

2.1. Introducción

Los entornos especialmente agresivos en términos de radiación y temperatura afectan a la correcta funcionalidad de los sistemas electrónicos que operan en estos ambientes. Estas condiciones de operación se pueden encontrar en diversos campos, destacando las aplicaciones aeroespaciales y de aviación, la instrumentación nuclear y de altas energías, así como las aplicaciones militares, médicas, y las asociadas con centrales nucleares. En estos casos, resulta necesario definir especificaciones y requisitos adicionales como parte del flujo de diseño y verificación de los sistemas, con objeto de asegurar tanto la fiabilidad como la estabilidad de las prestaciones durante la operación en estos entornos.

Por otro lado, tal y como se verá a lo largo de este capítulo, la creciente miniaturización de los dispositivos electrónicos lleva consigo un incremento de su sensibilidad a ciertos aspectos asociados con la radiación, lo cual implica que incluso en ambientes no considerados especialmente extremos en términos de radiación, como por ejemplo, en un entorno típico a nivel del mar, la probabilidad de un error inducido por el impacto de una partícula poco energética es cada vez mayor [38, 39]. De esta forma, los condicionantes de diseño y la aplicación de técnicas orientadas a incrementar la robustez frente a la radiación, y que tradicionalmente eran específicos de aplicaciones y/o entornos de operación concretos, se están extendiendo al diseño de sistemas para entornos convencionales, incluyendo también aquí a la electrónica de consumo [40]. Además, todo indica que esta tendencia irá aumentando debido al progresivo escalado tecnológico.

El espacio exterior es uno de los entornos con las condiciones de operación más extremas. En la Tabla 2.1 se muestra un resumen de las condiciones ambientales, en términos de radiación y temperatura, para diversas regiones asociadas al Sistema Solar [41]. Para el caso de la superficie de Marte, entorno de operación del instrumento MOURA, se estima que la radiación total recibida por la electrónica en una misión de 5 años de duración estaría en torno a 50 krad, con variaciones térmicas entre -130 y 20 °C. Otros entornos de operación típicos en aplicaciones espaciales se corresponden con las posibles órbitas alrededor de la Tierra, delimitadas por la presencia de los cinturones de radiación de Van Allen. Estas regiones están caracterizadas

Tabla 2.1.: Datos de radiación y temperatura para diversas regiones del Sistema Solar [41].

	Radiation	Temperature		
	Total dose/year (krad)	Minimum (°C)	Average (°C)	Maximum (°C)
Mercury	100 - 200	-193	167	426
Venus	20	-	464	-
Earth (LEO)	1			
Earth (MEO)	2 - 2000	-150	-	150
Earth (GEO)	30			
Earth	$3 \cdot 10^{-4}$	-89	14	57
Moon	10	-230	-53	120
Mars	10	-130	-65	20
Jupiter	3000	-143	-110	> 1000
Saturn	30	-140	-	> 1000
Uranus	10	-224	-197	> 1000
Neptune	10	-218	-201	> 1000
Pluto	1- 10	-	-223	-

por la presencia de partículas cargadas debido a la interacción del campo magnético terrestre con la radiación, tanto solar como cósmica. El cinturón de radiación interno se caracteriza principalmente por la presencia de protones con energías del orden de los MeV, afectando principalmente a los satélites situados en órbita baja (LEO). Para el caso del cinturón externo, son los electrones, también con energías del orden de los MeV, las partículas dominantes, pudiendo afectar a los satélites situados en órbita geostacionaria (GEO). Los satélites situados en órbita media (MEO) se pueden ver afectados por la presencia de ambos cinturones, así como también por la circulación de partículas cargadas entre ambas regiones, pudiendo sufrir niveles de radiación anuales de hasta 2 Mrad.

Por otro lado, hay que tener en cuenta que las condiciones ambientales en el espacio no son estacionarias, de forma que los resultados reportados en la Tabla 2.1 se corresponden únicamente con valores estimados. Así, la dinámica solar, tanto a largo plazo, por efecto de los ciclos solares, como a corto plazo, por efecto de los vientos y tormentas solares, entre otros fenómenos, tienen una influencia considerable en el nivel de radiación recibido en cada región del Sistema Solar en un determinado momento. Algo similar ocurre para el caso de la radiación cósmica. En general, los rayos cósmicos están caracterizados por un flujo de baja magnitud pero altamente energético, compuesto principalmente por diferentes especies de hidrógeno y helio, así como también de iones pesados. Los diferentes eventos presentes a escala galáctica, así como también los ciclos solares, tienen una cierta influencia sobre el nivel de radiación cósmica que incide sobre las diversas regiones del Sistema Solar.

Dado que uno de los hitos propuestos en este trabajo de tesis es el diseño e implementación de

un ASIC de señal mixta en una tecnología CMOS estándar, con objeto de realizar funciones de adquisición y acondicionamiento de señales procedentes de sensores en un ambiente con condiciones extremas, como es la superficie de Marte, este capítulo tiene como principal objetivo evaluar cuáles son los efectos que la radiación produce en las tecnologías CMOS convencionales, así como un análisis de las principales técnicas presentes en la literatura orientadas a mitigar dichos efectos.

Para ello, en la sección 2.2 se realiza una introducción de los principios físicos fundamentales asociados a la interacción radiación-materia, definiendo ciertos conceptos y terminología que será empleada a lo largo del texto. La sección 2.3 se centra en el análisis de las principales fuentes de degradación de la estructura MOS como consecuencia de su exposición a la radiación, mientras que en la sección 2.4 se presentan las principales técnicas presentes en la literatura, tanto tecnológicas como de diseño, orientadas a mitigar estos efectos. En la sección 2.5 se presenta un resumen de los principales resultados experimentales obtenidos por el grupo de investigación durante la caracterización, frente a la radiación y en un rango de temperaturas extendido, del proceso tecnológico CMOS seleccionado. En esta sección también se analizan los resultados reportados por otros autores, orientados al diseño y caracterización frente a la radiación de sistemas de *front-end* para aplicaciones espaciales, y con procesos tecnológicos CMOS similares al empleado en este trabajo de tesis. Finalmente, en la sección 2.6 se presentan las conclusiones de este capítulo.

2.2. Interacción radiación-materia

Tal y como se mostrará a lo largo de este capítulo, los efectos asociados con la exposición a la radiación de transistores implementados en una tecnología CMOS, causantes de una degradación gradual, así como de la inducción de errores de forma eventual, tienen su origen en la generación de procesos de ionización en ciertas regiones especialmente sensibles de la estructura MOS. Estos procesos de ionización se pueden producir mediante diversos mecanismos en función del tipo y energía de la radiación incidente, así como también en función de las propiedades del material sobre el que incide [42, 43].

Para el caso de partículas con carga, la cesión de energía se produce principalmente a través de interacciones coulombianas con los electrones y núcleos del material. La interacción con los electrones, también denominada dispersión elástica de Coulomb o dispersión de Rutherford, provoca la inducción de procesos por ionización directa, mientras que la interacción coulombiana con núcleos provoca principalmente la inducción de procesos de pérdida de energía no ionizante, como por ejemplo, el desplazamiento atómico. No obstante, para el caso de iones pesados o partículas cargadas altamente energéticas, la interacción con núcleos también puede provocar procesos de ionización mediante mecanismos indirectos, debido a la generación de partículas secundarias.

Con respecto a los neutrones, los principales mecanismos de cesión de energía se corresponden con reacciones nucleares asociadas a colisiones tanto elásticas como inelásticas, siendo el desplazamiento atómico el principal efecto inducido. En ambos casos también se producen mecanismos secundarios que inducen procesos de ionización indirecta.

Por último, la interacción con fotones tiene como consecuencia la generación de electrones secundarios capaces de inducir procesos de ionización. Según la energía del fotón incidente y del tipo de material sobre el que incide, se pueden dar diversas interacciones. En general, cuando el fotón tiene una energía baja será absorbido por efecto fotoeléctrico, mientras que para energías intermedias será el efecto Compton el que domine. Finalmente, para fotones de alta energía, generalmente por encima de 1.02 MeV, la generación de pares e^-/h^+ por ionización indirecta llega a ser considerable.

La pérdida de energía ionizante se mide mediante la denominada **transferencia lineal de energía o LET** (*Linear Energy Transfer*), que mide la cantidad de energía por unidad de longitud cedida al material por la partícula incidente y que viene dada por la siguiente expresión:

$$LET = -\frac{1}{\rho_m} \cdot \frac{dE}{dx} \quad (2.1)$$

donde ρ_m es la densidad del material, E es la energía de la partícula incidente, y x la unidad de longitud del camino recorrido por la partícula. Al término $-dE/dx$ se le denomina **potencia de frenado**, y viene dada por la siguiente expresión [44]:

$$-\frac{dE}{dx} = 2 \cdot \xi \cdot q^4 \cdot Z_1^2 \cdot Z_2 \cdot \frac{\rho_m}{m_1} \cdot \frac{1}{E} \cdot \ln\left(\frac{4 \cdot E}{E_{eh}}\right) \quad (2.2)$$

donde Z_1 y Z_2 son, respectivamente, los números atómicos de la partícula incidente y del material objeto (supuesto constituido por un único elemento), m_1 y E son, respectivamente, la masa atómica y la energía cinética de la partícula incidente, E_{eh} es el potencial de ionización del material, q es la carga del electrón, y ξ es el coeficiente de frenado del material, el cual crece ligeramente con la energía. Una expresión más simple para el silicio ha sido obtenida experimentalmente en [45]:

$$-\frac{dE}{dx}\Big|_{Si} = \frac{80}{(v/c)^2} \left[\frac{J}{m} \right] \quad (2.3)$$

donde c es la velocidad de la luz y v la velocidad de la partícula incidente.

La expresión en (2.2) pone de manifiesto que la LET es función tanto del material objeto como del elemento y energía de la partícula incidente. En aproximaciones de mayor orden, la LET también depende de la temperatura y de los campos eléctricos y/o magnéticos que puedan existir en el material sobre el que incide la partícula. En general, la LET permanece con un valor relativamente constante en la mayor parte de la trayectoria recorrida por la partícula a través del material, y es sólo una vez que ésta ha perdido la mayor parte de su energía, cerca

del valor máximo de profundidad de penetración, cuando se observa un fuerte incremento de la LET para después disminuir bruscamente hasta 0, formando lo que se conoce como el pico de Bragg. En la Fig. 2.1 se muestra un ejemplo [46] de la LET medida en función del camino recorrido a través del material, y asociada a distintas especies de iones incidiendo sobre el silicio con el mismo ángulo y la misma energía (16 MeV).

Tal y como se aprecia en la Fig. 2.1, un haz de radiación con una LET alta perderá su energía rápidamente, de forma que su capacidad de penetración será muy baja, depositando toda su energía en una zona muy localizada. En cambio, un haz con una LET pequeña, tendrá una capacidad de penetración mayor y depositará su energía más lentamente, de forma que la carga generada estará menos localizada.

A partir de (2.1) se puede obtener la energía depositada por la partícula incidente en el material mediante la siguiente expresión:

$$E_{dep} = LET \cdot l \cdot \rho_m \quad (2.4)$$

donde la LET se ha supuesto constante a lo largo de su camino a través del material, y l es la longitud del camino recorrido por la partícula dentro del material. La cantidad de carga creada por la partícula, en función de la LET, viene dada mediante la siguiente expresión:

$$Q_{gen} = q \cdot \frac{E_{dep}}{E_{eh}} = q \cdot \frac{LET \cdot l \cdot \rho_m}{E_{eh}} \quad (2.5)$$

donde E_{eh} es la energía de ionización del material expuesto a la radiación (3.6 eV para el

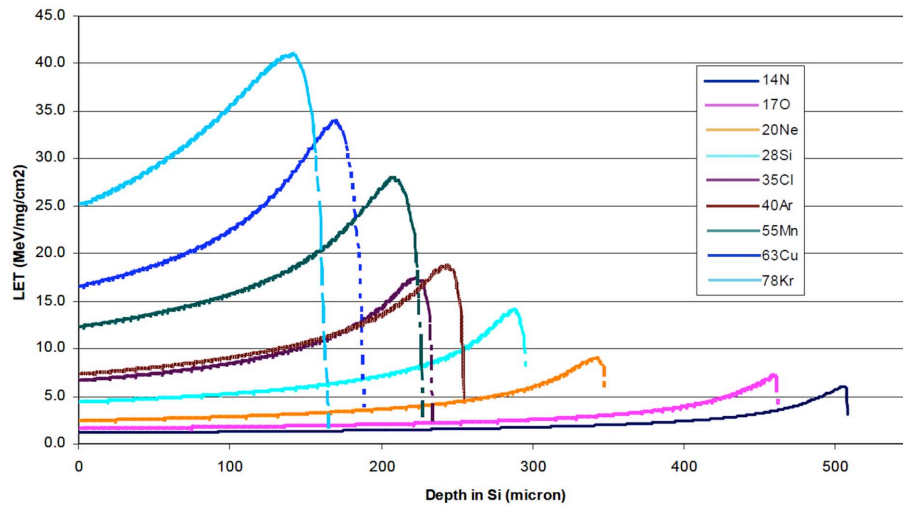


Fig. 2.1.: Medidas de la LET en el silicio en función de la profundidad de penetración para el caso de diversas especies de iones incidiendo con una energía de 16 MeV [46].

silicio¹).

A la hora de caracterizar las radiaciones ionizantes sobre un material, resulta común trabajar con los parámetros denominados dosis de ionización y fluencia. La **fluencia (f)** se define como el número de partículas que inciden sobre el dispositivo por unidad de área y en un periodo de tiempo determinado. La **dosis de ionización (D)** se define como la energía total por unidad de masa del material que es depositada mediante procesos de ionización, y se obtiene multiplicando la LET por la fluencia del haz de radiación:

$$D = LET \cdot f = \frac{dE}{dm} \quad (2.6)$$

La unidad de medida de la dosis es el rad (1 rad = 100 erg/g = 0.01 J/Kg). Tal y como se aprecia en (2.6), a medida que la fluencia aumenta, la dosis aplicada es mayor. Se denomina **tasa de dosis (DR)** a la dosis de radiación aplicada sobre un dispositivo en la unidad de tiempo:

$$DR = \frac{dD}{dt} \quad (2.7)$$

A la vista de las expresiones (2.6) y (2.7), se puede apreciar que, variando los distintos parámetros de ambas expresiones, se puede inyectar una misma dosis a un dispositivo de diversas formas. Así, por ejemplo, se puede aplicar una tasa de dosis muy baja durante un largo tiempo o, por el contrario, aplicar una tasa de dosis muy alta durante un tiempo muy corto. Si además se dispone de distintos haces de partículas (cada uno de ellos con una LET sobre el material distinta), y se aplican con distintas fluencias, se dispone de numerosas variantes para aplicar una misma dosis al dispositivo. La pregunta que surge a continuación es si, para cada una de esas variantes, y por el hecho de inyectar la misma dosis, se producen los mismos efectos sobre el dispositivo, en este caso, la estructura MOS. En base a resultados experimentales presentes en la literatura, la respuesta a esta pregunta se considera, a grandes rasgos, afirmativa, si bien algunos autores sí que confirman la existencia de una cierta dependencia con la tasa de dosis [48,49].

Como se comentó al principio de este apartado, otra forma de cesión de energía por parte de una partícula puede ser mediante procesos de pérdida de energía no ionizante, debidos principalmente a interacciones coulombianas con núcleos y a reacciones nucleares. Dichos mecanismos de cesión de energía son medidos mediante el coeficiente de pérdidas por energía no ionizante o NIEL (*NonIonizing Energy Loss*) [50], el cual es el equivalente de la LET para el caso de interacciones no ionizantes. En este trabajo no se entrará en detalle sobre los efectos

¹ Cuando la energía de la radiación incidente es mucho mayor que la energía de la banda prohibida del material expuesto, la energía media necesaria para la generación de un par e^-/h^+ se puede aproximar mediante la siguiente expresión [47]: $E_{eh} = 2,73 \cdot E_g + 0,55$, donde E_g es el valor de la banda prohibida en eV, con un valor para el silicio de 1.12 eV a 300 K. Dicha expresión tiene en cuenta el hecho de que parte de la energía depositada al material es empleada para la generación de fonones.

provocados por este tipo de interacciones porque, como se verá en el siguiente apartado, la estructura MOS es bastante inmune a sus efectos.

2.3. Efectos inducidos por la radiación en la estructura MOS

Los efectos que la radiación, tanto ionizante como no ionizante, produce sobre los dispositivos electrónicos en general, pueden clasificarse en dos grandes grupos: efectos acumulativos y efectos singulares. Respecto de los primeros, sus efectos se pueden clasificar a su vez en otros dos grupos:

- Dosis Total de Ionización o TID (*Total Ionizing Dose*): se produce por el incremento gradual de cargas atrapadas y defectos que son generados por procesos de ionización durante la exposición a la radiación, y que se acumulan principalmente en las capas dieléctricas de los dispositivos. Para el caso concreto de transistores MOS, la TID provoca variaciones de la tensión umbral y una disminución de la movilidad en el canal de conducción, junto con un incremento de la corriente de fugas entre drenador y fuente en la región de corte del transistor. En dispositivos BJT, la TID induce una degradación de la ganancia en corriente de los transistores polarizados en la zona activa. En ambos casos, la degradación inducida puede llegar a provocar un fallo funcional y permanente del dispositivo. En el siguiente apartado se tratarán con detalle los efectos de la TID, al ser una de las principales fuentes de degradación permanente en circuitos integrados con tecnologías CMOS.
- Daño por Desplazamiento o DD (*Displacement Damage*): se produce mediante procesos de pérdida de energía no ionizante al penetrar un neutrón o una partícula cargada en la red cristalina del semiconductor, de forma que los átomos pueden ser desplazados de su posición en la red de manera permanente [51]. El daño por desplazamiento provoca la formación de imperfecciones cristalinas a través de los vacíos que los átomos dejan al ser desplazados (lo que se conoce con el nombre de trampas) y los *clusters* que se forman por la acumulación de átomos (conocidos como centros de recombinación). Dichas imperfecciones cristalinas interfieren en el flujo normal de los electrones y huecos, degradando las características de los dispositivos dependientes de la conducción del sustrato, como es el caso de algunos transistores BJT, células solares, etc. Los transistores MOS, al tratarse de una estructura superficial, son bastante inmunes a este defecto, por lo que no son necesarias técnicas especiales. No obstante, hay que tener en cuenta que en ciertos circuitos implementados con tecnologías MOS, como pueden ser los sensores de pixel activo (APS), que emplean dispositivos de unión, el daño por desplazamiento sí puede ser un efecto importante a tener en cuenta, tal y como demuestran en [52].

El otro grupo en el que se encuadran los efectos de la radiación sobre los dispositivos electrónicos es el de los efectos asociados a los eventos singulares o *Single Event Effects* (SEEs),

los cuales son causados por una única partícula ionizante que, al atravesar una determinada región sensible del dispositivo, crea una carga inducida que puede afectar a su correcto funcionamiento. Tal y como se analizará en la sección 2.3.2, los errores inducidos por los SEEs abarcan desde fallos eventuales en los circuitos, tanto analógicos como digitales, hasta errores permanentes como consecuencia de la inducción de un efecto destructivo, como puede ser la inducción de *latchup* en el circuito.

Los SEEs se distribuyen aleatoriamente en el espacio y en el tiempo, pudiéndose producir en cualquier instante. En cambio, la TID y el DD tienen carácter acumulativo y permanente, y únicamente son apreciables tras un determinado tiempo de exposición. Así, los efectos acumulativos, asociados a efectos a largo plazo, determinan el tiempo de vida útil del dispositivo (por ejemplo, de años), mientras que los SEEs están asociados a respuestas muy cortas de los dispositivos (por ejemplo, del orden de nanosegundos), provocando, en general, errores temporales en la funcionalidad, salvo aquellos que induzcan efectos destructivos.

Por otro lado, en los SEEs, sólo una parte muy localizada del circuito, la que ha sido directamente afectada por el impacto de la partícula ionizante, es la que se ve afectada. En cambio, los efectos acumulativos afectan de forma esencialmente uniforme al sistema, ya que éstos se deben al impacto de muchas partículas típicamente distribuidas uniformemente en el espacio debido a su aleatoriedad, y con una tasa de dosis que, en términos generales y por el mismo motivo, también se podrá considerar uniforme. En los siguientes apartados se analiza con más detalle los efectos que la TID y los SEEs provocan en los transistores en tecnología MOS.

2.3.1. Efectos acumulativos de la TID

En la sección 2.2 se han introducido los distintos mecanismos físicos por los que diferentes tipos de radiación tienen la capacidad de producir la ionización del material expuesto, con la consiguiente liberación de cargas. Los efectos asociados con la TID suponen una de las fuentes de degradación más significativas para el caso de transistores MOS, principalmente debido a la generación y posterior acumulación de cargas en los materiales dieléctricos de la estructura, cobrando especial importancia la acumulación de cargas en el óxido de puerta y en el óxido de campo.

Como se verá, la acumulación de cargas en el óxido de puerta, junto con la creación de trampas en su interfaz con el silicio, serán responsables de variaciones en los parámetros del transistor, como la tensión umbral o la movilidad de los portadores en el canal de conducción. Por otro lado, la acumulación de cargas en el óxido de campo puede llevar consigo un incremento significativo de la corriente de fugas (corriente en OFF) del dispositivo. A continuación, se realiza una descripción detallada de estos efectos.

2.3.1.1. Degradación de la tensión umbral

En la Fig. 2.2(a) se muestra un transistor NMOS polarizado ($V_G > 0$) en el que por efecto de la radiación incidente se produce la generación de pares e^-/h^+ en el óxido de puerta. En la Fig. 2.2(b) se muestra el diagrama de bandas de energía asociado, mostrándose los diferentes procesos asociados al transporte de la carga inducida. Finalmente, en la Fig. 2.2(c), se representa la evolución esperada de la tensión umbral en función de cada uno de los procesos físicos involucrados [53].

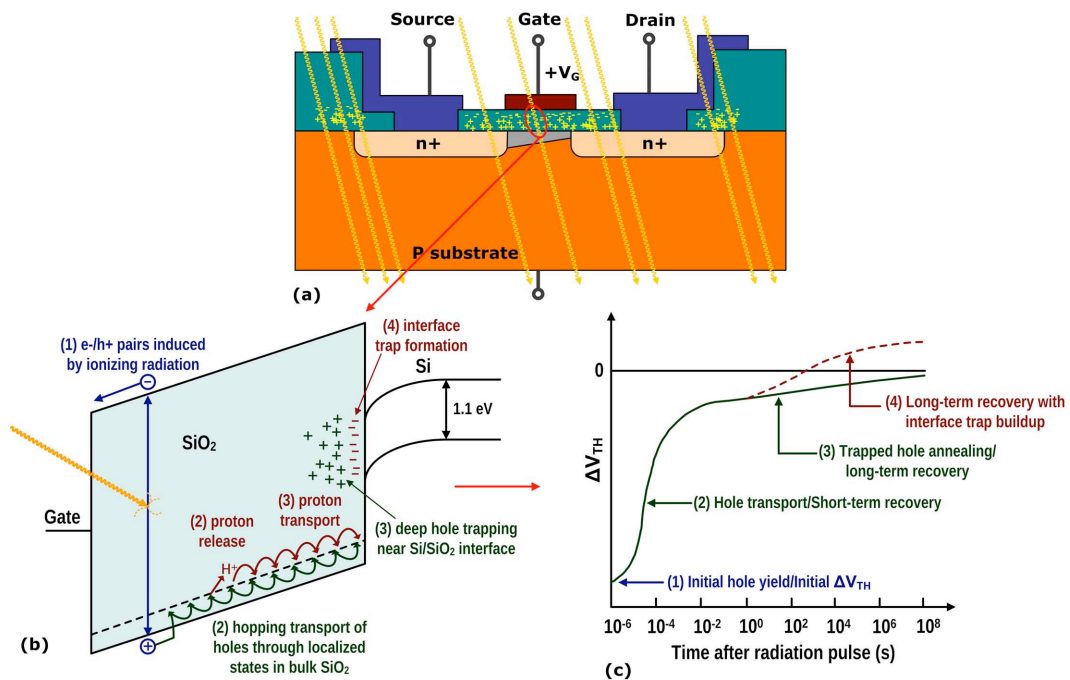


Fig. 2.2.: (a) Creación de pares e^-/h^+ en el óxido de puerta de la estructura MOS y su distribución. (b) Diagrama de bandas de energía asociado. (c) Evolución de la tensión umbral en función de los procesos físicos involucrados [53].

Inicialmente, inmediatamente después de la creación de la carga, y por efecto del campo eléctrico aplicado, los electrones tenderán a desplazarse hacia la puerta a través del óxido. Debido a su alta movilidad, los electrones se desplazan de forma muy rápida, alcanzando la puerta en tiempos del orden de picosegundos. De forma equivalente, los huecos se desplazarán hacia la interfaz con el silicio, pero en este caso, con una movilidad mucho menor. No obstante, incluso antes de que los electrones lleguen a alcanzar la puerta, estos pueden recombinarse con los huecos existentes, proceso conocido como recombinación inicial. La tasa de recombinación depende en gran medida del campo eléctrico existente, así como del tipo y energía de la partícula incidente. Así, una partícula con una alta capacidad de ionización, es decir, con una LET

alta, formará una gran nube de carga donde la tasa de recombinación será alta. En cambio, una partícula débilmente ionizante o con una LET baja, formará una nube de carga pequeña con una tasa de recombinación baja. Por otro lado, a medida que el campo eléctrico presente en el óxido es mayor, la probabilidad de recombinación decrece [54], de forma que la fracción de huecos y electrones libres aumenta.

Los huecos que consiguen escapar a la recombinación inicial se dirigirán a la interfaz SiO_2/Si , pero con una movilidad bastante menor que la de los electrones. A medida que los huecos se desplazan por el dieléctrico y, debido a su carga, interaccionan con los átomos vecinos, produciéndose una distorsión local del campo eléctrico que se conoce con el nombre de polarón [55, 56]. Esta distorsión producida se desplaza con los huecos incrementando su masa efectiva y, por tanto, reduciendo aún más su movilidad, de forma que los huecos tienden a quedar confinados en las proximidades del lugar donde fueron generados. Este tipo de movimiento, denominado salto de polarones, depende en gran medida del espesor del óxido de puerta y de la temperatura, siendo además muy disperso en el tiempo, de forma que puede producirse mucho tiempo después de haber sido generado éste [56].

Con la aplicación del potencial positivo de puerta, los huecos irán poco a poco acercándose a la interfaz SiO_2/Si , donde existen una gran cantidad de vacantes de átomos de oxígeno debido a su difusión fuera del óxido y a los efectos de borde de la estructura cristalina en dicha zona de transición. Dichas vacantes se comportan como centros de captura de huecos (también denominados trampas), atrapando una fracción de ellos a medida que se acercan a la interfaz. La fracción de huecos capturados puede ser muy variable y depende en gran medida del proceso tecnológico de fabricación, así como también del campo eléctrico aplicado [53].

La carga positiva asociada a los huecos atrapados a lo largo de su trayectoria por el óxido, tiene como consecuencia un desplazamiento negativo de la tensión umbral, tanto en transistores PMOS como NMOS. Esto implica un aumento del valor absoluto de la tensión umbral de los transistores PMOS, y una disminución en el caso de la tensión umbral de los transistores NMOS. En general, el desplazamiento es algo más significativo en el caso de transistores NMOS, ya que en este caso son los huecos los que se desplazan hacia la interfaz, de forma que la probabilidad de confinamiento es mayor.

El tiempo que tardan los huecos atrapados en abandonar el óxido por efecto del campo eléctrico, hasta que son neutralizados y la tensión umbral tiende a recuperar su valor original, es muy variable, con escalas de tiempo que pueden oscilar desde horas hasta años. Este proceso, denominado *annealing*, es además muy dependiente de la temperatura, así como de la tensión de polarización y del proceso tecnológico empleado. La Fig. 2.2(c) es un ejemplo representativo de dicha evolución temporal.

Diversos trabajos reportados en la literatura [48, 57, 58] evidencian una dependencia entre el tiempo de *annealing* y la tasa de dosis a la que se irradia el dispositivo. En general, estos trabajos permiten confirmar que, para una misma dosis total, a medida que la tasa de dosis aplicada

es mayor, el desplazamiento de la tensión umbral también es mayor si se mide éste inmediatamente después de la irradiación. No obstante, en [56] demuestran de forma experimental, tal y como se muestra en la Fig. 2.3 para el caso de un transistor NMOS, que si la suma del tiempo de irradiación más el tiempo de *annealing* se mantiene, el desplazamiento de la tensión umbral es independiente de la tasa de dosis aplicada, situándose los puntos obtenidos sobre una misma curva logarítmica, y siempre y cuando la dosis total haya sido la misma.

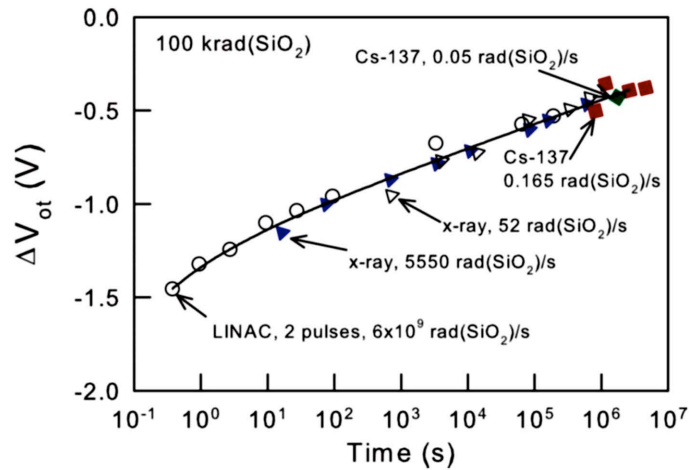


Fig. 2.3.: Evolución del desplazamiento de la tensión umbral por la acumulación de trampas en el óxido de puerta durante el proceso de *annealing* para transistores NMOS irradiados con una dosis total de 100 krad, pero con distintas tasas de dosis [56].

Este resultado permite correlacionar medidas realizadas con distintas dosis, lo cual resulta especialmente importante a la hora de caracterizar dispositivos frente a la TID en aplicaciones espaciales, ya que permitirá realizar la caracterización con tasas de dosis de laboratorio, las cuales son típicamente elevadas, para comprobar los efectos en entornos con tasas relativamente bajas, como ocurre en el espacio, sin más que aplicar un cierto tiempo de *annealing* tras la exposición.

El proceso de *annealing* observado se produce, según diversos autores [59], por dos mecanismos, efecto túnel y/o excitación térmica:

- Efecto túnel: varios trabajos han sugerido un proceso de *tunneling* para explicar la progresión logarítmica que se aprecia en la recuperación de la tensión umbral durante el *annealing*. Estos modelos asumen el paso por efecto túnel de electrones del sustrato hacia el óxido, recombinándose con los huecos atrapados en las cercanías de la interfaz. De forma equivalente, se puede pensar en el paso de huecos atrapados en el óxido para recombinarse con electrones del sustrato. Así, como consecuencia del decaimiento exponencial de la probabilidad de *tunneling* de un hueco en función de su distancia a la interfaz [60], para un tiempo t dado, se recombinarán aquellos huecos que estén a una

determinada distancia, la cual aumenta logarítmicamente con el tiempo. Es importante resaltar aquí que, si bien la carga es neutralizada mediante este proceso, la trampa no desaparece. Por otro lado, para el caso de transistores PMOS, y debido a sus condiciones de polarización, la probabilidad de que se produzca *annealing* por *tunneling* es muy baja.

- Excitación térmica: el *annealing* por activación térmica ocurre cuando un portador es excitado térmicamente desde la banda de valencia de la interfaz hasta el nivel energético de la trampa.

Las distribuciones, tanto espaciales como de energía, de las trampas en el óxido afectan fuertemente a la tasa a la cual ocurre la neutralización de la carga. Para el caso de la neutralización por *tunneling*, la distribución espacial de las trampas del óxido debe situarse cerca de la interfaz SiO₂/Si. Para la neutralización térmica, será necesario que los niveles de energía de las trampas en el óxido sean próximos a los de la banda de valencia del óxido. Además, la tasa de neutralización también dependerá de las condiciones de polarización y temperatura del dispositivo.

Además de la formación de trampas en el óxido de puerta, la radiación también induce la formación de trampas en la propia interfaz SiO₂/Si [56, 61]. Cuando el nivel energético de la trampa formada se sitúa por debajo del nivel energético de Fermi en la interfaz, la trampa será aceptora, de forma que se producirá la cesión de un electrón desde el silicio hacia la trampa, quedando ésta cargada negativamente. De forma equivalente, si el nivel energético de la trampa se sitúa por encima del nivel de Fermi en la interfaz, la trampa donará un electrón al silicio, quedando cargada positivamente. Para el caso de las trampas con niveles energéticos intermedios, sus efectos tenderán a cancelarse entre sí.

En el caso de transistores NMOS, las trampas generadas en la interfaz son predominantementeceptoras, quedando cargadas negativamente y, por tanto, induciendo un desplazamiento positivo de la tensión umbral. En cambio, en los transistores PMOS las trampas de interfaz son predominantemente donadoras, quedando cargadas positivamente y, por tanto, induciendo un desplazamiento negativo de la tensión umbral. De esta forma, el valor absoluto de la tensión umbral aumenta, tanto en transistores PMOS como NMOS, por efecto de la acumulación de trampas en la interfaz.

Al igual que para el caso de las trampas de óxido, la formación de trampas en la interfaz es muy dependiente del espesor del óxido, la tensión de polarización aplicada, así como del proceso tecnológico empleado [62]. Para el caso de la formación de trampas en el óxido, basado en el salto de polarones, se vio que era un proceso muy disperso en el tiempo, de forma que podía producirse mucho tiempo después de que el hueco fuese generado. Las escalas de tiempo asociadas a la formación de trampas de interfaz son incluso mayores [63].

Del mismo modo que ocurría para las trampas de óxido, el desplazamiento de la tensión umbral es independiente de la tasa de dosis si, para una misma dosis total, la suma de los tiempos de

irradiación y de *annealing* se conserva, tal y como se muestra en la Fig. 2.4 [56] para el caso de un transistor NMOS. No obstante, al contrario de lo que ocurría con las trampas de óxido, las cuales se neutralizaban durante el *annealing*, con la consiguiente recuperación de la tensión umbral, en el caso de las trampas de interfaz la carga atrapada no desaparece por *annealing*, tal y como se muestra en la Fig. 2.2(c) y Fig. 2.4. Únicamente en procesos de *annealing* con altas temperaturas, generalmente por encima de 100 °C, se observa una cierta neutralización de las trampas de interfaz [64].

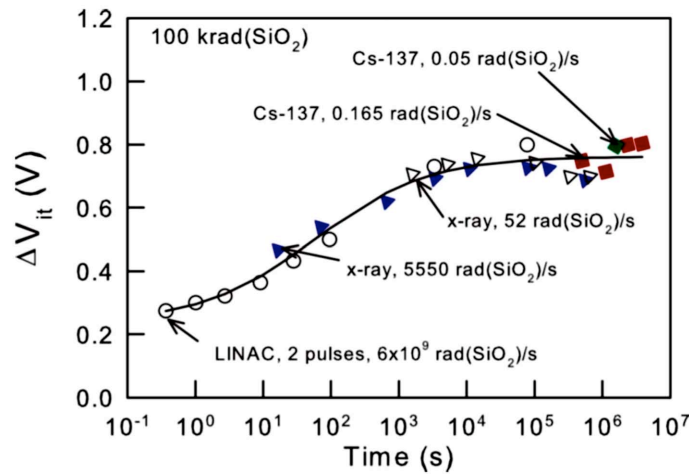


Fig. 2.4.: Evolución del desplazamiento de la tensión umbral por la acumulación de trampas en la interfaz Si/SiO₂ durante el proceso de *annealing* para transistores NMOS irradiados con una dosis total de 100 krad, pero con distintas tasas de dosis [56].

El desplazamiento total de la tensión umbral de los transistores será la suma de las contribuciones asociadas a la carga atrapada en el óxido, más la debida a la carga atrapada en la interfaz:

$$\Delta V_{th} = \Delta V_{ot} + \Delta V_{it} \quad (2.8)$$

donde ΔV_{ot} y ΔV_{it} se pueden escribir como [11, 43]:

$$\Delta V_{ot,it} = \frac{-1}{C_{ox} \cdot t_{ox}} \cdot \int_0^{t_{ox}} \rho_{ot,it}(x) \cdot x \cdot dx \quad (2.9)$$

donde C_{ox} y t_{ox} son, respectivamente, la capacidad por unidad de área y el espesor del óxido de puerta, y $\rho_{ot,it}(x)$ se corresponde con la densidad de carga (dQ/dx) inducida por la radiación en el óxido y en la interfaz, respectivamente. Teniendo en cuenta lo expuesto hasta aquí, se pueden distinguir tres situaciones diferenciadas en la evolución de la tensión umbral para un entorno de operación caracterizado por una misma dosis total, pero con tasas de dosis diferentes:

- Para tasas de dosis altas, el tiempo de irradiación será pequeño, por lo que la cantidad de

carga atrapada en el óxido que es neutralizada por *annealing* será pequeña, de forma que ΔV_{ot} tendrá una magnitud alta y un signo negativo. La carga atrapada en la interfaz no tendrá suficiente tiempo para evolucionar, con lo que ΔV_{it} será normalmente pequeño. Así, en general, el desplazamiento total será grande y negativo para transistores NMOS y PMOS. Para los transistores PMOS, esto significa un aumento del valor absoluto de su tensión umbral. En los transistores NMOS, este desplazamiento puede incrementar significativamente la corriente de fugas entre drenador-fuente, produciendo un incremento del consumo o incluso un fallo en el circuito. Para el caso de transistores PMOS, al ser los electrones, con una mayor movilidad, los que se desplazan hacia la interfaz, es de esperar un confinamiento algo menor de huecos en el óxido.

- Para el caso de tasas de dosis medias, habrá tiempo suficiente como para que se produzca neutralización en la carga atrapada en el óxido y para que se produzca incremento de la carga atrapada en la interfaz, de forma que tanto ΔV_{ot} como ΔV_{it} pueden ser considerables. En los transistores NMOS, tanto ΔV_{ot} como ΔV_{it} tenderán a compensarse. En el caso de los PMOS, ambas variaciones son del mismo signo, por lo que no hay compensación, sino un desplazamiento negativo (un aumento en valor absoluto) de la tensión umbral.
- Para el caso de tasas de dosis bajas, como puede ser en el espacio, una fracción considerable de la carga atrapada en el óxido podrá ser neutralizada durante la irradiación, de forma que ΔV_{ot} será generalmente pequeño en valor absoluto. Por el contrario, el tiempo será suficiente como para que se formen cargas asociadas a las trampas de interfaz con lo que ΔV_{it} podrá llegar a ser dominante con respecto a ΔV_{ot} . Así, los transistores PMOS sufrirán un desplazamiento negativo de su tensión umbral (un aumento en valor absoluto) como consecuencia de que ambas contribuciones son negativas. En los transistores NMOS, ΔV_{it} será positivo y dominante sobre ΔV_{ot} , que es negativo, de forma que la tensión umbral sufrirá un desplazamiento global positivo.

Así, según lo anterior, se puede concluir que, para el caso de transistores NMOS, cuando éstos se encuentran operando en entornos con tasas de dosis de radiación altas, durante sus primeras etapas de vida útil, estos sufrirán un desplazamiento negativo de la tensión umbral con el posible aumento de la corriente de pérdidas, cuya progresión temporal dependerá en gran medida de la capacidad de los transistores para neutralizar dichas cargas que se están generando en el óxido en cada instante.

Por otro lado, a medida que pasa el tiempo, se empiezan a generar las trampas de interfaz, que tienden a desplazar positivamente la tensión umbral. Cuanto más tiempo pase y según sea la capacidad de neutralización de cargas del dispositivo, puede llegar un instante en que las cargas de interfaz dominen sobre las del óxido, y el desplazamiento de la tensión umbral pase a ser positivo, tal y como se muestra en la Fig. 2.5. Sin embargo, también puede darse el caso en el que el transistor no fuese capaz de neutralizar suficientes trampas en el óxido como para que

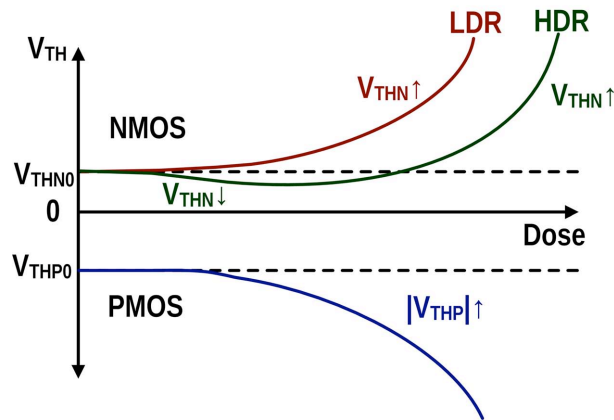


Fig. 2.5.: Evolución de la tensión umbral para tasas de dosis altas (HDR) y bajas (LDR) en función de la dosis total acumulada.

llegue un momento en que las trampas de interfaz dominen, de forma que la tensión umbral seguiría decreciendo hasta que llegue un momento en que el dispositivo dejase de funcionar correctamente. En entornos con tasas de radiación bajas esto no ocurrirá, de forma que la tensión umbral será cada vez más positiva.

Para el caso de los transistores PMOS, tanto ΔV_{ot} como ΔV_{it} son negativas, de forma que sus contribuciones se suman (ver Fig. 2.5) y el valor absoluto de la tensión umbral aumentará. En entornos con tasas de dosis altas, inicialmente dominará ΔV_{ot} y, a medida que el tiempo pase, ΔV_{it} comenzará a ser considerable o incluso dominante. En entornos con tasas de dosis bajas, ΔV_{ot} será más o menos significativo en función de la capacidad de *annealing* del transistor. En función de esto, y con el paso del tiempo, ΔV_{it} también puede llegar a ser dominante.

Para el caso de aplicaciones espaciales, la tasa de dosis es, en general, relativamente baja. Dado que la caracterización en laboratorio con estas tasas de dosis suele ser inabordable, la solución adoptada consiste en llevar a cabo una irradiación con una tasa de dosis media, seguido de un proceso de *annealing* con el objetivo de neutralizar las cargas atrapadas en el óxido, ya que en un entorno de radiación como el espacio, su contribución no será significativa.

En [65] se propone un proceso de *annealing* estandarizado para aplicaciones espaciales consistente en dejar reposar el circuito polarizado durante 168 horas a 100 °C. El número de horas tiene el objetivo de proporcionar un tiempo suficiente como para que se produzca, por un lado, la neutralización de las cargas atrapadas en el óxido y, por otro, la formación de trampas de interfaz. El valor de temperatura resulta de un compromiso entre un valor suficientemente alto que asegure la neutralización de trampas en el óxido por activación térmica, pero tampoco demasiado elevado como para que la neutralización de trampas de interfaz sea significativa.

2.3.1.2. Incremento de la corriente de fugas

A medida que las tecnologías avanzan, éstas incorporan óxidos de puerta cada vez más finos, lo cual mejora la robustez frente a la radiación respecto de los efectos vistos en la sección anterior. No obstante, el óxido de campo sigue siendo relativamente grueso, de forma que también deben ser objeto de estudio los efectos de la carga inducida por la radiación en el óxido de campo.

El óxido de campo, a diferencia del de puerta, crece generalmente mediante oxidación térmica utilizando una amplia variedad de técnicas. En las tecnologías actuales, generalmente se encuentran dos tipos de aislamiento: LOCOS (*Local Oxidation of Silicon*) y STI (*Shallow-Trench Isolation*). El aislamiento LOCOS ha sido la técnica más empleada durante muchos años, aunque está siendo sustituida por el aislamiento STI en la tecnologías profundamente submicrométricas.

En la Fig. 2.6 se muestra la sección transversal de un transistor NMOS con aislamiento LOCOS en el que se aprecia la acumulación de carga, por efecto de la radiación, en la región denominada “pico de pájaro” [56]. De forma similar ocurre para el caso de un transistor con aislamiento STI, aunque en este caso sin la presencia de la estructura de “pico de pájaro”. A medida que la radiación induce la formación de cargas positivas en el óxido de campo, y al estar éste situado por encima de una capa de tipo P (sustrato del NMOS), el sustrato puede llegar a invertir su signo en la zona bajo el óxido por efecto del campo eléctrico local, formando caminos conductivos que pueden incrementar en gran medida la corriente de fugas.

En la Fig. 2.7 se muestran dos posibles caminos que contribuyen a la corriente de fugas en el caso de transistores aislados con STI. Como se puede apreciar, uno de los caminos se produce en los extremos del óxido de puerta del transistor entre drenador y fuente. También se pueden formar caminos adicionales entre transistores NMOS adyacentes, entre una difusión n+ y un pozo N adyacente, o incluso entre dos pozos N adyacentes.

El óxido de campo crea un transistor parásito o transistor de óxido de campo en paralelo al transistor de óxido de puerta. Este transistor está formado por el drenador y fuente del transistor nominal (de óxido de puerta), más la porción de óxido de campo sobre la que se extiende el polisilicio de puerta. En condiciones previas a la irradiación, la tensión umbral asociada a este transistor parásito es lo suficientemente grande como para que la corriente de fugas no sea significativa, principalmente porque el grosor del óxido de campo es mayor, y porque el sustrato no activo bajo el óxido de campo se implanta fuertemente (implantación de campo) para mejorar el aislamiento y la conductividad del propio sustrato.

Sin embargo, debido a que el espesor del óxido de campo es considerablemente mayor que el de puerta, el desplazamiento sufrido por la tensión umbral del transistor parásito en función de la TID será mucho mayor que para el caso del óxido de puerta, de forma que a medida que la radiación induce la formación de huecos atrapados en el óxido de campo, la contribución

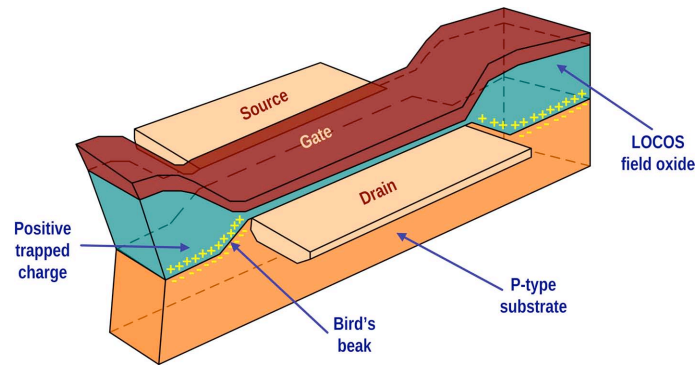


Fig. 2.6.: Sección transversal de un transistor con aislamiento LOCOS con acumulación de cargas atrapadas en la estructura de “pico de pájaro” por efecto de la radiación.

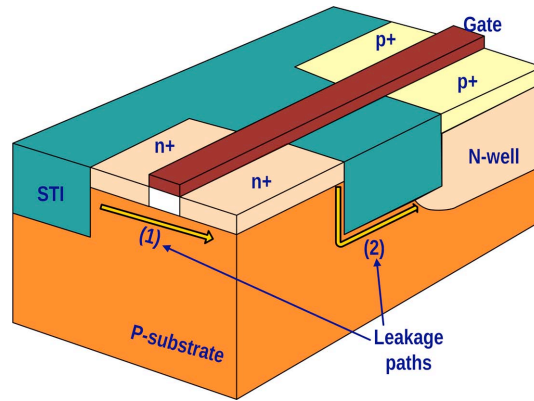


Fig. 2.7.: Posibles caminos de fuga creados por efecto de la radiación en un transistor NMOS con aislamiento STI.

del transistor parásito deja de ser despreciable, y la corriente de fugas puede alcanzar un valor significativo durante la irradiación.

En la Fig. 2.8 se muestra un ejemplo de la evolución de la corriente de fugas del transistor parásito antes y después de la irradiación [56]. En dicha figura se muestra la característica $I_{DS}-V_{GS}$, tanto del transistor de puerta como del transistor parásito de forma separada, así como también de forma combinada. Como se puede apreciar, el desplazamiento sufrido por la tensión umbral del transistor parásito es considerablemente mayor que para el caso del óxido de puerta, lo cual implica la inducción de una corriente de fugas considerable con el consiguiente incremento en el consumo estático del circuito. Dado que la carga atrapada en el óxido es predominantemente positiva, este efecto es, en general, únicamente significativo en transistores NMOS.

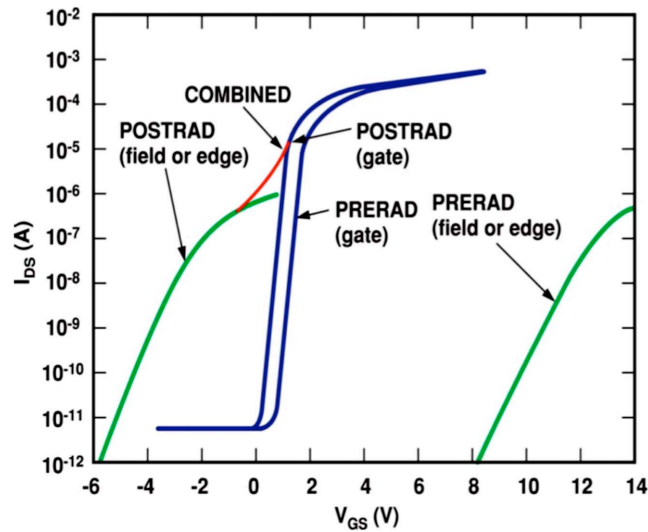


Fig. 2.8.: Ejemplo de la característica I_{DS} - V_{GS} de un transistor de puerta (azul), parásito (verde) y su combinación (rojo) antes y después de la irradiación [56].

2.3.1.3. Otros efectos inducidos

Además de inducir variaciones en la tensión umbral y de incrementar la corriente de fugas, la TID afecta a otros parámetros de la estructura MOS, como son la movilidad y el ruido. La acumulación de trampas en la interfaz, así como de trampas de óxido en sus proximidades, provoca una reducción de la movilidad de los portadores en el canal, la cual se puede modelar mediante la siguiente expresión [66]:

$$\mu = \frac{\mu_0}{1 + \sigma_{it} \cdot \Delta N_{it} + \sigma_{ot} \cdot \Delta N_{ot}} \quad (2.10)$$

donde μ_0 es el valor nominal de la movilidad previo a la irradiación. Los parámetros σ_{it} y σ_{ot} se corresponden, respectivamente, con las secciones transversales de las trampas de interfaz y de óxido que contribuyen a la degradación de la movilidad. Finalmente, ΔN_{it} y ΔN_{ot} determinan, respectivamente, el incremento de la densidad de trampas de interfaz y de óxido por unidad de área que es inducido por la radiación.

Esta degradación en la movilidad de los portadores del canal, lleva consigo una degradación progresiva de la transconductancia del transistor. La transconductancia también depende de la tensión de *overdrive* del transistor, a su vez dependiente de la tensión umbral. Para el caso de un transistor PMOS, el desplazamiento negativo de la tensión umbral (en valor absoluto, un aumento de la tensión umbral) y la degradación de la movilidad, contribuyen a disminuir la transconductancia del transistor en el mismo sentido. En el caso de los transistores NMOS, el desplazamiento de la tensión umbral puede ser positivo o negativo en función de la tasa de

irradiación, mientras que el incremento de la movilidad es siempre negativo. Incluso cuando el desplazamiento de la tensión umbral es negativo, el efecto de la degradación de la movilidad suele ser dominante [67], de forma que, también en un transistor NMOS, la transconductancia tiende a disminuir siempre con la TID.

El ruido, especialmente el ruido *flicker*, también aumenta como consecuencia de la exposición del dispositivo a la radiación. Diversos autores han reportado resultados en los que existe una correlación entre el aumento del ruido *flicker* y la acumulación de cargas atrapadas tanto en el óxido [68] como en la interfaz [69]. Con respecto al ruido térmico, también se produce un aumento como consecuencia de la degradación de la transconductancia.

En tecnologías profundamente submicrométricas, en las que los transistores tienen óxidos de puerta con espesores ultrafinos, la exposición a elevadas dosis de radiación puede inducir, principalmente por efecto *tunneling*, un incremento considerable de la corriente de fugas en la puerta para campos eléctricos de baja intensidad [61].

A nivel de circuito, el hecho de que parámetros como la tensión umbral, la movilidad, la transconductancia o el ruido se vean degradados con la TID, afectará a las prestaciones y funcionalidad de los circuitos integrados de señal mixta implementados en tecnologías CMOS convencionales. Para el caso de circuitos analógicos, la TID puede inducir desplazamientos en el punto de operación del circuito, así como modificar otros parámetros en gran señal, como por ejemplo, el producto ganancia-ancho de banda (GBW) o incluso, aunque en muchas menos ocasiones, la estabilidad de los amplificadores. El *mismatch* entre transistores también sufre de una degradación con la TID [67, 70]. Esto puede tener como consecuencia que, transcurrido un determinado tiempo de exposición, el circuito deje de cumplir con las especificaciones requeridas, o que incluso deje de ser funcional.

En circuitos digitales, la degradación inducida por la TID en la tensión umbral y en la transconductancia, tiende a incrementar los tiempos de propagación de las celdas combinatorias, y con ellos los tiempos de conmutación, limitando la frecuencia máxima de operación a la vez que se provoca un incremento en el consumo dinámico. Los circuitos secuenciales también se ven igualmente afectados. Las corrientes de fugas tenderán a incrementar también el consumo estático. Además, se pueden producir fallos funcionales en los que, por efecto de una fuerte variación en la tensión umbral o un incremento en la corriente de fugas lo suficientemente grande como para descargar un nodo, una puerta digital llegue a ser incapaz de conmutar completamente, o bien lo haga con un tiempo de retardo lo suficientemente grande como para provocar un malfuncionamiento en otras partes del circuito.

2.3.2. Efectos de los eventos singulares

El otro grupo en el que se encuadran los efectos de la radiación sobre los dispositivos electrónicos, y que afecta directamente a los circuitos implementados con tecnologías MOS, es el

de los eventos singulares o *Single Event Effects* (SEEs), los cuales son causados por una única partícula ionizante que, al atravesar una determinada región sensible del dispositivo, crea una carga inducida que puede afectar temporalmente a su correcto funcionamiento o incluso llegar a destruir el mismo.

Los efectos inducidos por un SEE dependen en gran medida de la cantidad de carga generada, así como del lugar específico en el que se crea. Para el caso de la tecnología CMOS, una de las regiones especialmente sensibles se corresponde con la zona de depleción de las uniones pn polarizadas en inversa que aparecen entre las difusiones y el sustrato o pozo, principalmente debido a que el campo eléctrico existente en dicha zona de depleción permite una mayor eficiencia en la recolección de las cargas generadas [71, 72]. En la Fig. 2.9(a) se muestra un ejemplo para el caso de un transistor NMOS en el que una partícula incide sobre la región de drenador. La generación de portadores produce un transporte de cargas, tanto por arrastre, por efecto del campo eléctrico local, como por difusión (Fig. 2.9(b)), creando a su vez una corriente transitoria (Fig. 2.9(c)). En función de la magnitud y duración de este pulso de corriente, así como del lugar e instante específicos en los que éste es generado, se podrán inducir diferentes tipos de errores. Así, por ejemplo, cuando la carga generada sea mayor que un determinado nivel de carga crítica, el pulso de corriente será capaz de provocar un error inducido como, por ejemplo, el volteo de un bit, o un *glitch* de tensión que provoque algún tipo de malfuncionamiento.

Atendiendo al tipo de fallo que producen, los SEEs se pueden clasificar en eventos destructivos y no destructivos. Los primeros provocan un fallo permanente e irreparable del dispositivo, mientras que los segundos inducen errores que, si bien pueden permanecer en el tiempo, también es posible actuar para recuperar o eliminar dichos errores. Los SEEs no destructivos se pueden clasificar en errores estáticos y transitorios. Los efectos estáticos hacen referencia a aquellos eventos que pueden inducir un fallo estacionario, como por ejemplo, el volteo de un bit. Este fallo será permanente mientras no se lleve a cabo algún tipo de acción, como por ejemplo, corregir el error o reiniciar el dispositivo. En cambio, los eventos transitorios se dan en periodos de tiempo muy pequeños, del orden de nanosegundos, no siendo necesario un reinicio del sistema para recuperarse del fallo, salvo que sean capturados por un flanco de reloj.

Dentro de los SEEs destructivos y no destructivos existen diversos tipos. Con respecto a los destructivos, se pueden distinguir, principalmente, cuatro tipos de eventos:

- *Single Event Latchup* (SEL): por efecto del impacto de una partícula, la carga generada puede inducir una reducción drástica en los valores de las resistencias que forman parte de la estructura parásita de tiristor que se forma entre un transistor NMOS y otro PMOS adyacente. El tiristor puede evolucionar a su estado de conducción y, por tanto, inducir una condición de *latchup* en el circuito [73]. Dependiendo del nivel de corriente generada, este efecto puede ser destructivo, ya que puede proporcionar un camino directo

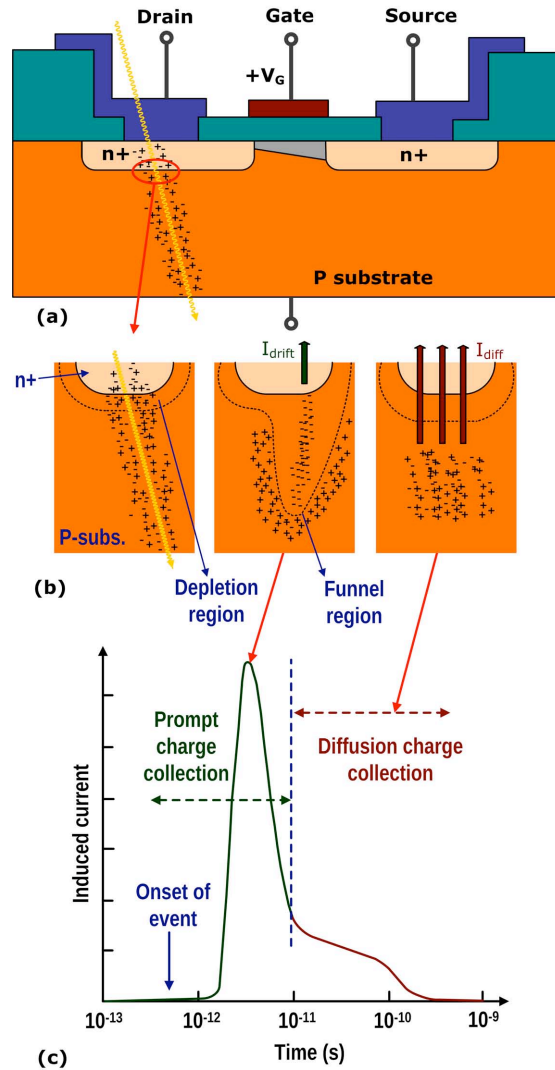


Fig. 2.9.: Generación y transporte de cargas por efecto de un SEE en la región de drenador de un transistor NMOS.

de muy baja resistividad entre la línea de alimentación y tierra. Por otro lado, incluso para corrientes de *latchup* no muy elevadas, este efecto puede llegar a ser igualmente destructivo con el paso del tiempo, por efecto de la electromigración [74].

- *Single Event Burnout* (SEB): este efecto está asociado a la generación de un gran volumen de carga en las cercanías de una unión semiconductor, de forma que, en función de las condiciones de polarización, la corriente instantánea inducida puede ser lo suficientemente grande como para provocar la ruptura de la unión, con la consiguiente destrucción del dispositivo. Este efecto es muy poco frecuente en tecnologías CMOS,

resultando especialmente crítico en transistores MOS de potencia [75].

- *Single Event Gate Rupture (SEGR)*: en este caso, por efecto del impacto de un ion pesado en las cercanías de la puerta, la carga generada produce un campo eléctrico local lo suficientemente elevado como para producir la ruptura del óxido de puerta. Este efecto suele estar asociado con el SEB, y de nuevo es muy poco frecuente en tecnologías CMOS, siendo también especialmente crítico en transistores MOS de potencia [75, 76].
- *Single Event Snap-Back (SESB)*: este efecto está asociado a los transistores NMOS, siendo un evento similar al SEL en el sentido de que se genera una corriente muy elevada que puede provocar la destrucción del dispositivo. En este caso, el impacto de una partícula en la región de drenador de un NMOS puede inducir un exceso de corriente lo suficientemente grande como para provocar la ruptura por avalancha de la unión entre drenador y sustrato. Debido a este efecto, se genera un flujo de huecos hacia el terminal de sustrato, produciéndose un incremento en el potencial de la unión fuente-sustrato. Si esta condición se mantiene durante un tiempo suficiente, la unión fuente-sustrato quedará polarizada en directa, activándose el transistor bipolar npn parásito, lo cual a su vez produce una inyección de electrones en el sustrato que realimenta el proceso de avalancha en la unión de drenador. Esta realimentación positiva puede incrementar la corriente hasta un nivel lo suficientemente elevado como para destruir el dispositivo [77].

Finalmente, con respecto a los SEEs no destructivos, se pueden distinguir, principalmente, tres tipos de eventos:

- *Single Event Upset (SEU)*: este tipo de eventos son estáticos y afectan típicamente a los circuitos digitales secuenciales. Tienen como principal efecto la conmutación no deseada de uno o varios elementos de almacenamiento [78], afectando, por tanto, a todo circuito digital que contenga elementos de memoria.
- *Single Event Functional Interrupt (SEFI)*: este tipo de eventos es un caso particular de SEU en el que, como consecuencia del error inducido, se ha interrumpido el flujo normal de ejecución de una máquina de estados (FSM), un microprocesador o un sistema de procesamiento similar. En caso de inducción de un SEFI, será necesario un sistema que detecte y/o corrija el error, o bien que sea capaz de recuperarse volviendo a un estado conocido [79].
- *Single Event Transient (SET)*: este tipo de errores se corresponden con eventos no destructivos y transitorios, afectando a circuitos tanto analógicos como digitales. En este caso, debido al impacto de una partícula en una región localizada del circuito, se induce una señal espúrea que se propaga. El efecto que dicha señal provoque dependerá de la zona de impacto, pudiendo provocar desde una oscilación temporal o permanente de una señal, la activación de un *switch* o la conmutación de niveles lógicos, hasta el volteo de un biestable o incluso de un *flip-flop* si es capturado en el flanco de reloj [80, 81].

Tal y como se analizó en la sección 2.3.1, las tecnologías más modernas, con óxidos de puerta más finos, adquieren de forma inherente al proceso tecnológico una mayor inmunidad frente a la TID con respecto a todos aquellos efectos que están relacionados con la acumulación de trampas de óxido y de interfaz. En cambio, las tecnologías más actuales adolecen de una mayor sensibilidad con respecto a los SEEs. Así, con el escalado de la tecnología, la carga crítica necesaria para inducir un SEU se reduce considerablemente, de forma que incluso partículas poco energéticas podrán provocar el volteo de un bit [82]. Además de las dimensiones de los transistores, la distancia entre dispositivos también se reduce, incrementándose la posibilidad de que el impacto de una partícula induzca simultáneamente el volteo de más de un bit, de forma que las técnicas de robustecimiento adquieren un mayor nivel de complejidad. Por otro lado, las tecnologías más modernas resultan también más sensibles a los eventos destructivos. No obstante, con respecto a la inducción de *latchup*, cabe resaltar que para tecnologías profundamente submicrométricas, la tensión de alimentación puede ser lo suficientemente pequeña como para que la tensión de mantenimiento del tiristor parásito, necesaria para éste permanezca en conducción, sea mayor que la tensión de alimentación, de forma que la condición de *latchup* en estos casos no se podrá mantener [83] y, por tanto, en estos casos habrá una inmunidad inherente frente a la condición de *latchup*.

2.4. Endurecimiento frente a la radiación

A la hora de hacer frente a los efectos de la radiación, son varias las posibilidades, abarcando desde alternativas tecnológicas durante el proceso de fabricación, hasta el nivel más alto de abstracción mediante el uso de soluciones *software* o técnicas de redundancia a nivel de sistema. En esta sección se hace una breve descripción de las técnicas, tanto tecnológicas como a nivel de diseño, que son empleadas actualmente para eliminar o mitigar, según el caso, estos efectos.

2.4.1. Soluciones tecnológicas

Tal y como se ha expuesto en apartados anteriores, a medida que el espesor del óxido de puerta en un transistor MOS es menor, la formación de trampas, tanto de óxido como de interfaz, se reduce. En [56] han constatado experimentalmente que esta dependencia es aproximadamente cuadrática. Además del espesor del óxido, existen otros parámetros que condicionan el robustecimiento de la tecnología. Así, la realización de un proceso de *annealing* a alta temperatura tras la formación del óxido de puerta, puede condicionar la resistencia frente a la radiación. Esto se debe a que el proceso de *annealing* incrementa la probabilidad de formación de vacantes de oxígeno, las cuales pueden actuar como centros de captura de huecos. En las tecnologías

más actuales se tiende a reducir la duración y la temperatura del proceso de oxidación, así como también la del posterior *annealing*, incrementándose la robustez frente a la TID.

Otro aspecto importante relativo al proceso de *annealing* posterior a la oxidación es que si se realiza en ambientes que contienen hidrógeno, puede incrementarse significativamente la carga atrapada en la interfaz [84]. De esta forma, para optimizar el robustecimiento contra la radiación, las temperaturas del proceso tecnológico, posteriores a la formación del óxido de puerta, deben mantenerse por debajo de 850 °C, a la vez que la presencia de ambientes con hidrógeno debe ser minimizada.

Otras opciones tecnológicas que minimizan los efectos de la TID asociados con el óxido de puerta son el uso de nuevos materiales dieléctricos que incrementan la resistencia a la radiación, como por ejemplo el óxido de hafnio [85] o el óxido RNO (*Reoxidized Nitrided Oxide*) [86].

Dentro de los procesos tecnológicos alternativos, destaca la tecnología SOI (*Silicon On Insulator*), ampliamente utilizada en aplicaciones espaciales. En esta tecnología, los transistores son fabricados sobre una capa de óxido que los aísla del sustrato. La principal ventaja, en cuanto a efectos de radiación se refiere, es que elimina completamente la estructura del tiristor parásito, eliminando la posibilidad de que se induzca una condición de *latchup*, y reduciendo también de forma notable la probabilidad de SEUs y SETs.

Además de la tecnología SOI, otros procesos tecnológicos, como por ejemplo, las tecnologías basadas en SiGe, o las que implementan transistores de tipo MESFET (*METal-Semiconductor Field-Effect Transistor*), han demostrado de forma experimental unos niveles muy altos de robustez frente a la TID [41].

2.4.2. Técnicas RHBD

En el apartado anterior se han mostrado diversas soluciones tecnológicas que permiten incrementar la robustez de los circuitos integrados frente a la radiación. Tradicionalmente, el empleo de procesos tecnológicos específicos, inherentemente robustos a la radiación, ha sido durante años la alternativa más utilizada a la hora de implementar circuitos integrados para aplicaciones espaciales. Esto fue posible gracias al fuerte apoyo económico de las agencias gubernamentales que, generalmente con implicaciones militares y/o estratégicas, lideraban los proyectos espaciales del pasado. Actualmente, el empleo de estas tecnologías lleva consigo algunos inconvenientes. Por un lado, además de ser considerablemente más caras que las convencionales, su disponibilidad está limitada a un número muy reducido de *foundries*, a la vez que los procesos de exportación, por ser dispositivos robustos a la radiación, se encuentran muy regulados y restringidos. Por otro lado, en términos de prestaciones, estas tecnologías suelen tener un retraso de varias generaciones con respecto a las tecnologías convencionales más modernas.

Una solución alternativa, cuya aplicación práctica se está extendiendo durante la última década [11], consiste en el empleo de tecnologías CMOS estándar junto con técnicas de diseño orientadas al robustecimiento frente a la radiación, denominadas técnicas RHBD (*Radiation Hardening by Design*). Estas técnicas se aplican durante el flujo de diseño, pudiendo abarcar desde el nivel de *layout* hasta el nivel máximo de abstracción, incluyendo técnicas a nivel de arquitectura o incluso a nivel de sistema.

Una de las técnicas RHBD más extendidas tiene como objetivo minimizar el incremento de la corriente de fugas inducida por la radiación. Para ello, es necesario evitar el contacto directo entre los caminos conductivos formados bajo el óxido y las regiones n+ o pozos N adyacentes. Esto implica el uso de técnicas de diseño a nivel de *layout* para implementar geometrías especiales, principalmente para los transistores NMOS. La técnica más comúnmente empleada se denomina transistor con geometría de *layout* encerrada [87], también denominado ELT (*Enclosed Layout Transistor*), habiendo diversas variantes, tal y como se muestra en la Fig. 2.10.

Dentro de las múltiples opciones de transistores ELT, la geometría anular de la Fig. 2.10(a) es la que con más frecuencia aparece reportada en la literatura. No obstante, el uso de transistores anulares conlleva algunos inconvenientes importantes a tener en cuenta. Una de las limitaciones más importantes es la dependencia entre la anchura y la longitud del canal debido a la condición radial de la geometría. Por otro lado, la evidente asimetría del *layout* entre las difusiones de drenador y fuente también tiene consecuencias, tanto en el *matching* entre transistores, como en su conductancia de salida [88].

Una alternativa al transistor anular es el transistor con anillo de fuente o RS (*ringed source*) [89], cuya geometría se muestra en la Fig. 2.10(b). La principal ventaja de esta geometría

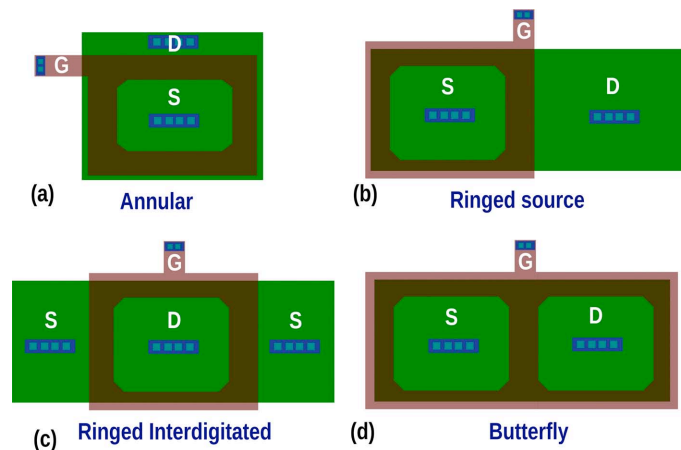


Fig. 2.10.: Ejemplo de layouts de transistores NMOS con geometría encerrada: (a) Transistor anular, (b) Transistor con anillo de fuente, (c) Transistor con anillo de drenador y (d) Transistor con doble anillo.

reside en que permite independizar el valor de la anchura del canal respecto a su longitud, a la vez que permite transistores más compactos y menos asimétricos, aproximándose más a la forma de un transistor convencional. En este caso, el polisilicio de la puerta se superpone sobre la fuente sobrepasando los bordes de la zona activa, evitando el contacto físico entre el óxido de campo y dicha zona activa. Otra variante de este *layout* consiste en implementar el anillo en el drenador del transistor, tal y como se muestra en la Fig. 2.10(c). No obstante, en general resulta más idóneo rodear la fuente con objeto de no incrementar las capacidades drenador-sustrato y puerta-drenador del transistor, lo cual podría provocar un incremento significativo del retraso en transistores de dimensiones grandes.

El principal inconveniente de este tipo de *layout* es el incremento de la capacidad de puerta del transistor, debido a la extensión del polisilicio sobre la fuente o el drenador. Además, la resistividad del polisilicio es relativamente grande, lo cual debe tenerse en cuenta sobre todo en transistores de grandes dimensiones. Por otro lado, dado que parte del polisilicio sobresale de la zona activa, superponiéndose sobre el sustrato P, tal y como se aprecia en la Fig. 2.10(b), habrá una cierta inversión del sustrato P en las zonas de campo. No obstante, la corriente inducida es en general despreciable, pudiendo llegar a ser significativa únicamente en aplicaciones de muy bajo consumo [90].

Dado que los transistores PMOS no sufren de un incremento significativo de la corriente de fugas por efecto de la TID, el uso de este tipo de *layouts* es, en general, únicamente necesario en transistores NMOS. Sin embargo, el empleo de *layouts* con geometría encerrada, evitando el uso de ángulos rectos, tiene la ventaja adicional de reducir el campo eléctrico en la zona periférica de la puerta, lo cual se ha demostrado [90, 91] que contribuye a reducir la acumulación de trampas de óxido y de interfaz durante la irradiación. En tecnologías profundamente submicrométricas, los efectos del campo eléctrico en la periferia pueden ser significativos, especialmente en transistores finos. En estos casos, puede resultar recomendable extender el empleo de *layouts* con geometría encerrada a los transistores PMOS.

El empleo de transistores con geometría de *layout* encerrada permite solventar el efecto de la corriente inducida entre las difusiones n+ del propio transistor (*inter-leakage current*), no obstante aún existe la posibilidad de corriente inducida entre transistores NMOS y/o pozos N adyacentes (*intra-leakage current*). Con objeto de hacer frente también a estas corrientes de fugas, una técnica adicional consiste en el empleo de anillos de difusión p+ rodeando a cada transistor NMOS (anillos de guarda). Estos anillos actúan como neutralizadores del canal, ya que su alto nivel de dopado evita que se produzca la inversión de cargas en el sustrato P por efecto de la acumulación de huecos en el óxido de campo existente sobre dicha difusión p+. Así, al estar el transistor NMOS completamente rodeado por la difusión p+ se elimina la posibilidad de que se formen caminos conductivos entre transistores NMOS y/o pozos N adyacentes [87].

Por otro lado, el anillo de difusión también actuará como anillo de guarda convencional, man-

teniendo la polarización del sustrato y, por tanto, reduciendo considerablemente la probabilidad de que se produzca *latchup*. Del mismo modo, para una mayor robustez frente a dicha condición de *latchup*, también resulta conveniente rodear los transistores PMOS con anillos de guarda n+, de forma que también se mantenga uniforme la polarización de los pozos.

Con respecto a los eventos singulares, en la literatura se pueden encontrar diversas técnicas de robustecimiento en función de los requisitos de la aplicación, del entorno de operación, así como de la tecnología empleada [92–94]. Para el caso de tecnologías especialmente sensibles a los SEEs destructivos, será necesario el empleo de sistemas de monitorización de corriente, con objeto de detectar y actuar frente a la inducción de un SEL o un SESB [95, 96]. Con respecto a los SEEs no destructivos, resulta común el empleo de diversas técnicas orientadas a la detección y/o corrección de errores destacando, por su amplio uso, el empleo de técnicas de redundancia [97], las cuales se pueden aplicar desde el nivel más bajo de la jerarquía, es decir, redundancia a nivel de puertas lógicas, hasta el nivel más alto, aplicando redundancia a nivel de sistema.

2.5. Caracterización frente a la radiación de la tecnología CMOS AMS 0.35 μm

A lo largo de este capítulo se ha realizado una descripción genérica de los procesos físicos involucrados en la degradación de las características de los transistores MOS como consecuencia de su exposición a la radiación, así como de los efectos de la radiación sobre los circuitos realizados con tecnologías CMOS. Este apartado tiene como objetivo proporcionar una contrapartida experimental más concreta, con objeto de analizar los efectos observados en la propia tecnología CMOS empleada en este trabajo, así como en procesos tecnológicos similares (CMOS de 0.35 μm) reportados en la literatura.

Para ello, en esta sección se presenta en primer lugar un resumen de los principales resultados obtenidos tras la caracterización experimental de la tecnología CMOS AMS de 0.35 μm frente a la radiación, así como también en un rango de temperaturas extendido. Tal y como se comentó en el capítulo 1, esta caracterización se llevó a cabo como hito previo al diseño y fabricación de los ASICs propuestos para el proyecto MEIGA. Dado que todo lo relativo a esta etapa del proyecto, así como los resultados experimentales obtenidos, se encuentran fuera de los objetivos planteados en este trabajo de tesis, no se entrará a describir con detalle el proceso de caracterización. En [35–37] se puede encontrar una descripción más detallada de la metodología llevada a cabo y de los ASICs diseñados y fabricados para la caracterización, así como también de los resultados obtenidos.

La caracterización de la tecnología se llevó a cabo mediante el diseño de 3 ASICs como vehículos de test. Los dos primeros ASICs estuvieron orientados principalmente a la carac-

terización frente a la TID, consistiendo en una matriz de transistores, tanto de óxido fino como grueso, implementados con diversas relaciones de aspecto y técnicas de *layout*. En el primer ASIC también se incluyeron celdas digitales con diversas geometrías de *layout* para los transistores NMOS, así como también celdas de memoria con diversas arquitecturas, todo ello con objeto de analizar el comportamiento de la circuitería digital frente a la TID y los SEEs. El diseño del tercer ASIC estuvo orientado a la caracterización frente a los SEEs de una versión preliminar de la librería digital robusta a la radiación. También se incluyeron en la caracterización todos los tipos de resistencias y condensadores disponibles en el proceso empleado. A continuación se presenta un resumen de los resultados más significativos:

- Variación de la tensión umbral para una dosis total de 350 krad: para el caso de los transistores de óxido fino, el desplazamiento de la tensión umbral, previo a la aplicación de *annealing*, se mantuvo por debajo de 30 mV (en valor absoluto), tanto para transistores NMOS como PMOS. Tras la realización del proceso de *annealing* no se apreciaron variaciones significativas. La tensión umbral de los transistores de óxido grueso sufrió de un desplazamiento más importante. Así, en los transistores PMOS de óxido grueso (PMOSM), se observó un incremento medio del valor absoluto de la tensión umbral de 130 mV de forma previa al *annealing*, mientras que en los transistores NMOS de óxido grueso (NMOSM) se observaron desplazamientos medios entre -10 mV, para el caso de transistores de dimensiones grandes, y -50 mV para el caso de transistores de dimensiones pequeñas. Por otro lado, para el caso de la tensión umbral de los transistores NMOSM, y durante la aplicación del proceso de *annealing*, se observó el efecto rebote analizado en la sección 2.3.1.1, efecto por el cual el desplazamiento de la tensión umbral del transistor pasa de ser negativo a ser positivo. Si bien no se apreciaron, en general, variaciones significativas en la evolución de la tensión umbral de los transistores con *layout* estándar con respecto a los transistores con geometrías de *layout* encerradas, sí que se observó una menor degradación de la tensión umbral para el caso de transistores de pequeñas dimensiones implementados con estas geometrías encerradas, principalmente debido a que estas geometrías contribuyen a reducir el campo eléctrico en las esquinas, lo cual disminuye, a su vez, la tasa de formación de trampas, tanto en el óxido como en la interfaz. En general, el desplazamiento de la tensión umbral ha exhibido una cierta dependencia con las dimensiones del transistor, de forma que transistores pequeños, ya sea en términos de longitud o de anchura de canal, son más sensibles, siendo especialmente acusado este efecto en los transistores de óxido grueso.
- Degradación en la corriente de saturación: esta degradación está asociada a variaciones de la tensión umbral así como de la movilidad de los portadores en el canal de conducción. Los resultados de la caracterización reportaron a 350 krad una disminución del 20 y del 10% en la corriente de saturación de los transistores PMOSM y PMOS, respectivamente. Para el caso de los transistores de canal n, se observó a 350 krad una disminución media en la corriente de saturación de los transistores NMOSM del 2%, y

del 1% para los transistores NMOS.

- Incremento de la corriente de fugas: en este caso se observó que la corriente de fugas de los transistores de canal n con *layout* estándar comienza a ser significativa por encima de 200 krad, con valores de hasta 1 μA (valor normalizado para una anchura de canal de 1 μm , y una longitud de canal de 0.5 μm) para el caso de transistores NMOSM, siendo un orden de magnitud más pequeña para el caso de transistores NMOS, confirmando en ambos casos la conveniencia de emplear geometrías de *layout* encerradas para la implementación de los transistores de canal n.
- Otros efectos: además de los dispositivos MOS, también se caracterizaron frente a la radiación otros dispositivos, destacando los transistores bipolares y las resistencias. Con respecto a los primeros, y para una TID de 350 krad, se observó una degradación de hasta el 25% en el parámetro β de los transistores PNP verticales, y de hasta el 50% para el caso de los transistores PNP laterales. Con respecto a las resistencias, se observó a 350 krad un incremento en las resistencias de pozo N de hasta el 6%, y de hasta el 1.5% para el caso de resistencia implementadas con polisilicio de alta resistividad.

Con respecto a la caracterización de la librería digital estándar frente a los SEEs, se observó un nivel umbral de LET efectivo para SEUs, es decir, el nivel de LET a partir del cual se comienzan a inducir SEUs en el ASIC, de aproximadamente $5.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, con una sección transversal de saturación de $2\cdot 10^{-7} \text{ cm}^2/\text{bit}$. Con respecto al SEL, se observó la inducción de *latchup* para valores de LET efectiva por encima de $6.6 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, en este caso sin alcanzar un valor de saturación en la sección transversal para el rango de LET aplicado. Por otro lado, la caracterización de la versión preliminar de la librería digital robusta a la radiación, implementada a partir de transistores NMOS con geometrías de *layout* encerradas, en combinación con la inclusión de anillos de guarda para los transistores PMOS y NMOS, evidenciaron una mejora significativa frente a los SEEs. Con esta librería, el nivel umbral de LET efectivo para errores de SEU se incrementó por encima de los $11.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, con una sección transversal de saturación de $3.7\cdot 10^{-7} \text{ cm}^2/\text{bit}$. La robustez frente a la inducción de un SEL también se incrementó considerablemente, no observándose la inducción de *latchup* para el valor máximo de LET aplicado durante la caracterización ($67.7 \text{ MeV}\cdot\text{cm}^2/\text{mg}$).

La caracterización de la tecnología a bajas temperaturas se llevó a cabo con una cámara térmica en las instalaciones del INTA, alcanzando una temperatura mínima de $-110 \text{ }^\circ\text{C}$. Los resultados experimentales obtenidos permitieron confirmar que los modelos eléctricos de los dispositivos proporcionados por la *foundry* como parte del kit de diseño de la tecnología empleada, modelan de forma adecuada la evolución, tanto de la tensión umbral como de la corriente de fugas, en el rango de temperaturas extendido hasta $-110 \text{ }^\circ\text{C}$. Esto no era evidente, ya que los modelos proporcionados por la *foundry* se declaran válidos únicamente hasta $-40 \text{ }^\circ\text{C}$.

En la literatura se pueden encontrar otros trabajos orientados a la caracterización frente a la TID de tecnologías CMOS de 0.35 μm similares a la empleada en este trabajo [98–100],

reportando efectos inducidos similares a los discutidos en esta sección. A nivel de circuito, también se han reportado diversas implementaciones de sistemas de *front-end* para entornos espaciales en tecnologías CMOS de 0.35 μm . Estos trabajos permiten confirmar que el empleo de una tecnología CMOS estándar de 0.35 μm , sin la aplicación de técnicas de robustecimiento específicas para hacer frente a los efectos de la radiación, tiene diversas consecuencias en las prestaciones del circuito a medida que la dosis total acumulada es mayor. Entre ellas, cabe destacar un incremento considerable en el consumo total del ASIC y una degradación significativa de las prestaciones de los sistemas de adquisición, incluyendo un incremento en los errores de linealidad y de ganancia [101–103], así como una degradación del número de bits efectivo ENOB [104, 105]. Con respecto a los SEEs, las consecuencias más críticas vienen dadas por una notable vulnerabilidad del sistema a los efectos de los SEUs y SELs [101, 105], siendo especialmente crítica la correspondiente a los SELs, por tratarse de un evento destructivo.

2.6. Conclusiones

En este capítulo se han descrito los principales efectos inducidos por la radiación en tecnologías CMOS convencionales, junto con una breve descripción de las técnicas de *layout* RHBD presentes en la literatura que contribuyen a mitigar algunos de estos efectos.

La degradación sufrida por los dispositivos CMOS tras su exposición a la radiación es muy dependiente del proceso tecnológico empleado. Así, por un lado, las tecnologías CMOS más modernas, con óxidos de puerta más finos, presentan una mayor robustez frente a los efectos asociados a la acumulación de trampas en dicho óxido. No obstante, otros efectos inducidos siguen estando presentes en mayor o menor grado, como es el caso de los efectos asociados a la acumulación de trampas en el óxido de campo, ya que su espesor no se escala en la misma medida que el del óxido de puerta. En tecnologías profundamente submicrométricas, los efectos de canal corto y canal delgado pueden provocar la manifestación o intensificación de nuevos efectos inducidos asociados al campo eléctrico presente en la periferia del transistor [90, 91]. Por otro lado, la carga crítica necesaria para inducir un SEE en el circuito también disminuye con el escalado de la tecnología, de forma que, en general, las tecnologías más modernas adolecen de una mayor sensibilidad frente a estos eventos, lo cual implica que incluso en ambientes o entornos no especialmente críticos en términos de radiación, una partícula poco energética puede ser susceptible de inducir uno o varios SEEs de forma simultánea. Por otro lado, incluso entre procesos tecnológicos correspondientes a una misma generación, los efectos derivados de la exposición a la radiación pueden ser distintos [88].

El empleo de transistores con geometrías de *layout* encerradas, en combinación con el empleo de anillos de guarda, es una de las técnicas RHBD más empleadas para hacer frente al incremento inducido en la corriente de fugas con la TID, principalmente en los transistores

NMOS. Sin embargo, otros efectos inducidos, como son la variación de la tensión umbral o la degradación de la transconductancia de los transistores no se consiguen mitigar, en general, con el empleo de estas técnicas. A nivel de sistema, las fluctuaciones de estos parámetros provocan a su vez, entre otros efectos, variaciones graduales tanto del punto de operación de los transistores como de las características en AC de los bloques analógicos, así como también en la temporización de los sistemas digitales, lo que a su vez se traduce en una degradación de las prestaciones de los bloques de alto nivel, como por ejemplo, la ganancia, la linealidad o el ENOB en el caso de convertidores A/D. Estas variaciones no sólo dependen del proceso tecnológico seleccionado, sino que también dependen de las características y dimensiones de los transistores empleados en cada bloque. Las condiciones del entorno de operación, en términos de tasa de dosis, también tendrán una cierta influencia, ya que la respuesta de los transistores, especialmente los transistores NMOS, puede ser distinta, tal y como se vio en la sección 2.3.1.

Todos estos condicionantes implican que sea relativamente complejo predecir cuál va a ser el nivel de estabilidad frente a la radiación de las prestaciones del sistema implementado con una determinada topología, en un proceso tecnológico CMOS concreto, y en un entorno de operación con unas condiciones específicas en términos de radiación y temperatura, de forma que será necesario emplear técnicas de robustecimiento adicionales, por ejemplo, a nivel de arquitectura, si se desea que el sistema a diseñar, además de ser fiable, mantenga una cierta estabilidad en sus prestaciones frente a la radiación durante todo su ciclo de vida útil.

3. Medida de campos magnéticos: sensores y arquitecturas

3.1. Introducción

SON numerosas las aplicaciones espaciales que requieren la medida de campos magnéticos, abarcando desde la instrumentación científica y meteorológica hasta la implementación de los sistemas de control de actitud de los satélites. El método tradicional para la medida de la intensidad y dirección del campo magnético en entornos espaciales ha sido mediante el empleo de sensores de tipo *fluxgate* (FG), principalmente porque este tipo de sensores combinan unas altas prestaciones en términos de precisión, estabilidad y robustez en un dispositivo de poca masa y volumen con respecto a la carga útil de un satélite convencional [106].

Sin embargo, tal y como se describió en el primer capítulo, la tecnología aeroespacial tiende actualmente hacia la estandarización y la reducción de costes [107], proliferando el uso de satélites de pequeño tamaño. El magnetómetro MOURA para la misión MEIGA, con un requisito de masa de aproximadamente 80 g, se encuentra dentro de esta filosofía de diseño. El uso de sensores de tipo *fluxgate*, con una masa y consumo típicos de 0.5 kg y 2 W respectivamente [108], no resulta abordable para este tipo de sistemas, siendo necesaria la búsqueda de nuevas alternativas que consigan mantener las prestaciones a la vez que se reduzcan considerablemente tanto el tamaño y el peso, como el consumo de potencia.

En la literatura se encuentran revisiones muy completas del estado del arte de sensores de campo magnético para aplicaciones espaciales [108, 109]. Una de las alternativas que consigue explotar al máximo la minituarización es el uso de sensores micro-*fluxgate* (μ FG), los cuales permiten la implementación en el mismo *chip* tanto del sensor como de la electrónica de *front-end*, siendo una solución compatible con la tecnología CMOS [110–113]. No obstante, los niveles de precisión y linealidad que se alcanzan actualmente con esta tecnología no son suficientes para los objetivos del presente trabajo.

Otras alternativas que destacan por su pequeño tamaño y aplicabilidad para el espacio son los sensores basados en magneto-impedancia (MI) [114] y en magnetorresistencia de efecto túnel (TMR) [115, 116], así como los sensores basados tanto en magnetorresistencia anisotrópica (AMR) [117–119] como en magnetorresistencia gigante (GMR) [120–122]. En la Tabla 3.1 se resumen las principales características de cada una de estas tecnologías [108].

Tabla 3.1.: Características de sensores empleados en aplicaciones espaciales [108].

Tecn.	Rango ($\pm\mu\text{T}$)	Res. (nT)	Dens. ruido (nT/ $\sqrt{\text{Hz}}$)	BW	Sensib. (mV/mT)	Masa (g)	Precio (€)
FG	10^4	2.7	0.02 @ 1Hz	100 kHz	10^4	~ 500	~ 250
(μFG)	10^3	1	1 @ 1Hz	10 kHz	—	< 0.5	—
AMR	600	3	2 @ 1Hz	5 MHz	50 @ 5 V	< 0.5	20
GMR	1.5	10	1 @ 1Hz	1 MHz	175 @ 5 V	< 0.5	7
MI	1	10	5 @ 1Hz	1 kHz	1.3 @ 3 V	< 0.5	70
TMR	200	1	1 @ 1Hz	100 Hz	—	< 0.3	70

Dentro de todo el abanico de posibilidades, los sensores basados en magnetorresistencia anisotrópica (AMR) se presentan como la tecnología más madura para aplicaciones espaciales tras los sensores *fluxgate* [119]. Estos dispositivos son implementados en tecnologías integradas, con la consiguiente ventaja en términos de peso y volumen, siendo además un dispositivo comercial de bajo coste. Por otro lado, son dispositivos inherentemente robustos a la radiación, y sus prestaciones se adaptan perfectamente a los requisitos y objetivos de la misión MEIGA.

Tal y como se describirá en detalle a lo largo de este capítulo, los sensores AMR adolecen de algunos inconvenientes, como la inestabilidad en temperatura o el error de linealidad. No obstante, estos inconvenientes pueden ser minimizados en gran medida mediante el uso de una arquitectura adecuada para la electrónica de *front-end* del sistema de medida. En este capítulo se presenta una descripción detallada de los sensores AMR empleados para el diseño del magnetómetro, y también se presentará y justificará la arquitectura propuesta para el sistema de medida que consigue maximizar sus prestaciones.

En la sección 3.2 se realiza una descripción de los sensores AMR empleados, con especial énfasis en el modelado de las no idealidades y en el estudio de las diferentes estrategias de polarización y acondicionamiento de los sensores con objeto de optimizar las prestaciones. En la sección 3.3 se presentan las arquitecturas convencionales que son comúnmente empleadas para la implementación del sistema de medida, analizando las ventajas y los inconvenientes que finalmente justifican el uso de la topología propuesta, la cual se describe en la sección 3.4. En la sección 3.5 se presentan las conclusiones de este capítulo.

3.2. Sensores de magnetorresistencia anisotrópica

Los sensores de campo magnético basados en magnetorresistencia constituyen una familia de dispositivos cuyo principio de operación se basa en la variación de la resistividad de un material ferromagnético en función de la intensidad y dirección del campo magnético incidente. Dentro de este área existen diversos tipos de tecnologías, destacando por su amplio rango de

aplicaciones los sensores basados en magnetorresistencia anisotrópica (AMR), los basados en magnetorresistencia gigante (GMR) y los sensores de magnetorresistencia de efecto túnel (TMR).

Dentro de esta familia, los sensores AMR son los que presentan un menor ruido intrínseco, y en especial un menor ruido *flicker*, lo cual hace que estos dispositivos sean los más idóneos para la medida de campos magnéticos de baja frecuencia. A pesar de que los sensores AMR han sido tradicionalmente destinados para aplicaciones de medida de campos magnéticos con intensidades relativamente grandes, los procesos tecnológicos actuales ya permiten disponer de sensores AMR comerciales capaces de abarcar rangos dinámicos del orden de los 600 μT con resoluciones del orden de los nT.

Por otro lado, este tipo de sensores, al ser meramente resistivos, presentan una alta tolerancia a la radiación [123]. Esta robustez junto con la combinación de unas altas prestaciones obtenidas con un dispositivo comercial de pequeño tamaño, bajo coste, y también bajo consumo, los convierten en una tecnología de gran interés para aplicaciones espaciales, y una alternativa más económica, pequeña y ligera con respecto al uso de sensores *fluxgate*, razones por las que esta tecnología ha sido elegida como la que mejor se adapta para cumplir tanto con los objetivos científicos del proyecto MEIGA, como con los estrictos requisitos de masa, volumen y consumo de potencia de la carga útil de la misión.

Los sensores AMR seleccionados para la implementación del magnetómetro pertenecen a la familia HMC-10xx de Honeywell Inc. [124]. La selección particular de esta familia y tecnología obedece a sus buenas prestaciones en términos de ruido magnético equivalente con respecto a otros fabricantes, tal y como se muestra en la Fig. 3.1 [125].

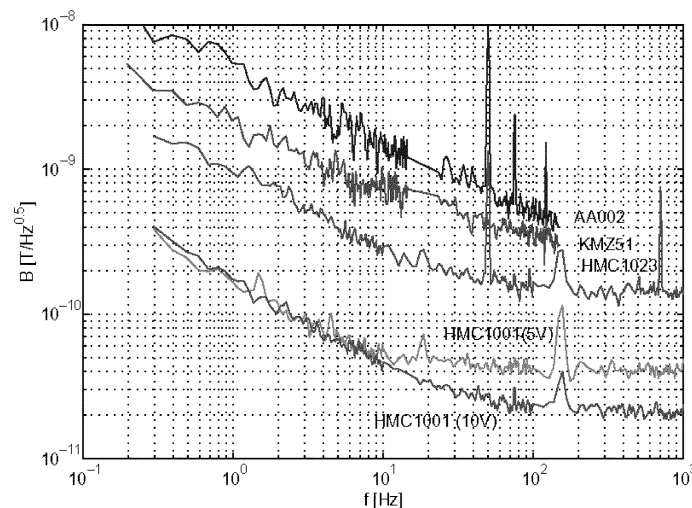


Fig. 3.1.: Ruido magnético equivalente para diferentes sensores AMR [125].

Dentro de esta familia existen diferentes opciones, principalmente en función de la resolución, rango de medida, sensibilidad y número de ejes. En la Tabla 3.2 se resumen las principales características de los sensores inicialmente considerados para el magnetómetro [124].

Los sensores están implementados mediante una configuración en puente de Wheatstone para la medida del campo magnético en cada eje, tal y como se muestra en la Fig. 3.2. Cada puente de Wheatstone incluye cuatro magnetorresistencias anisotrópicas fabricadas mediante una capa ferromagnética de una aleación de *permalloy*, constituida aproximadamente por un 80% de níquel y un 20% de hierro, la cual es depositada sobre un sustrato de silicio.

Tabla 3.2.: Especificaciones de los sensores AMR de la familia HMC-10xx de Honeywell Inc.

	Nº de ejes	Resolución (nT)	Rango de medida (mT)	Sensibilidad (mV/V/mT)	Error de linealidad (% FS)
HMC1001	1	2.7	± 0.2	32	1
HMC1002	2	2.7	± 0.2	32	1
HMC1021	1	8.5	± 0.6	10	1.6
HMC1022	2	8.5	± 0.6	10	1.6

Cada uno de estos cuatro magnetorresistores ha sido magnetizado durante el proceso de fabricación en la dirección paralela a la longitud de la magnetorresistencia, siendo la dirección perpendicular a ésta, es decir, la correspondiente a la anchura de la resistencia, la dirección o eje sensitivo del sensor. Tal y como se muestra en la Fig. 3.2, el sentido de la magnetización de la mitad del puente (R_1 y R_4) es opuesto a la de la otra mitad (R_2 y R_3), lo cual permite multiplicar por un factor 2 la sensibilidad de la tensión de salida del puente con respecto al caso de un único magnetorresistor polarizado con la mitad de corriente que la total del puente.

Como se aprecia en la Fig. 3.2, cada magnetorresistor del puente tiene asociada una bobina denominada de SET/RESET (S/R) [126, 127]. El objetivo de esta bobina es el de restaurar las condiciones de magnetización originales de los magnetorresistores mediante la aplicación de un pulso de corriente que alinee de nuevo su patrón de magnetización, el cual se puede ver afectado durante la operación por la presencia de campos magnéticos interferentes. Dependiendo de la polaridad del pulso aplicado, se tendrá un pulso de SET o de RESET, y el patrón de magnetización será en un sentido o en otro (las magnetorresistencias R_1 y R_4 siempre quedan magnetizadas en sentido contrario a R_2 y R_3), tal y como se muestra en la Fig. 3.3. Esto determina el signo final de la sensibilidad de la tensión de salida del puente con el campo magnético. El uso de estas bobinas permite por tanto retornar el sensor a su condición original de máxima sensibilidad, asegurando así una alta repetibilidad en las medidas. Además, también permite hacer medidas precisas del *offset* del puente para su cancelación, mediante la realización de dos medidas consecutivas con sensibilidad opuesta. Esto es especialmente importante, ya que, como se verá en el siguiente apartado, el *offset* del puente presenta derivas con la temperatura.

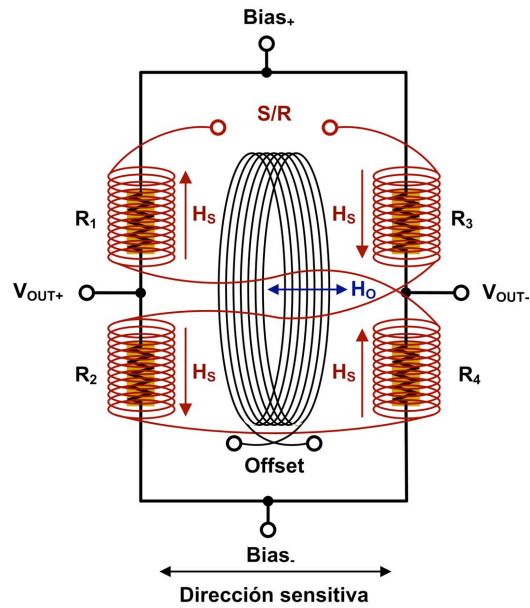


Fig. 3.2.: Esquema de un sensor AMR para un eje.

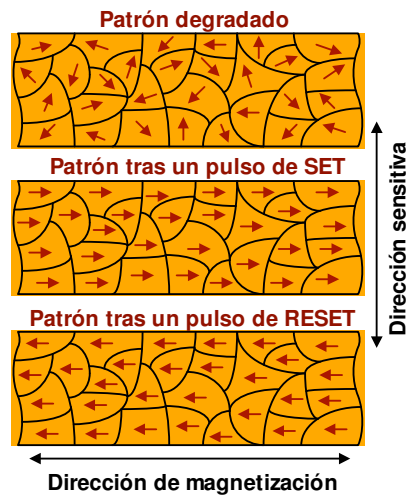


Fig. 3.3.: Patrón de magnetización tras un pulso de SET o RESET.

Aparte de las bobinas de S/R, los sensores AMR considerados disponen también de una bobina adicional denominada bobina de OFFSET, tal y como se muestra en la Fig. 3.2. Esta bobina puede ser empleada para crear un campo magnético controlado en la dirección sensitiva del sensor mediante la aplicación de una corriente controlada, de forma que el campo magnético generado artificialmente se sumará o restará al ambiental en función del signo de la corrien-

te aplicada. Esto permite eliminar cualquier campo magnético residual no deseado, es decir, hacer una corrección de *offset* del campo magnético a medir [128].

Tal y como se propondrá en la sección 3.4, la bobina de OFFSET también puede ser utilizada como elemento de realimentación en una configuración en lazo cerrado, en la que mediante la aplicación de una corriente controlada se genere un campo magnético que cancele al que se desea medir, manteniendo así el puente en una situación de equilibrio continuo, lo cual, como se verá posteriormente, permite optimizar las características del sensor en términos de sensibilidad y linealidad. Esta bobina también puede ser utilizada para realizar tareas de calibración del sistema de medición. Por ejemplo, es posible comprobar diversos parámetros de la característica de transferencia del sistema de medida mediante la aplicación de una rampa de corriente controlada.

3.2.1. Modelado del sensor. Linealidad y derivas con la temperatura

La variación de la resistencia por efecto del campo magnético ambiental para cada una de las cuatro magnetorresistencias que forman parte del puente de Wheatstone se puede modelar mediante la siguiente expresión [129]:

$$R = R_0 \cdot \left[1 \pm \underbrace{\frac{(\rho_{\parallel} - \rho_{\perp}) \cdot l}{A \cdot R_0 \cdot (H_A + H_T)}}_{\alpha_H} \cdot H_M \cdot \underbrace{\sqrt{1 - \left(\frac{H_M}{H_A + H_T}\right)^2}}_{\alpha_{HD}} \right] \quad (3.1)$$

donde R_0 es el valor de la resistencia nominal para el caso de campo magnético nulo, ρ_{\parallel} y ρ_{\perp} son, respectivamente, las componentes paralela y perpendicular de la resistividad, l es la longitud de la magnetorresistencia y A su sección transversal. H_A es el campo de anisotropía, el cual se define como la intensidad de campo magnético para la cual la magnetización alcanza la saturación. H_M es la intensidad del campo magnético a medir en la dirección sensitiva del sensor y H_T hace referencia a la componente transversal de dicho campo magnético, es decir, la componente en la dirección paralela a la longitud de la resistencia. El signo \pm hace referencia al signo de la sensibilidad de la magnetorresistencia en función del sentido de su patrón de magnetización.

Como se puede apreciar en (3.1), la linealidad de la variación de la resistencia con el campo magnético en la dirección sensitiva se ve afectada por el término no lineal α_{HD} , así como también por el efecto del campo magnético transversal H_T , el cual tiene influencia tanto en α_H como en α_{HD} . El término no lineal α_{HD} sólo se podrá considerar despreciable cuando se cumpla que el campo magnético a medir es mucho más pequeño que el campo de anisotropía, es decir, cuando $H_M \ll H_A$. El valor típico de H_A para los sensores HMC1001/2 es de aproximadamente $8 \cdot 10^{-4}$ T [130].

El efecto del campo magnético transversal H_T tiene su origen en la variación del ángulo de magnetización del sensor con la componente del campo magnético incidente en la dirección paralela al eje longitudinal del sensor, produciendo una degradación de la sensibilidad y linealidad en la dirección sensitiva [131]. En la literatura se encuentran algunas propuestas para minimizar el efecto del campo magnético transversal mediante una caracterización previa de los sensores [132], o mediante técnicas de compensación y/o calibración [129, 131].

Tal y como se mostrará en la sección 3.4, donde se describe la arquitectura del sistema de medida propuesto para los sensores AMR, la opción alternativa que se propone consigue minimizar no sólo los efectos asociados al campo magnético transversal, sino también los efectos no lineales asociados al término α_{HD} . Para ello, se hace uso de la bobina de OFFSET como sistema de realimentación, con objeto de acondicionar el sensor para que opere continuamente en la zona de equilibrio cercana al campo magnético nulo.

Uno de los principales inconvenientes del uso de sensores AMR para la realización de medidas precisas del campo magnético es la dependencia de la respuesta del sensor con la temperatura, lo cual es especialmente crítico a la hora de medir campos magnéticos relativamente débiles en un entorno con variaciones extremas de temperatura, como es el objetivo del presente trabajo.

Como ya se ha comentado, en presencia de campos magnéticos débiles, las variaciones de la resistencia con el campo magnético se pueden modelar mediante una aproximación lineal según el coeficiente α_H . Con objeto de hacer un modelado de primer orden de las características en temperatura del sensor, y para simplificar considerablemente las expresiones resultantes, se va a suponer despreciable el coeficiente α_{HD} . Esta aproximación puede considerarse bastante realista, ya que como se verá en posteriores apartados, el sistema propuesto se encargará de acondicionar el sensor para que opere siempre en esta zona de campo magnético débil.

Cada una de las 4 magnetorresistencias que forman parte del puente de Wheatstone se van a modelar mediante dos coeficientes, el coeficiente de variación de la resistencia con el campo magnético incidente en la dirección sensitiva (α_H en unidades de T^{-1}) y un coeficiente de variación con la temperatura (α_T en unidades de $^{\circ}C^{-1}$) [124]:

$$\begin{aligned} R_1 &= R_{01} \cdot (1 + \alpha_H \cdot H_M + \alpha_T \cdot (T - 25)) \\ R_2 &= R_{02} \cdot (1 - \alpha_H \cdot H_M + \alpha_T \cdot (T - 25)) \\ R_3 &= R_{03} \cdot (1 - \alpha_H \cdot H_M + \alpha_T \cdot (T - 25)) \\ R_4 &= R_{04} \cdot (1 + \alpha_H \cdot H_M + \alpha_T \cdot (T - 25)) \end{aligned} \quad (3.2)$$

donde H_M es la magnitud del campo magnético incidente, T es la temperatura en $^{\circ}C$, y R_{0x} se corresponde con la resistencia nominal de cada una de las magnetorresistencias para un campo magnético de 0 T y una temperatura de 25 $^{\circ}C$. La resistencia nominal es distinta para cada una de las magnetorresistencias debido al *mismatch* en el proceso de fabricación, lo que producirá un *offset* en la tensión de salida del sensor. La sensibilidad de cada magnetorresistencia con el campo magnético vendrá dada por $s_H = \pm R_{0x} \cdot \alpha_H$, mientras que la sensibilidad

de la resistencia con la temperatura vendrá dada por $s_T = R_{ox} \cdot \alpha_T$. Los valores típicos de estas sensibilidades y de la resistencia nominal para los sensores considerados se indican en la Tabla 3.3 [124].

Tabla 3.3.: Valores típicos de sensibilidad y resistencia nominal de los sensores HMC-10xx.

	$R_{0x}(\Omega)$	$s_H(\Omega/mT)$	$s_T(\Omega/^{\circ}C)$
HMC100x	850	27.2	2.6
HMC102x	1100	11	2.6

El puente de Wheatstone puede ser polarizado con una fuente de tensión constante o bien con una fuente de corriente constante, lo cual influye en cómo las variaciones de temperatura afectan al *offset* y a la sensibilidad del puente. Para el caso de polarizar el puente con una fuente de tensión constante V_{SUP} , la tensión diferencial de salida vendrá dada por:

$$V_O = \left(\frac{R_2}{R_1 + R_2} - \frac{R_3}{R_3 + R_4} \right) \cdot V_{SUP} \quad (3.3)$$

donde R_1 a R_4 vienen dadas por (3.2). El *offset* del puente se determina a partir de (3.2) y (3.3), para el caso en que $H_M = 0$ T:

$$V_{OFFSET} = \left(\frac{R_{02}}{R_{01} + R_{02}} - \frac{R_{03}}{R_{03} + R_{04}} \right) \cdot V_{SUP} \quad (3.4)$$

La sensibilidad de la tensión de salida en función del campo magnético se puede determinar mediante la derivada de la función $V_O = f(H_M)$ para el caso en que $H_M \rightarrow 0$ T, obteniéndose la siguiente expresión:

$$S = \frac{2 \cdot \alpha_H \cdot V_{SUP}}{1 + \alpha_T \cdot (T - 25)} \cdot \underbrace{\frac{(R_{01} + R_{02})^2 \cdot R_{03} R_{04} + (R_{03} + R_{04})^2 \cdot R_{01} R_{02}}{(R_{01} + R_{02})^2 \cdot (R_{03} + R_{04})^2}}_{K_{RV}} \quad (3.5)$$

donde K_{RV} es un factor que sólo depende de las resistencias nominales y su *mismatch*. A partir de (3.4) y (3.5) se aprecia que con una aproximación de primer orden y para el caso de polarización con fuente de tensión constante, la tensión de *offset* del puente es independiente de la temperatura, mientras que la sensibilidad sí que se ve afectada por una deriva con la temperatura. El término $(1 + \alpha_T \cdot (T - 25))^{-1}$ de (3.5) se puede aproximar por $(1 - \alpha_T \cdot (T - 25))$ si, como es el caso, se cumple que $1 \gg \alpha_T \cdot (T - 25)$, de forma que la sensibilidad del puente decrece con la temperatura según el factor α_T .

Para el caso de polarizar el puente con una fuente de corriente constante I_{SUP} , la tensión a la

salida del puente vendrá dada por la siguiente expresión:

$$V_O = \frac{R_2 R_3 - R_1 R_4}{R_1 + R_2 + R_3 + R_4} \cdot I_{SUP} \quad (3.6)$$

La tensión de *offset* a la salida del puente se obtiene de la misma forma que en el caso anterior:

$$V_{OFFSET} = (1 + \alpha_T \cdot (T - 25)) \cdot \frac{R_{02} R_{03} - R_{01} R_{04}}{R_{01} + R_{02} + R_{03} + R_{04}} \cdot I_{SUP} \quad (3.7)$$

Del mismo modo, para el caso de la sensibilidad, se llega a la siguiente expresión:

$$S = \alpha_H \cdot I_{SUP} \cdot K_{RI} \quad (3.8)$$

donde K_{RI} es un factor que sólo depende de las resistencias nominales y su *mismatch*¹.

Como se puede apreciar en (3.7) y (3.8), para una aproximación de primer orden y polarizando el puente con una fuente de corriente constante, la sensibilidad de la tensión de salida del puente es independiente de la temperatura, mientras que el *offset* sí que presenta una cierta dependencia con la temperatura, justo al contrario de lo que ocurría cuando se polarizaba el puente en tensión. Las derivas de la tensión de *offset* con la temperatura son fáciles de solventar mediante una estrategia de medición de *offset* con las bobinas de S/R, por lo que una polarización del puente en corriente parece la alternativa más adecuada, ya que teóricamente en este caso no se necesitaría calibrar en temperatura el sensor al ser su sensibilidad independiente de la temperatura.

No obstante, en la literatura se reportan resultados experimentales [133, 134] en los que se comprueba que la sensibilidad del puente sí que presenta variaciones de temperatura a pesar de estar el puente polarizado en corriente. Estas variaciones, que están asociadas principalmente a derivas de segundo orden del coeficiente α_H con la temperatura, son aproximadamente un orden de magnitud más pequeñas que cuando se polariza el puente en tensión, pero pueden llegar a no ser despreciables en aplicaciones de alta precisión y con rangos de temperatura extendidos.

De modo similar, a pesar de que la tensión de *offset* parece independiente de la temperatura cuando el puente se polariza en tensión, también se han observado experimentalmente ciertas variaciones del *offset* con la temperatura, principalmente debidas a variaciones en los patrones geométricos de las magnetorresistencias con la temperatura [117, 134].

Como conclusión, se puede decir que polarizar el sensor AMR en corriente produce una mejora en la estabilidad de la sensibilidad con la temperatura, mientras que polarizarlo en tensión produce una mejora en la estabilidad de la tensión de *offset* con la temperatura. Sin embargo, estas mejoras no son absolutas, de forma que en ambos casos y en función de los requisitos

¹ $K_{RI} = \frac{R_{01} R_{04}^2 + R_{01}^2 R_{04} + R_{02}^2 R_{03} + R_{02} R_{03}^2 + 3 \cdot (R_{01} R_{02} R_{03} + R_{01} R_{02} R_{04} + R_{01} R_{03} R_{04} + R_{02} R_{03} R_{04})}{(R_{01} + R_{02} + R_{03} + R_{04})^2}$

perseguidos puede llegar a ser necesario llevar a cabo una estrategia de monitorización en temperatura que permita una calibración más exhaustiva.

3.3. Arquitecturas para la medida de campos magnéticos

La disposición de los sensores AMR en una configuración de puente de Wheatstone, así como la presencia de las bobinas de S/R y de OFFSET, permiten diversas arquitecturas a la hora de implementar el sistema de medición del magnetómetro. Estas opciones se pueden clasificar a grandes rasgos en dos grandes grupos: mediciones en lazo abierto y mediciones en lazo cerrado. Durante la etapa de selección de la arquitectura para el magnetómetro, se consideraron y analizaron diversas topologías. En esta sección se introducirán, en primer lugar, las principales características de ambos métodos de medida junto con las topologías consideradas, para después presentar y justificar la arquitectura propuesta, la cual es una arquitectura intermedia o híbrida respecto de las dos anteriores.

3.3.1. Medidas en lazo abierto

El método más común a la hora de realizar la conversión A/D de una señal procedente de un puente de Wheatstone es la medida en lazo abierto o método de deflexión [135], en el que se mide el desequilibrio del puente mediante la diferencia de tensión o corriente que se crea entre ambas ramas del puente por efecto de la magnitud física a medir, en este caso, el campo magnético.

Una de las aplicaciones prácticas de referencia que emplea este método de medida para la implementación de un magnetómetro digital con sensores AMR es el magnetómetro digital HMR2300 de la Fig. 3.4, comercializado por Honeywell Inc., la propia empresa que fabrica los sensores AMR [136]. Este magnetómetro digital, realizado con componentes discretos, implementa un sistema triaxial para la medida de la intensidad y dirección del campo magnético incidente con una resolución de 7 nT en un rango de hasta $\pm 200 \mu\text{T}$. La familia de sensores que utiliza es la HMC-1001/2 (ver características en la Tabla 3.2 y Tabla 3.3).

En la Fig. 3.5 se muestra el diagrama de bloques del sistema de medida en lazo abierto empleado por el magnetómetro digital HMR2300. El sistema de medida se implementa mediante 3 amplificadores de instrumentación, uno para cada eje, cuyas salidas son multiplexadas para realizar la conversión A/D mediante un convertidor *sigma-delta* de 16 bits. La tasa de conversión es programable entre 10 y 154 muestras (lectura de los 3 ejes) por segundo.

Para hacer frente al efecto de la variación de las prestaciones del sistema con la temperatura, el HMR2300 utiliza una estrategia de polarización de los sensores en corriente constante, de forma que, según lo expuesto en el apartado anterior, serán las tensiones de *offset* de los

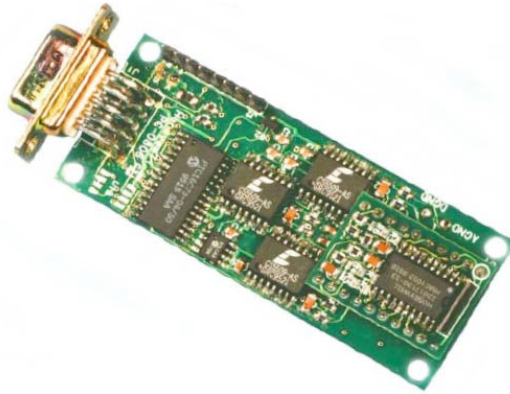


Fig. 3.4.: Magnetómetro digital HMR2300 de Honeywell Inc [136].

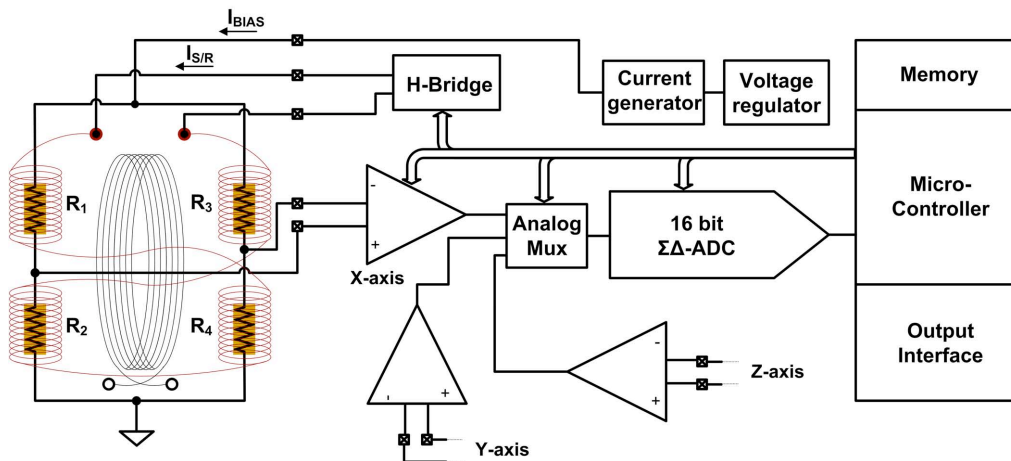


Fig. 3.5.: Diagrama de bloques del sistema HMR2300. Método de medida en lazo abierto.

sensores las que sufran de una mayor deriva con la temperatura. Para cancelar el efecto de esta variación en el código digital de salida, el sistema ofrece la posibilidad de hacer uso de las bobinas de S/R de los sensores para la realización automática de medidas consecutivas con sensibilidad opuesta, con objeto de hacer una corrección de *offset* del puente y cancelando así su deriva con la temperatura.

A pesar del empleo de la estrategia de corrección de *offset* para mejorar la estabilidad en temperatura, la utilización de un sistema de medida en lazo abierto como el de la Fig. 3.5 tiene algunos inconvenientes que impiden maximizar las prestaciones de los sensores AMR y que justifican que el uso de esta arquitectura no es el idóneo para cumplir con los objetivos del presente trabajo, mediante el cual se pretende alcanzar una resolución y precisión de 3 nT en un rango de $\pm 100 \mu\text{T}$ (ver sección 1.2). Estos inconvenientes son:

- Error de linealidad: el sistema HMR2300 tiene un error de linealidad típico de hasta el 0.5 % del fondo de escala para un rango de $\pm 100 \mu\text{T}$, es decir, un error de aproximadamente 500 nT. Este error de linealidad es relativamente grande como para poder ser empleado en aplicaciones de alta precisión donde los rangos máximos de linealidad admitidos suelen ser del orden de unos pocos nanoteslas. Dicho error reside en que la linealidad de los sensores AMR considerados empeora a medida que el puente se encuentra cada vez más desequilibrado, es decir, a medida que el campo magnético incidente es mayor, la linealidad empeora.
- Variación de la sensibilidad con la temperatura: a pesar de estar el puente polarizado en corriente, seguirá habiendo una cierta dependencia de segundo orden de la sensibilidad del sensor con la temperatura.

3.3.2. Medidas en lazo cerrado

El método de medida en lazo cerrado o método de comparación con ajuste automático consiste en disponer de un sistema de realimentación que genere una señal controlada encargada de compensar cualquier desequilibrio del puente, de forma que el signo y magnitud de dicha señal de realimentación será entonces una medida directa de la señal a medir [135].

Este método es comúnmente empleado en aplicaciones con sensores de tipo *fluxgate* con objeto de acondicionar y mejorar las prestaciones del sensor [137–139]. La aplicación de este método de medida para la implementación del magnetómetro digital con los sensores AMR consistiría en hacer pasar una corriente controlada por la bobina de OFFSET del sensor, de forma que se genere un campo magnético artificial y controlado que idealmente cancele el campo externo a medir.

La corriente controlada es generada mediante un convertidor digital-analógico (DAC) con salida en corriente (uno para cada eje), en un lazo de control guiado por el signo de la salida en tensión del puente de Wheatstone, tal y como se muestra en la Fig. 3.6. El mecanismo de conversión en lazo cerrado requiere de una observación del canal de entrada en tensión para guiar el proceso de aproximación, en el que habrá que discernir el signo de la señal diferencial de salida del puente. Esta observación puede ser realizada con un comparador con la suficiente resolución y velocidad. Cualquier desequilibrio en la salida del puente superior al umbral del comparador provocará un reajuste de la corriente de salida del DAC, vía el contador bidireccional. Al alcanzarse la cancelación con la resolución requerida, el código digital de entrada al DAC constituye la salida del proceso de conversión.

Este método de medida presenta una ventaja muy significativa con respecto al método en lazo abierto en lo que a linealidad y sensibilidad se refiere, ya que al forzar al sensor a operar en su condición de equilibrio, éste permanece de forma continua en la región de máxima linealidad y sensibilidad, independientemente de la magnitud del campo externo a medir. El

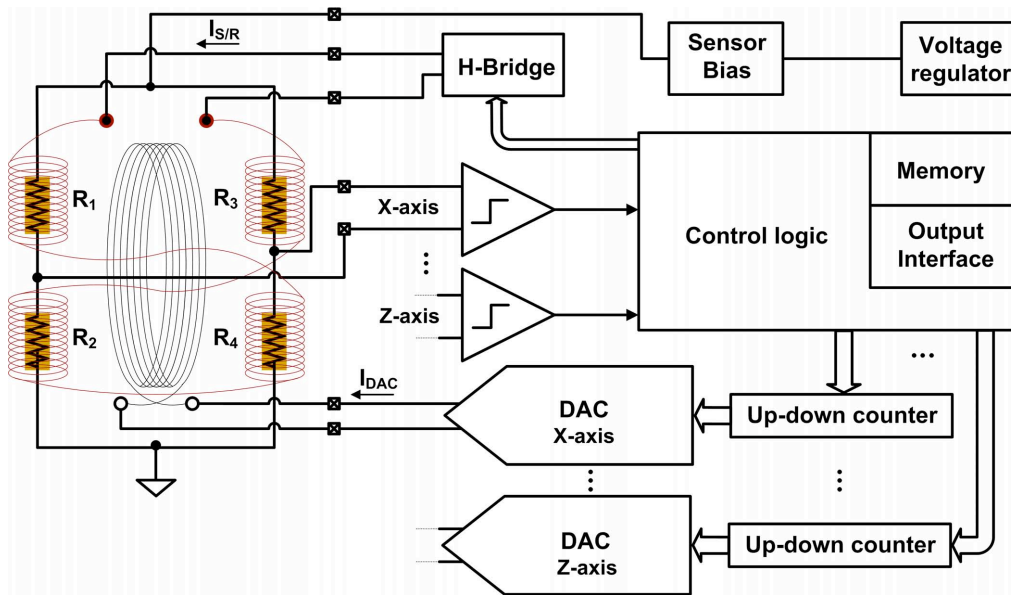


Fig. 3.6.: Diagrama de bloques de la implementación de un sistema de medida en lazo cerrado.

campo magnético generado artificialmente en realidad no cancela exactamente el campo a medir, sino que el campo generado es tal que la tensión de salida del puente es nula. La tensión de salida del puente se puede expresar en función de su sensibilidad (S) y tensión de *offset* (V_{OFFSET}):

$$V_O = S \cdot H_M + V_{OFFSET} \quad (3.9)$$

donde S y V_{OFFSET} vendrán dadas respectivamente por (3.4) y (3.5) o bien por (3.7) y (3.8) según se polarice el puente en tensión o en corriente.

Cuando por efecto del campo generado artificialmente se alcance el equilibrio del puente, se llegará a la siguiente condición:

$$V_O = S \cdot (H_M - H_C) + V_{OFFSET} = 0 \quad (3.10)$$

donde H_C es el campo generado artificialmente. La relación entre el campo a medir y el campo generado será por tanto:

$$H_C = H_M + \frac{V_{OFFSET}}{S} \quad (3.11)$$

De la expresión anterior se deduce que, con el uso de las bobinas de S/R en una estrategia de medidas consecutivas con polaridad opuesta, se consigue cancelar el término V_{OFFSET}/S , eliminando así cualquier efecto de variación con la temperatura, tanto de primer como de segundo orden, y además, de forma independiente a que el puente sea polarizado en tensión o en corriente.

Por tanto, con respecto a la estabilidad en temperatura, la arquitectura en lazo cerrado supone también una mejora con respecto a la arquitectura en lazo abierto, ya que si bien para el caso de una arquitectura en lazo abierto con polarización del puente en corriente y una corrección de *offset* periódica, se consigue mejorar la estabilidad en temperatura del puente, seguiría habiendo una dependencia de segundo orden de la sensibilidad con la temperatura.

La bobina de OFFSET de los sensores con mayor sensibilidad (HMC-1001/2) genera un campo magnético típico de $2 \mu\text{T}/\text{mA}$. Para obtener una resolución en torno a los 3 nT en un rango de $\pm 50 \mu\text{T}$ con una arquitectura en lazo cerrado como la de la Fig. 3.6, sería necesario implementar, para cada eje, un DAC de 15 bits con signo que proporcione $\pm 25 \text{ mA}$ al fondo de escala, y con una resolución de aproximadamente $1.52 \mu\text{A}$. Además, el DAC deberá ser monótono ($\text{DNL} < 1 \text{ LSB}$), de forma que se asegure la convergencia del algoritmo de aproximación de la corriente que equilibra el puente, y con un error de no linealidad que dependerá de los requisitos de la aplicación, en este caso, el objetivo sería una INL menor que 1 LSB.

Durante el proceso de selección de la arquitectura a implementar para el magnetómetro, esta arquitectura en lazo cerrado fue una de las primeras que fueron analizadas como parte del trabajo de tesis de Máster del autor [140]. En concreto, dados los elevados requisitos que debía cumplir el DAC, se analizó mediante simulaciones en Cadence y Matlab la viabilidad de su implementación, con especial hincapié en la estimación del área necesaria².

El uso de una topología basada en fuentes de corriente pesadas binariamente por sí sola no sería factible, ya que exige un emparejamiento muy bueno de dichas fuentes para que se garanticen los requisitos de monotonicidad e INL. En concreto, se observó mediante los modelos implementados que con esta arquitectura sólo se podían garantizar los requisitos de DNL e INL hasta el bit de orden 9, de forma que todas las fuentes a partir de dicho bit deberían implementar una circuitería de calibración que asegure el cumplimiento de los requisitos. Además, esta arquitectura presenta el inconveniente de los impulsos de *glitch* que aparecen en la corriente de salida cuando la palabra digital de entrada requiere de la conexión o desconexión de un conjunto de fuentes. A pesar de que con el inherente filtrado que proporcionan las bobinas de OFFSET del sensor AMR se tiende a aliviar estos efectos, estos siguen sin ser despreciables, y se requiere el estudio de otras alternativas.

El uso de una topología basada en fuentes de corriente con topología segmentada y decodificador termométrico [141], como la de la Fig. 3.7, tiende a aliviar los problemas asociados con el emparejamiento y los *glitches* de los que adolece la topología basada en fuentes de corriente pesadas binariamente. En este caso, el DAC estaría dividido en dos partes, una controlada por los 5 bits más significativos, con 31 fuentes de corriente "gruesa" iguales entre sí, y controladas mediante un decodificador con salida termométrica, y otra que responde a los 9 bits menos significativos, formada por 9 fuentes pesadas binariamente.

²Una descripción más detallada de este análisis puede consultarse en la tesis de Máster [140].

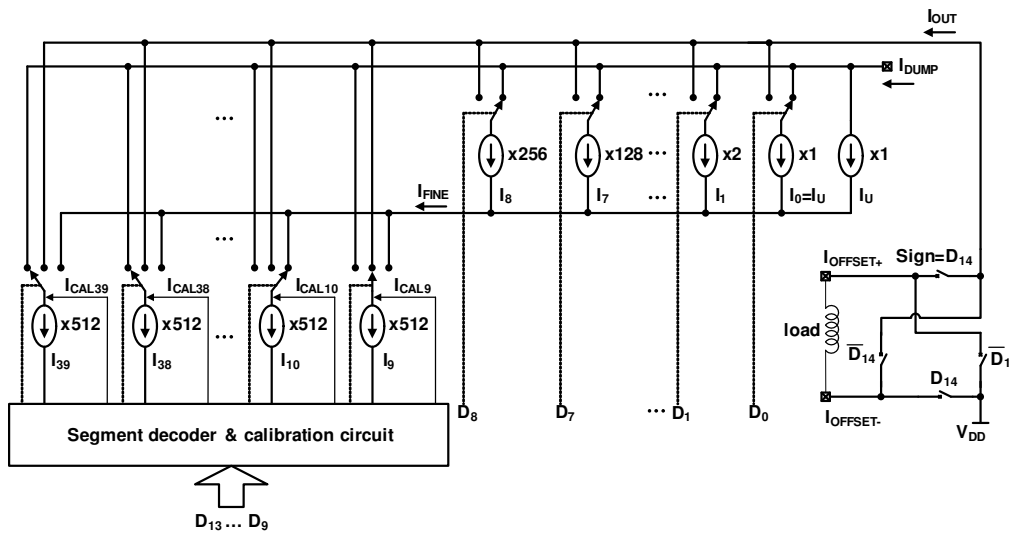


Fig. 3.7.: Diagrama de bloques del DAC con arquitectura segmentada.

El principio de funcionamiento consistiría en utilizar los 5 bits más significativos para conectar cada una de las fuentes de corriente gruesas ($I_9 - I_{39}$) de forma tal que se sumen sus corrientes, utilizando los 9 bits menos significativos para generar los pasos más finos por subdivisión de la siguiente fuente de corriente gruesa. Esto garantizaría la monotonicidad, asumiendo que el convertidor fino, al tener un número de bits moderado, es monótono, lo cual fue verificado mediante simulación. No obstante, no puede garantizarse que la INL sea menor que 1 LSB. Si las fuentes gruesas no tienen una precisión que haga que la diferencia entre ellas sea menor que 1 LSB, puede existir un error de INL apreciable, de forma que es necesario un sistema de calibración para las fuentes "gruesas".

El sistema de calibración consistiría en un conjunto de fuentes pequeñas, de valor 1 LSB, asociadas a cada una de las fuentes de corriente a calibrar. El procedimiento de calibración resultará en la decisión, mediante un comparador de corrientes, de cuántas de esas fuentes unitarias se sumarán (o restarán) hasta que se aseguren emparejamientos con errores menores que 1 LSB en la diferencia de corriente entre un código y el siguiente, asegurándose tanto la monotonicidad como la linealidad requeridas.

El principal problema de esta topología es el área de silicio necesaria para su implementación. La parte analógica incluye, además del comparador de corrientes, a todas las fuentes de corriente del divisor fino, fuentes gruesas y de calibración, además de los *switches* necesarios para establecer las interconexiones. Para asegurar los requisitos de impedancia, las fuentes de corriente deben ser implementadas con un transistor *cascode*, con objeto de incrementar la resistencia de salida, pero también con el consiguiente incremento de área. Además, los tran-

sistores PMOS que implementarían las fuentes de corriente³ deben incluir un anillo de guarda para hacer frente a los efectos de la radiación. La necesidad de multiplexar la corriente en los *pads* de salida según el signo deseado requiere también de *switches* considerablemente anchos.

La parte digital es igualmente muy costosa en área, más aún cuando una librería digital robusta a la radiación tiene una peor densidad de área con respecto a las librerías estándar proporcionadas por las *foundries*. La parte digital incluiría principalmente al decodificador termométrico y a toda la lógica digital necesaria para la implementación del algoritmo de calibración de las fuentes de corriente, así como también la correspondiente al algoritmo encargado de realizar la aproximación de la corriente de salida del DAC que equilibra el puente. Además, hay que tener en cuenta que es necesaria la aplicación de técnicas de redundancia a todos los elementos de almacenamiento como, por ejemplo, las memorias que almacenan la información de calibración de las fuentes de corriente. Dicha redundancia debería ser triple si se desea no tener que repetir el proceso de calibración cada vez que se produzca un error de SEU.

A pesar de que no había un requisito específico de área para la implementación del ASIC, se planteó como objetivo orientativo un área no superior a 5 mm². Las estimaciones de área obtenidas para la implementación del DAC con esta topología eran superiores a los 3 mm² para cada DAC, de forma que el uso de esta topología resulta inabordable en términos de área para los objetivos planteados. Por otro lado, además de los elevados requisitos de área, la implementación de un sistema de este tipo presenta otros inconvenientes a tener en cuenta:

- Con este método de medida, la linealidad y estabilidad con la temperatura, así como también el *offset* y la sensibilidad, pasan a depender de la relación entre el campo magnético generado artificialmente (H_C) y el código digital. Intervienen por tanto el DAC, la bobina de OFFSET, y los errores de ambos, además de sus derivas con la temperatura. Con respecto al DAC, habrá que tener en cuenta los efectos de la variación de la temperatura en sus prestaciones, como por ejemplo, la introducción de un error de ganancia. Así, para un código dado, la variación de la corriente de salida del DAC en el rango de temperaturas de operación (-90 °C hasta +125 °C) deberá ser menor que 1 LSB (equivalente a 1.52 μ A), ya que en caso contrario, también será necesario un sistema de monitorización o calibración en temperatura para corregir de estas desviaciones. Con respecto a la bobina de OFFSET, en el *datasheet* de los sensores AMR con mayor sensibilidad (HMC-1001/2), se especifica que esta bobina genera un campo magnético nominal de 2.0 μ T/mA, con una tolerancia de, aproximadamente, el $\pm 10\%$ de dicho valor nominal [124]. Aparte de estos valores, no se proporciona en el *datasheet* información adicional relativa a la linealidad, el *offset*, o la estabilidad con la temperatura del campo magnético generado por esta bobina. No obstante, diversos autores [115, 142, 143]

³ Las fuentes de corriente serían implementadas con transistores PMOS al presentar mejores características de *mismatch* con respecto a los NMOS, evitando además el uso de geometrías de *layout* especiales, más allá del uso del anillos de guarda, para hacer frente a los efectos de la radiación (ver sección 2.4).

ponen de manifiesto que el campo magnético generado por las bobinas de OFFSET de los sensores AMR es poco homogéneo, debido principalmente a su estructura de tipo planar. De esta forma, para el caso del sistema de medida en lazo cerrado, además de la necesidad de un DAC con las prestaciones buscadas, será necesario medir la relación entre la corriente proporcionada por el DAC y el campo magnético generado (H_C), y analizar, entre otros aspectos, la precisión, linealidad y estabilidad con la temperatura.

- Consumo de potencia: con objeto de minimizar el efecto de los *glitches* a la salida del DAC, en la arquitectura segmentada de la Fig. 3.7, las fuentes de corriente que no son usadas según el código digital seleccionado, son direccionadas al nodo sumidero de corriente I_{DUMP} , lo que implica un desperdicio importante en el consumo de potencia, el cual podría llegar a ser crítico en aplicaciones espaciales con requisitos de consumo muy estrictos.
- Efectos de la TID: a la hora de elegir el número de fuentes unitarias de las que debe disponer el sistema para asegurar la calibración, se debe tener en cuenta no sólo el efecto del *mismatch*, sino que además se debe hacer frente a la degradación temporal de la transconductancia de los transistores de las fuentes de corriente por efecto de la TID. Si no se dimensiona el sistema de calibración teniendo en cuenta este aspecto, puede ocurrir que durante la vida útil del sistema, el número de fuentes de calibración llegue a ser insuficiente. En este sentido, también se debe tener en cuenta que la degradación de la transconductancia por efecto de la TID depende de las condiciones de polarización, de forma que las fuentes de calibración que están desconectadas sufren de una menor degradación que las que se encuentran polarizadas.
- Versatilidad de la arquitectura: si bien la arquitectura en lazo cerrado consigue mejorar en ciertos aspectos las prestaciones de los sensores AMR, uno de los objetivos propuestos con el diseño del ASIC es el de maximizar la utilidad del sistema como solución de *front-end* para otras futuras misiones y/o con otro tipo de sensores. En este sentido, una arquitectura en lazo cerrado como la de la Fig. 3.6 resulta poco versátil para poder extender su aplicación a una gran cantidad de sensores que requieren sistemas de medida en lazo abierto.

3.4. Arquitectura propuesta

La arquitectura que se presenta en este apartado tiene como punto de partida las especificaciones y las estrategias de medida, basadas en el empleo de los sensores AMR, que fueron inicialmente planteadas por el grupo del INTA, institución que lidera el desarrollo del magnetómetro MOURA (ver sección 1.1.2). Así, durante la fase de concepción de la arquitectura, y en paralelo con el asesoramiento del INTA, se plantearon diversas alternativas para el sistema de medida, tanto en lazo abierto como en lazo cerrado.

Tal y como se ha visto en los apartados anteriores, la arquitectura en lazo abierto por sí sola no es capaz de maximizar las prestaciones de los sensores AMR, sobre todo en lo que a términos de linealidad e insensibilidad con la temperatura se refiere. Con respecto a la arquitectura en lazo cerrado, si bien consigue mejorar estas prestaciones, la implementación de 3 DAC de alta resolución llega a ser muy costosa en términos de área, a la vez que las prestaciones del sistema pasan a depender de la relación entre el código digital del DAC y el campo magnético de compensación que se genera mediante la bobina de OFFSET. Además, la arquitectura en lazo cerrado resulta poco versátil a la hora de extender su utilidad a otro tipo de sensores.

La arquitectura finalmente implementada es una solución intermedia respecto de las dos anteriores y que pretende aprovechar las ventajas de ambos métodos de medida minimizando en la medida de lo posible los inconvenientes. La filosofía de la solución adoptada resulta también de un compromiso de diseño que permita no sólo cumplir con las especificaciones requeridas para el magnetómetro, sino que también se maximice la versatilidad del ASIC diseñado como sistema de *front-end* para otros sensores y/o futuras aplicaciones espaciales, reduciendo así el tiempo y los costes en el diseño de sistemas similares.

La Fig. 3.8 muestra el diagrama de bloques de la arquitectura propuesta. Como se puede apreciar, para cada eje, la arquitectura propone un sistema de medida en lazo abierto que lleva a cabo la conversión A/D de la señal procedente del puente de Wheatstone. Para hacer frente a los efectos de no linealidad y derivas con la temperatura del sensor AMR con este método de medida, se incorpora además la posibilidad de utilizar un sistema en lazo cerrado, implementado con un DAC con salida en corriente, el cual, guiado por el signo y los N bits más significativos de las medidas llevadas a cabo por el sistema de medida en lazo abierto, se encarga de manejar las bobinas de OFFSET, con objeto de acondicionar el sensor para que opere continuamente, e independientemente del campo a medir, en la región óptima de operación, esto es, en la zona cercana al equilibrio del puente.

A diferencia del método en lazo cerrado visto en la sección 3.3.2, en este caso el sistema de realimentación no pretende cancelar completamente el campo, pero sí acondicionar el sensor para que opere en la zona cercana a dicha cancelación, tal y como se muestra en la Fig. 3.9.

De esta manera, los requisitos de diseño y área para la implementación de los DACs con respecto al caso anterior se consiguen relajar considerablemente. Situar el sensor en la zona cercana al equilibrio implica una mejora muy significativa y suficiente en lo que a linealidad se refiere, ya que al cumplirse la condición $H_M \ll H_A$ los términos no lineales así como también la influencia del campo magnético transversal llegan a ser despreciables.

Los requisitos de diseño que se plantearon a partir de esta arquitectura fueron una resolución de 3 nT en un fondo de escala de $\pm 50 \mu\text{T}$. No obstante, también se incluyó como requisito adicional la posibilidad de utilizar únicamente el sistema en lazo abierto con un fondo de escala extendido hasta los $\pm 100 \mu\text{T}$, con objeto de poder ampliar la utilidad del sistema a otro tipo de sensores y/o para otras aplicaciones menos demandantes en términos de linealidad y

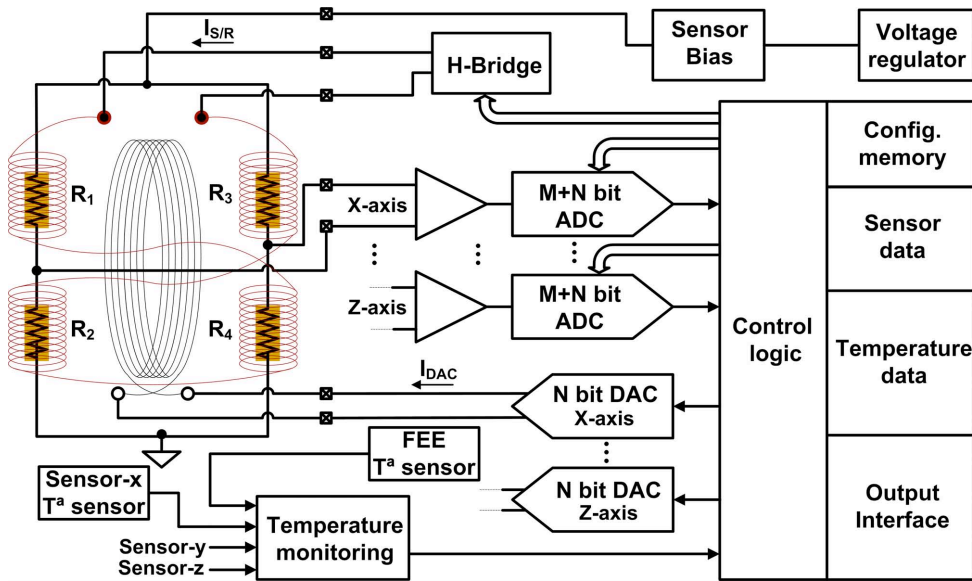


Fig. 3.8.: Arquitectura propuesta para el magnetómetro.

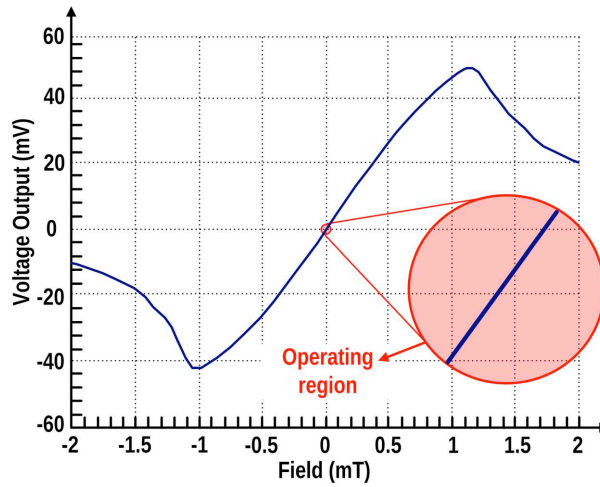


Fig. 3.9.: Zona de operación del sensor AMR.

estabilidad con la temperatura. De esta forma, los requisitos de diseño para cada uno de los ADC se corresponden con una resolución de 15 bits más signo (M+N).

Con respecto al DAC, cuanto mayor sea su número de bits (N), más estrecha podrá ser la zona de operación del sensor, mejorando por tanto sus características de linealidad y estabilidad con la temperatura. Los requisitos para su implementación resultan de un compromiso de diseño que permita minimizar el área de silicio a la vez que se consiguen minimizar con la suficiente precisión el efecto de los términos no lineales así como la influencia del campo magnético

transversal. La resolución final de cada uno de los DAC es de 8 bits más signo ($N = 9$), y con un fondo de escala de ± 25 mA, lo cual permite cancelar campos magnéticos de hasta ± 50 μ T con una resolución de 196 nT. En la Fig. 3.10 se muestran resultados de simulación de la variación de la tensión de salida del puente con el campo magnético transversal para el caso de la arquitectura propuesta y con diversos valores para la resolución del DAC, así como también para el caso de la arquitectura en lazo abierto. Para el caso de $N = 9$ bits el efecto del campo magnético transversal es despreciable.

En la Fig. 3.11 se muestran resultados de simulación del error de linealidad en la tensión de salida del sensor para el caso de la arquitectura en lazo abierto así como también para el caso de la arquitectura propuesta con un DAC de 8 bits más signo. El error de linealidad (INL) está medido en LSBs, correspondiéndose 1 LSB a la tensión de salida equivalente a 3 nT. El error de INL para el caso de la arquitectura propuesta consigue hacerse menor que 1 LSB.

La estabilidad en temperatura también se consigue mejorar significativamente con esta arquitectura. Así, cuando el puente es polarizado en tensión, la variación de la tensión de salida del puente con la temperatura, debida principalmente a fluctuaciones de la sensibilidad, se puede aproximar como:

$$\frac{dV_O}{dT} \approx -2 \cdot \alpha_H \cdot \alpha_T \cdot K_{RV} \cdot (H_M - H_{DAC}) \cdot V_{SUP} \quad (3.12)$$

donde H_{DAC} es el campo generado por el DAC de realimentación. Como se puede apreciar, dado que $H_M - H_{DAC} \leq 196$ nT, la deriva con la temperatura se conseguirá minimizar considerablemente con respecto al sistema de medida en lazo abierto.

Para el caso de polarizar el puente en corriente, la variación de la tensión de salida con la temperatura, debida principalmente a fluctuaciones en el *offset* del puente, se puede aproximar como:

$$\frac{dV_O}{dT} \approx \alpha_T \cdot K_{RI} \cdot I_{SUP} \quad (3.13)$$

donde K_{RI} es un factor que depende del *mismatch* de las resistencias nominales según (3.8).

A pesar de que con la arquitectura propuesta se consigue minimizar en gran medida los efectos de variación con la temperatura de los sensores AMR, sigue habiendo una cierta dependencia, bien por variaciones en la sensibilidad del sensor cuando el puente es polarizado en tensión, o bien por derivas en el *offset* del puente si éste es polarizado en corriente, si bien estas últimas pueden ser fácilmente canceladas con el uso de las bobinas de S/R.

Las expresiones en (3.12) y (3.13) tampoco tienen en cuenta efectos de segundo orden, como la variación del coeficiente α_H con la temperatura, lo cual implica que incluso cuando se emplee una polarización en corriente con cancelación de *offset*, seguirá existiendo una cierta dependencia de segundo orden de la sensibilidad con la temperatura. Por otro lado, la polarización del puente, ya sea en tensión o en corriente, también sufrirá de ciertas derivas con la temperatura, así como también las propias de la electrónica de *front-end*. En este último caso,

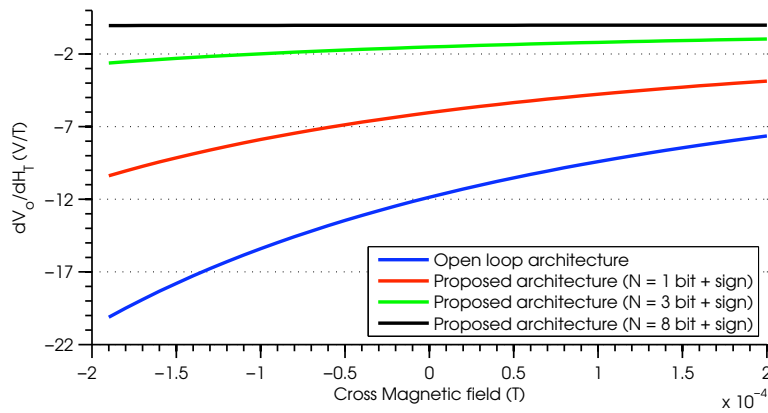


Fig. 3.10.: Simulación del efecto del campo magnético transversal sobre la tensión de salida del sensor AMR con la arquitectura en lazo abierto y con la arquitectura propuesta.

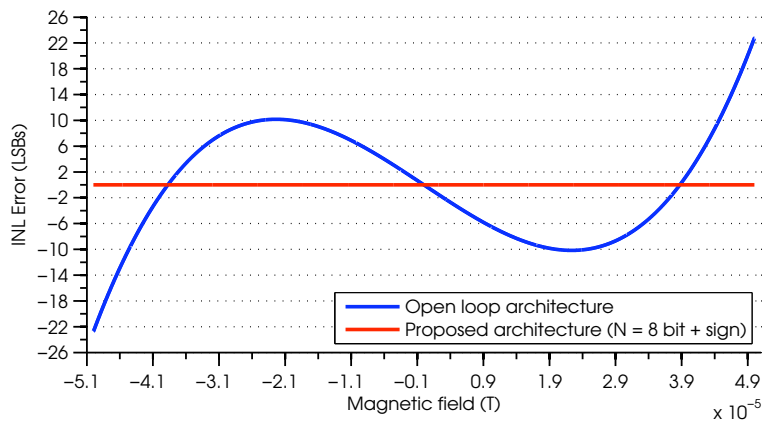


Fig. 3.11.: Simulación del error de linealidad del sensor AMR con la arquitectura en lazo abierto y con la arquitectura en lazo cerrado propuesta.

el efecto residual más importante estará asociado con la relación entre el código digital del DAC y el campo magnético generado por la bobina de OFFSET.

De esta forma, para poder asegurar la obtención de medidas precisas de campos magnéticos relativamente débiles en un rango de temperaturas extendido, como es el caso, la arquitectura propuesta incluye un sistema adicional que monitoriza la temperatura de cada uno de los sensores AMR, así como también la del propio ASIC, de forma que se permita una calibración en temperatura más exhaustiva. Esto permite además extender la utilidad del sistema propuesto a otro tipo de sensores que también sufran de derivas con la temperatura y que no dispongan de capacidad para minimizar o cancelar completamente dichas derivas.

Por otro lado, del mismo modo que ocurría para el caso del sistema de medida en lazo cerrado, con esta arquitectura también existirá una cierta dependencia de las prestaciones finales del sistema con respecto a la relación entre el código digital del DAC y el campo magnético de compensación generado por la bobina de OFFSET, por lo que será necesario medir dicha relación mediante, por ejemplo, una calibración previa del instrumento. Esta calibración también permitirá emplear el DAC de realimentación para llevar a cabo funcionalidades adicionales durante la operación del magnetómetro, como por ejemplo, la generación de una rampa de corriente controlada para la comprobación periódica de los parámetros asociados con la característica de transferencia del sistema.

La arquitectura propuesta también hará uso de las bobinas de S/R con objeto de restaurar periódicamente el patrón de magnetización de los sensores AMR, así como para la realización de medidas periódicas del *offset* del canal de conversión completo, de forma que se permita su cancelación. Tal y como se mostrará en el capítulo siguiente, los convertidores A/D que forman el sistema de medida se implementarán con un alto grado de configurabilidad con objeto de que puedan adaptarse en cada momento al fondo de escala requerido, el cual variará según el uso del sistema de realimentación y de la estrategia de medida elegida.

3.5. Conclusiones

En este capítulo se ha presentado y justificado la arquitectura para la implementación del magnetómetro digital. Los sensores AMR se han presentado como una alternativa al uso de sensores *fluxgate* que consigue cumplir con los objetivos científicos de la misión a la vez que se cumple con los estrictos requisitos de masa y volumen de la carga útil, siendo además una alternativa más económica y de menor consumo de potencia. En este capítulo también se han presentado diferentes arquitecturas convencionales comúnmente empleadas para la implementación de la electrónica de *front-end*, analizando las ventajas y los inconvenientes que finalmente justificaron el uso de la topología propuesta. En la Tabla 3.4 se resumen las principales características de las arquitecturas analizadas.

La arquitectura propuesta para la implementación de la electrónica de *front-end* consigue hacer frente a los inconvenientes derivados del uso de este tipo de sensores en lo que a términos de

Tabla 3.4.: Características de las arquitecturas del sistema de medida.

Arquitectura	Linealidad	Estabilidad T ^a	Eficiencia área de Si	Eficiencia potencia	Versatilidad
Lazo abierto	Baja	Media	Media	Media	Media
Lazo cerrado	Muy alta	Alta	Muy baja	Baja	Baja
Sistema propuesto	Alta	Alta	Media	Media	Muy alta

linealidad y estabilidad con la temperatura se refiere. Esta arquitectura supone una mejora con respecto a las arquitecturas comúnmente empleadas. Así, con respecto a la arquitectura en lazo abierto de la sección 3.2, se consigue mejorar significativamente la linealidad y estabilidad en temperatura, mientras que con respecto a la arquitectura en lazo cerrado de la sección 3.3, se consigue una mayor eficiencia en el área de Silicio necesaria para su implementación.

Por otro lado, la arquitectura propuesta tiene un grado muy alto de flexibilidad, en el sentido de que permite la posibilidad de utilizar sólo el sistema de lazo abierto o bien la configuración con el lazo de realimentación, extendiéndose el abanico de posibilidades de uso de la electrónica de *front-end*, de forma que pueda ser empleada con otro tipo de sensores y/o aplicaciones.

4. Diseño del ASIC de front-end para el magnetómetro digital

4.1. Introducción

Tal y como se ha expuesto en capítulos anteriores, los estrictos requisitos en términos de masa y volumen para el magnetómetro del instrumento MOURA condicionan en gran medida el tipo de sensor a emplear, y además imponen la necesidad de recurrir a tecnologías integradas para la implementación de la FEE (*Front-End Electronics*). Esta es una necesidad recurrente en muchos de los instrumentos que se diseñan actualmente para misiones espaciales.

La FEE también es un subsistema muy común en el diseño de estos instrumentos. Su función es la de recolectar la información analógica procedente de uno o varios sensores de a bordo y procesarla para que sea transmitida y/o empleada de forma eficiente. En la Fig. 4.1 se muestra el diagrama de bloques típico de un sistema espacial [139], así como el de un subsistema de *front-end* para este tipo de aplicaciones.

La FEE lleva a cabo principalmente funciones de acondicionamiento y de conversión A/D de la señal procedente de los sensores, junto con una interfaz para la comunicación con los niveles

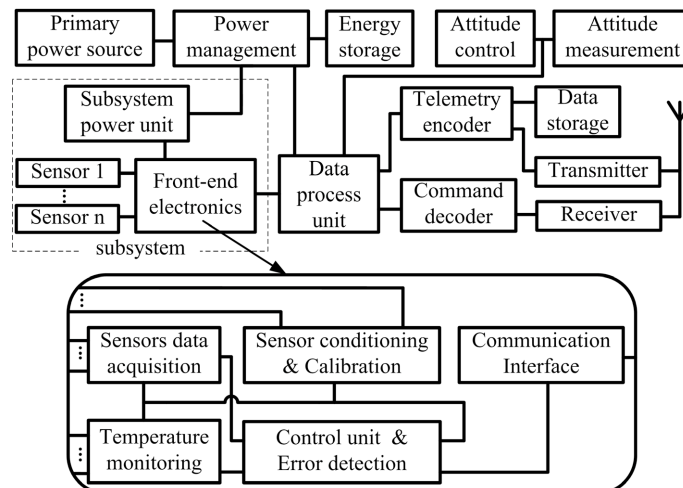


Fig. 4.1.: Diagrama de bloques de un sistema espacial típico [139].

superiores del sistema. Además, debe ser capaz de hacer frente a las condiciones extremas de operación, sobre todo en lo que a radiación y temperatura se refiere [41]. Esto implica la implementación de soluciones robustas y de funcionalidades adicionales, como por ejemplo, sistemas de monitorización en temperatura, sistemas de detección de errores o funciones de calibración durante la operación, de forma que se pueda asegurar no sólo el cumplimiento de las prestaciones, sino también la fiabilidad del instrumento durante su ciclo de vida útil.

El uso de circuitos integrados en detrimento de componentes discretos permite reducir en gran medida la masa y el volumen, a la vez que se consigue una mayor eficiencia en términos de prestaciones y consumo de potencia. Los sistemas meramente digitales, como la unidad de procesamiento de datos de la Fig. 4.1, son integrados generalmente mediante el empleo de FPGAs comerciales y tolerantes a la radiación [12], las cuales han alcanzado un grado significativo de madurez tecnológica, siendo muy común su uso en aplicaciones espaciales [144]. Sin embargo, actualmente no se encuentran soluciones comerciales (COTS) que sean igualmente eficientes para el caso de sistemas analógicos o de señal mixta, tales como la FEE, de forma que el uso de ASICs llega a ser obligatorio si se desea cumplir con los requisitos de masa y volumen de muchas de las misiones espaciales actuales.

Surge así el concepto de los denominados ASICs estándar, también conocidos por sus siglas en inglés como ASSPs (*Application-Specific Standard Products*) [15], desarrollados con el objetivo de implementar funciones similares y que son muy recurrentes en el desarrollo de instrumentos espaciales. El disponer de este tipo de dispositivos en tecnologías CMOS convencionales como soluciones abiertas al sector espacial permitiría reducir en gran medida los costes y los tiempos de diseño, de desarrollo y de testado de aplicaciones similares, suponiendo además un incremento en la fiabilidad de las mismas.

En la literatura se puede encontrar una gran variedad de soluciones *on-chip* para la implementación de sistemas de *front-end* para aplicaciones espaciales. Sin embargo, la mayor parte de estos diseños se corresponden con arquitecturas orientadas a cumplir con especificaciones muy concretas [145–148] y, por tanto, con una baja configurabilidad. Muchos de ellos son además implementados con procesos tecnológicos específicos [149–151], inherentemente robustos a la radiación, pero también bastante más caros, como por ejemplo la tecnología SOI [6], o la tecnología basada en SiGe [10].

Dentro de las soluciones basadas en tecnologías CMOS estándar, la solución más adoptada consiste en utilizar un único convertidor A/D de alta velocidad, generalmente implementado con una topología de tipo *sigma-delta* [152] o de tipo *pipeline* [153], junto con un multiplexor analógico a su entrada para seleccionar en cada momento el sensor a medir. Esta solución es empleada generalmente debido a que el uso de varios convertidores en paralelo suele resultar inabordable en términos de área, más aún cuando la necesidad de utilizar técnicas RHDB ya implica de por sí un consumo de área significativo. Sin embargo, también conlleva algunos inconvenientes, como son un grado bajo de configurabilidad, así como una pérdida de

prestaciones en términos de tasa de conversión para cada sensor. Por otro lado, la necesidad de multiplexar las entradas analógicas obliga a aumentar de forma considerable el ancho de banda del convertidor con respecto al de las señales procedentes de los sensores, lo cual provoca un sobredimensionamiento en los requisitos del convertidor y también puede condicionar su resolución, además de incrementarse la sensibilidad del sistema a los efectos de los SETs [154].

La FEE que se propone en esta tesis tiene como objetivo no sólo cumplir con los requisitos necesarios para la implementación del magnetómetro MOURA, vistos en el capítulo anterior, sino también proporcionar una solución compacta y tolerante a la radiación, implementada en una tecnología CMOS convencional, para la adquisición y acondicionamiento de señales de banda base procedentes de sensores, de forma que se tenga un grado lo suficientemente alto de configurabilidad y robustez como para que el sistema propuesto pueda adaptarse a muchas de las necesidades actuales en instrumentación espacial.

En este capítulo se presenta una descripción detallada del ASIC de señal mixta que implementa la FEE siguiendo la arquitectura presentada en la sección 3.4. En la sección 4.2 se presenta la descripción general del ASIC que implementa la FEE, junto con un resumen de las especificaciones de diseño planteadas. En las secciones 4.3 a 4.5 se presenta el diseño detallado de cada uno de los sistemas de medida propuestos, incluyendo los resultados de simulación más relevantes. Seguidamente, en la sección 4.6, se muestran las principales técnicas RHBD empleadas para hacer frente a los efectos de la radiación. Finalmente, las conclusiones de este capítulo se presentan en la sección 4.7.

4.2. Descripción general del ASIC

En la Fig. 4.2 se muestra un diagrama de bloques detallado de la implementación del magnetómetro MOURA con la arquitectura de la Fig. 3.8, propuesta en el capítulo anterior, junto con el diagrama de bloques del ASIC propuesto para la implementación de la FEE. Como se puede apreciar en la Fig. 4.2, el ASIC dispone de 6 canales para la realización de medidas en lazo abierto. Tres de ellos son utilizados para realizar la conversión A/D de las señales procedentes de los sensores AMR (uno para cada eje), mientras que los otros tres han sido incluidos para aplicaciones adicionales, como por ejemplo, la realización de medidas de orientación gravitacional mediante el uso de acelerómetros.

Cada uno de los canales de conversión está formado por un amplificador de instrumentación, de ganancia programable, seguido de un convertidor A/D de doble rampa (DS ADC), configurable en términos de resolución y tasa de conversión. La resolución máxima es de 16 bits (15 bits más signo), lo cual permite cumplir con los requisitos planteados en la sección 3.4 para el magnetómetro, los cuales eran, para el caso de la realización de medidas en lazo abierto, una resolución de 3 nT para un rango de hasta $\pm 100 \mu\text{T}$. Cada uno de los canales de medida puede ser configurado para la medición de señales tanto diferenciales como *single-ended* (S/E),

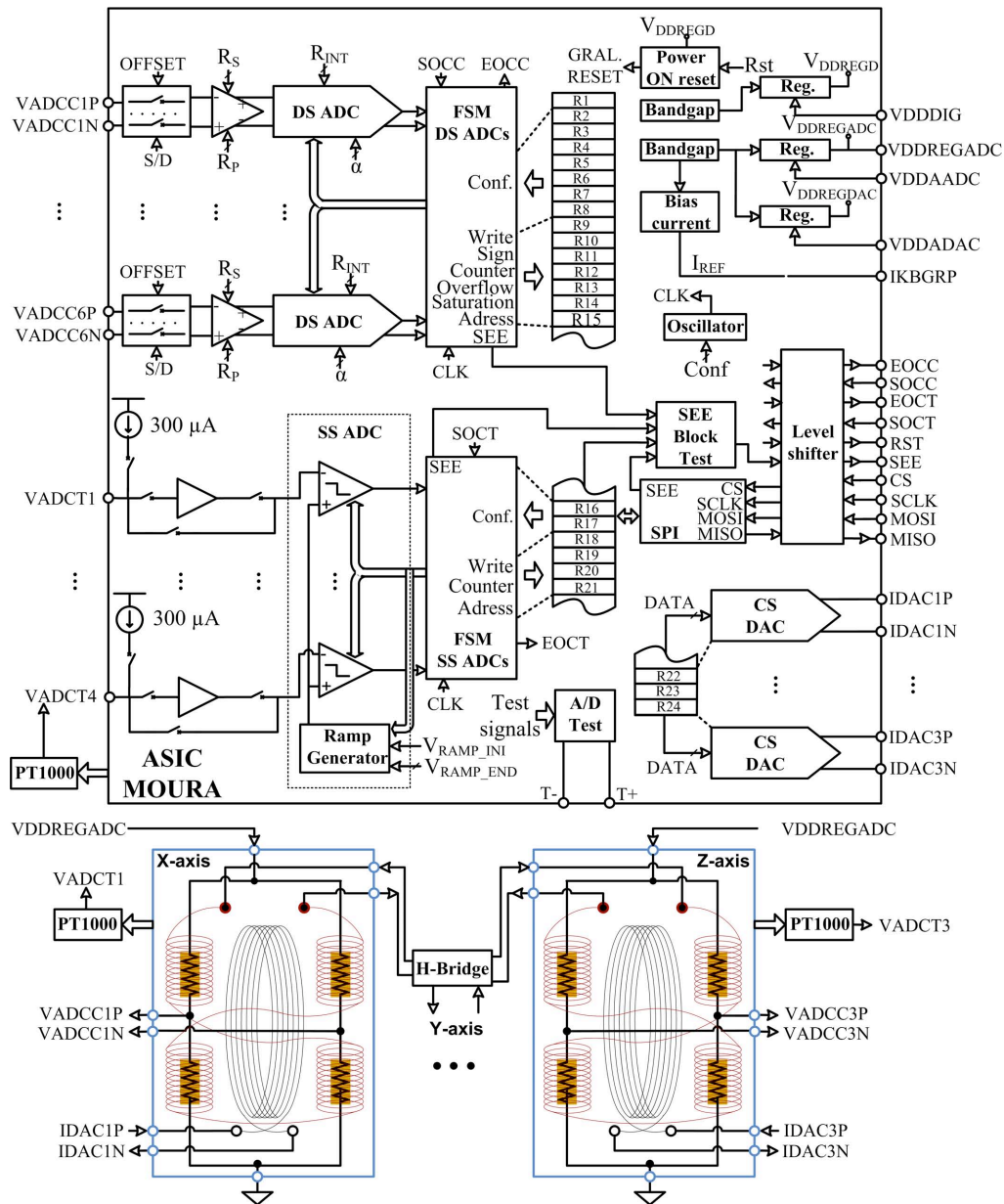


Fig. 4.2.: Diagrama de bloques del ASIC en conjunto con los sensores AMR formando el magnetómetro.

incluyéndose además un modo específico para la determinación del *offset* global del canal de conversión.

Para la realización de las medidas en lazo cerrado mediante el uso de las bobinas de OFFSET, el ASIC dispone de 3 convertidores D/A de 9 bits (8 bits más signo) con salida en corriente,

con un fondo de escala de ± 25 mA. Esto permite cancelar campos magnéticos de hasta ± 50 μ T con una resolución de 196 nT. Estos convertidores D/A también podrán ser empleados durante la operación del instrumento para la comprobación periódica de los diversos parámetros de la característica de transferencia del magnetómetro mediante la aplicación de una rampa de corriente controlada a través de las bobinas de OFFSET, de forma que se puedan comparar estos valores con respecto a las medidas realizadas previamente en tierra, y así aplicar las correcciones adecuadas a los datos de salida en caso de observar variaciones.

Para la implementación del sistema de monitorización en temperatura, la FEE incluye 4 convertidores de rampa simple (SS ADCs) con una resolución máxima de 15 bits. Tanto la resolución como la tasa de conversión, así como el rango de tensión de entrada son también, en este caso, programables. Los sensores de temperatura considerados pertenecen a la familia Minisens PT1000 [155]. Con objeto de llevar a cabo un acondicionamiento de señal apropiado, para cada una de las 4 entradas se incluye la posibilidad de conectar una fuente de corriente de 300 μ A y/o un *buffer* de entrada.

Con respecto a la parte digital del ASIC, dos unidades de control, implementadas mediante sendas máquinas de estado finito (FSMs), se encargan de controlar la operación de los DS ADCs y los SS ADCs, respectivamente. Un oscilador interno, con una frecuencia configurable desde los 3 hasta los 100 MHz, controla la operación de las FSMs. Adicionalmente, el *chip* incluye también la posibilidad de utilizar un reloj externo. Con objeto de almacenar toda la configuración del sistema, así como los códigos de entrada y salida de los convertidores D/A y A/D respectivamente, el ASIC incluye un mapa de memoria interno de 24 registros de 16 bits. Para proporcionar acceso externo al mapa de memoria, tanto para la lectura de los códigos de salida como para la configuración de la FEE, el ASIC incluye una interfaz serie periférica (SPI) estándar.

La FEE puede ser utilizada en un amplio rango de tensiones de alimentación, desde los 3.3 hasta los 5.5 V. Una fuente de alimentación independiente se utiliza en la interfaz con los *pin*s digitales para permitir el uso de cualquier familia lógica en este rango de tensiones. Con objeto de minimizar el ruido de conmutación, el ASIC incorpora 3 reguladores internos que proporcionan tensiones estables e independientes a la parte digital, a los convertidores A/D, y a los convertidores D/A, respectivamente. Para asegurar una buena estabilidad en temperatura, todas las tensiones de referencia son generadas internamente mediante un circuito de *bandgap*, también compartido por los dos reguladores de tensión de la parte analógica. El regulador de tensión de la sección digital del ASIC emplea un generador de tensión de *bandgap* independiente, de nuevo con objeto de minimizar el efecto del ruido de conmutación en los bloques analógicos.

Tal y como se describirá en la sección 4.6.2.1, el ASIC incorpora un sistema de detección de errores de SEU, avisando mediante un *pin* externo de cualquier error de SEU que se haya producido en las FSMs, en la SPI o bien en el mapa de memoria. Finalmente, el ASIC incorpora

también una circuitería de test con objeto de hacer visibles al exterior un conjunto de señales analógicas y digitales internas, de forma que se permita comprobar las prestaciones del ASIC y también caracterizar la robustez de los bloques individuales durante la realización de los tests de radiación y temperatura.

Como se puede apreciar en la Fig. 4.2, todo lo relativo a la generación de los pulsos de S/R se ha dejado fuera del ASIC. Esto es debido a que la magnitud de la corriente requerida para restaurar adecuadamente el patrón de magnetización de los sensores AMR con mayor sensibilidad es del orden de 4 A, lo cual resulta inabordable para una tecnología de tipo CMOS convencional. Este circuito puede ser fácilmente implementado externamente mediante dos transistores de potencia en una configuración de semi-puente como la de la Fig. 4.3, la cual se corresponde con el empleo de los sensores HMC1001/2 [126].

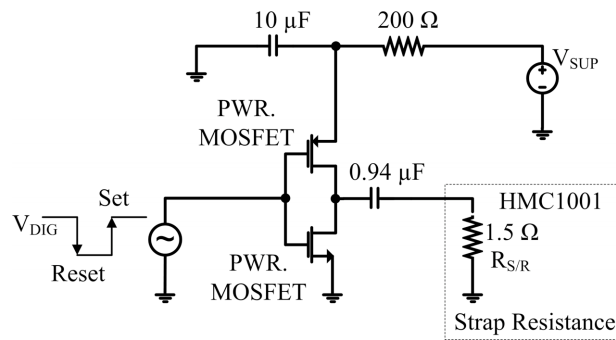


Fig. 4.3.: Circuito típico en semi-puente para la generación de los pulsos de S/R.

El ASIC ha sido fabricado en la tecnología de 0.35 μm de AustriaMicroSystems (AMS). La elección de esta tecnología obedece a diversas razones, en primer lugar, es una tecnología europea, lo cual resulta importante de cara a incrementar la competitividad de la industria espacial europea, reduciendo así la dependencia externa de tecnologías específicas, las cuales también pueden conllevar restricciones derivadas de su importación, como por ejemplo, la restricción ITAR (*International Traffic in Arms Regulations*) que se aplica en Estados Unidos y que incluye a los dispositivos robustos a la radiación.

Por otro lado, tal y como se analizó en el capítulo 2, las tecnologías más modernas, con óxidos de puerta más finos, adquieren de forma inherente al proceso tecnológico una mayor inmunidad frente a la TID. No obstante, esto es cierto únicamente para aquellos efectos, como la variación de la tensión umbral, que están relacionados con el espesor del óxido de puerta, como es el caso de la acumulación de huecos atrapados en el óxido, así como también la creación de trampas en su interfaz con el canal. En cambio, los espesores del óxido de campo (STI en las tecnologías más modernas) siguen siendo comparables con los de sus tecnologías predecesoras, de forma que efectos como la corriente de fugas inducida seguirán siendo, al menos, igual de críticos. Las tecnologías más actuales también adolecen de una mayor sensibilidad

con respecto a los SEEs. Así, con el avance en el escalado de la tecnología, la carga crítica necesaria para inducir un SEU se reduce considerablemente, de forma que incluso partículas poco energéticas serán susceptibles de inducir el volteo de un bit [82]. Además de las dimensiones de los transistores, la distancia entre dispositivos también se reduce, incrementándose la posibilidad de que el impacto de una partícula induzca simultáneamente el volteo de más de un bit, de forma que las técnicas de robustecimiento adquieren un mayor nivel de complejidad.

Por otro lado, al contrario de lo que ocurre en el mercado de la electrónica de consumo, muchas de las aplicaciones e instrumentos espaciales requieren aún el uso de tensiones con rangos de alimentación relativamente grandes, típicamente de 5 V, lo cual es a su vez una ventaja en el diseño de circuitos analógicos, al disponer de un mayor rango dinámico de tensión. La tecnología seleccionada es una tecnología muy asentada, y con un grado de fiabilidad muy alto con respecto a los procesos tecnológicos más modernos, lo cual también resulta importante de cara a asegurar la fiabilidad durante todo el ciclo de vida del instrumento. Así, estas tecnologías más maduras (0.35 μm - 0.25 μm), siguen siendo ampliamente utilizadas en muchas otras aplicaciones que requieren altos niveles de fiabilidad, como es el caso de las industrias de la automoción y de la aviación.

En las secciones siguientes se presenta una descripción detallada del diseño de los principales bloques de circuito que constituyen la FEE. Dado que en el diseño de este ASIC también han intervenido el resto de componentes del grupo de investigación, únicamente se detallarán los bloques que son objeto de este trabajo de tesis. De esta forma, los componentes de la FEE en los que no se entrará a detallar su diseño se corresponden con la unidad SPI (*Serial Protocol Interface*), los reguladores de tensión, los generadores de tensión de *bandgap*, el generador de corrientes de referencia, y el circuito de *Power-on Reset* (PoR).

Para el diseño y simulación de los bloques analógicos del ASIC se ha empleado el *software* Cadence Design Framework (versión DFVII IC 5.1.41), junto con el simulador Spectre y el kit de diseño proporcionado por la *foundry* (versión AMS Hit-kit 3.80 de Europractice), correspondiente a la tecnología CMOS de 0.35 μm de AustriaMicroSystems (AMS), y al proceso específico C35B4 de cuatro niveles de metal y dos niveles de polisilicio. Para el flujo de diseño de la parte digital del ASIC, se han utilizado principalmente el *software* Cadence Encounter y también ModelSim de Mentor Graphics.

4.3. Sistema de medida de los sensores AMR

4.3.1. Diseño del amplificador de instrumentación

Tal y como se ha presentado en el apartado anterior, cada canal de conversión se ha implementado mediante un amplificador de instrumentación (AI) seguido de un convertidor DS ADC. El

AI lleva a cabo funciones de acondicionamiento de la señal procedente del puente de Wheatstone. Estas funciones incluyen la aportación de ganancia configurable y de un nivel alto de rechazo tanto del modo común (CMRR) como del ruido de la fuente de alimentación (PSRR), limitación del ancho de banda de la señal de entrada al convertidor A/D, y la aportación de una impedancia de entrada capacitiva. Esta última característica es especialmente relevante en una gran variedad de sensores.

La topología empleada para la implementación del AI es una versión totalmente diferencial (FD) y con filtrado paso-bajo de la topología convencional basada en tres amplificadores operacionales (AOs) [156], tal y como se muestra en la Fig. 4.4. Esta topología consta de dos etapas, la primera de ellas proporciona una alta impedancia de entrada y ganancia programable, mientras que la segunda etapa, implementada mediante un filtro paso-bajo, lleva a cabo la regulación del modo común y la limitación del ancho de banda de la señal.

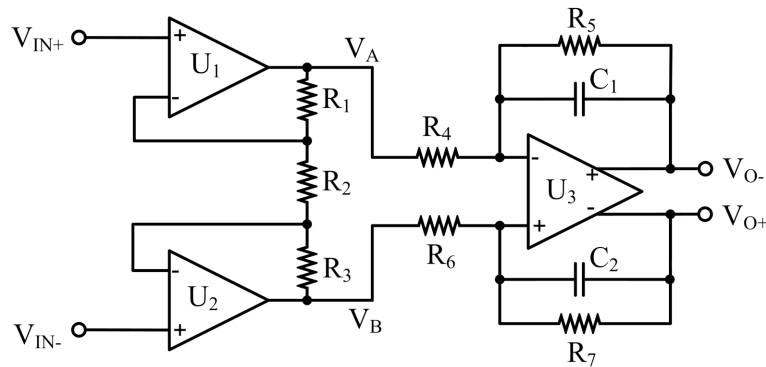


Fig. 4.4.: Amplificador de instrumentación totalmente diferencial basado en tres amplificadores operacionales.

Las tensiones de salida de la primera etapa, que se corresponden con los nodos A y B (V_A y V_B) del circuito de la Fig. 4.4, pueden expresarse en función de las componentes diferencial (V_{DIF}) y de modo común (V_{CM}) de la tensión de entrada, llegando a las siguientes expresiones:

$$V_A = \left(1 + \frac{2 \cdot R_1}{R_2}\right) \cdot \frac{V_{DIF}}{2} + V_{CM} \quad (4.1)$$

$$V_B = - \left(1 + \frac{2 \cdot R_3}{R_2}\right) \cdot \frac{V_{DIF}}{2} + V_{CM} \quad (4.2)$$

Como se aprecia en las ecuaciones anteriores, el modo común de la señal de entrada pasa a la segunda etapa del AI con ganancia unitaria, de forma que su magnitud puede ser relativamente alta sin peligro de saturación, siempre y cuando, y en términos absolutos, las tensiones V_A y V_B se mantengan por debajo de los niveles de saturación. En DC, la tensión de salida

diferencial al final de la segunda etapa (V_O) viene dada por la siguiente expresión:

$$V_O = \frac{1}{2} \cdot \underbrace{\left[\frac{R_5}{R_4} \cdot \left(1 + \frac{2R_1}{R_2} \right) + \frac{R_7}{R_6} \cdot \left(1 + \frac{2R_3}{R_2} \right) \right]}_{A_{DIF}} \cdot V_{DIF} + \underbrace{\left(\frac{R_5}{R_4} - \frac{R_7}{R_6} \right)}_{A_{CM}} \cdot V_{CM} \quad (4.3)$$

A partir de esta expresión se puede evaluar el CMRR en DC, medido como el cociente entre la ganancia diferencial y la ganancia de modo común, llegando a la siguiente expresión:

$$CMRR = \frac{A_{DIF}}{A_{CM}} = \frac{\left[\frac{R_5}{R_4} \cdot \left(1 + \frac{2R_1}{R_2} \right) + \frac{R_7}{R_6} \cdot \left(1 + \frac{2R_3}{R_2} \right) \right]}{2 \cdot \left(\frac{R_5}{R_4} - \frac{R_7}{R_6} \right)} \quad (4.4)$$

De esta forma, el rechazo del modo común será máximo cuando se cumpla que:

$$\frac{R_5}{R_4} = \frac{R_7}{R_6} = k \quad (4.5)$$

Si además se cumple que $k=1$ y $R_1=R_3=R_S$, y renombrando R_2 por R_P , se llega a que la tensión de salida V_O depende sólo de la tensión diferencial de entrada y con una ganancia A que sólo depende de R_S y R_P :

$$V_O = \left(1 + \frac{2 \cdot R_S}{R_P} \right) \cdot V_{DIF} = A \cdot V_{DIF} \quad (4.6)$$

En la práctica, el CMRR total no será infinito, debido a los errores de *mismatch* de las resistencias de la segunda etapa y de los AOs de la primera etapa, así como también al CMRR finito del amplificador FD de la segunda etapa. El *mismatch* de las resistencias de la primera etapa tiene su influencia en la ganancia A . El CMRR total se puede expresar como combinación de los anteriores mediante la suma de sus recíprocos [135, 157], llegando a la siguiente expresión:

$$\frac{1}{CMRR_{TOTAL}} = \frac{1}{CMRR_1} - \frac{1}{CMRR_2} + \frac{1}{A} \cdot \left(\frac{1}{CMRR_3} + \frac{1}{CMRR_R} \right) \quad (4.7)$$

donde los subíndices 1, 2 y 3 se corresponden con los respectivos AOs de la Fig. 4.4 y A es la ganancia del AI según (4.6). El valor de $CMRR_R$ hace referencia al *mismatch* de las resistencias y se deriva directamente de (4.4):

$$CMRR_R = \frac{1}{2} \cdot \frac{R_5 \cdot R_6 + R_4 \cdot R_7}{R_5 \cdot R_6 - R_4 \cdot R_7} \quad (4.8)$$

Como se aprecia en la expresión (4.6), con las resistencias R_S y R_P se puede variar la ganancia del AI. Con objeto de proporcionar una ganancia configurable al sistema de medida, los valores de R_S y R_P son programables, con 4 y 6 bits respectivamente, mediante un registro

de configuración y sendos circuitos selectores de resistencias, tal y como se muestra en la Fig. 4.5.

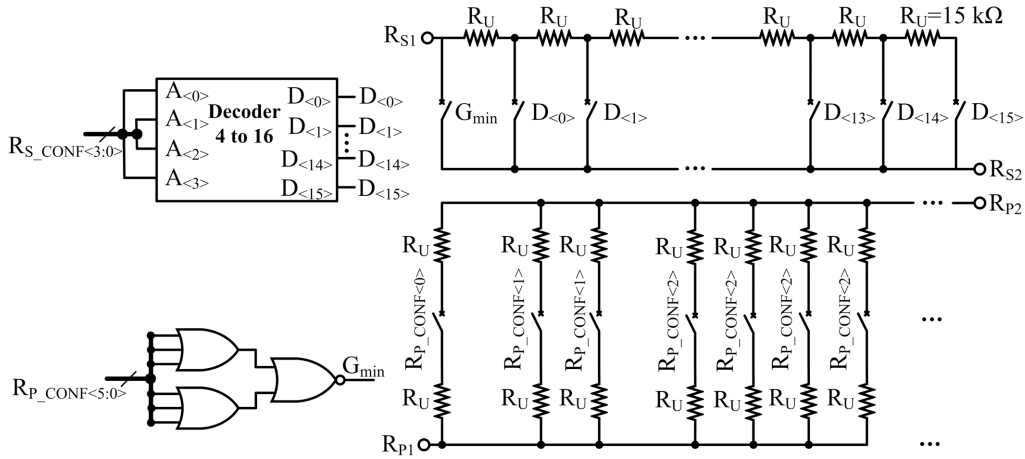


Fig. 4.5.: Circuitos selectores de resistencias para la programabilidad de la ganancia del AI.

Los valores de R_S y R_P que determinan la ganancia A del AI vienen dados por las siguientes expresiones:

$$R_S = (R_{S_CONF\langle 3:0 \rangle} + 1) \cdot 15 \text{ k}\Omega \quad (4.9)$$

$$R_P = \frac{30 \text{ k}\Omega}{R_{P_CONF\langle 5:0 \rangle}} \quad (4.10)$$

Esto permite programar la ganancia A con valores entre 1 y 1009 según la siguiente expresión:

$$A = 1 + [(R_{S_CONF\langle 3:0 \rangle} + 1) \cdot R_{P_CONF\langle 5:0 \rangle}] \quad (4.11)$$

Cuando se configura la ganancia unidad, esto es, cuando $R_{P_CONF\langle 5:0 \rangle}$ es igual a 0, no se conecta ninguna resistencia R_P , a la vez que las resistencias de valor R_S son cortocircuitadas, de forma que la primera etapa del AI se transforma en dos seguidores de tensión. Dado que parte de los *switches* que determinan la programabilidad de la ganancia del AI se encuentran dentro del camino de la señal, estos fueron diseñados con un tamaño suficientemente grande como para asegurar que la variación de su resistencia en *ON* fuese lo suficientemente pequeña como para asegurar el cumplimiento de los requisitos de linealidad del sistema.

Con objeto de aumentar la versatilidad del sistema de medida, en el sentido de hacerlo compatible con otra gran variedad de sensores que sólo disponen de salida en *single-ended*, se incluye a la entrada del AI un conjunto de *switches* que permiten configurar la entrada en modo diferencial o *single-ended*, además de un modo específico adicional para conectar las entradas al modo común, con objeto de realizar también medidas de *offset* del canal de conversión completo. En la Fig. 4.6 se muestra el esquemático final del AI, y, en la Fig. 4.7, una gráfica

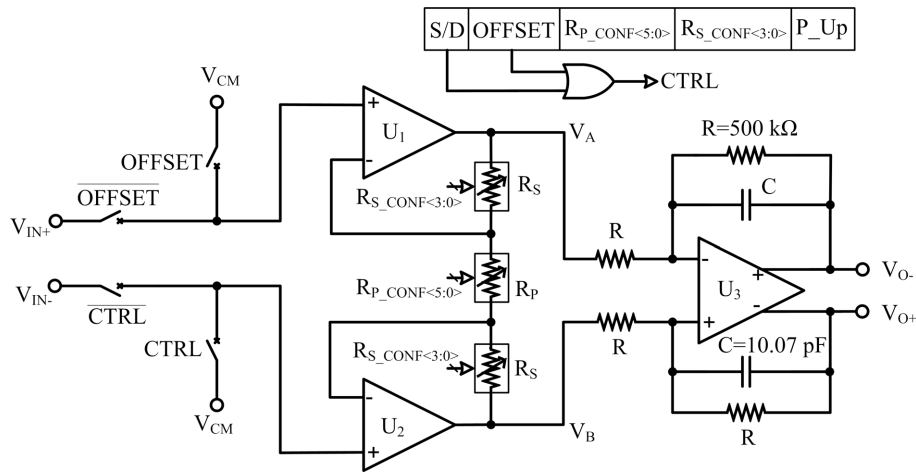


Fig. 4.6.: Esquemático final del amplificador de instrumentación.

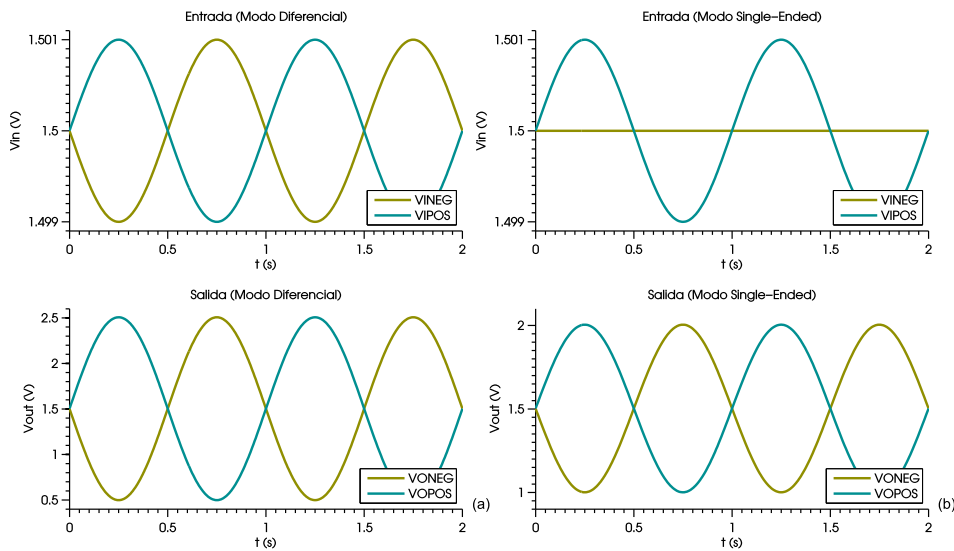


Fig. 4.7.: Simulación de la salida del AI con entrada FD (a) y con entrada SE (b) para $A=1009$.

con resultados de simulación correspondientes a la salida del AI para los casos de entrada diferencial y *single-ended*, en ambos casos para ganancia máxima ($A=1009$).

Contribución de ruido

Para determinar el nivel de ruido a la salida del AI se deben tener en cuenta las contribuciones de ruido del sensor y las correspondientes a cada una de las dos etapas del AI. En la Fig. 4.8 se muestra el circuito equivalente de ruido. Al ser el circuito totalmente simétrico, es suficiente con analizar una de las ramas. Al tratarse de una tecnología CMOS, las corrientes de ruido

de entrada de los amplificadores operacionales son prácticamente nulas, de forma que las contribuciones de ruido asociadas a I_{n1} e I_{n3} en la Fig. 4.8 pueden considerarse despreciables con respecto al resto de fuentes de ruido consideradas.

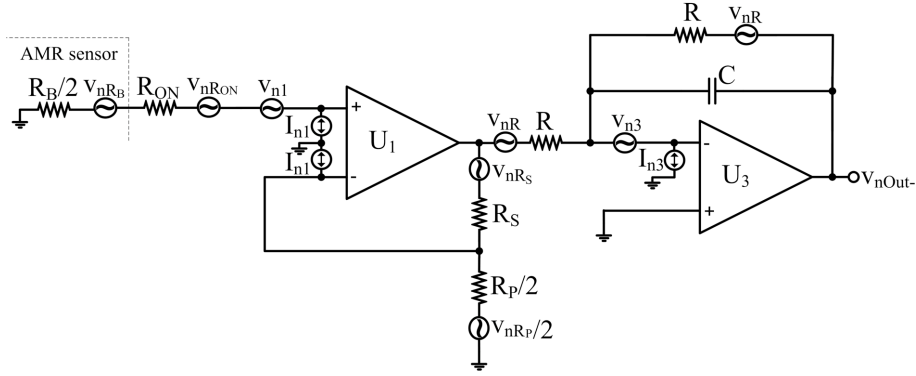


Fig. 4.8.: Circuito equivalente de ruido del AI con un sensor en puente de Wheatstone.

Cada entrada del AI ve una resistencia igual a la mitad del valor de cada una de las 4 resistencias que componen el puente de Wheatstone, es decir, $R_B/2$, más la resistencia en ON del *switch* de entrada (R_{ON}), de forma que la densidad espectral de potencia (PSD) de ruido térmico asociada viene dada por la siguiente expresión:

$$S_{v_{nR_B}} = 4 \cdot k_B \cdot T \cdot \left(\frac{R_B}{2} + R_{ON} \right) \quad (4.12)$$

donde k_B es la constante de Boltzmann, T es la temperatura absoluta, y f la frecuencia. Este ruido, junto con la PSD del ruido equivalente de entrada del AO, $S_{v_{n1}}$, se reflejan en la salida de U_1 según la ganancia del AI elevada al cuadrado (A^2). Por otro lado, la PSD de ruido a la salida de U_1 , por efecto del ruido térmico de las resistencias R_S y R_P , se puede expresar como:

$$S_{v_{nU_1}} = 4 \cdot k_B \cdot T \cdot \left(R_S + \frac{R_P}{2} \cdot A^2 \right) \quad (4.13)$$

La PSD del ruido térmico total a la salida de U_1 se determina a partir de (4.12) y (4.13), llegando finalmente a la siguiente expresión:

$$S_{v_{nOutU_1}} = 4 \cdot k_B \cdot T \cdot A^2 \cdot \left(\frac{R_B}{2} + R_{ON} + S_{v_{n1}} + \frac{R_S}{A^2} + \frac{R_P}{2} \right) \quad (4.14)$$

La segunda etapa del AI tiene ganancia unitaria, de forma que $S_{v_{nOutU_1}}$ se refleja a la salida del AI con dicha ganancia. La PSD de ruido equivalente de entrada del amplificador U_3 se refleja

en la salida en *single-ended* según la siguiente expresión:

$$S_{v_{nVU_3}} = 4 \cdot S_{v_{n3}} \quad (4.15)$$

Las resistencias de la segunda etapa también contribuyen con ruido térmico a la salida del AI:

$$S_{v_{nRU_3}} = 8 \cdot k_B \cdot T \cdot R \quad (4.16)$$

de forma que la PSD de ruido térmico equivalente en la salida en *single-ended* del AI viene dada por:

$$S_{v_{nOut-}} = S_{v_{nOutU_1}} + S_{v_{nVU_3}} + S_{v_{nRU_3}} \quad (4.17)$$

Teniendo en cuenta ahora que la salida del AI es diferencial, así como el ancho de banda de ruido equivalente¹ del filtrado paso-bajo implementado por la segunda etapa ($f_{EBW} = 1/4RC$), el valor *rms* del nivel del ruido térmico integrado en banda a la salida del AI viene dado por la siguiente expresión:

$$v_{nOut_{rms}} = \sqrt{2 \cdot \left(S_{v_{nOutU_1}} + S_{v_{nVU_3}} + S_{v_{nRU_3}} \right) \cdot f_{EBW}} \quad (4.18)$$

Refiriendo ahora el ruido a la entrada y sustituyendo por las expresiones anteriores se llega a una expresión final:

$$v_{nIn_{rms}} = \sqrt{\frac{2}{R \cdot C} \cdot \left[k_B \cdot T \cdot \left(\frac{R_B}{2} + R_{ON} + S_{v_{n1}} + \frac{R_S}{A^2} + \frac{R_P}{2} \right) + \frac{S_{v_{n3}}}{A^2} + \frac{2 \cdot k_B \cdot T \cdot R}{A^2} \right]} \quad (4.19)$$

Los valores de R (500 kΩ) y C (10 pF) proporcionan un ancho de banda de ruido equivalente al AI de aproximadamente 50 kHz. Como se puede apreciar en la expresión anterior, todo el ruido asociado a la segunda etapa, así como también el asociado a la resistencia R_S , se refleja a la entrada con una atenuación según la ganancia A. Con respecto a R_P , su contribución de ruido no va escalada con A, de forma que sus posibles valores no deben ser demasiado grandes. No obstante, los valores de R_S y R_P también deben ser suficientemente grandes con respecto a las resistencias en *ON* de los *switches* que se encuentran dentro del camino de la señal, de forma que la linealidad del AI no se vea afectada. Es por ello que los valores por defecto y la configurabilidad de las resistencias R_P (6 bits) y R_S (4 bits) surge de un compromiso que

¹ Se define ancho de banda de ruido equivalente (f_{EBW}) de una función de transferencia $H(f)$, al ancho de banda de la función de transferencia equivalente que está caracterizada por un espectro rectangular de amplitud $|H(f_0)|^2$, y que contiene la misma potencia de ruido integrada en banda que $H(f)$, de forma que f_{EBW} se define según la siguiente expresión: $f_{EBW} = \frac{1}{|H(f_0)|^2} \cdot \int_0^\infty |H(f)|^2 \cdot df$.

consigue mantener el ruido de salida y el error de linealidad dentro de las especificaciones.

Diseño de los amplificadores operacionales

El diseño de los AOs que forman parte del AI está principalmente orientado a asegurar una alta linealidad y CMRR, junto con un bajo nivel de ruido. En la Fig. 4.9 se muestra el esquemático de U_1 y U_2 , los AOs de la primera etapa.

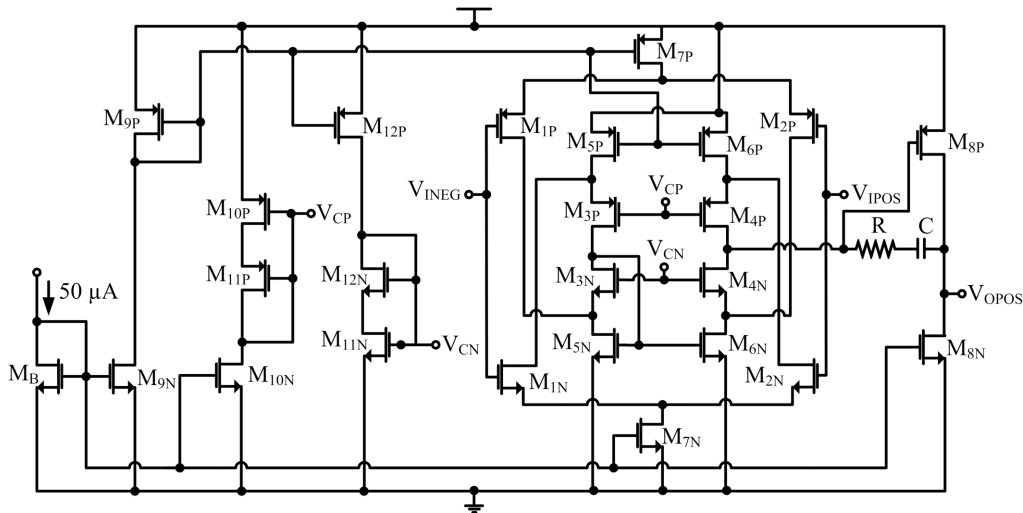


Fig. 4.9.: Esquemático de los amplificadores operacionales de la primera etapa (U_1 y U_2).

Como se aprecia en la Fig. 4.9, la topología empleada es de tipo Miller con una primera etapa *folded cascode*. Con objeto de maximizar el rango de entrada de modo común (ICMR) del AI, la etapa de entrada de U_1 y U_2 se ha implementado mediante sendos pares diferenciales PMOS y NMOS en paralelo, mientras que en la etapa de salida se ha maximizado el rango de tensión de salida.

Tanto en U_1 como en U_2 , cada rail de la entrada diferencial es igual al modo común de sus respectivas entradas. Esto implica que la principal fuente de no linealidad en la primera etapa del AI está asociada con la variación del *offset* con la tensión de entrada, debido al empleo de ambos pares diferenciales. Esto se traduce en una no linealidad del AI y, por tanto, del canal de conversión. No obstante, esto ocurre únicamente para el caso en el que la ganancia A vale 1, ya que para valores mayores que la unidad, el rango de la tensión de entrada es lo suficientemente pequeño (suponiendo que el modo común de entrada está en torno al centro del rango de polarización) como para asegurar que los transistores de ambos pares diferenciales estén en saturación. Por otro lado, cabe resaltar que incluso para el caso de ganancia unitaria tampoco resulta un problema, ya que con el sistema de realimentación propuesto, el sensor AMR se acondicionaría para operar en la región cercana al campo magnético nulo, de forma que el puente de Wheatstone se encontrará de forma continua en una situación cercana al equilibrio,

no siendo previsible por tanto una variación importante del *offset* con la tensión de entrada, y resultando además más indicado el uso del AI con ganancias mayores que 1.

A pesar de ello, el AO fue diseñado con una especificación de *offset* lo más bajo posible, no solo con el objetivo de minimizar los efectos no lineales asociados a la variación del *offset* con ganancia unitaria, sino también para que sea el *offset* de los sensores AMR el que domine, de forma que no se limite en exceso el rango de entrada del DS ADC y se puedan aplicar, por tanto, ganancias más altas. Para el AO de la Fig. 4.9, y suponiendo que el modo común de entrada se encuentra en torno al centro del rango de polarización, y que la contribución al *offset* de la segunda etapa del AO es despreciable, al estar ésta dividida por la ganancia del AO, la tensión de *offset* equivalente de entrada se puede aproximar por las siguientes expresiones:

$$V_{OS} \approx \frac{\sqrt{\sigma^2(\delta V_{G1,2P}) + \sigma^2(\delta V_{G1,2N}) + \left(\frac{1}{g_{m1,2P}^2} + \frac{1}{g_{m1,2N}^2}\right)}}{\cdot \left(g_{m5,6P}^2 \cdot \sigma^2(\delta V_{G5,6P}) + g_{m5,6N}^2 \cdot \sigma^2(\delta V_{G5,6N})\right)} \quad (4.20)$$

$$\sigma(\delta V_G) = \sqrt{\sigma_{th}^2 + \left(\frac{I_{Dsat}}{g_m}\right)^2 \cdot \sigma_\beta^2} \quad (4.21)$$

$$\sigma_{th} = \sqrt{\frac{A_{th}^2}{W \cdot L} + S_{th}^2 \cdot D^2}; \quad \sigma_\beta = \sqrt{\frac{A_\beta^2}{W \cdot L} + S_\beta^2 \cdot D^2} \quad (4.22)$$

donde δV_G hace referencia al *mismatch* de la tensión de puerta para cada par de transistores considerado, por efecto del desapareamiento de las tensiones umbrales así como de los factores de transconductancia, y cuya desviación estándar viene dada por (4.21). Tanto la tensión umbral como el factor de transconductancia tienen una variación estocástica cuya desviación típica viene dada, según el modelo de Pelgrom [158], por las expresiones en (4.22), donde W y L son, respectivamente, la anchura y longitud de los transistores considerados, y separados una distancia dada por el parámetro D . Los parámetros A_{th} , S_{th} , A_β y S_β son específicos del proceso tecnológico empleado. Las expresiones anteriores ponen de manifiesto que transistores con áreas grandes, tanto en los pares diferenciales de entrada como en los transistores de carga ($M_{5,6N,P}$), junto con las técnicas adecuadas de *layout* orientadas, entre otros aspectos, a reducir la distancia D entre transistores apareados, contribuirán a reducir el *mismatch* y, por tanto, el *offset* del AO. Por otro lado, tal y como se puede apreciar en la expresión (4.20), el *offset* del AO puede ser minimizado reduciendo la transconductancia de las fuentes de corriente $M_{5,6P}$ y $M_{5,6N}$, lo que implica una polarización en inversión fuerte, es decir, con una tensión de *overdrive* grande. Además, los transistores de las etapas diferenciales de entrada deben tener una alta transconductancia así como una relación I_D/g_m lo más baja posible, lo cual implica

una polarización lo más cercana posible a inversión débil.

Con respecto al ruido térmico del AO, de nuevo será la primera etapa del amplificador Miller la que tenga una mayor contribución, ya que la contribución de ruido de la segunda etapa es en general despreciable, al dividirse por la ganancia de la primera etapa cuando se refiere el ruido a la entrada. Una elevada transconductancia de los pares diferenciales de entrada de U_1 y U_2 también resulta necesaria en este caso para asegurar un bajo nivel de ruido térmico en los transistores de dichas etapas, así como también para minimizar la relación entre las transconductancias de los transistores $M_{5,6N,P}$ y los de las etapas diferenciales de entrada. De esta forma, la PSD de ruido térmico equivalente de entrada de los AOs U_1 y U_2 se puede aproximar según la siguiente expresión:

$$S_{v_{ni}U_{1,2}} \approx \frac{16 \cdot k_B \cdot T}{3} \cdot \left(\frac{g_{m1,2P} + g_{m5,6N} + g_{m5,6P}}{g_{m1,2P}^2} + \frac{g_{m1,2N} + g_{m5,6P} + g_{m5,6N}}{g_{m1,2N}^2} \right) \quad (4.23)$$

donde se ha tenido en cuenta que la PSD de ruido térmico de un transistor MOS en saturación se puede modelar en primera aproximación con una fuente de tensión en la puerta, dependiente de la transconductancia, según la siguiente expresión:

$$S_{v_{ni}} = \frac{8}{3} \cdot \frac{k_B \cdot T}{g_m} \quad (4.24)$$

donde g_m es la transconductancia de puerta del transistor.

Con respecto al ruido *flicker*, las mismas técnicas empleadas para minimizar el *offset* contribuyen de forma similar a reducir la contribución de ruido *flicker* del AI.

Para la implementación del AO U_3 se ha utilizado también una topología Miller con una primera etapa *folded cascode*, pero en este caso totalmente diferencial. En la Fig. 4.10 se muestra el esquemático del amplificador.

La red de realimentación de modo común (CMFB) se ha implementado mediante un par diferencial a cuyas entradas se conectan la tensión de referencia de modo común y el modo común de la salida del amplificador, el cual se obtiene mediante un divisor de tensión formado por dos resistencias. Con respecto a otras alternativas, esta CMFB tiene la ventaja de no limitar el rango de tensión de salida, si bien esto es a costa de un mayor consumo de área debido a las resistencias, ya que éstas deben tener un valor relativamente grande que minimice tanto el *mismatch* como la corriente por el divisor de tensión. El AO U_3 se ha diseñado con un GBW suficientemente grande con respecto a la frecuencia de corte del filtro paso-bajo ($f_c=30$ kHz). Con respecto a la linealidad, la principal ventaja de esta segunda etapa del AI es que, dado que se trata de una topología inversora, el modo común en los terminales de entrada en U_3 es muy constante, y su efecto sobre la linealidad es por tanto despreciable.

En la Tabla 4.1 y Tabla 4.2 se muestran las características finales del AI obtenidas mediante

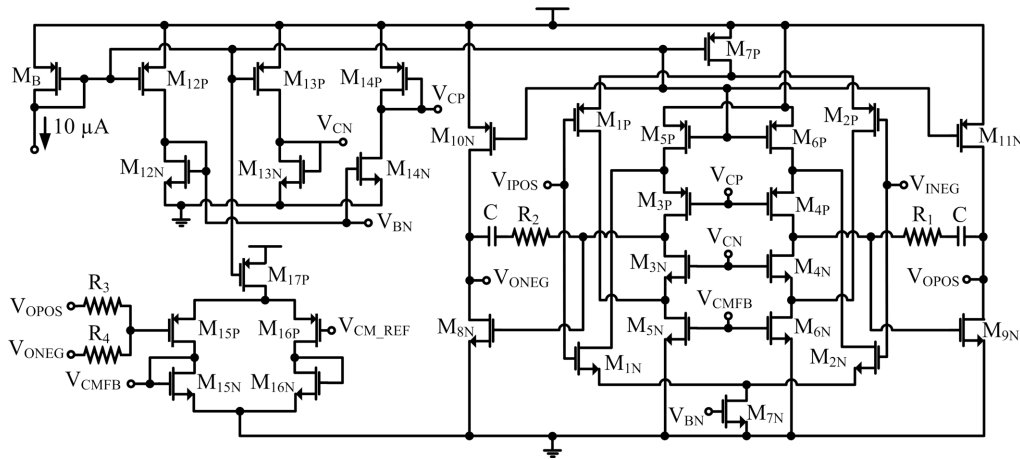


Fig. 4.10.: Esquemático del amplificador operacional de la segunda etapa (U_3).

Tabla 4.1.: Principales características del AI obtenidas mediante resultados de simulación con variaciones de *mismatch* y de temperatura. ($A = 1$ y modo de entrada diferencial).

Parámetro	Unidad	Nominal	Mismatch (-90°C)		Mismatch (27°C)		Mismatch (125°C)	
			Mean	σ	Mean	σ	Mean	σ
Área	$\mu\text{m} \times \mu\text{m}$	835x467	-	-	-	-	-	-
Consumo	mA	2.917	2.919	0.020	2.916	0.014	2.917	0.012
BW	kHz	30.7	27.17	0.02	30.70	0.03	31.68	0.03
Out. Swing ¹	V _{pp}	4.806	5.212	0.001	4.838	0.001	4.546	0.002
Input noise ²	μV_{rms}	29.03	25.01	0.01	29.06	0.02	32.54	0.02
PSRR+@DC	dB	238	96	10	99	10	101	122
PSRR-@DC	dB	272	94	8	97	10	99	10
CMRR@DC	dB	275	65	9	65	10	65	9
Slew-rate	V/ μs	0.14	0.12	0.01	0.14	0.01	0.12	0.01
Offset	mV	0	0.04	1.58	0.05	1.65	0.07	1.69

¹Tensión diferencial de pico a pico.

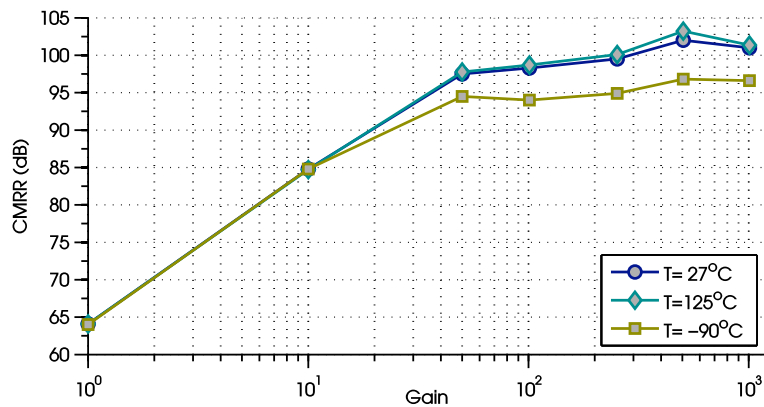
²Ruido integrado en el GBW.

simulaciones *postlayout* incluyendo variaciones PVT. Los resultados se corresponden para el caso de ganancia unitaria, por ser este, en general, el peor caso. Las variaciones de temperatura, incluidas tanto en las variaciones de *mismatch* (Tabla 4.1) como en los *corners* del proceso (Tabla 4.2), se corresponden con un rango entre -90 °C y 125 °C.

Como ya se ha comentado anteriormente, el CMRR mejora considerablemente para ganancias grandes, lo cual se puede apreciar en la Fig. 4.11 donde se muestra la evolución media del CMRR con la ganancia mediante simulaciones *postlayout* del AI, con variaciones de *mis-*

Tabla 4.2.: Principales características del AI obtenidas mediante resultados de simulación en los *corners* del proceso y de temperatura. (A = 1 y modo de entrada diferencial).

Parámetro	Unidad	Nominal	WP	WS	WZ	WO
Área	$\mu\text{m}\times\mu\text{m}$	835x467	-	-	-	-
Consumo	mA	2.917	2.932	2.912	2.919	2.919
BW	kHz	30.7	43.5	22.66	31.06	31.07
Out. Swing ¹	V _{pp}	4.806	4.898	4.780	4.886	4.788
Input noise ²	μV_{rms}	29.03	28.39	31.59	30.38	30.44
Slew-rate	V/ μs	0.14	0.18	0.11	0.14	0.14

¹Tensión diferencial de pico a pico.²Ruido integrado en el GBW.**Fig. 4.11.:** Resultados de simulaciones *postlayout* del CMRR del AI en función de la ganancia.

match, y para diferentes temperaturas.

Como también se ha comentado, el peor caso de linealidad se corresponde con la configuración de ganancia unitaria, debido a la mayor influencia de la variación del *offset* equivalente de entrada con la propia tensión de entrada. Esto se puede apreciar en la Fig. 4.12, donde se muestran resultados de simulación, en las mismas condiciones anteriores, del error máximo de linealidad del AI. Este error de linealidad se ha determinado, para cada valor de ganancia y de temperatura, mediante una simulación transitoria con una rampa de tensión como señal diferencial de entrada. Cada una de estas simulaciones fue realizada con 100 iteraciones para la inclusión de los efectos de *mismatch*. Para cada una de estas iteraciones, se determinó el error de linealidad máximo mediante el método de la recta de mejor ajuste. Finalmente, el error de linealidad máximo para cada valor de ganancia y de temperatura en la Fig. 4.12 se corresponde con el mayor error, en valor absoluto y medido en % del fondo de escala (FS), de todos los errores máximos obtenidos en las 100 iteraciones. Para ganancias grandes, por encima de 50, la linealidad está limitada por el efecto de la resistencia en *ON* de los *switches*

que se encuentran dentro del camino de la señal, y con respecto a los valores de R_S y R_P seleccionados en función del valor de ganancia programado.

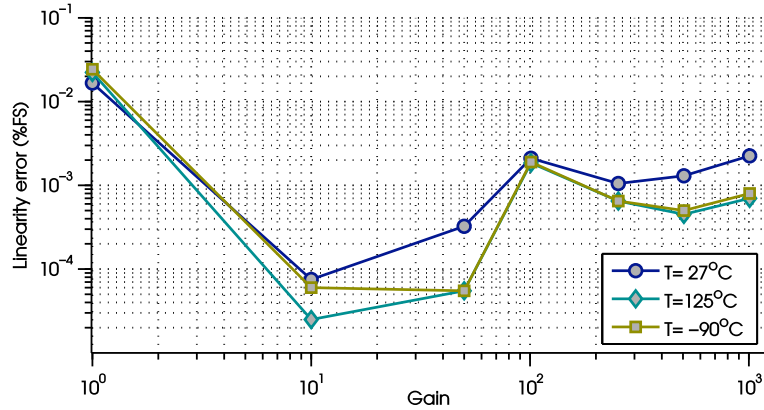


Fig. 4.12.: Resultados de simulaciones *postlayout* del error máximo de linealidad del AI en función de la ganancia.

En la Fig. 4.13 también se muestran resultados obtenidos mediante simulación del ruido *rms* equivalente de entrada integrado en el GBW (*Gain-BandWidth*), en función de la ganancia A y en las mismas condiciones anteriores. Tal y como se puede apreciar, a medida que la ganancia programada es menor, se hacen más notorias las contribuciones de ruido correspondientes a la segunda etapa del AI, es decir, las contribuciones de U_3 y sus resistencias.

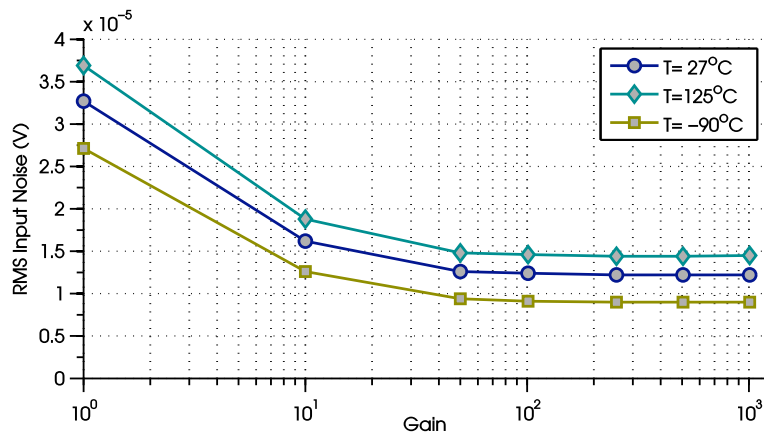


Fig. 4.13.: Resultados de simulaciones *postlayout* del ruido *rms* equivalente de entrada del AI en función de la ganancia.

4.3.2. Diseño de los DS ADCs

4.3.2.1. Descripción de la arquitectura implementada

Tal y como se mostró en la Fig. 4.2, para cada uno de los 6 canales y una vez acondicionada la señal procedente del sensor mediante el AI, la señal es digitalizada mediante un ADC. Con los requisitos de ancho de banda planteados, son muchas las posibilidades disponibles a la hora de seleccionar una arquitectura para la implementación del ADC. No obstante, se debe tener en cuenta que la selección debe hacerse no sólo atendiendo a las métricas y criterios convencionales, sino que, dadas las condiciones extremas de operación, también deben tenerse en cuenta consideraciones adicionales como la robustez y fiabilidad de la arquitectura, de forma que se aseguren las prestaciones durante todo el ciclo de vida del instrumento.

Una de las arquitecturas inicialmente consideradas fue la de un convertidor de tipo *sigma-delta* ($\Sigma\Delta$ ADC). Sin embargo, uno de los principales inconvenientes de esta arquitectura es que la aplicación de técnicas RHBD conlleva un incremento significativo en el área de silicio necesaria para su implementación. Esto es especialmente problemático para la parte digital del $\Sigma\Delta$ ADC, debido a la necesidad de aplicar técnicas de redundancia, y especialmente en el caso del filtro decimador, por ser la parte más sensible a los SEEs [159, 160]. Un ejemplo de implementación de un $\Sigma\Delta$ ADC para aplicaciones espaciales, implementado en una tecnología CMOS de 0.15 μm , y con unos requisitos muy similares a los planteados en este trabajo (16 bits de resolución y 1 kHz de BW) se puede encontrar en [152], implementado en un área de 4 mm^2 , lo cual no resulta factible para los requisitos de área planteados en este trabajo, más aún cuando el objetivo es la implementación de 6 canales de conversión en una tecnología de 0.35 μm .

La elección final de una topología basada en la conversión de doble rampa obedeció a diversos motivos. En primer lugar, es una de las arquitecturas más idóneas para la adquisición de señales de baja frecuencia, proporcionando niveles muy altos de linealidad junto con niveles muy bajos de ruido. Además, es una arquitectura insensible, en primera aproximación, a cualquier fluctuación en los valores de sus componentes, incluyendo variaciones tanto de la constante de tiempo del integrador como de la frecuencia de reloj. Esta insensibilidad es un aspecto importante para aplicaciones espaciales, ya que confiere a la arquitectura una mayor robustez para hacer frente a los efectos derivados de las variaciones extremas en temperatura, así como de la exposición a la radiación ionizante.

Una primera evidencia de la robustez inherente de la arquitectura de doble rampa se puede apreciar en [161], donde los autores analizan mediante resultados experimentales los efectos de la TID en un conjunto de convertidores A/D con diversas arquitecturas (flash, aproximaciones sucesivas, sigma-delta y doble rampa), todos ellos dispositivos comerciales e implementados sin ninguna técnica específica de endurecimiento frente a los efectos de la radiación. Si bien dichos experimentos son realizados con niveles de TID relativamente bajos (~ 30 krad), los

resultados ya permiten intuir una robustez inherente de la arquitectura de doble rampa para entornos con condiciones extremas.

El inherente filtrado paso-bajo de la integración de doble rampa confiere a la arquitectura una mayor inmunidad frente a la propagación y los efectos de los SETs con respecto al caso de los convertidores basados en técnicas de sobremuestreo, si bien esta ventaja es muy dependiente del lugar específico del convertidor en el que impacte la partícula.

Otra de las ventajas asociadas a esta arquitectura es que no resulta necesario el empleo de un *sample and hold* si la señal de entrada se supone de baja frecuencia, de forma que, como se verá posteriormente, la señal que realmente se convierte a digital será la integración, durante un tiempo finito, de la señal de entrada. Por otro lado, esta arquitectura es capaz de proporcionar un grado muy alto de configurabilidad, en términos de resolución y tasa de conversión, así como también de rango de entrada, mediante un diseño relativamente poco complejo que no necesita la realización de un post-procesado de los datos digitalizados, tal y como ocurre con otras arquitecturas más complejas, como por ejemplo, los convertidores de tipo *pipeline*.

En resumen, la arquitectura de doble rampa permite conjugar una alta precisión y bajo ruido con una implementación robusta, altamente configurable y con el nivel de complejidad apropiado para permitir el afianzamiento tanto de la metodología de diseño utilizada, como de las técnicas RHBD empleadas.

En la Fig. 4.14 se muestra el diagrama de bloques del DS ADC propuesto. La parte analógica que constituye el núcleo del convertidor consta principalmente de un integrador FD y un comparador, mientras que la parte digital de mayor peso la constituye la FSM.

Tal y como se comentó en la sección 4.2, con objeto de minimizar el consumo de área de la parte digital, la FSM es compartida por los 6 canales de conversión. El oscilador interno, el generador de tensiones de referencia, así como también los generadores de las tensiones de *bandgap* y los reguladores de tensión, también son compartidos.

Cada DS ADC incluye también una lógica digital para la generación de señales de control locales, y un conjunto de *switches* cuya función es la de conectar la señal apropiada a la entrada del DS ADC para cada una de las fases del ciclo de conversión, así como también para otros modos de funcionamiento adicionales que permitirán realizar tareas de calibración y de testado del canal de conversión.

Adicionalmente, cada salida del integrador FD es monitorizada mediante dos comparadores de nivel de baja precisión, uno para cada rail de salida, con objeto de alertar mediante un *flag* específico en un registro de salida en caso de que esta tensión haya sobrepasado el rango lineal de medida. Esto puede ser utilizado, en conjunto con la ganancia programable del AI, para la implementación de técnicas de autorango (ver sección 4.5.2).

Además de las ventajas inherentes en términos de ruido o PSRR, con la arquitectura FD propuesta para implementar el convertidor de doble rampa, se consigue determinar el signo de la

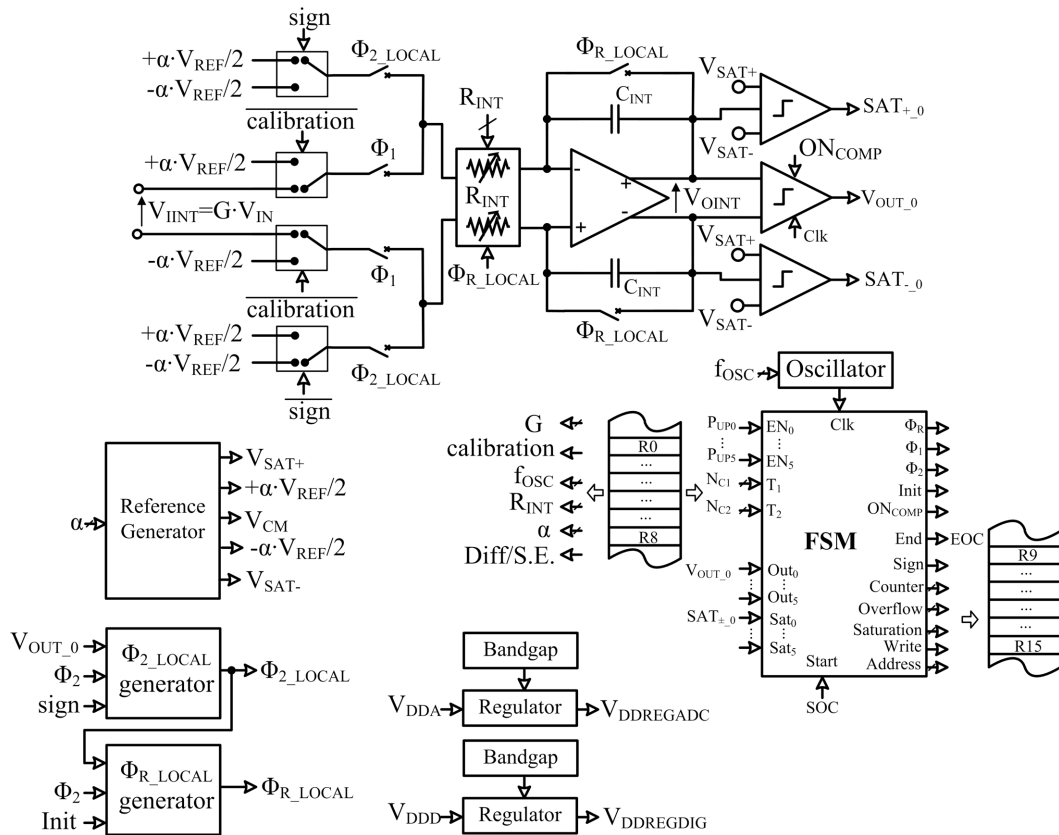


Fig. 4.14.: Diagrama de bloques del DS ADC propuesto.

señal de entrada, esto es, el bit más significativo del código de salida, al final de la primera fase de integración, lo cual permite duplicar el rango dinámico de entrada del convertidor, a la vez que también se incrementa la tasa de conversión con respecto a la topología convencional en SE, ya que la duración de la segunda fase de integración se reduce en un factor 2. Por otro lado, una PSRR alta resulta especialmente importante en aplicaciones espaciales, con objeto de minimizar al máximo el ruido de conmutación de los convertidores DC/DC que generalmente implementan el sistema de alimentación de los instrumentos y subsistemas de la carga útil [162]. Este tipo de convertidores pueden llegar a proporcionar una tensión de salida con un alto nivel de ruido de conmutación en frecuencias del orden de kHz, y con picos de tensión de decenas o incluso centenas de mV sobre su valor nominal. El uso de una topología FD, en combinación con el inherente filtrado paso-bajo de la arquitectura propuesta, tiende a minimizar estos inconvenientes.

La resolución del DS ADC implementado es programable desde los 12 bits, con una frecuencia de adquisición de hasta 19.6 kS/s, hasta los 16 bits con una frecuencia de adquisición de hasta 2.6 kS/s. El rango de tensión de entrada diferencial se puede extender hasta los 4 V de pico

a pico (V_{PP}). La constante de tiempo del integrador es programable, con objeto de abarcar completamente el rango lineal de salida de los AOs en todas las posibles configuraciones. Para ello, el valor de C_{INT} está fijado a 40 pF, mientras que el valor de R_{INT} viene dado por 2 bits de configuración que seleccionan 4 posibles valores: 512 k Ω , 1.024 M Ω , 2.048 M Ω y 4.096 M Ω . Ambos elementos son realizables en la tecnología CMOS de 0.35 μm , R_{INT} con polisilicio de alta resistividad y, C_{INT} , mediante condensadores de doble *poly*.

La Fig. 4.15 muestra el diagrama de tiempos de un ciclo de conversión. Cada conversión se inicia con pulso de SOC (*start of conversion*) que indica a la FSM el inicio de una nueva conversión. Mientras no se reciba dicho pulso, la señal de control Init se encarga de mantener el convertidor completamente *reseteado* y a la espera de iniciar una nueva conversión.

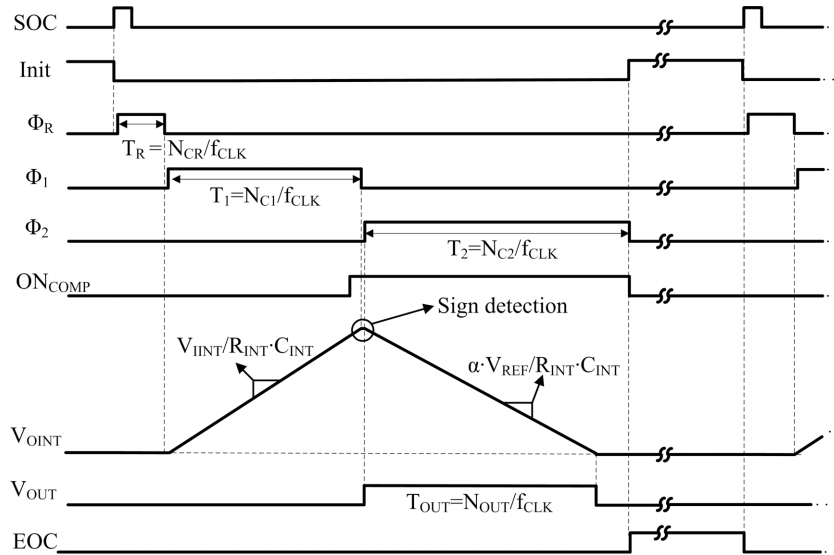


Fig. 4.15.: Diagrama de tiempos del ciclo de conversión del DS ADC.

El ciclo de conversión propiamente dicho comienza con una fase de *reset* (Φ_R), con una duración fija de N_{CR} ciclos de reloj, en la que se descargan las capacidades del integrador de cualquier carga residual procedente de una conversión anterior. A continuación, se inicia una primera fase de integración (Φ_1), con una duración fija, pero programable, de N_{C1} ciclos de reloj, en la que se integra la señal de entrada del integrador, es decir, la señal de salida del AI ($V_{IINT} = A \cdot V_{IN}$). La tensión a la salida del integrador al final de Φ_1 viene dada por la siguiente expresión:

$$V_{OINT}(T_1) = \frac{A \cdot V_{IN} \cdot N_{C1}}{f_{CLK} \cdot R_{INT} \cdot C_{INT}} \quad (4.25)$$

donde f_{CLK} se corresponde con la frecuencia del reloj interno. Con objeto de permanecer en la zona lineal de operación del AO del integrador, se debe cumplir que $|V_{OINT}(T_1)| \leq |V_{SAT_INT}|$, donde $|V_{SAT_INT}| \approx 2V$ para el diseño propuesto. Justo antes del final de la fase Φ_1 , la FSM

activa el comparador mediante la señal ON_{COMP} , de forma que al terminar la fase Φ_1 se determina el signo de la señal de entrada V_{IN} mediante la evaluación de la salida del integrador a través del comparador. Este valor, además de determinar el signo del dato digital de salida, también es empleado para seleccionar la polaridad adecuada de la tensión diferencial de referencia interna que se conecta como entrada al integrador durante la segunda fase de integración (Φ_2). Esta tensión diferencial de referencia también es programable, y se deriva de una tensión general de referencia interna ($V_{REF} = \pm 2$ V), junto con un factor de escala α , el cual puede ser configurado entre 0.125 y 1, con pasos de 0.125, resultando en niveles de referencia efectivos entre ± 250 mV y ± 2 V, con pasos de 250 mV.

Con el comienzo de Φ_2 , el contador digital presente en la FSM comienza a contar ciclos a la cadencia marcada por el reloj interno, a la vez que los condensadores del integrador son descargados por la integración de la tensión de referencia conectada a la entrada. En el momento en el que la salida del integrador cruza cero, el comparador conmuta, ya sea de 1 a 0 ó de 0 a 1 (dependiendo del signo de la señal de entrada), y la cuenta del número de ciclos del contador (N_{OUT}) se corresponde con la magnitud digital de la medida, de forma que dicho valor, junto con el signo determinado previamente, son almacenados en el registro de salida correspondiente del mapa de memoria interno. La duración máxima de Φ_2 , medida en ciclos de reloj, viene dada por N_{C2} , teniendo una correspondencia directa con la resolución programada, de forma que $N_{C2} = 2^{(RES-1)} - 1$, donde RES se corresponde con el número de bits de resolución programados (signo incluido). El valor de la tensión de salida del integrador, en el instante en el que el comparador conmuta durante Φ_2 , viene determinado por la siguiente expresión:

$$V_{OINT}(T_{OUT}) = 0 = V_{OINT}(T_1) - \frac{sign(V_{IN}) \cdot \alpha \cdot V_{REF} \cdot N_{OUT}}{f_{CLK} \cdot R_{INT} \cdot C_{INT}} \quad (4.26)$$

De las expresiones (4.25) y (4.26) se llega a una relación directa entre la tensión diferencial de entrada al canal de conversión completo y el código de salida:

$$N_{OUT} = sign(V_{IN}) \cdot \left| \frac{A \cdot V_{IN} \cdot N_{C1}}{\alpha \cdot V_{REF}} \right| \quad (4.27)$$

Como se puede apreciar, esta relación es independiente de la frecuencia de reloj y de la constante del integrador, proporcionando altos niveles de insensibilidad a las fluctuaciones en sus valores, incluyéndose también los efectos asociados a la variación gradual por efecto de la TID. La resolución, expresada como el LSB de tensión equivalente a la entrada del canal de conversión, viene expresada por:

$$LSB = \frac{|\alpha \cdot V_{REF}|}{A \cdot N_{C1}} \quad (4.28)$$

Hay tres condiciones que determinan el rango de tensión de entrada o IVR (*Input Voltage Range*) del canal de conversión. Las dos primeras están relacionadas con los límites de saturación, tanto del AI ($\pm V_{SAT_AI} = \pm 2$ V, asumiendo por simplicidad que el modo común de entrada se

encuentra a mitad del rango de las alimentaciones) como del integrador ($\pm V_{SAT_INT} = \pm 2 \text{ V}$). La tercera condición viene impuesta por (4.27), para el caso límite en que $N_{OUT} = N_{C2}$. Así, el IVR final viene dado por la condición más restrictiva de las tres:

$$|IVR| = \min \left(\left| \frac{V_{SAT_AI}}{A} \right|, \left| \frac{V_{SAT_INT} \cdot f_{CLK} \cdot R_{INT} \cdot C_{INT}}{A \cdot N_{C1}} \right|, \left| \frac{N_{C2} \cdot \alpha \cdot V_{REF}}{A \cdot N_{C1}} \right| \right) \quad (4.29)$$

Una configuración apropiada, entendiéndose como tal a toda configuración que consigue maximizar el aprovechamiento del rango lineal de los diferentes amplificadores del canal de conversión, se obtiene igualando las 3 condiciones en (4.29), lo cual resulta en expresiones para la selección de los valores adecuados de N_{C1} y α :

$$N_{C1} = \left| \frac{V_{SAT_INT}}{V_{SAT_AI}} \cdot f_{CLK} \cdot R_{INT} \cdot C_{INT} \right| \cong |f_{CLK} \cdot R_{INT} \cdot C_{INT}| \quad (4.30)$$

$$\alpha = \left| \frac{V_{SAT_INT} \cdot f_{CLK} \cdot R_{INT} \cdot C_{INT}}{(2^{RES-1} - 1) \cdot V_{REF}} \right| \cong \frac{N_{C1}}{N_{C2}} \quad (4.31)$$

En general, en el diseño clásico de la arquitectura de doble rampa, la duración de la primera fase de integración es igual a la duración máxima de la segunda fase de integración, es decir, se cumple que $N_{C1} = N_{C2}$, de forma que, según las dos expresiones anteriores, el valor de α sería 1 y la constante de tiempo del integrador pasaría a depender únicamente de la frecuencia de reloj. Esta frecuencia de reloj debe ser, en general, relativamente alta, con objeto de maximizar la tasa de conversión, pero también con objeto de minimizar el área necesaria para la implementación de R_{INT} y C_{INT} . Por otro lado, dada una constante de tiempo del integrador, y siempre que los recursos de área así lo permitan, interesará maximizar el valor de C_{INT} con respecto al de R_{INT} , ya que esto redundará en una mejora de las prestaciones de ruido (ver sección 4.3.2.3). Para el caso del presente trabajo, con una configuración en la que se cumpliera que $N_{C1} = N_{C2}$, y suponiendo una frecuencia de reloj de 100 MHz, los valores de R_{INT} y C_{INT} que permiten cumplir con las especificaciones de ruido, a la vez que se minimiza el área necesaria para su implementación, son de 8.192 M Ω y 40 pF, respectivamente. No obstante, con estos valores se comprometía en cierta medida el área disponible para la implementación del resto de bloques del ASIC, más aún teniendo en cuenta que el integrador es FD y que la FEE incluye 6 canales de conversión. Por otro lado, tal y como se analiza en la sección 4.3.2.4, el efecto de la capacidad parásita a sustrato de la resistencia R_{INT} sobre la linealidad del convertidor también implicó la necesidad de reducir su valor.

Con objeto de reducir el valor de R_{INT} , se hizo uso del grado de libertad existente en la relación entre los parámetros N_{C1} , α y la constante de tiempo $R_{INT} \cdot C_{INT}$, en base a las expresiones (4.30) y (4.31). Así, partiendo de una determinada resolución y frecuencia de reloj, determinadas por N_{C2} y f_{CLK} respectivamente, los valores de $R_{INT} \cdot C_{INT}$ y α vienen determinados por el parámetro N_{C1} . Para un valor fijo de C_{INT} , se podrá disminuir el valor de R_{INT} sin com-

prometer los rangos de entrada y salida del convertidor, siempre y cuando los parámetros N_{C1} y α se reduzcan en la misma proporción. La reducción de N_{C1} tiene la ventaja adicional de incrementar la tasa de conversión del ADC. No obstante, el valor de R_{INT} tampoco puede ser demasiado pequeño, ya que las prestaciones de ruido del ADC empeorarían. Además, cuanto más pequeño sea el factor α , más pequeña será la magnitud de la tensión de referencia del ADC, de forma que tanto la contribución de ruido como el error de *offset* de dicha tensión de referencia serán más significativos. Tal y como se detalla a continuación, el valor final de la resistencia R_{INT} es programable, mediante dos bits de configuración, con valores entre 256 k Ω y 4.096 M Ω . Esta configurabilidad obedece al hecho de poder adaptar la constante de tiempo del integrador a todas las posibles opciones de programación del DS ADC, tanto en términos de resolución como de frecuencia de conversión.

Con respecto a la tasa de conversión, esta depende tanto de la frecuencia del reloj interno como del número de ciclos de duración de cada una de las tres fases que componen el ciclo de conversión:

$$f_s = \frac{f_{CLK}}{(N_{CR} + N_{C1} + N_{C2})} \quad (4.32)$$

Como resulta evidente de la expresión anterior, cuanto mayor sea la frecuencia de reloj, mayor será la tasa de conversión del convertidor. El valor nominal de f_{CLK} es de 100 MHz, no obstante, como se verá posteriormente, el oscilador es altamente configurable con valores entre 3 y 100 MHz, con objeto de ofrecer la posibilidad de reducir la frecuencia de operación, o prevenir el caso de que por efecto de la degradación debida a la TID, los convertidores o la FSM dejaran de operar correctamente a máxima frecuencia. De esta forma, la versatilidad en la configuración de R_{INT} , N_{C1} y α no sólo permite programar el convertidor en términos de resolución y tasa de conversión, sino que también permite que el DS ADC pueda operar a frecuencias de reloj más bajas sin comprometer los rangos de entrada y salida del integrador.

El valor de N_{CR} es fijo a 1024 ciclos de reloj, lo que permite asegurar un *reset* correcto de forma independiente a cuál sea la configuración seleccionada. En la Tabla 4.3 se muestra un resumen de todas las opciones de configuración disponibles y asociadas a los parámetros que permiten modificar las prestaciones del convertidor (una descripción más detallada se puede encontrar en el anexo A, donde se encuentra el *datasheet* del ASIC diseñado). Tal y como se ha comentado anteriormente, existen varios grados de libertad adicional a la hora de configurar el convertidor para una determinada resolución, tal y como se muestra en la Tabla 4.4 para el caso de 16 bits de resolución, IVR máximo ($A=1$) y 100 MHz de frecuencia de reloj. A la vista de la Tabla 4.4, se aprecia cómo la configuración 16-C permite una mayor tasa de conversión con respecto a la configuración 16-A. No obstante, tal y como se analizará en detalle en la sección 4.3.2.3, la configuración 16-A, con un valor de R_{INT} mayor, proporciona una mejor relación señal a ruido (SNR) que la configuración 16-C.

Tabla 4.3.: Parámetros configurables en la arquitectura del DS ADC implementado.

Parámetro	Valor mínimo	Incremento	Valor máximo
N_{C1}	128 ciclos	x2	32768 ciclos
RES	12 bits	+1 bit	16 bits
$N_{C2} = 2^{(RES-1)} - 1$	2047		32767
R_{INT}	512 k Ω	x2	4.096 M Ω
f_{CLK}	3 MHz	*	100 MHz
α	0.125	+0.125	1

*Existen varias opciones de configuración, consultar datasheet en anexo A.

Tabla 4.4.: Opciones de configuración para el caso de 16 bits (A=1).

Resolución = 16 bit, IVR = ± 2 V, A=1, f_{CLK} = 100 MHz					
Conf. ID	R_{INT} (M Ω)	N_{C1} (ciclos)	N_{C2} (ciclos)	$\alpha \cdot V_{REF}$ (V)	f_S (kS/s)
16-A	4.096	16384	32768	± 1	2
16-B	2.048	8192	32768	± 0.5	2.4
16-C	1.024	4096	32768	± 0.25	2.6

4.3.2.2. Unidad de control de los DS ADCs

Como se ha comentado anteriormente, con objeto de reducir el área de silicio necesaria para la implementación de la unidad de control de los convertidores DS ADC, se ha implementado una única FSM para la generación de las señales de control globales que gobiernan la operación de los seis convertidores. En la Fig. 4.16 se muestra el diagrama de flujo de la operación de la FSM.

Cada convertidor dispone de su propio bit de *power-up* que, además de apagar el canal de conversión correspondiente, también indica a la FSM si éste se encuentra o no habilitado. Las señales de inicio y fin de conversión (SOC y EOC, respectivamente), son también comunes a los 6 canales, de forma que la FSM activa la señal EOC de fin de conversión tras haber transcurrido la fase Φ_2 de forma completa, instante máximo en el que todos los convertidores deben haber finalizado su ciclo de conversión independientemente del valor de la tensión de entrada en cada canal. En caso de que alguno de los convertidores no haya finalizado su ciclo de conversión, por encontrarse la señal de entrada fuera del rango de entrada, la FSM activará en el registro de salida correspondiente el *flag* de *overflow* asociado a ese convertidor. La señal EOC se mantendrá activa hasta que se solicite el comienzo de un nuevo ciclo de conversión mediante la señal SOC.

El pulso SOC también cumple la función adicional de realizar un *reset* a la FSM al inicio de cada ciclo de conversión. Así, con el flanco de subida de la señal SOC, la FSM entra en su estado de *reset* interno, recuperándose de cualquier posible error inducido por un SEE

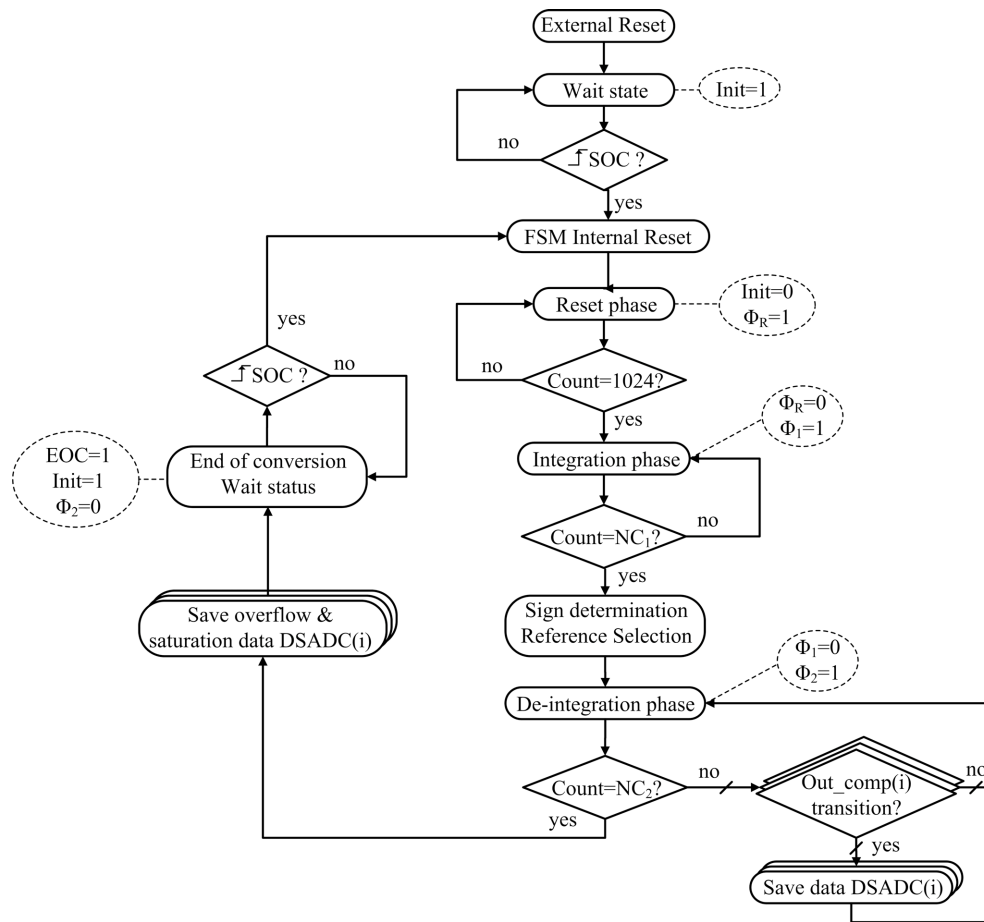


Fig. 4.16.: Diagrama de flujo simplificado de la operación de la FSM.

durante la conversión anterior. Una vez realizado este *reset* interno, comienza la conversión propiamente dicha. Con objeto de incrementar la tolerancia a fallos por SEEs, los estados de la FSM han sido codificados en código *one-hot*².

La duración del ciclo de conversión individual de cada convertidor no es fija, ya que la duración efectiva de la segunda fase de integración medida hasta la conmutación de su comparador, es decir, hasta el momento en el cual el resultado de la conversión está disponible, es dependiente de la magnitud de la señal a la entrada de cada convertidor. En cambio, la señal global Φ_2 tiene una duración fija, determinada por la resolución programada. Esto se ilustra gráficamente a modo de ejemplo en la Fig. 4.17 para el caso de dos convertidores.

En dicho ejemplo se aprecia cómo la señal de entrada al convertidor DSADC-1 es muy pe-

² En el apartado 4.6.2.1 se proporciona una descripción más detallada de las técnicas de robustecimiento aplicadas en la FSM para hacer frente a los efectos de la radiación, y en particular, frente a los efectos de los SEEs.

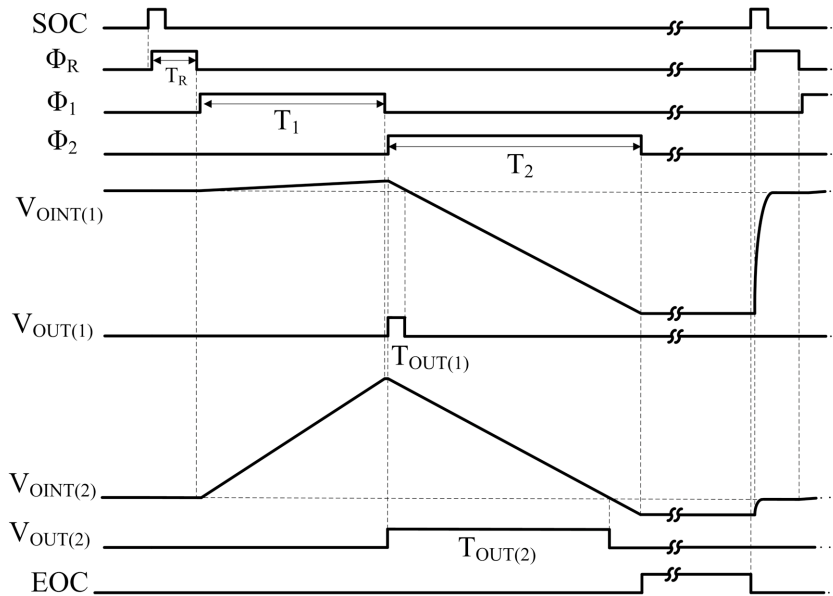


Fig. 4.17.: Cronograma de la operación de dos convertidores con la FSM compartida.

queña, mientras que la señal de entrada al convertidor DSADC-2 se encuentra cerca del nivel máximo correspondiente al fondo de escala. Esto implica que la conmutación del comparador del DSADC-1 durante Φ_2 se produce tras haber transcurrido muy pocos ciclos de reloj. Por otro lado, la conmutación del comparador del convertidor DSADC-2 se produce muy cerca del valor máximo. Dado que Φ_2 es compartida por ambos convertidores, esto implicaría que, a pesar de que el DSADC-1 ha finalizado, dado que Φ_2 sigue activa, el integrador del convertidor DSADC-1 seguiría integrando la señal de referencia. En principio, esta situación no debería ser problemática, ya que el dato de salida fue guardado en el momento en el que su comparador conmutó, y en el siguiente ciclo de conversión habría una nueva fase de *reset* que llevaría dicho AO a su condición nominal.

No obstante, tal y como se analizará con más detalle en la sección 4.3.2.4, resultaba conveniente realizar también un *reset* del integrador a partir del momento en el que el comparador conmuta durante Φ_2 , y principalmente con objeto de eliminar cualquier carga residual almacenada en la capacidad parásita a sustrato de la resistencia del integrador. Esto es debido a que los resultados de simulación evidenciaron que debido a la acumulación de esta carga parásita, la cual es dependiente de la magnitud de la tensión de entrada, aparece un efecto no lineal en la característica estática del ADC, así como también efectos de memoria y correlación entre conversiones consecutivas, como por ejemplo, la aparición de una cierta histéresis. Esta carga residual no se elimina, en general, durante la fase de *reset* convencional del convertidor.

Aparte de las técnicas que se presentan en la sección 4.3.2.4 para cancelar el efecto de esta

carga parásita en la resistencia del integrador, y con objeto de garantizar la eliminación de cualquier carga residual, cada convertidor dispone de una pequeña lógica de control local orientada a generar señales de control locales, tanto para Φ_2 como para Φ_R . En la Fig. 4.18 se muestra dicho circuito.

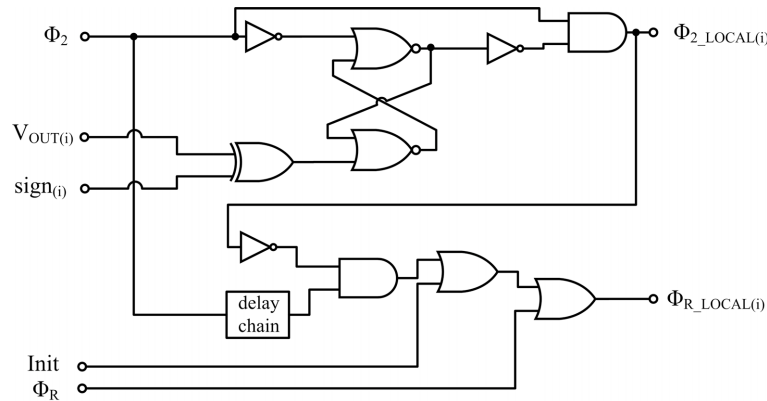


Fig. 4.18.: Circuito de generación de las señales de control local.

La señal local correspondiente a Φ_2 , denominada Φ_{2_LOCAL} , se activa a la vez que Φ_2 , pero desactivándose en el momento en el que su comparador asociado haya conmutado. Dado que la conmutación del comparador puede ser bien de 0 a 1 ó de 1 a 0, dependiendo del signo de la señal de entrada, se hace uso también de la señal de signo determinada al final de Φ_1 , con objeto de conocer el valor inicial del comparador al comienzo de Φ_2 . Es por ello que el circuito de la Fig. 4.18 incluye un elemento de memoria para almacenar dicho valor. La señal de *reset* local, denominada Φ_{R_LOCAL} , se activa en tres casos determinados: cuando Φ_R se encuentra activa, cuando Φ_2 está activa pero Φ_{2_LOCAL} ha sido desactivada, así como cuando la señal $Init$ está activa, es decir, cuando el convertidor se encuentra en el estado de espera para realizar una nueva conversión. Además, la señal Φ_{R_LOCAL} no sólo producirá un *reset* en el condensador del integrador sino que, tal y como se mostrará en la sección 4.3.2.4, produce un “*reset*” en la resistencia del integrador con objeto de eliminar cualquier carga parásita que se haya almacenado en el condensador parásito entre resistencia y sustrato durante el proceso de conversión. La Fig. 4.19 muestra el diagrama de tiempos detallado de la operación con las señales de control local para el caso de dos convertidores.

Otro aspecto importante a tener en cuenta en la robustez de la máquina de estados es el fenómeno de la metaestabilidad. La señal SOC de inicio de conversión es asíncrona y, por tanto, no está necesariamente sincronizada con la señal de reloj interno, lo cual da lugar a un aumento de la probabilidad de ocurrencia del estado metaestable [163] para esta entrada de la FSM. Algo similar ocurre con las señales que alertan de la saturación en los integradores (ver Fig. 4.14), estas señales son almacenadas de forma síncrona en el registro de salida de cada DS ADC. Las 6 salidas de los 6 DS ADCs proceden de sus respectivos comparadores, los cuales, tal y como

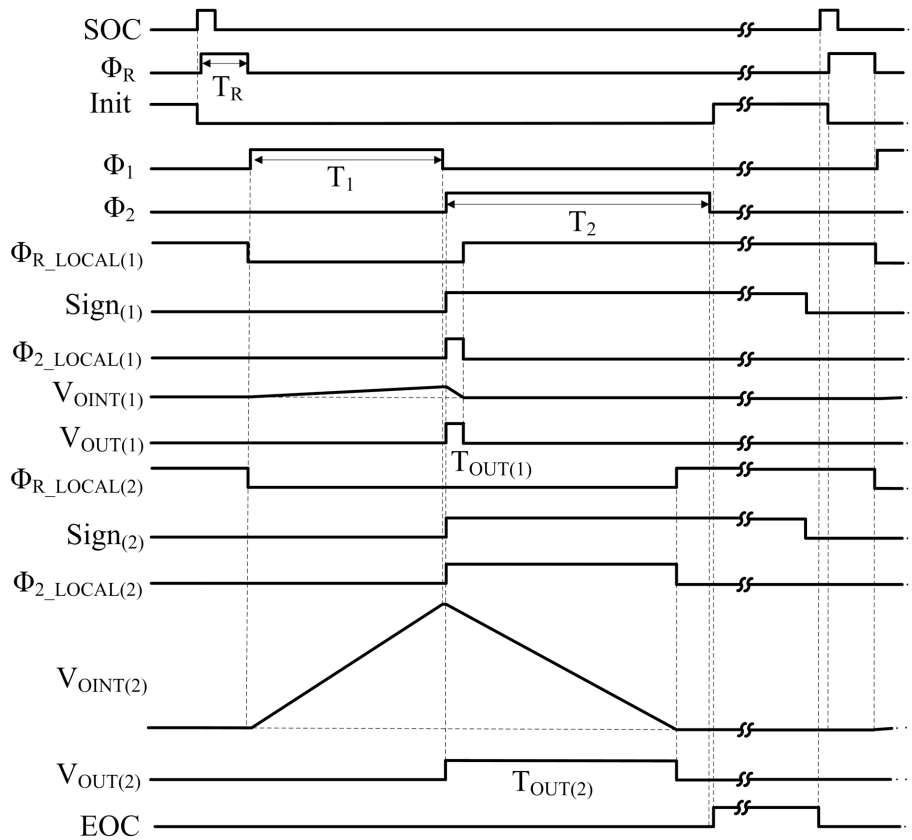


Fig. 4.19.: Cronograma de la operación de dos convertidores con la FSM y la lógica de control local.

se verá en la sección 4.3.2.5, operan gobernados por la propia señal de reloj interno, de forma que no resulta necesario emplear sincronizadores para estas entradas.

Una técnica simple pero a la vez eficiente para sincronizar cada una de las entradas consiste en colocar $N+1$ *flip-flops* en cascada, tal y como se muestra en la Fig. 4.20. Esta técnica permite aumentar en casi N ciclos de reloj el tiempo de decisión para las señales susceptibles de entrar en estado metaestable y, por tanto, aumentar el tiempo medio entre fallos o MTBF (*Mean Time Between Failures*). En este trabajo se ha empleado un valor de $N=2$, con el que se consigue obtener una probabilidad prácticamente nula del estado metaestable [164], en comparación con el tiempo de vida útil del sistema.

4.3.2.3. Análisis de ruido

Una de las características que con más frecuencia se resalta de la arquitectura de doble rampa es su alto nivel de rechazo del ruido. A pesar de ello, más allá de descripciones cualitati-

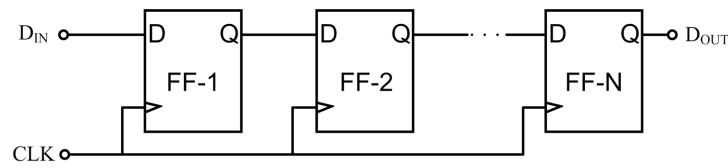


Fig. 4.20.: Sincronizador basado en un esquema de $N+1$ biestables en cascada.

vas [165–167], no se han encontrado en la literatura análisis de ruido cuantitativos, que detallan las contribuciones individuales así como los compromisos de diseño que condicionan las prestaciones del DS ADC en lo que a ruido se refiere. Este apartado tiene como objetivo aportar dicho estudio.

Son varias las contribuciones de ruido que se deben de tener en cuenta en la operación del DS ADC, incluyendo el ruido de muestreo en el condensador C_{INT} (como consecuencia de la fase de *reset* Φ_R) de la Fig. 4.14, el ruido introducido por las señales de entrada al convertidor (incluyendo tanto la señal de entrada en la primera fase de integración como la tensión de referencia $\alpha \cdot V_{REF}$ usada durante la segunda fase de integración), y el ruido generado por la resistencia R_{INT} y por el AO que forman parte del integrador. El ruido equivalente del comparador, así como el *jitter* del oscilador también deben tenerse en cuenta.

Dado que el proceso de conversión está dividido en una fase de *reset* seguida de dos fases de integración, la forma de abordar el análisis será analizar, en primer lugar, el ruido asociado a la fase de *reset*, para después abordar las contribuciones de ruido en ambas fases de integración. Para este último caso, se evaluará en primer lugar y de forma individual el proceso de integración de duración finita, extrapolando los resultados obtenidos a ambas fases de integración sin más que tener en cuenta cuáles son las entradas aplicadas en cada fase, así como la duración de las mismas.

En la Fig. 4.21 se muestra el circuito de un integrador R·C con *reset* que se tomará como punto de partida para realizar el análisis de ruido. Por simplicidad, se ha escogido una topología en *single-ended*³. En la Fig. 4.22 se muestra un ejemplo del diagrama de tiempos de la operación del integrador a analizar, supuesta una señal de entrada constante y menor que V_{CM} . La llave analógica controlada por la señal Φ_{INT} pone el condensador a cero (durante una fase de *reset* de duración T_R) al comienzo de cada periodo de integración, de duración T_{INT} . Esta operación es repetida con periodo T_S ($T_S = T_R + T_{INT}$), obteniéndose muestras a la salida con dicho periodo. La señal de interés en este caso, y cuyo ruido se pretende analizar en esta sección, se corresponde con la señal $v_o(t)$ muestreada al final de cada periodo de integración (señal $v_o(n \cdot T_S)$ de la Fig. 4.22), siendo éste el instante en el que actúa el comparador a la salida del integrador para discernir el signo y la magnitud del código de salida del DS ADC.

³La extrapolación a FD se puede hacer directamente sin más que aplicar un factor $\sqrt{2}$ a la SNR obtenida para SE.

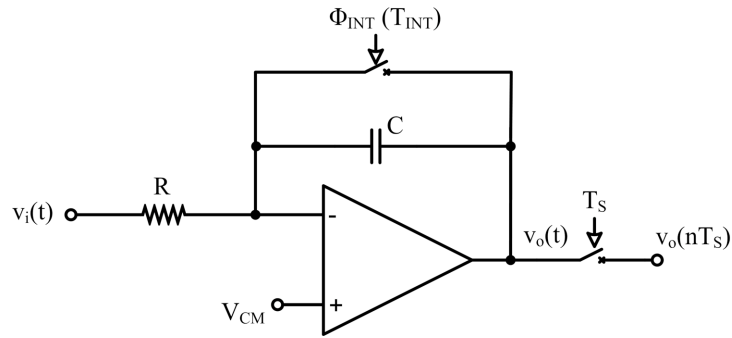


Fig. 4.21.: Circuito equivalente para el análisis de ruido del integrador del DS ADC.

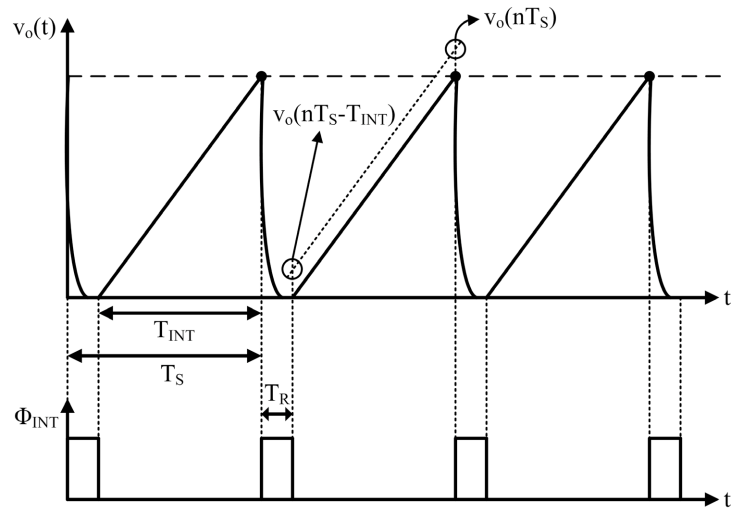


Fig. 4.22.: Cronograma de la operación del integrador para el análisis de ruido.

Contribuciones de ruido en la fase de reset

En la Fig. 4.23 se muestra el circuito equivalente de ruido del integrador SE de la Fig. 4.21 en su fase de *reset*. Como se puede apreciar, las principales fuentes de ruido están asociadas con la resistencia del integrador (v_{nR}), la resistencia en ON del *switch* de *reset* (v_{nRON}), y el ruido del AO del integrador (v_{nAO}).

Estas contribuciones de ruido se reflejarán en una imperfección en el valor inicial de la tensión de salida del integrador al comienzo de cada proceso de conversión, con una PSD de ruido ($S_{v_{nC}}$) dada por la siguiente expresión:

$$S_{v_{nC}} = \left(\frac{R_{ON}}{R}\right)^2 \cdot S_{v_{nR}} + \left(\frac{R + R_{ON}}{R}\right)^2 \cdot S_{v_{nOA}} + S_{v_{nRON}} \quad (4.33)$$

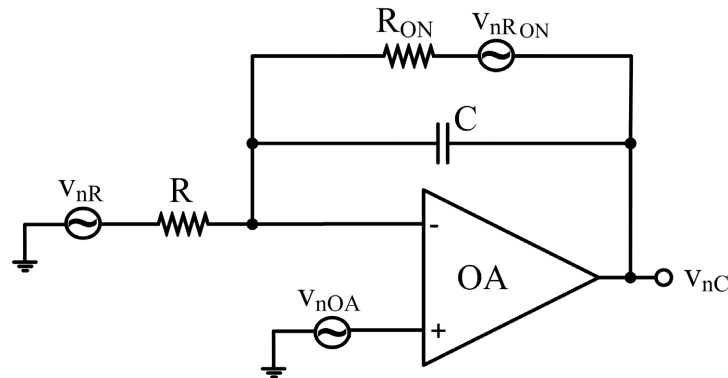


Fig. 4.23.: Circuito equivalente de ruido del integrador SE de la Fig. 4.21 en la fase de *reset*.

En general, dado que $R \gg R_{ON}$, la contribución de ruido de la resistencia del integrador (v_{nR}) durante la fase de *reset* será despreciable, y la contribución de v_{nOA} se reflejará a la salida aproximadamente con ganancia 1. La fuente de ruido $v_{nR_{ON}}$ se refleja a la salida con un ancho de banda de ruido equivalente de $1/4 \cdot R_{ON} \cdot C$, mientras que la fuente de ruido v_{nOA} se refleja a la salida con un ancho de banda de ruido aproximadamente igual al GBW del AO, tal y como se detallará más adelante en esta sección. De esta forma, la tensión *rms* de ruido a la salida del integrador en la fase de *reset* viene dada por la siguiente expresión:

$$v_{nC_{rms}} \approx \sqrt{\frac{k_B \cdot T}{C} + S_{v_{nOA}} \cdot GBW} \quad (4.34)$$

donde k_B es la constante de Boltzmann, C es la capacidad del integrador, y T la temperatura. La expresión (4.34) se corresponde con el integrador SE de la Fig. 4.21. La extrapolación al integrador *fully differential* del convertidor DS ADC de la Fig. 4.14 es directa de determinar sin más que aplicar un factor $\sqrt{2}$:

$$v_{nC_{INT_{rms}}} \approx \sqrt{2 \cdot \left(\frac{k_B \cdot T}{C_{INT}} + S_{v_{nOA}} \cdot GBW \right)} \quad (4.35)$$

donde C_{INT} es la capacidad del integrador del DS ADC.

Contribuciones de ruido en la fase de integración

En la Fig. 4.24 se muestra el circuito equivalente de ruido del integrador SE de la Fig. 4.20 durante la fase de integración. En este caso, las fuentes de ruido existentes se corresponden con el ruido del AO (v_{nOA}), el ruido de la resistencia R (v_{nR}), y el ruido de la señal de entrada (v_{nIn}), que en el caso del canal de conversión diseñado se corresponde con el ruido a la salida del AI. Como se puede apreciar en la Fig. 4.24, la fuente de ruido de la resistencia R está

en serie con la entrada, de forma que se añadirá directamente a la misma, y su función de transferencia de tiempo continuo será la del propio integrador. La fuente de ruido equivalente a la entrada del amplificador operacional tiene una función de transferencia diferente, tal y como se detallará más adelante en esta sección.

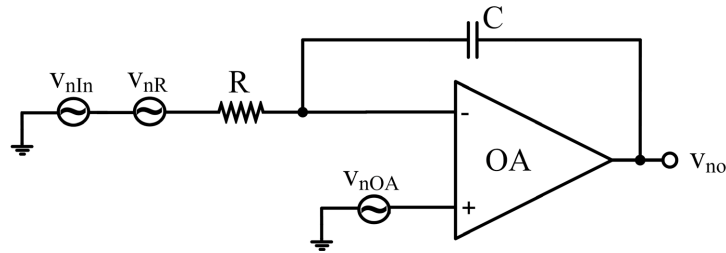


Fig. 4.24.: Circuito equivalente de ruido del integrador SE de la Fig. 4.21 en la fase de integración.

En las dos subsecciones siguientes se presenta en detalle el análisis de ruido de cada una de estas contribuciones. En primer lugar, se comenzará con el análisis de la contribución de las fuentes de ruido a la entrada del integrador, para después analizar la contribución del ruido del AO.

a) Contribución de las fuentes de ruido a la entrada del integrador

Para el análisis de estas contribuciones, se comenzará evaluando la función de transferencia del proceso periódico de integración finita en el integrador SE de la Fig. 4.24, para después extrapolar los resultados obtenidos a ambas fases de integración del DS ADC *fully-differential* implementado, sin más que tener en cuenta cuáles son las entradas aplicadas en cada fase, así como la duración de las mismas.

En la Fig. 4.25 se muestra la operación del integrador de la Fig. 4.24 para el caso de una rampa de tensión de entrada. En el dominio del tiempo, la señal de interés ($v_{So}(t)$) viene determinada por una serie de valores discretos de tensión a la salida del integrador ($v_o(n \cdot T_S)$), obtenidos periódicamente (con periodo T_S) tras un intervalo de integración de duración T_{INT} , y precedido a su vez por un *reset* en los instantes $nT_S - T_{INT}$.

Para el cálculo de la función de transferencia de interés, se analizará el espectro de la señal $v_{So}(t)$. Las señales $v_{So}(t)$ y $v_o(t)$ se pueden representar mediante sendos sumatorios de cada uno de los procesos de integración individuales, según las siguientes expresiones:

$$v_o(t) = \sum_{n=-\infty}^{+\infty} v_{on}(t) \quad (4.36)$$

$$v_{So}(t) = \sum_{n=-\infty}^{+\infty} v_{Son}(t) \quad (4.37)$$

donde los términos $v_{on}(t)$ y $v_{Son}(t)$ se corresponden con el enésimo proceso de integración, tal y como se representa en la Fig. 4.25.

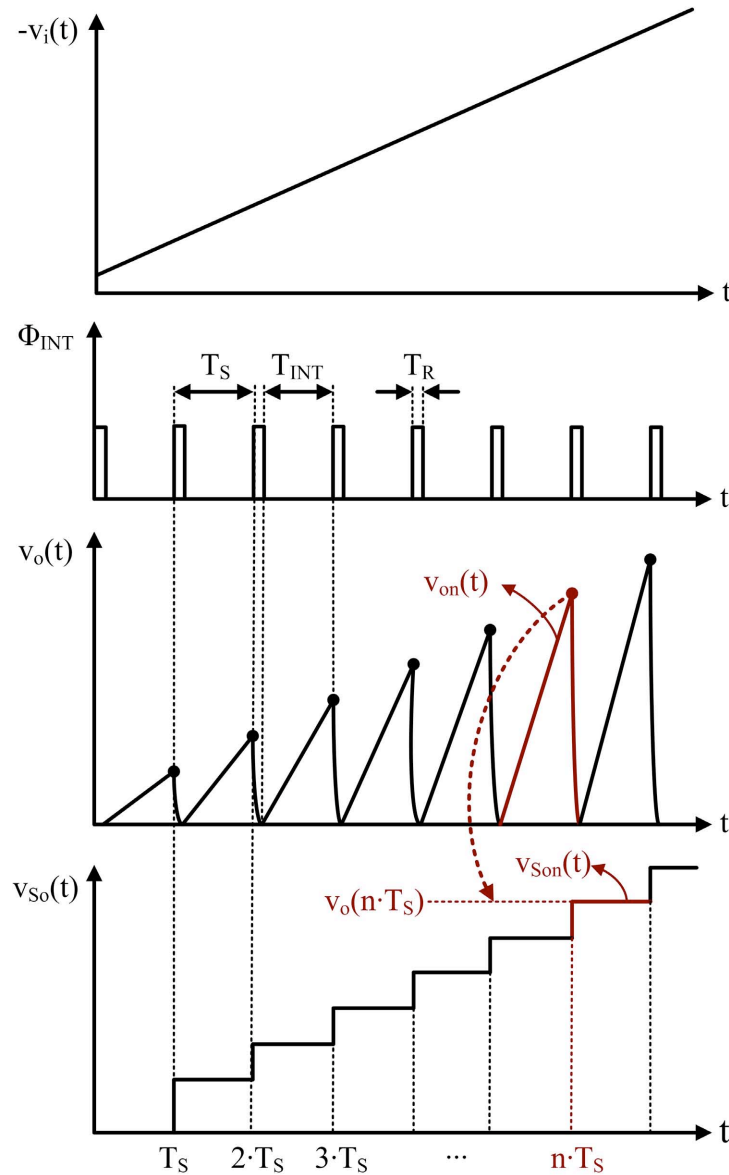


Fig. 4.25.: Composición de señales de la señal muestreada a la salida del integrador supuesta una rampa de tensión a la entrada.

El sumando $v_{Son}(t)$ se puede describir empleando la función escalón unitario ($u(t)$):

$$v_{Son}(t) = v_o(nT_S) \cdot [u(t - nT_S) - u(t - (nT_S + T_S))] \quad (4.38)$$

Aplicando las correspondientes propiedades de la transformada de Laplace y de la función escalón unitario, la transformada de Laplace de la señal $v_{\text{Son}}(t)$, es decir, $V_{\text{Son}}(s)$, viene dada por la siguiente expresión:

$$V_{\text{Son}}(s) = \left(\frac{1 - e^{-sT_s}}{s} \right) \cdot v_o(nT_s) \cdot e^{-s \cdot nT_s} \quad (4.39)$$

Dado que $v_{\text{So}}(t)$ es meramente una combinación lineal de cada una de las señales $v_{\text{Son}}(t)$, su transformada de Laplace, $V_{\text{So}}(s)$, es directa de determinar:

$$V_{\text{So}}(s) = \left(\frac{1 - e^{-sT_s}}{s} \right) \cdot \sum_{n=-\infty}^{+\infty} v_o(nT_s) \cdot e^{-s \cdot nT_s} = \left(\frac{1 - e^{-sT_s}}{s} \right) \cdot V_{o_nT_s}(s) \quad (4.40)$$

donde $V_{o_nT_s}(s)$ se corresponde con la transformada de Laplace de la señal $v_o(nT_s)$, esta última definida mediante la siguiente expresión:

$$v_o(nT_s) = \sum_{n=-\infty}^{+\infty} v_o(t) \cdot \delta(t - nT_s) \quad (4.41)$$

El siguiente paso para obtener el espectro de $v_{\text{So}}(t)$ será obtener $V_{o_nT_s}(s)$. En el dominio del tiempo, cada uno de los puntos individuales de $v_o(nT_s)$ viene dada por el valor de $v_o(t)$ al final de cada proceso de integración finita (de duración T_{INT}) de la señal de entrada:

$$v_o(t = nT_s) = -\frac{1}{R \cdot C} \cdot \int_{nT_s - T_{\text{INT}}}^{nT_s} v_i(t) \cdot dt \quad (4.42)$$

La expresión anterior se puede reescribir empleando, de nuevo, la función escalón unitario:

$$v_o(t = nT_s) = -\frac{1}{R \cdot C} \cdot \int_{-\infty}^{\infty} v_i(t) \cdot [u(t - (nT_s - T_{\text{INT}})) - u(t - nT_s)] \cdot dt \quad (4.43)$$

Para el cálculo de la transformada de Laplace de la expresión anterior, se va a definir la siguiente función:

$$f_u(t) = u(-t + T_{\text{INT}}) - u(-t) \quad (4.44)$$

de forma que $v_o(t = nT_s)$ se puede expresar como:

$$v_o(t = nT_s) = -\frac{1}{R \cdot C} \cdot \int_{-\infty}^{\infty} v_i(t) \cdot f_u(nT_s - t) \cdot dt \quad (4.45)$$

La integral de la expresión anterior se corresponde con la convolución de las señales $v_i(t)$ y

$f_u(t)$ evaluada en el instante $t = nT_s$:

$$v_o(t = nT_s) = -\frac{1}{R \cdot C} \cdot \int_{-\infty}^{\infty} v_i(\tau) \cdot f_u(nT_s - \tau) \cdot d\tau = -\frac{1}{R \cdot C} \cdot (v_i(t) \otimes f_u(t))|_{t=nT_s} \quad (4.46)$$

dato que la operación de convolución de dos señales en el dominio del tiempo es equivalente al producto de sus transformadas en el dominio la frecuencia, la transformada de Laplace de la expresión (4.46) será directa de determinar. De esta forma, el espectro de la transformada de Laplace de $v_o(nT_s)$, es decir, el espectro de $V_{o_nT_s}(s)$, será igual al espectro de la transformada de Laplace de la señal de tiempo continuo ($v_o(t) = -\frac{1}{R \cdot C} \cdot (v_i(t) \otimes f_u(t))$), pero repetido en cada múltiplo de la frecuencia de muestreo, tal y como se muestra en la siguiente expresión:

$$V_{o_nT_s}(j\omega) = -\frac{1}{R \cdot C} \cdot \frac{1}{T_s} \cdot \sum_{k=-\infty}^{+\infty} V_i(j(\omega - k\omega_s)) \cdot F_u(j(\omega - k\omega_s)) \quad (4.47)$$

donde ω_s es la frecuencia angular de muestreo ($\omega_s = 2 \cdot \pi / T_s$). Teniendo en cuenta ahora que la transformada de Laplace de la señal $f_u(t)$ es:

$$F_u(s) = \frac{1 - e^{-sT_{INT}}}{s} \quad (4.48)$$

el espectro de $V_{o_nT_s}(s)$ viene dado finalmente por la siguiente expresión:

$$V_{o_nT_s}(j\omega) = -\frac{1}{R \cdot C} \cdot \frac{1}{T_s} \cdot \sum_{k=-\infty}^{+\infty} \frac{1 - e^{-(j(\omega - k\omega_s))T_{INT}}}{j(\omega - k\omega_s)} \cdot V_i(j(\omega - k\omega_s)) \quad (4.49)$$

Una vez obtenido el espectro de $V_{o_nT_s}(s)$, el siguiente paso es aplicarlo a la expresión (4.40) con objeto de determinar el espectro de $V_{S_o}(s)$, llegando a la siguiente expresión:

$$V_{S_o}(j\omega) = -\frac{1}{R \cdot C} \cdot \frac{1}{T_s} \cdot \left(\frac{1 - e^{-j\omega T_s}}{j\omega} \right) \cdot \sum_{k=-\infty}^{+\infty} \frac{1 - e^{-(j(\omega - k\omega_s))T_{INT}}}{j(\omega - k\omega_s)} \cdot V_i(j(\omega - k\omega_s)) \quad (4.50)$$

La expresión (4.50) puede transformarse aplicando la relación de Euler⁴. Tras agrupar términos⁵ y quedándonos con la magnitud al cuadrado, se llega a la siguiente expresión:

$$|V_{S_o}(j\omega)|^2 = \left(\frac{T_{INT}}{R \cdot C} \right)^2 \cdot \text{sinc}^2 \left(\frac{\omega T_s}{2} \right) \cdot \left| \sum_{k=-\infty}^{+\infty} V_i(j(\omega - k\omega_s)) \cdot \text{sinc} \left(\frac{(\omega - k\omega_s)T_{INT}}{2} \right) \right|^2 \quad (4.51)$$

donde también se ha hecho uso de la función $\text{sinc}(x) = \sin(x)/x$. Tal y como se aprecia en

⁴Relación de Euler: $e^{-j\omega T} = \cos(\omega T) - j \cdot \sin(\omega T)$

⁵ $\left| \frac{1 - e^{-j\omega T}}{j\omega} \right| = T \cdot \frac{\sin(\frac{\omega T}{2})}{\frac{\omega T}{2}} = T \cdot \text{sinc} \left(\frac{\omega T}{2} \right)$

(4.51), en la banda base del espectro aparece una función sinc que limita el ancho de banda de la señal de salida y que, por tanto, filtra las réplicas que aparecen a múltiplos de la frecuencia de muestreo. En cada una de estas réplicas aparece también una función sinc como consecuencia del proceso de integración de duración finita, limitando el ancho de banda de la señal de entrada y, por tanto, el plegado del ruido en la banda base de la señal de salida. Para verlo de forma más clara, y utilizando las propiedades de la función sinc⁶, se puede obtener el ancho de banda de ruido equivalente (f_{EBW}) de una función de transferencia definida mediante la función sinc:

$$f_{EBW_{sinc}} = \int_0^{\infty} \left| \text{sinc} \left(\frac{wT_S}{2} \right) \right|^2 \cdot dw = \frac{1}{2 \cdot T_S} \quad (4.52)$$

A partir de (4.51) y (4.52) se aprecia que el espectro de ruido equivalente de $V_{So}(jw)$ está limitado a un ancho de banda igual a $1/2 \cdot T_S$, mientras que el plegado del ruido en la banda base dependerá del ancho de banda de cada réplica, el cual estará limitado, en este caso, por $1/2 \cdot T_{INT}$. Teniendo en cuenta que $T_S = T_R + T_{INT}$ y, por tanto, que $T_S > T_{INT}$, habrá un cierto plegado del ruido en la banda base delimitado por $1/2 \cdot T_{INT}$, tal y como se muestra en la Fig. 4.26.

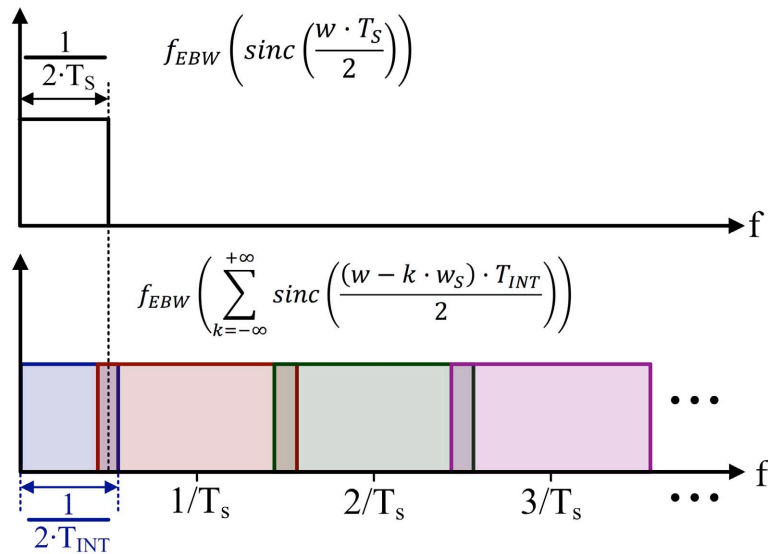


Fig. 4.26.: Componentes de la magnitud del espectro de ruido equivalente de $V_{So}(s)$.

Dado que el tiempo de *reset* del integrador es en general muy pequeño con respecto al tiempo de integración ($T_R \ll T_{INT}$), el periodo de muestreo es prácticamente igual al tiempo de integración, de forma que en estas condiciones el plegado del ruido será prácticamente despreciable. No obstante, para dar cuenta de este plegado basta con asumir que el f_{EBW} en la

⁶ $\int_{-\infty}^{\infty} \frac{\sin(\pi x)}{\pi x} dx = \int_{-\infty}^{\infty} \left(\frac{\sin(\pi x)}{\pi x} \right)^2 dx = 1$

banda base de $V_{So}(jw)$ es $1/2 \cdot T_{INT}$, de forma que la expresión (4.51) se reduce a la siguiente expresión:

$$|V_{So}(jw)|^2 = \left(\frac{T_{INT}}{R \cdot C} \right)^2 \cdot \text{sinc}^2 \left(\frac{wT_{INT}}{2} \right) \cdot |V_i(jw)|^2 \quad (4.53)$$

y la función de transferencia buscada viene dada finalmente por la siguiente expresión:

$$|H_{INT}(jw)|^2 = \left(\frac{T_{INT}}{R \cdot C} \right)^2 \cdot \left| \text{sinc} \left(\frac{wT_{INT}}{2} \right) \right|^2 \quad (4.54)$$

correspondiéndose con un f_{EBW} igual a $1/2 \cdot T_{INT}$. Tal y como se aprecia de forma gráfica en la Fig. 4.27, los ceros de la función de transferencia H_{INT} , asociados a la función sinc, ocurren a múltiplos de $1/T_{INT}$, lo cual resulta lógico, ya que, por ejemplo, el valor resultante de una integración finita de duración T_{INT} de una señal sinusoidal de frecuencia $1/T_{INT}$ debe ser cero, al cancelarse la integración del semi-ciclo positivo con la correspondiente al semi-ciclo negativo.

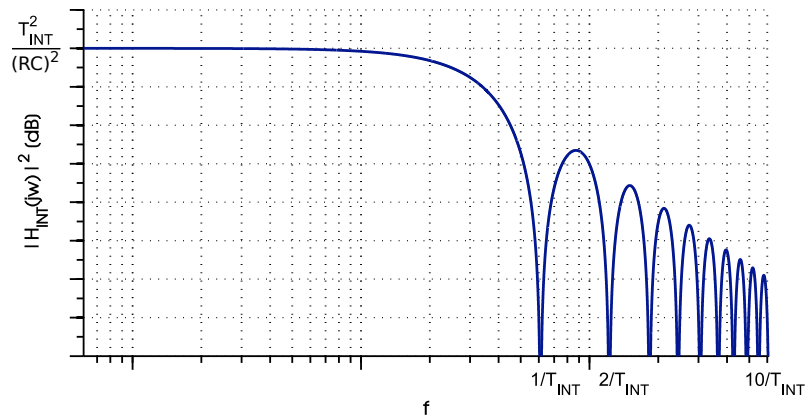


Fig. 4.27.: Función de transferencia resultante del muestreo tras una integración de tiempo finito de duración T_{INT} .

Una vez obtenida la función de transferencia del proceso periódico de integración finita del integrador SE de la Fig. 4.24, ya se está en disposición de evaluar la contribución en la salida de las fuentes de ruido a la entrada. Comenzando con la contribución de ruido de la señal de entrada (v_{nIn}) a la salida del integrador, la PSD de ruido integrada en banda vendrá dada por la siguiente expresión:

$$\overline{v_{noIn}^2} = S_{v_{nIn}} \cdot \left(\frac{T_{INT}}{R \cdot C} \right)^2 \cdot \frac{1}{2 \cdot T_{INT}} = \frac{S_{v_{nIn}} \cdot T_{INT}}{2 \cdot (R \cdot C)^2} \quad (4.55)$$

donde $S_{v_{nIn}}$ se corresponde con la PSD de ruido de la señal de entrada v_{nIn} . De forma similar se puede determinar la contribución de ruido de la resistencia R (v_{nR}) a la salida del integra-

dor:

$$\overline{v_{noR}^2} \approx 4 \cdot k_B \cdot T \cdot R \cdot \left(\frac{T_{INT}}{R \cdot C} \right)^2 \cdot \frac{1}{2 \cdot T_{INT}} = \frac{2 \cdot k_B \cdot T}{C} \cdot \frac{T_{INT}}{R \cdot C} = G_T \cdot \frac{2 \cdot k_B \cdot T}{C} \quad (4.56)$$

donde G_T hace referencia a cuánto mayor es el tiempo integración con respecto a la constante de tiempo del integrador. La expresión en (4.56) pone de manifiesto que el ruido equivalente a la salida del integrador, por efecto de su resistencia, se reduce finalmente a un ruido $2 \cdot k_B \cdot T/C$ multiplicado por un factor de escala que da cuenta de cuánto mayor o menor es el tiempo de integración con respecto a la constante de tiempo del integrador, lo cual viene a su vez determinado por la relación entre los rangos de entrada y salida del integrador, tal y como se explicó en la sección 4.3.2.1. Para el presente diseño, el valor de G_T que maximiza el rango lineal del integrador es la unidad, ya que el rango de tensión de entrada coincide con el de salida (ver sección 4.3.2.1).

Con todo lo expuesto hasta aquí, se puede concluir finalmente que no por el hecho de tener un integrador con un valor de resistencia muy alto, la contribución de ruido térmico asociada a dicha resistencia es mayor. Así, por ejemplo, si se multiplica la resistencia R por un factor 2, manteniendo constante C , el ruido integrado en banda aumentará también por dicho factor, no obstante, con objeto de conservar el rango de entrada del integrador, el tiempo de integración T_{INT} deberá también multiplicarse por dos, de forma que su contribución de ruido permanece entonces constante. Tal y como se muestra en (4.56), las prestaciones de ruido serán mejores cuanto mayor sea el valor de la capacidad del integrador (C). La selección final de los valores de R y C vendrá dada por un compromiso entre el área de silicio disponible para la implementación de la constante RC , y las prestaciones de ruido requeridas según (4.56).

Todos los resultados obtenidos hasta ahora se corresponden con un integrador SE con una única fase de integración. El último paso consiste en extrapolar los resultados obtenidos al caso del convertidor DS ADC de la Fig. 4.14, teniendo en cuenta que se trata de una topología *fully-differential* con dos fases de integración, siendo además la duración de la segunda fase dependiente de la magnitud de la señal de entrada. Esto implica que la duración efectiva del tiempo de integración dependerá de la configuración seleccionada así como de la magnitud de la tensión de entrada. Teniendo todo esto en cuenta, utilizando los parámetros de configuración del convertidor según la sección 4.3.2.1, y aplicando las expresiones (4.56), (4.27) y (4.30), se llega a la siguiente expresión final para el caso del ruido de las resistencias R_{INT} del integrador:

$$\overline{v_{noR_{INT}}^2} \approx \frac{4 \cdot k_B \cdot T}{C_{INT}} \cdot \frac{N_{C1} \cdot \left(1 + \frac{V_{IN}}{\alpha \cdot V_{REF}} \right)}{R_{INT} \cdot C_{INT} \cdot f_{CLK}} = \frac{4 \cdot k_B \cdot T}{C_{INT}} \cdot \left(1 + \frac{V_{IN}}{\alpha \cdot V_{REF}} \right) \quad (4.57)$$

donde el término $V_{IN}/\alpha \cdot V_{REF}$ da cuenta de la duración efectiva de la segunda fase de integración con respecto a la primera, y en función de la magnitud en tensión de la señal de entrada.

A partir de la expresión en (4.57), y teniendo en cuenta que C_{INT} es constante, así como la relación de igualdad existente entre los términos $R_{INT} \cdot C_{INT}$ y N_{C1}/f_{CLK} analizados en (4.30), de nuevo se aprecia que, durante la primera fase de integración, Φ_1 , la contribución del ruido térmico asociado a R_{INT} es independiente de su valor si se mantiene el rango de entrada del convertidor. Durante la segunda fase de integración, Φ_2 , ocurre algo ligeramente distinto, ya que en este caso la duración de la fase de integración, dada por $N_{C1} \cdot (V_{IN}/\alpha \cdot V_{REF})$ en ciclos de reloj (correspondiente a la magnitud del código de salida), depende exclusivamente de la magnitud de la tensión de entrada según la resolución programada. Así, si se decide utilizar una resistencia R_{INT} el doble de grande, tal y como ya se ha comentado, N_{C1} deberá multiplicarse por 2 para mantener el rango de entrada del convertidor, pero además, dado que el factor $N_{C1} \cdot (V_{IN}/\alpha \cdot V_{REF})$ debe mantenerse constante, también se deberá escalar la tensión de referencia por dicho factor 2 (mediante la programación del parámetro α), de forma que también se siga conservando el rango de salida del convertidor y, por tanto, su resolución. Globalmente, esto se traduce en una disminución de la contribución de ruido en $\frac{1}{\sqrt{2}}$ durante Φ_2 a medida que el valor de R_{INT} seleccionado es mayor.

Una vez analizada la contribución de ruido asociada a la resistencia R_{INT} , las contribuciones asociadas al ruido de la señal entrada y al ruido del amplificador operacional son directas de determinar, ya que el procedimiento a seguir es el mismo. Con respecto al ruido de la señal de entrada, tal y como se mostró en la Fig. 4.24, la función de transferencia asociada es la misma que para el caso de R_{INT} . No obstante, hay que tener en cuenta que durante Φ_1 la señal de entrada es V_{IN} , mientras que durante Φ_2 la señal de entrada es $\alpha \cdot V_{REF}$, de forma que se tienen dos contribuciones:

$$\frac{1}{v_{noV_{IN}}^2} \approx \frac{4 \cdot k_B \cdot T \cdot R_{n_IN}}{R_{INT} \cdot C_{INT}} \cdot \frac{N_{C1}}{R_{INT} \cdot C_{INT} \cdot f_{CLK}} = \frac{4 \cdot k_B \cdot T}{C_{INT}} \cdot \frac{R_{n_IN}}{R_{INT}} \quad (4.58)$$

$$\frac{1}{v_{noV_{REF}}^2} \approx \frac{4 \cdot k_B \cdot T \cdot R_{n_REF}}{R_{INT} \cdot C_{INT}} \cdot \frac{N_{C1} \cdot \frac{V_{IN}}{\alpha \cdot V_{REF}}}{R_{INT} \cdot C_{INT} \cdot f_{CLK}} = \frac{4 \cdot k_B \cdot T}{C_{INT}} \cdot \frac{R_{n_REF}}{R_{INT}} \cdot \frac{V_{IN}}{\alpha \cdot V_{REF}} \quad (4.59)$$

donde R_{n_IN} y R_{n_REF} hacen referencia a las resistencias de ruido equivalentes de la señal de entrada y de la tensión de referencia, respectivamente. Tal y como se vio en la sección 4.3.1, el valor de R_{n_IN} depende tanto del ruido de la señal de entrada procedente del sensor (en este caso, el puente de Wheatstone del sensor AMR), tras ser filtrada por el AI que precede al convertidor DS ADC, como del ruido del propio AI. Para el presente diseño, el valor de R_{n_IN} es de aproximadamente $2.1 \text{ M}\Omega$ (correspondiente a una PSD de ruido térmico de $34.8 \cdot 10^{-15} \text{ V}^2/\text{Hz}$).

De forma similar ocurre para el caso de la contribución de ruido de la tensión de referencia $\alpha \cdot V_{REF}$ expresada en (4.59). Esta tensión es generada mediante un divisor resistivo seguido de un buffer con filtrado paso-bajo a la salida, de forma que el valor de R_{n_REF} depende del valor de la tensión de referencia programada según el factor α , pero siempre con un valor bastante

más pequeño que R_{INT} , de forma que la contribución de ruido de la tensión de referencia resulta despreciable con respecto al resto de fuentes de ruido consideradas.

b) Contribución de ruido del AO del integrador

La topología seleccionada para el AO del integrador es la de un amplificador Miller de dos etapas con una primera etapa *folded-cascode*, tal y como se muestra en la Fig. 4.28. Dada la similitud en los requisitos de diseño, el dimensionamiento de los componentes de este AO es prácticamente el mismo que el empleado para la implementación del AO de la segunda etapa del AI. En la sección 4.3.2.4 se analizan con más detalle las prestaciones de este AO.

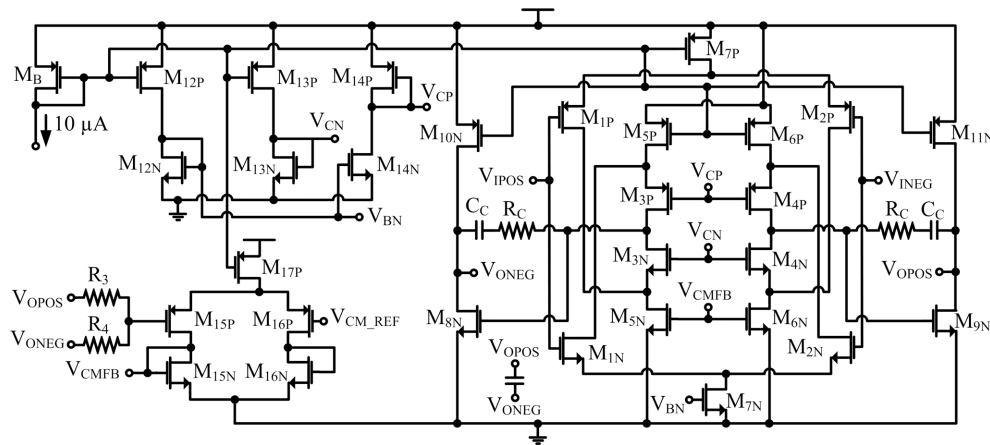


Fig. 4.28.: Esquemático del amplificador operacional del integrador.

La fuente de ruido equivalente a la entrada del AO del integrador (v_{niOA}) tiene una función de transferencia diferente con respecto a la función de transferencia (analizada en la subsección anterior) de las fuentes de ruido equivalente a la entrada del integrador.

En la Fig. 4.29 se muestra esta diferencia a partir del diagrama de Bode de las tres funciones de transferencia de tiempo continuo asociadas al AO y el integrador. En dicha figura, $H_1(s)$ se corresponde con la función de transferencia de la salida del integrador con respecto a su entrada, mientras que $H_2(s)$ se corresponde con la función de transferencia de la salida del integrador con respecto a la entrada del AO. Por último, $H_{AO}(s)$ se corresponde con la función de transferencia del AO en lazo abierto, cuya ganancia diferencial en DC (A_o) y ancho de banda (BW) vienen dados por las siguientes expresiones:

$$A_o = g_{mI} \cdot g_{mII} \cdot R_I \cdot R_{II} \quad (4.60)$$

$$BW = \frac{g_{mI}}{2 \cdot \pi \cdot A_o \cdot C_C} \quad (4.61)$$

donde g_{mI} y g_{mII} se corresponden con las transconductancias de la primera y segunda etapa

del AO, respectivamente, y R_I y R_{II} son los respectivos valores de resistencia equivalente en la salida de la primera y la segunda etapa. El parámetro C_C se corresponde con la capacidad de compensación Miller.

Tal y como se aprecia en la Fig. 4.29, la función de transferencia $H_2(s)$, es decir, la función de transferencia de la salida del integrador con respecto a la entrada del AO, está multiplicada por un cero en $1/2 \cdot \pi \cdot R_{INT} \cdot C_{INT}$. La presencia de este cero implica que el polo de la función *sinc* (que para el caso de las fuentes de ruido a la entrada del integrador hace que éstas sean limitadas en banda por efecto de la integración finita) se cancele, de forma que la contribución de la fuente de ruido equivalente a la entrada del AO del integrador (v_{niOA}) no estará limitada en banda y, por tanto, será el propio ancho de banda de ruido equivalente del AO el único factor limitante del plegado del ruido en la banda base de la señal muestreada.

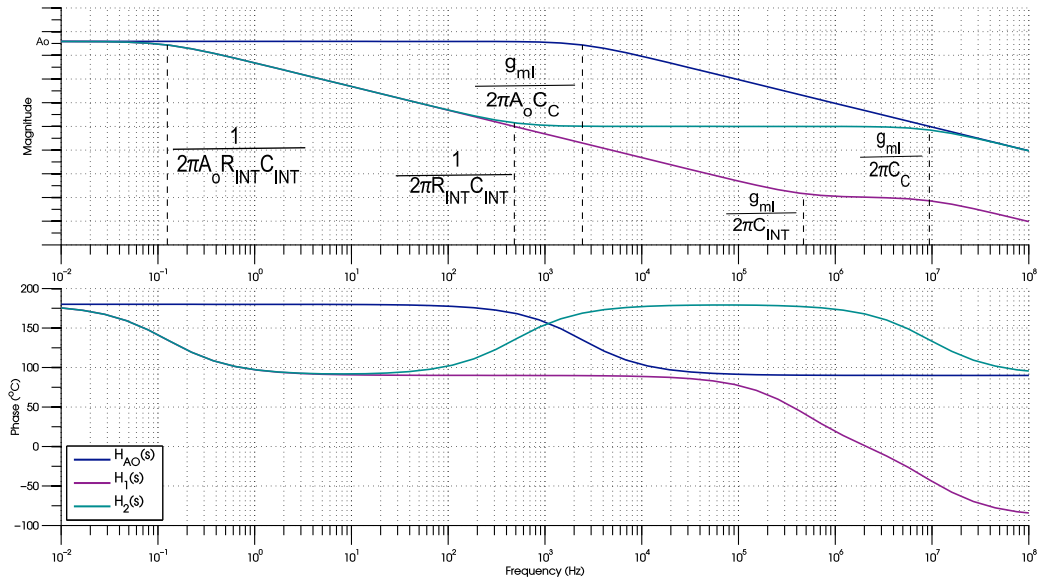


Fig. 4.29.: Diagrama de Bode representativo de $H_1(s)$, $H_2(s)$ y del AO en lazo abierto.

La contribución más significativa del ruido térmico del AO de la Fig. 4.28 se corresponde con las respectivas contribuciones de los transistores $M_{1,2NP}$ de los pares diferenciales, junto con la contribución de los transistores $M_{5,6PN}$. La PSD del ruido térmico de un transistor MOS en saturación se puede modelar en primera aproximación con una fuente de tensión en la puerta, dependiente de la transconductancia, mediante la siguiente expresión:

$$S_{v_{ni}} = \frac{8}{3} \cdot \frac{k_B \cdot T}{g_m} \quad (4.62)$$

donde g_m es la transconductancia de puerta del transistor. Teniendo en cuenta las contribuciones de ruido más significativas, se llega a una expresión aproximada de la PSD de ruido

térmico equivalente a la entrada del AO:

$$S_{v_{niOA}} \approx \frac{16 \cdot k_B \cdot T}{3} \cdot \left(\frac{g_{m1,2P} + g_{m5,6N} + g_{m5,6P}}{g_{m1,2P}^2} + \frac{g_{m1,2N} + g_{m5,6P} + g_{m5,6N}}{g_{m1,2N}^2} \right) \quad (4.63)$$

Para el caso del AO diseñado, se obtiene una densidad espectral de potencia de ruido blanco de entrada de aproximadamente $2.2 \cdot 10^{-16}$ V²/Hz, en condiciones típicas, y con un ancho de banda de ruido térmico equivalente aproximadamente igual al GBW del AO, que en este caso se corresponde con un valor de aproximadamente 1.7 MHz en condiciones típicas.

Hasta este punto se han tratado básicamente las contribuciones referidas al ruido térmico. No obstante, dado que la frecuencia de operación del convertidor así como de las aplicaciones en las que va a ser empleado son inherentemente de baja frecuencia, resulta lógico suponer que el efecto del ruido *flicker* pueda ser importante o que incluso pudiese llegar a ser dominante. La densidad espectral de ruido flicker en un transistor MOS en saturación se puede modelar mediante una fuente de tensión en la puerta a través de la siguiente expresión [168]:

$$S_{v_{nf}} \approx \frac{K_f}{C_{ox} \cdot W \cdot L} \cdot \frac{1}{f^c} \quad (4.64)$$

donde K_f es una constante que depende del proceso tecnológico, C_{ox} es la capacidad del óxido de puerta por unidad de área, y c es una constante dependiente del proceso, en general con una variación entre 0.7 y 1.2. Como se puede apreciar en (4.64), la contribución de ruido *flicker* de un transistor disminuye a medida que aumentamos su área. En general, los compromisos y técnicas de diseño orientadas a disminuir la contribución de ruido *flicker* en un AO son las mismas que las empleadas con objeto de disminuir el *offset* del AO. El *offset* del AO del integrador no debe ser demasiado grande ya que, tal y como se analizará en la sección 4.3.2.4, esto puede derivar en un efecto no lineal en la característica del DS ADC. De esta forma, las técnicas que se han llevado a cabo en el diseño del AO del integrador con objeto de disminuir el *offset*, también contribuyen a disminuir la influencia del ruido *flicker*. De igual modo ocurre para el caso de los AOs que constituyen los *buffer* de entrada en la primera etapa del AI.

Con objeto de analizar la influencia del ruido *flicker* en el AO diseñado para el integrador se va a partir de la siguiente expresión que evalúa la densidad espectral de potencia de ruido *flicker* integrada en banda:

$$\overline{v_{nf}^2} \approx \int_{f_L}^{f_H} S_{v_{nf}} \cdot df = \frac{K_f}{C_{ox} \cdot W \cdot L} \cdot \ln \left(\frac{f_H}{f_L} \right) \quad (4.65)$$

donde se ha supuesto para c un valor típico de 1. La expresión en (4.65) pone de manifiesto que el valor *rms* de ruido *flicker* aumentará un factor 2 cuando el ancho de banda de interés aumente en 4 décadas. Para el AO diseñado, la frecuencia de *corner* de ruido *flicker* es de aproximadamente 1.2 Hz. El valor de la PSD de ruido *flicker* equivalente de entrada, e inte-

grada en un ancho de banda entre 0.1 y 1 Hz es de aproximadamente $2.4 \cdot 10^{-12} \text{ V}^2$, o, de forma equivalente, $1.55 \mu\text{V}_{\text{rms}}$ (resultados de simulación obtenidos en condiciones típicas y con la opción de simulación *transient noise*). De esta forma, si tenemos ahora en cuenta la expresión en (4.65), y se supone un ancho de banda 16 décadas por debajo de 1 Hz, el valor *rms* aumentará únicamente por un factor aproximado de 4, lo que da un valor de aproximadamente $6.2 \mu\text{V}_{\text{rms}}$. Dado que 16 décadas por debajo de 1 Hz es prácticamente un tiempo infinito con respecto al ciclo de operación del instrumento, se puede considerar que la contribución del ruido *flicker* es en este caso despreciable con respecto al resto de contribuciones analizadas en este apartado.

Resultados de simulación

En la Fig. 4.30 se muestra una comparativa, con resultados tanto analíticos como obtenidos mediante simulaciones en Cadence con la herramienta *transient noise*, de cada una de las contribuciones de ruido en el DS ADC analizadas en este apartado. Cada una de las contribuciones mostradas se corresponde con el nivel *rms* de ruido medido a la salida del integrador al final de cada proceso de conversión completo, es decir, transcurridas las dos fases de integración. Para cada contribución de ruido se han simulado 100 procesos de conversión para la medida del valor *rms*. Las simulaciones se han realizado en condiciones nominales a 27 °C, y para las tres configuraciones del DS ADC de la Tabla 4.5, configuraciones que se corresponden con la máxima resolución (16 bits) y rango de entrada (4 V_{pp}), y para una tensión diferencial de entrada de 1 V.

A la vista de los resultados de la Fig. 4.30, se aprecia una ligera disminución del ruido total a medida que se selecciona una configuración con una resistencia R_{INT} más grande. Tal y como se ha expuesto anteriormente, esto es debido a una disminución de las contribuciones de ruido en la entrada del integrador durante la segunda fase de integración (Φ_2) a medida que el valor de R_{INT} seleccionado es mayor. De esta forma, un valor de R_{INT} grande tiene como principal ventaja mejorar las prestaciones de ruido del convertidor, si bien esto es a costa de necesitar más área para su implementación, y también de una mayor influencia de los parásitos capacitivos de dicha resistencia (ver sección 4.3.2.4). Emplear una resistencia más pequeña tendrá como principales ventajas el área, una mayor velocidad de conversión, y también una menor influencia de los parásitos capacitivos. Los principales inconvenientes son unas prestaciones de ruido peores, y una mayor influencia del error de *offset* en la característica de transferencia del convertidor. Esto último es debido a que el factor α debe escalarse en la misma proporción que R_{INT} para mantener el rango de salida del convertidor, lo cual implica una tensión de referencia con una magnitud más pequeña, de forma que el error de *offset* será más significativo (ver sección 4.5.2).

La principal razón por la que se ha implementado la capacidad de programar el valor de R_{INT} , aparte de para poder corroborar experimentalmente el análisis de ruido realizado, obedece al

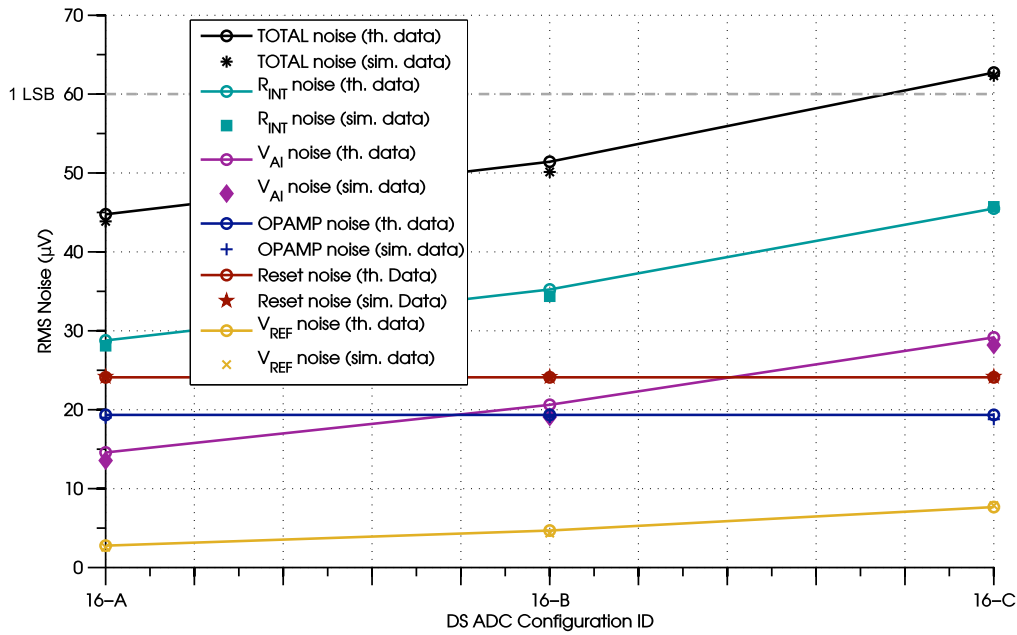


Fig. 4.30.: Comparativa de las distintas contribuciones de ruido en el DS ADC en función de la configuración programada.

Tabla 4.5.: Opciones de configuración para la comparativa de ruido.

Resolución = 16 bit, IVR = ± 2 V, f_{CLK} = 100 MHz, C_{INT} = 40 pF					
Conf. ID	R _{INT} (M Ω)	N _{C1} (ciclos)	N _{C2} (ciclos)	$\alpha \cdot V_{REF}$ (V)	f _S (kS/s)
16-A	4.096	16384	32768	± 1	2
16-B	2.048	8192	32768	± 0.5	2.4
16-C	1.024	4096	32768	± 0.25	2.6

hecho de poder añadir al canal de conversión la capacidad de operar con diferentes resoluciones y también con frecuencias de reloj más pequeñas, a la vez que se mantengan los rangos de entrada y salida del convertidor en todas las diversas posibilidades. Esto permitirá que se pueda seguir operando correctamente a menor frecuencia si se da la circunstancia de que, por efecto de la TID, la FSM dejase de funcionar correctamente a máxima frecuencia.

Aparte de las contribuciones de ruido analizadas con detalle en este apartado, también se deben tener en cuenta la contribución de ruido del comparador así como el efecto del *jitter* del oscilador, contribuciones que se analizarán en las secciones correspondientes (4.3.2.5 y 4.3.2.6, respectivamente) y que como se verá, para el caso del diseño propuesto, son despreciables con respecto a las consideradas en este apartado.

4.3.2.4. Diseño del integrador

Tal y como se ha visto en el apartado anterior, uno de los principales compromisos de diseño en el AO del integrador está orientado a asegurar un bajo nivel de ruido térmico, lo cual implica que el GBW del AO no debe ser más grande de lo necesario. Por otro lado, hay que tener en cuenta que, durante la conversión de doble rampa, tanto en la transición de la fase Φ_R a Φ_1 como en la transición de la fase Φ_1 a Φ_2 , se produce un escalón de tensión a la entrada del integrador, de forma que el tiempo de establecimiento del integrador en dichas transiciones es un parámetro importante a tener en cuenta. Así, el valor finito del GBW del AO puede introducir no idealidades en la característica de transferencia del DS ADC. Esto se ilustra de forma gráfica en la Fig. 4.31, donde se muestran resultados de simulación de la evolución transitoria de la señal de salida del integrador durante la conmutación de la fase Φ_1 a Φ_2 usando distintos macromodelos para el AO Miller de dos etapas empleado en el integrador, modelado por una ganancia A_o , un polo dominante p_1 y un polo secundario p_2 , en base a las siguientes expresiones:

$$A_o = g_{mI} \cdot g_{mII} \cdot R_I \cdot R_{II} \quad (4.66)$$

$$p_1 = \frac{-g_{mI}}{2 \cdot \pi \cdot A_o \cdot C_C} \quad (4.67)$$

$$p_2 = \frac{-g_{mII}}{C_{II}} \quad (4.68)$$

$$GBW = A_o \cdot |p_1| = \frac{g_{mI}}{2 \cdot \pi \cdot C_C} \quad (4.69)$$

donde g_{mI} y g_{mII} se corresponden con las transconductancias de la primera y la segunda etapa del AO, respectivamente, y R_I y R_{II} son los respectivos valores de resistencia equivalente en la salida de la primera y la segunda etapa. El parámetro C_C se corresponde con la capacidad de compensación Miller, y C_{II} es la capacidad de salida de la segunda etapa.

Tal y como se puede apreciar en la Fig. 4.31, el valor finito del GBW provoca un escalón de tensión a la salida del integrador cuando la entrada conmuta. La magnitud de dicho escalón de tensión se puede obtener evaluando la respuesta al escalón de la función de transferencia del integrador. Para el caso de ancho de banda infinito, el salto de sobretensión a la salida del integrador viene dado por la siguiente expresión:

$$\Delta V_{OINT} = \frac{\Delta V_{IINT}}{g_{mI} \cdot R_{INT}} \quad (4.70)$$

donde ΔV_{IINT} hace referencia a la amplitud del escalón de tensión a la entrada del integrador, y g_{mI} es la transconductancia de la primera etapa del AO, es decir, la transconductancia de la etapa diferencial de entrada. Dado que el valor de ΔV_{IINT} es dependiente de la tensión de entrada, esta no idealidad puede traducirse en un error de linealidad en la característica del convertidor, de forma que resulta necesario un AO con un GBW suficientemente grande.

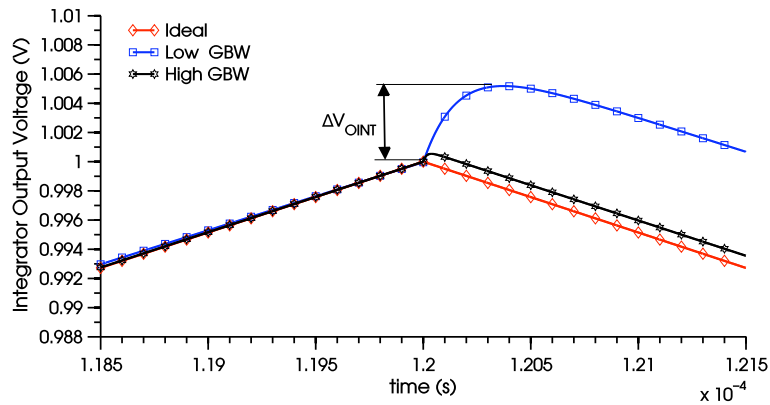


Fig. 4.31.: Comparativa mediante resultados de simulación de la influencia del GBW del AO en la respuesta transitoria del integrador.

En la Fig. 4.32 se muestra de nuevo el esquemático del AO Miller de dos etapas implementado en el integrador, con un valor nominal de transconductancia en la primera etapa de aproximadamente 0.3 mS, y un valor nominal para el GBW de aproximadamente 1.7 MHz. Con este valor para el GBW, se llega a que el error debido a la respuesta transitoria del AO en la característica de transferencia del DS ADC se reduce a un error de magnitud sistemático, de aproximadamente 12 LSBs. Este error es dependiente del signo de la señal de entrada, pero independiente de su magnitud, de forma que, tal y como se verá en la sección 4.5, será relativamente fácil de corregir. Como se verá posteriormente, otros elementos del circuito, como el comparador o la FSM, también contribuyen al incremento de este error de magnitud.

En la Tabla 4.6 y Tabla 4.7 se muestran el resto de características del AO obtenidas median-

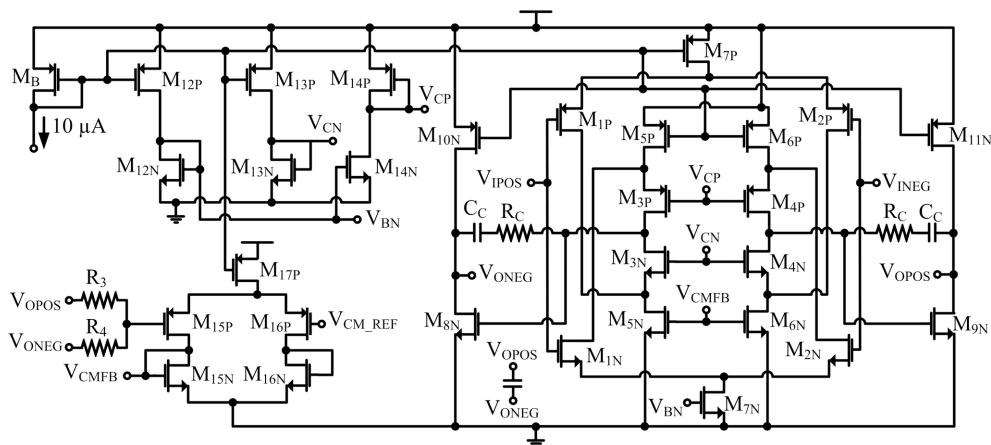


Fig. 4.32.: Esquemático del amplificador operacional del integrador.

te simulaciones *postlayout* incluyendo variaciones PVT. Las variaciones de temperatura, incluidas tanto en las variaciones de *mismatch* (Tabla 4.6) como en los *corners* del proceso (Tabla 4.7), se corresponden con un rango entre -90 °C y 125 °C.

Tal y como se puede apreciar en la Fig. 4.32, la etapa de entrada del AO se ha implementado con sendos pares PMOS y NMOS. Dado que el modo común de la señal de entrada al integrador ya se encuentra regulado por el AI, en principio no resulta necesario disponer de dos pares diferenciales para cubrir todo el rango de modo común de entrada. No obstante, con objeto de dar la posibilidad de realizar medidas sin el AI durante la verificación del primer prototipo se incluyeron a la entrada sendos pares diferenciales. Además, se consigue una transconductancia

Tabla 4.6.: Principales características del AO del integrador obtenidas mediante resultados de simulación con variaciones de *mismatch* y de temperatura.

Parámetro	Unidad	Typ.	Mismatch (-90°C)		Mismatch (27°C)		Mismatch (125°C)	
			Mean	σ	Mean	σ	Mean	σ
Área	$\mu\text{m}\times\mu\text{m}$	415x250	-	-	-	-	-	-
Consumo	μA	754	758	11	753	8	752	7
Ganancia	dB	136	136	1	136	1	134	1
GBW	MHz	1.7	2.4	0.1	1.7	0.1	1.5	0.1
Out. Swing ¹	V_{pp}	4.806	5.212	0.001	4.838	0.001	4.546	0.002
Input noise ²	μV_{rms}	18.7	14.7	0.1	18.7	0.1	21.3	0.1
PSRR+@DC	dB	319	170	9	168	8	170	9
PSRR-@DC	dB	280	170	9	169	8	172	9
CMRR@DC	dB	322	168	10	165	10	168	11
Offset	mV	0	0.02	1.2	0.02	1.2	0.02	1.1

¹Tensión diferencial de pico a pico.

²Ruido integrado en el GBW.

Tabla 4.7.: Principales características del AO del integrador obtenidas mediante resultados de simulación en los *corners* del proceso.

Parámetro	Unidad	Typ.	WP	WS	WZ	WO
Área	$\mu\text{m}\times\mu\text{m}$	415x250	-	-	-	-
Consumo	μA	754	758	753	757	751
Ganancia	dB	136	134	137	138	132
GBW	MHz	1.7	2.9	1.2	1.7	1.8
Out. Swing ¹	V_{pp}	4.806	4.898	4.780	4.886	4.788
Input noise ²	μV_{rms}	18.7	15.6	21.5	19.4	19.3

¹Tensión diferencial de pico a pico.

²Ruido integrado en el GBW.

mayor en el centro del rango de tensión.

El *offset* del AO del integrador no debe ser demasiado grande, ya que este tiene un efecto sobre la pendiente de la característica del convertidor, efecto que además tiene una dependencia con el signo de la señal de entrada. De esta forma, si el *offset* fuese lo suficientemente grande con respecto a la tensión de referencia ($\alpha \cdot V_{REF}$), la pendiente de la curva característica del convertidor sería ligeramente distinta en la parte positiva con respecto a la parte negativa, lo que globalmente se traduciría en un efecto no lineal en el convertidor. Las técnicas para minimizar el *offset* son similares a las ya mencionadas en la sección 4.3.1.

Otro de los puntos importantes a tener en cuenta en el diseño del integrador es el efecto de la acumulación de carga en la capacidad parásita a sustrato de la resistencia del integrador, provocando un error en la carga almacenada en los condensadores C_{INT} , y además con una cierta dependencia con la señal de entrada. Sus efectos son más críticos cuanto mayor es el valor de R_{INT} , introduciendo errores de linealidad y de distorsión de cruce por cero en la característica del convertidor, además de un efecto de memoria que resulta en histéresis y en correlación entre resultados de conversiones sucesivas.

Para el caso de la arquitectura de doble rampa convencional, durante la fase de *reset* Φ_R , sólo se produce el *reset* de C_{INT} , de forma que esta carga parásita almacenada en R_{INT} no se eliminaría completamente, contribuyendo a la introducción de errores en sucesivas conversiones.

Con objeto de minimizar el efecto de esta capacidad parásita, el conjunto de resistencias que componen la resistencia total R_{INT} se ha dispuesto en diversos pozos de tipo N, en concreto, se ha utilizado un pozo para cada dos resistencias en serie de 256 k Ω , tal y como se puede apreciar en la Fig. 4.33. Las capacidades de la Fig. 4.33 hacen referencia a la capacidad parásita de la resistencia al pozo N, así como también a la capacidad del propio pozo a sustrato.

Para la polarización de los pozos se ha empleado una red de resistencias auxiliar entre el nudo de entrada de R_{INT} y el nudo de tierra virtual, de forma que por cada resistencia unitaria de 256 k Ω que forma parte de la resistencia R_{INT} existe una resistencia de valor mucho más pequeño (2 k Ω) en la red auxiliar. El objetivo de la red auxiliar es el de realizar una polarización dinámica de los pozos que permita mantener constante la tensión en las capacidades parásitas. Para ello, la red polariza cada pozo en función del divisor resistivo correspondiente entre la tensión de entrada y el nudo de tierra virtual. Además, dado que la resistencia unitaria de la red auxiliar es mucho menor que la resistencia unitaria del integrador, su capacidad parásita puede considerarse despreciable.

La presencia de esta red auxiliar de resistencias implica una cierta capacidad de *driving* adicional del AI (aproximadamente de 250 μ A para el mínimo valor de resistencia programable y tensión de entrada máxima), la cual es en todo caso asumible por el AI diseñado.

Por otro lado, tal y como se puede apreciar en la Fig. 4.33, con objeto de eliminar cualquier carga residual que pueda afectar a las sucesivas conversiones, todas las capacidades parásitas

son “reseteadas” durante la fase Φ_{R_LOCAL} (todos los switches se ponen en ON y R_{INT_IN} se cortocircuita con R_{INT_OUT}), la cual, tal y como se vio en 4.3.2.2, implica un reset del integrador en todo momento excepto durante Φ_1 y Φ_2_LOCAL .

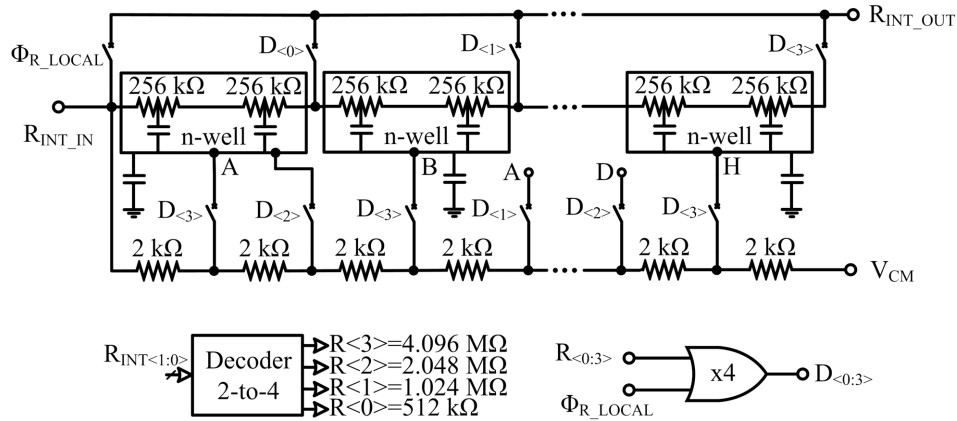


Fig. 4.33.: Esquemático de la polarización dinámica de los pozos N para eliminar el efecto de la carga parásita en la resistencia del integrador.

En la Fig. 4.34 se muestran resultados de simulación de la característica de transferencia del convertidor, observándose el efecto de la carga parásita de la resistencia sobre la linealidad del convertidor, y cómo el empleo de la polarización dinámica de los pozos consigue eliminar sus efectos. La simulación está realizada para las condiciones más demandantes y críticas en relación con el efecto de la capacidad parásita, esto es, a frecuencia de 100 MHz, resolución de 16 bits, y con R_{INT} igual a 4.096 MΩ.

Con esta técnica se consigue minimizar el efecto de la capacidad parásita en R_{INT} , asegurando-

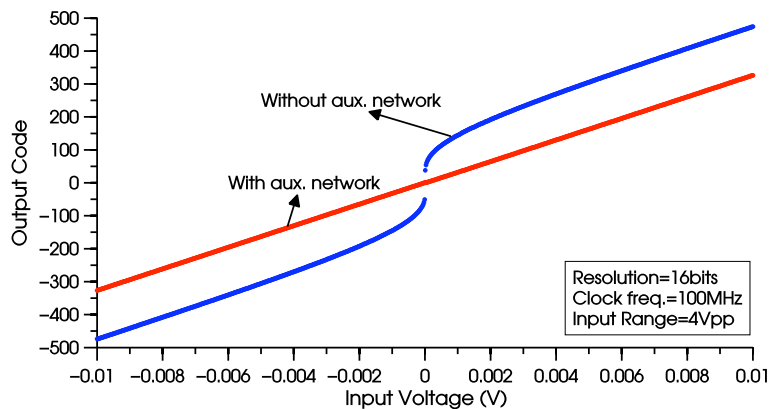


Fig. 4.34.: Comparativa de resultados de simulación del efecto de la capacidad parásita en R_{INT} sobre la característica de transferencia del convertidor.

se que la linealidad del DS ADC se mantenga dentro de los requisitos, a cambio de un pequeño consumo adicional tanto de área como de potencia.

4.3.2.5. Diseño del comparador

Aparte del propio oscilador, el comparador es el único bloque analógico del DS ADC que opera a la frecuencia de reloj, programable con un valor máximo de hasta 100 MHz. La función del comparador es doble, en primer lugar, detecta el signo de la señal de entrada al canal de conversión mediante la comprobación de la señal diferencial de salida del integrador al final de la primera fase de integración (Φ_1). Por otro lado, también debe detectar el cambio de signo de la salida diferencial del integrador durante Φ_2 , momento a partir del cual la FSM registra el valor del contador en el registro de salida del código digital del DS ADC. En ambos casos, la entrada al comparador es una señal que siempre es monótona y lenta.

Con los altos requisitos de velocidad y resolución para el comparador, la arquitectura seleccionada es una topología *fully-differential* de un comparador con lazo regenerativo, tal y como se ilustra en el esquemático de la Fig. 4.35.

El rango de tensión de entrada del comparador se corresponde con el rango de tensión de salida del integrador (± 2 V). Idealmente, para la configuración más demandante, el comparador debería ser capaz de resolver una diferencia de tensión correspondiente a 1 LSB de aproximadamente $60 \mu\text{V}$ en un ciclo de reloj de 10 ns. No obstante, cabe resaltar que el hecho de que la diferencia de tensión mínima necesaria a la entrada, para que se produzca una conmutación del comparador, se corresponda con varios ciclos de reloj, no resulta un problema crítico, ya que dicho retardo se traduciría en un error de magnitud sistemático. Dada la arquitectura

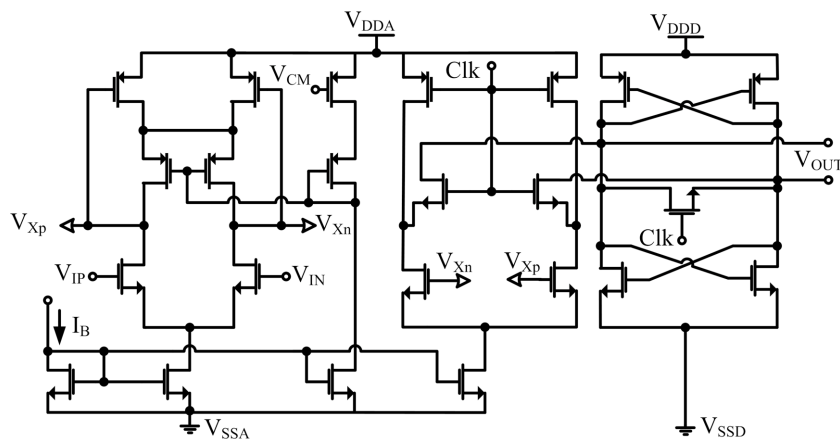


Fig. 4.35.: Esquemático simplificado del comparador FD de lazo regenerativo con etapa preamplificadora.

fully-differential del convertidor, este error de magnitud será dependiente del signo de la señal de entrada, contribuyendo de forma similar al error de magnitud provocado por el efecto del GBW finito en el AO del integrador. Tal y como se verá en la sección 4.5, este error de magnitud se podrá determinar fácilmente y, por tanto, cancelarse.

Como se puede apreciar en la figura Fig. 4.35, el comparador incluye una primera etapa amplificadora seguida de una segunda etapa constituida por un par diferencial y un *latch* regenerativo. El *latch* está implementado con transistores de dimensiones mínimas para que su respuesta sea rápida, lo que también implica un *offset* mayor. No obstante, el efecto de este *offset* queda mitigado por la presencia de la etapa preamplificadora.

El objetivo de esta primera etapa amplificadora es triple: amplificar la diferencia de tensión a la entrada del comparador, minimizar el efecto del *offset* de la etapa regenerativa de salida, y minimizar también el efecto del *kickback*, asociado a las conmutaciones del comparador a la frecuencia de reloj, sobre la tensión de salida del integrador.

El *latch* regenerativo de la etapa de salida opera con la señal de reloj. Cuando el reloj está a nivel alto, el *latch* se *resetea* a su punto equiescente, a la vez que el par diferencial crea un desbalanceo de tensión en la entrada del *latch*. Cuando la señal de reloj conmuta a nivel bajo, y dada la realimentación positiva del *latch*, este evolucionará, con un tiempo de establecimiento muy pequeño, hacia uno de los dos niveles lógicos en función del desbalanceo de tensión creado durante la primera fase. Además, en esta fase el par diferencial se desconecta del *latch*, conectándose sus salidas a V_{DD} con objeto de evitar efectos de memoria (histéresis).

Para cumplir con los objetivos de resolución y velocidad, el ancho de banda del preamplificador debe ser relativamente grande. La principal contribución de ruido del comparador está asociada al par diferencial de la primera etapa amplificadora. La mayor contribución al *offset* está asociada también a la primera etapa amplificadora. En este caso, el *offset* es independiente del signo, contribuyendo de forma similar al caso del *offset* de la señal de entrada al DS ADC.

En la Fig. 4.36 se muestran resultados de simulación de la operación del comparador en condiciones típicas, para una frecuencia de reloj de 10 ns y una señal de entrada con una pendiente de 60 $\mu\text{V}/10$ ns. En la Tabla 4.8 y Tabla 4.9 se muestran las principales características del comparador obtenidas mediante simulaciones *postlayout* incluyendo variaciones PVT. Las variaciones de temperatura, incluidas tanto en las variaciones de *mismatch* (Tabla 4.8) como en los *corners* del proceso (Tabla 4.9), se corresponden con un rango entre -90 °C y 125 °C. Dado que la principal contribución de ruido está asociada con la primera etapa amplificadora, los resultados de ruido reportados en las tablas se corresponden con el nivel de ruido *rms* equivalente de entrada con respecto a la salida de dicha etapa amplificadora, e integrado en su ancho de banda (16 MHz).

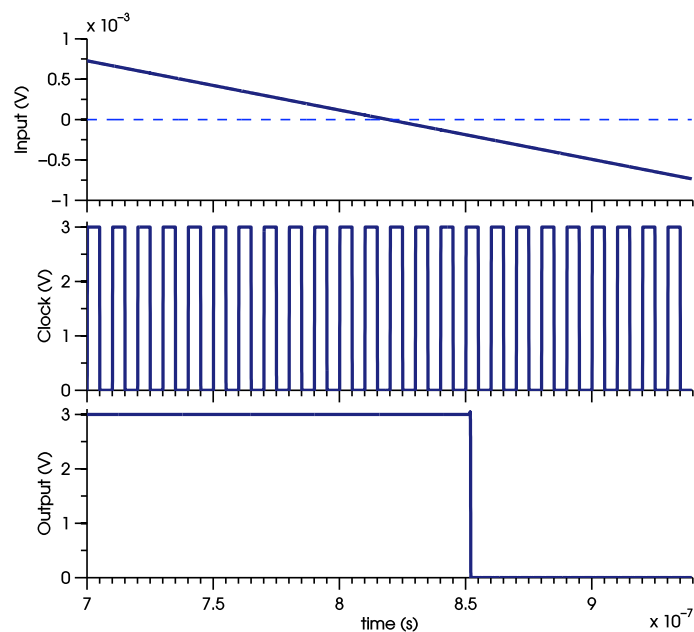


Fig. 4.36.: Simulación de la operación del comparador del DS ADC en condiciones típicas.

Tabla 4.8.: Principales características del comparador del DS ADC obtenidas mediante resultados de simulación con variaciones de *mismatch* y de temperatura.

Parámetro	Unidad	Typ.	Mismatch (-90°C)		Mismatch (27°C)		Mismatch (125°C)	
			Mean	σ	Mean	σ	Mean	σ
Área	$\mu\text{m}\times\mu\text{m}$	115x350	-	-	-	-	-	-
Consumo est.	mA	1.45	1.45	0.01	1.45	0.01	1.45	0.01
Retraso	ciclos	1	1	10	1	10	1	10
Input noise ¹	μVrms	7.8	6.3	0.1	7.8	0.1	9.1	0.1
Eq. Input offset	mV	0	0.02	0.7	0.02	0.7	0.02	0.7

¹Ruido integrado en el BW del preamplificador (16 MHz).

Tabla 4.9.: Principales características del comparador del DS ADC obtenidas mediante resultados de simulación en los *corners* del proceso.

Parámetro	Unidad	Typ.	WP	WS	WZ	WO
Área	$\mu\text{m}\times\mu\text{m}$	115x350	-	-	-	-
Consumo est.	mA	1.45	1.46	1.44	1.44	1.46
Retraso	ciclos	1	1	3	2	7
Input noise ¹	μVrms	7.8	9.5	11.8	9.6	13.5

¹Ruido integrado en el BW del preamplificador (16 MHz).

4.3.2.6. Diseño del oscilador

Tal y como se analizó en la sección 4.3.2.1, la precisión en la frecuencia de reloj para una arquitectura de doble rampa no es crítica, ya que las fluctuaciones afectan de la misma forma durante ambas fases de integración, de forma que, idealmente, para una determinada tensión de entrada, el código de salida permanece estable independientemente del valor de la frecuencia de reloj. El oscilador diseñado permite programar el valor de la frecuencia hasta un valor máximo nominal de 100 MHz. Las razones por las que se ha incluido dicha configurabilidad son varias, y todas ellas orientadas a incrementar la fiabilidad y la capacidad de testado del primer prototipo del ASIC. En este sentido, dado que era la primera aplicación en la que se empleaba la librería digital *rad-hard* para la implementación de circuitos digitales relativamente complejos, como es el caso de las 2 FSM y la SPI, resultaba apropiado incluir la posibilidad de disminuir la frecuencia del reloj con objeto de asegurar el funcionamiento del sistema incluso en el caso de que se diesen desviaciones importantes e inesperadas con respecto de los modelos eléctricos de simulación. Así, aspectos tales como un mal modelado de la capacidad de puerta en los transistores *rad-hard* podrían dar lugar a diferencias importantes en la frecuencia máxima de operación de los circuitos digitales, o a errores asociados al rutado del árbol de reloj si dichos modelos eléctricos empleados durante el flujo de diseño no hubiesen sido lo suficientemente precisos.

Por otro lado, también cabía la posibilidad de que por efecto de la TID la parte digital del ASIC sufriera de una degradación lo suficientemente grande como para que el ASIC o una parte de él dejase de operar correctamente a máxima frecuencia. De esta forma, el disponer de configurabilidad en el oscilador, permitiría también al sistema sobreponerse de esta condición crítica para poder seguir operando correctamente y poder seguir caracterizando a dosis de radiación más altas. La configurabilidad en la frecuencia del oscilador también resulta interesante con objeto de realizar tareas de testado y poder comparar las prestaciones del DS ADC en distintas configuraciones. La versatilidad en la configuración de R_{INT} , N_{C1} y α vista en la sección 4.3.2.1 permite que el DS ADC pueda operar a frecuencias de reloj más bajas sin comprometer los rangos de entrada y salida del integrador.

La arquitectura seleccionada para la implementación del oscilador es la de un oscilador de relajación basado en un astable, tal y como se muestra en el esquemático de la Fig. 4.37. El divisor de tensión formado por R_1 , R_2 y R_3 ($R_2 = R_3 = 2 \cdot R_1 = R'$) establece la tensión en el nodo positivo del comparador (V_{IP}) mediante las siguientes expresiones:

$$V_{IP+} = \frac{R_1 R_2 + R_2 R_3}{R_1 R_2 + R_2 R_3 + R_1 R_3} \cdot V_{DD} = 0.75 \cdot V_{DD} ; \text{ si } V_O = E_{S+} = V_{DD} \quad (4.71)$$

$$V_{IP-} = \frac{R_1 R_2}{R_1 R_2 + R_2 R_3 + R_1 R_3} \cdot V_{DD} = 0.25 \cdot V_{DD} ; \text{ si } V_O = E_{S-} = 0 \quad (4.72)$$

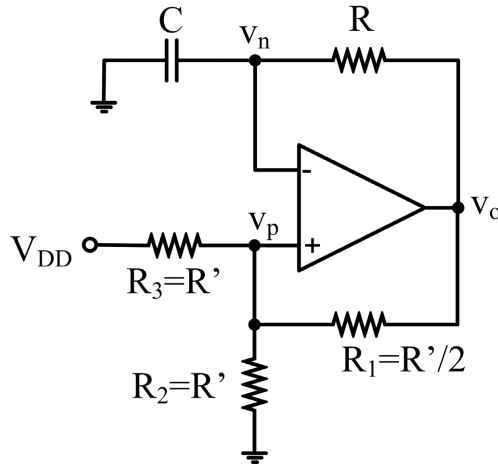


Fig. 4.37.: Esquemático del oscilador de relajación basado en un astable.

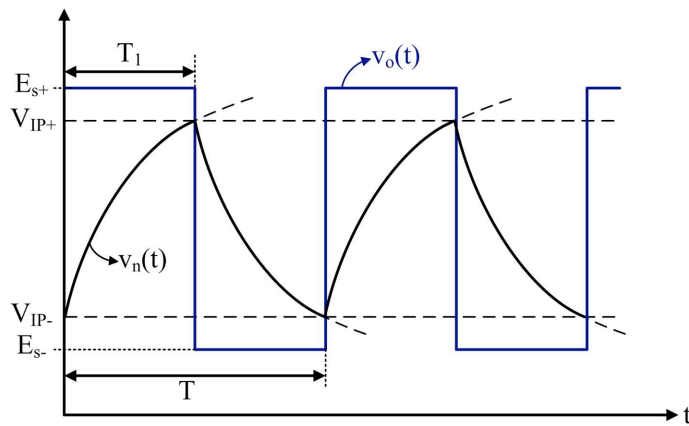


Fig. 4.38.: Evolución de la carga y descarga del condensador en el oscilador de relajación.

donde se ha supuesto que las tensiones de saturación positiva (E_{S+}) y negativa (E_{S-}) del AO son iguales a V_{DD} y tierra respectivamente. Tal y como se muestra en el cronograma de la Fig. 4.38, durante el periodo de tiempo T_1 en el que la salida del comparador está a nivel alto ($V_O=V_{DD}$), el condensador se carga según la siguiente expresión:

$$v_n(t) = V_{IP-} + (V_{DD} - V_{IP-}) \cdot \left(1 - e^{-\frac{t}{RC}}\right); \text{ si } 0 < t < T_1 \quad (4.73)$$

En el instante T_1 , la tensión en el condensador alcanza el valor V_{IP+} y el comparador conmuta su salida a 0, de forma que la tensión $v_n(t)$ evoluciona ahora según la siguiente expresión:

$$v_n(t) = V_{IP+} \cdot e^{-\frac{-(t-T_1)}{RC}}; \text{ si } T_1 < t < T_2 \quad (4.74)$$

Con las expresiones anteriores se puede llegar finalmente a una expresión para determinar el valor del periodo de oscilación:

$$T = -2 \cdot R \cdot C \cdot \ln \left(\frac{R_1}{R_1 + R_2} \right) = -2 \cdot R \cdot C \cdot \ln \left(\frac{1}{3} \right) \approx 2.2 \cdot R \cdot C \quad (4.75)$$

En la Fig. 4.39 se muestra el esquemático a nivel de transistor del oscilador de relajación implementado. La configurabilidad en la frecuencia de salida se obtiene mediante la programación del valor de la capacidad C a través de una palabra de 4 bits, con un rango de frecuencias de salida entre 25 MHz y 100 MHz. Adicionalmente, el ASIC también dispone de un divisor de frecuencia que permite dividir la frecuencia de salida del oscilador por 2, 4 y 8. Como se puede apreciar en la Fig. 4.39, a la salida del amplificador se incluyen varios inversores con objeto de regenerar y dar capacidad de *driving* a la salida.

Tal y como se comentó al principio de esta sección, la arquitectura de doble rampa es bastante inmune a las fluctuaciones en la frecuencia de reloj. No obstante, hay que tener en cuenta que si la frecuencia de reloj disminuye considerablemente, resulta lógico pensar que el rango de entrada del convertidor se pueda ver comprometido, ya que la duración efectiva de la primera fase de integración sería mayor y, por tanto, el AO del integrador entraría en saturación para una tensión de entrada más pequeña. Sin embargo, los resultados de las simulaciones realizadas con variaciones PVT evidenciaron que la contribución más notable a las fluctuacio-

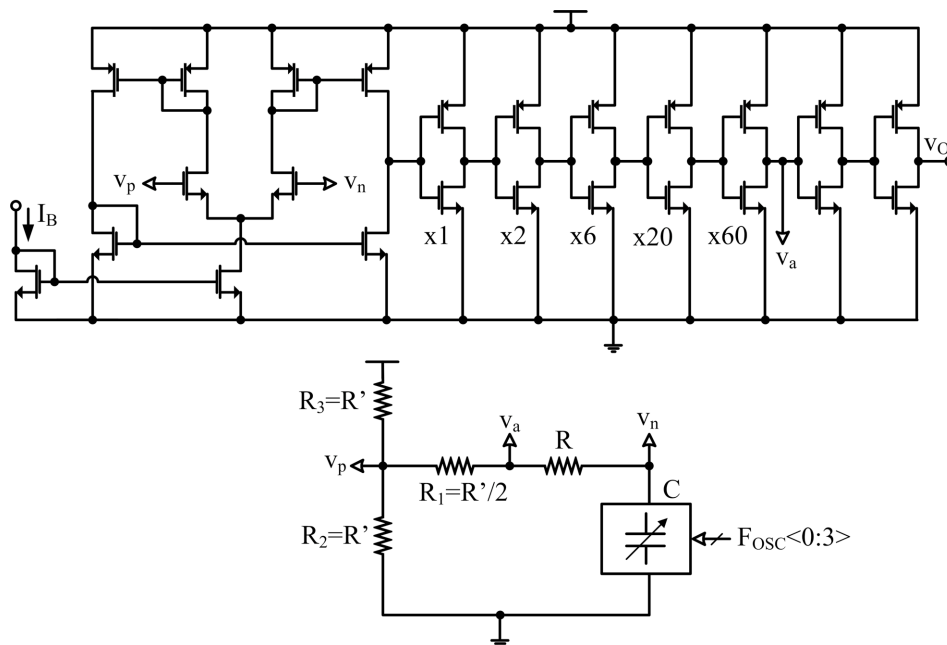


Fig. 4.39.: Esquemático a nivel de transistor del oscilador de relajación implementado.

nes en la frecuencia del oscilador están asociadas a las variaciones en la propia constante RC del oscilador, siendo las más acusadas las causadas por las variaciones de proceso. Tanto la resistencia como el condensador del oscilador son del mismo tipo que la resistencia y el condensador del integrador, de forma que una variación de la constante RC del oscilador debida a estas variaciones de proceso, también provocará un aumento acorde en la constante de tiempo del integrador, de forma que el rango dinámico del convertidor no sufrirá de desviaciones importantes.

El *jitter* del oscilador es una contribución más a tener en cuenta al analizar el ruido de un convertidor de doble rampa. Las contribuciones más notables al *jitter* están asociadas al ruido térmico de las resistencias y al ruido equivalente de entrada del propio AO, las cuales afectan a las señales $v_p(t)$ y $v_n(t)$, de forma que se tiene a la entrada del comparador una incertidumbre en el valor de decisión que se puede expresar mediante una tensión diferencial de ruido equivalente de entrada con un valor *rms* que viene dado por la siguiente expresión:

$$v_{d_{rms}} = \sqrt{v_{p_{rms}}^2 + v_{n_{rms}}^2 + v_{OA_{rms}}^2} = \sqrt{\frac{k_B \cdot T}{C_p} + \frac{k_B \cdot T}{C} + v_{OA_{rms}}^2} \quad (4.76)$$

donde C_p hace referencia a la capacidad parásita de puerta en la entrada positiva del AO (aproximadamente de 0.1 pF), y $v_{OA_{rms}}$ hace referencia a la tensión de ruido equivalente integrada en banda a la entrada del AO (aproximadamente 240 μ Vrms integrando en el GBW del AO). El siguiente paso para obtener una expresión del *jitter* del oscilador (δT_{rms}) es establecer una correspondencia entre $v_{d_{rms}}$ y δT_{rms} , para ello, tal y como se muestra gráficamente en la Fig. 4.40, se va a suponer que:

$$\delta T_{rms} = \sqrt{2} \cdot \frac{v_{d_{rms}}}{\alpha_{vT}} \quad (4.77)$$

donde α_{vT} hace referencia a la pendiente de la señal $v_d(t) = v_p(t) - v_n(t)$ en el cruce por cero. El factor $\sqrt{2}$ se añade para dar cuenta también del ciclo de descarga del condensador. Asumiendo que en el cruce de $v_n(t)$ con $v_p(t)$ la señal $v_p(t)$ es constante, se tiene entonces que la pendiente

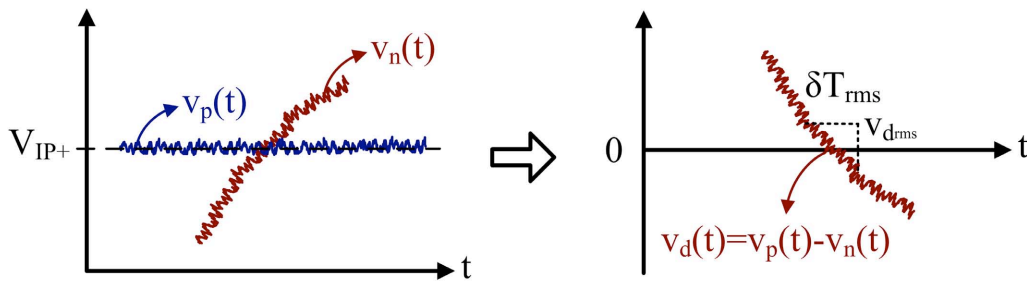


Fig. 4.40.: Representación gráfica de la correspondencia entre $V_{d_{rms}}$ y δT_{rms} en el ciclo de carga del condensador.

de la señal $v_d(t)$ es igual a la pendiente de $v_n(t)$, donde $v_n(t)$ viene dada por (4.73) durante el periodo de carga T_1 .

El valor de α_{vT} se puede determinar a partir de $v_n(t)$ mediante la siguiente expresión:

$$\alpha_{vT} = \left. \frac{dv_n(t)}{dt} \right|_{t=T_1} = \frac{1}{R \cdot C} \cdot E_{S+} \cdot \frac{R_1 R_3}{R_1 R_2 + R_2 R_3 + R_1 R_3} = \frac{V_{DD}}{4 \cdot R \cdot C} \quad (4.78)$$

La contribución de ruido del oscilador en el convertidor de doble rampa viene determinada por el “*jitter* de largo término”, es decir, el *jitter* transcurridos N ciclos de reloj, donde N se corresponde con la suma del número de ciclos de duración de la primera y de la segunda fase de integración. A partir de (4.76) y (4.78) se llega finalmente a una expresión del *jitter* transcurridos N ciclos de reloj:

$$\delta T_{rms}(N) = \frac{4 \cdot R \cdot C}{V_{DD}} \cdot \sqrt{2 \cdot N \cdot \left(\frac{k_B \cdot T}{C} \cdot \frac{k_B \cdot T}{C_p} + v_{OA,rms}^2 \right)} \quad (4.79)$$

Para el caso de configurar el oscilador a 100 MHz y teniendo en cuenta el resto de parámetros ($C = 8$ pF, $R = 333 \Omega$ y $V_{DD} = 3$ V), junto con el valor más grande posible para N ($N = 49150$ ciclos), se obtiene un valor *rms* para el *jitter* de aproximadamente 0.35 ns a 27 °C, valor suficientemente pequeño con respecto al LSB correspondiente a un periodo de reloj (10 ns), así como con respecto al resto de contribuciones de ruido analizadas en la sección 4.3.2.3.

En la tabla Tabla 4.10 se muestran las principales características del oscilador obtenidas por simulación incluyendo variaciones PVT y *mismatch*.

Tabla 4.10.: Principales características del oscilador de relajación.

Parámetro	Unidad	Min.	Typ.	Max.	Coment.
Área	$\mu\text{m} \times \mu\text{m}$	-	500x200	-	
Consumo estático	mA	1	1.1	1.2	
Freq. @100 MHz	MHz	78	100	126	Variaciones de proceso.
Freq. @100 MHz	MHz	96	100	101	Variaciones de <i>mismatch</i> , V_{DD} y T^a .
Freq. @50 MHz	MHz	37	50	65	Variaciones de proceso.
Freq. @50 MHz	MHz	45	50	51	Variaciones de <i>mismatch</i> , V_{DD} y T^a .
Freq. @25 MHz	MHz	19	25	31	Variaciones de proceso.
Freq. @25 MHz	MHz	22	25	26	Variaciones de <i>mismatch</i> , V_{DD} y T^a .
$\sigma_{T_{clk}}$	ps	1.2	1.4	1.5	@100MHz

4.3.2.7. Resultados de simulación

Tal y como se ha visto a lo largo de esta sección, cada uno de los 6 canales de conversión para realizar las medidas procedentes de los sensores AMR está formado por el amplificador de instrumentación (AI), el convertidor de doble rampa (DS ADC), formado a su vez por el integrador y el comparador, además de la máquina estados (FSM), compartida por los 6 canales de conversión, y el oscilador, también compartido.

Con objeto de minimizar el efecto del ruido de conmutación, toda la parte analógica de los 6 canales de conversión se alimenta con un regulador de tensión propio interno al ASIC, incluyendo también su propio generador de tensión de *bandgap*. La parte analógica incluye el AI, el integrador y la etapa amplificadora del comparador. La parte digital, incluyendo la FSM, el oscilador y el *latch* regenerativo de salida del comparador, se alimenta con otro regulador independiente, también interno al ASIC, junto con su *bandgap* independiente. Tanto los reguladores como los generadores de tensión de *bandgap* están implementados con transistores de óxido grueso, con objeto de soportar tensiones de alimentación de 5 V.

La operación del DS ADC está determinada por dos “constantes de tiempo” bien diferenciadas: por un lado, está la constante de tiempo asociada a las dos fases de integración de cada ciclo de conversión, mientras que por otro lado está la constante de tiempo del oscilador, que determina la duración individual de un ciclo de reloj. La gran diferencia en magnitud entre estas dos constantes de tiempo implica que el tiempo de CPU (tiempo real que dura una simulación) necesario para simular un único periodo de conversión, con la precisión adecuada, resulta muy elevado si se incluye el canal de conversión completo. Así, por ejemplo, para una tensión de entrada máxima y configurando el convertidor a máxima resolución, cada proceso de conversión necesita simular aproximadamente 2^{16} ciclos de reloj, lo cual resulta inabordable, más aún si se incluyen los parásitos del *layout* de algunos componentes. De esta forma, todas las simulaciones a nivel de transistor que se hicieron del canal de conversión completo fueron realizadas empleando los modos de baja precisión del simulador, y únicamente estuvieron orientadas a verificar la correcta funcionalidad de todos los bloques, así como la interacción entre los mismos junto con todas las opciones de configuración.

La caracterización con precisión de las prestaciones del canal de conversión se realizó dividiendo el problema en otros más pequeños, esto es, separando los bloques que operan a la constante de tiempo del integrador de los que operan a la frecuencia de reloj. De esta forma, para obtener parámetros globales tales como la INL, que requieren un número de códigos de salida relativamente grande, se simuló de forma separada toda la parte analógica sin el comparador. El comparador y el oscilador se verificaron de forma independiente, mientras que la verificación exhaustiva de la FSM se realizó también de forma independiente mediante *software* específico (principalmente ModelSim).

En las simulaciones de la parte analógica se sustituyeron el comparador y la FSM por macro-

modelos que representaran de la forma más fiel posible la operación real, pero sin utilizar un oscilador que ralentizara el tiempo de simulación. De esta forma, para obtener el código de salida, en vez de realizar la medida en ciclos de reloj de la duración efectiva de la segunda fase de integración (Φ_{2_LOCAL}), se midió de forma directa la duración temporal de dicha fase, junto con el signo determinado al final de Φ_1 . Posteriormente, con la señal de signo y la señal Φ_{2_LOCAL} obtenidas en la simulación, se infiere el código final de salida mediante un procesamiento de las señales con Matlab. La principal ventaja de esta metodología de verificación es que el tiempo de simulación de un proceso de conversión se reduce considerablemente hasta unos pocos segundos, lo que permite caracterizar en un tiempo razonable con un número de puntos adecuado, así como simular incluyendo parásitos extraídos del *layout*, variaciones PVT y *mismatch*.

Evidentemente, los resultados que se obtienen de estas simulaciones no incluyen las no idealidades del oscilador y el comparador. Con respecto al oscilador, el convertidor es insensible a las fluctuaciones de la frecuencia, excepto las que se produzcan durante el proceso de conversión. Dado que el ciclo de conversión es relativamente pequeño, en general siempre menor que 1 ms, no es de esperar una variación significativa en dicho tiempo, ya que en general las variaciones PVT son lentas. Por otro lado, tal y como se vio en la sección 4.3.2.6, el efecto del *jitter* del oscilador también puede considerarse despreciable.

Con respecto al comparador, las principales no idealidades están asociadas al *offset*, el retraso, la histéresis y el efecto de *kickback*. Dado que el *offset* tiene el mismo efecto que un *offset* de la señal de entrada al DS ADC, este se puede incluir fácilmente en la simulación. Con respecto al retraso del comparador, tal y como se vio en la sección 4.3.2.5, es menor que el equivalente a 1 LSB en condiciones típicas, llegando hasta los 7 LSBs en condiciones de peor caso. Este efecto también se puede añadir en el procesamiento de los datos de simulación mediante la inclusión de un error de magnitud adicional dependiente del signo de la señal de entrada al convertidor. Las medidas de la histéresis se pudieron realizar con el canal de conversión completo (a excepción de la FSM), ya que únicamente son necesarios unos pocos puntos. De forma similar también se pudo analizar el efecto de *kickback*. En ambos casos los efectos resultaron ser no significativos.

En la Fig. 4.41 se muestra un ejemplo de una de estas simulaciones realizadas, para el caso de una rampa de tensión de entrada. En la Fig. 4.42 se muestra el error de INL obtenido para el canal de conversión en condiciones típicas y sin variaciones de *mismatch*, con ganancia unitaria en el AI y rango de entrada diferencial máximo ($4 V_{pp}$), y con la configuración más demandante en términos de resolución (15 bits más signo) y frecuencia de reloj (100 MHz).

En la Tabla 4.11 se muestran las principales características del canal de conversión obtenidas mediante simulación, para cada una de las posibles configuraciones en términos de resolución. En dichos resultados se han tenido en cuenta tanto el efecto de los parásitos como las variaciones de proceso, *mismatch* y temperatura.

Todas las simulaciones se han realizado para el rango de tensión de entrada diferencial máximo

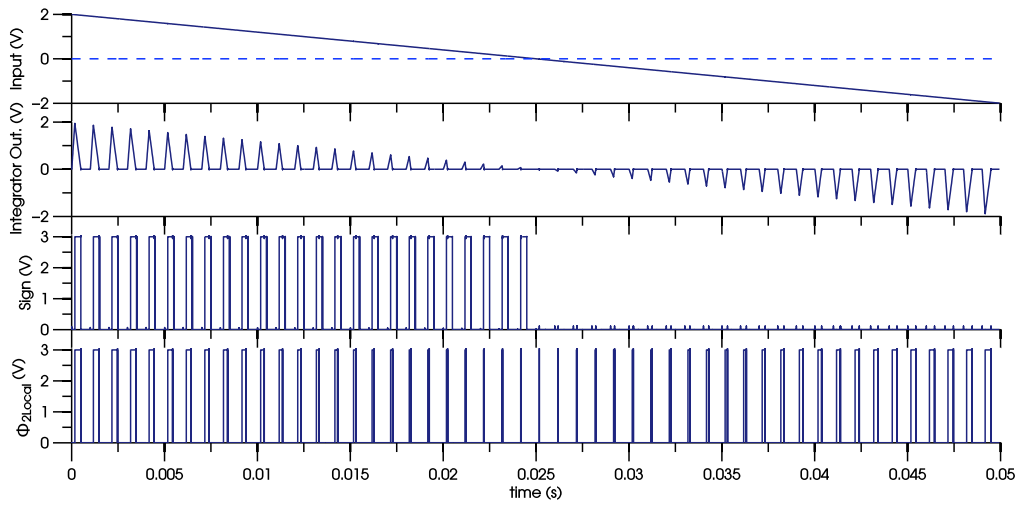


Fig. 4.41.: Ejemplo de resultados de simulación de las señales de salida del canal de conversión para el caso de una rampa de tensión de entrada.

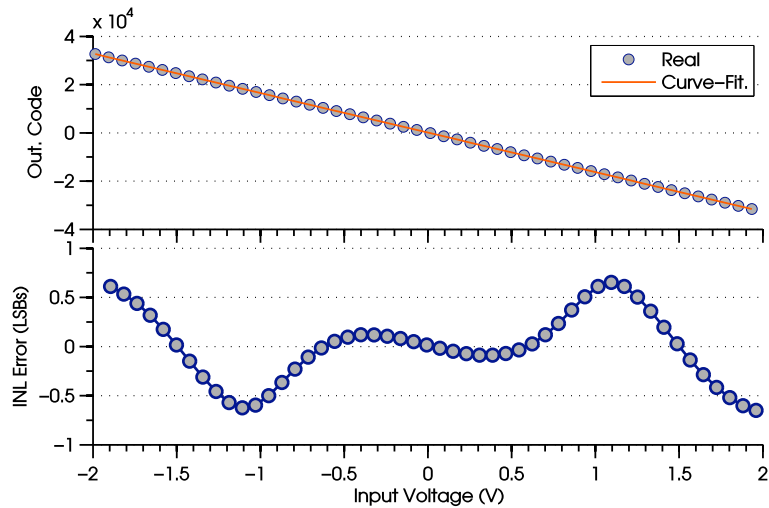


Fig. 4.42.: Código de salida y error de INL del canal de conversión (resolución de 15 bits más signo) en condiciones típicas sin variaciones de *mismatch*.

de 4 V_{pp} (excepto en los casos indicados con ganancia $A > 1$), para una frecuencia de reloj de 100 MHz, y para un rango de temperaturas entre -90 y 125°C . El regulador de tensión es alimentado a 5V.

Dentro de las posibles configuraciones disponibles para cada resolución, como es el caso de las expuestas en la Tabla 4.5 para el caso de 16 bits, se ha seleccionado siempre la configuración con la resistencia del integrador más pequeña para realizar las simulaciones, al corresponderse

Tabla 4.11.: Principales características del canal de conversión.

Resoluc:	12 bits			13 bits			14 bits			15 bits			16 bits			
	Com.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
T. Conv. (µs)		51	51		72	72		113	113		195	195		379	379	
Consumo (mA)	5.21	5.23	5.26	5.21	5.23	5.26	5.21	5.23	5.26	5.21	5.23	5.26	5.21	5.23	5.26	
Offset (LSB)	@1 σ	4	4		9	9		17	17		33	33		73	73	
Mag. Error ¹ (LSB)	12	16	27	12	16	27	12	16	27	12	16	27	12	16	27	
Rms Noise (LSB)	0.04	0.05	0.06	0.08	0.09	0.11	0.19	0.22	0.24	0.41	0.49	0.56	0.85	1.04	1.1	
INL (LSB)	G=1	<1	<1	<1	<1	<1	<1	<1	3	<1	6	<1	10	<1	10	
	G>1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	
Histéresis (LSB)	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	
	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	<1	

¹Error de en la magnitud del código de salida dependiente del signo de la señal de entrada.

con la configuración menos costosa en términos de tiempo de simulación.

Tal y como se aprecia en la Fig. 4.42, en condiciones típicas y sin incluir variaciones de *mismatch*, el error de linealidad del canal de conversión se mantiene por debajo de 1 LSB. No obstante, tal y como se reporta en la Tabla 4.11, el error de linealidad para el caso de ganancia unitaria puede llegar a ser mayor que 1 LSB. El origen de esta no linealidad está asociado con la variación del *offset* equivalente de entrada del AI con la tensión de entrada, debido al empleo de sendos pares diferenciales PMOS y NMOS en su etapa de entrada. Para valores de ganancia mayores que la unidad el rango de la tensión de entrada es lo suficientemente pequeño como para asegurar que los transistores de ambos pares diferenciales permanezcan dentro de su rango de modo común, y aproximadamente con el mismo modo común.

Por otro lado, la no linealidad para el caso de ganancia unitaria tampoco resulta problemática, ya que con el sistema de realimentación propuesto, el sensor AMR se acondiciona para operar en la región cercana al campo magnético nulo, de forma que el puente de Wheatstone se mantiene de forma continua en una situación cercana al equilibrio, no siendo previsible, por tanto, una variación importante del *offset* con la tensión de entrada, y resultando además más indicado el uso del AI con ganancias mayores que 1.

4.4. Sistema de monitorización de temperatura

Tal y como se vio en la sección 3.4, uno de los objetivos de la arquitectura propuesta para el diseño del magnetómetro es el de disminuir el efecto de las derivas en temperatura, uno de los principales inconvenientes de los sensores AMR. Para poder dar un mayor nivel de confianza en la obtención de medidas precisas de campos magnéticos relativamente débiles en un rango de temperaturas extendido (-90 a 125 °C), y dada la presencia de efectos de segundo orden que implican derivas con la temperatura en ciertos parámetros tecnológicos del sensor, el ASIC dispone de un sistema de medida de temperatura para monitorizar la temperatura de los sensores AMR así como también la del propio ASIC, de forma que se pueda realizar una calibración en temperatura más exhaustiva.

Con respecto a las variaciones con la temperatura en el ASIC, estas tienen como efecto más significativo el de la variación de la tensión de referencia empleada por el DS ADC ($\alpha \cdot V_{REF}$), variación a su vez asociada con la propia deriva con la temperatura de la tensión de *bandgap*. En la Fig. 4.43 se muestran resultados de simulación de la variación del código de salida del DS ADC en función de la temperatura para el caso de utilizar una tensión de referencia ideal respecto del caso de emplear la tensión de referencia real. Tal y como se aprecia en la Fig. 4.43, la variación de V_{REF} con la temperatura provoca una variación de la pendiente de la característica del convertidor, lo que a su vez se traduce en una fluctuación del código de salida con dicha temperatura.

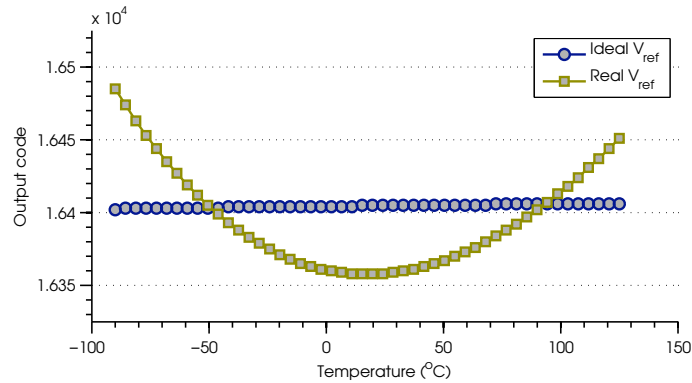


Fig. 4.43.: Variación del código de salida del DS ADC con la temperatura. $V_{IN} = 1V$.

No obstante, esta deriva no supone un problema crítico, ya que la adquisición de la señal de salida del puente de Wheatstone del sensor AMR se realiza mediante una medida por relación (del inglés *ratiometric measurement*), lo cual quiere decir que, dado que la tensión de salida del puente de Wheatstone es proporcional a su tensión de alimentación, si éste se alimenta con la propia tensión de referencia (o una versión escalada) que la empleada por el DS ADC, tal y como se muestra en la Fig. 4.44, tanto la tensión de salida del sensor como la tensión de referencia del DS ADC sufrirán de las mismas fluctuaciones, de forma que las derivas se cancelarán en primera aproximación. Así, tal y como se vio anteriormente, la magnitud del código de salida del DS ADC viene dada por la siguiente expresión:

$$N_{OUT} = \frac{N_{C1}}{\alpha \cdot V_{REF}} \cdot V_{IN} \quad (4.80)$$

Por otro lado, tal como se vio en la sección 3.2.1 la tensión de salida del puente de Wheatstone se podía expresar como:

$$V_O = \alpha_H \cdot H_M \cdot V_{SUP} \quad (4.81)$$

Si se alimenta el sensor con una versión escalada de V_{REF} ($V_{SUP} = \beta \cdot V_{REF}$), el código de salida vendrá dado por:

$$N_{OUT} = \frac{\beta}{\alpha} \cdot N_{C1} \cdot \alpha_H \cdot H_M \quad (4.82)$$

resultando independiente de V_{REF} y, por tanto, de sus derivas con la temperatura. No obstante, para dar cuenta de cualquier posible efecto de segundo orden, la temperatura del ASIC también es monitorizada.

Los sensores de temperatura a emplear son sensores resistivos pertenecientes a la familia Mini-Sens PT1000, con un valor nominal de resistencia de 1 k Ω a 0 °C. En la hoja de características del sensor [155] se estipula una fuente de intensidad constante de 300 μA para acondicionar el sensor, de forma que la tensión en la resistencia será de 300 mV a 0 °C. El coeficiente de tem-

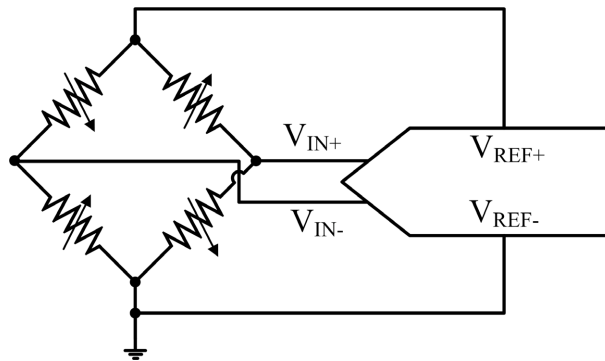


Fig. 4.44.: Ejemplo de medida por relación con objeto de estabilizar el código de salida con respecto a las fluctuaciones en V_{REF} .

peratura es de 3850 ppm/°C, o lo que es lo mismo, una variación del 0.385 % por cada grado, es decir, asumiendo una corriente perfectamente invariante con la temperatura, una variación de la tensión de salida del sensor de 1.155 mV/°C.

Las especificaciones de resolución, de 1 °C, no eran muy demandantes, de forma que para un rango de temperaturas de -90 a 125 °C, y suponiendo válida la aproximación lineal de la variación de la resistencia del sensor, se tiene un rango de tensiones entre 196 y 444 mV. Un convertidor de 8 bits, con un LSB de 1 mV, sería suficiente. Las especificaciones en términos de frecuencia de conversión son del mismo orden que para el caso de las mediciones del campo magnético, del orden de 30 Hz (ver sección 1.2).

A pesar de que las especificaciones de diseño para el sistema de medida de temperatura no son muy demandantes, y dado que una de las líneas que se proponen en este trabajo es la de proporcionar una solución lo suficientemente flexible y configurable como para que se pueda extender el uso del ASIC a otras futuras aplicaciones espaciales y/o con otro tipo de sensores, el sistema implementado en este apartado se ha diseñado con unas especificaciones más demandantes, así como con un mayor nivel de configurabilidad, todo ello teniendo en cuenta que se debían mantener las restricciones de área para la implementación del *chip* completo (aproximadamente 4.5 x 4.5 mm²). En la siguiente sección se describe la arquitectura y características del sistema de medida de temperatura implementado.

4.4.1. Diseño del SS ADC multicanal auto-compensado

Dado que el sistema de medida de temperatura debe ser multicanal, en este caso con 4 canales de medida, y dada también la restricción de área del ASIC completo, la arquitectura que resulta más idónea para implementar el ADC es la de un convertidor de rampa simple (SS ADC), en este caso, de cuatro canales. La principal ventaja en términos de área de este convertidor es

que muchos de los bloques que lo constituyen, como por ejemplo el generador de rampa o la unidad de control, son compartidos por todos los canales. Por otro lado, de forma similar a lo que ocurre con los DS ADCs, son convertidores muy flexibles, en el sentido de que permiten un grado muy alto de configurabilidad en términos de resolución y rango de entrada.

Los convertidores de rampa simple son muy comunes en la implementación de sistemas de adquisición multicanal mediante arquitecturas de lectura en paralelo, tal y como se muestra en la Fig. 4.45. El ejemplo más clásico de aplicación es el de sistemas de lectura en sensores de imagen.

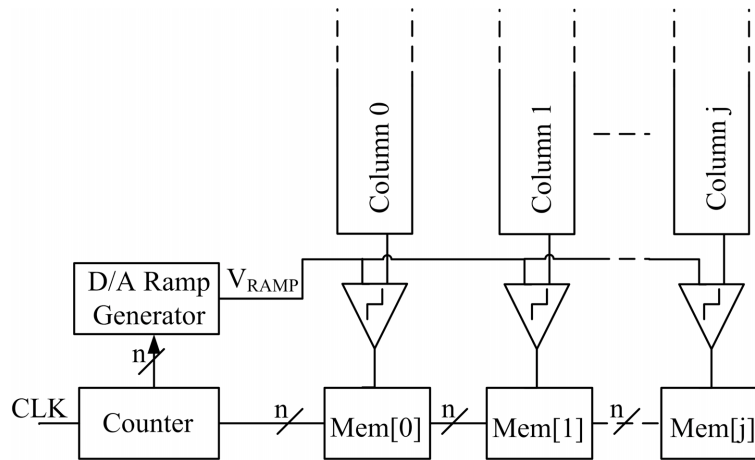


Fig. 4.45.: Arquitectura de lectura en paralelo basada en SS ADCs.

El generador de rampa, compartido por todos los convertidores, es un elemento clave en esta arquitectura al tener una relación directa con la característica de transferencia del SS ADC. Dado que en este esquema de conversión se encuentra de forma inherente un contador digital, una práctica muy común consiste en emplear un DAC guiado por el propio contador para generar la rampa [169].

Dada la relación directa entre las características de transferencia del DAC y del ADC, uno de los principales inconvenientes es el de poder asegurar una linealidad suficiente en el DAC, con especial énfasis en su monotonicidad. En particular, a medida que los requisitos implican trabajar con resoluciones altas, las variaciones de temperatura y *mismatch*, así como los efectos del envejecimiento empiezan a comprometer la precisión del SS ADC, tal y como se muestra de forma representativa en la Fig. 4.46. Esto resulta todavía más crítico en entornos espaciales, donde las condiciones ambientales implican trabajar en un rango de temperaturas extendido junto con la degradación asociada a los efectos de la radiación.

En la literatura se pueden encontrar diversos trabajos orientados a resolver este problema [170–172], ofreciendo soluciones para incrementar la estabilidad del SS ADC. La mayoría de estos trabajos están basados en la aportación de diferentes metodologías para llevar a cabo

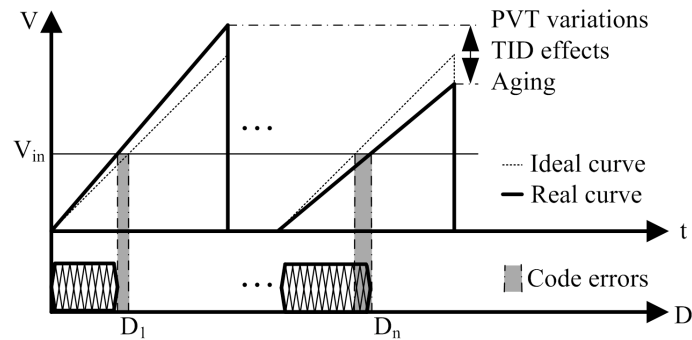


Fig. 4.46.: Errores en el código de salida de un SS ADC debido a la variaciones de la rampa de tensión.

la calibración del DAC. El principal problema asociado a estas técnicas es la relación directa entre resolución y complejidad del algoritmo de calibración, de forma que para aplicaciones de alta resolución estas técnicas pueden llegar a resultar inabordables en términos de área y/o complejidad. Por otro lado, generalmente este tipo de técnicas necesitan realizar la calibración de forma periódica para dar cuenta de las variaciones temporales, como por ejemplo, variaciones en la temperatura, la tensión de alimentación, el envejecimiento, así como también los efectos de la TID para el caso de entornos espaciales. Esto puede complicar en exceso el sistema de control del convertidor, así como comprometer la fiabilidad y, a un nivel de abstracción mayor, especialmente en el caso de sistemas de calibración demasiado complejos, el diseño de la unidad de control del instrumento. Estas limitaciones resultan particularmente críticas en sistemas espaciales.

En esta sección de la tesis se propone un esquema alternativo que reduce considerablemente la complejidad asociada a estas técnicas de calibración del DAC mediante el diseño de un SS ADC de alta resolución que implementa un lazo de realimentación adaptativo que permite asegurar una generación de la rampa inherentemente monótona y con unos niveles muy altos de linealidad, estabilidad e insensibilidad a cualquier tipo de fluctuación, así como también una alta escalabilidad en términos de resolución y rango de tensión de entrada. Tal y como se verá en la sección siguiente, el esquema propuesto no necesita la implementación de un DAC, así como tampoco una calibración propiamente dicha, ya que el lazo de realimentación realiza una compensación automática de forma continua, consiguiendo que la característica de transferencia del SS ADC resulte insensible a cualquier tipo de fluctuación en sus componentes, quedando sólo limitada por las derivas propias de la tensión de *bandgap* empleada para la generación de la tensión de referencia del convertidor.

En la Fig. 4.47 se muestra el diagrama de bloques del SS ADC implementado. La parte analógica la constituyen principalmente el generador de rampa, 4 comparadores autopolarizados, uno para cada canal de conversión, y un generador de tensiones de referencia para configurar el rango de entrada del convertidor. Para llevar a cabo funciones de acondicionamiento de los

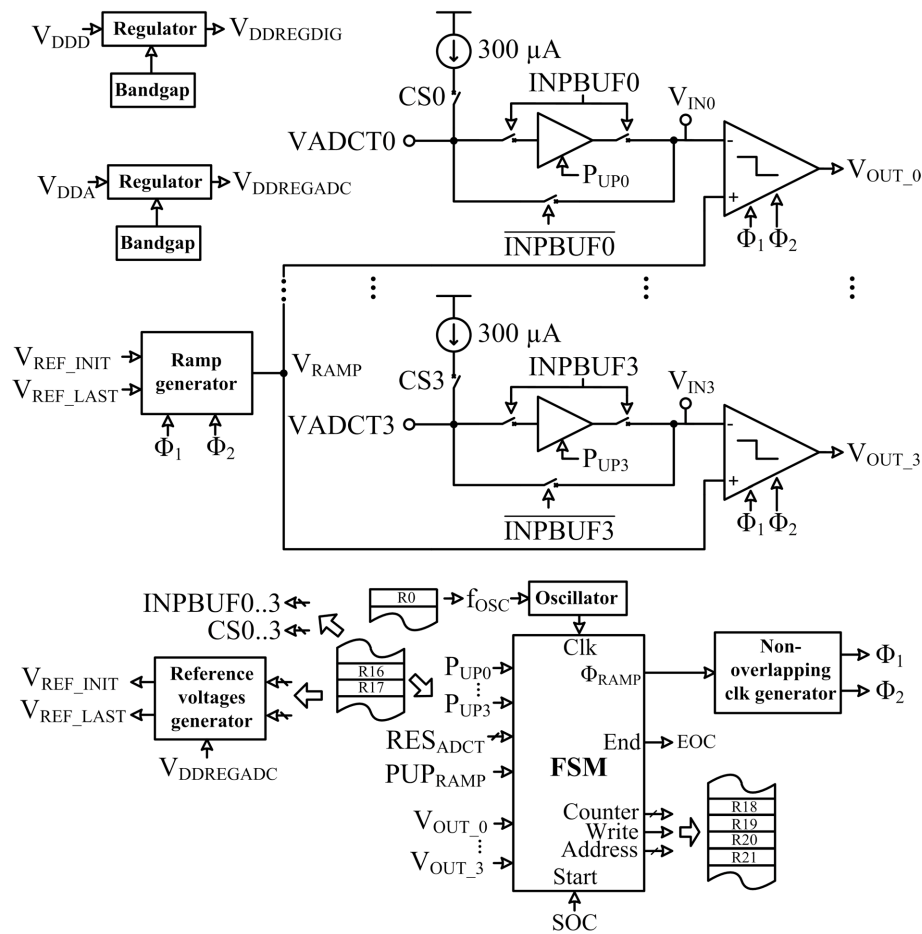


Fig. 4.47.: Diagrama de bloques del SS ADC implementado.

sensores PT1000, cada una de las 4 entradas de conversión incluye la posibilidad de conectar una fuente de corriente interna de $300 \mu\text{A}$. Cada una de estas corrientes se obtiene a partir de una corriente de referencia generada a través de una resistencia externa de alta precisión y bajo coeficiente térmico en combinación con el *bandgap* interno y un lazo de realimentación.

Con objeto de ampliar el uso a otro tipo de sensores, también se incluye la posibilidad de conectar en cada entrada deseada un *buffer* para proporcionar alta impedancia de entrada. Por último, sólo es necesario un único generador de fases no solapadas para implementar la interfaz entre la parte analógica y digital que lleva a cabo el control del convertidor.

La parte digital está compuesta principalmente por una unidad de control, implementada con una FSM, junto con un mapa de memoria que almacena los códigos de salida del convertidor así como todos los registros de configuración del mismo. Al igual que para el resto del ASIC, el acceso a estos registros, tanto para la lectura de los datos de salida como para cargar la

configuración deseada, se realiza mediante la unidad SPI.

Tal y como se comentó en la sección 4.2, el oscilador, necesario para la operación de la FSM, es compartido con los DS ADCs, del mismo modo que los reguladores y generadores de la tensión de *bandgap* para la parte analógica y digital respectivamente.

La resolución del convertidor es configurable desde los 10 hasta los 15 bits. El rango de entrada del convertidor se configura definiendo, mediante sendas tensiones de referencia (V_{REF_INIT} y V_{REF_LAST}), el valor inicial y final de la excursión de la rampa generada. Ambos valores pueden ser configurados de forma independiente con tensiones entre 0 y 2.8 V a incrementos de 200 mV, con la única salvedad de que el valor final seleccionado debe ser siempre mayor que el valor inicial. En el *datasheet* del anexo A se proporciona información más detallada de todas las posibles opciones de configuración del SS ADC.

En las secciones siguientes se presenta y analiza con detalle el diseño de los bloques principales que componen el SS ADC, junto con los resultados de simulación más significativos de las características y prestaciones del sistema propuesto.

4.4.1.1. El generador de rampa con lazo de realimentación adaptativo

La arquitectura propuesta para el generador de rampa consiste en un integrador implementado con una fuente de corriente controlada por tensión, tal y como se muestra en la Fig. 4.48. La generación de la rampa es controlada mediante un lazo de realimentación que adapta el valor final de la rampa (V_{RAMP_END}) hasta que idealmente se iguale con el nivel de referencia (V_{REF_LAST}). Para ello, la tensión de control de la fuente de corriente se varía en cada ciclo de

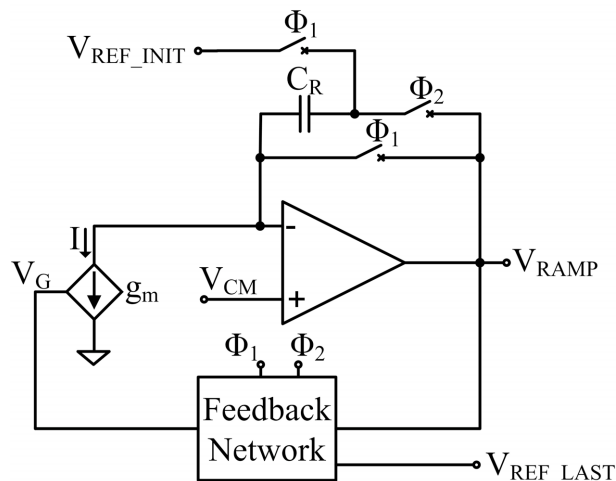


Fig. 4.48.: Arquitectura del generador de rampa implementado.

forma acorde con la diferencia obtenida en el ciclo anterior entre el valor final de la rampa y su valor de referencia objetivo.

El lazo de adaptación implica que, tras el arranque del generador de rampa, son necesarios unos ciclos de adaptación hasta que la rampa queda completamente establecida entre V_{REF_INIT} y V_{REF_LAST} . Para cada iteración del lazo adaptativo, la variación de la corriente del integrador viene dada por la siguiente expresión:

$$\delta I = g_m \cdot \delta V_g \quad (4.83)$$

donde g_m y δV_G son, respectivamente, la transconductancia y la variación de la tensión de entrada de la fuente de corriente controlada por tensión. Asumiendo por simplicidad que la transconductancia es constante, y que el valor inicial de la rampa es cero ($V_{REF_INIT} = 0$), se llega a que el valor final de la rampa en cada iteración viene dado por:

$$V_{RAMP_END} = I \cdot \frac{T_{RAMP}}{C_R} \quad (4.84)$$

donde T_{RAMP} es la duración temporal de la rampa y C_R es el condensador del integrador. La tensión de error, V_ϵ , que determina el valor de δV_g para el siguiente ciclo será:

$$V_\epsilon = V_{RAMP_END} - V_{REF_LAST} \quad (4.85)$$

donde V_{REF_LAST} es el valor de tensión objetivo de V_{RAMP_END} .

La generación de la rampa se divide en dos fases, tal y como se muestra en la Fig. 4.49. Durante la primera fase, Φ_1 , el lazo de realimentación determina la tensión de error V_ϵ que se empleará para adaptar la tensión V_g en la siguiente fase, el condensador C_R es *reseteado*, y la salida del generador de rampa queda establecida en un valor intermedio de referencia V_{CM} . Durante la segunda fase, Φ_2 , el integrador genera la rampa de tensión desde el valor V_{REF_INIT} programado, y conducido por una corriente que depende de la tensión de entrada determinada en la fase Φ_1 anterior. Tras unos pocos ciclos de adaptación, la tensión de error V_ϵ se hace idealmente cero, quedando la rampa establecida entre V_{REF_INIT} y V_{REF_LAST} .

En la Fig. 4.50 se muestra un esquemático más detallado del circuito propuesto para el generador de rampa. La fuente de corriente controlada por tensión se implementa mediante un transistor NMOS junto con un condensador (C_g) que mantiene la tensión de polarización en la puerta del transistor durante la fase de generación de la rampa (Φ_2). Al ser la tensión de drenador constante, no es necesaria una fuente *cascode*.

El lazo de realimentación se implementa mediante un condensador (C_f) y dos pares de *switches* controlados por las señales Φ_1 y Φ_2 , con objeto de modificar el valor de V_g en función del valor de error V_ϵ obtenido al final de la iteración previa. Para proporcionar capacidad de *driving* a la tensión de puerta del transistor NMOS durante la fase Φ_2 se emplea un AO en configuración

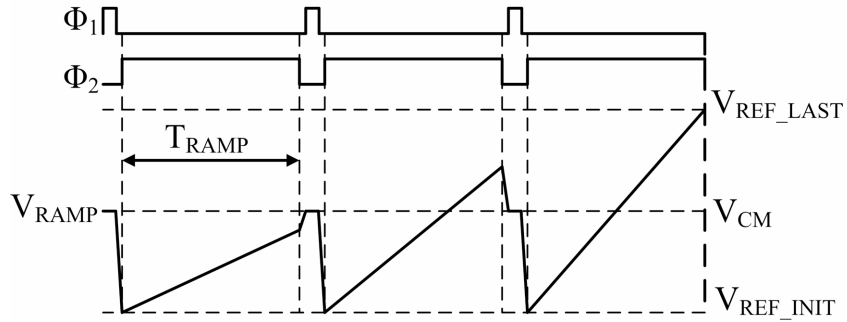


Fig. 4.49.: Diagrama de tiempos del generador de rampa con el lazo de realimentación hasta que la rampa queda adaptada.

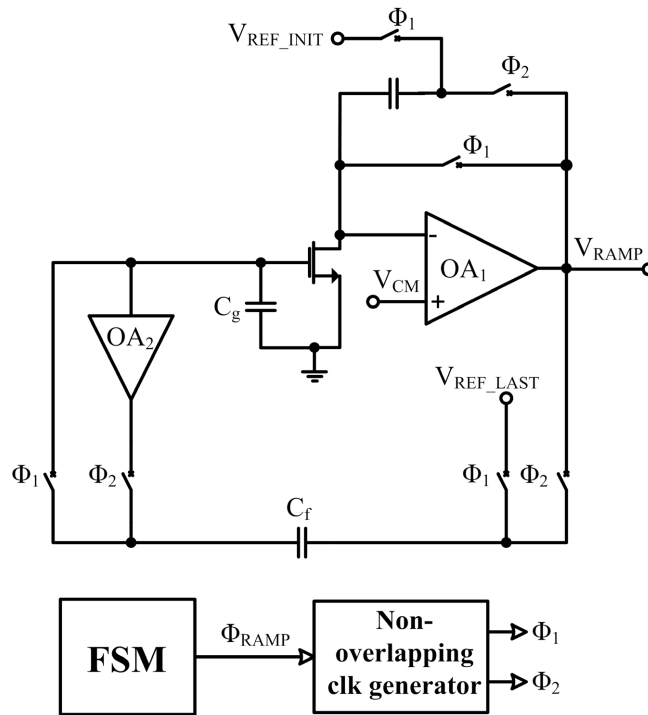


Fig. 4.50.: Esquemático del circuito propuesto para el generador de rampa.

de *buffer* (OA_2). El AO del integrador, OA_1 , se ha implementado con una arquitectura Miller de dos etapas con una primera etapa *folded cascode*, como la presentada en la sección 4.3.1 para la implementación del amplificador de instrumentación. Los condicionantes de diseño para OA_1 se corresponden principalmente con un nivel alto de PSRR junto con un bajo nivel de ruido. La operación del integrador es insensible a la tensión de *offset* de OA_1 .

Para cada ciclo de generación de la rampa, las tensiones almacenadas en los condensadores C_f

y C_g al final de Φ_2 vienen dadas por las siguientes expresiones:

$$V_{C_g} = V_g|_{\Phi_2} \quad (4.86)$$

$$V_{C_f} = V_{RAMP_END} - \left(V_g|_{\Phi_2} + V_{off2} \right) \quad (4.87)$$

donde V_{off2} se corresponde con la tensión de *offset* de OA_2 . Durante la siguiente fase Φ_1 , las tensiones almacenadas en los condensadores cambiarán a los siguientes valores:

$$V_{C_g} = V_g|_{\Phi_1} \quad (4.88)$$

$$V_{C_f} = V_{REF_LAST} - V_g|_{\Phi_1} \quad (4.89)$$

de forma que las variaciones incrementales en las tensiones de los condensadores asociadas a la transición de Φ_2 a Φ_1 vienen dadas por las siguientes expresiones:

$$\Delta V_{C_g} = \delta V_g \quad (4.90)$$

$$\Delta V_{C_f} = V_{off2} - (V_\epsilon + \delta V_g) \quad (4.91)$$

Haciendo ahora uso de las expresiones (4.83) a (4.91), junto con la aplicación del principio de conservación de la carga, se llega a las siguientes expresiones para evaluar tanto el incremento en la tensión de puerta del transistor NMOS (δV_g) como el incremento en el valor final de la rampa (δV_{RAMP_END}):

$$\delta V_g = \frac{C_f}{C_f + C_g} \cdot (V_{off2} - V_\epsilon) \quad (4.92)$$

$$\delta V_{RAMP_END} = \frac{g_m \cdot T_{RAMP}}{C_R} \cdot \delta V_g \quad (4.93)$$

donde de nuevo se está suponiendo, por simplicidad, un valor constante para la transconductancia.

Tras varias iteraciones en la generación de la rampa, se llega al punto de equilibrio en el que la rampa queda completamente adaptada y los incrementos δV_g y δV_{RAMP_END} pasan a valer cero. A partir de (4.92) y (4.93), se llega a que el error entre el valor final de la rampa (V_{RAMP_END}) y su valor objetivo (V_{REF_LAST}) queda reducido a la tensión de *offset* del amplificador operacional OA_2 . Este error estacionario es generalmente asumible, tal y como ocurre para la aplicación objeto de este trabajo. No obstante, se pueden incorporar fácilmente esquemas de corrección de *offset* en OA_2 en otras aplicaciones que así lo requirieran.

La estabilidad del lazo de realimentación puede analizarse en el dominio de la transformada Z. Los polos del sistema son independientes de la entrada o salida específica que se considere, de forma que, según la expresión en (4.85), se puede partir de la siguiente ecuación en diferencias

finitas:

$$V_{\varepsilon}(n+1) = V_{RAMP_END}(n+1) - V_{REF_LAST} = V_{\varepsilon}(n) + \delta V_{RAMP_END} \quad (4.94)$$

En base a las expresiones (4.92) y (4.93), la expresión anterior puede reescribirse de la siguiente forma:

$$V_{\varepsilon}(n) - V_{\varepsilon}(n-1) = \alpha \cdot (V_{\varepsilon}(n-1) - V_{off2}) \quad (4.95)$$

donde α viene dada por la siguiente expresión:

$$\alpha = \frac{g_m \cdot T_{RAMP}}{C_R} \cdot \frac{C_f}{C_f + C_g} \quad (4.96)$$

Aplicando ahora la transformada Z a la ecuación (4.95) se llega a la siguiente función de transferencia:

$$\frac{V_{\varepsilon}(z)}{V_{off2}} = \frac{\alpha \cdot z}{z - (1 - \alpha)} \quad (4.97)$$

La expresión (4.97) pone de manifiesto que el lazo de realimentación será estable si se cumple que $|1-\alpha| < 1$. Esta condición implica un compromiso de diseño entre la velocidad de adaptación del lazo y su estabilidad, compromiso típico en el diseño de sistemas realimentados. Así, implementar la fuente de corriente con un transistor de transconductancia elevada podría hacer el lazo inestable. Por otro lado, una transconductancia demasiado pequeña incrementaría la estabilidad del lazo, pero implicaría una convergencia demasiado lenta hacia el punto de equilibrio. Una buena opción de diseño para el punto de operación de la fuente de corriente consiste en trabajar en inversión débil, región en la que existe una relación de proporcionalidad directa entre transconductancia y corriente:

$$g_m \approx \frac{I}{n \cdot U_T} \quad (4.98)$$

donde n es el factor de pendiente en la región subumbral y $U_T = k \cdot T / q$ es el voltaje térmico. A partir de (4.98) y teniendo en cuenta las expresiones en (4.84) y (4.96) se llega a la siguiente expresión para el valor de α :

$$\alpha \approx \frac{V_{RAMP_END}}{n \cdot U_T} \cdot \frac{C_f}{C_f + C_g} \quad (4.99)$$

La expresión en (4.99) pone de manifiesto que el parámetro α resulta independiente de T_{RAMP} cuando la fuente de corriente opera en inversión débil, lo cual implica que la condición de estabilidad del lazo de realimentación es también independiente de T_{RAMP} y, por tanto, independiente de la resolución con la que se programe el SS ADC. Por otro lado, la temperatura, así como el rango de entrada del convertidor (la excursión de la rampa), sí que tienen un efecto sobre la estabilidad, de forma que deben de tenerse en cuenta durante el proceso de diseño del generador de rampa. El diseño cercano al óptimo para el que se ha conseguido un tiempo de adaptación de la rampa de unos pocos ciclos, a la vez que se asegura un margen de estabilidad

suficiente en todo el rango de temperaturas, así como en todas las posibles configuraciones para el rango de entrada del convertidor, se ha obtenido para una relación de los condensadores de $C_g \approx C_R \approx 150 \cdot C_f \approx 20$ pF. El punto de operación de la fuente de corriente se ha situado en inversión moderada, cerca de la región de inversión débil ($W = 11 \mu\text{m}$, $L = 20 \mu\text{m}$).

Dada la naturaleza adaptativa del esquema propuesto para la generación de la rampa, esta resulta insensible a cualquier tipo de fluctuación, con excepción de las variaciones asociadas con las tensiones de referencia que establecen la excursión de la rampa, las cuales, tal y como se indicó en el apartado anterior, se obtienen a partir de la tensión de *bandgap*.

La resolución del SS ADC viene determinada por la duración de la fase Φ_2 , siendo fácilmente configurable a través del control de la señal de entrada al generador de fases no solapadas (Φ_{RAMP}). Tal y como se mostró en la Fig. 4.47, esta señal se genera en la FSM, la cual, tal y como se mostrará en la sección 4.4.1.3, incluye un contador digital para realizar la cuenta del número de ciclos de duración de dicha fase. Esto proporciona un medio muy eficiente de escalar la resolución, ya que el único elemento *hardware* necesario para aumentar la resolución del SS ADC es el contador digital. No ocurriría lo mismo en caso de emplear un DAC para la generación de la rampa.

La monotonicidad de la rampa generada es inherente por construcción, mientras que su linealidad sólo está limitada por la linealidad del condensador y la variación de la ganancia del AO del integrador a lo largo de su rango de salida. El inherente filtrado paso-bajo del integrador permite además obtener un mayor nivel de PSRR así como de rechazo del ruido con respecto a las arquitecturas de generación de la rampa basadas en DACs.

En la Fig. 4.51 se muestran resultados de simulación de la evolución transitoria tanto de la rampa generada como de la tensión de control de la fuente de corriente (V_G) durante el proceso de adaptación, con una duración aproximada de 1.5 ms hasta que la rampa queda completamente establecida entre sus valores inicial y final de referencia. En la Fig. 4.52 se muestran los resultados de simulación obtenidos del error de linealidad de la rampa generada en condiciones típicas y para el máximo rango de tensión posible. Las simulaciones realizadas incluyendo variaciones PVT no presentaron desviaciones significativas en la linealidad respecto de los resultados mostrados en la Fig. 4.52.

4.4.1.2. Los comparadores

Los comparadores del SS ADC (un comparador por canal de conversión) son auto-polarizados, tal y como se muestra en la Fig. 4.53. Con objeto de reducir el consumo de potencia, el comparador no opera a la frecuencia de reloj, sino que lo hace con las propias fases del generador de rampa, procedentes a su vez del generador de fases no solapadas. Así, la fase de *reset* del comparador se corresponde con la propia fase de *reset* de la generación de la rampa (Φ_1), mientras que la fase activa del comparador se corresponde con la fase Φ_2 .

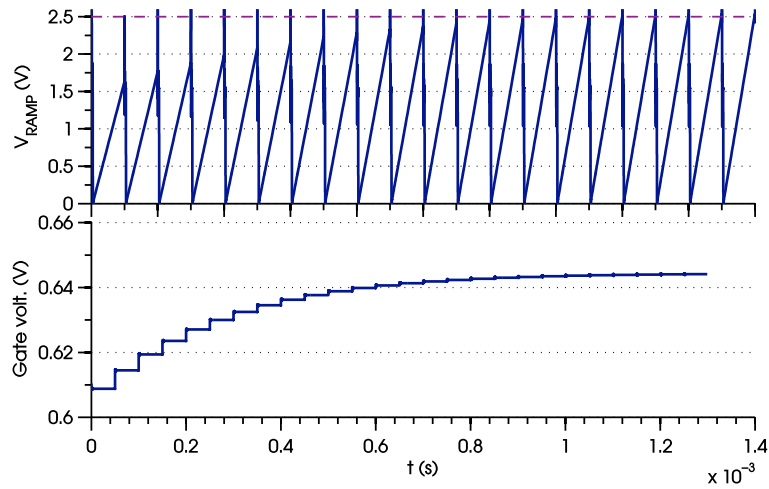


Fig. 4.51.: Evolución transitoria de la rampa generada y de la tensión de control V_G durante el proceso de adaptación.

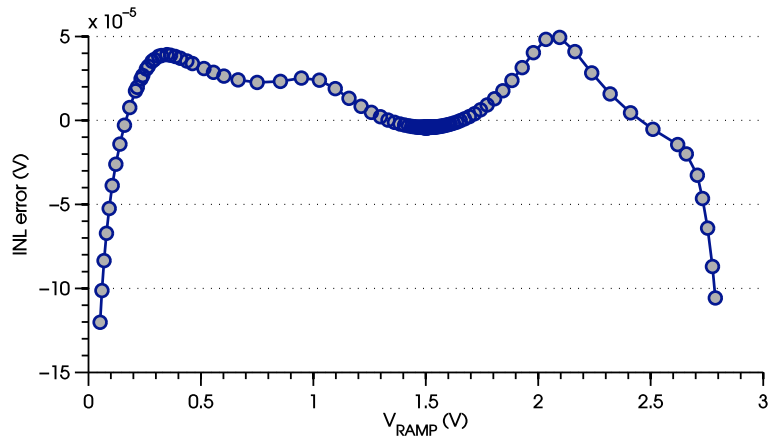


Fig. 4.52.: Error de linealidad de la rampa generada.

Con objeto de minimizar también tanto el consumo estático como el área necesaria, el amplificador del comparador se ha implementado mediante un inversor como amplificador de fuente común con carga activa. Durante la fase activa del comparador, la tensión V_A a la entrada del inversor viene dada por la siguiente expresión:

$$V_A(t)|_{\Phi_2} = \frac{C}{C + C_A} \cdot (V_{RAMP}(t) - V_{IN}) + V_{EQ} \quad (4.100)$$

donde $V_{RAMP}(t)$ es la salida del generador de rampa, V_{IN} es la tensión de entrada al canal de conversión (muestreada al final de la fase Φ_1), y V_{EQ} hace referencia al valor de tensión del punto equiescente del inversor (aproximadamente 1.5 V en este caso). La capacidad C_A tiene

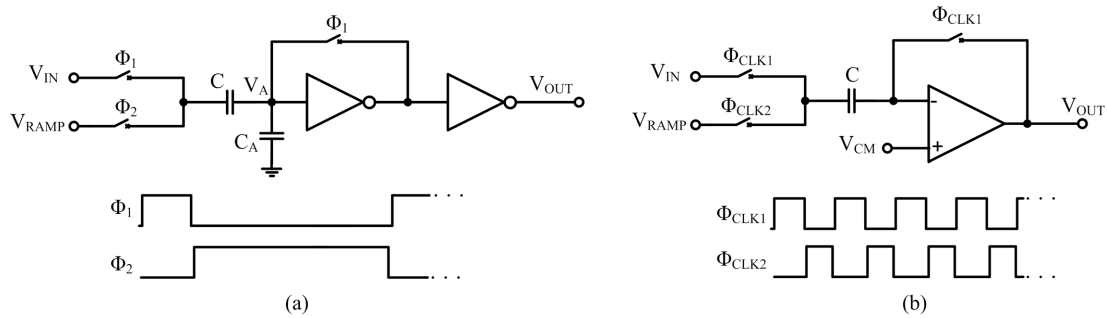


Fig. 4.53.: (a) Esquemático de los comparadores del SS ADC. (b) Topología convencional de un comparador auto-polarizado.

como objetivo evitar que, en determinadas configuraciones, el rango de tensión de entrada del convertidor pueda llegar a provocar una tensión negativa en el nodo V_A lo suficientemente grande como para poner en conducción los diodos a sustrato de los *switches*. Así, por ejemplo, utilizando la expresión (4.100) con $C_A = 0$ pF, y para una configuración en la que el valor inicial de la rampa sea cero y la tensión de entrada fuese, por ejemplo, de 2.5 V, se tendría un valor de tensión en el nodo V_A al inicio de la fase activa de -1 V, valor suficientemente grande como para poner en conducción el diodo. Con un valor de $C_A = C$ ($C_A = C = 20$ pF para el presente diseño) se consigue que la tensión V_A sea siempre mayor o igual que cero independientemente de la configuración programada.

En la Fig. 4.54 se muestra una gráfica representativa de la evolución temporal tanto de la tensión V_A como de la salida del convertidor V_{OUT} .

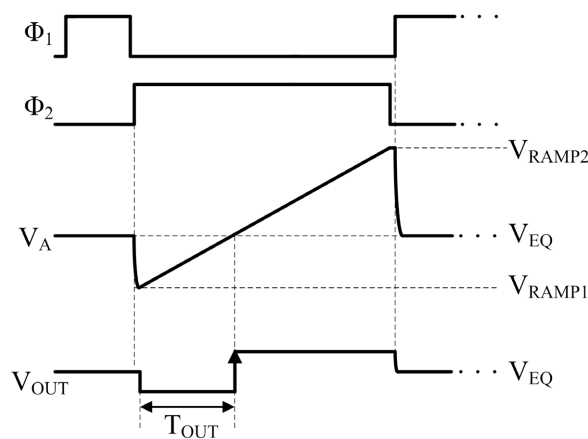


Fig. 4.54.: Evolución temporal de las señales de entrada y salida del comparador durante el proceso de conversión.

Como se puede apreciar en la Fig. 4.54, el comparador conmuta cuando la tensión V_A alcanza la tensión V_{EQ} , lo cual es equivalente a que la tensión de la rampa (V_{RAMP}) alcance el valor de la tensión de entrada V_{IN} . Los valores de V_{RAMP1} y V_{RAMP2} vienen determinados por las siguientes expresiones:

$$V_{RAMP1} = \frac{C}{C+C_A} \cdot (V_{REF_INIT} - V_{IN}) + V_{EQ} \quad (4.101)$$

$$V_{RAMP2} = \frac{C}{C+C_A} \cdot (V_{REF_LAST} - V_{IN}) + V_{EQ} \quad (4.102)$$

4.4.1.3. Unidad de control del SS ADC

Tal y como se comentó al comienzo de esta sección 4.4.1, al igual que el generador de rampa, la FSM también es compartida por los 4 canales de conversión para generar la única señal (Φ_{RAMP}) que se necesita para llevar a cabo el control de la operación del propio generador de rampa así como de cada uno de los canales de conversión. Por otro lado, la FSM también se encarga de leer la resolución programada, así como de almacenar en los registros correspondientes los códigos de salida del SS ADC, generando posteriormente una señal de fin de conversión (EOC) con objeto de indicar al nivel superior del sistema, en un *pin* específico de salida, que los datos solicitados han sido almacenados correctamente y se puede proceder a su lectura. En la Fig. 4.55 se muestra el diagrama de flujo de la operación de la FSM.

Cada canal de conversión dispone de su propio bit de *power-up* que, además de apagar el canal correspondiente, también indica a la FSM si el canal se encuentra o no habilitado. Al igual que en el caso de los DS ADCs, las señales que controlan el inicio y el fin de la conversión (SOC y EOC, respectivamente) son también compartidas por los cuatro canales de conversión. Tal y como se comentó en el apartado anterior, para programar el SS ADC con una determinada resolución (entre 10 y 15 bits), únicamente es necesario programar el número de ciclos (N_{C2} en la Fig. 4.55) de duración de la fase Φ_2 mediante la escritura de la palabra de configuración correspondiente (más información en el anexo A).

Como se puede apreciar en la Fig. 4.55, la señal de control Φ_{RAMP} comienza a operar una vez que el generador de rampa ha sido habilitado. La generación de esta señal de control es independiente de que se haya recibido o no la señal de inicio de conversión (SOC), de forma que el lazo de realimentación del generador de rampa se mantenga adaptado. Esto implica que la señal de inicio de conversión no tiene por qué estar necesariamente sincronizada con la señal Φ_{RAMP} , pudiendo aplicarse en cualquier instante del proceso de generación de la rampa. Para cada canal de conversión, la señal de entrada se muestrea únicamente si el convertidor correspondiente se encuentra habilitado. De esta forma, el pulso SOC se puede interpretar

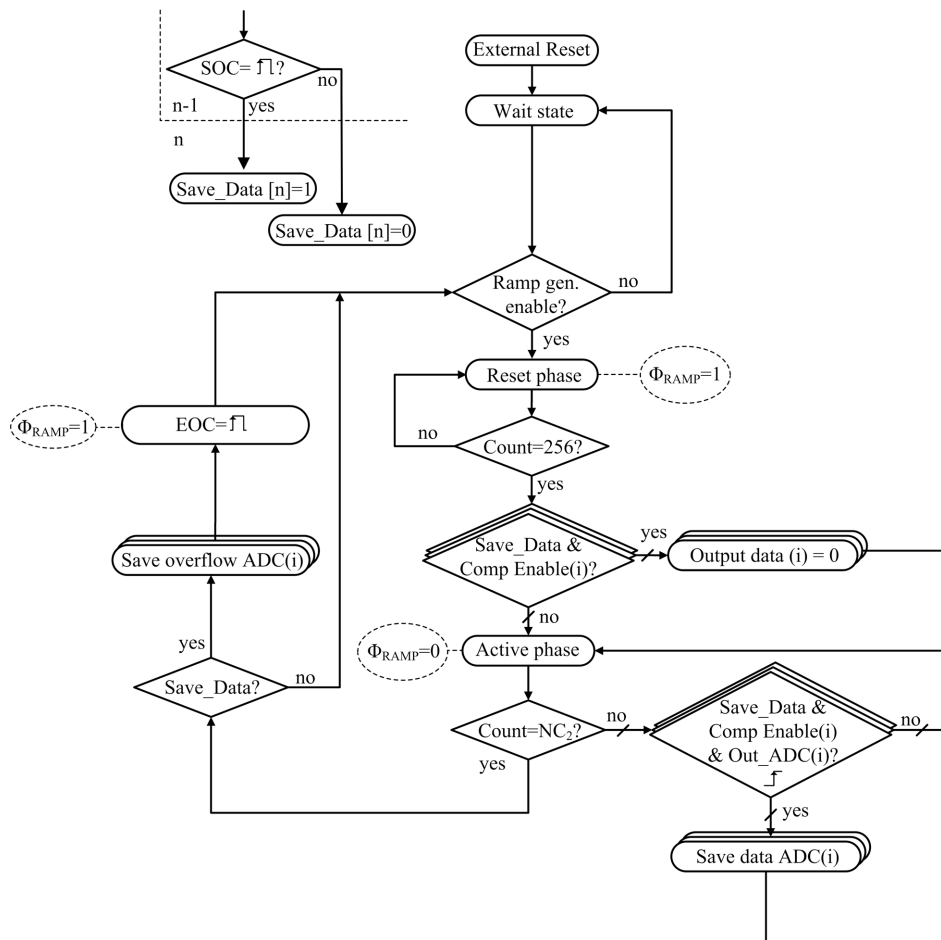


Fig. 4.55.: Diagrama de flujo representativo de la operación de la FSM del SS ADC.

más bien como una señal que indica a la FSM que en el siguiente proceso de conversión se actualice el valor del código de salida de los canales de conversión que están habilitados en el SS ADC. La señal de salida EOC se activa al final del ciclo de generación de la rampa únicamente si en dicho ciclo ha habido una actualización de uno o varios de los códigos de salida como consecuencia de una petición previa. En la Fig. 4.56 se muestra con más detalle el cronograma de la operación de la FSM junto con las señales asociadas a uno de los cuatro canales del SS ADC.

Tal y como se puede apreciar tanto en el diagrama de flujo de la Fig. 4.55 como en el cronograma de la Fig. 4.56, siempre que un canal va a actualizar su código de salida en un determinado ciclo de conversión, dicho código de salida es previamente inicializado a cero al comienzo de la segunda fase de la generación de la rampa (Φ_2). La razón de esta inicialización previa es poder detectar las situaciones en las que la tensión de entrada se encuentra fuera de los límites

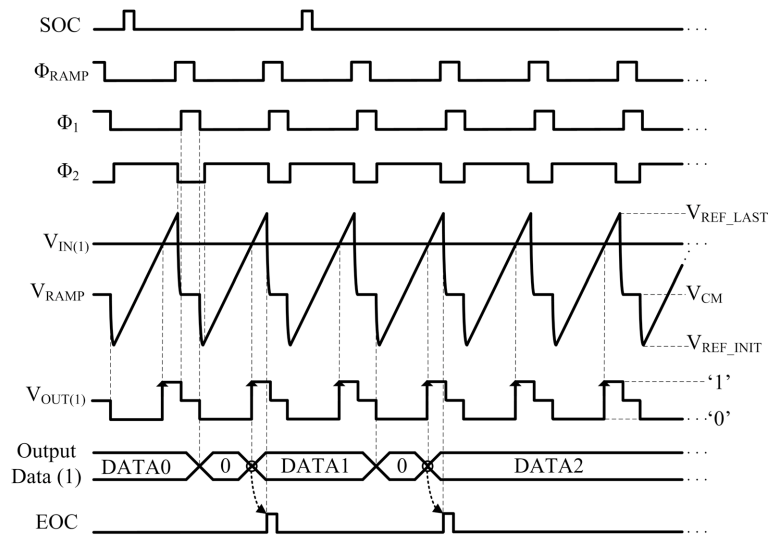


Fig. 4.56.: Cronograma de la operación de la FSM con uno de los cuatros canales del SS ADC.

del rango de tensiones programado, a la vez que también se pueda discernir entre una condición de *underflow* y *overflow*. Para el caso de una situación de *underflow*, la tensión de entrada es menor que el límite inferior programado en la rampa, de forma que la tensión de salida del comparador del canal correspondiente ($V_{OUT(x)}$) permanecerá a “1” durante toda la fase Φ_2 , no habiendo, por tanto, un flanco de subida que actualice el dato de salida. Como el dato de salida ha sido previamente inicializado a cero, este permanecerá con dicho valor tras finalizar el ciclo de conversión, indicando la situación de *underflow*. Por otro lado, para el caso de una situación de *overflow*, la tensión de entrada está por encima del límite superior programado en la rampa, de forma que la tensión de salida del comparador del canal correspondiente permanecerá a “0” durante toda la fase Φ_2 , no habiendo, tampoco en este caso, un flanco de subida que actualice el dato de salida. Cuando la FSM detecta que han transcurrido el número máximo de ciclos y que la salida del comparador sigue siendo cero, actualiza el código de salida con el valor máximo del contador ($2^{RES} - 1$), con objeto de indicar la condición de *overflow*.

El hecho de poder detectar las condiciones de *overflow* y *underflow*, así como poder discernir entre ellas, combinado con el carácter adaptativo del lazo de realimentación y la alta programabilidad del rango de entrada del convertidor, tiene como ventaja añadida el poder aplicar técnicas de auto-rango, lo cual permite a su vez incrementar la precisión en la medida.

Con objeto de incrementar la tolerancia a fallos, los estados de la FSM han sido codificados en código *one-hot*. También se han empleado técnicas de redundancia en todos los elementos de memoria, tal y como se explica con más detalle en la sección 4.6. Dado que tanto la señal SOC como las señales correspondientes a cada una de las salidas de los comparadores no están necesariamente sincronizadas con la señal de reloj, resulta necesario el empleo de sincroniza-

dores que minimicen la probabilidad de ocurrencia del estado metaestable para cada una de estas entradas a la FSM. Para ello, y tal y como ya se expuso en la sección 4.3.2.2, la técnica de sincronización empleada ha sido la de colocar N+1 biestables en cascada, con N=2.

4.4.1.4. Resultados de simulación

Tal y como se ha expuesto a lo largo de esta sección, el SS ADC diseñado para implementar el sistema de medida de temperatura está formado por un generador de rampa, cuatro canales de medida implementados con sus respectivos comparadores, y una FSM para la configuración, control, y almacenamiento de los datos de salida. Con objeto de minimizar el efecto del ruido de conmutación, toda la parte analógica del SS ADC se alimenta con un regulador de tensión propio, incluyendo también su propio generador de tensión de *bandgap*, ambos compartidos para la alimentación de la parte analógica de los DS ADCs. De forma similar al caso de los DS ADCs, la operación del SS ADC está determinada por dos “constantes de tiempo” bien diferenciadas: por un lado, la constante de tiempo asociada a la generación de la rampa y que determina la duración del ciclo de conversión y, por otro, la constante de tiempo asociada a la duración de un ciclo de reloj. La gran diferencia en magnitud entre estas dos constantes de tiempo implica que el tiempo de computación necesario para simular un único proceso de conversión con la precisión adecuada resulta muy elevado si se incluye el canal de conversión completo, de forma que también en este caso se han aplicado la técnicas expuestas en la sección 4.3.2.7.

No obstante, en este caso, con el diseño propuesto en la sección 4.4.1.2 para el comparador, toda la parte analógica del SS ADC opera a la constante de tiempo asociada a la rampa, siendo la FSM el único elemento del convertidor que opera a la frecuencia de reloj. Esto facilitó la caracterización con precisión de las prestaciones del SS ADC sin más que separar la verificación de la FSM del resto del convertidor. Las simulaciones del SS ADC completo fueron realizadas empleando los modos de baja precisión del simulador, y únicamente estuvieron orientadas a verificar la correcta funcionalidad de todos los bloques, así como la interacción entre los mismos junto con todas las opciones de configuración.

La verificación exhaustiva de la FSM se realizó de forma independiente con un *software* específico (principalmente ModelSim). Para la verificación y caracterización de la parte analógica, se sustituyó la FSM por macromodelos para representar de la forma más fiel posible la operación real, pero sin utilizar un oscilador que ralentice el tiempo de simulación. Para obtener el código de salida, se realizó un procesado con Matlab consistente en leer la señal de control del convertidor (Φ_{RAMP}) y la señal de salida del comparador, con objeto de medir la duración temporal efectiva de la fase de generación de la rampa hasta que el comparador conmuta, infiriendo el código de salida a partir de dicha duración temporal. Con esta metodología, el tiempo de simulación de un proceso de conversión se reduce a unos pocos segundos, con la única desventaja de que los resultados obtenidos no tienen en cuenta el efecto de las no idealidades del

oscilador. No obstante, la naturaleza adaptativa del lazo de realimentación del generador de rampa tiende a compensar cualquier variación gradual que se produzca en la frecuencia del oscilador por efecto de la TID, la temperatura o el envejecimiento, con lo que es de esperar que estas sean despreciables. Por otro lado, el *jitter* del oscilador sí que tendrá una cierta influencia, no obstante, tal y como se analizó en la sección 4.3.2.6, ésta resulta despreciable con respecto al resto de contribuciones de ruido.

En la Fig. 4.57 se muestra un ejemplo de estas simulaciones realizadas, para el caso de una rampa de tensión de entrada y, en la Fig. 4.58, se muestra el error de INL del convertidor, obtenido en condiciones típicas. Los resultados de ambas figuras se corresponden con una simulación realizada en condiciones típicas y sin variaciones de *mismatch*, y con la configuración más demandante en términos de resolución (15 bits), rango de entrada (0 - 2.8 V) y frecuencia de reloj (100 MHz).

En la Tabla 4.12 y Tabla 4.13 se muestran las principales características del SS ADC obtenidas mediante resultados de simulación, y para cada una de las resoluciones en las que puede ser programado. En estas simulaciones se han incluido los efectos de los parásitos así como las variaciones de proceso, *mismatch* y temperatura. Todas las simulaciones se han realizado para la configuración con mayor rango de entrada (0 - 2.8 V), para una frecuencia de reloj de 100 MHz, y para un rango de temperatura entre -90 y 125 °C. El regulador de tensión es alimentado a 5 V. La principal contribución al error de INL está asociada con la variación de la ganancia del AO del integrador del generador de rampa a lo largo del rango de tensiones de salida de

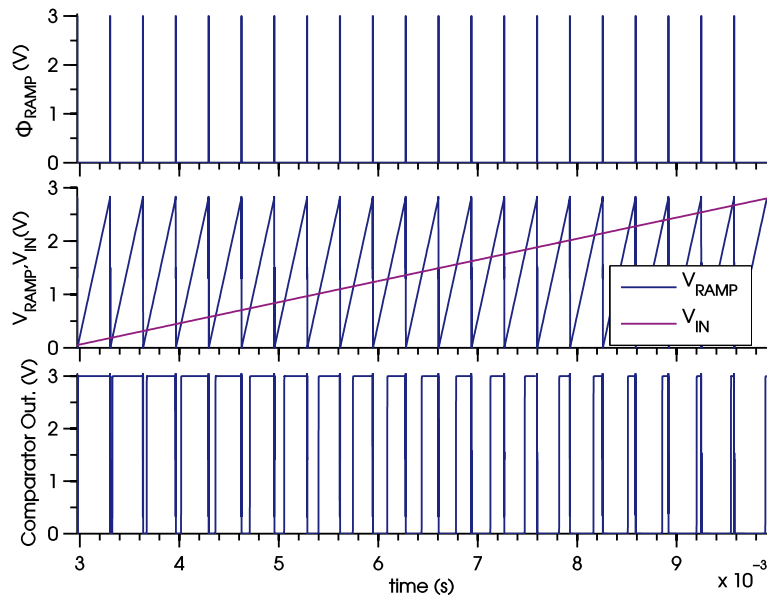


Fig. 4.57.: Ejemplo de resultados de simulación de las señales de salida del SS ADC para el caso de una rampa de tensión de entrada.

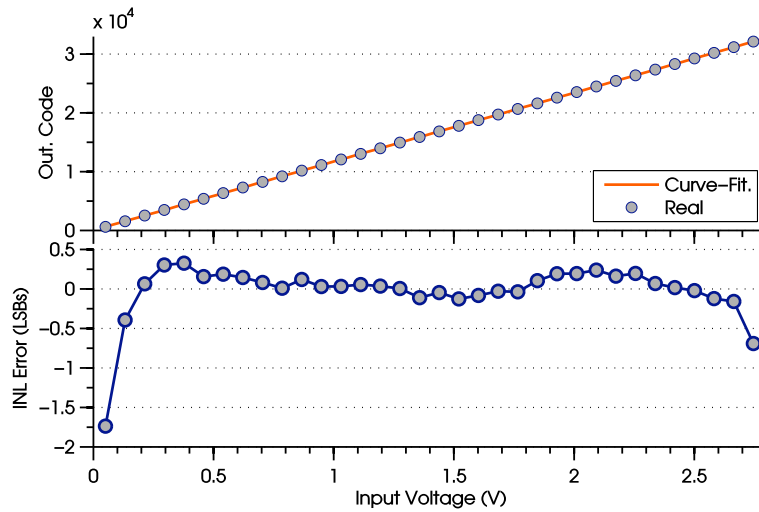


Fig. 4.58.: Código de salida y error de INL del SS ADC en condiciones típicas y para una resolución de 15 bits.

Tabla 4.12.: Principales características del SS ADC (10, 11 y 12 bits).

Resoluc.	Coment.	10 bits			11 bits			12 bits		
		min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
T. Conv.	μs		13			23			43	
Consumo	mA	1.9	2.16	2.4	1.9	2.16	2.4	1.9	2.16	2.4
Rms Noise	LSB	-	<1	<1	-	<1	<1	-	<1	<1
INL	LSB	-	<1	<1	-	<1	<1	-	<1	<1

Tabla 4.13.: Principales características del SS ADC (13, 14 y 15 bits).

Resoluc.	Coment.	13 bits			14 bits			15 bits		
		min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
T. Conv.	μs		84			166			330	
Consumo	mA	1.9	2.16	2.4	1.9	2.16	2.4	1.9	2.16	2.4
Rms Noise	LSB	-	<1	<1	-	<1	1.1	-	1.9	2.1
INL	LSB	-	<1	<1	-	<1	2	-	1.6	4

la rampa. Únicamente para tensiones más pequeñas que 50 mV la variación de la ganancia resulta significativa en la linealidad del convertidor, debido principalmente a que el transistor NMOS de la etapa de salida de dicho AO comienza a acercarse a su zona óhmica. El tiempo de establecimiento de la rampa a su valor inicial, es decir, el tiempo que transcurre desde que la señal de salida del generador de rampa pasa de su valor de referencia de modo común durante la fase de *reset*, hasta que alcanza, tras conmutar la señal Φ_{RAMP} a la fase activa, el valor inicial

de referencia programado, también tiene una cierta influencia sobre la linealidad.

4.5. Acondicionamiento de los sensores AMR y técnicas de calibración

Las prestaciones finales del magnetómetro MOURA, por ejemplo en términos de linealidad o ruido, van a depender en gran medida de las prestaciones de los componentes individuales. En general, el componente que exhiba una mayor degradación en sus prestaciones será el que domine y limite las del sistema global. El sistema de *front-end* propuesto en este capítulo ha sido diseñado con objeto de que sus no idealidades sean lo suficientemente pequeñas o, en su defecto, fácilmente calibrables, como para que sean los sensores AMR los que limiten las prestaciones, es decir, que el sistema electrónico de *front-end* no contribuya significativamente a la imprecisión en la medida. Por otro lado, tal y como se expuso en el capítulo anterior, y especialmente en la sección 3.4, la arquitectura del sistema de medida implementado tiene como objetivo optimizar las prestaciones del sistema completo, compensando o permitiendo la compensación de las desviaciones de los sensores AMR, por ejemplo en lo que a linealidad y estabilidad con la temperatura se refiere. Uno de los objetivos de esta sección es describir la implementación en el ASIC del sistema de acondicionamiento de los sensores AMR para la realización de las medidas en lazo cerrado.

En esta sección también se analizan las principales no idealidades asociadas a la FEE implementada, las cuales se reducen principalmente a la presencia de un error de ganancia, un error de magnitud sistemático dependiente del signo de la señal de entrada, y un error de *offset*. Con objeto de hacer frente a dichas no idealidades, así como también a las propias de los sensores, se presentan en esta sección diferentes opciones y funcionalidades adicionales presentes en el ASIC, y que han sido implementadas con objeto de facilitar la calibración tanto del propio ASIC como del magnetómetro en su conjunto.

4.5.1. Diseño de los CS DACs

Tal y como se mostró en la sección 3.4, los sensores AMR ofrecen una mayor linealidad y estabilidad con la temperatura cuanto menor sea el desbalanceo creado en el puente de Wheatstone, es decir, cuanto menor es el campo magnético incidente, el sensor ofrece una mayor linealidad y estabilidad con la temperatura. De esta forma, la FEE incluye un sistema de acondicionamiento de los sensores AMR con objeto de balancear el sensor y situarlo en la zona cercana al campo magnético nulo. Para cada uno de los tres sensores, el sistema de acondicionamiento se ha implementado mediante un DAC con salida en corriente de 9 bits (8 bits más signo), y controlado por el signo y los 8 bits más significativos de las medidas realizadas por el DS ADC asociado, tal y como se ilustra en la Fig. 4.59.

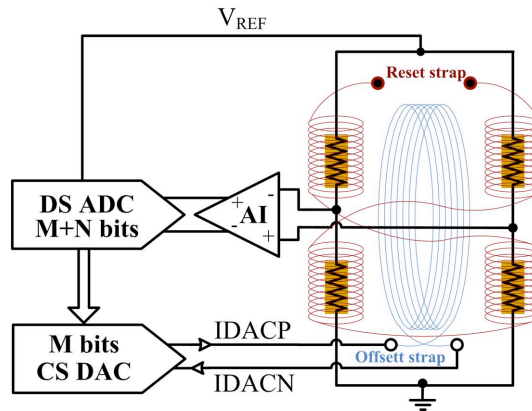


Fig. 4.59.: Acondicionamiento del sensor AMR con el CS DAC para las medidas en lazo cerrado.

Tal y como se comentó en la sección 3.4, la resolución elegida para el DAC viene determinada por un compromiso de diseño entre el área de silicio necesaria para la implementación del DAC y las prestaciones ofrecidas por los sensores AMR. En la Fig. 4.60 se muestra el esquemático del *current-steering* DAC (CS DAC), diseñado con un fondo de escala de ± 25 mA. Las fuentes de corriente se han implementado con transistores *cascode* con objeto de aumentar su impedancia de salida y, por tanto, disminuir la variación de la corriente con la tensión de salida provocada por el efecto de la modulación de la longitud del canal.

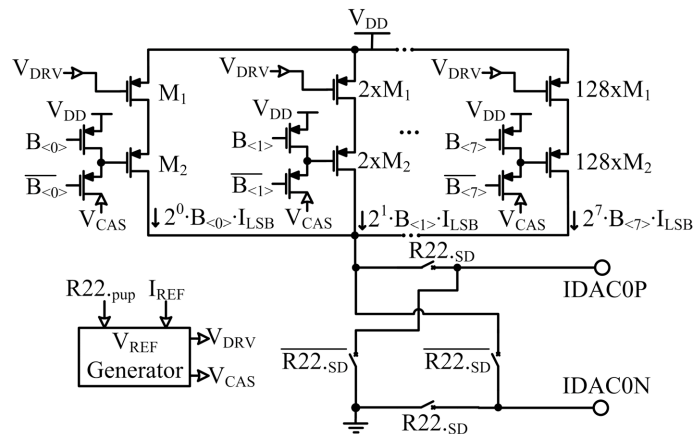


Fig. 4.60.: Esquemático a nivel de transistor del CS DAC de 8 bits más signo.

Para implementar las fuentes de corriente se han utilizado transistores PMOS al presentar, en la tecnología CMOS seleccionada, mejores características de *mismatch* con respecto a los transistores NMOS. Por otro lado, la necesidad de emplear geometrías de *layout* especiales en los transistores NMOS, con objeto de hacer frente a los efectos de la TID, implicaba también

un mayor consumo de área.

La señal SIGN, encargada de seleccionar los *switches* de salida, se corresponde con el *bit* de signo del CS DAC, determinando el sentido de la corriente de salida y, por tanto, el sentido del campo magnético generado. Dado que la corriente generada por cada uno de los tres DACs es relativamente grande, se tuvo especial cuidado en el *layout* de los *switches*. Por otro lado, hay que tener en cuenta que estos *switches* conectan directamente con los *pads* del ASIC, sin colocar una resistencia intermedia para la protección frente a descargas electrostáticas (ESD), de forma que el *layout* debe cumplir con ciertas reglas de diseño adicionales que aseguran la protección ESD.

La corriente de referencia para los CS DACs se genera a través de una resistencia externa de bajo coeficiente térmico en combinación con una tensión de referencia interna generada a partir de la tensión de *bandgap* y un lazo de realimentación. Cada uno de los 3 CS DACs se ha implementado en un área de $1280 \times 540 \mu\text{m}^2$. En la Fig. 4.61 se muestran resultados de simulación de la linealidad de una rampa de corriente generada con el CS DAC en condiciones típicas y sin variaciones de *mismatch*. Esta simulación se ha realizado incluyendo una resistencia de carga a la salida para incluir el efecto de la resistencia de la bobina de OFF-SET de los sensores AMR. Para los sensores de mayor sensibilidad (HMC1001/2), el valor máximo de esta resistencia es de 3.5Ω , mientras que para los sensores de menor sensibilidad (HMC1021/2) el valor máximo es de 60Ω [124]. La simulación de la Fig. 4.61 se ha realizado con el valor de resistencia de peor caso, es decir, de 60Ω . En estas condiciones, el error de linealidad dominante, con un valor máximo de 0.48 LSBs, está asociado a la variación de la tensión de salida de las fuentes de corriente del CS DAC por efecto de la caída de tensión en la resistencia de carga.

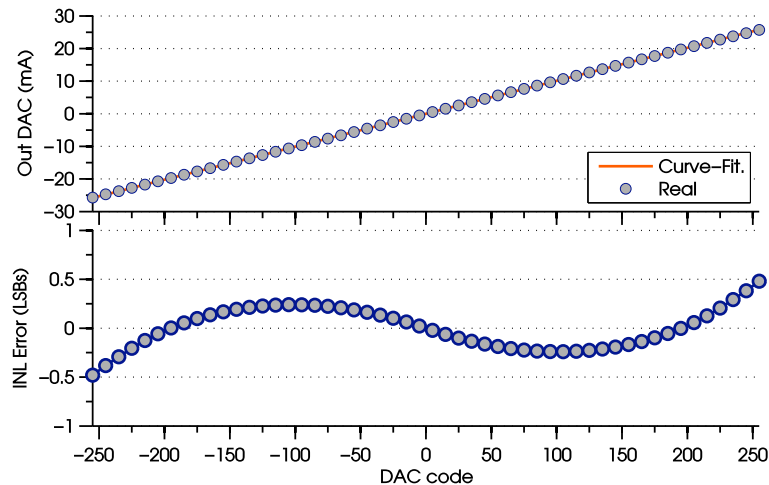


Fig. 4.61.: Simulación de una rampa de corriente generada con el CS DAC.

En la Tabla 4.14 se resumen las principales características de los CS DACs obtenidas mediante resultados de simulación incluyendo los efectos de los parásitos así como las variaciones de proceso, *mismatch* y temperatura. Esta simulación se ha realizado de nuevo con una resistencia de carga de 60Ω como condición de peor caso. En estas condiciones, el error de linealidad está dominado tanto por el efecto de la resistencia de la bobina de OFFSET, como por el *mismatch* de las fuentes de corriente del CS DAC. Para el caso de emplear los sensores de mayor sensibilidad, con un valor máximo para la resistencia de la bobina de OFFSET de 3.5Ω , el error de linealidad estará dominado principalmente por el efecto del *mismatch*.

Tal y como se aprecia en la Tabla 4.14, el error de linealidad puede llegar a ser mayor que 1 LSB. No obstante, en este caso no supone un problema crítico, ya que, tal y como se expuso en las secciones 3.3 y 3.4, el campo magnético generado por las bobina de OFFSET es muy poco homogéneo, de forma que en cualquier caso será necesario estudiar y analizar, por ejemplo durante una calibración previa del instrumento, la relación entre el código del CS DAC y el campo magnético generado por la bobina de OFFSET.

Tabla 4.14.: Principales características de los CS DACs.

Resoluc.	9 bits			
	Unit.	min.	typ.	max.
DNL	LSB	-0.5	0.02	0.5
INL	LSB		0.65	1.2
Offset (1σ)	LSB	-0.02	0	0.02
Gain error	% FS	-2	0.01	2

4.5.2. Funcionalidades adicionales para test y calibración

En este apartado se muestran y analizan las principales no idealidades de la FEE, así como también las principales funcionalidades incorporadas en el ASIC con objeto de facilitar las tareas de calibración tanto de la FEE como del magnetómetro.

Tal y como se vio en la sección 4.3.2.7, para el caso de utilizar configuraciones con ganancia unitaria en el canal de conversión del sistema de medida de los sensores AMR, puede darse el caso de que algunos convertidores exhiban un error de INL mayor que 1 LSB, debido a la variación del *offset* equivalente de entrada de los dos *buffers* de la primera etapa del AI con el modo común de sus respectivas entradas. No obstante, con la implementación del sistema de medida en lazo cerrado resulta mucho más recomendable el empleo de ganancias mayores que la unidad, de forma que el error de INL puede asumirse que va a ser menor que 1 LSB. Por otro lado, incluso para el caso del sistema de medida en lazo abierto tampoco sería problemático, ya que las señales de salida del puente tienen una magnitud pequeña, debido a la sensibilidad y rango de medida de los sensores AMR.

De esta forma, las principales fuentes de no idealidad en la característica de transferencia del sistema de medida de los sensores AMR se van a corresponder con un error de *offset*, un error de ganancia dependiente del signo de la señal de entrada, y un error de magnitud también dependiente del signo de la señal de entrada. A continuación se hace una descripción de cada uno de ellos:

- El error de *offset* tiene dos contribuciones principales, el *offset* del sensor AMR ($V_{\text{off_AMR}}$), es decir, la tensión a la salida del puente de Wheatstone en ausencia de campo magnético, y el *offset* del propio canal de conversión. En este último caso, contribuyen el *offset* del AI ($V_{\text{off_AI}}$), el *offset* del AO del integrador ($V_{\text{off_int}}$), y también el *offset* del comparador ($V_{\text{off_Comp}}$). Estas contribuciones son meramente aleatorias, debidas a las variaciones de *mismatch*. El *offset* equivalente de entrada de los canales de conversión tiene un valor total de aproximadamente 4 mV a 1σ (desviación estándar). Por otro lado, el sensor AMR contribuye de la misma forma con una tensión de *offset* de salida de aproximadamente 15 mV [124]. De esta forma, la contribución dominante al error de *offset* total se corresponderá con el *offset* del sensor AMR, no sólo en términos de magnitud, sino también por sus derivas con la temperatura.
- El efecto de la variación de la ganancia en función del signo de la señal de entrada tiene su origen en la presencia del *offset* del AO del integrador ($V_{\text{off_int}}$). Con la arquitectura *fully-differential* implementada, se consigue, entre otras ventajas, multiplicar por dos el rango dinámico, así como un incremento en la frecuencia de conversión del DS ADC con respecto a la arquitectura convencional en *single-ended*. No obstante, esto también implica que la tensión de referencia seleccionada durante la segunda fase de integración puede ser $-\alpha \cdot V_{\text{REF}}$ o bien $\alpha \cdot V_{\text{REF}}$, en función de si la tensión diferencial de entrada es positiva o negativa. Dada la presencia del *offset* del AO del integrador, la magnitud efectiva de la tensión de referencia será ligeramente distinta si la señal es positiva ($\alpha \cdot V_{\text{REF}} - V_{\text{off_int}}$) o bien negativa ($\alpha \cdot V_{\text{REF}} + V_{\text{off_int}}$), lo que a su vez implica un error de ganancia dependiente del signo. Este error de ganancia resultará problemático siempre y cuando el valor de $V_{\text{off_int}}$ sea significativo, ya que de forma global se traduciría en un error de INL en la característica del convertidor. Tal y como se analizó en la sección 4.3.2.4, el AO se dimensionó con una especificación de *offset* lo más bajo posible (con una desviación estándar de 1.2 mV), de forma que no se espera una influencia significativa. No obstante, tal y como se mostrará más adelante en esta sección, las funcionalidades incorporadas en el ASIC permiten determinar estos errores para realizar las correcciones en los convertidores que lo pudieran requerir.
- El error de magnitud dependiente del signo de la señal de entrada tiene varias contribuciones, siendo la principal el efecto del GBW finito del AO del integrador, introduciendo un error de magnitud de aproximadamente ± 12 LSBs (ver sección 4.3.2.4). El número de ciclos de retraso del comparador del DS ADC (un ciclo de retraso en condiciones típi-

cas) también contribuye a incrementar este error en la magnitud dependiente del signo. Por otro lado, hay que tener en cuenta una contribución adicional resultante del tiempo que transcurre desde que el comparador conmuta hasta que el valor del contador es almacenado en el registro de memoria correspondiente. Así, si el comparador conmuta en el ciclo N, la FSM detectará la conmutación en el ciclo N+1, activándose la señal de escritura en el ciclo N+2, y guardándose el valor del contador en el ciclo N+3. De esta forma, habrá 3 ciclos adicionales que incrementarán el error de magnitud dependiente del signo de la señal de entrada. La componente aleatoria de todas las contribuciones a este error de magnitud es prácticamente despreciable, de forma que este error puede considerarse sistemático en el sentido de que no varía entre convertidores de una misma muestra, ni tampoco entre convertidores de distintas muestras. Además, el error es simétrico, de forma que será fácil de corregir.

En la Fig. 4.62 se representa el efecto de estos errores en la característica de transferencia del canal de conversión, donde dichos errores se han acentuado de forma deliberada en la figura con objeto de facilitar al lector su identificación. La figura Fig. 4.62(a) se corresponde con la característica de transferencia para el caso en que la tensión de *offset* equivalente de entrada del canal de conversión (V_{OFF}) sea menor que cero, y la Fig. 4.62(b) para el caso en que dicha tensión V_{OFF} sea mayor que cero.

En la Fig. 4.62, el error de ganancia dependiente del signo de la señal de entrada está representado por los parámetros k_+ , para la parte positiva del código de salida, y k_- para la parte negativa. El error de magnitud, también dependiente del signo de la señal de entrada, se refleja en la característica de transferencia con un incremento en el código de salida (N_{OUT}) de valor $+N_M$ para la parte positiva del código de salida, y $-N_M$ para la parte negativa. El error de *offset* se representa en la característica de transferencia con un *offset* en el código de salida, de valor N_{OFF} .

El parámetro V_{OFF} de la Fig. 4.62, es decir, la tensión de *offset* equivalente a la entrada del canal de conversión, se puede aproximar mediante la siguiente expresión:

$$V_{OFF} \approx \frac{R_{INT} \cdot C_{INT} \cdot f_{CLK}}{A \cdot N_{C1}} \cdot (V_{off_{int}} + V_{off_{comp}}) + V_{off_{AI}} + \frac{1}{A} \cdot V_{off_{int}} \quad (4.103)$$

donde se recuerda que A es la ganancia del AI, N_{C1} es el número de ciclos de duración de la primera fase de integración del proceso de conversión, R_{INT} y C_{INT} son, respectivamente, los valores de la resistencia y del condensador del integrador, y f_{CLK} es la frecuencia del oscilador. En base a las no idealidades representadas en la Fig. 4.62, el código de salida N_{OUT} viene determinado por las siguientes expresiones:

$$N_{OUT} = k_+ \cdot V_{IN} + b_+ + N_M; \text{ si } V_{IN} - V_{OFF} > 0 \quad (4.104)$$

$$N_{OUT} = k_- \cdot V_{IN} + b_- - N_M; \text{ si } V_{IN} - V_{OFF} < 0 \quad (4.105)$$

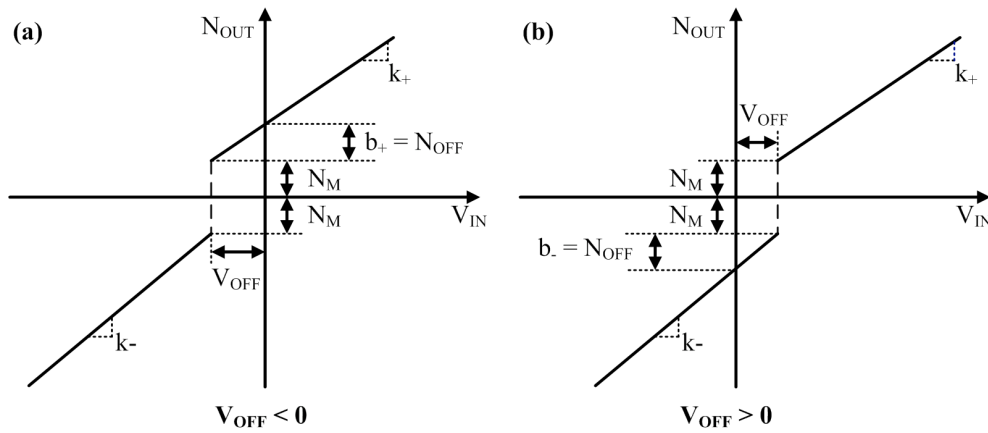


Fig. 4.62.: Efecto de las no idealidades del AI y del DS ADC en la característica de transferencia del canal de conversión.

El código de salida para el caso de entrada nula ($V_{IN} = 0$) dependerá del signo de la tensión de *offset*:

$$N_{OUT}|_{V_{IN}=0} = b_+ + N_M; \text{ si } V_{OFF} < 0 \quad (4.106)$$

$$N_{OUT}|_{V_{IN}=0} = b_- - N_M; \text{ si } V_{OFF} > 0 \quad (4.107)$$

de forma que, tal y como se muestra en la Fig. 4.62, el valor de N_{OFF} (contribución del error de *offset* al código de salida) será:

$$N_{OFF} = b_+ - N_M; \text{ si } V_{OFF} < 0 \quad (4.108)$$

$$N_{OFF} = b_- + N_M; \text{ si } V_{OFF} > 0 \quad (4.109)$$

Las expresiones (4.104) y (4.105) pueden agruparse en una única expresión:

$$N_{OUT\pm} = k_{\pm} \cdot V_{IN} + b_{\pm} \pm N_M \quad (4.110)$$

donde el término \pm hace referencia a la parte positiva y negativa del código de salida. El factor de pendiente k_{\pm} y la componente de *offset* b_{\pm} vienen dados por las siguientes expresiones:

$$k_{\pm} = \frac{A \cdot N_{C1}}{\alpha \cdot V_{REF} \mp V_{offInt}} \quad (4.111)$$

$$b_{\pm} = \frac{(A \cdot V_{offAI} + V_{offInt}) \cdot N_{C1} + (V_{offInt} + V_{offComp}) \cdot R_{INT} \cdot C_{INT} \cdot f_{CLK}}{\alpha \cdot V_{REF} \mp V_{offInt}} \quad (4.112)$$

Tal y como se puede apreciar en la dos expresiones anteriores, la única diferencia entre la parte positiva y la negativa está determinada por el factor $\alpha \cdot V_{REF} \mp V_{offInt}$. Por tanto, para la

calibración de la característica de transferencia del ADC, definida en (4.110), será necesario determinar el valor del error de magnitud N_M , la relación entre $\alpha \cdot V_{REF}$ y $V_{off_{int}}$ para la corrección del error de ganancia y, por último, el error de *offset*. A continuación se describen las funcionalidades incorporadas en el ASIC con objeto de determinar estos errores.

Con respecto al error de magnitud, tal y como se ha comentado anteriormente, y como también se confirmará con los resultados experimentales del siguiente capítulo, el valor de N_M es sistemático, en el sentido de que no depende de las variaciones de *mismatch*, estando únicamente sujeto a las variaciones de proceso en los retardos sistemáticos asociados con el integrador y el comparador. Su variación con la temperatura y la radiación también es despreciable, de forma que no hay variaciones significativas de su valor entre convertidores de una misma muestra, ni tampoco entre los de distintas muestras. De esta forma, suponiendo conocido el valor de N_M mediante una medida previa de la característica de transferencia de uno de los convertidores, el error de magnitud puede ser fácilmente corregido en todos los convertidores de todas las muestras sin más que restar el valor N_M a los códigos de salida positivos, y sumarlo a los negativos.

No obstante, también se puede obtener de forma individual el valor de N_M en cada convertidor. Para ello, se hace uso de la capacidad implementada en los canales de conversión de hacer una medida del código de salida para tensión de entrada (al canal de conversión) nula, de forma que en estas condiciones el código de salida vendrá dado por la expresión (4.106) o por la expresión (4.107) en función del signo de V_{OFF} . Suponiendo como ejemplo que V_{OFF} es menor que cero, y aplicando la expresión (4.112) en (4.106), el código de salida para tensión de entrada nula vendrá dado por la siguiente expresión:

$$N_{OUT}|_{V_{IN}=0} = \frac{(AV_{off_{AI}} + V_{off_{int}})N_{C1} + (V_{off_{int}} + V_{off_{Comp}})R_{INT}C_{INT}f_{CLK}}{\alpha \cdot V_{REF} - V_{off_{int}}} + N_M; \text{ si } V_{OFF} < 0 \quad (4.113)$$

Para la determinación de N_M a partir de la expresión anterior se hace uso de la capacidad de configuración del parámetro α de la tensión de referencia V_{REF} , de forma que se pueden obtener dos valores de $N_{OUT}|_{V_{IN}=0}$ con dos valores de α distintos, lo cual permite la determinación de N_M . Así, para el caso típico de utilizar la tensión de referencia $\alpha \cdot V_{REF}$ en la primera medida, y la tensión $\alpha \cdot V_{REF}/2$ para la segunda medida, se llega finalmente a que el valor de N_M viene dado por la siguiente expresión:

$$N_M = 2 \cdot N_{OUT}|_{V_{IN}=0}^{\alpha} - N_{OUT}|_{V_{IN}=0}^{\alpha/2} \quad (4.114)$$

donde $N_{OUT}|_{V_{IN}=0}^{\alpha}$ y $N_{OUT}|_{V_{IN}=0}^{\alpha/2}$ se corresponden con los códigos de salida del canal de conversión obtenidos en la primera y segunda medida, respectivamente. En general, se puede emplear cualquier valor de α para estas medidas, si bien es recomendable que su valor sea el que maximice el rango lineal del convertidor (ver sección 4.3.2.1). La expresión obtenida en

(4.114) es una aproximación, ya que supone que $\alpha \cdot V_{REF} \gg V_{off_{int}}$, de forma que se cumpla que:

$$\frac{\alpha \cdot V_{REF} - V_{off_{int}}}{2} \simeq \frac{\alpha}{2} \cdot V_{REF} - V_{off_{int}} \quad (4.115)$$

Las simulaciones realizadas con *mismatch* confirmaron que la relación en (4.114) permite determinar el valor de N_M con una precisión menor que 1 LSB en más del 95% de los casos, es decir, con un intervalo de confianza de más de 2σ .

Una vez corregida la característica de transferencia del error de magnitud, el siguiente paso será la corrección del error de ganancia. Para ello, tal y como se ha comentado anteriormente, será necesario determinar la relación entre $\alpha \cdot V_{REF}$ y $V_{off_{int}}$. Otra de las funcionalidades adicionales incorporadas en el ASIC consiste en la capacidad de conectar a la entrada del integrador del DS ADC la tensión de referencia positiva seleccionada ($\alpha \cdot V_{REF}$). Esto permite determinar la relación entre $\alpha \cdot V_{REF}$ y $V_{off_{int}}$ y, por tanto, los factores de corrección necesarios para corregir las pendientes tanto de la parte positiva como negativa del código de salida cuando así sea necesario. En este caso, la señal de entrada no se corresponde con la entrada al AI, sino que $\alpha \cdot V_{REF}$ se conecta a la entrada del integrador. En estas condiciones, el código de salida (N_{REF+}) viene dado por las siguientes expresiones:

$$N_{REF+} = \frac{\alpha \cdot V_{REF} + V_{off_{int}}}{\alpha \cdot V_{REF} - V_{off_{int}}} \cdot N_{C1} + b_{REF+} \quad (4.116)$$

$$b_{REF+} = \frac{(V_{off_{int}} + V_{off_{comp}}) \cdot R_{INT} \cdot C_{INT} \cdot f_{CLK}}{\alpha \cdot V_{REF} - V_{off_{int}}} + N_M \quad (4.117)$$

donde el signo + en N_{REF+} y b_{REF+} hace únicamente referencia a que el signo de la tensión de referencia diferencial que se conecta a la entrada del integrador es positivo y, por tanto, el código de salida asociado se corresponde con la parte positiva de la característica de transferencia. Tal y como se puede apreciar en (4.116), utilizando la capacidad de configuración del parámetro N_{C1} se puede determinar la relación entre $\alpha \cdot V_{REF}$ y $V_{off_{int}}$ mediante la realización de dos medidas. Así, por ejemplo, para el caso típico de utilizar N_{C1} en la primera medida y $N_{C1}/2$ en la segunda, los factores de corrección para la parte positiva (k_{c+}) y negativa (k_{c-}) del código vienen finalmente dados por las siguientes expresiones:

$$k_{c+} = \frac{N_{C1}}{(N_{REF+1} - N_{REF+2}) + \frac{N_{C1}}{2}} \quad (4.118)$$

$$k_{c-} = \frac{2}{1 + \frac{N_{C1}}{2 \cdot (N_{REF+1} - N_{REF+2})}} \quad (4.119)$$

donde N_{REF+1} y N_{REF+2} se corresponden con los códigos de salida del DS ADC obtenidos cuando se conecta $\alpha \cdot V_{REF}$ como señal de entrada al integrador, y se configura un número de ciclos de duración de la primera fase de integración igual a N_{C1} para la primera medida, y

$N_{C1}/2$ para la segunda medida. En general, se puede emplear cualquier valor de N_{C1} para estas medidas, si bien es recomendable que su valor sea el que maximice el rango lineal del convertidor (ver sección 4.3.2.1).

Una vez aplicadas las correcciones del error de magnitud y del error de ganancia dependiente del signo de la señal de entrada en la característica de transferencia del canal de conversión, la única fuente de error que falta por corregir se corresponde con el error de *offset* (N_{OFF}). Este error de *offset* del canal de conversión es fácil de determinar a través de la capacidad del propio canal de conversión de medir el código de salida del DS ADC para una tensión diferencial de entrada nula, y en base a las expresiones 4.108 o 4.109 según el signo de V_{OFF} . Por otro lado, tal y como se ha comentado anteriormente, además del *offset* del canal de conversión, hay que tener en cuenta la tensión de *offset* a la salida del sensor AMR. Dado que estos sensores incorporan la posibilidad de invertir el signo de su sensibilidad mediante el empleo de las bobinas de S/R (ver sección 3.2), esta funcionalidad va a permitir una medida directa del *offset* del sensor, y también el del canal de conversión completo, mediante la realización de dos medidas consecutivas con sensibilidad opuesta, con la ventaja adicional de que en cada pulso de S/R se restaura el patrón de magnetización del sensor, resultando por tanto más recomendable esta opción.

La gestión y control de todas estas funcionalidades, tanto del ASIC como del sensor AMR, se realizará en la unidad de control del instrumento, implementada generalmente en una FPGA. En la Fig. 4.63 se muestra un diagrama de bloques con un ejemplo de implementación del proceso de medición de uno de los sensores AMR empleando la arquitectura en lazo cerrado propuesta.

Una vez acondicionado el sensor mediante el empleo del CS DAC, este queda balanceado en la región cercana al campo magnético nulo, de forma que la tensión de salida del puente se reduce considerablemente. Esto permite reajustar la ganancia del AI, tal y como se muestra en la Fig. 4.63, con objeto de maximizar el uso del rango lineal del DS ADC y mejorar las prestaciones en términos de linealidad y SNR.

En el diagrama de bloques de la Fig. 4.63 también se ha incluido, a modo de ejemplo, las diferentes medidas de los parámetros descritos en esta sección, así como también la monitorización de la temperatura, con objeto de realizar medidas periódicas de estos parámetros que permitan aplicar las correcciones adecuadas a los datos de salida.

Tal y como se comentó en la sección 3.4, es de esperar que el campo magnético generado por la bobina de OFFSET de los sensores AMR sea poco homogéneo, de forma que, con el sistema de medida en lazo cerrado, será necesario estudiar y analizar la relación entre el código de los CS DACs y el campo magnético generado por la bobina de OFFSET. Previsiblemente, esto se llevará a cabo mediante una calibración previa de esta relación. Por otro lado, esta calibración previa también permitirá llevar a cabo funcionalidades adicionales para el testado o calibración del sistema de medida durante la operación del instrumento, como puede ser la generación de

una rampa de corriente que genere un campo magnético controlado y conocido a través de las bobinas de OFFSET, de forma que se puedan medir también de forma periódica parámetros de la característica de transferencia del sistema completo.

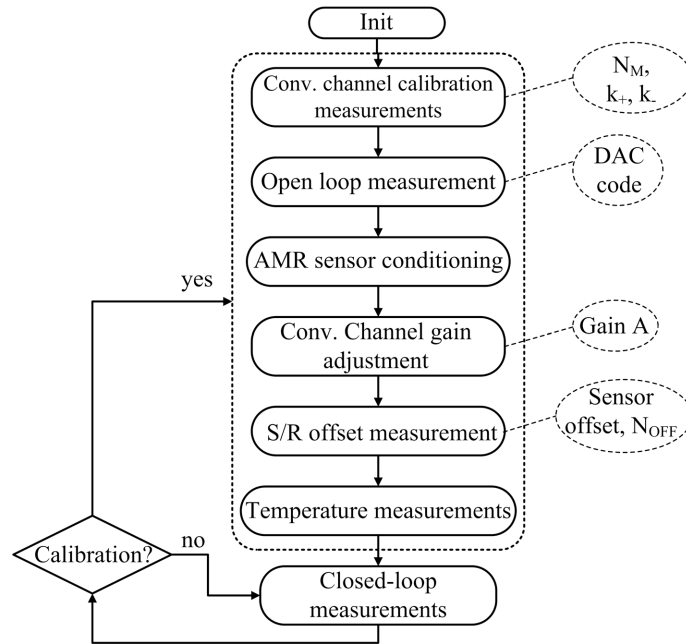


Fig. 4.63.: Ejemplo de implementación del proceso de medición en lazo cerrado incluyendo las diversas opciones del ASIC para la calibración.

4.6. Técnicas RHBD aplicadas

Las topologías propuestas en este capítulo para la adquisición de las señales tienen como uno de sus objetivos principales el de incrementar la robustez del sistema de medida frente a los efectos de la degradación temporal con la TID de ciertos parámetros del transistor, como por ejemplo, la fluctuación de la tensión umbral o la degradación de la transconductancia. La inherente robustez de la arquitectura de doble rampa implementada en los canales de conversión, así como el lazo de adaptación empleado en los convertidores de rampa simple, tienen como ventaja significativa el proporcionar una alta insensibilidad a las fluctuaciones de sus componentes.

No obstante, otros efectos asociados a la exposición a la radiación, como es el incremento gradual de la corriente de fugas inducida por la TID, no se consiguen mitigar con el empleo de estas topologías, resultando necesario el uso de técnicas de robustecimiento específicas. Por otro lado, también son necesarias técnicas de robustecimiento adicionales para eliminar o

minimizar, según el caso, los efectos asociados a los SEEs, incluyendo aquí el volteo de elementos de memoria (SEUs), los eventos transitorios (SETs) y la inducción de *latchup* (SEL).

En esta sección se presentan y justifican las principales técnicas de robustecimiento frente a la radiación empleadas durante el flujo de diseño de la FEE con objeto de hacer frente a los efectos anteriormente mencionados.

4.6.1. Robustecimiento mediante diseño frente a la TID

Tal y como se presentó en el capítulo 2, la TID induce la formación de cargas positivas en los óxidos de puerta y de aislamiento. Al encontrarse sobre el sustrato, es decir, sobre una capa con dopado de tipo P, éste puede llegar a invertir su signo en la zona bajo el óxido por efecto del campo eléctrico local, formando caminos conductivos que tienden a incrementar las corrientes de fugas. Dado que la carga inducida en los óxidos es predominantemente positiva, este efecto resulta únicamente significativo en los transistores NMOS. Los caminos conductivos se crean principalmente en los extremos del canal del transistor, entre drenador y fuente, así como también entre transistores NMOS adyacentes, entre una difusión n+ y un pozo N adyacente o incluso entre dos pozos N adyacentes.

Para conseguir minimizar estas corrientes de fugas es conveniente evitar el contacto directo entre los caminos conductivos formados bajo el óxido y las regiones n+ o pozos N adyacentes, de forma que se elimine la posibilidad de cualquier flujo de corriente. Esto implica el uso de técnicas de diseño a nivel de *layout* basadas en geometrías especiales, en general de *layout* encerrado (ELT), que consigan eliminar dicho flujo de corriente (ver sección 2.4.2). En general, la geometría de *layout* más comúnmente empleada en estos casos es el transistor con geometría de *layout* anular [87]. En la Fig. 4.64 se muestra un ejemplo de dicho *layout*.

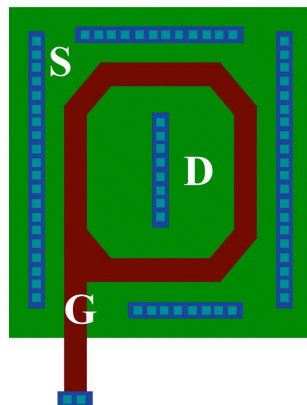


Fig. 4.64.: Ejemplo de *layout* de un transistor anular.

Tal y como se aprecia en la Fig. 4.64, una de las difusiones queda completamente rodeada tanto por el polisilicio de puerta como por la otra difusión, eliminando así la posibilidad de que haya un flujo inducido de corriente entre drenador y fuente en los bordes laterales del canal, ya que el canal no tiene bordes laterales. Los transistores ELT suelen implementarse con ángulos de 45° en las esquinas, es decir, con forma octogonal, con objeto de reducir el efecto del campo eléctrico en dichas regiones.

A pesar de ser una de las geometrías más empleadas, el uso de transistores con geometría anular conlleva algunos inconvenientes importantes a tener en cuenta. Una de las limitaciones más importantes afecta a la relación entre la anchura y la longitud del canal, debido a la condición radial de la geometría. Así, para un valor deseado de la longitud del canal, se tendrá un límite inferior para la relación de aspecto por debajo de la cual no se podrá implementar el transistor. Para poder obtener relaciones de aspecto bajas, será necesario incrementar la longitud del canal, lo cual penaliza el consumo de área, entre otros efectos no deseados. Por otro lado, la evidente asimetría del *layout* entre las difusiones de drenador y fuente también tiene consecuencias tanto en el *matching* entre transistores como en su conductancia de salida [88].

Dados los inconvenientes del transistor anular, se optó por una geometría de *layout* alternativa, menos reportada en la literatura, denominada transistor con anillo de fuente o RS (*ringed source*) [89], cuya geometría se muestra en la Fig. 4.65. La principal ventaja de esta geometría reside en que permite independizar el valor de la anchura del canal respecto a su longitud, a la vez que permite transistores más compactos y menos asimétricos, aproximándose más a la forma de un transistor convencional. Tal y como se aprecia en la Fig. 4.65, en este caso el polisilicio de la puerta se superpone sobre la fuente sobrepasando los bordes de la zona activa, evitando el contacto físico entre el óxido de aislamiento y dicha zona activa, eliminándose así la posibilidad del flujo de corriente asociado a la corriente de fugas. A pesar de que también es posible implementar el transistor con un anillo de drenador, en general resulta más idóneo rodear la fuente con objeto de no incrementar la capacidad puerta-drenador del transistor, lo cual podría tener efectos dinámicos adversos en muchos bloques del circuito, en especial cuando se usan en transistores de dimensiones grandes.

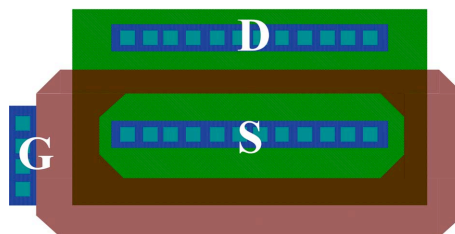


Fig. 4.65.: Ejemplo de *layout* de un transistor RS.

Uno de los principales inconvenientes de este *layout* es el incremento de la capacidad de puerta del transistor, debido a la extensión del polisilicio sobre la zona activa. Además, la resistividad del polisilicio es relativamente grande, lo cual debe tenerse en cuenta sobre todo en transistores de grandes dimensiones. Por otro lado, dado que parte del polisilicio sobresale de la zona activa, superponiéndose sobre el sustrato P, tal y como se aprecia en la Fig. 4.65, habrá una cierta inversión de la capa P. No obstante, la corriente inducida es en general despreciable, pudiendo llegar a ser únicamente importante en aplicaciones de muy bajo consumo [90].

A pesar de que el *layout* con anillo de fuente se aproxima más a la geometría de un *layout* convencional, el solapamiento del polisilicio sobre la zona activa implica la aparición de caminos adicionales de conducción, tal y como se muestra en la Fig. 4.66. Esto implica una geometría del canal algo más complicada, así como modificaciones a tener en cuenta en los parámetros del transistor con respecto a los del transistor convencional, como por ejemplo el incremento de la transconductancia. Estas variaciones pueden ser modeladas a partir del cálculo de la anchura efectiva (W_{eff}) del transistor RS en base a los parámetros geométricos del *layout*. Siguiendo una aproximación y metodología equivalente a la propuesta en [90] para el caso de la anchura efectiva de un transistor ELT, y teniendo en cuenta los resultados experimentales previamente obtenidos durante la caracterización de la tecnología [36], se llega a la siguiente expresión para evaluar la anchura efectiva del transistor:

$$W_{eff} = W + 2 \cdot L \cdot \left[\frac{W_2}{L_2} + \left(\frac{2 \cdot n_c + 3}{4} \right) \cdot \frac{W_3}{L_3} \right] \quad (4.120)$$

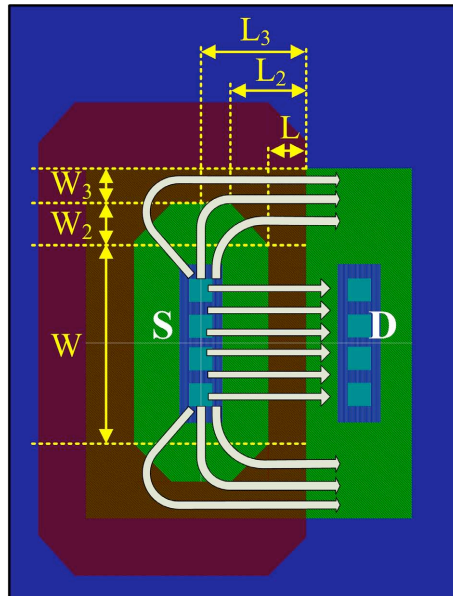


Fig. 4.66.: Geometría del canal de conducción en un transistor RS NMOS.

donde n_c es el número de contactos de la fuente, y $W_{2,3}$ y $L_{2,3}$ se corresponden con los parámetros geométricos mostrados en la Fig. 4.66. Además del cálculo de la anchura efectiva, también fue necesario un modelado de las capacidades parásitas de los transistores RS, así como la implementación de una librería propia para contener la celda parametrizable (*pcell*) de los transistores *rad-hard*, incluyendo su correspondiente símbolo, *layout* y modelo eléctrico. También fueron necesarias modificaciones adicionales en las capas de *layout* de la celda así como en los *scripts* del flujo de diseño de *back-end*, con objeto de incluir reglas de diseño (DRC) adicionales, asegurar el correcto funcionamiento de las verificaciones entre *layout* y esquemático (LVS), así como realizar de forma precisa las extracciones de parásitos (PEX) de los dispositivos. Finalmente, también se desarrolló una librería digital de diseño propio, actualmente no tan extensa en número de celdas comparada con la proporcionada por la *foundry*, pero implementada con transistores *rad-hard* RS. Todo lo relativo a las metodologías e hitos descritos en este párrafo, así como todo lo relativo a la caracterización previa del proceso tecnológico, se encuentra fuera del ámbito de este trabajo de tesis, de forma que no van a ser desarrollados aquí. El lector puede encontrar en [35–37] información más detallada de todas estas contribuciones.

Con el uso de la geometría RS para los transistores NMOS se consigue solventar el efecto de la corriente inducida entre las difusiones n+ del propio transistor (*inter-leakage current*), pero aún existe la posibilidad de corriente inducida entre transistores NMOS y/o pozos N adyacentes (*intra-leakage current*). Con objeto de hacer frente también a estas corrientes de fugas, se han empleado anillos de difusión p+ rodeando a cada transistor NMOS (anillos de guarda). Estos anillos actúan como neutralizadores del canal n en los “transistores de óxido de campo”, ya que su alto nivel de dopado evita que se produzca la inversión de cargas en el sustrato P por efecto de la acumulación de cargas positivas en el óxido de aislamiento existente sobre dicha difusión p+. Así, al estar el transistor NMOS completamente rodeado por la difusión p+, se elimina la posibilidad de que se formen caminos conductivos entre transistores NMOS y/o pozos N adyacentes.

Por otro lado, el anillo de difusión también actuará como anillo de guarda en sentido convencional, manteniendo la polarización del sustrato, reduciendo el ruido de sustrato, y sobre todo, reduciendo considerablemente la posibilidad de que se produzca *latchup*. Del mismo modo, para una mayor robustez frente al *latchup*, también resulta conveniente rodear los transistores PMOS con anillos de guarda n+, de forma que también se mantenga uniforme la polarización de los pozos. En la Fig. 4.67 se muestran algunos ejemplos de implementaciones reales con objeto de comparar el *layout* del transistor *rad-hard* RS NMOS con respecto a la versión convencional y, en la Fig. 4.68, se muestra una comparativa para el caso de los *layouts* de un inversor y una puerta NAND.

En la Tabla 4.15 se muestran resultados de simulación en condiciones típicas de la respuesta transitoria del inversor mínimo *rad-hard* con respecto a su equivalente de la librería estándar.

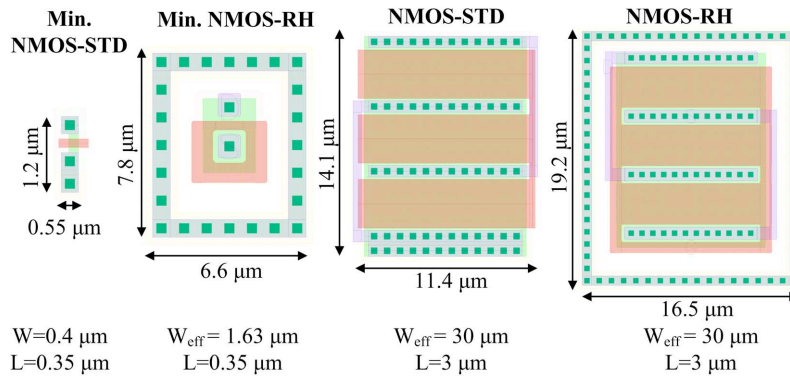


Fig. 4.67.: Comparativa entre *layouts* de transistores RS NMOS y sus equivalentes de la librería estándar.

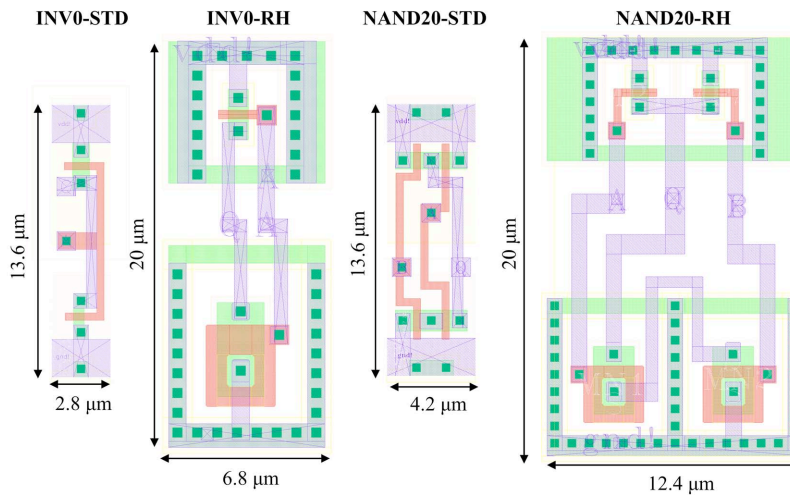


Fig. 4.68.: Comparativa entre los *layouts* de un inversor y una puerta NAND *rad-hard* y sus equivalentes de la librería estándar.

Tabla 4.15.: Comparativa de la respuesta transitoria entre un inversor mínimo *rad-hard* (RH) y su equivalente de la librería estándar (Std).

Input slew (ns)	Rise				Fall			
	0.05		2		0.05		2	
Load (pF)	0.0005	0.16	0.0005	0.16	0.0005	0.16	0.0005	0.16
RH Delay (ns)	0.16	1.95	0.45	2.30	0.05	0.79	0.04	1.15
Std Delay (ns)	0.04	1.82	0.30	2.20	0.03	1.03	0.04	1.33
RH Slew (ns)	0.18	4.19	0.39	4.21	0.11	1.65	0.47	1.84
Std Slew (ns)	0.08	4.09	0.36	4.12	0.04	2.03	0.35	2.19

El retardo en los cambios de la salida respecto de los de la entrada en la Tabla 4.15 se ha medido al 50% del valor final de las señales. Los tiempos de subida y bajada se han medido entre el 10 y el 90% del valor final. Los resultados obtenidos permiten apreciar que la celda *rad-hard*, con una mayor capacidad parásita en la salida debido a la mayor difusión n en la salida del transistor RS NMOS, es algo más lenta en todos los casos excepto para el caso de las transiciones de bajada con una carga capacitiva de 0.16 pF, en los que se observa que tanto el retardo como los tiempos de transición son entre un 15 y un 25 % menores. Esto último es debido al incremento de la anchura efectiva del transistor RS NMOS, lo cual se traduce en un incremento de su transconductancia. Finalmente, en la Fig. 4.69(a) se compara la curva de transferencia estática de ambos inversores y, en la Fig. 4.69(b), se compara la respuesta transitoria de un *buffer* digital, implementado con dos inversores mínimos, para una entrada de reloj de 100 MHz (generada con el oscilador diseñado) y una capacidad de carga de 0.1 pF.

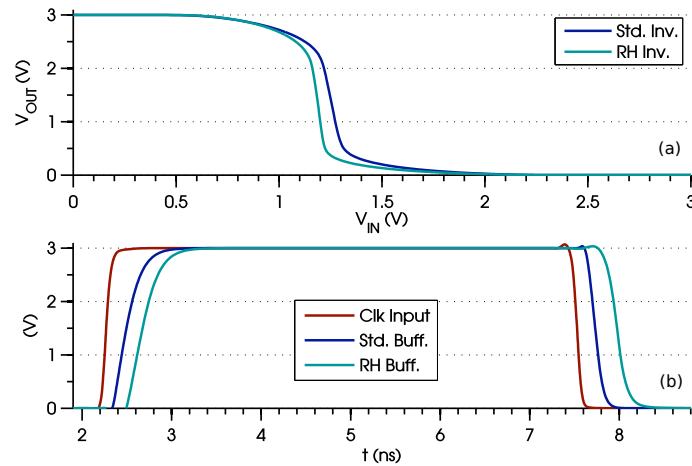


Fig. 4.69.: (a) Comparativa de la curva de transferencia estática de dos inversores mínimos (estándar y RH). (b) Respuesta transitoria de dos *buffers* digitales (estándar y RH).

4.6.2. Robustecimiento mediante diseño frente a SEEs

4.6.2.1. Robustecimiento mediante diseño frente a SEUs

Tal y como se vio en el capítulo 2, uno de los principales efectos de los SEEs en circuitos digitales es el volteo no intencionado de uno o varios elementos de memoria, ocurriendo tanto en dispositivos asíncronos (*latches*) como síncronos (*flip-flops*). Los fallos inducidos por un SEU pueden provocar errores en los registros de memoria (memoria de configuración del sistema y datos de salida), y también errores en los sistemas digitales de control o en la interfaz de comunicación, como es el caso de las FSMs de los ADCs o la unidad SPI en el presente diseño. Estos errores pueden desembocar en multitud de posibles fallos, algunos de los cuales

podrían implicar la necesidad de realizar un *reset* completo del ASIC. En el peor de los casos, el daño podría llegar a ser destructivo si, por ejemplo, el volteo de un bit de configuración provoca en un determinado momento una situación de cortocircuito entre dos señales que dañe de forma permanente uno o varios elementos del sistema.

Dentro de todos los efectos asociados a la radiación en tecnologías CMOS, el robustecimiento frente a los SEUs es probablemente el área más estudiada y que con mayor frecuencia aparece en la literatura. La principal razón reside en que este efecto no está exclusivamente asociado a entornos extremos como el espacio, aviación, instalaciones nucleares o detectores de partículas de alta energía, sino que incluso ya en entornos convencionales a nivel del mar existe una cierta probabilidad de que se produzca un SEU. Fue en la década de los años 70 cuando se empezó a descubrir y entender el porqué de la susceptibilidad de los dispositivos microelectrónicos a los SEUs a nivel del mar. En aquel entonces, la principal causa de un SEU inducido se asoció a la emisión de partículas α procedentes de materiales contaminados por elementos radiactivos presentes en las interconexiones y encapsulados de los *chips* [173]. Desde entonces, los procesos tecnológicos se volvieron mucho más estrictos, reduciendo de forma progresiva las tolerancias admisibles con respecto a la presencia de materiales contaminados con radiactividad. A pesar de ello, a medida que esto ocurría, la tecnología también se fue escalando, implementando dispositivos cada vez más pequeños pero también más sensibles, apareciendo nuevas formas capaces de inducir un SEU en un dispositivo microelectrónico a nivel del mar. En este segundo caso, los SEUs inducidos están asociados a la presencia de rayos cósmicos [174]. Si bien es cierto que la atmósfera y el campo magnético terrestre nos protege de la mayor parte de ellos, un cierto porcentaje de rayos cósmicos generan partículas secundarias (principalmente neutrones) lo suficientemente energéticas como para alcanzar cualquier punto de la corteza terrestre y, por tanto, inducir un SEU en un circuito integrado.

A la hora de implementar las técnicas de robustecimiento frente a los SEUs, es necesario establecer un compromiso previo entre el nivel de tolerancia a fallos admisible por el sistema, el área disponible para su implementación, y las condiciones del entorno de operación. En general, cuanto menor sea la tasa de errores admisible, mayor será el área de silicio necesaria. La tasa de errores admisible dependerá en gran medida de la aplicación a la que se vaya a destinar el instrumento. Así, por ejemplo, el sistema de control de actitud de un satélite es un sistema de tiempo real especialmente crítico que requiere de unos niveles de robustecimiento frente a los SEUs especialmente elevados. En estos casos, no será suficiente con detectar el error, sino que además será necesario que el sistema sea capaz de corregir dicho error y sobreponerse sin interrumpir las tareas de control en tiempo real [13].

Para el caso de la FEE propuesta en este trabajo, el hecho de obtener un dato erróneo en un instante dado, por ejemplo en la medida del campo magnético o de la temperatura, no resulta tan crítico como en el caso anterior. En este caso resulta suficiente con detectar el error para poder descartar el dato. No obstante, en general es deseable que la tasa de error sea lo

suficientemente baja como para que los errores sean puntuales. Por otro lado, también se debe asegurar que, por efecto de un SEU, la FEE no se queda configurada en un estado peligroso que derive en un daño permanente o bien, que se quede bloqueada en un estado no contemplado y/o irrecuperable.

A nivel de *layout*, una de las técnicas más evidentes para minimizar la probabilidad de ocurrencia de los SEUs consiste en aumentar la carga crítica, es decir, la carga total necesaria para inducir el volteo de un bit. En este sentido, algunas de las técnicas RHBD presentadas en el apartado anterior para mitigar los efectos de la TID contribuyen también a reducir la probabilidad de ocurrencia de un SEU. Así, el incremento de la capacidad de puerta debida al uso de los transistores RS supone en este caso una ventaja, ya que contribuye a incrementar la capacidad de los nudos de entrada y, por tanto, a aumentar la carga crítica necesaria para que el SEU pueda ser inducido. Por otro lado, los anillos de guarda actúan como neutralizadores de la carga generada por el impacto de la partícula, reduciendo de forma considerable la carga neta susceptible de inducir el SEU.

En el siguiente nivel de abstracción, esto es, a nivel de esquemático, también se han empleado técnicas de redundancia. Dentro de las numerosas posibilidades a la hora de llevar a cabo dicha redundancia [175, 176], la solución que mejor se adaptaba tanto a los niveles de robustez requeridos como al área disponible para su implementación, fue la de aplicar redundancia doble a todos los elementos de memoria para la detección de SEUs. Para ello, tal y como se muestra en la Fig. 4.70, todos los elementos de memoria se encuentran duplicados, incluyendo un *flag* específico que alerta en un *pin* global de salida de un error provocado por un SEU.

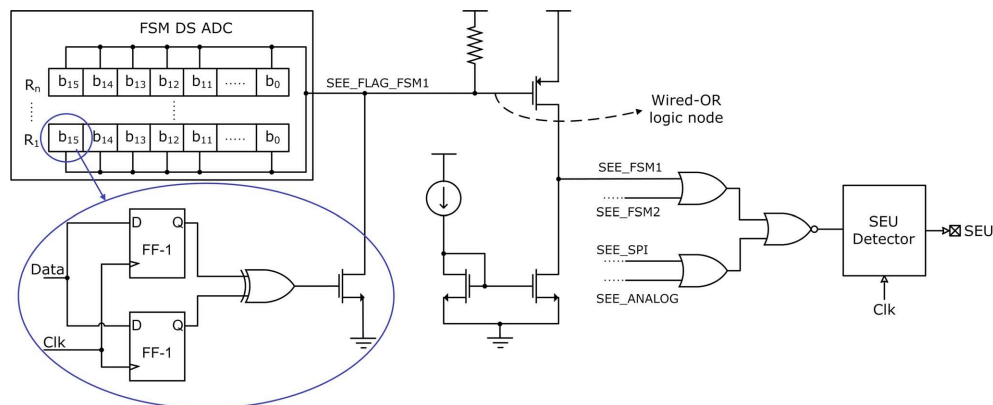


Fig. 4.70.: Esquema de redundancia empleado en la FEE para la detección de SEUs.

Con respecto a la implementación de los circuitos digitales de control, tanto las FSMs como la unidad SPI han sido implementadas mediante una codificación de tipo *one-hot*. A pesar de que esto implica un mayor consumo de área debido a que son necesarios un mayor número de *flip-flops* para implementar los estados, se incrementa considerablemente la robustez de

los sistemas digitales de control implementados, en el sentido de que cualquier error de SEU individual inducido en los registros que codifican los estados lleva a un estado reconocible como erróneo, e implica el regreso a un estado conocido, en este caso, al estado de *reset*. De esta forma, para que un error de SEU pase inadvertido, serían necesarios al menos dos errores de SEU simultáneos, es decir, en el mismo ciclo de reloj, y que además uno de ellos provocase el volteo del único bit codificado a 1 (de 1 a 0). A pesar de que la probabilidad de un doble SEU con estas características es muy escasa, incluso en este caso se detectaría el error, ya que al ser también redundantes los *flip-flops* que codifican estos estados, el error sería detectado a través del *pin* específico de salida.

Por otro lado, la FSM de los DS ADCs se resetea siempre de forma completa al inicio de cada conversión. Para ello, el pulso de inicio de conversión (SOC) actúa durante los tres primeros ciclos como una señal de *reset* externo, para después comenzar con la conversión propiamente dicha. Esto permite a la FSM recuperarse de cualquier posible error que se haya producido durante la conversión previa. Con respecto a la FSM del SS ADC, en este caso no se puede utilizar la señal de inicio de conversión para realizar el *reset* global, ya que dada la presencia del lazo de realimentación implementado en el generador de rampa, la señal de control del SS ADC se genera continuamente y de forma independiente a que se reciba o no la señal de inicio de conversión, con objeto de mantener la rampa adaptada (ver sección 4.4.1.3), de forma que, en este caso, se realiza un *reset* parcial interno al inicio de cada ciclo de generación de la rampa. Como trabajo futuro, una posible técnica adicional consistiría en detectar el efecto de un SEU (y otros SEEs similares) mediante la monitorización de la señal de realimentación que controla la fuente de corriente del generador de rampa, ya que ésta mostraría un pico de tensión (o un valor erróneo) al impactar la partícula en una zona sensible del generador de rampa o en la FSM que genera sus señales de control.

Por último, la generación de las señales de fin de conversión en ambas FSMs también permite la implementación de técnicas de vigilancia del tipo *watchdog timer* en la unidad de control externa que se encargue del manejo del ASIC. Así, por ejemplo, si tras haber transcurrido un determinado tiempo desde que se envió la señal de inicio de conversión, la FEE no ha respondido con su señal de fin de conversión, será síntoma inequívoco de que se ha producido algún tipo de error en la FEE.

4.6.2.2. Robustecimiento mediante diseño frente a los SETs

Robustecimiento frente a los SETs analógicos

La mitigación de los efectos asociados a los SETs en la parte analógica se ha llevado a cabo tanto a nivel de arquitectura como a nivel de *layout*. De esta forma, el inherente filtrado paso-bajo asociado a los convertidores de doble rampa, así como también a los convertidores de

rampa simple, tenderá a filtrar las señales espurias de alta frecuencia generadas por la carga inducida del SET, evitando su propagación por el circuito. Si bien es cierto que el nivel de filtrado dependerá en gran medida del lugar específico en el que impacte la partícula, también es cierto que la gran mayoría de los posibles puntos de impacto en la parte analógica se encuentran asociados a nodos con constantes de tiempo grandes, excepto en la etapa de salida de los comparadores de los DS ADCs que operan a la frecuencia del reloj, de forma que la probabilidad de que un SET provoque un efecto notorio durante una conversión se consigue reducir considerablemente.

Dentro de las técnicas a nivel de *layout*, se han utilizado *layouts* de tipo *centroide* para los pares diferenciales de entrada de los AOs, no sólo con el objetivo de mejorar los niveles de *mismatch*, sino porque también se aumenta la probabilidad de que parte de la carga inducida por el SET sea compartida por ambos transistores del par diferencial y, por tanto, se convierta en un modo común de entrada, de forma que su efecto quede atenuado según el CMRR del AO. Estas técnicas de *centroide* también se pueden aplicar en otras zonas del circuito, como por ejemplo, en los transistores *cascode* de la etapa *folded-cascode* de los AOs [81]. Al igual que en el caso anterior, la efectividad del *layout* de tipo *centroide* frente al SET será mayor o menor dependiendo del lugar específico de impacto de la partícula, así como también del tamaño de los transistores. De nuevo, los transistores RS y el uso de anillos de guarda también contribuyen a mitigar los efectos asociados a los SETs.

Robustecimiento frente a los SETs digitales

Aparte del uso de transistores RS y anillos de guarda, no se han implementado técnicas adicionales para la detección o protección frente a los SETs digitales. La principal razón obedece a que, para el caso de las FSMs, un error de SET en los registros que codifican los estados sería detectado como un estado inválido. Por otro lado, para el caso de los registros de memoria, la probabilidad de un error de SET es extremadamente baja, dada la bajísima frecuencia de escritura de cada registro.

4.6.2.3. Robustecimiento mediante diseño frente a los SELs

Finalmente, con respecto al *latchup*, las técnicas llevadas a cabo para reducir la probabilidad de que se induzca un SEL están orientadas a reducir las resistencias parásitas, así como también la ganancia de los transistores BJT parásitos que forman la estructura del tiristor responsable de dicha condición de *latchup*. También en este caso, el uso de anillos de guarda, tanto en los transistores NMOS como PMOS, con una gran cantidad de contactos para mantener la polarización, tanto del sustrato como de los pozos, contribuyen a reducir considerablemente la posibilidad de *latchup*, así como también el incremento de la distancia entre los transistores BJT parásitos. Además, también pueden implementarse, cuando sea necesario, medidas de

protección *off-chip*, como por ejemplo, sistemas de monitorización y/o filtrado paso-bajo de la corriente de alimentación [177].

4.7. Resumen

En este capítulo se ha presentado el diseño detallado de la FEE propuesta para la implementación del magnetómetro. En la Fig. 4.71 se muestra una imagen del *layout* completo, indicando la disposición concreta de cada uno de sus componentes.

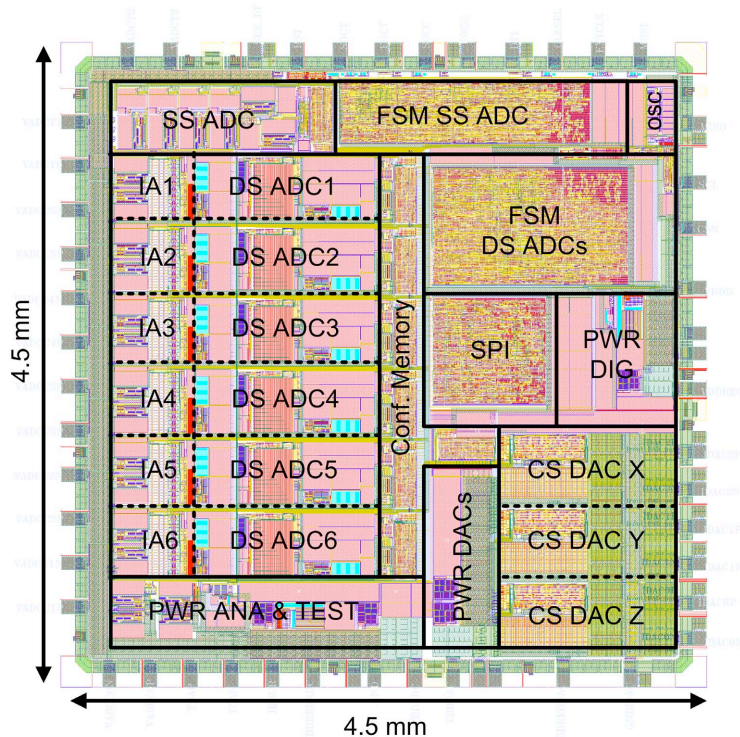


Fig. 4.71.: *Layout* final de la FEE.

Para la implementación de las medidas de campo magnético, se ha propuesto un arquitectura basada en la conversión de doble rampa, no sólo con el objetivo de proporcionar un sistema de medición preciso y con un alto nivel de rechazo del ruido, sino también con el objetivo de proporcionar una solución robusta, ya desde el nivel de arquitectura, frente a los efectos de la radiación. Con la topología *fully-differential* implementada, en combinación con la detección del signo al final de la primera fase de integración, se consigue duplicar el rango dinámico del convertidor, a la vez que también se incrementa la tasa de conversión con respecto a la topología convencional en *single-ended*. Por otro lado, con el empleo de una polarización

adaptativa de los pozos N sobre los que se han situado las resistencias unitarias que forman la resistencia del integrador, junto con la implementación de un AO de elevada transconductancia en el integrador, se ha conseguido incrementar la linealidad del convertidor DS ADC hasta niveles menores que 1 LSB trabajando con resoluciones de hasta 16 bits.

En este capítulo también se ha propuesto un modelado del ruido del DS ADC con objeto de analizar las contribuciones individuales de cada uno de sus componentes. Dicho análisis ha sido corroborado con resultados de simulación, obteniéndose también buenas prestaciones de ruido para el DS ADC diseñado, con un valor *rms* equivalente menor que 1 LSB operando con resoluciones de hasta 16 bits.

Los DS ADCs implementados han sido diseñados con un alto nivel de programabilidad en términos resolución, tasa de conversión y rango de tensión de entrada. Esta configurabilidad permite adaptar en cada momento tanto la ganancia del AI como la constante de tiempo del integrador, con objeto de maximizar el aprovechamiento de todo el rango lineal de tensiones disponible en el DS ADC para llevar a cabo las medidas de campo magnético. Por otro lado, esta configurabilidad también permite extender la utilidad de la FEE implementada a otro tipo de sensores y/o aplicaciones espaciales, reduciendo de forma considerable los tiempos de diseño, implementación y verificación de otros sistemas o instrumentos, a la vez que se incrementa la fiabilidad.

Con respecto al sistema de monitorización de temperatura, se ha propuesto la utilización de un convertidor de rampa simple multicanal auto-compensado, que emplea un lazo de realimentación adaptativo con objeto de asegurar una generación de la rampa inherentemente monótona y con unos niveles muy altos de linealidad, estabilidad e insensibilidad a cualquier tipo de fluctuación, incluyéndose también los efectos asociados a la radiación. Las principales ventajas del esquema propuesto incluyen una menor complejidad con respecto a las topologías convencionales basadas en DACs (las cuales precisan, en general, de técnicas de calibración), así como también una alta escalabilidad tanto en términos de resolución como de rango de tensión de entrada. Al igual que en el caso del DS ADC, el SS ADC ha sido implementado con una alta programabilidad en términos de resolución, tasa de conversión y rango de entrada, así como otras opciones adicionales que permiten extender el uso del convertidor, de nuevo, a otro tipo de sensores y/o aplicaciones.

Con objeto de proporcionar la capacidad de implementar el sistema de medida en lazo cerrado propuesto en la sección 3.4, se ha presentado el diseño de los CS DACs implementados para llevar a cabo el acondicionamiento de cada uno de los tres sensores AMR. También se han mostrado diferentes opciones y funcionalidades adicionales implementadas en la FEE con objeto de facilitar las tareas de calibración tanto de los componentes individuales como del magnetómetro en su conjunto.

Finalmente, se han presentado, descrito y analizado las técnicas RHBD que han sido empleadas desde el nivel de *layout* hasta el nivel de arquitectura, con objeto de hacer frente tanto a

los efectos de la TID como a los SEEs. La verificación experimental tanto de las prestaciones como de la robustez de las topologías y técnicas RHBD propuestas se presenta en el siguiente capítulo.

5. Resultados experimentales y caracterización para espacio

5.1. Introducción

EN el capítulo anterior se han mostrado las principales características de la FEE diseñada, analizando en detalle las arquitecturas y topologías propuestas para cada uno de los bloques de circuito implementados, así como también los compromisos de diseño y las decisiones adoptadas con objeto de cumplir con los requisitos planteados para el magnetómetro del instrumento MOURA. En la medida en que la capacidad de computación lo ha permitido, también se ha realizado una primera validación de las prestaciones de la FEE mediante resultados de simulación eléctrica y lógica.

El siguiente paso se corresponde con la verificación experimental de la FEE. En este capítulo se presenta la metodología empleada para dicha verificación, así como los resultados experimentales obtenidos de la caracterización de la FEE. Dado que uno de los objetivos que se pretenden con este trabajo de tesis es el de demostrar que, con las topologías y técnicas RHBD propuestas para su implementación en la tecnología CMOS estándar, la FEE diseñada es lo suficientemente robusta y fiable como para que su uso pueda ser extendido a otra gran variedad de aplicaciones espaciales, un núcleo importante de este capítulo está dedicado a la verificación experimental de la FEE frente a los efectos de la TID y los SEEs, así como también a la caracterización de las prestaciones en un rango extendido de temperaturas. En la Fig. 5.1 se muestra una micro-fotografía de una muestra del ASIC finalmente fabricado en la tecnología de AMS de 0.35 μm .

En la sección 5.2 se muestran los resultados experimentales de las prestaciones de la FEE en condiciones típicas (apartado 5.2.2) y con variaciones de temperatura (apartado 5.2.3). La metodología de medida, así como los resultados experimentales de la caracterización de la FEE frente a los efectos de la TID se encuentran descritos en detalle en la sección 5.3. De forma similar, en la sección 5.4 se describe la metodología de medida y se reportan los resultados experimentales asociados a la caracterización de la FEE frente a los efectos de los SEEs. Finalmente, en la sección 5.5 se presentan las conclusiones del presente capítulo, incluyendo una discusión pormenorizada y un análisis comparativo de los resultados obtenidos, con objeto

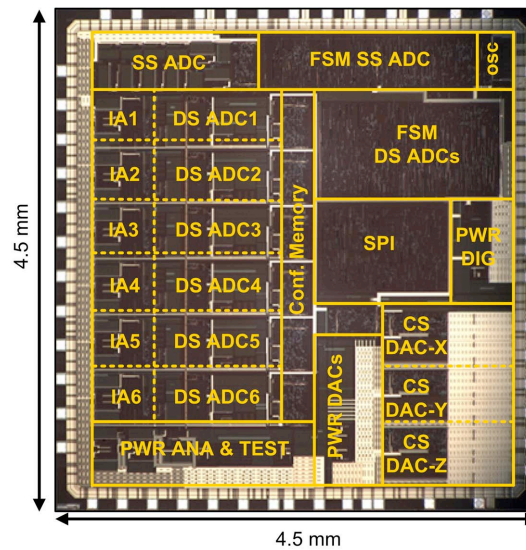


Fig. 5.1.: Micro-fotografía del ASIC que implementa la FEE.

de contextualizar las contribuciones propuestas en este trabajo de tesis en el ámbito del estado del arte.

5.2. Resultados experimentales en condiciones típicas y con variaciones en temperatura

En esta sección se presenta la metodología de test de llevada a cabo para medir las prestaciones de la FEE en condiciones nominales de laboratorio, así como con variaciones en temperatura. Para ello, en la sección 5.2.1 se hace una descripción detallada del *hardware* y del *software* empleados para la caracterización, así como una descripción del flujo de procesamiento de los datos que se ha empleado para la obtención de cada una de las métricas que determinan las prestaciones de cada uno de los bloques que componen la FEE.

Seguidamente, en la sección 5.2.2 se presentan los resultados obtenidos en condiciones nominales de temperatura, mientras que en la sección 5.2.3, se presentan los resultados experimentales de la evolución de las prestaciones en un rango extendido de temperaturas.

5.2.1. Metodología de test

El alto nivel de programabilidad de la FEE, así como también el considerable número de convertidores por muestra, implicaron dedicar especial tiempo y atención al diseño de un *setup*

de test lo más eficiente posible, con objeto de automatizar una gran parte del proceso de medida que permitiera optimizar el tiempo y las tareas de testado. Esto implicó la implementación de *hardware* y *software* específicos para la verificación de las prestaciones del ASIC.

En la Fig. 5.2 se muestra un diagrama de bloques correspondiente a la parte *hardware* del *setup* de test, compuesto principalmente por el propio ASIC a testar, un generador de estímulos analógico, una unidad de control del ASIC y, finalmente, la instrumentación de medida junto con un PC desde el que el usuario pueda controlar las opciones y el proceso de medida.

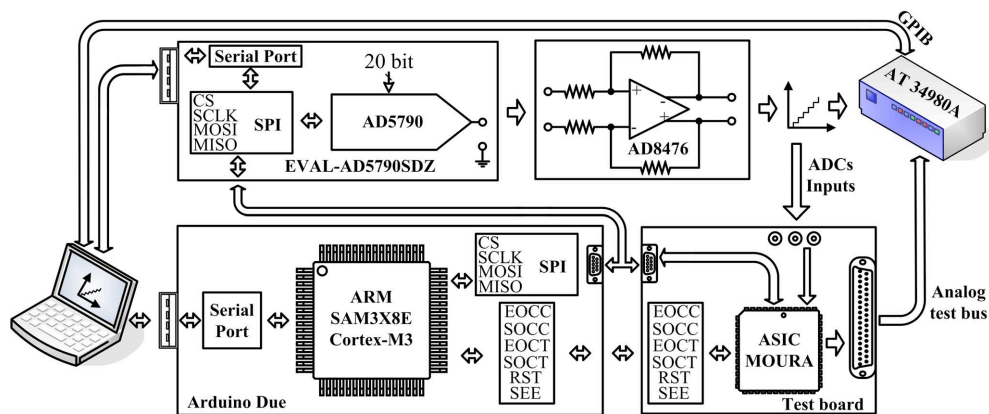


Fig. 5.2.: Diagrama de bloques del *setup* de test de la FEE.

Dado que los niveles de precisión alcanzados por la FEE pueden llegar a resoluciones de hasta 16 bits, la precisión de los estímulos generados a la entrada debe ser mayor, de forma que se asegure que mediciones como, por ejemplo, la INL de los convertidores, son realizadas con la precisión adecuada. Para ello, el generador analógico de estímulos se implementó con un DAC de 20 bits, con un error de INL máximo de 2 LSBs. En concreto, se utilizó el AD5790 de Analog Devices [178], seguido de un convertidor *single-to-differential* (AD8476, también de Analog Devices [179]). Esto permitió la generación de rampas de tensión diferenciales con un error de linealidad de aproximadamente 20 μ V. Para llevar a cabo el control de los estímulos a generar por el DAC, se empleó la placa de evaluación EVAL-AD5790SDZ [180], la cual ya incluye una unidad SPI para las tareas de control y comunicación.

Con respecto a la unidad de control, esta tiene como función principal el de actuar como interfaz entre el ASIC y el *software* de test controlado por el usuario. Para su implementación se ha utilizado el microcontrolador ARM SAM3X8E Cortex-M3 de Atmel [181], empleando una placa de desarrollo Arduino Due [182]. La comunicación entre el PC y la unidad de control se realiza a través del puerto serie, mientras que la comunicación con el ASIC se realiza a través de la unidad SPI incluida también en la placa Arduino. El *software* programado en el microcontrolador consiste básicamente en una librería de rutinas que son ejecutadas en función del comando o comandos enviados por la aplicación de usuario. Dichas rutinas im-

plementan comandos desde muy bajo nivel, como por ejemplo, realizar un *reset* global o una lectura/escritura de un registro de configuración, hasta comandos de más alto nivel, como por ejemplo, la programación de una determinada configuración completa en la FEE. A más alto nivel, también se implementaron rutinas más elaboradas, como por ejemplo, la realización de medidas periódicas en uno o varios convertidores, o la generación de una rampa de corriente en los CS DACs. Por otro lado, también se incluyeron rutinas específicas para llevar a cabo medidas de calibración, así como otras específicamente orientadas a los tests de radiación, tal y como se comentará en las secciones siguientes. Con objeto de reducir al máximo cualquier tipo de acoplo, se emplearon opto-acopladores en la interfaz entre el ASIC y el Arduino.

Dentro del instrumental de medida empleado durante el test, cabe resaltar el uso del instrumento de medida multicanal 34980A de Agilent Technologies, el cual se ha empleado para realizar mediciones precisas de las tensiones del ASIC, así como también para verificar la precisión de los estímulos analógicos de entrada. La precisión absoluta del 34980A para una señal DC de entrada en un rango de $\pm 2V$ es de aproximadamente $20 \mu V$. Para la medición de la frecuencia del oscilador interno se empleó el contador 53131A de Hewlett Packard. Para la verificación funcional y la observación de las diversas señales de test, se empleó un osciloscopio (DSO7054A InfiniiVision de Agilent) y dos generadores de funciones (DS360 de SRS y AFG3102 de Tektronix). Para la alimentación, tanto del ASIC como del generador de estímulos analógico, se emplearon fuentes de tensión estables (E3631A de Hewlett Packard). En la Fig. 5.3 se muestra una imagen de la placa de test del ASIC y, en la Fig. 5.4, una imagen más global del *setup* de test con los componentes principales.

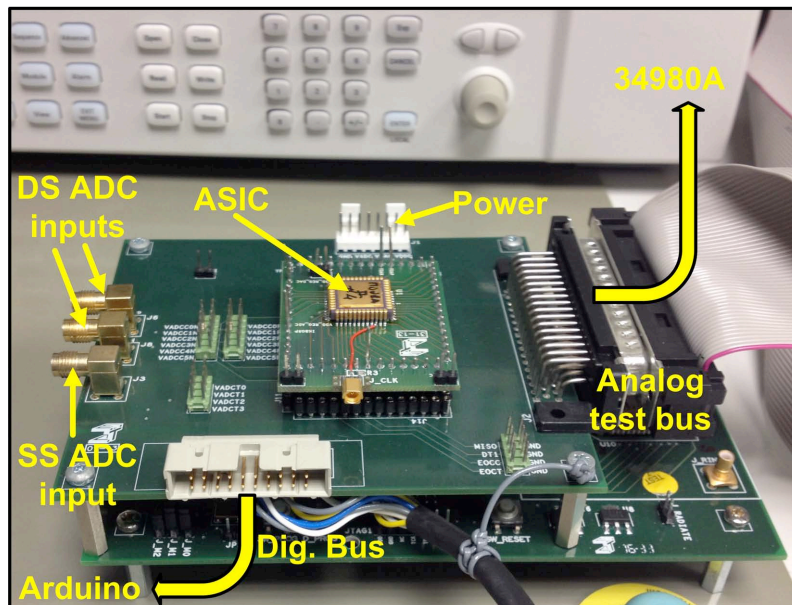


Fig. 5.3.: Imagen de la placa de test del ASIC.

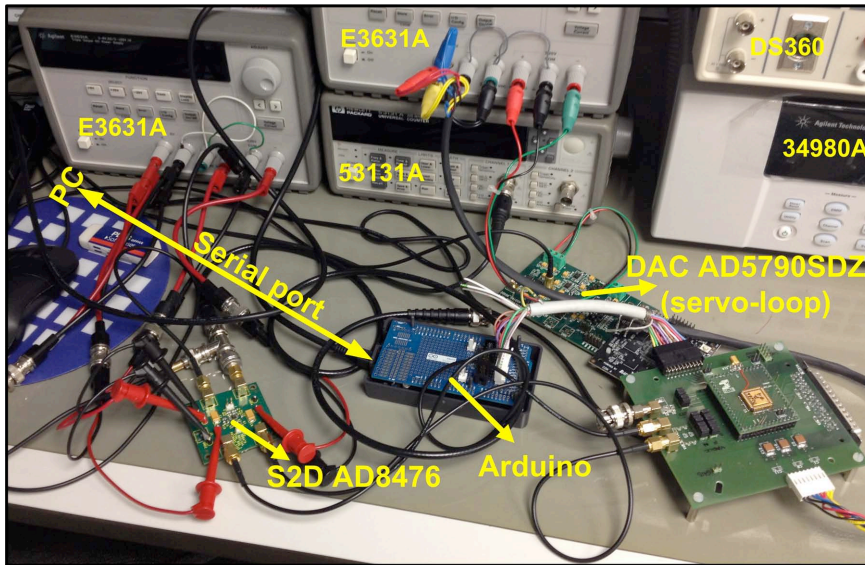


Fig. 5.4.: Imagen del *setup* de test en el laboratorio.

Con respecto a la parte *software* del *setup* de test, se desarrolló en Visual Basic una interfaz gráfica de usuario (GUI), ejecutada en el PC, la cual incluye diversos modos de funcionamiento. En el modo más básico, el cual se muestra en la Fig. 5.5, la aplicación visualiza el mapa completo de memoria de la FEE con todas las opciones de programación asociadas, de forma que el usuario puede escribir, bien de forma individual o de forma conjunta, cualquier palabra de configuración del ASIC, así como leer cualquier registro tanto de configuración como de los datos de salida de la FEE. También se pueden cargar configuraciones predeterminadas desde un fichero de texto, o bien llevar a cabo controles adicionales, como por ejemplo, el control de la temperatura (en las medidas llevadas a cabo con el sistema de control de temperatura Thermonics T-2650BV), el manejo de un reloj externo, o el control manual de las señales de inicio de conversión de los convertidores.

Por otro lado, la GUI implementada incluye también modos específicos para la realización de medidas automáticas, tanto para los ADCs como para los CS DACs seleccionados, tal y como se muestra en la Fig. 5.6. Para el caso particular de los DS ADCs, se ofrece la posibilidad de adquirir también los bits de saturación y *overflow*, así como también otras opciones adicionales como son la posibilidad de realizar mediciones o correcciones, tanto del *offset* como de la ganancia de los convertidores seleccionados, mediante la metodología descrita en la sección 4.5.2. También se ofrece la posibilidad de realizar medidas simultáneas de la señal de entrada con el instrumento de medida 34980A, con objeto de realizar comparaciones entre la adquisición realizada con la FEE y dicho instrumento de medida, permitiendo así detectar cualquier posible no idealidad asociada a la señal de entrada.

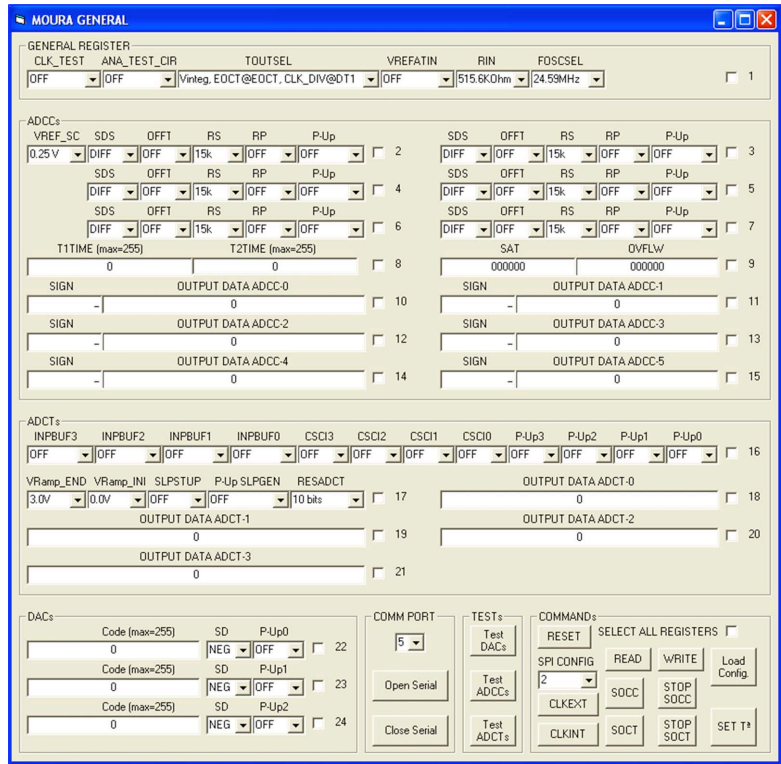


Fig. 5.5.: Imagen de la GUI implementada para el testado del ASIC.

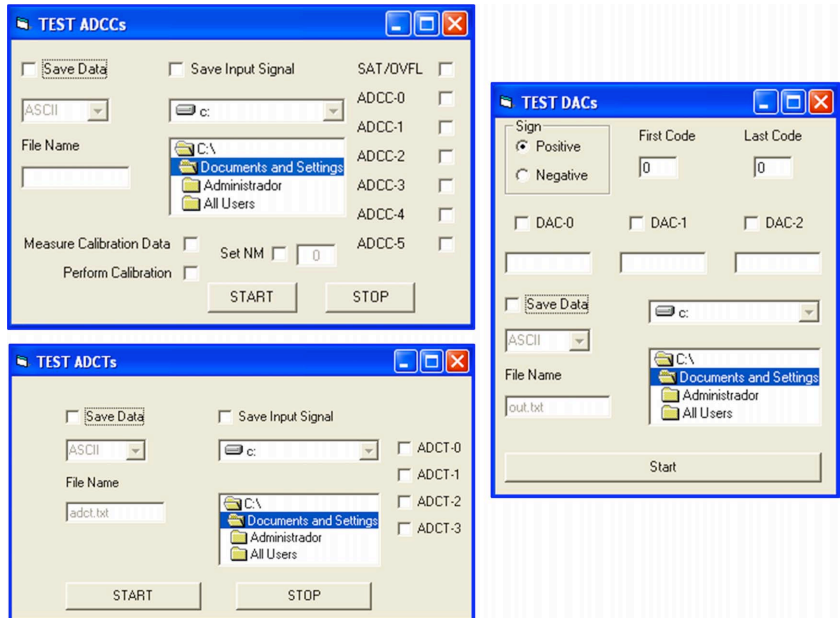


Fig. 5.6.: Ejemplo de las opciones de testado automático disponibles en la GUI implementada.

Para la interacción con el instrumento 34980A y el sistema de control de temperatura Thermonics T-2650BV, la GUI incorpora funciones específicas para la comunicación mediante el protocolo GPIB (*General Purpose Interface Bus*). Para cada una de las medidas automáticas, la GUI almacena en diversos ficheros todos los datos adquiridos, para su posterior procesamiento con Matlab.

Las mediciones de las prestaciones de los CS DACs se han realizado a través de la adquisición, mediante el instrumento 34980A, de la tensión generada en extremos de una resistencia de alta precisión de 39Ω (una resistencia por cada canal), por la que se hace pasar la corriente generada por los DACs. El valor específico de la resistencia tiene por objeto emular, en unas condiciones similares a las de peor caso, el valor de la resistencia de las bobinas de OFFSET de la familia de sensores AMR considerada para el magnetómetro MOURA. Con objeto de realizar mediciones tanto de la INL como de la DNL, así como también del error de ganancia, la GUI permite la posibilidad de generar, para cada uno de los DACs, una rampa de corriente entre un código inicial y final seleccionado por el usuario. A medida que la rampa es generada, la GUI se comunica con el instrumento 34980A para llevar a cabo la adquisición de la tensión en los extremos de las tres resistencias, una por cada CS DAC.

La medida de la INL de los CS DACs se ha realizado aplicando el método de la recta de mejor ajuste, obteniendo la INL como la diferencia entre la rampa de tensión generada y dicha recta de ajuste. Para la medida de la DNL, se mide una rampa de salida de los CS DACs en la que se recorren todos los posibles códigos, de forma que, una vez aplicadas las correcciones de *offset* y de ganancia, el valor de la DNL para cada código n viene dada por la siguiente expresión:

$$DNL(n) = \frac{V_n - V_{n-1}}{V_{LSB}} - 1; 0 < n \leq 2^{RES} - 1 \quad (5.1)$$

donde V_{LSB} se corresponde con el LSB de tensión equivalente calculado sobre la recta de mejor ajuste (con correcciones de *offset* y de ganancia).

El error de ganancia, medido en tanto por ciento del fondo de escala (FS), se ha determinado mediante la siguiente expresión:

$$Gain_{error}(\%) = 100 \cdot \left[\frac{V_{max} - V_{min}}{V_{FS}} \right] - 1 \quad (5.2)$$

donde V_{max} y V_{min} se corresponden con el valor de salida del DAC con el código máximo y mínimo, respectivamente, y V_{FS} es el valor ideal de tensión diferencial de pico a pico del FS. En la Fig. 5.7 se muestra un ejemplo de los resultados de salida obtenidos experimentalmente tras realizar el test a uno de los CS DACs.

Con respecto a los ADCs, se ha empleado una metodología de test basada en el empleo de un *servo-loop* [183]. La medida de la INL de los ADCs se ha realizado mediante una rampa de tensión de entrada generada con el DAC de test de alta resolución. Para cada uno de los

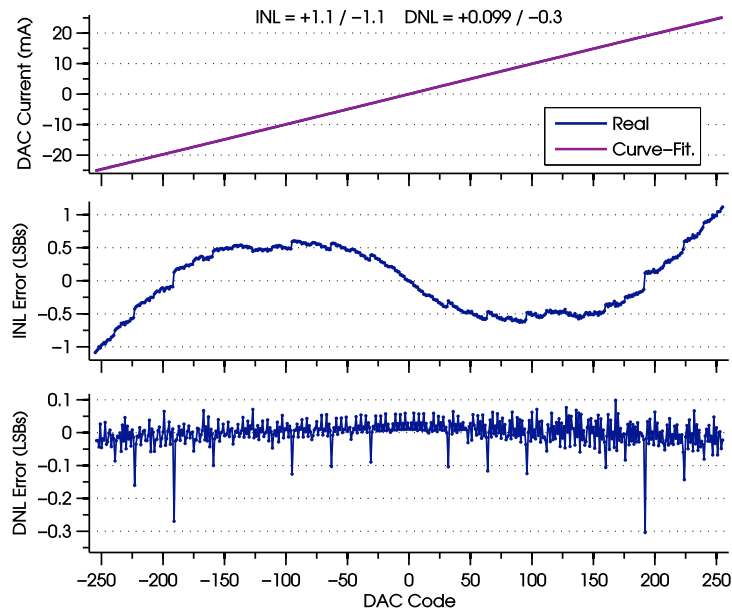


Fig. 5.7.: Ejemplo de los resultados de salida del test de un CS DAC.

escalones de tensión de entrada, cuyo valor y duración es controlada por la aplicación en el PC, se toman aproximadamente 300 muestras, de las cuales, se promedian las 280 muestras centrales para obtener el código digital asociado libre de ruido. Una vez obtenidos todos los códigos de cada uno de los escalones de la tensión de entrada, se calcula la recta de mejor ajuste de la rampa digital, determinando el error de INL como la diferencia entre la rampa digital y dicha recta de ajuste, tal y como se muestra a modo de ejemplo en la Fig. 5.8.

Los factores de corrección de los errores de ganancia, magnitud y *offset* (descritos en la sección 4.5.2) de los DS ADCs se pueden medir y aplicar de forma automática en la propia GUI durante la adquisición de los datos o, alternativamente, realizar únicamente las medidas de sus valores (N_{REF+1} , N_{REF+2} , N_M y N_{OFF} según la sección 4.5.2), para posteriormente aplicar las correcciones con Matlab a partir de dichas medidas. Para mostrar la eficiencia de la calibración, en la Fig. 5.9(a) se muestra un ejemplo del error de linealidad de un DS ADC en el que el *offset* del AO del integrador es lo suficientemente grande como para que el error de ganancia dependiente del signo de la señal de entrada tenga un efecto notorio sobre la INL global del convertidor. En la Fig. 5.9(b) se muestra el error de linealidad del mismo convertidor tras aplicar las correcciones a los errores de ganancia, magnitud y *offset* según las medidas tomadas para N_{REF+1} , N_{REF+2} , N_M y N_{OFF} .

El cálculo de la DNL de los ADCs se ha realizado a través del método del histograma o densidad de código [183]. Para ello, se ha empleado la misma configuración de test con la rampa de tensión de entrada, pero en este caso, reduciendo adecuadamente la diferencia de

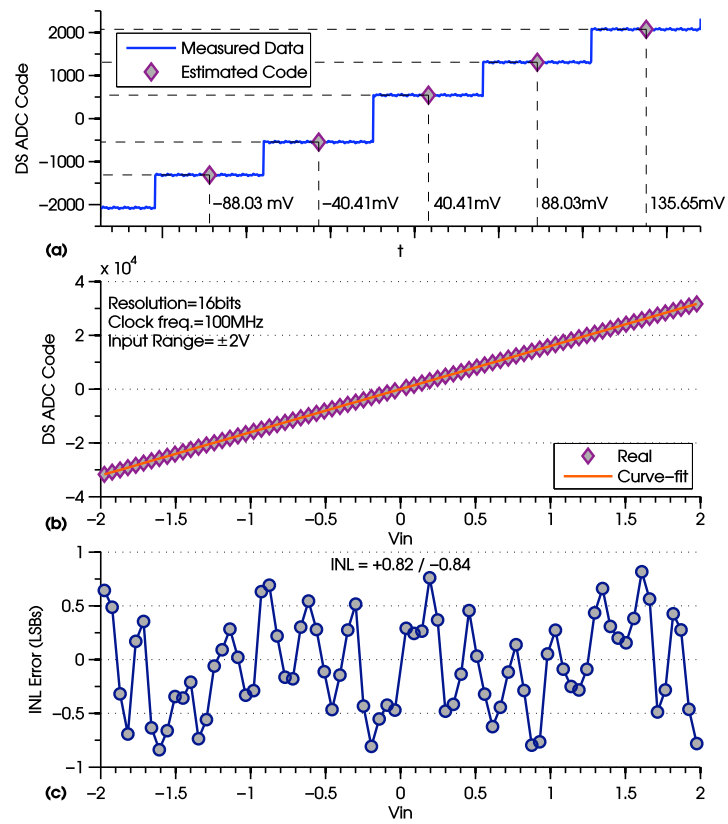


Fig. 5.8.: Ejemplo del cálculo de la INL de los ADCs con una metodología de test basada en el empleo de un *servo-loop*.

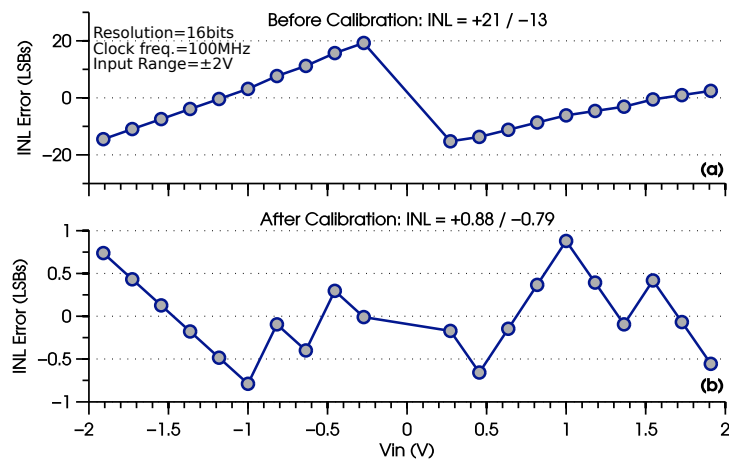


Fig. 5.9.: Ejemplo de la calibración de un DS ADC y su efecto sobre la INL global del convertidor: (a) Sin calibración. (b) Después de la calibración.

tensión entre escalones, y modificando también su duración para que, idealmente, todos los códigos de salida del ADC tengan una probabilidad de ocurrencia de k veces. De esta forma, con la rampa digital obtenida a la salida del ADC, se calcula el histograma, obteniendo el número de ocurrencias real para cada código. En caso de cubrir completamente el rango del convertidor, se deberán descartar los valores en los extremos, para eliminar el efecto de la saturación del código de salida. Una vez obtenido el histograma, el valor de la DNL para cada código n de salida es directo de determinar mediante la siguiente expresión:

$$DNL(n) = \frac{H_R(n)}{H_T(n)} - 1 \quad (5.3)$$

donde $H_R(n)$ se corresponde, para cada código n , con el número de ocurrencias obtenido del histograma medido. El valor de $H_T(n)$ se corresponde con el número de muestras teórico suponiendo una DNL e INL ideales:

$$H_T(n) = \frac{M_T}{N_T} = k \quad (5.4)$$

donde M_T es el número total de códigos adquirido y N_T se corresponde con el número total de códigos del ADC que se han recorrido con la rampa de entrada. Para el caso de los DS ADCs, el valor máximo de N_T se corresponderá con un rango entre $-2^{N-1}-2$ y $2^{N-1}-2$, siendo N el número de bits de resolución programado sin incluir el signo. Para el caso del SS ADC, el valor máximo de N_T se corresponderá con un rango entre 1 y 2^N-2 .

El número teórico o medio de ocurrencias por código, esto es, el valor de k , determina la resolución con la que se estima el valor de la DNL, de forma que su valor no debe ser pequeño. Todos los tests de medida de la DNL se han llevado a cabo con un valor de k de, al menos, 20, lo que se corresponde con una resolución para la DNL estimada de 0.05 LSBs. En la Fig. 5.10(a) se muestra un ejemplo del histograma medido para uno de los DS ADCs y, en la Fig. 5.10(b), se muestra la DNL obtenida a partir de dicho histograma según (5.3).

Finalmente, para las medidas del nivel *rms* de ruido referido a la entrada de los ADCs, también se ha hecho uso del método de test basado en el histograma. Para ello, se ha aplicado una tensión de DC a la entrada del ADC almacenando los códigos de salida. Asumiendo una función de distribución de probabilidad gaussiana para el ruido, el valor *rms* de ruido vendrá determinado por la desviación estándar (σ) de la distribución de los códigos de salida. Este ruido incluirá el ruido asociado al canal de conversión, más el ruido procedente de la señal de entrada, el cual se supondrá pequeño.

Durante los tests de ruido se emplearon diversas señales de entrada, procedentes del generador de estímulos analógico, así como también señales de tensión de referencia generadas internamente en el ASIC. En la Fig. 5.11 se muestra un ejemplo de los datos de salida obtenidos para una de las medidas de ruido de uno de los DS ADCs.

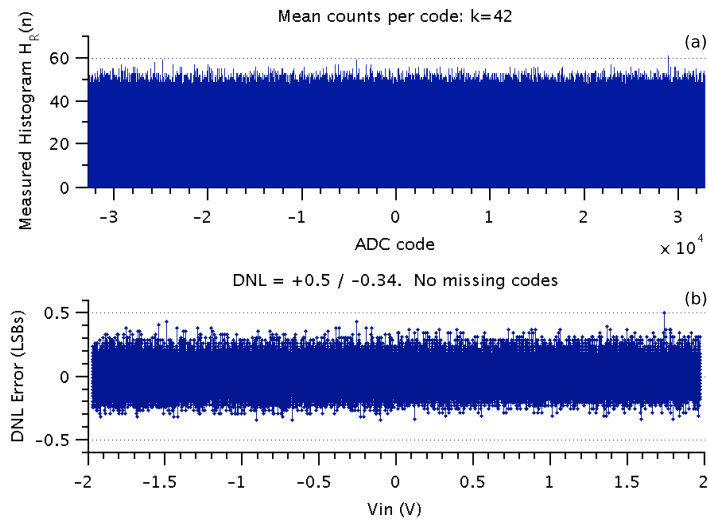


Fig. 5.10.: Ejemplo de medición de la DNL en los ADCs con $k = 42$: (a) Histograma medido. (b) Valor estimado de la DNL.

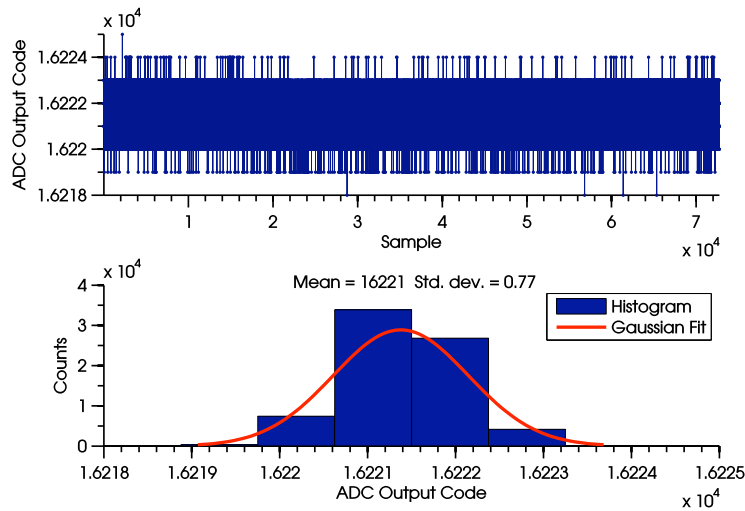


Fig. 5.11.: Ejemplo de medición del nivel *rms* de ruido equivalente en uno de los DS ADCs.

5.2.2. Resultados experimentales en condiciones nominales

En esta sección se presentan los resultados experimentales de las prestaciones obtenidas para los bloques principales que componen la FEE siguiendo la metodología descrita en la sección anterior. Este apartado está dedicado a las mediciones realizadas en condiciones nominales, es

decir, a temperatura ambiente, mientras que la sección siguiente se dedica a la verificación de dichas prestaciones en un rango extendido de temperaturas.

En la Tabla 5.1 se muestra un resumen de las prestaciones obtenidas para los DS ADCs en condiciones nominales, y para cada una de las posibles resoluciones en las que pueden ser configurados. Los resultados obtenidos se corresponden con mediciones realizadas en los convertidores de 6 muestras del ASIC, y en las condiciones más demandantes en términos de frecuencia de reloj (100 MHz) y rango de entrada ($\pm 2V$). Salvo en los casos así indicados, el AI se ha configurado con ganancia unitaria, por ser esta la configuración de peor caso en términos de linealidad. En estas condiciones, el consumo de cada canal de conversión (AI + DS ADC) es de aproximadamente 25.2 mW.

Por otro lado, dentro de las diversas posibilidades de programación disponibles para cada resolución, los resultados reportados en la Tabla 5.1 se corresponden con la configuración que emplea la resistencia del integrador más grande posible para el rango de entrada máximo. Esta configuración se corresponde, por un lado, con la de peor caso en términos de linealidad, al tener la resistencia del integrador una mayor capacidad parásita a sustrato. Por otro lado, es la que ofrece mejores prestaciones en términos de ruido, tal y como se vio en la sección 4.3.2.3. Con objeto de establecer una comparativa de ruido, también se mostrarán posteriormente resultados de ruido con configuraciones que incluyen una resistencia del integrador más pequeña.

Con respecto a los resultados obtenidos de linealidad, el error de INL se mantiene de media en torno a 1 LSB para el caso de ganancia unitaria en el AI y máxima resolución. En la Fig. 5.12 se muestra un ejemplo de la INL en uno de los convertidores medidos, y para cada una de las posibles resoluciones en las que puede ser programado.

Si bien el error de linealidad promedio para el caso de ganancia unitaria se mantiene en torno

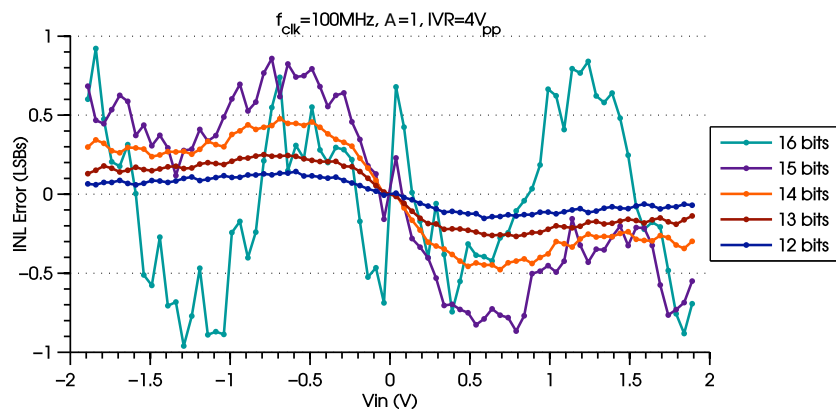


Fig. 5.12.: Resultados experimentales del error de INL medido en uno de los DS ADCs para cada una de las resoluciones en las que puede ser programado.

Tabla 5.1.: Resultados experimentales de las prestaciones de los DS ADCs.

Resoluc.	Com.	12 bits			13 bits			14 bits			15 bits			16 bits		
		min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
T. Conv. (µs)		-	51	-	-	92	-	-	174	-	-	338	-	-	502	-
INL (LSB)	A=1	-0.3	+0.10 -0.10	0.4	-0.5	+0.20 -0.15	0.7	-1.1	+0.55 -0.30	1.9	-2.2	+0.70 -0.50	3.8	-7	+0.85 -1.10	8
INL (LSB)	A=2	-0.2	+0.10 -0.10	0.2	-0.3	+0.15- 0.15	0.3	-0.5	+0.45 -0.4	0.55	-0.7	+0.6 -0.6	0.75	-0.85	+0.75 -0.6	0.9
DNL (LSB)		-0.3	+0.15 -0.10	0.3	-0.3	+0.20 -0.20	0.4	-0.4	+0.25 -0.20	0.5	-0.6	+0.35 -0.25	0.75	-0.8	+0.4 -0.4	1.1
Offset (LSB)	1σ	-8	2	10	-17	5	20	-35	12	41	-71	25	82	-142	52	163
Magnitude error (LSB)		-	±18	-	-	±18	-	-	±19	-	-	±20	-	-	±21	-
Rms Noise (LSB)		-	0	-	0.09	0.10	0.11	0.4	0.45	0.5	0.45	0.5	0.55	0.75	0.85	0.9

a 1 LSB, algunos de los DS ADCs exhiben un error de INL mayor con dicha ganancia. En la Fig. 5.13(a) se muestra un ejemplo del error de INL medido para los seis DS ADCs de una de las cuatro muestras medidas.

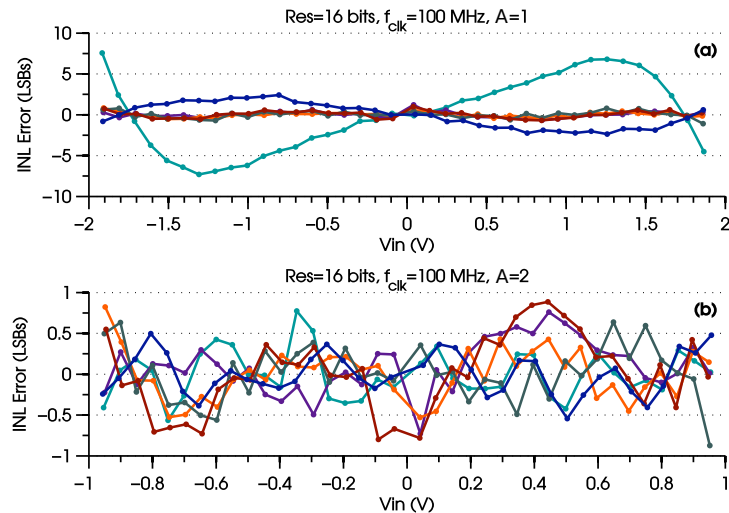


Fig. 5.13.: Resultados experimentales del error de INL medido para los 6 DS ADCs de una de las muestras con $A=1$ (a) y con $A=2$ (b).

Tal y como se analizó en la sección 4.3.1, el origen de esta no linealidad reside en la variación del *offset* de entrada de los AOs empleados en la primera etapa del AI con la señal de entrada, debido a que su etapa de entrada está implementada con sendos pares diferenciales NMOS y PMOS, con objeto de maximizar el rango de modo común de entrada. Tal y como se justificó en dicha sección, dado que con el sistema de realimentación propuesto para los sensores AMR éstos se acondicionan para operar en la región cercana al campo magnético nulo, el AI se deberá configurar con una ganancia mayor que 1 para maximizar el rango de entrada del convertidor, de forma que en estas condiciones no hay una variación significativa del *offset* con la tensión de entrada, manteniéndose, por tanto, el error de linealidad de todos los DS ADCs por debajo de 1 LSB. En la Fig. 5.13(b) se muestra de nuevo el error de linealidad de los mismos seis DS ADCs, pero en este caso para un valor de ganancia del AI igual a 2.

Por otro lado, los resultados de linealidad obtenidos permiten confirmar la eficacia de la polarización dinámica de los pozos N propuesta (ver sección 4.3.2.4) para eliminar el efecto no lineal y de memoria asociado a la capacidad parásita de la resistencia del integrador. De esta forma, con el empleo de dicha técnica, junto con el uso de un AO de alta transconductancia en el integrador, para mejorar su respuesta transitoria durante la conmutación entre las fases de conversión, se han reducido los efectos de las no idealidades en el cruce por cero de la curva de transferencia estática a un error de magnitud sistemático dependiente del signo de la señal de entrada ($\pm N_M$). En la Fig. 5.14 se muestra un ejemplo de la evolución del código de salida

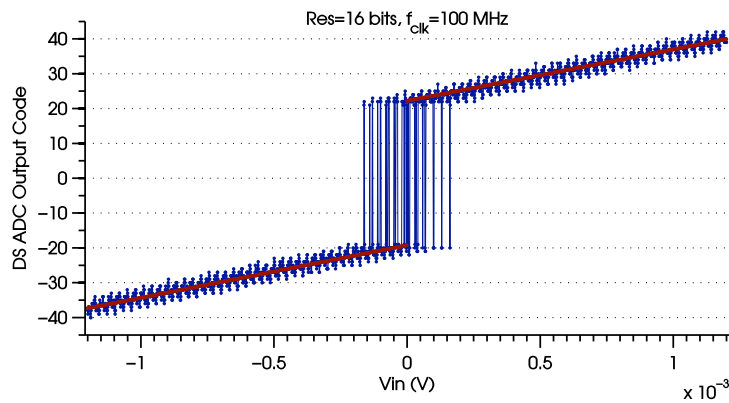


Fig. 5.14.: Resultados experimentales de la evolución del código de salida del DS ADC en el cruce por cero para una rampa de tensión de entrada.

del DS ADC en el cruce por cero para una rampa de tensión de entrada. En dicha figura se aprecia un leve rizado en el código de salida, el cual es debido al acoplo de 50 Hz de la señal de red sobre la señal de entrada. La magnitud de N_M no sufre variaciones significativas con el *mismatch*, siendo por tanto su valor constante para todos los DS ADCs y también para todas las muestras. No obstante, sí que existe una dependencia con la frecuencia de reloj programada, principalmente debido a que, a medida que la frecuencia de reloj es menor, disminuye el efecto de las no idealidades debidas a los transitorios en el integrador y el tiempo de respuesta del comparador. También existe otra cierta dependencia con la resolución programada, debido a la configuración del valor de la resistencia del integrador (ver sección 4.3.2.4). Para el caso de trabajar con la frecuencia de reloj máxima de 100 MHz, el valor medido de N_M , para una resolución de 16 bits, es de ± 21 LSBs.

Con respecto a las prestaciones de ruido, los niveles *rms* de ruido equivalente obtenidos experimentalmente se mantienen por debajo de 1 LSB. Los valores medidos son ligeramente superiores respecto de los obtenidos mediante resultados de simulación en condiciones nominales (ver sección 4.3.2.7), principalmente debido al ruido de la señal de entrada y de la fuente de alimentación, junto con el hecho de haber empleado un macromodelo del comparador del DS ADC en las simulaciones. La temperatura interna del ASIC en las mediciones realizadas experimentalmente también tiene una cierta influencia. Tal y como se analizó en detalle en la sección 4.3.2.1, para cada resolución existen diversas posibilidades de configuración del DS ADC en función de la resistencia del integrador seleccionada. Así, las configuraciones con un valor de resistencia mayor, permiten reducir el nivel de ruido, a costa de aumentar el tiempo de conversión. En la Tabla 5.2 se muestra una comparativa del nivel de ruido obtenido experimentalmente para las tres posibles configuraciones disponibles para trabajar con el DS ADC a máxima resolución, máximo rango de entrada y máxima frecuencia de conversión. Con objeto de contrastar los resultados experimentales obtenidos con el modelo de ruido planteado

en la sección 4.3.2.3, en la Tabla 5.2 también se incluyen los resultados teóricos junto con los obtenidos mediante simulación.

Tabla 5.2.: Comparativa de las prestaciones de ruido en función de la configuración seleccionada.

Resolución = 16 bit, IVR = ± 2 V, f_{CLK} = 100 MHz				
Conf. ID	Unit	16-A	16-B	16-C
R_{INT}	M Ω	4.096	2.048	1.024
N_{C1} (ciclos)	ciclos	16384	8192	4096
$\alpha \cdot V_{REF}$ (V)	V	± 1	± 0.5	± 0.25
t_{conv} (μ s)	μ s	502	419	378
Rms noise (measured data)	LSB	0.85	0.93	1.2
Rms noise (simulation data)	LSB	0.73	0.81	1.04
Rms noise (theoretical data)	LSB	0.74	0.83	1.06

La verificación de los SS ADCs se ha realizado de forma similar al caso de los DS ADCs. En la Tabla 5.3 se muestra un resumen de las prestaciones obtenidas en las seis muestras medidas en condiciones nominales y para cada una de las posibles resoluciones en las que se puede programar el convertidor. De nuevo, al igual que en el caso anterior, los resultados de la Tabla 5.3 se corresponden con las condiciones más demandantes en términos de frecuencia de reloj (100 MHz) y rango de entrada (0 - 2.8 V). En estas condiciones, el consumo de cada SS ADC de cuatro canales es de aproximadamente 10.8 mW.

El *offset* del convertidor, entendido como el valor del código de salida cuando la tensión de entrada es igual al valor inicial de la rampa, tiene dos componentes, una aleatoria debida al error de la tensión de referencia que selecciona el valor inicial de la rampa generada, y otra de origen sistemático debido al tiempo de establecimiento del generador de rampa del SS ADC a dicho valor inicial, es decir, al tiempo que transcurre desde que el convertidor conmuta a la fase activa hasta que la rampa generada alcanza el valor inicial del rango de entrada programado. Para el caso de los resultados reportados en la Tabla 5.3, dado que el valor inicial programado para la rampa se corresponde con gnd, la componente aleatoria del *offset* es, en este caso, nula. Con respecto al error de ganancia, su principal contribución está asociada a los errores de las tensiones de referencia que determinan los valores inicial y final de la rampa, así como también al error de *offset* aleatorio del *buffer* que proporciona la capacidad de *driving* al nudo capacitivo que controla la fuente de intensidad del generador de rampa (ver sección 4.4.1.1).

Con respecto a las prestaciones en términos de linealidad, el SS ADC implementado permite operar con un error de INL por debajo de 1 LSB cuando se programa con resoluciones de hasta 13 bits. En la Fig. 5.15 se muestra un ejemplo de la variación de la INL con la señal de entrada

Tabla 5.3.: Resultados experimentales de las prestaciones del SS ADCs.

Resoluc.	10 bits			11 bits			12 bits			13 bits			14 bits			15 bits		
	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.	min.	typ.	max.
T. Conv. (μ s)	-	13	-	-	23	-	-	43	-	-	84	-	-	166	-	-	330	-
INL (LSB)	-0.3	+0.22 -0.28	+0.3	-0.4	+0.20 -0.33	+0.4	-0.7	+0.28 -0.34	+0.8	-1.3	+0.99 -0.92	+1.5	-6	+3.90 -3.10	+7	-17	+14 -9.6	+20
DNL (LSB)	-0.2	+0.05 -0.05	0.2	-0.3	+0.15 -0.1	0.3	-0.4	+0.2 -0.2	0.4	-0.5	+0.3 -0.25	0.6	-0.6	+0.4 -0.3	0.8	-0.8	+0.5 -0.40	0.98
Offset (LSB)	-	16	-	-	16	-	-	16	-	-	16	-	-	16	-	-	16	-
Rms Noise (LSB)	0	0.01	0.02	0.5	0.5	0.55	0.5	0.5	0.6	0.4	0.5	0.7	0.8	0.88	1.2	1.56	1.66	1.82
Gain Error (%FS)	-0.02	0.01	0.02	-0.02	0.02	0.02	0.02	0.03	0.04	0.04	0.06	0.08	0.05	0.08	0.1	0.07	0.1	0.15

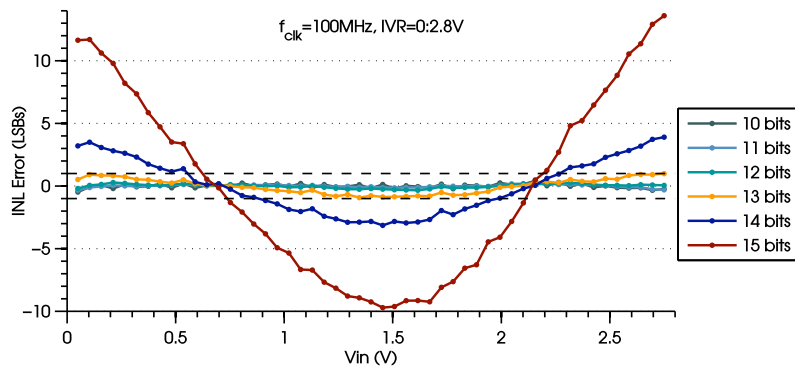


Fig. 5.15.: Medida de la INL del SS ADC en función de la resolución programada.

para las diferentes resoluciones programadas en el convertidor.

Si bien con los resultados de linealidad obtenidos se consigue cumplir, con un amplio margen, con los requisitos de resolución de 8 bits planteados para el diseño del sistema de monitorización en temperatura para el magnetómetro, cabe resaltar que para el caso de resoluciones por encima de los 13 bits, el error de linealidad es mayor de lo esperado en comparación con los resultados que se obtuvieron mediante simulación (ver Tabla 4.13) en las mismas condiciones, en los que el error máximo de INL era de ± 4 LSBs. Hasta el momento, no se ha conseguido reproducir dicho incremento del error de INL por simulación. Experimentalmente, se observó que éste es sistemático en todas las muestras, habiendo además una correlación entre el aumento de la no linealidad con la duración temporal de la fase activa de la rampa (mediante la reducción de la frecuencia de reloj), lo cual podría estar asociado a una degradación debida a la corriente de fugas. No obstante, esto fue descartado tras realizar mediciones experimentales a altas temperaturas, al no apreciarse una variación significativa de la INL con la temperatura. La hipótesis sobre la que se está trabajando actualmente es la posible existencia de un acoplo capacitivo con el nudo de control de la fuente de intensidad del generador de rampa.

Con respecto a las prestaciones en términos de ruido, los niveles *rms* de ruido equivalente obtenidos son menores que 1 LSB cuando se programa el convertidor con resoluciones de hasta 14 bits. Para el caso de máxima resolución, los niveles de ruido son algo mayores que 1 LSB, existiendo en este caso una buena correlación con respecto a los resultados obtenidos por simulación (ver sección 4.4.1.4).

Finalmente, con respecto a los CS DACs, todos los convertidores de todas las muestras medidas presentan una característica de transferencia estática monótona, y con un error de INL típico menor de 1.5 LSBs, y para el caso de conectar una resistencia de carga con un valor nominal de $39\ \Omega$ con objeto de emular las condiciones de peor caso en el valor de la resistencia de las bobinas de OFFSET de los sensores AMR considerados para el magnetómetro MOURA. En la Tabla 5.4 se muestra un resumen de las prestaciones medidas experimentalmente y,

en la Fig. 5.16, se muestra un ejemplo del error de INL y DNL para los 3 CS DACs de una de las muestras medidas.

Tabla 5.4.: Resultados experimentales de las prestaciones de los CS DACs.

Resoluc.	9 bits			
	Unit.	min.	typ.	max.
DNL	LSB	-0.8	+0.3 -0.4	0.55
INL	LSB	-2.1	± 1.4	2.1
Offset	LSB	< 0.1	< 0.1	< 0.1
Gain error	% FS	-1.5	0.1	1

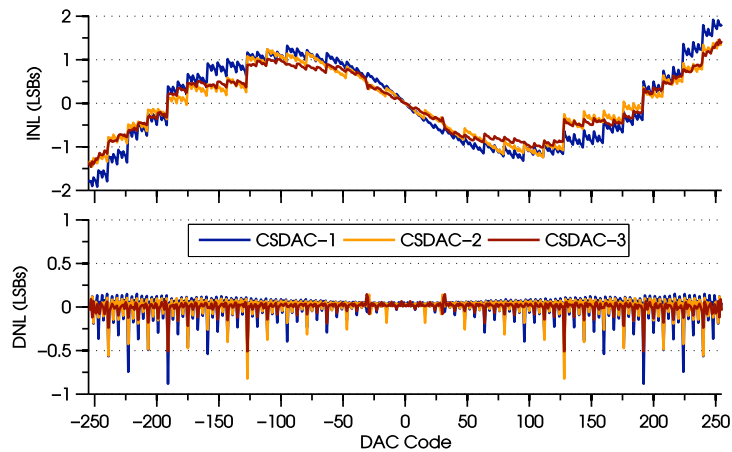


Fig. 5.16.: Medida de la INL y DNL de los 3 CS DACs de una de las muestras medidas.

5.2.3. Efectos de las variaciones en temperatura

Para la caracterización de las prestaciones del ASIC en función de la temperatura, se llevaron a cabo medidas experimentales empleando el instrumento Thermonics T-2650BV en un rango de temperaturas entre -25 y 125 °C. Por debajo de -25 °C no se pudo continuar la caracterización con dicho instrumento, debido a la formación de cristales de hielo susceptibles de provocar un cortocircuito en el ASIC. No obstante, los resultados obtenidos durante la caracterización previa de la tecnología a bajas temperaturas [36], la cual se llevó a cabo con temperaturas de hasta -110 °C mediante el uso de una cámara climática en las instalaciones del INTA, permitió confirmar que los parámetros proporcionados por la *foundry* siguen siendo válidos y modelan de forma adecuada el comportamiento de los transistores y resistencias en

el rango de temperaturas extendido. De esta forma, el hecho de que los modelos eléctricos proporcionados por la *foundry* sigan siendo válidos a temperaturas menores que el límite inferior de $-40\text{ }^{\circ}\text{C}$ para el que la *foundry* asegura su validez, permite suponer que, a estas temperaturas bajas, el comportamiento será acorde a los resultados obtenidos en las simulaciones eléctricas obtenidas en el capítulo anterior.

Para el caso de los DS ADCs, las medidas experimentales en el rango de temperaturas entre -25 y $125\text{ }^{\circ}\text{C}$ no reportaron variaciones significativas respecto de los resultados reportados en la Tabla 5.1 para condiciones nominales. Dada la inherente insensibilidad de la arquitectura de doble rampa a las fluctuaciones en los valores de sus componentes, las variaciones con la temperatura de, por ejemplo, el valor de la resistencia del integrador o de la frecuencia de reloj, son canceladas, proporcionando altos niveles de estabilidad del código de salida. De esta forma, la estabilidad con la temperatura queda limitada fundamentalmente por la variación de la ganancia del convertidor debido a la fluctuación de su tensión de referencia, variación que a su vez está asociada con la estabilidad de la tensión de referencia de *bandgap* con la temperatura. En la Fig. 5.17 se muestra un ejemplo de los resultados experimentales de la variación porcentual de la ganancia de uno de los DS ADCs en función de la temperatura, con respecto a su valor nominal a $25\text{ }^{\circ}\text{C}$. En la Fig. 5.17 también se representa la variación porcentual de la tensión de *bandgap* en las mismas condiciones, de forma que se pueda confirmar la correlación existente entre la deriva de ambas magnitudes con la temperatura. En resumen, la variación de la ganancia del convertidor como tal, es decir, excluyendo la variación de la tensión de referencia, es despreciable frente a la variación de dicha tensión de referencia.

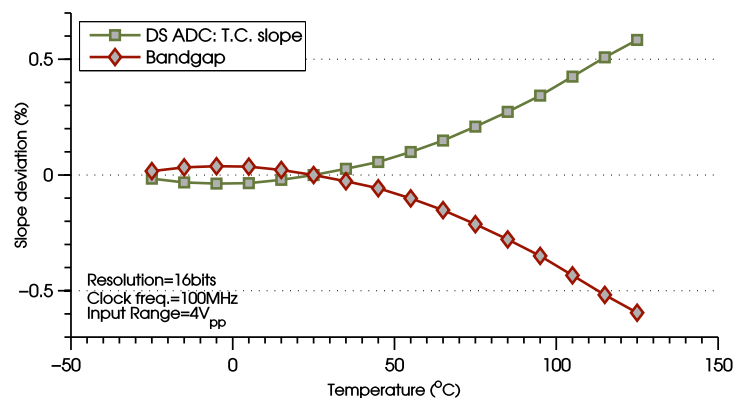


Fig. 5.17.: Variación porcentual de la ganancia del DS ADC con la temperatura con respecto a su valor nominal a $25\text{ }^{\circ}\text{C}$.

Por otro lado, si bien la variación de la ganancia en el rango entre -25 y $125\text{ }^{\circ}\text{C}$ es relativamente pequeña, con una desviación máxima del 0.6% con respecto a su valor nominal, cabe resaltar que, dado que las medidas que se llevan a cabo con los sensores AMR son medidas por relación, es decir, el puente de Wheatstone se encuentra polarizado por una versión proporcional

de la tensión de referencia del DS ADC, incluso esta ligera desviación en la ganancia, asociada a la variación de la tensión de referencia con la temperatura, se cancelará en la relación entre campo magnético y código digital de salida, tal y como se analizó con más detalle en la sección 4.4. Además, la variación de la sensibilidad de los sensores AMR con la temperatura será, en general, la que domine en dicha relación.

Con respecto a los SS ADCs, las medidas en temperatura tampoco reportaron variaciones significativas con respecto a los resultados obtenidos en condiciones nominales y mostrados en la Tabla 5.2. Si bien la arquitectura convencional de un convertidor de rampa simple puede resultar sensible a las fluctuaciones de los valores de sus componentes, dada la naturaleza adaptativa del lazo de realimentación propuesto para la generación de la rampa, ésta resulta insensible a cualquier tipo de fluctuación, con excepción de las variaciones asociadas con las tensiones de referencia que establecen el rango de excursión de la rampa. De esta forma, de nuevo, la estabilidad del código de salida del SS ADC con la temperatura está únicamente limitada por las fluctuaciones de la propia tensión de *bandgap*. En la Fig. 5.18 se muestran medidas experimentales de la variación porcentual de la ganancia del SS ADC en función de la temperatura respecto del valor nominal a 25 °C, junto con la variación porcentual de la tensión de *bandgap* en las mismas condiciones. Tal y como se aprecia en la Fig. 5.18, de nuevo existe una alta correlación entre la variación de la ganancia y la tensión de *bandgap*, lo cual permite confirmar que el lazo adaptativo en el generador de rampa está funcionando correctamente.

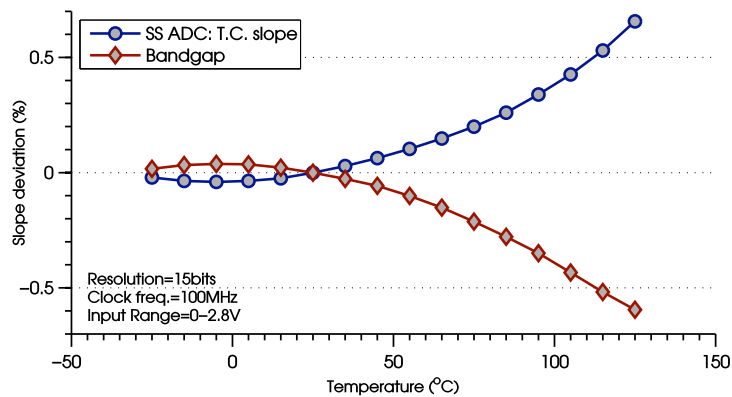


Fig. 5.18.: Variación porcentual de la ganancia del SS ADC con la temperatura con respecto a su valor nominal a 25 °C.

Finalmente, con respecto a los CS DACs, la principal fuente de variación con la temperatura está asociada a las fluctuaciones de la corriente de referencia empleada, la cual se genera a través de una resistencia externa, de bajo coeficiente térmico, en combinación con una tensión de referencia interna generada a partir de la tensión de *bandgap* y un lazo de realimentación. La variación de esta corriente de referencia con la temperatura provoca una variación de la

ganancia de los CS DACs. En todas las muestras medidas, la desviación máxima de la ganancia con respecto a su valor nominal a 25 °C es siempre menor del 0.5 %. Las consideraciones y resultados son los mismos a los ya expuestos para los DS ADCs y SS ADCs, y por idénticos motivos.

5.3. Caracterización de las prestaciones frente a los efectos de la TID

5.3.1. Metodología de medida

Los tests para la evaluación de las prestaciones de la FEE frente a los efectos de la TID se han llevado a cabo en el laboratorio de radiación (RADLAB) del Centro Nacional de Aceleradores (CNA-CSIC) en Sevilla, mediante el empleo de una fuente de ^{60}Co . El ^{60}Co es un isótopo radiactivo que decae por desintegración beta al isótopo estable ^{60}Ni . Durante el proceso de desintegración, el ^{60}Co produce la emisión de un electrón con una energía de 315 keV. Seguidamente, el núcleo activado de ^{60}Ni produce la emisión de dos rayos gamma con energías respectivas de 1.17 y 1.33 MeV [184].

El instrumental empleado consiste en el irradiador Gammabeam ® X200 (GBX200) de Best Theratronics. Este equipo utiliza un cabezal rotatorio de acero, rodeado de un recubrimiento de plomo y tungsteno, que alberga la fuente de ^{60}Co . La disposición del cabezal se varía mediante un pistón neumático, con objeto de conmutar entre la posición de reposo y la de exposición. En esta última, el haz de rayos gamma pasa a través de una apertura cónica y un colimador ajustable, lo cual permite variar el área expuesta a la irradiación, con un valor máximo de 140 x 140 cm².

La fuente radiactiva instalada en el GBX200 del CNA cuenta con una actividad de 307 TBq¹. Variando la distancia de la muestra a la fuente, junto con la posibilidad de emplear atenuadores de plomo, el instrumento es capaz de cubrir un amplio rango para la tasa de dosis, desde los 5 rad/hora hasta los 40 krad/hora. Los procedimientos de calibración y dosimetría llevados a cabo por el CNA cumplen con los protocolos y normativas vigentes, así como también con la normativa especificada en los estándares de la Agencia Espacial Europea (ESA) relativa a la metodología de test y cualificación de dispositivos electrónicos frente a la TID para aplicaciones espaciales [185]. En la Fig. 5.19 se muestra una imagen del GBX200 empleado en las instalaciones del CNA.

En los tests llevados a cabo se irradiaron 4 muestras del ASIC. La campaña de irradiación tuvo dos fases consecutivas en cuanto a tasa de radiación se refiere, las cuales fueron planificadas

¹ Medida correspondiente a comienzos de 2015. El becquerel es una unidad del Sistema Internacional que mide la actividad radiactiva, y se define como la actividad de una cantidad de material radiactivo con una tasa de decaimiento de un núcleo por segundo.

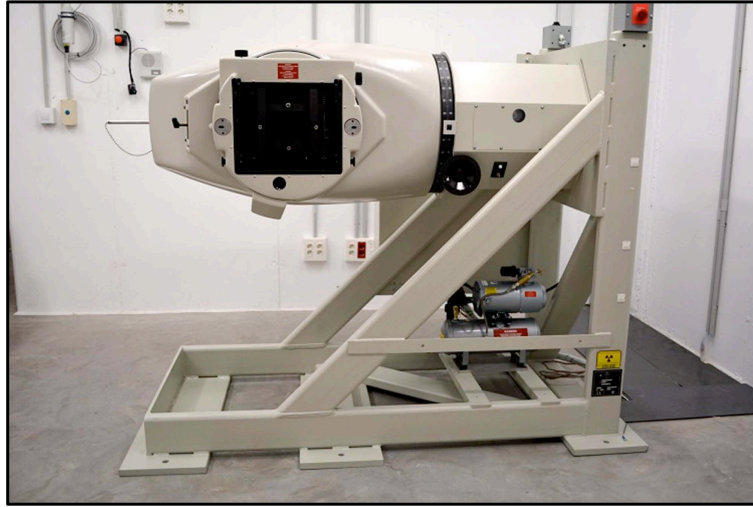


Fig. 5.19.: Instrumento Gammabeam ® X200 empleado para los tests de TID.

en función de la disponibilidad de las instalaciones en el CNA. Durante la primera fase, las muestras se irradiaron durante 733 horas con una tasa de dosis de 217 rad/hora, alcanzando una dosis total acumulada de aproximadamente 160 krad. A continuación, se inició una nueva irradiación con una tasa de dosis de 1209 rad/hora durante 133 horas, alcanzando una tasa de dosis total acumulada de aproximadamente 320 krad. Dada la disposición espacial de las muestras, el nivel de radiación al que se expusieron cada una de ellas fue ligeramente distinto. En la Tabla 5.5 se indica de forma más precisa la evolución de la dosis total acumulada de cada una de las muestras.

Tabla 5.5.: Resumen de la dosis total acumulada por cada una de las muestras durante la campaña de irradiación.

Irradiation Campaign					
Sample Id.	#4	#5	#6	#7	Time step (hours)
Dose rate (rad/hour)	218.4	221	224	221.7	
	40.65	41.12	41.68	41.25	186.08
	70.21	71.03	72	71.25	321.42
Total dose (krad)	100.21	101.38	102.77	101.69	458.77
	135.01	136.58	138.45	137.01	618.07
	160.08	161.95	164.16	162.45	733.31
Dose rate (rad/hour)	1193.9	1207.8	1224.3	1211.5	
	214.0	216.5	219.47	217.17	778.5
Total dose (krad)	232.69	235.40	238.63	236.13	794.1
	318.98	322.71	327.12	323.70	866.16

Todo el proceso de irradiación fue continuado y únicamente interrumpido por las 7 paradas intermedias para la toma de medidas, las cuales tuvieron una duración aproximada de 5 horas. Como condición de peor caso, no se llevó a cabo ningún tipo de *annealing* durante las paradas intermedias. En la Fig. 5.20 se muestra una imagen representativa del *setup* de medida en el laboratorio de radiación [184]. Tal y como se aprecia en la figura, además de las muestras correspondientes al presente ASIC, se aprovechó la disponibilidad de las instalaciones para irradiar otros ASICs diseñados por el grupo de investigación.

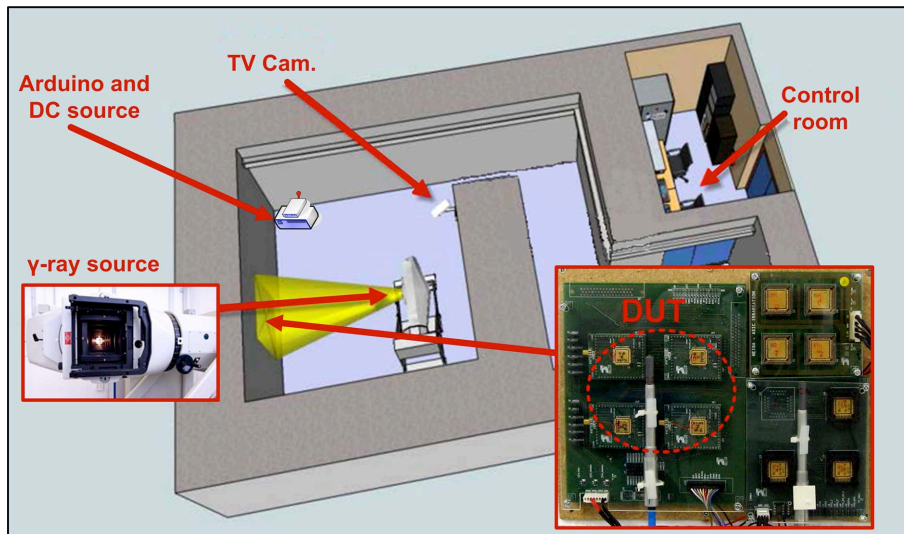


Fig. 5.20.: Esquema representativo del *setup* de test en el laboratorio de radiación del CNA [184].

Durante todo el proceso de irradiación, el ASIC se configuró para estar completamente operativo. De esta forma, todos los canales de conversión, tanto de doble rampa como de rampa simple, se programaron para realizar conversiones de forma continua en la configuración más demandante en términos de resolución, frecuencia de reloj y rango de entrada. Para la señal de entrada de los ADCs, se conectó una tensión de DC a mitad del rango de medida. Los CS DACs se programaron con una corriente de salida a mitad del fondo de escala.

Para llevar a cabo el control del ASIC durante los tests de radiación, se empleó de nuevo la placa de desarrollo Arduino Due, la cual se situó fuera del campo de acción del haz de radiación, al igual que la fuente de estímulos empleada para la generación de las señales de entrada y la polarización del ASIC. En este caso, las funciones del Arduino fueron las de cargar la configuración en el ASIC, así como enviar y recibir, respectivamente y de forma periódica, las señales de inicio y fin de conversión de los ADCs. También se incluyó una rutina de *reset* y de reconfiguración automática para dar cuenta de cualquier posible error por el cual el ASIC dejase de enviar alguna de las señales de fin de conversión. También se dispuso un testigo luminoso en el Arduino con objeto de poder monitorizar de forma periódica, y a través de la

cámara de vigilancia, la correcta operación durante el testado.

En el siguiente apartado se presentan y analizan los resultados obtenidos durante la campaña de irradiación.

5.3.2. Resultados experimentales

La metodología de medida llevada a cabo durante las paradas intermedias fue la misma que la empleada durante los tests en condiciones nominales de la sección 5.2.2. Como primer resultado cualitativo, cabe resaltar que las cuatro muestras se mantuvieron completamente funcionales y operativas a la máxima frecuencia de reloj durante todo el proceso de irradiación, y sin que se produjera ningún tipo de error. De esta forma, no fue necesario disminuir la frecuencia de reloj y, por tanto, llevar a cabo ningún tipo de reconfiguración en los convertidores de la FEE.

En la Fig. 5.21(a) se muestra la evolución del consumo del ASIC en función de la TID para las cuatro muestras medidas. Las medidas se corresponden con la configuración por defecto del ASIC, es decir, tras realizar un *reset* general de la FEE. En la Fig. 5.21(b) se muestra también el promedio entre las cuatro muestras de la variación porcentual con la TID del consumo máximo del ASIC con respecto a su valor nominal previo a la irradiación (161.4 mA).

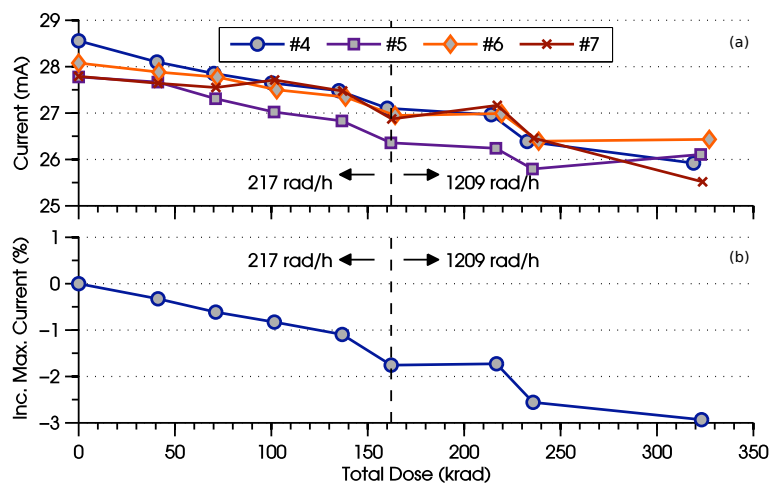


Fig. 5.21.: (a) Evolución del consumo de corriente con la TID en la configuración por defecto para cada una de las muestras medidas. (b) Promedio de la variación porcentual con la TID del consumo máximo del ASIC con respecto a su valor nominal previo a la irradiación (161.4 mA).

Tal y como se aprecia en ambas figuras, a medida que la dosis total acumulada es mayor, se aprecia una disminución del consumo del ASIC. Tal y como se analizó en la sección 2.4, la TID induce un incremento en el valor absoluto de la tensión umbral de los transistores

MOS, así como también una progresiva degradación de su transconductancia. Por otro lado, los resultados experimentales de la caracterización de la tecnología [35, 36], descritos brevemente en el capítulo 2, evidenciaron que, para el caso de los transistores de óxido fino, la variación de la tensión umbral era prácticamente despreciable, siendo más significativa en los transistores de óxido grueso. Para el caso del presente diseño, únicamente se han empleado transistores de óxido grueso en la implementación de los tres reguladores de tensión, así como en los dos generadores de tensión de *bandgap*.

La disminución observada en el consumo del ASIC con la TID se encuentra dentro de los márgenes esperados según los datos de caracterización de la tecnología, siendo la principal contribución la asociada a la degradación de la tensión umbral y la transconductancia en los transistores de óxido grueso de los reguladores de tensión, junto con la degradación de la transconductancia en los transistores de óxido fino. Por otro lado, al no haber un incremento en el consumo, o al estar éste enmascarado por el efecto de la degradación de la transconductancia, no se aprecia una influencia significativa de la corriente de fugas inducida por la TID, lo cual permite confirmar también la eficacia de las técnicas de *layout* empleadas para minimizar dichos efectos (ver sección 4.6.1).

Con respecto al oscilador interno, en la Fig. 5.22(a) se muestra, para las cuatro muestras medidas, la evolución con la TID de la frecuencia de reloj cuando se configura este a máxima frecuencia. Las medidas realizadas a menor frecuencia exhibieron un comportamiento similar. En la Fig. 5.22(b) se muestra también el valor promedio, para las cuatro muestras medidas, de la variación porcentual frente a la TID con respecto a su valor nominal en la configuración de 100 MHz. Tal y como se aprecia en ambas figuras, también existe una degradación de la frecuencia del oscilador de hasta un 2.4%. Este efecto está principalmente asociado a un incremento en el tiempo de retardo de la cadena de inversores que regeneran la señal de salida del comparador en el oscilador de relajación (ver sección 4.3.2.6), el cual, a su vez, tiene su origen en la degradación inducida tanto de la transconductancia como de la tensión umbral de los transistores, siendo más significativa la asociada con la variación de la transconductancia, en base a los datos de caracterización de la tecnología.

Otro de los bloques analizados se corresponde con el generador de tensión de *bandgap*. En la Fig. 5.23 se muestra su evolución con la TID para las cuatro muestras medidas, obteniéndose una desviación máxima menor del 0.3% con respecto al valor nominal previo a la irradiación. La tensión de *bandgap* medida se corresponde con la empleada en los reguladores de tensión de los ADCs. La evolución observada con la TID es similar a los resultados experimentales reportados por otros autores [186, 187], estando principalmente asociada a variaciones, tanto de la ganancia en corriente como de la corriente de fugas, en los transistores bipolares que forman parte del circuito de *bandgap*. También existe una cierta dependencia con la tasa de dosis [188], que tiende a incrementar la evolución abrupta que se observa en la Fig. 5.23 al conmutar a una tasa de irradiación mayor. Por otro lado, tal y como se analizó en el capítulo 2,

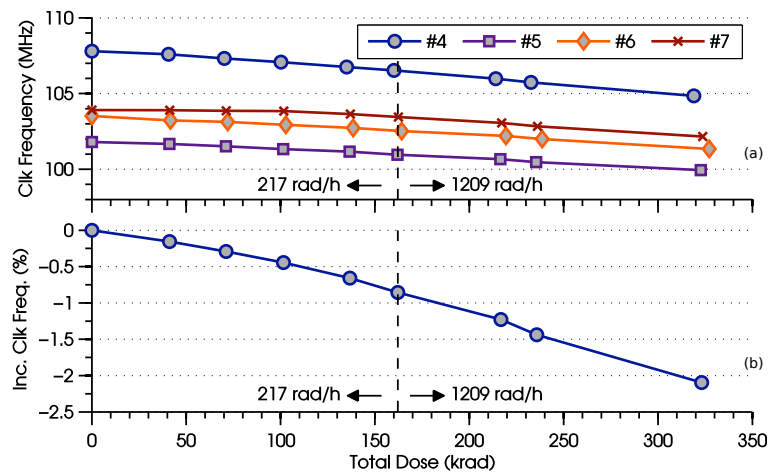


Fig. 5.22.: (a) Evolución de la frecuencia del oscilador interno (configurado a máxima frecuencia) con la TID para cada una de las muestras medidas. (b) Promedio de la variación porcentual con la TID de la frecuencia del oscilador con respecto a su valor nominal.

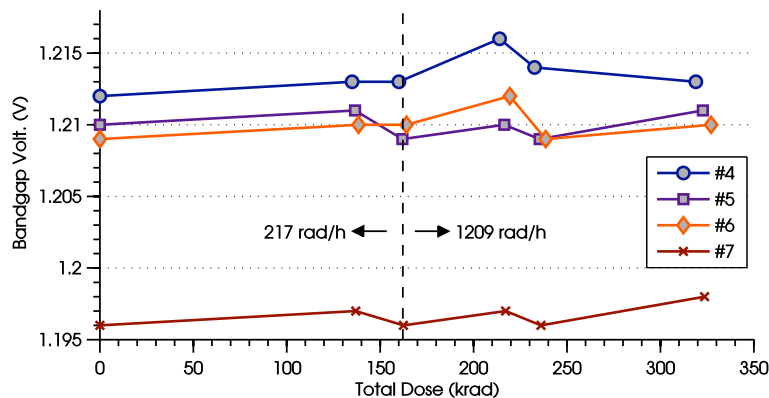


Fig. 5.23.: Evolución de la tensión de *bandgap* con la TID para cada una de las muestras medidas.

los transistores de óxido grueso, empleados en el circuito de *bandgap*, son más sensibles a los efectos de la TID, especialmente a tasas de dosis altas, y principalmente debido al incremento de huecos atrapados en el óxido de puerta. De esta forma, la conmutación a una tasa de dosis mayor, puede producir también variaciones abruptas en la tensión umbral de estos transistores, incluyendo un posible efecto de rebote en la tensión umbral de los transistores NMOS.

Con respecto a los canales de conversión implementados con la arquitectura de doble rampa, los resultados de la caracterización frente a la TID no han reportado desviaciones importantes en las prestaciones con respecto a los resultados obtenidos en condiciones nominales. En la Fig. 5.24 se muestra un ejemplo representativo de la evolución de la INL y la DNL para uno de los canales de conversión medidos, donde se aprecia un incremento en el error máximo de

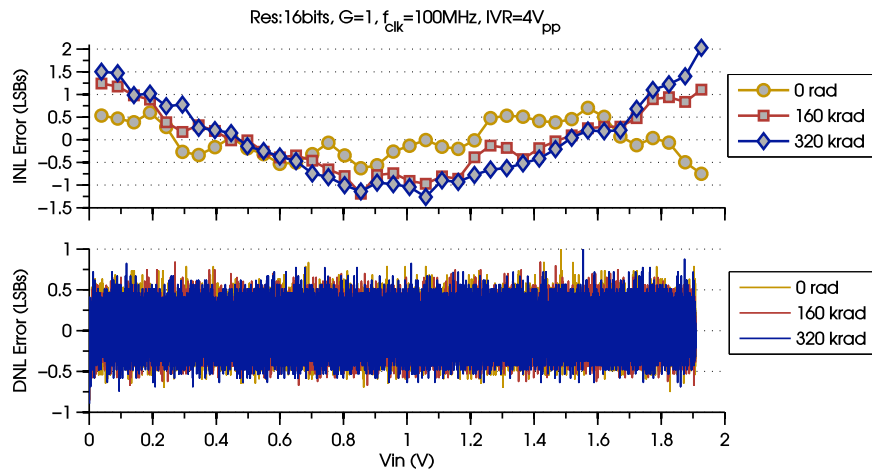


Fig. 5.24.: Evolución con la TID de la INL y la DNL de un canal de conversión DS ADC.

INL de aproximadamente 1 LSB.

Con respecto al error de magnitud dependiente del signo de la señal de entrada, no se han observado variaciones con respecto al valor nominal, manteniéndose, para todas las muestras, en el valor constante de ± 21 LSBs durante todo el proceso de irradiación. El *offset* del convertidor, asociado a las variaciones de *mismatch*, tampoco ha sufrido de variaciones significativas.

En la Fig. 5.25(a) se muestra el promedio de la variación del nivel de ruido *rms* equivalente, correspondiéndose los resultados con la configuración 16-A de la Tabla 5.2. En este caso, más allá de un ligero aumento de 0.03 LSBs, no se ha observado una variación significativa de las prestaciones de ruido de los DS ADCs con la TID.

Para el caso de la ganancia del convertidor, la Fig. 5.25(b) muestra el promedio de su variación porcentual con respecto al valor nominal previo a la irradiación, con una desviación máxima menor del 0.35%. De forma similar al caso de la caracterización en temperatura, en este caso también se observa una alta correlación entre la variación de la ganancia y la tensión de referencia del convertidor, a su vez obtenida de la tensión de referencia de *bandgap* (Fig. 5.23), de forma que con la realización de medidas por relación (ver sección 4.4) para los canales de conversión de los sensores AMR, se asegura una alta estabilidad del código de salida con la TID. Con respecto a la linealidad, la Fig. 5.25(c) muestra el valor medio en el incremento del error máximo de INL con respecto al valor nominal, observándose un incremento gradual con la TID, alcanzando un máximo de 1.25 LSBs a 320 krad.

Para el caso de los SS ADCs, los resultados obtenidos evidencian una evolución de las prestaciones con la TID muy similar a la obtenida con los DS ADCs. En la Fig. 5.26 se muestra un ejemplo de la evolución de la INL y la DNL para uno de los canales de conversión, siendo únicamente destacable un incremento de 1.5 LSBs en el error máximo de INL.

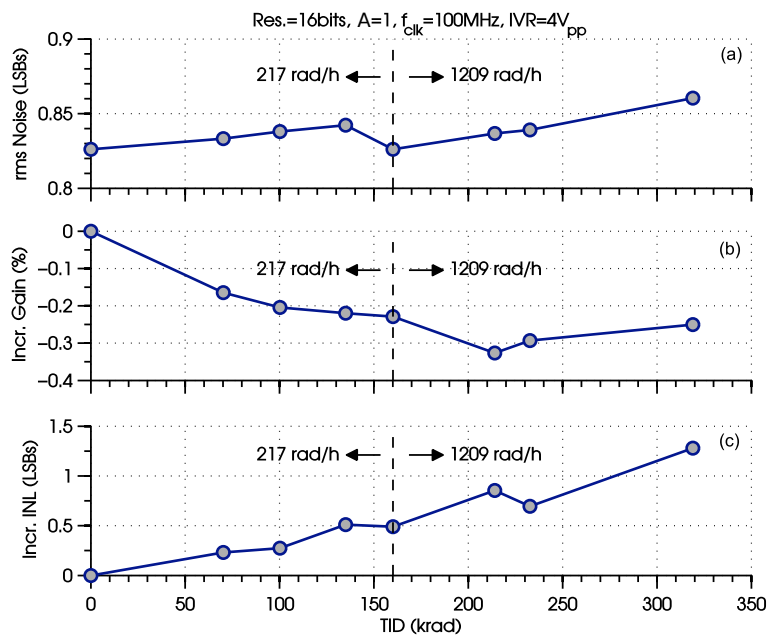


Fig. 5.25.: Variación media con la TID en los DS ADCs: (a) nivel de ruido *rms*, (b) variación con la ganancia respecto del valor nominal, y (c) variación del error máximo de INL con respecto al valor nominal.

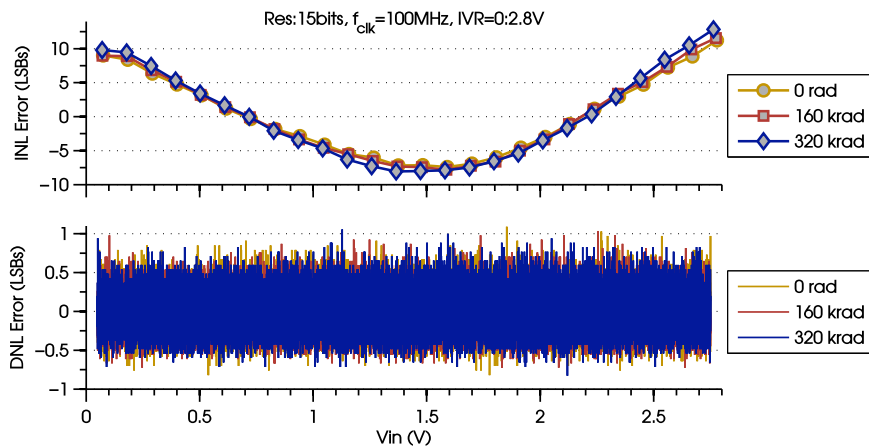


Fig. 5.26.: Evolución con la TID de la INL y la DNL de un canal de conversión SS ADC.

De forma equivalente al caso anterior, en la Fig. 5.27 también se presenta la evolución media de las principales características del convertidor, en base a las medidas tomadas de todos los convertidores de todas las muestras. En este caso, de nuevo se observa una alta estabilidad en las prestaciones de ruido (Fig. 5.27(a)), no apreciándose variaciones significativas del nivel *rms* de ruido equivalente. La variación de la ganancia del convertidor con la TID (Fig. 5.27(b))

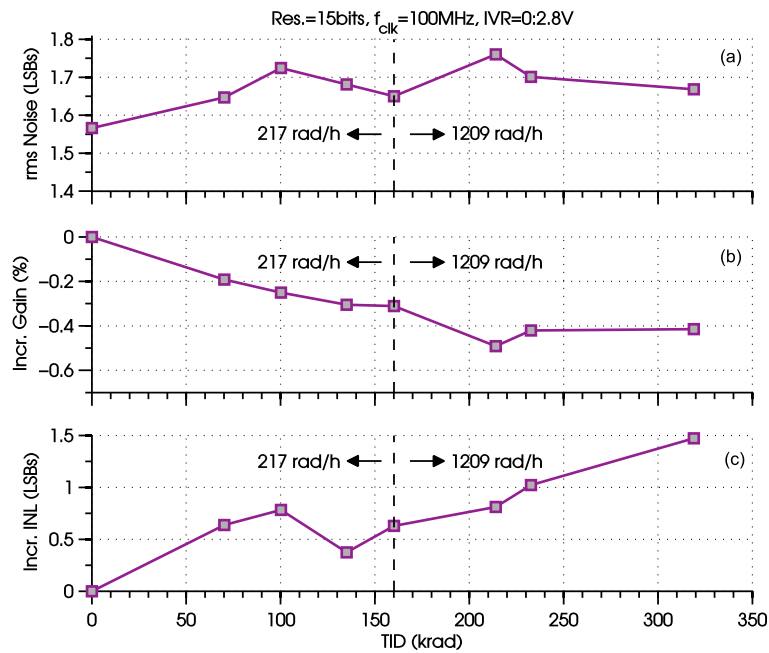


Fig. 5.27.: Variación media con la TID en los SS ADCs: (a) nivel de ruido *rms*, (b) variación con la ganancia respecto del valor nominal, y (c) variación del error máximo de INL con respecto al valor nominal.

exhibe una tendencia similar a la observada en los convertidores de doble rampa, en este caso con una desviación máxima de aproximadamente el 0.5% con respecto al valor previo a la irradiación. Con respecto al incremento en el error de INL, también en este caso la tendencia observada es muy similar al caso de los convertidores de doble rampa, con un incremento máximo en el error de INL de 1.5 LSBs.

Con respecto a los CS DACs, también se han obtenido niveles muy altos de estabilidad frente a la TID. En la Fig. 5.28 se muestra un ejemplo de la evolución con la TID de la INL y la DNL para uno de los convertidores medidos. Todos los convertidores han mantenido la característica de transferencia estática monótona durante todo el proceso de irradiación. De forma similar a los casos anteriores, en la Fig. 5.29 también se presentan medidas de la evolución media de la ganancia (Fig. 5.29(a)), así como también del incremento en el error máximo de INL (Fig. 5.29(b)), en función de la TID y con respecto a los resultados en condiciones nominales. La variación máxima de la ganancia en todo el rango de TID es del orden del 0.2% del fondo de escala.

Tras la finalización de la campaña de irradiación, se realizó un último paso consistente en la aplicación de un proceso de *annealing*, a 100 °C durante 168 horas, para las muestras irradiadas, las cuales se mantuvieron polarizadas durante todo el proceso. Tal y como se analizó

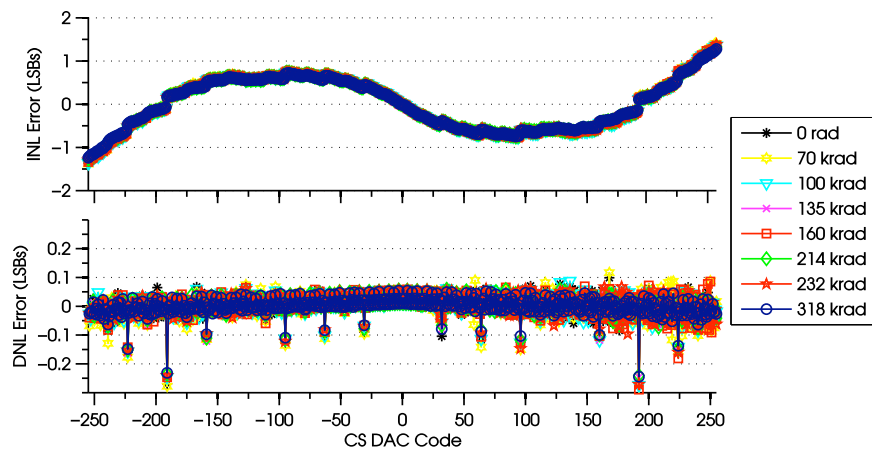


Fig. 5.28.: Evolución con la TID de la INL y la DNL de un CS DAC.

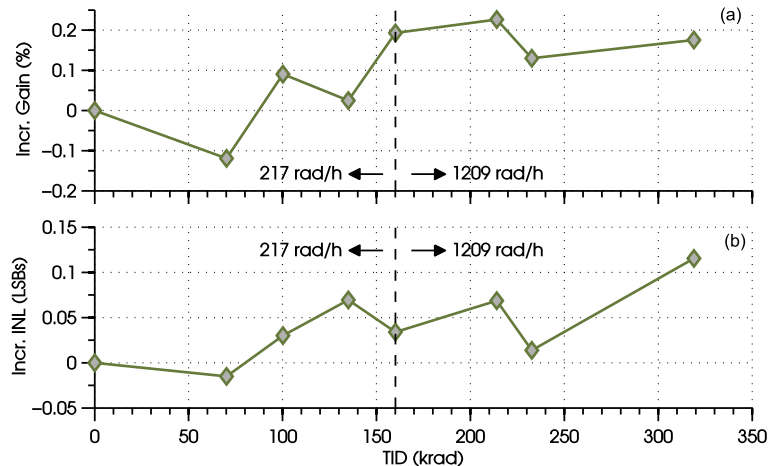


Fig. 5.29.: Variación media con la TID en los CS DACs: (a) variación de la ganancia respecto del valor nominal, y (b) variación del error máximo de INL con respecto al valor nominal.

en el capítulo 2, el objetivo del *annealing* es el de realizar una estimación más precisa de los efectos inducidos por la TID para el caso de un tasa de dosis más baja, obteniendo unos resultados más representativos para las condiciones ambientales esperadas durante la operación del instrumento en el espacio, y más concretamente en Marte.

En otros ambientes más agresivos, como pueden ser la órbita terrestre a media altura (MEO), o entornos de operación asociados a Júpiter y sus lunas, se pueden alcanzar niveles de TID superiores a los 3 Mrad/año, de forma que los resultados experimentales con una tasa de dosis mayor serán más representativos.

Los resultados obtenidos tras el *annealing*, evidenciaron una ligera recuperación general de

la degradación inducida. Como resultados más notables, cabe destacar una recuperación en la variación del consumo de corriente, el cual pasó del 3% al 1.8% tras realizar el *annealing*. También se observó una recuperación en el incremento del error de INL de los ADCs. Para el caso de los DS ADCs, éste pasó de 1.25 LSBs a 0.75 LSBs, mientras que para el caso de los SS ADCs, se pasó de 1.5 LSBs a 1.1 LSBs. El incremento en el error de ganancia también mejoró ligeramente, pasando del 0.25% al 0.2% para el caso de los DS ADCs, y del 0.4% al 0.3% para el caso de los SS ADCs. Para el caso de los CS DACs, no se apreciaron variaciones significativas en el error de INL, observándose únicamente una mejora en el incremento del error de ganancia, pasando del 0.18% al 0.12%.

Con respecto a la parte digital, tanto las máquinas de estado de los convertidores, como la unidad SPI, son capaces de seguir operando correctamente a la frecuencia máxima de operación de 100 MHz. Por otro lado, toda la parte analógica del ASIC se ha mantenido completamente funcional y sin errores durante todo el proceso de irradiación.

Los resultados obtenidos en esta sección permiten concluir que la FEE es completamente operativa con una dosis total acumulada de, al menos, 320 krad. Si bien se han observado variaciones de hasta el 3% en el consumo del ASIC, indicando posibles variaciones en los puntos de operación de los bloques analógicos, y de hasta el 2.5% en la frecuencia de reloj, los resultados obtenidos confirman la inherente robustez frente a dichas fluctuaciones de la arquitectura de doble rampa propuesta, así como también la eficacia del lazo de realimentación propuesto para incrementar la estabilidad en las medidas de los convertidores de rampa simple. Las variaciones más destacables en términos de prestaciones, se corresponden con un incremento muy leve en el error máximo de linealidad junto con una variación, también muy leve, en la ganancia de los convertidores, teniendo esta última un alto nivel de correlación con la variación de la tensión de referencia (*bandgap*). El resto de prestaciones no han tenido variaciones significativas respecto de los valores previos a la irradiación. Por otro lado, los resultados obtenidos permiten confirmar también la fiabilidad tanto de la librería digital *rad-hard*, como de los modelos de simulación empleados para los transistores *ringed-source*.

5.4. Caracterización de la robustez frente a los SEEs

La sección anterior se ha dedicado a la caracterización de la FEE frente a los efectos de la radiación en lo que a dosis total acumulada se refiere, lo cual implicó la evaluación de la degradación gradual de las prestaciones frente a la TID. Esta sección está dedicada a la caracterización frente a los eventos singulares o SEEs, los cuales, tal y como se analizó en el capítulo 2, están asociados a efectos eventuales inducidos por el impacto de una partícula altamente energética, y que ocurren en un instante de tiempo concreto.

En esta sección se incluye la evaluación de la robustez del ASIC frente a distintos tipos de SEEs, principalmente el volteo no deseado de un elemento de memoria (SEUs), la generación

y/o propagación de una señal transitoria espúrea en la parte digital o analógica del ASIC (SETs), y la inducción de una condición de *latchup* (SEs). Este último resulta especialmente importante, ya que puede desembocar en la destrucción del dispositivo.

El objetivo final de la caracterización frente a los SEEs es obtener una métrica que permita la evaluación de la robustez frente a estos efectos. La métrica más común es la estimación del número de fallos por unidad de tiempo, es decir, la tasa de error para un entorno de operación caracterizado por unas determinadas condiciones en términos de radiación.

En la sección 5.4.1 se presenta la metodología empleada para la evaluación de la tasa de errores en el diseño propuesto. La sección 5.4.2 está dedicada a la descripción experimental de los tests de radiación llevados a cabo y, en la sección 5.4.3, se presentan finalmente los resultados experimentales obtenidos de la caracterización frente a los SEEs.

5.4.1. Métricas de evaluación frente a los SEEs

Tal y como se justificará a lo largo de este apartado, se puede obtener una estimación de la tasa de error mediante la realización de medidas experimentales de la sección transversal en función de la transferencia lineal de energía (LET). Uno de los métodos más comunes para la obtención experimental de esta curva característica es la exposición del ASIC a un haz de iones pesados, con diferentes especies y ángulos de incidencia, de forma que se cubra un rango suficiente para la LET.

La sección transversal (σ) se expresa en unidades de área, y se define como el número total de errores inducidos dividido por la fluencia, tal y como se muestra en la siguiente expresión:

$$\sigma = \frac{n}{\Phi \cdot t_{exp} \cdot \cos(\varphi)} \quad (5.5)$$

donde n es el número total de errores inducidos, Φ se corresponde con el flujo de radiación (número de partículas por unidad de superficie y unidad de tiempo) y t_{exp} es el tiempo total de exposición, de forma que el producto de $\Phi \cdot t_{exp}$ se corresponde con la fluencia (número de partículas por unidad de superficie). El término $\cos(\varphi)$ hace referencia a la corrección geométrica de σ en función del ángulo de incidencia del haz de iones, siendo φ el ángulo de incidencia con respecto a la dirección normal a la superficie del ASIC, de forma que cuando el haz de iones incide en la dirección normal, el valor de φ es 0.

Con respecto a la LET, tal y como se analizó en el capítulo 2, se define como la cantidad de energía por unidad de longitud que es cedida al material por la partícula incidente. Se vuelve a recordar aquí su expresión:

$$LET = -\frac{1}{\rho_m} \cdot \frac{dE}{dx} \quad (5.6)$$

donde ρ_m es la densidad del material, E es la energía de la partícula incidente, y x es la unidad de longitud del camino recorrido por la partícula a través del material. La potencia de frenado ($-dE/dx$) depende de las propiedades tanto de la fuente de radiación incidente como de las del propio material sobre el que incide. Resulta también necesario definir una LET efectiva (LET_{eff}) en función del ángulo de incidencia, con objeto de normalizar los resultados experimentales con respecto a la dirección perpendicular al material:

$$LET_{eff} = -\frac{1}{\rho_m \cdot \cos(\varphi)} \cdot \frac{dE}{dx} \quad (5.7)$$

A partir de la LET se puede estimar la cantidad de carga creada (Q_{gen}) por la partícula a lo largo de su recorrido a través del material, tal y como se muestra en la siguiente expresión:

$$Q_{gen} = \frac{LET \cdot \rho_m \cdot l \cdot q}{E_{eh}} \quad (5.8)$$

donde q es la carga del electrón, l es la longitud del camino recorrido por la partícula, y E_{eh} es la energía media requerida para la generación de un par electrón/hueco (3.6 eV para el silicio). En la expresión (5.8) se ha supuesto que no existe dependencia en la dirección del camino tomado por la partícula, y que la LET permanece constante a lo largo de todo su camino a través del material. En general, la LET permanece constante en la mayor parte de su trayectoria, y es solamente cuando la partícula ha cedido la mayor parte de su energía, cerca del valor máximo de profundidad de penetración, cuando se observa un incremento significativo de la LET para después disminuir de forma abrupta hasta cero, formando lo que se conoce con el nombre de pico de Bragg.

Sin embargo, hay que tener en cuenta que desde que la partícula penetra en el material, hasta que llega a la zona sensible del circuito integrado susceptible de generar un error, ha tenido que pasar por las capas de pasivación, los niveles de metal y las capas de óxido que se sitúan justo encima de dicha zona sensible, de forma que puede ser necesario aplicar una corrección adicional a los valores de la LET_{eff} en caso de que la profundidad de penetración alcanzada se sitúe en la región del pico de Bragg.

La expresión en (5.8) también pone de manifiesto la dependencia de la carga generada con la longitud del camino recorrido por la partícula, de forma que un haz con una determinada LET generará más o menos carga en función del camino recorrido a través del material. Además, la carga generada Q_{gen} tendrá una mayor o menor influencia en función del lugar específico de impacto sobre el circuito. Se denomina volumen sensible a la región del circuito integrado susceptible de generar, por efecto del impacto de una partícula ionizante, una carga lo suficientemente grande como para inducir un efecto no deseado en el funcionamiento del circuito [189]. Al valor mínimo de carga necesaria para inducir el fallo se le denomina carga crítica (Q_{crit}), y su valor dependerá de muchos factores, incluyendo el tipo de circuito y su

función, las técnicas de *layout*, así como el tipo de partículas que inciden.

En una tecnología CMOS, el volumen sensible está principalmente asociado a las zonas de depleción de las uniones pn polarizadas en inversa que aparecen entre las difusiones y el sustrato o pozo. En la Fig. 5.30(a) se muestra un ejemplo para el caso de un transistor NMOS en el que una partícula incide sobre la región de drenador. La generación de portadores produce un transporte de cargas (Fig. 5.30(b)), tanto por arrastre, por efecto del campo eléctrico local, como por difusión [71]. Cuando $Q_{gen} > Q_{crit}$ la corriente generada será lo suficientemente grande como para provocar un error inducido como, por ejemplo, el volteo de un bit.

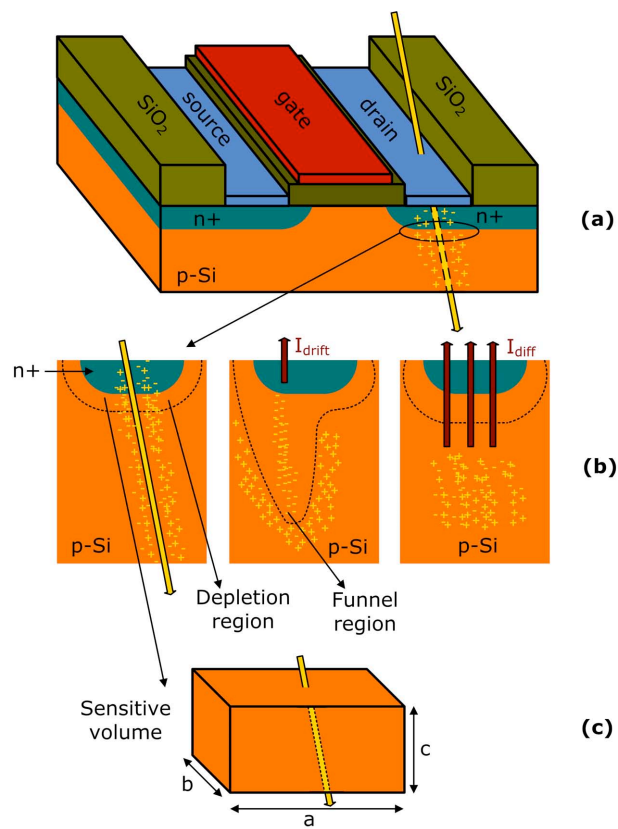


Fig. 5.30.: (a) Impacto de una partícula en el drenador de un transistor NMOS. (b) Generación y transporte de cargas en el volumen sensible del transistor. (c) Geometría del volumen sensible con el modelo RPP.

En general, los procedimientos existentes para la estimación de la tasa de error necesitan de una descripción geométrica del volumen sensible. El modelo más comúnmente adoptado es el RPP (*rectangular parallelepiped*), en el que se aproxima el volumen sensible a la forma de un paralelepípedo rectangular, tal y como se muestra en la Fig. 5.30(c). La longitud (a) y anchura (b) en la Fig. 5.30(c) están principalmente asociadas al área de difusión, mientras que el grosor

o profundidad (c) está principalmente relacionado con la profundidad de la zona de depleción, junto con un incremento adicional en función de los efectos de *funneling* y de recolección de cargas por difusión en las proximidades de la zona de depleción [190].

Para la medida de la tasa de error, será necesario determinar el número de partículas por unidad de tiempo que serán capaces de inducir una carga mayor que la crítica ($Q_{\text{gen}} > Q_{\text{crit}}$) dentro de los volúmenes sensibles del circuito. En función del tipo de error que se tenga en cuenta en las medidas, se obtendrán tasas de error específicas para SEUs, SETs o SELs.

En la literatura se pueden encontrar diversos métodos e implementaciones *software* para la estimación de la tasa de errores en base a un modelado RPP del volumen sensible, siendo los más empleados el método RPP no integral (en muchos casos denominado simplemente como método RPP) y el método RPP integral [72]. La diferencia entre ambos métodos reside en las aproximaciones y el procesamiento que se realiza de los datos experimentales obtenidos para la curva que define la sección transversal en función de la LET.

El método RPP no integral asume que todos los volúmenes sensibles del circuito tienen el mismo nivel de carga crítica (Q_{crit}), por encima del cual se induce un error. A partir de la expresión (5.8), y asumiendo que la profundidad (c) es constante para todos los volúmenes, se llega a la existencia de un único umbral de LET efectiva ($LET_{\text{eff,th}}$) por debajo del cual no se produce ningún fallo, mientras que para el caso en que $LET_{\text{eff}} > LET_{\text{eff,th}}$ todos los volúmenes sensibles del circuito producirán un error. Esto implica que la curva que relaciona la sección transversal con la LET efectiva se corresponderá con una señal escalón, de forma que, por encima del umbral de LET efectiva, la sección transversal satura de forma abrupta a un valor denotado como σ_{sat} (sección transversal de saturación), tal y como se muestra en la Fig. 5.31.

Con esta aproximación, la tasa de error para un entorno de radiación determinado, se puede

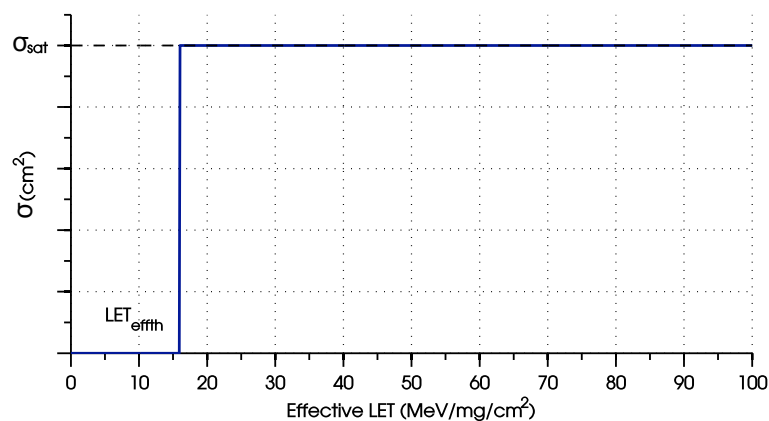


Fig. 5.31.: Aproximación realizada por el método RPP no integral para la característica de la sección transversal en función de la LET efectiva.

determinar sumando, para cada posible valor de LET, el número de partículas que recorren una longitud del camino a través del volumen sensible lo suficientemente grande como para exceder la carga crítica Q_{crit} , lo cual se puede determinar a partir de la siguiente expresión [72]:

$$N = \frac{A}{4} \cdot \int_{L_{min}}^{L_{max}} \Phi(L) \cdot P_c(> l_{min}) \cdot dL \quad (5.9)$$

donde A es el área total del volumen sensible, y L_{max} y L_{min} son, respectivamente, los valores de LET máximo y mínimo que determinan el rango de LET (L) en la integración. El término $\Phi(L)$ se corresponde con el flujo diferencial en función de la LET (también denominado espectro de LET), estando determinado por las condiciones específicas del entorno para el que se calcula la tasa de error. El término $P_c(>l_{min})$ es la función de distribución integral de la longitud del camino recorrido por la partícula a través del volumen sensible, es decir, la probabilidad de que una partícula recorra una longitud l mayor que l_{min} al atravesar el volumen sensible. La determinación de esta función de distribución integral, para el caso de un paralelepípedo rectangular, se encuentra analizada en detalle en [191].

La cota superior del rango de integración en la expresión (5.9) (L_{max}) viene determinada por la máxima LET del entorno en cuestión caracterizado por el flujo diferencial $\Phi(L)$. La cota mínima (L_{min}) se obtiene a partir de la mínima LET que es capaz de exceder la carga crítica Q_{crit} cuando el valor de l es máximo (l_{max}). El valor de Q_{crit} puede determinarse a partir de los datos experimentales, según el valor umbral de la LET efectiva ($LET_{eff,th}$):

$$Q_{crit} = \frac{LET_{eff,th} \cdot \rho_m \cdot c \cdot q}{E_{eh}} \quad (5.10)$$

de forma que la cota mínima L_{min} viene dada por la siguiente expresión:

$$L_{min} = \frac{Q_{crit} \cdot E_{eh}}{q \cdot \rho_m \cdot l_{max}} = \frac{LET_{eff,th} \cdot c}{l_{max}} \quad (5.11)$$

donde el valor de l_{max} se obtiene a partir de las dimensiones geométricas del volumen RPP:

$$l_{max} = \sqrt{a^2 + b^2 + c^2} \quad (5.12)$$

Las dimensiones a y b pueden introducirse como parámetros de entrada, según el área de la difusión, o bien, realizar una estimación de sus valores en base a los resultados experimentales obtenidos para la sección transversal. En este último caso, su valor se estima mediante la raíz cuadrada de la sección transversal de saturación (σ_{sat}), es decir, $a = b = \sqrt{\sigma_{sat}}$. Con respecto a la profundidad c, en general es un parámetro de entrada que viene determinado en función del proceso tecnológico empleado [192], y en base a la profundidad de la región de depleción, entre otros aspectos. Diversos trabajos reportados en la literatura ponen de manifiesto que este valor se sitúa, en general, en un rango entre 0.75 y 1.25 μm [72, 189].

Por último, el valor de longitud mínima (l_{\min}) que determina la distribución integral $P_c(>l_{\min})$ para cada valor L de LET, se determina a partir de la carga crítica:

$$l_{\min} = \frac{Q_{\text{crit}} \cdot E_{\text{eh}}}{q \cdot \rho_m \cdot L} = \frac{LET_{\text{effth}} \cdot c}{L} \quad (5.13)$$

El principal inconveniente del método RPP no integral expuesto hasta aquí, resulta del hecho de suponer que la carga crítica es exactamente la misma para todos los volúmenes sensibles del circuito, o lo que es lo mismo, que existe un único valor umbral de LET_{eff} a partir del cual se induce un error en todos los volúmenes sensibles del circuito. Sin embargo, las medidas experimentales reportadas por numerosos trabajos presentes en la literatura, evidencian que la evolución de la sección transversal desde cero hasta su valor de saturación no se corresponde con un escalón abrupto, como predice el modelo RPP no integral, sino que tiene una evolución menos pronunciada, tal y como se aprecia en la Fig. 5.32, donde se muestra la diferencia entre una sección transversal medida experimentalmente y la aproximación realizada por el método RPP no integral.

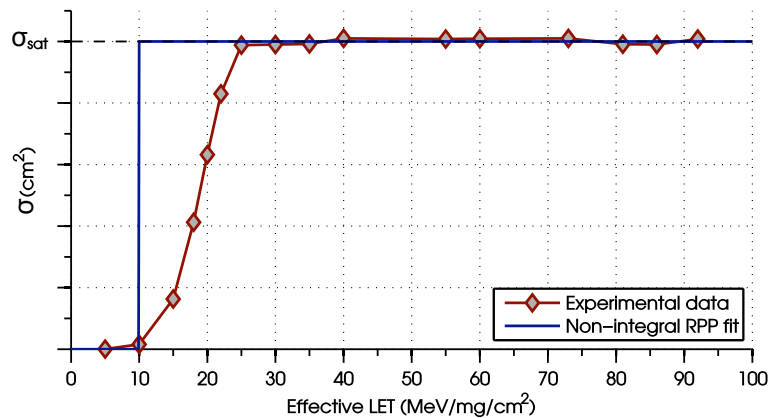


Fig. 5.32.: Diferencia de la dependencia de la sección transversal, con la LET efectiva medida experimentalmente, y la aproximación realizada por el método RPP no integral.

Son varias las hipótesis que se han propuesto para explicar el incremento gradual en el valor de la sección transversal, incluyendo las variaciones de proceso (*inter-die*), de *mismatch* (*intra-die*), así como posibles variaciones graduales en la sensibilidad dentro del propio volumen sensible del circuito. El efecto de las variaciones asociadas con el *mismatch* o variaciones *intra-die*, es la hipótesis más contrastada experimentalmente y la más aceptada actualmente [193–195]. En dichos trabajos, también se pone de manifiesto que la variación observada de la sección transversal con la LET se puede modelar mediante una distribución acumulativa tanto de tipo Weibull como de tipo logarítmico-normal (log-norm). De esta forma, en la caracterización experimental, el conjunto de iones y ángulos de incidencia se seleccionan en base a cubrir un rango de LET lo suficientemente amplio y definido que permita la determinación de

los parámetros asociados con estas distribuciones de probabilidad.

El método RPP integral (IRPP) tiene como objetivo hacer una aproximación más realista para describir la variación de σ con la LET. Para ello, en vez de asumir una función escalón, se realiza una aproximación a partir del ajuste de los datos experimentales con una distribución acumulativa, bien de tipo Weibull, o bien de tipo log-norm. La determinación de la tasa de error se realiza en este caso dividiendo la sección transversal en sucesivos intervalos en base a un rango de umbrales de LET efectiva, tal y como se muestra en la Fig. 5.33. Para cada uno de estos intervalos, se determina la tasa de error aplicando el método RPP no integral, pero con su valor asociado de $LET_{eff_{th}}$. Sumando todas estas contribuciones a lo largo de todo el rango de LET efectiva, se llega a un valor para la tasa de error total, lo cual se puede expresar a partir de (5.9) sin más que añadir una segunda variable de integración [72]:

$$N = \frac{A}{4} \cdot \int_{L_{min}}^{L_{max}} w(L_w) \int_{L_{min}}^{L_{max}} \Phi(L) \cdot P_c(> l_{min}) \cdot dL \cdot dL_w \quad (5.14)$$

donde w es la función de distribución aplicada para realizar el ajuste de los datos experimentales, y L_w es la variable de integración que da cuenta del rango de variación de $LET_{eff_{th}}$. Los valores de L_{min} y l_{min} se determinan, respectivamente, según las expresiones (5.11) y (5.13), pero con el valor específico de $LET_{eff_{th}}$ según la variable L_w :

$$L_{min} = \frac{L_w \cdot c}{l_{max}} \quad (5.15)$$

$$l_{min} = \frac{L_w \cdot c}{L} \quad (5.16)$$

Actualmente, el método IRPP se encuentra implementado en la mayoría de paquetes *software*

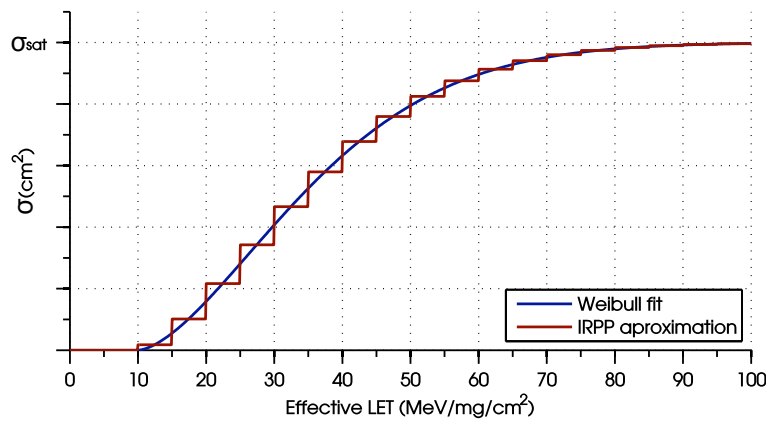


Fig. 5.33.: Aproximación realizada por el método IRPP a partir del ajuste de los datos experimentales mediante una función de distribución acumulativa de tipo Weibull.

dedicados a la caracterización de dispositivos electrónicos para entornos espaciales [41], estando además considerado, tanto por la ESA como por la NASA, como un método estándar dentro de los procedimientos de cualificación [196, 197].

Tal y como se ha visto en esta sección, la tasa de error N se determina para un entorno de radiación específico, asociado, por ejemplo, a un determinado tipo de órbita. Como se verá en las secciones siguientes, a pesar de que el entorno de operación más inmediato para el ASIC diseñado será la superficie de Marte, la tasa de error ha sido calculada para un entorno de operación asociado a una órbita geoestacionaria, lo cual se debe a varios motivos. En primer lugar, la mayoría de paquetes *software* no incluyen todavía modelos del entorno de radiación en la superficie de Marte, ya que los datos de los que se dispone son todavía muy escasos. En segundo lugar, una gran mayoría de los dispositivos y sistemas electrónicos para aplicaciones espaciales se encuentran caracterizados para la órbita geoestacionaria, de forma que la caracterización del ASIC frente a estas mismas condiciones permite una comparación más directa del nivel de robustez.

No obstante, el instrumento RAD (*Radiation Assessment Detector*), que se encuentra a bordo del rover Curiosity de la misión MSL (*Mars Science Laboratory*), ha llevado a cabo una caracterización del espectro de LET en la superficie de Marte [198]. En su camino hacia Marte, este instrumento también realizó medidas del espectro de LET del espacio interplanetario. La comparación de ambas medidas, junto con otros resultados obtenidos con instrumentos a bordo de satélites situados en órbita geoestacionaria [199], permiten afirmar que el entorno de radiación en la superficie de Marte es muy similar a los entornos asociados al espacio interplanetario y la órbita geoestacionaria.

5.4.2. Metodología de medida

La caracterización experimental de la FEE frente a los SEEs se llevó a cabo en las instalaciones del CRC (Cyclotron Resource Centre) de la UCL (Université Catholique de Louvain) en Louvain-la-Neuve (Bélgica). Para la irradiación se empleó el ciclotrón de iones pesados (CYCLONE110) disponible en dichas instalaciones, el cual permite alcanzar niveles de LET efectiva para el silicio por encima de los $100 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ [200].

En la Fig. 5.34 se muestra un diagrama representativo del *setup* de test empleado. Además de la placa de test del propio ASIC, se desarrolló una placa adicional encargada de monitorizar la corriente de cada uno de los tres reguladores de la FEE, con objeto de detectar y actuar durante la irradiación ante una condición de *latchup* inducido (SEL). Para el control de la FEE se empleó, de nuevo, la placa de desarrollo Arduino Due, en la que se implementaron rutinas específicas para la programación de la FEE, el control de los ADCs, la detección de errores y la comunicación con el PC. El Arduino también monitoriza un *flag* de alerta de *latchup* procedente de la placa de detección de SELs, con objeto de realizar un *reset* a la FEE

e incorporar dicho error en la trama de errores a enviar a la aplicación de usuario. Con respecto a la interfaz *software* con el usuario, ejecutada en un PC, se desarrolló una interfaz gráfica de usuario (GUI) en Visual Basic específica para este test, la cual se muestra en la Fig. 5.35.

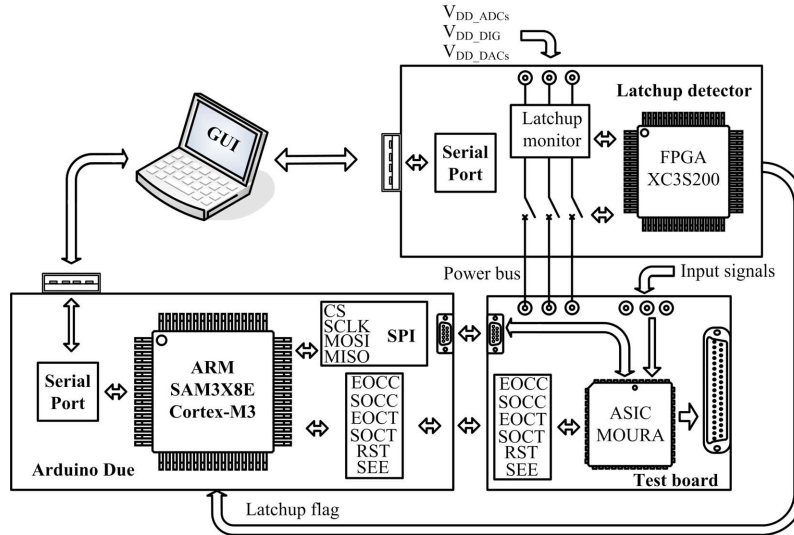


Fig. 5.34.: Diagrama representativo del *setup* de test para la caracterización de la FEE frente a los SEEs.

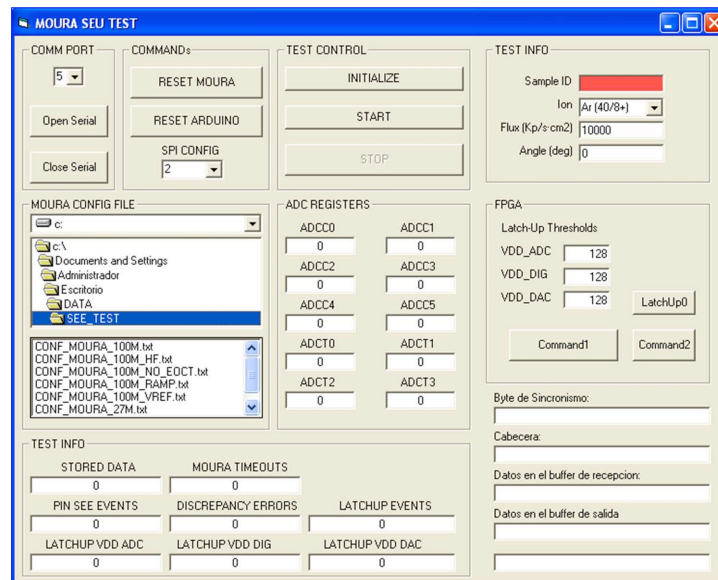


Fig. 5.35.: Imagen de la interfaz gráfica de usuario (GUI) desarrollada para automatizar el proceso de caracterización frente a los SEEs.

Las principales funciones de la GUI fueron las de automatizar el proceso de medida, almacenar las medidas realizadas en ficheros de datos, incluyendo la variable de tiempo asociada, así como proporcionar información al usuario en tiempo real tanto del funcionamiento de los ADCs como de los errores que se van induciendo en la FEE durante el proceso de irradiación.

En la Fig. 5.36 se muestra un diagrama de flujo representativo del proceso de medida durante los tests de SEEs. Inicialmente, la GUI se comunica con el Arduino para cargar la configuración seleccionada en el ASIC e iniciar el proceso de medidas automáticas, momento en el cual se comienza el bombardeo de iones pesados con la especie y ángulo de incidencia seleccionados.

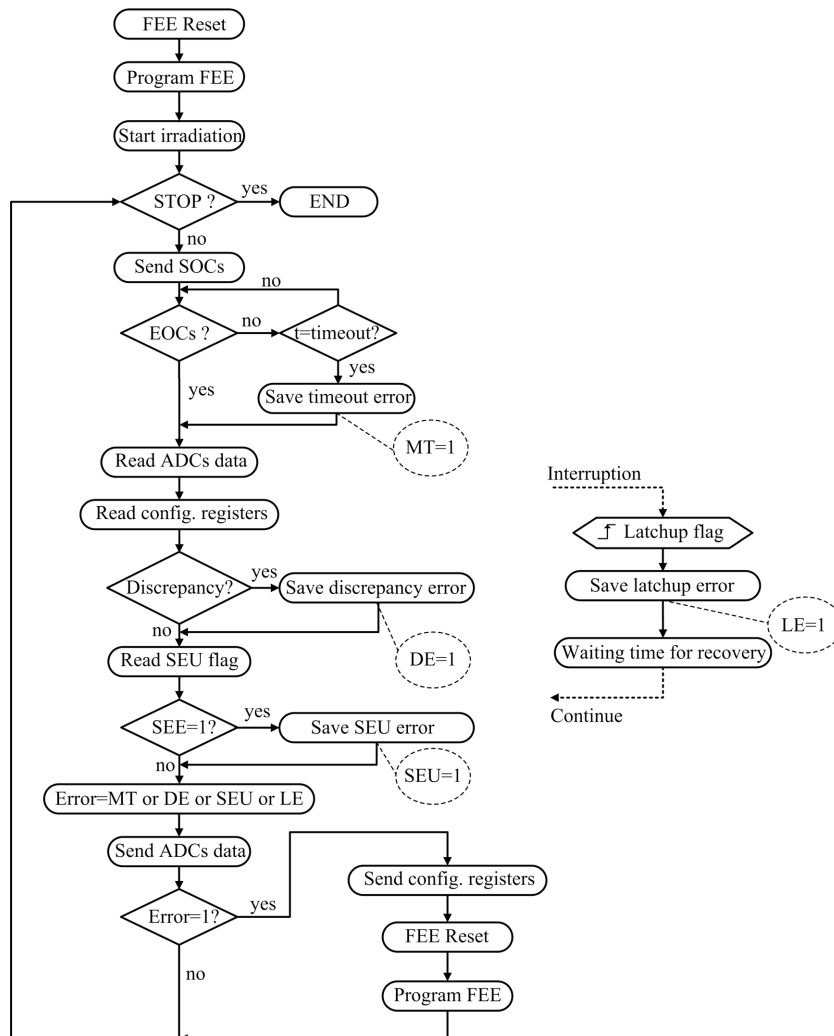


Fig. 5.36.: Diagrama de flujo del proceso de medida durante los tests frente a los SEEs.

Para cada iteración del proceso de medida automático, el Arduino solicita una conversión a los ADCs mediante el envío del correspondiente pulso de inicio de conversión, quedando a la espera de recibir el pulso de fin de conversión. Si transcurrido un determinado tiempo no se ha recibido dicha señal, se reportará un error de *timeout*. Seguidamente, e independientemente de que se haya inducido o no un error de *timeout*, el Arduino procede a la lectura de todos los registros, tanto de configuración como de salida, del mapa de memoria de la FEE.

Para el caso de los registros de configuración, el Arduino realiza una comparación con respecto a la configuración programada inicialmente, reportando un error de discrepancia en caso de que algún bit de configuración no coincida. A continuación, el Arduino también comprueba el *flag* de salida de error de SEE en la FEE, reportando también un error de SEU en caso de que dicho *flag* esté activado. Cabe resaltar aquí que, si bien el error de SEU y el error de discrepancia están relacionados, puede darse el caso de que activándose el *flag* de SEU no se produzca un error de discrepancia. Esto es debido a que, para cada *flip-flop* redundante (ver sección 4.6.2.1), sólo uno de ellos es leído, de forma que si el *flip-flop* que se voltea es el que no se lee, habrá un error de SEU pero no un error de discrepancia.

En caso de inducción de *latchup*, la placa de detección se encarga de actuar cortando, durante un tiempo determinado, el flujo de corriente en el regulador para el que se ha producido el SEL, indicando además al Arduino, en un *flag* de salida, dicha condición. Dado que el *flag* de SEL se activa en el mismo momento en que aparece la condición de *latchup*, la detección por parte del Arduino se realiza mediante un mecanismo de interrupción.

La GUI también se comunica con la placa de detección de SEL con objeto de obtener información sobre en cuál de los tres reguladores se ha inducido el *latchup*.

Una vez realizados todos los chequeos de errores inducidos, el Arduino envía la información de los errores a la aplicación de usuario. En caso de que se haya producido cualquier tipo de error, se envía además el mapa de memoria completo, y se realiza un *reset* del ASIC para posteriormente cargar de nuevo la configuración predeterminada y comenzar una nueva iteración. En caso de que no haya ocurrido ningún error, únicamente se envían los registros de salida con los códigos digitales de salida de todos los ADCs, con objeto de detectar, en el post-procesado de los datos, la posible inducción de errores.

En la Fig. 5.37 se muestra una imagen del *setup* de test experimental con el CYCLONE110 en las instalaciones de la UCL y, en la Fig. 5.38, se muestra la placa de test junto con la placa de detección de SELs, ambas situadas en el interior del ciclotrón.

5.4.3. Resultados experimentales

Para la caracterización frente a los SEEs se emplearon dos muestras del ASIC. Al igual que para el caso de la caracterización frente a la TID, todos los ADCs de la FEE fueron programados

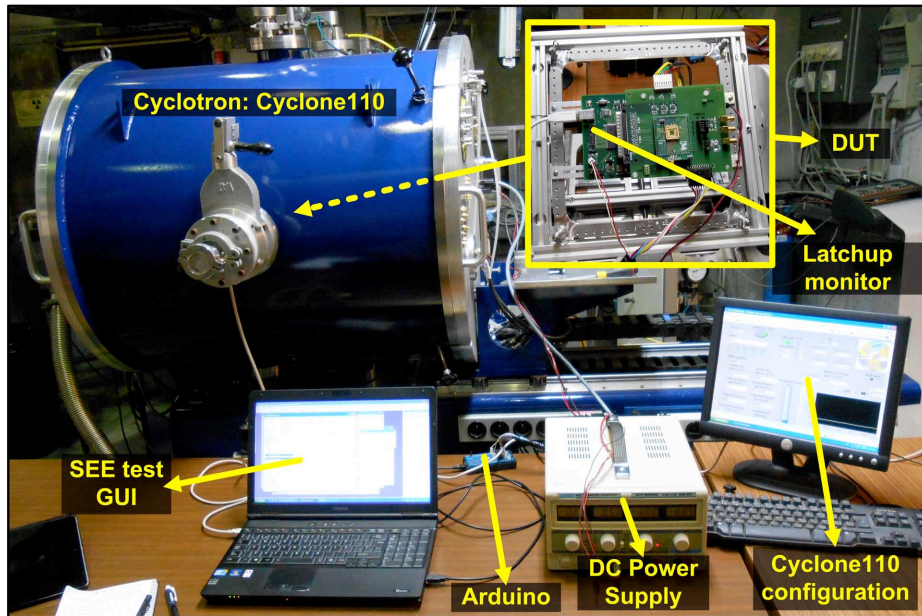


Fig. 5.37.: Imagen del *setup* de test para la caracterización de la FEE frente a los SEEs con el ciclotrón CYCLONE110 en las instalaciones de la UCL.

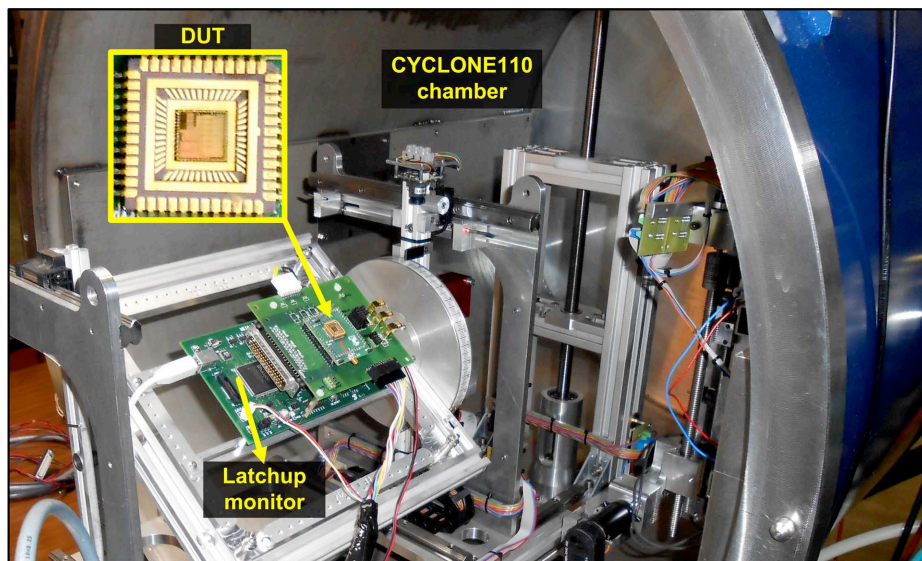


Fig. 5.38.: Placa de test del ASIC situada en el interior del ciclotrón.

con la configuración más demandante en términos de resolución y rango de entrada. A la entrada de cada uno de los canales de conversión se conectó una señal en DC, aproximadamente, a mitad del fondo de escala.

Dado que en cada una de las iteraciones del proceso de medida se dedica un cierto tiempo al intercambio y almacenamiento de información entre el ASIC, el Arduino y la GUI, la frecuencia de reloj interno se programó, en este caso, a un valor de 25 MHz. Dicho valor surge de un compromiso que permite, por un lado, obtener un número de tramas lo suficientemente alto como para asegurar una buena estadística de los datos. Por otro lado, se consigue optimizar el tiempo efectivo de exposición del ASIC en condiciones típicas de operación, es decir, realizando conversiones, evitando así que el tiempo que se emplea en las tareas de comunicación y almacenamiento de la información sea dominante.

Con respecto a los CS DACs, estos se programaron con tres valores distintos de corriente, con objeto de que sus registros de configuración tuviesen, cada uno de ellos, una distribución de bits distinta.

En la Tabla 5.6 se muestra el proceso de irradiación llevado a cabo para cada una de las dos muestras. Para cada intervalo de irradiación se empleó un haz con un único tipo de ión. Para el caso de los iones pertenecientes a las especies con valores más bajos de LET (hasta argón con un ángulo de incidencia de 55°), el flujo efectivo fue de 10^4 partículas/(cm²·s), manteniéndose la irradiación hasta alcanzarse, para cada valor de LET, una fluencia de aproximadamente 10^7 partículas/cm². Para el resto de especies, con un valor de LET mayor, el flujo efectivo de iones fue de $5 \cdot 10^3$ partículas/(cm²·s). En este caso, la irradiación se mantuvo hasta alcanzar una fluencia total, para cada valor de LET, de aproximadamente $5 \cdot 10^6$ partículas/cm².

Tabla 5.6.: Resumen del proceso de irradiación con iones pesados recibido por cada una de las muestras.

Heavy Ion Irradiation						
	Ion	Angle	LET _{eff}	Flux	Irrad. time	Data frames
Units		°	MeV·cm ² /mg	1/cm ² ·s	s	
Sample #3	⁴⁰ Ar ⁸⁺	0	17.9	10^4	967	33347
	⁴⁰ Ar ⁸⁺	45	25.3	10^4	1013	34857
	⁸⁴ Kr ¹⁷⁺	0	40.9	$5 \cdot 10^3$	1038	35731
	⁸⁴ Kr ¹⁷⁺	40	53.4	$5 \cdot 10^3$	1299	44835
	¹²⁴ Xe ²⁵⁺	0	61.9	$5 \cdot 10^3$	1004	34620
	¹²⁴ Xe ²⁵⁺	40	80.8	$5 \cdot 10^3$	971	33437
Sample #4	²⁰ Ne ⁴⁺	55	11.9	10^4	1068	37179
	⁴⁰ Ar ⁸⁺	0	17.9	10^4	1006	34911
	⁴⁰ Ar ⁸⁺	55	31.2	10^4	1124	38968
	⁸⁴ Kr ¹⁷⁺	0	40.9	$5 \cdot 10^3$	956	33076
	⁸⁴ Kr ¹⁷⁺	40	53.4	$5 \cdot 10^3$	995	34422
	¹²⁴ Xe ²⁵⁺	0	61.9	$5 \cdot 10^3$	983	34109
	¹²⁴ Xe ²⁵⁺	40	80.8	$5 \cdot 10^3$	997	34529

La homogeneidad en el flujo del haz de radiación tiene una variación de, aproximadamente, el $\pm 10\%$ del valor nominal en un diámetro de 25 mm.

A lo largo de todo el proceso de irradiación, no se produjo ningún evento destructivo que desembocara en un daño permanente, de forma que ambas muestras continuaron siendo completamente operativas tras la caracterización frente a los SEEs. Tampoco se produjo la inducción de *latchup* para el rango de LET medido. Estos resultados permiten concluir que el ASIC es inmune frente a eventos destructivos y SEL para un rango de LET_{eff} de, al menos, $80.8 \text{ MeV}\cdot\text{cm}^2/\text{mg}$.

La caracterización frente a los SEUs se realizó a partir del análisis de los errores inducidos en los 208 bits correspondientes a los 13 registros de 16 bits que componen el mapa de configuración de la FEE. Con la configuración programada durante los tests, un 22.1% de los bits almacenan un valor lógico de 1, mientras que el 77.9% restante están configurados con un valor lógico de 0. En la Tabla 5.7 se muestra un resumen del número total de errores de SEU inducidos en cada una de las muestras, donde también se ha hecho una distinción entre los volteos de 0 a 1 ($SEU_{0\rightarrow 1}$), y de 1 a 0 ($SEU_{1\rightarrow 0}$).

En la Fig. 5.39 se muestra con más detalle el número de errores inducidos en función de la LET_{eff} . En dicha figura, cada barra tiene un número que indica el número de errores asociado, mientras que la altura de la barra indica el porcentaje con respecto al número total de SEUs inducidos para cada valor de LET_{eff} medido, y de nuevo distinguiendo entre transiciones de 1 a 0 ó de 0 a 1. Las líneas discontinuas indican la distribución porcentual de los valores lógicos (1 ó 0) programados en el mapa de memoria.

Los resultados obtenidos, tanto en la Tabla 5.7 como en la Fig. 5.39, muestran que existe la misma probabilidad de inducción de un $SEU_{0\rightarrow 1}$ que de un $SEU_{1\rightarrow 0}$ para valores altos de LET_{eff} , y en relación a la proporción de *flip-flops* programados a 0 y a 1. No obstante, se observa que para valores bajos de LET_{eff} hay una mayor probabilidad de inducción de $SEUs_{1\rightarrow 0}$. La razón de esta aparente asimetría en los *flip-flops* para valores bajos de LET_{eff} reside en que 3 de los 13 registros de configuración fueron implementados con *flip-flops* de la primera versión de la librería digital *rad-hard*, los cuales tienen un umbral de LET_{eff} más bajo. Esto se puede ver de forma más clara a partir de la distribución espacial. Para ello, en la Fig. 5.40 se muestra el número total de SEUs inducidos, en todo el rango de LET, para cada

Tabla 5.7.: Resumen de los SEUs inducidos para todo el rango de LET_{eff} en los 208 bits pertenecientes a los registros de configuración de la FEE.

Heavy Ion Irradiation: SEU results				
	SEUs	$SEUs_{1\rightarrow 0}$	$SEUs_{0\rightarrow 1}$	
Sample #3	1558	343 (22%)	1215 (78%)	
Sample #4	1389	316 (22.8%)	1073 (77.2%)	

uno de los 208 bits pertenecientes a los 13 registros de configuración.

Los resultados se corresponden, para cada posición, con el valor obtenido del promedio de las dos muestras medidas. Si bien no se aprecian regiones o bits notoriamente más sensibles, sí que se aprecia un ligero incremento en el número de SEUs inducidos para los tres últimos registros (R22 a R24), siendo más acusado para el caso de SEUs_{1→0}. Esta variación se justifica por el hecho comentado anteriormente de que estos tres registros, los cuales se corresponden con los registros de configuración de los CS DACs, fueron implementados con una versión

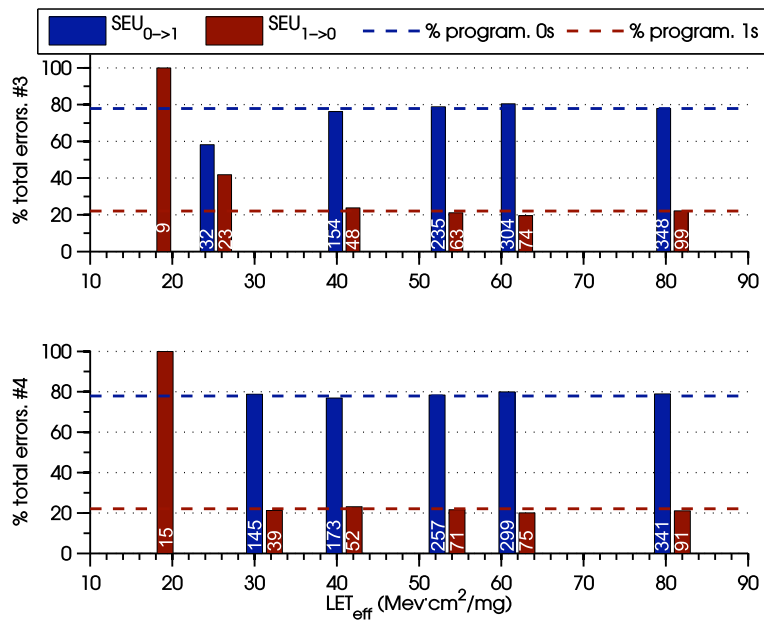


Fig. 5.39.: Errores de SEU_{1→0} y de SEU_{0→1} inducidos para cada valor de LET_{eff}.

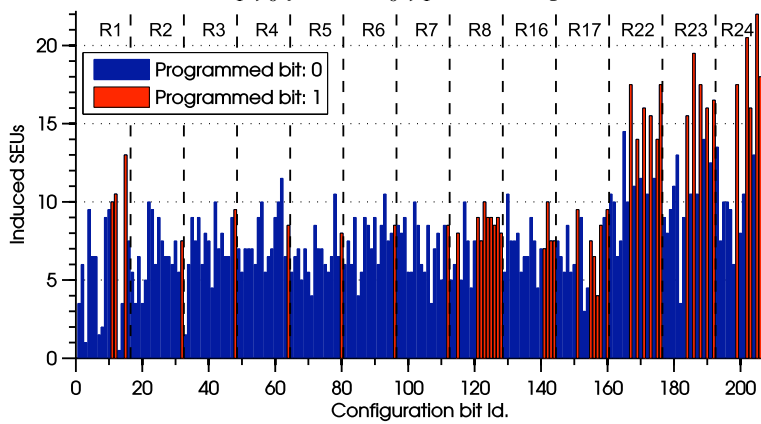


Fig. 5.40.: Distribución del número total de SEUs inducidos en cada uno de los 208 bits de configuración de la FEE.

anterior de la librería digital *rad-hard*, debido principalmente a que, durante el proceso de diseño de los CS DACs, la última versión de la librería no estaba completamente operativa. La principal diferencia entre ambos registros reside básicamente en un re-dimensionamiento de los transistores que implementan las celdas digitales. Para el caso de la última versión de la librería, y en función de los resultados obtenidos en la caracterización experimental de la versión previa, se incrementó la relación de aspecto de los transistores de las celdas digitales, con objeto de aumentar el nivel de carga crítica necesario para la inducción de un SEU. Los resultados obtenidos en la Fig. 5.39 permiten confirmar que, con la última versión de la librería digital *rad-hard*, se ha incrementado el nivel de robustez frente a SEUs, presentando además una respuesta más simétrica en lo que a inducción de un $SEU_{1 \rightarrow 0}$ o de un $SEU_{0 \rightarrow 1}$ se refiere.

Siguiendo la metodología descrita en la sección anterior, se ha determinado la curva característica de la sección transversal para SEUs en función de la LET efectiva, medida para el caso de errores de SEU por bit de memoria. Para ello, se han utilizado como vehículo de test los 208 bits de los 13 registros de configuración del ASIC. El ajuste de los datos experimentales se ha realizado siguiendo una distribución integral de tipo Weibull. Los valores de la sección transversal obtenidos con ángulos de incidencia distintos del normal, fueron corregidos para dar cuenta de los efectos geométricos según la expresión (5.5). En la Fig. 5.41 se muestra la curva finalmente obtenida.

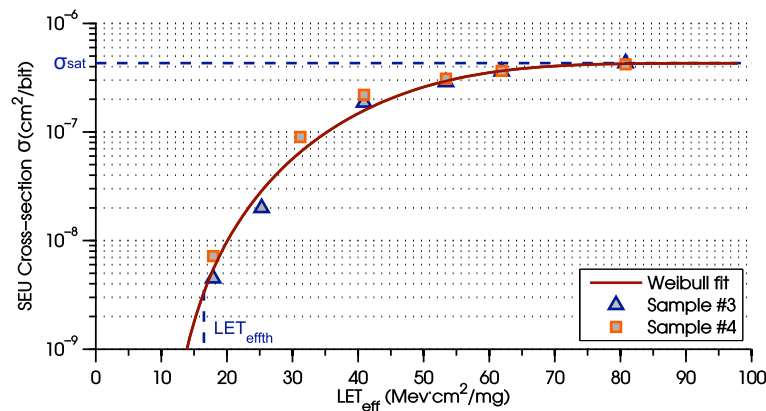


Fig. 5.41.: Característica de la sección transversal de SEUs en función de la LET efectiva.

El valor umbral de LET efectiva ($LET_{eff,th}$) ha sido determinado para una sección transversal igual al 1 % del valor de σ_{sat} (criterio generalmente empleado en la literatura), correspondiéndose con un valor de LET de, aproximadamente, $16.5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. La tasa de error ha sido estimada siguiendo la metodología basada en la aproximación IRPP descrita en la sección anterior, partiendo de datos obtenidos con el *software* CREME96 [197, 201–203]. Dentro de todos los posibles entornos para los que se puede realizar la estimación, se han seleccionado unas condiciones de radiación asociadas a una órbita geostacionaria con un nivel de actividad

solar del 90 % con respecto al peor caso, es decir, con respecto al valor promedio de la semana con el mayor índice de actividad solar para el que se tienen registros. Además, los resultados han sido obtenidos suponiendo un blindaje de aluminio de 100 mils (2.54 mm) de grosor. La tasa de error de SEUs finalmente obtenida es de $3.59 \cdot 10^{-8}$ errores/(bit·día).

Para la determinación de la tasa de error en los canales de conversión de la FEE se ha seguido una metodología similar a la descrita para el caso de los errores de SEU. En este caso, se ha considerado que se ha inducido un error en los siguientes casos:

- Todos los volteos múltiples en una misma trama de bits se han asociado a errores inducidos por un SET, incluyéndose como errores asociados al canal o canales de conversión correspondientes. Esta suposición resulta razonable, dada la baja probabilidad de que se produzca la inducción de dos SEUs en el intervalo de tiempo que transcurre desde que se solicita el inicio de una nueva iteración hasta que se recibe la trama (28 ms).
- Todos los errores de *timeout* por los cuales se ha dejado de recibir respuesta por parte de alguna de las 2 FSMs que controlan los ADCs.
- Todos los errores asociados a los códigos de salida de los ADCs, lo cual comprende a los 6 canales de conversión de doble rampa y los 4 canales del convertidor de rampa simple. En este caso, se ha definido como error de salida de un ADC, a todo código cuyo valor se encuentra fuera del intervalo delimitado por $\pm 4\sigma$ con respecto al valor medio, donde σ se corresponde con la desviación estándar de los datos medidos.

Las desviaciones en los códigos de salida de los ADCs durante la irradiación pueden estar asociadas a distintos tipos de eventos. Por un lado, el efecto de un SET en la parte analógica tendrá una mayor o menor influencia en función del lugar de impacto. En general, dado el inherente filtrado paso-bajo de ambas arquitecturas implementadas, es de esperar que las desviaciones del código de salida con respecto a este tipo de efectos sean poco significativas. No obstante, ciertos bloques analógicos, como los comparadores de salida de los ADCs, así como el generador de rampa en el caso de los convertidores de rampa simple, puede sufrir, por efecto de un SET analógico, desviaciones mucho más significativas.

Por otro lado, la inducción de SEEs en la lógica combinacional y secuencial de la parte digital de los convertidores, también puede provocar la inducción de desviaciones en los códigos de salida de los ADCs. Así, por ejemplo, un error inducido en los contadores de las FSMs, puede dar lugar a errores, bien de forma directa, por la modificación del propio código de salida del ADC, como de forma indirecta, por efecto de un malfuncionamiento de la parte analógica si la duración de las fases de control de los ADCs se ha visto afectada. Otros efectos, como un error inducido en la secuencia de estados de las FSMs, o incluso un SET en el oscilador de reloj, también pueden ser causantes de desviaciones en el código de salida o de errores de *timeout*, incluyéndose también aquí la inducción de metaestabilidad.

Las condiciones de irradiación que proporciona un ciclotrón, principalmente en términos de

derivas con la temperatura y exposición a interferencias electromagnéticas, no son las más adecuadas para la obtención de medidas de alta resolución. La exposición a iones pesados también provoca una cierta degradación progresiva por efecto de la TID. Por otro lado, fue necesario reducir en gran medida los condensadores de filtrado de las tensiones de alimentación, con objeto de asegurar un buen funcionamiento, en términos de tiempo de respuesta, de la tarjeta de detección de *latchup*. A pesar de todos estos inconvenientes, dado el alto nivel de rechazo del ruido de ambas arquitecturas, el nivel de ruido *rms* equivalente obtenido durante la irradiación no aumentó de forma significativa con respecto a las medidas realizadas en laboratorio en condiciones nominales (ver sección 5.2.2). Para el caso de los DS ADCs, se obtuvo un valor *rms* de ruido equivalente de aproximadamente 1.5 LSBs, mientras que para el caso de los SS ADCs, se mantuvo en torno a los 2.5 LSBs.

No obstante, dado que la duración temporal de cada intervalo de irradiación (con un mismo ión) fue de hasta 15 minutos, para llegar a la estimación del número total de errores inducidos fue necesario realizar un post-procesado de los datos, con el objetivo de minimizar cualquier posible traza asociada a las derivas temporales durante la irradiación. En la Fig. 5.42(a) se muestra un ejemplo representativo del código de salida de un DS ADC para uno de los intervalos de irradiación en los que se detectó la presencia de una mayor deriva temporal, afectando por igual a todos los convertidores de la muestra. El procesado de los datos para cada convertidor se realizó en 3 pasos:

1. En primer lugar, se realizó un *detrending* de los datos con objeto de eliminar las fluctuaciones en el código de salida asociadas a las derivas temporales de largo término. Para ello, se realizó una primera estimación grosera de la desviación estándar (σ_1) partiendo de los datos originales previos al procesado. Seguidamente, el *detrending* se realizó en base a un conjunto de datos reducido obtenido a partir del descarte de todos los puntos que presentan una desviación mayor que $5 \cdot \sigma_1$. Una vez obtenidos los coeficientes de *detrending*, estos se aplicaron al conjunto de datos original. En la Fig. 5.42(b) se muestra el conjunto de datos original una vez aplicada la corrección. En la mayor parte de los casos, resulta suficiente la aplicación de un *detrending* lineal, no obstante, en casos como el de la Fig. 5.42, resulta más indicado emplear un orden polinómico mayor.
2. Con los datos obtenidos en el punto anterior, se determinó la evolución temporal del valor medio del set de datos. Para ello, se realizó una nueva estimación de la desviación estándar (σ_2), con objeto de descartar, para el cálculo de dicho valor medio, a todos aquellos puntos que presenten una desviación mayor que $4 \cdot \sigma_2$. En la Fig. 5.42(b) se muestra un ejemplo del promedio temporal obtenido. En dicha figura, también se muestra el nuevo intervalo a $\pm 4 \cdot \sigma$ obtenido a partir del promediado realizado.
3. El conjunto de datos final se obtiene restando al set de datos obtenido en el punto 1, el promediado realizado en el punto 2, tal y como se muestra en la Fig. 5.42(c). De igual modo, se obtienen también los límites asociados con la desviación estándar final (σ_3), la

cual, tal y como se aprecia en la propia Fig. 5.42(c) para los valores a $\pm 4\cdot\sigma_3$, permanece prácticamente constante tras el procesado de los datos. Finalmente, el número de errores inducido se determina evaluando todos los códigos de salida que se encuentran fuera del intervalo delimitado por $\pm 4\cdot\sigma_3$.

Tal y como se comentó anteriormente, el valor de σ_3 obtenido para los DS ADCs y SS ADCs fue de, aproximadamente, 1.5 y 2.5 LSBs, respectivamente. En ambos casos, los valores permanecieron constantes para todos los ADCs de ambas muestras, y sin variaciones significativas a lo largo de todo el rango de LET medido.

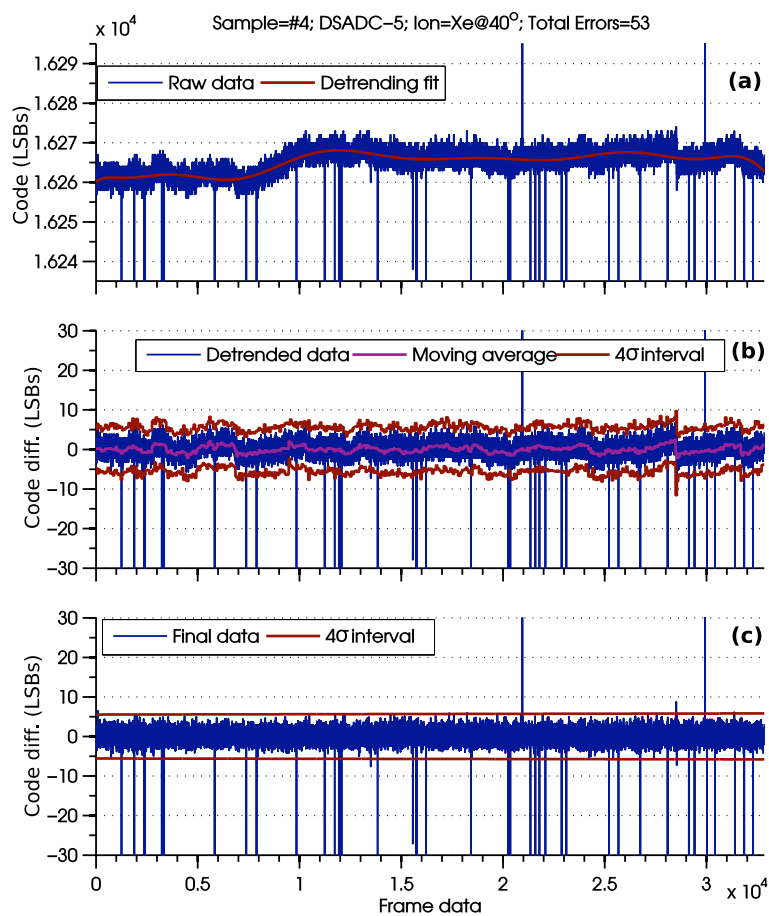


Fig. 5.42.: Ejemplo del procesado de los datos de salida de los ADCs para la determinación de los errores inducidos.

Tal y como se describió en la sección 4.3.2.2, la FSM de los DS ADCs realiza un *reset* general al inicio de cada ciclo de conversión. Con respecto a la FSM de los SS ADCs, también se realiza un *reset*, pero en este caso, parcial, ya que el generador de rampa opera de forma independiente a que se haya solicitado o no una conversión.

Con objeto de obtener una tasa de error de peor caso, se ha escalado la fluencia para tener en cuenta únicamente el flujo de iones recibido durante el tiempo efectivo que dura la conversión, en relación al tiempo total que dura cada iteración del proceso de medida. Para el caso de los DS ADCs, se aplicó un factor de corrección a la fluencia de 0.069, mientras que para el caso de los SS ADCs, el factor de corrección fue de 0.046. Dado que el generador de rampa opera de forma continua, el escalado aplicado supone una condición de muy peor caso, al sobreestimarse el valor de la sección transversal para este bloque.

En la Fig. 5.43 se muestran las curvas características obtenidas finalmente para la sección transversal de los errores inducidos en los DS ADCs y en los SS ADCs, respectivamente. Los valores obtenidos para cada arquitectura se corresponden con el valor promedio de todos los convertidores de las dos muestras medidas. En la Fig. 5.43 también se muestran los ajustes obtenidos para el caso de una distribución integral de tipo Weibull.

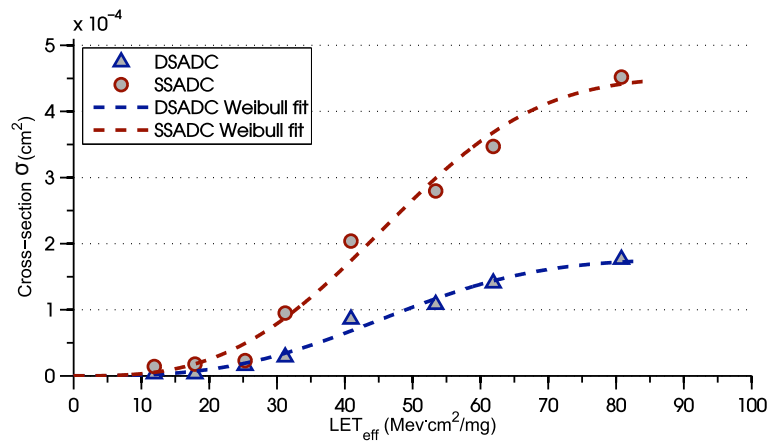


Fig. 5.43.: Característica de la sección transversal en función de la LET efectiva para SEEs en los ADCs implementados.

Como se aprecia en la Fig. 5.43, en este caso también se ha obtenido un nivel umbral de LET_{eff} (LET_{eff,th}) en torno a los 16.5 MeV·cm²/mg.

Los SS ADCs presentan una mayor sección transversal de saturación con respecto a los DS ADCs, lo cual está principalmente asociado a tres motivos, todos ellos relacionados con el generador de rampa. En primer lugar, como se ha comentado anteriormente, el escalado en la fluencia es una condición de muy peor caso para la componente de la sección transversal asociada al generador de rampa. Por otro lado, el generador de rampa es un bloque compartido por los cuatro canales de conversión, de forma que cualquier error inducido en este bloque se manifiesta simultáneamente en todos los canales de conversión. Por último, como se comentó en la sección 4.4.1.1, el lazo de realimentación adaptativo implementado en el generador de rampa, permite una compensación automática frente a las fluctuaciones de sus componentes, lo cual también incluye la capacidad de sobreponerse frente a un SEE. No obstante, cuando

el error se produce en un nodo especialmente sensible, se puede inducir un desequilibrio lo suficientemente grande como para que el lazo de realimentación necesite de varias iteraciones hasta conseguir sobreponerse completamente del error inducido, lo cual se puede traducir en una cadena de errores consecutivos en el código de salida. En la Fig. 5.44 se muestra un ejemplo de este tipo de error inducido en el lazo de realimentación para una de las medidas realizadas a máxima LET, induciendo, en este caso, 5 errores consecutivos en los cuatro canales de conversión.

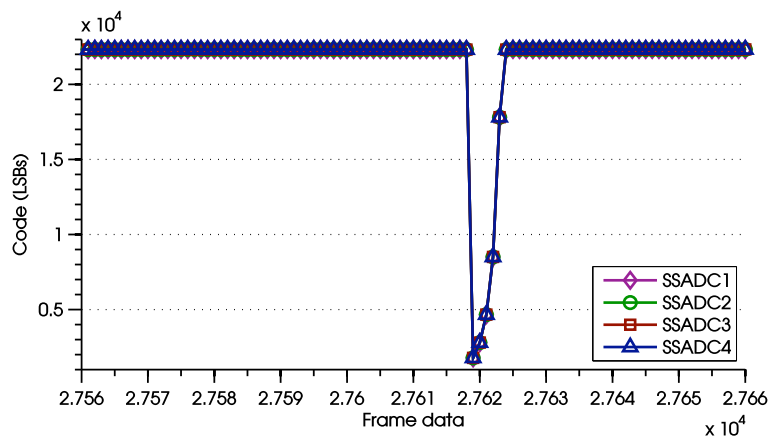


Fig. 5.44.: Ejemplo del efecto de un SEE asociado a un error inducido en el lazo de realimentación del generador de rampa.

La tasa de error ha sido estimada, de nuevo, siguiendo la metodología basada en la aproximación IRPP, para una órbita geoestacionaria con un nivel de actividad solar del 90% con respecto al peor caso, y para un blindaje de aluminio de 100 mils (2.54 mm) de grosor. Para el caso de los DS ADCs, la tasa de error finalmente obtenida es de $2.1 \cdot 10^{-5}$ errores/día por convertidor. Para los SS ADCs, la tasa de error obtenida es de $3.4 \cdot 10^{-5}$ errores/día por canal de conversión. Se vuelve a resaltar aquí que, en ambos casos, la tasa de error está calculada para el caso en que los convertidores estén operando de forma continua, y suponiendo un error inducido a todo código de salida que tenga una desviación mayor que cuatro veces la desviación estándar.

Teniendo en cuenta ahora la tasa de error para todos los ADCs, así como la tasa de error de SEU obtenida por bit, se llega a una tasa de error final, para la FEE en su conjunto, de aproximadamente $2.8 \cdot 10^{-4}$ errores/día, apreciándose que la importancia relativa de los errores de SEU es pequeña.

Como conclusión a los resultados experimentales presentados en esta sección, se puede confirmar que la FEE propuesta es inmune a SEEs destructivos y SEL para un rango de LET efectivo de, al menos, $80.8 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Además, la tasa de error total para la FEE en cuanto a SEEs no destructivos se refiere, y para una órbita geoestacionaria con unas condiciones de radiación

al 90% del peor caso, es de 0.1 errores/año. Esto permite asegurar unos niveles muy altos, tanto de fiabilidad como de robustez, del diseño propuesto, resultando en una solución óptima para su empleo en entornos con condiciones extremas de radiación y misiones espaciales de larga duración.

5.5. Discusión de los resultados y conclusiones

Los resultados experimentales presentados en este capítulo permiten confirmar que la FEE propuesta y diseñada en una tecnología CMOS estándar de 0.35 μm , cumple con las necesidades planteadas para el instrumento MOURA, no sólo en condiciones nominales de laboratorio, sino también en un rango extendido de temperaturas, así como en condiciones extremas de radiación.

Con respecto a la caracterización en temperatura, realizada en un rango entre -25 y 125 $^{\circ}\text{C}$, las topologías propuestas para los DS ADCs y SS ADCs, así como también para los CS DACs, han mostrado un alto nivel de estabilidad frente a la temperatura, estando únicamente limitada por las derivas de la tensión de *bandgap* con la propia temperatura. El resto de prestaciones no han mostrado desviaciones significativas con respecto a los resultados obtenidos en condiciones nominales. Para el rango de temperaturas entre -25 y -90 $^{\circ}\text{C}$, se espera un comportamiento similar, en base a resultados los obtenidos durante la caracterización previa de la tecnología a bajas temperaturas [35, 36], la cual se llevó a cabo con temperaturas de hasta -110 $^{\circ}\text{C}$ mediante el uso de una cámara climática en las instalaciones del INTA. Esta caracterización permitió confirmar que los parámetros proporcionados por la *foundry* siguen siendo válidos y modelan de forma adecuada el comportamiento de los transistores y resistencias en el rango de temperaturas extendido. De esta forma, el hecho de que los modelos eléctricos proporcionados por la *foundry* sigan siendo válidos a temperaturas menores que el límite inferior de -40 $^{\circ}\text{C}$ para el que la *foundry* asegura su validez, permite suponer que, a estas temperaturas bajas, el comportamiento será acorde a los resultados obtenidos en las simulaciones eléctricas obtenidas en el capítulo anterior.

Para el caso de la caracterización frente a la TID, la FEE es completamente operativa para una dosis total acumulada de, al menos, 320 krad sin la aplicación de *annealing*. Con respecto a las prestaciones, las únicas desviaciones significativas se corresponden con unas ligerísimas variaciones de la ganancia y del error de INL. Con respecto al error de ganancia, la máxima desviación observada, tanto para los ADCs como para los DACs, es menor del 0.5% del fondo de escala. Al igual que para el caso de la estabilidad en temperatura, se aprecia una alta correlación entre dicho error de ganancia y la fluctuación de la tensión de *bandgap* con la TID. El incremento observado en el error de INL es de, aproximadamente, 1.5 LSBs tanto para los DS ADCs como para los SS ADCs.

Con respecto a la caracterización frente a los SEEs, la FEE ha resultado inmune en lo referente a eventos destructivos y SEL hasta un valor de LET efectivo de, al menos, $80.8 \text{ MeV}\cdot\text{cm}^2/\text{mg}$. La tasa de SEU obtenida para un bit de memoria es de $3.59\cdot 10^{-8}$ errores/bit-día, con un valor umbral de LET efectivo de $16.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$. La tasa de error asociada a cada DS ADC es de $2.1\cdot 10^{-5}$ errores/día, y de $3.4\cdot 10^{-5}$ errores/día para cada canal de conversión del SS ADC. En ambos casos, el umbral efectivo de LET es, de nuevo, de aproximadamente $16.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$. La tasa de error final, medida para el caso de la FEE en su conjunto, es de 0.1 errores/año. En todos los casos, la tasa de error se ha calculado para una órbita geostacionaria al 90% del peor caso y con un blindaje de aluminio de 100 mils de grosor.

Con objeto de contextualizar las prestaciones de la FEE diseñada, principalmente en lo referente a las topologías y técnicas RHBD empleadas para asegurar la robustez, fiabilidad y estabilidad en misiones espaciales de larga duración, en la Tabla 5.8 se muestra una comparativa de los resultados obtenidos con respecto a otros trabajos presentes en la literatura orientados a aplicaciones y/o con especificaciones similares y, en la medida de lo posible, implementados en una tecnología CMOS estándar similar a la empleada en el presente trabajo.

En [101,204,205] los autores presentan la FEE diseñada para implementar el sistema de lectura de los detectores de partículas instalados a bordo de la misión DAMPE (*DARk Matter PARticle Explorer*). Este satélite tiene previsto operar en una órbita LEO a 500 km de altitud, con un ciclo de vida útil de, al menos, 3 años. En este caso, la arquitectura seleccionada para la conversión A/D es la de un TDC (*Time-to-Digital Converter* [206]), empleando la misma tecnología CMOS estándar que la del presente trabajo. Tras la caracterización frente a la TID, los autores reportan un incremento en el consumo de corriente, asociado a la corriente de fugas, de hasta el 16% a 370 krad, junto con una variación de la ganancia de hasta el 26% a 300 krad. En este caso, con unas especificaciones de 25 krad para la máxima TID esperada en el entorno de operación del instrumento, la degradación inducida resulta asumible. Con respecto a la caracterización frente a los SEEs, los autores reportan la aparición de *latchup* por encima de $22.7 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, lo cual implica la necesidad de emplear circuitería externa para su detección y corrección. Con respecto a la inducción de SEUs, el empleo de técnicas de redundancia triple les permite detectar y corregir la inducción de estos errores.

En [152] los autores reportan un convertidor de tipo $\Sigma\Delta$ ADC para aplicaciones espaciales implementado en una tecnología CMOS-SOI de $0.15 \mu\text{m}$. Si bien la tecnología empleada es diferente de la usada en este trabajo, se ha incluido este diseño por tener unos requisitos, en términos de resolución y frecuencia de conversión, similares a los del presente trabajo. En este caso, al emplear una tecnología de tipo SOI, el ASIC es, de forma inherente, inmune a *latchup*. Las técnicas RHBD empleadas en este trabajo se corresponden, para la parte analógica, con el empleo de geometrías de *layout* de tipo ELT para el caso de los transistores NMOS, así como el uso de anillos de guarda. Con respecto a la parte digital, se han empleado celdas especialmente robustas, proporcionadas por la *foundry*, así como técnicas de redundancia triple

Tabla 5.8.: Comparativa de las prestaciones de la FEE propuesta con respecto a trabajos con aplicaciones y/o especificaciones similares.

Ref.	Year	CMOS tech.	ADC	ER or ENOB ⁽¹⁾	T ^a range	TID	SEU LET _{th}	SEL LET _{th}	Error rate/chip	Comments
Units	-	µm	-	bits@Hz	°C	krad	MeV·cm ² /mg	MeV·cm ² /mg	errors/year	-
This work	2016	AMS 0.35	DS ADC	15.2@DC	-90:125	320	16.5	>80.8	0.1	(2)
This work	2016	AMS 0.35	SS ADC	13.34@DC	-90:125	320	16.5	>80.8	0.1	(2)
[101,204,205]	2015	AMS 0.35	TDC	12@10 ⁵	n/a	370	>22.7	22.7	0.15	(3)
[152]	2014	ATMEL 0.15 SOI	ΣΔ ADC	16.3@DC	-55:125	100	n/a	>70	n/a	(4)
[102,103]	2013	TSMC 0.35	ΣΔ ADC	12@10 ⁴	n/a	200	2	57.9	>100	(5)
[104]	2013	0.35	SAR ADC	9.7@2·10 ³	n/a	300	n/a	n/a	n/a	(6)
[105]	2008	AMS 0.35	ΣΔ ADC	16.2@2	-7:40	300	n/a	14.1	n/a	(7)

(1) ER is the effective resolution for the data obtained with a DC input signal (bits@DC).

(2) Variation of the gain up to 0.5 % of FS at 320 krad. Increase of the INL up to 1.5 LSBs at 320 krad.

(3) Increase of the current consumption up to 5 mA (16%) at 370 krad. Increase of the gain error up to 26 % of FS at 300 krad. Latchup induced for a LET higher than 22.7 MeV·cm²/mg.

(4) High area penalty due to the application of RHBD techniques in the digital core.

(5) Increase of the current consumption up to 10% (4.5 mA) at 200 krad. Increase of the gain error up to 10 % of FS at 200 krad.

(6) Loss in the ENOB performance up to 0.7 bits at 300 krad.

(7) Latchup induced for a LET higher than 14.1 MeV·cm²/mg. Noticeable loss in the ENOB performance (unquantified) above 170 krad.

para todos los elementos de memoria. El principal inconveniente de una arquitectura de este tipo, es el área necesaria para su implementación, debido principalmente a la complejidad de la parte digital del ASIC. En el diseño propuesto por los autores, el área efectiva² de la parte digital es de aproximadamente 3 mm², y de aproximadamente 1 mm² para el área de la parte analógica. La extrapolación de este área para el caso de una tecnología estándar de 0.35 μm resultaría inabordable para los requisitos de área planteados con el ASIC MOURA, principalmente teniendo en cuenta que la FEE propuesta en esta tesis incluye 6 canales de conversión, junto con la penalización adicional en el área por la necesidad de emplear técnicas RHBD adicionales para hacer frente a la inducción de SELs.

En [102, 103] los autores presentan el diseño de una FEE para el detector de rayos-X instalado a bordo del satélite científico ASTRO-H. Este satélite tiene previsto operar en una órbita LEO a 550 km de altitud, con un ciclo de vida útil de aproximadamente 10 años. La FEE se ha implementado en la tecnología CMOS estándar de TSMC (Taiwan Semiconductor Manufacturing Company) de 0.35 μm. Si bien los autores no mencionan el empleo de técnicas RHBD, el nivel umbral de LET efectivo reportado para el caso de *latchup* (57.0 MeV·cm²/mg) indica el empleo de alguna técnica específica para incrementar la robustez frente a los SELs. Tras la caracterización frente a la TID, los autores reportan un incremento en el consumo de corriente, asociado a la corriente de fugas, de hasta el 10% (4.5 mA) a 200 krad, junto con una variación de la ganancia de hasta el 10% a 200 krad. Para este instrumento, los requisitos de robustez frente a la TID son de, al menos, 22 krad, de forma que, en este caso, la degradación inducida resulta asumible.

En [104] los autores reportan el diseño de un SAR ADC de 12 bits de resolución, tolerante a la radiación, e implementado en una tecnología CMOS estándar de 0.35 μm. Las técnicas RHBD empleadas en este caso consisten en el empleo de geometrías de layout de tipo ELT para los transistores NMOS. La principal degradación observada es la pérdida de 0.7 bits de resolución para una TID acumulada de 300 krad.

Con respecto al trabajo en [105], los autores reportan el diseño de una FEE para un magnetómetro 3D digital para aplicaciones espaciales, empleando un sensor de tipo *fluxgate*. Los requisitos de resolución y tasa de conversión en este diseño son muy similares a los de la FEE del magnetómetro MOURA. La tecnología CMOS empleada también es la misma. En este caso, los autores han empleado una arquitectura de tipo ΣΔ ADC para la implementación de cada uno de los tres canales de conversión, incluyendo también un sistema de monitorización en temperatura, principalmente con objeto de corregir en tierra las derivas de la ganancia de los canales de conversión. El área total de la FEE es de 20 mm². Los autores no indican el empleo de ninguna técnica RHBD específica. Los resultados de radiación reportados muestran, como

² El área reportada por los autores es de 9 mm², no obstante, este área está condicionada por el número de pines del ASIC, de forma que se ha hecho una estimación del área efectiva que realmente ocupa el convertidor a partir del *layout* proporcionado por los autores.

principales fuentes de degradación, una notable pérdida de prestaciones (sin cuantificar) por encima de 170 krad, junto con la aparición de *latchup* para valores de LET por encima de 14.1 MeV·cm²/mg.

Finalmente, volviendo a la comparativa de la Tabla 5.8 cabe resaltar que, aunque es difícil establecer comparaciones entre distintos instrumentos con aplicaciones, tecnologías de fabricación, especificaciones y/o entornos de operación diferentes, se puede confirmar que la arquitectura y las topologías empleadas para la conversión A/D, en conjunto con el resto de técnicas RHBD aplicadas en la FEE propuesta en este trabajo de tesis, permiten alcanzar unos niveles muy altos de robustez, fiabilidad y estabilidad frente a los efectos de la TID y los SEEs, extendiendo la capacidad de operación de la tecnología CMOS estándar de 0.35 μm, a entornos y aplicaciones espaciales con condiciones aún más extremas en términos de radiación y temperatura.

6. Conclusiones y trabajo futuro

6.1. Conclusiones

EN este trabajo de tesis se ha presentado el diseño y el proceso de cualificación para espacio del ASIC de señal mixta que integrará, en una tecnología CMOS estándar de 0.35 μm , la electrónica de *front-end* del magnetómetro MOURA para la misión Mars MetNet. A continuación se presenta un resumen de las principales contribuciones asociadas a la consecución de este objetivo:

- Se ha hecho un estudio de los principales efectos inducidos por la radiación en los dispositivos MOS, junto con una descripción de las técnicas RHBD presentes en la literatura que contribuyen a mitigar algunos de sus efectos. Como parte de este análisis, se han identificado las fuentes de degradación que no se consiguen mitigar con dichas técnicas, justificando la necesidad de emplear técnicas de diseño adicionales, esencialmente a nivel de circuito, con objeto de garantizar los niveles de fiabilidad y de estabilidad en las prestaciones planteadas para el instrumento MOURA.
- Se ha realizado un análisis de los sensores AMR como alternativa al uso de compases *fluxgate*, con especial énfasis en el modelado de las no idealidades en función de las condiciones de polarización y de acondicionamiento. En base a este análisis, se ha propuesto una arquitectura para la electrónica de *front-end* consistente en un sistema de medida en lazo abierto en combinación con un canal de realimentación para acondicionar los sensores AMR de forma continua en la zona óptima de operación, es decir, en la zona cercana al campo magnético nulo, la cual presenta las mejores características en términos de linealidad y estabilidad con la temperatura. Con objeto de permitir una calibración más exhaustiva, la arquitectura propuesta también incluye un sistema para monitorizar la temperatura de los sensores junto con la del propio ASIC. El sistema de acondicionamiento de los sensores AMR, implementado con los CS DACs, también permite llevar a cabo funcionalidades adicionales para la calibración del magnetómetro.
- Para la implementación del sistema de medida en lazo abierto, se ha propuesto una topología de conversión A/D basada en la conversión de doble rampa, no sólo con el objetivo de proporcionar altos niveles de precisión y de rechazo del ruido, sino también con el objetivo de proporcionar una solución robusta, ya desde el nivel de arquitectura, frente

a los efectos de la radiación. Con la topología *fully-differential* propuesta, en combinación con la detección del signo al final de la primera fase de integración, se consigue duplicar el rango dinámico del convertidor, a la vez que también se incrementa la tasa de conversión con respecto a la topología convencional en *single-ended*. Por otro lado, con el empleo de la polarización adaptativa de los pozos N sobre los que se han situado las resistencias unitarias que forman la resistencia del integrador, junto con la implementación de un AO de elevada transconductancia en el integrador, se ha conseguido incrementar la linealidad del convertidor DS ADC hasta niveles menores que 1 LSB trabajando con resoluciones de hasta 16 bits. Con respecto a las prestaciones en términos de ruido, se ha propuesto un modelado del ruido con objeto de analizar las contribuciones individuales de cada uno de sus componentes. Dicho análisis ha sido corroborado con resultados experimentales, obteniéndose unos niveles de ruido *rms* equivalente del orden de 1 LSB para resoluciones de hasta 16 bits.

- Con respecto al sistema de monitorización en temperatura, se ha propuesto el diseño de un convertidor de rampa simple multicanal auto-compensado, que implementa un lazo de realimentación adaptativo con el objetivo de asegurar una generación de la rampa inherentemente monótona y con unos niveles muy altos de estabilidad e insensibilidad a cualquier tipo de fluctuación, incluyéndose también los efectos asociados con la radiación. Las principales ventajas del esquema propuesto incluyen una menor complejidad con respecto a las técnicas de calibración convencionales, así como también una alta escalabilidad tanto en términos de resolución como de rango de tensión de entrada.
- Con respecto a las técnicas RHBD, se ha propuesto y verificado un flujo de diseño *rad-hard* que abarca desde el nivel de arquitectura, con las topologías propuestas para la conversión A/D, hasta el nivel de *layout*, con el empleo de transistores NMOS con geometría *ringed-source* y el empleo de anillos de guarda para todos los transistores. A nivel de circuito, también cabe destacar el empleo de un esquema de redundancia doble para la detección de errores en todos los elementos de memoria. Los resultados experimentales obtenidos en el rango extendido de temperaturas, así como frente a la radiación, con una robustez frente a la TID por encima de 300 krad, y una tasa de error estimada para el ASIC completo de 0.1 errores/año, permiten confirmar no sólo el cumplimiento de las especificaciones para el instrumento MOURA, sino también asegurar que las topologías propuestas, en combinación con el resto de técnicas aplicadas en el proceso CMOS seleccionado, son lo suficientemente robustas como para asegurar unos niveles muy altos tanto de fiabilidad como de estabilidad en las prestaciones, resultando en una solución óptima para su empleo en entornos con condiciones extremas de radiación y temperatura, incluyendo también misiones espaciales de larga duración.
- Finalmente, el ASIC ha sido diseñado con un grado muy alto de flexibilidad y configurabilidad, con objeto de extender el abanico de posibilidades de uso a una gran variedad

de sensores y/o aplicaciones. Así, por un lado, permite la posibilidad de emplear únicamente el sistema de medida en lazo abierto, o bien la configuración con el canal de realimentación. Por otro lado, cada uno de los seis DS ADCs han sido diseñados con un alto nivel de programabilidad en términos resolución, tasa de conversión y rango de tensión de entrada. La posibilidad de programar la ganancia del AI, así como la constante de tiempo del integrador, también permite maximizar en cada situación el rango lineal disponible en los convertidores. El SS ADC también es programable en términos de resolución, tasa de conversión y rango de entrada, incluyendo también otras opciones adicionales que permiten extender su uso a otro tipo de sensores.

6.2. Trabajo Futuro

Son varias las líneas de investigación en las que se pretende seguir avanzando, incidiendo principalmente en el campo del diseño de circuitos integrados CMOS para aplicaciones espaciales.

Como línea de trabajo más inmediata, cabe resaltar el diseño del ASIC de señal mixta que integrará la electrónica de *front-end* para el sensor de viento del instrumento MEDA (*Mars Environmental Dynamics Analyzer*), el cual formará parte de la carga útil del nuevo Rover de la misión Mars 2020 de la NASA [20]. Este instrumento implementa una estación meteorológica que pretende dar un salto cualitativo con respecto a su predecesora, la estación REMS (*Rover Environmental Monitoring Station*) a bordo del Rover Curiosity. Con respecto al ASIC, está formado principalmente por un conjunto de moduladores *sigma-delta* que implementan los lazos de control térmico que llevan a cabo el acondicionamiento de los sensores de viento, junto con un sistema de adquisición A/D de 16 bits, similar al implementado en el instrumento MOURA, para medir las señales procedentes de los sensores de viento, junto con otras medidas adicionales, principalmente de sensores de temperatura y de señales de calibración [207, 208].

Las contribuciones asociadas a este trabajo de tesis, junto con el resto de hitos alcanzados por el grupo de investigación (ver sección 1.1.2), han permitido, por un lado, el empleo de la tecnología CMOS estándar de 0.35 μm para la implementación de este ASIC, en detrimento del proceso tecnológico X-FAB SOI de 1 μm que fue empleado para el ASIC de *front-end* del instrumento REMS [209]. Por otro lado, se ha adquirido un nivel de madurez en el flujo de diseño *rad-hard* que ha permitido reducir considerablemente los tiempos de diseño, de desarrollo y de testado. Actualmente, ya se dispone de una primera versión fabricada, y los resultados experimentales en condiciones típicas de laboratorio indican que el ASIC es completamente funcional.

Otra de las líneas de trabajo a corto plazo en las que se espera participar, es en el diseño de otro ASIC de señal mixta para el instrumento SIS (*Solar Irradiance Sensor*), el cual formará

parte de la carga útil en la segunda fase de la misión ExoMars. A más largo plazo, también se pretende avanzar en los siguientes puntos:

- Dados los buenos resultados obtenidos con la arquitectura de doble rampa, se pretende seguir avanzando en nuevos diseños con objeto de aumentar las prestaciones, principalmente en términos de resolución y/o frecuencia de conversión, así como de incrementar los niveles de configurabilidad en los mismos términos. Para ello, se está investigando en nuevas arquitecturas de rampa múltiple, así como en nuevas topologías para el diseño del integrador, principalmente con objeto de minimizar los efectos no lineales en el cruce por cero de la característica de transferencia. Por otro lado, también se está trabajando en automatizar algunas de las funcionalidades, principalmente en lo relativo a la calibración del ADC y al control de la ganancia del AI.
- Con respecto al sistema de acondicionamiento de los sensores AMR basado en los CS DACs, se está trabajando en una nueva topología implementada con un generador de rampa auto-compensado similar al propuesto para el convertidor de rampa simple. En base a los resultados obtenidos experimentalmente con este componente, resulta factible poder alcanzar, al menos, 13 bits de resolución en la corriente de realimentación, a la vez que se reduciría el área necesaria para su implementación.
- Otros aspectos en los que se está trabajando se corresponden con el diseño de un sensor de TID integrado en el ASIC, así como también en sistemas distribuidos para la detección de *latchup* y *micro-latchup* en circuitos de señal mixta, junto con el estudio de nuevas técnicas RHBD.
- Finalmente, también se pretende extender la experiencia y conocimientos adquiridos durante la caracterización y acondicionamiento para aplicaciones espaciales de la tecnología CMOS AMS de 0.35 μm a otros procesos tecnológicos CMOS.

A. Datasheet



Version:1, Issue: 22-A

©MSE-CNM-CSIC/US

Datasheet ASIC MOURA

General description

The Moura Chip is an application-specific integrated circuit (ASIC) designed to provide a complete and compact radiation-hardened-by-design (RHBD) front-end circuit for a magnetometer developed in the frame of the MEIGA-METNET Space Mission. The ASIC contains six 15-bits plus sign dual-slope analog-to-digital converters (DS ADCs), four 15-bits single-slope analog-to-digital converters (SS ADCs), and three 8-bits plus sign current-steering digital-to-analog converters (CS DACs). Although the circuit has been optimized for Honeywell HMC1043 (or similar) magnetoresistive sensors, its applications can be extended to any other system where a set of RHBD low-speed high-resolution ADCs and/or DACs are needed.

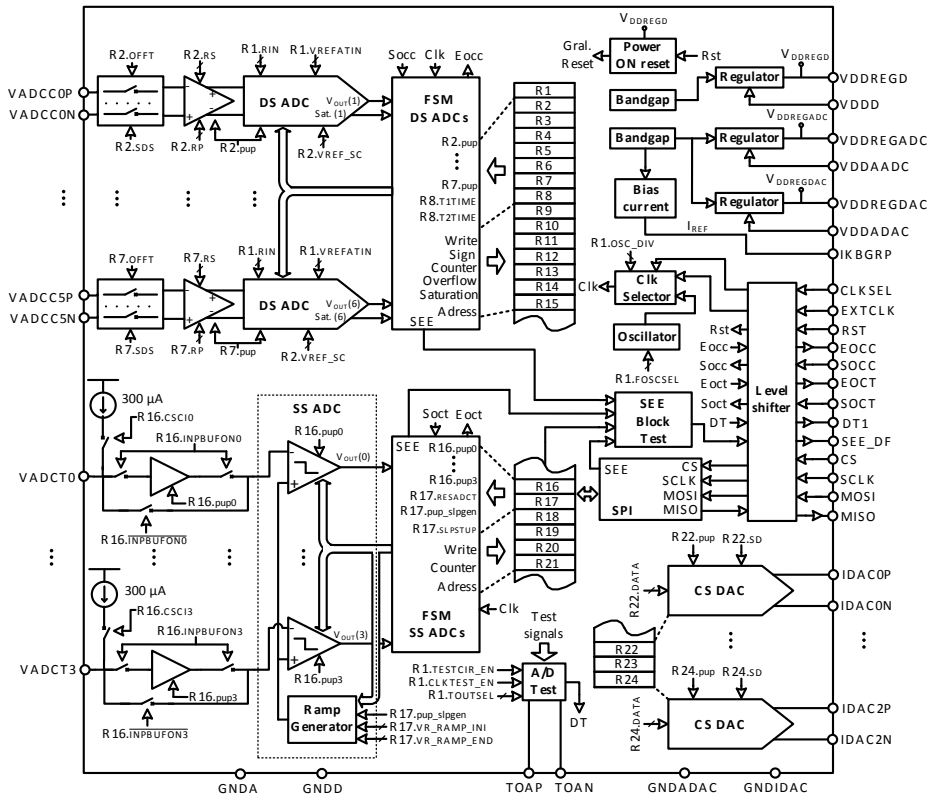
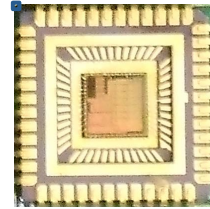
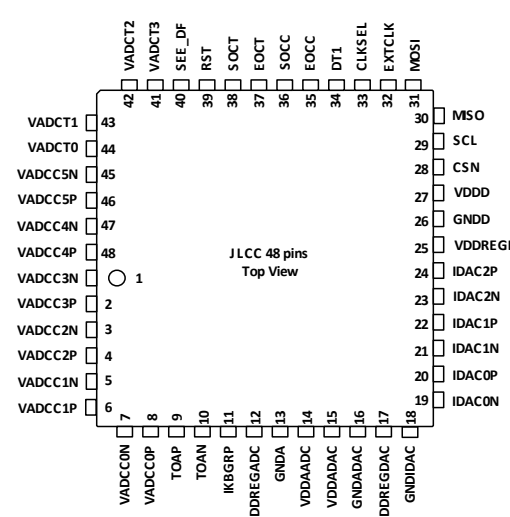


Fig. 1. ASIC MOURA Description.

Table 1. Main features.

<p>Product highlights:</p> <ul style="list-style-type: none"> • 6 Fully-differential configurable A/D conversion channels: <ul style="list-style-type: none"> - Programmable-gain fully-differential Instrumentation Pre-Amplifier (Gain = 1 : 1009). - Programmable fully-differential Dual-Slope ADC (DS ADC): from 12 bits @ 20 kS/s up to 16 bits @ 2.6 kS/s. - Fully differential & single-ended operation modes. Max. Input Voltage Range = 4 Vpp. - Configuration modes for gain and offset calibration measurements. • 4 Single-ended configurable A/D conversion channels: <ul style="list-style-type: none"> - Programmable Single-Slope ADC (SS ADC): from 10 bits @ 77 kS/s up to 15 bits @ 3 kS/s. - Programmable Input Voltage Range with several ranges between 0 and 2.8 V by minimum steps of 200 mV. - Configuration modes for high-impedance input path and sensor conditioning. • 3 Current-steering D/A converters with a resolution of 8 bits plus sign and a full scale of 25 mA. • 1 Standard SPI interface for communication: to read/write configuration registers and to read output codes. • Internal memory: 13 R/W configuration registers of 16 bits + 11 read-only registers of 16 bits for output data. • Internal oscillator with programmable frequency to control de ADCs and the SPI operation: <ul style="list-style-type: none"> - Oscillator with programmable frequency between 3 and 100 MHz. - Additional configuration option is available to use an external oscillator. • Voltage supply and reference signals generation: <ul style="list-style-type: none"> - 2 Internal bandgaps for independent reference voltage generation in the analog and the digital parts. - Reference currents generated from a reference voltage and an external low temperature drift resistor. - 3 Low-dropout voltage regulators for the generation of the voltage supply in the ADCs, DACs, and the digital part, respectively. • Digital pins can support any logic family in the range between 3.3 and 5.5 V. • Power-On-Reset • Single-event upset detection through a dedicated digital output pin. • Additional configuration modes for analog and digital testing. 	
<p>Operating Conditions</p> <p>ADCs power supply: 3.3-5.5 V. DACs power supply: 3.3-5.5 V. Digital power supply: 3.3-5.5 V.</p>	<p>Absolute Maximum Ratings</p> <p>ADCs power supply: 5.5 V. DACs power supply: 5.5 V. Digital power supply: 5.5 V.</p>
<p>Key Characteristics</p> <ul style="list-style-type: none"> • Double-poly 4-metals 0.35μm CMOS process from AMS (AustriaMicroSystems). • ADCs and DACs with monotonic characteristics. • INL Error DS ADCs¹: < 60 μV • Rms noise DS ADCs¹: ~ 60 μV • INL Error SS ADCs²: < 340 μV • Rms noise SS ADCs²: ~ 172 μV • INL Error CS DACs: 0.3% of full-scale • Wide operating temperature range: -90 to +125 °C. • TID tolerance: rad-hard at least up to 320 krad. • Immune to SELs at least up to 80.8 MeV·cm²/mg. • Immune to destructive SEEs at least up to 80.8 MeV·cm²/mg. • SEU LET_{eff} threshold = 16.5 MeV·cm²/mg, and with SEU detection. • ADCs SEE threshold = 16.5 MeV·cm²/mg. • Full ASIC estimated error rate = 0.1 errors/year³. 	<p>Pinout</p> 
<p>Fig. 2. Pinout description.</p>	

¹Typical value with a programmed resolution of 16 bits, maximum input voltage range (4 V_{pp}) and a clock frequency of 100 MHz.

²Typical value with a programmed resolution of 13 bits, maximum input voltage range (0-2.8 V) and a clock frequency of 100 MHz.

³Estimation obtained for a 90% worst-case geostationary orbit with 100 mils of Al shielding.

Pin description

Table 2. Pin description.

Number	Name	Description
1	VADCC3N	Negative input for DSADC-3 ¹ .
2	VADCC3P	Positive input for DSADC-3 ¹ .
3	VADCC2N	Negative input for DSADC-2 ¹ .
4	VADCC2P	Positive input for DSADC-2 ¹ .
5	VADCC1N	Negative input for DSADC-1 ¹ .
6	VADCC1P	Positive input for DSADC-1 ¹ .
7	VADCC0N	Negative input for DSADC-0 ¹ .
8	VADCC0P	Positive input for DSADC-0 ¹ .
9	TOAP	Test pin for analog circuitry (Pos) ¹ .
10	TOAN	Test Pin for analog circuitry (Neg) ¹ .
11	IKBGRP	Ibias input pin. A resistor (nominally 24kΩ) must be connected to this pin for reference current generation ¹ .
12	VDDREGADC	Voltage regulator output pin in the ADC section ² .
13	GNDADC	Ground pin for the ADC section.
14	VDDAADAC	Power supply pin for ADC section.
15	VDDADAC	Power supply pin for DAC section.
16	GNDADAC	Ground pin for the DAC section.
17	VDDREGDAC	Voltage regulator output pin in the DAC section ² .
18	GNDIDAC	External ground connection for DAC's output switches.
19	IDAC0N	DAC0 Negative Output
20	IDAC0P	DAC0 Positive Output
21	IDAC1N	DAC1 Negative Output
22	IDAC1P	DAC1 Positive Output
23	IDAC2N	DAC2 Negative Output
24	IDAC2P	DAC2 Positive Output
25	VDDREGD	Voltage regulator output pin in the digital section ² .
26	GNDD	Ground pin for the digital section.
27	VDDD	Power supply pin for digital section
28	CSN	SPI Chip Select ³ .
29	SCL	SPI Clock ³ .
30	MISO	SPI MasterIn-SlaveOut.
31	MOSI	SPI MasterOut-SlaveIn ³ .
32	EXTCLK	External clock ⁴ .
33	CLKSEL	Clock Selector (Internal/External) ⁴ .
34	DT1	Digital Test Pin
35	EOCC	End of Conversion Channel DSADCs.
36	SOCC	Start of Conversion Channel DSADCs ⁴ .
37	EOCT	End of Conversion SSADC.
38	SOCT	Start of Conversion SSADC ⁴ .
39	RST	External Reset ⁴ .
40	SEE_DF	Single Events Detector Flag
41	VADCT3	SSADC-3 input.
42	VADCT2	SSADC-2 input.
43	VADCT1	SSADC-1 input.
44	VADCT0	SSADC-0 input.
45	VADCC5N	Negative input for DSADC-5 ¹ .
46	VADCC5P	Positive input for DSADC-5 ¹ .
47	VADCC4N	Negative input for DSADC-4 ¹ .
48	VADCC4P	Positive input for DSADC-4 ¹ .

¹A 200Ω series resistor is connected at the input pad for ESD protection.

²A 10μF capacitor must be connected to ensure voltage regulator stability.

³A 100kΩ power-up resistor is connected at this pin.

⁴A 100kΩ power-down resistor is connected at this pin.

Block diagram

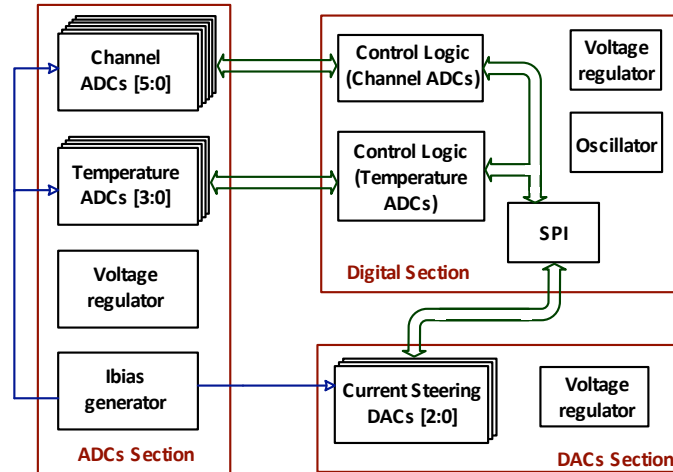


Fig. 3. Block diagram.

Principles of operation

Voltage regulators

Three internal voltage regulators provide separated power supplies to the ADCs, DACs and the digital logic, respectively. All the reference voltages in the chip are generated internally by using two bandgaps (for the analog and the digital parts, respectively) as references to ensure temperature stability. Fig. 4(a) and (b) show, respectively, the topologies employed for the implementation of the bandgaps and the low-dropout (LDO) regulators. External capacitors are needed to ensure the stability in the regulators. A 10 μF ceramic capacitor and a 100nF ceramic decoupling capacitor, connected in parallel, are suggested for this purpose.

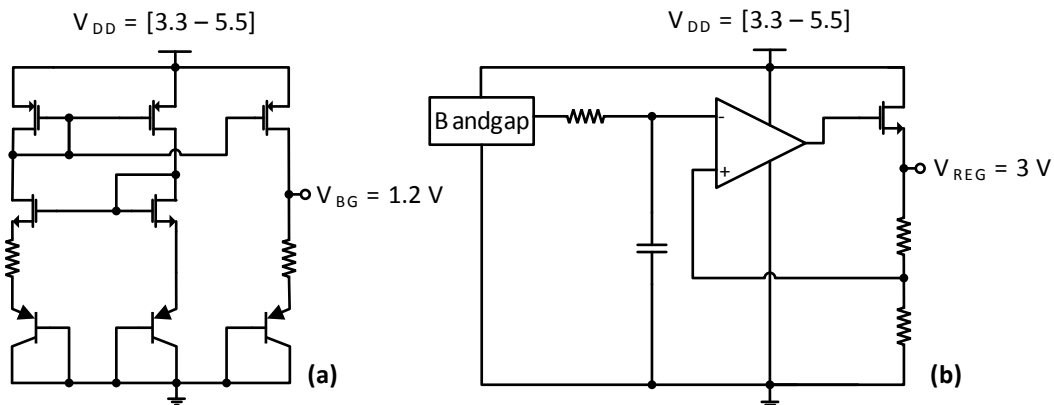


Fig. 4. (a) Bandgap. (b) Voltage regulator.

Constant current references

A constant reference current, externally tunable through a low temperature drift resistor, is used to generate all the internal reference currents needed in the chip.

Oscillator

The master clock can be internally generated or externally introduced by using the EXTCLK input pin. CLKSEL signal selects either local oscillator (CLKSEL set to low logic level) or the external clock (CLKSEL set to high logic level). When CLKSEL signal is selected to high level, the local oscillator is powered down.

Fig. 5 shows the topology used for the local oscillator, corresponding with a relaxation oscillator. The frequency can be configured by means of C in a range between 25 and 105 MHz, which can be done by programming the R1.FOSCSEL<3:0> (FOSCSEL field in the register with address 1) configuration bits. An additional option can be used to divide, by a factor between 1 and 8, the frequency of the selected clock (either internal or external clock) by using the R1.OSC_DIV<1:0> configuration bits.

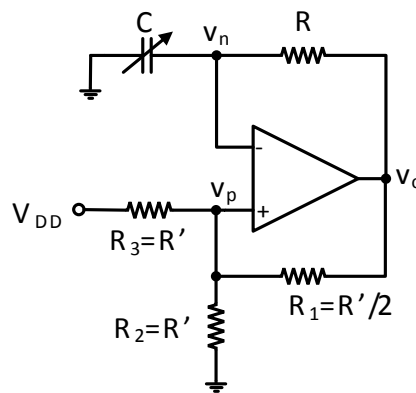


Fig. 5. Circuit schematic of the internal relaxation oscillator.

Dual-slope ADCs

Fig. 6 shows a simplified block diagram of one of the six conversion channels. In this figure, “X” denotes the channel identification (from 0 to 5) and “RY” denotes the configuration register associated to each conversion channel (from 2 to 7), that is, $Y=X+2$. For example, VADCC5P and VADCC5N are the input voltages associated with the conversion channel number 5 ($X=5$), and R7 ($Y=X+2$) is the address of the configuration register associated to this conversion channel.

Each conversion channel can be individually powered on/off, by using the specific configuration bit (RY.pup), and contains three main analog modules: a fully-differential programmable instrumentation amplifier, a fully-differential integrator, and a voltage comparator. A finite state machine (FSM) is in charge of controlling the operation of all the DS ADCs. All the operation and configuration options are programmed in the internal memory map, as shown in Fig. 1 and Fig. 6. The digital output codes are also stored in specific registers of the internal memory. The instrumentation channels are capable of working with both single-ended and differential input signals by setting the corresponding configuration bit (RY.SDS). A specific operation mode is also included to determine the offset of the overall conversion channel for measurement corrections by setting the configuration bit RY.OFFT. The maximum differential input voltage range can be extended up to $4 V_{pp}$. The resolution and conversion rate are configurable between 12 bits at 19.6 kS/s and 16 bits at 2.6 kS/s

The preamplifier is implemented by using two rail-to-rail single-ended operational amplifiers in a voltage follower configuration with a rail-to-rail fully-differential output stage. The gain can be controlled from 1 up to 1009 by means of two configurable resistor arrays (R_s and R_p) as follows:

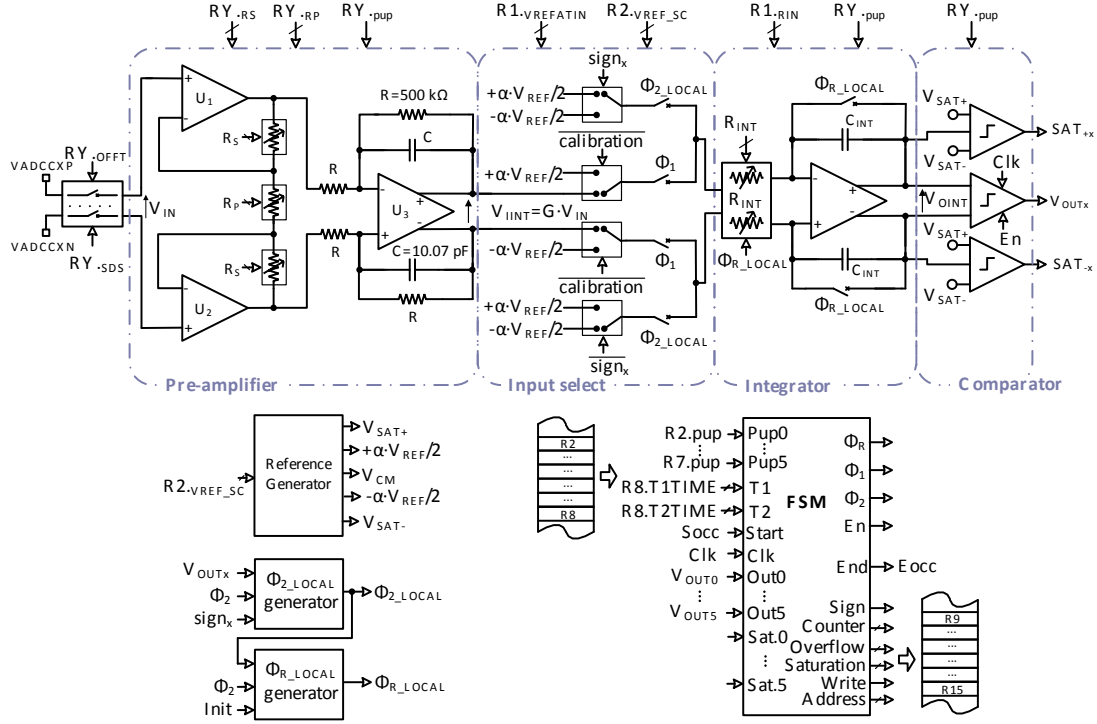


Fig. 6. Simplified schematic of the Dual-Slope Analog-to-Digital Converters (DS ADCs).

$$G = 1 + \frac{2 \cdot R_s}{R_p} \quad (1)$$

In order to program the gain, the value of R_s is configurable between 15 kΩ and 240 kΩ by using the corresponding configuration register as follows:

$$R_s = (RY.RS < 3:0 > + 1) \cdot 15k\Omega \quad (2)$$

The value of R_p is also configurable and it is given by:

$$R_p = \frac{30k\Omega}{RY.RP < 5:0 >} \quad (3)$$

When $RY.RP < 5:0 > = 0$ no resistor is connected and the gain of the preamplifier is 1.

The integrator is also fully-differential. The operational amplifier is a rail-to-rail Miller topology with a folded-cascoded first stage. The resistance value is configurable through an array of resistors in order to change the integration time constant and thus the maximum resolution and speed. The value of the integration capacitor is 40 pF while the resistor can be set from 515 kΩ to 4.096 MΩ by programming the corresponding configuration option ($R1.RIN < 1:0 >$), which is common to the six dual-slope conversion channels. The comparator, which must operate at the clock frequency (100 MHz nominally), uses a fully-differential, regenerative latched approach with a preamplifier stage to mitigate the effective offset voltage and reduce the kickback effect on the integrator output.

Fig. 7 shows a time diagram of the conversion process. Each conversion cycle is triggered by a positive edge of the SOCC input pin signal. When the SOCC signal is set to "1" the FSM is first reset (in the same way of an external reset signal), restoring it from any eventual error during the previous conversion. Once the FSM is reset the conversion cycle itself begins with a reset phase (ϕ_R), with a

fixed duration of N_{CR} clock cycles ($N_{CR}=1024$), during which the capacitors of the integrator are fully discharged. Then, during the first integration phase (ϕ_1), with a programmable duration of N_{C1} clock cycles, the integrator input signal $V_{IINT} = G \cdot V_{IN}$, with V_{IN} being the instrumentation amplifier input, is integrated. N_{C1} can be configured by using the R8.T1TIME<7:0> configuration bits ($N_{C1} = 128 \cdot R8.T1TIME<7:0>$), being this value common to all the six DS ADCs.

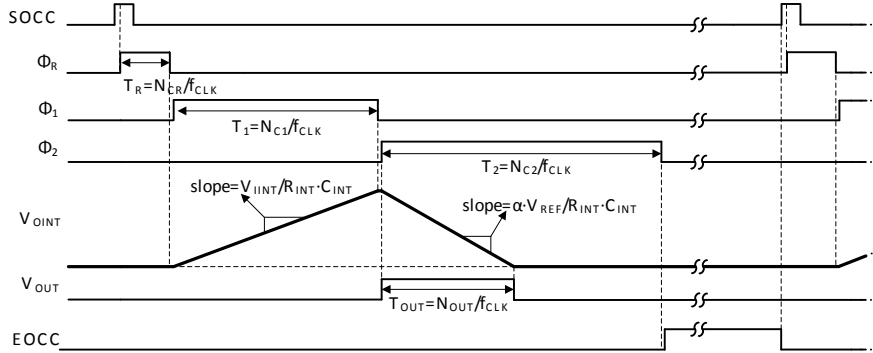


Fig. 7. Time diagram of the conversion process of the DS ADCs (not to scale).

The integrator time constant $R_{INT} \cdot C_{INT}$, is also common to all the DS ADCs, and can be programmed using the configurable resistor value R_{INT} ($R_{INT}=R1.RIN<1:0>$, $C_{INT}=40$ pF). The integrator output voltage at the end of ϕ_1 is given by:

$$V_{OINT}(T_1) = \frac{G \cdot V_{IN} \cdot N_{C1}}{f_{CLK} \cdot R_{INT} \cdot C_{INT}} \quad (4)$$

where f_{CLK} is the programmed clock frequency. In order to avoid saturation, this value must be kept within the integrator saturation limits: $|V_{OINT}(T_1)| \leq |V_{SAT_INT}|$. In this design, $V_{SAT_INT} = \pm 2$ V.

At the end of ϕ_1 , the comparator is first used to determine the sign of V_{IN} by comparing the integrator output. This sign is then used to select the polarity of an internal reference voltage that is connected at the integrator input during the second integration phase (ϕ_2). The programmable magnitude of this reference voltage is derived from a general reference ($V_{REF} = \pm 2$ V) using a factor α than can be configured between 0.125 and 1 with steps of 0.125, yielding effective references level between ± 250 mV and ± 2 V with steps of 250 mV. The α factor is common to the six dual-slope conversion channels, and can be programmed by using the R2.VREF_SC<2:0> configuration bits ($\alpha \cdot V_{REF}=R2.VREF_SC<2:0>$). At the beginning of ϕ_2 , a digital counter in the FSM starts counting. After some (signal dependent) number N_{OUT} of clock cycles, the output of the integrator crosses zero and the output of the comparator switches. At this event, the counter data (magnitude) and signal sign are stored in the corresponding output register and the integrator input is disconnected. The programmable duration of ϕ_2 , denoted as N_{C2} in clock cycles, is the maximum value of N_{OUT} and therefore represents the desired resolution: $N_{C2} = 2^{(RES-1)} - 1$, with RES being the number of bits including sign. N_{C2} is configurable by using the R8.T2TIME<7:0> configuration option ($N_{C2} = 128 \cdot R8.T2TIME<7:0>$), being this value common to all the six DS ADCs. At the zero-crossing event the output voltage of the integrator is:

$$V_{OINT}(T_{OUT}) = 0 = V_{OINT}(T_1) - \frac{\text{sign}(V_{IN}) \cdot \alpha \cdot V_{REF} \cdot N_{OUT}}{f_{CLK} \cdot R_{INT} \cdot C_{INT}} \quad (5)$$

All the powered-on DS ADCs operate in parallel, which means that all of them share the same control signals from the FSM (ϕ_R , ϕ_1 , ϕ_2) and from the outside (SOCC, EOCC), as shown in Fig. 1. At the end of ϕ_2 , the end-of-conversion (EOCC) output signal is set to "1" at an output pin, in order to inform that all the powered-on converters have finished the conversion cycle and the output digital values are ready to be read (R9 – R15), being the FSM waiting for another SOCC pulse to perform the next conversion cycle. The EOCC signal remains in "1" until the next SOCC pulse is received, as shown in

Fig. 7. Using (4) in (5) yields the relationship between the differential input voltage (V_{IN}) and the output code:

$$N_{OUT} = \text{sign}(V_{IN}) \cdot \left\lfloor \frac{G \cdot V_{IN} \cdot N_{C1}}{\alpha \cdot V_{REF}} \right\rfloor \quad (6)$$

This relationship is independent of the clock frequency and time constant of the integrator, indicating that precision components are not needed since they affect the down-slope and up-slope in the same ratio, providing high levels of insensitivity to any fluctuation of its values. The only requirement is that R and C remain unchanged (including temperature effects) during all the conversion. The resolution, expressed as 1 LSB of equivalent input voltage, is:

$$LSB = \frac{|\alpha \cdot V_{REF}|}{G \cdot N_{C1}} \quad (7)$$

There are three conditions that determine the differential input voltage range (IVR) of the instrumentation channel. The first two are related to the saturation limits of the preamplifier ($\pm V_{SAT_PRE} = \pm 2$ V, assuming for simplicity that the input common-mode voltage is at mid-supply) and the integrator ($\pm V_{SAT_INT} = \pm 2$ V). The third one is given by (6) in the limiting case in which $N_{OUT} = N_{C2}$. Thus, the IVR is given by the minimum of these conditions:

$$|IVR| = \min \left(\left| \frac{V_{SAT_PRE}}{G} \right|, \left| \frac{V_{SAT_INT} \cdot f_{CLK} \cdot R_{INT} \cdot C_{INT}}{G \cdot N_{C1}} \right|, \left| \frac{N_{C2} \cdot \alpha \cdot V_{REF}}{N_{C1} \cdot G} \right| \right) \quad (8)$$

A proper configuration of the conversion channel is obtained making the three conditions in (8) equal. This yields expressions for proper values of N_{C1} and α :

$$N_{C1} = \left\lfloor \frac{V_{SAT_INT} \cdot f_{CLK} \cdot R_{INT} \cdot C_{INT}}{V_{SAT_PRE}} \right\rfloor \cong |f_{CLK} \cdot R_{INT} \cdot C_{INT}| \quad (9)$$

$$\alpha = \left\lfloor \frac{V_{SAT_INT} \cdot f_{CLK} \cdot R_{INT} \cdot C_{INT}}{(2^{RES-1} - 1) \cdot V_{REF}} \right\rfloor \cong \frac{N_{C1}}{N_{C2}} \quad (10)$$

Finally, the conversion rate depends on the clock frequency and the duration of the reset and the two integration phases:

$$F_s = \frac{f_{CLK}}{(N_{CR} + N_{C1} + N_{C2})} \quad (11)$$

As shown in Fig. 6, two voltage-level comparators are used to monitor the operation of the integrator, alerting with a specific flag if the integrator saturates. The FSM alerts as well if there is an overflow in the count of the counter during the second integration. These flags alert from malfunction, and allow a straightforward implementation of auto-ranging techniques. The saturation and overflow flags are stored in the internal memory (R9), being ready to be read when the EOCC pulse is generated.

The programmability of N_{C1} , N_{C2} , f_{CLK} , R_{INT} , α and G makes the conversion channel very adaptable in terms of resolution, conversion rate, and input voltage range.

Single-slope ADCs

Fig. 8 shows the circuit description of the SS ADC. The resolution is configurable between 10 bits and 15 bits by setting the R17.RESADCT<2:0> configuration option. The input voltage range is also configurable by independently setting both the initial and final reference voltages of the ramp excursion with values between 0 V and 3 V with increments of 200 mV. R17.VR_RAMP_INI<3:0> and R17.VR_RAMP_END<3:0> configuration options are used for this purpose. The architecture consists of a ramp generator shared by four self-biased comparators, a finite state machine (FSM) that controls the operation of the ADC and a reference voltage generator to set the input voltage range. The different system elements can be individually powered on/off by using specific configuration options (R17.pupslpgen for the ramp generator and R16.pupX for each conversion channel).

An integrator driven by a NMOS transistor acting as a voltage-controlled current source implements the ramp generator. The generation of the ramp is controlled by a feedback loop comprised by a capacitor (C_F) and two pairs of switches. The feedback loop modifies the end value of the ramp, towards the reference voltage (V_{REF_LAST}), by regulating the input voltage of the current source, in turn modified according to the difference between the actual final value of the ramp and V_{REF_LAST} . Thus, after starting up the ramp generator, by using the R17.pup_slpgen configuration option, several cycles of adaption (typically 15 cycles) are needed until the ramp is fully adapted and reaches the reference end value. This is illustrated in Fig. 9.

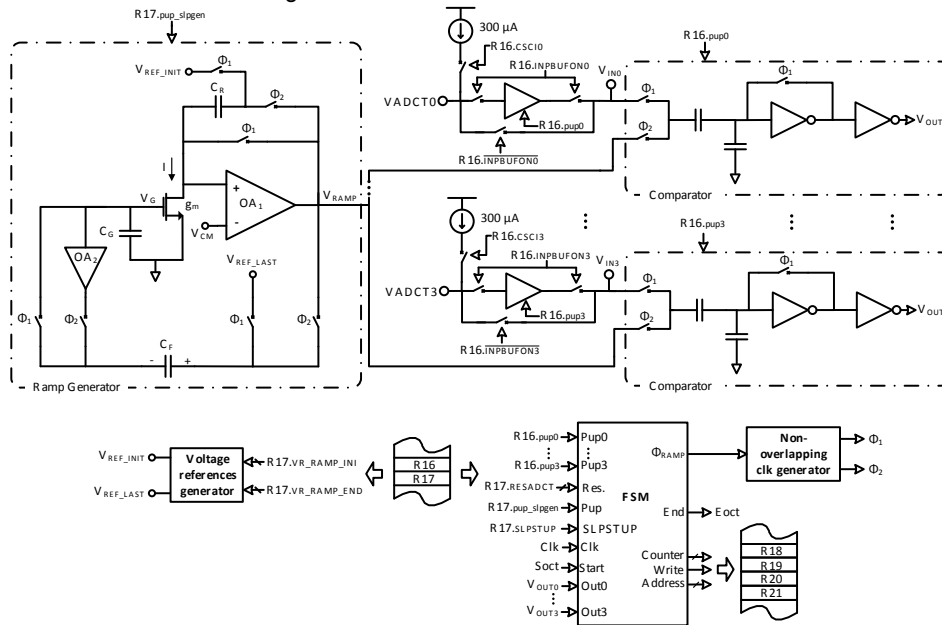


Fig. 8. Simplified schematic of the 4-channels Single-Slope Analog-to-Digital Converter (SS ADC).

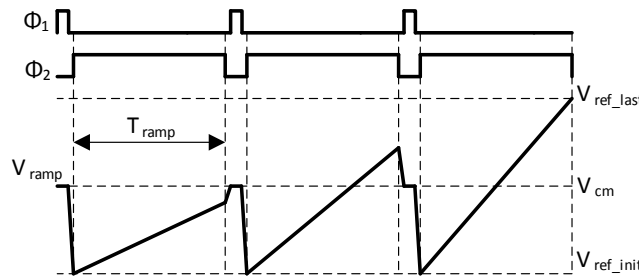


Fig. 9. Time diagram of the operation of the ramp generator with the feedback loop until the ramp is adapted (not to scale).

As shown in Fig. 8, an internal current source of $300 \mu\text{A}$ can be connected at the input of each channel in order to perform sensor conditioning when required. The R16.CSCIX configuration option is used for this purpose. An opamp in a source-follower configuration can also be connected to provide high impedance path to the input by using the R16.INPBUFONX configuration option.

The generation of the ramp is divided into two phases. During the first phase, ϕ_1 , with a duration of 256 clock cycles, the feedback network determines the error voltage used to adapt the value of the gate voltage of the current source (V_G) for the next phase, the capacitance of the integrator (C_R) is reset, the comparators are in the reset phase and the output of the ramp generator is driven to an intermediate reference (V_{CM}). During the second phase, ϕ_2 , the comparators are in the active phase

and the integrator generates the ramp signal starting from V_{REF_INIT} with a driving current value that depends on the voltage V_G used in the previous phase. An opamp in a follower configuration (OA_2) is used to prevent the discharge of capacitor C_G during this phase. After several cycles of adaption, the error voltage is ideally zero (actually it is reduced to the offset voltage of the opamp OA_2) and the range of the ramp signal is established between V_{REF_INIT} and V_{REF_LAST} .

The R17.SLPSTUP configuration option can be used to provide an initial condition to the ramp generation at the beginning of the adaption of the loop in order to avoid any possible initial condition that could make the loop unstable when powered on. This is done by providing an initial voltage at the gate of the voltage-controlled current source. However, this option was not necessary to use in any of the experimental tests performed.

The adaptive nature of this ramp generator provides an inherent monotonic ramp generation with high levels of stability of the transfer characteristic of the SS ADC against any expected source of variation, including temperature variations and TID effects, and limited only by the variations in the bandgap reference voltage that defines the ramp excursions. The resolution of the ADC is determined by the time duration of phase ϕ_2 (T_{ramp}). This signal is easily generated in the FSM including a digital counter. This provides a good level of scalability with resolution, as the only hardware that must be scaled is the digital counter.

After powered on, and once the ramp generator is adapted, the FSM continues generating the control signals (ϕ_1 and ϕ_2) in order to keep the feedback loop adapted, regardless of a start-of-conversion signal (SOCT) has been received or not. This means that the beginning of the conversion cycle and the SOCT signal are not necessary synchronized, and the conversion cycle is performed for all the powered on channels although a SOCT signal has not been received, but in this case, the corresponding digital output data are not updated.

Fig. 10 shows a time diagram of the conversion process. When a high logic level of the SOCT signal is received (SOCT="1"), which can occurs in any moment of the actual conversion cycle, the output digital value will be updated in the next conversion cycle and an end-of-conversion (EOCT) pulse (of 64 clock cycles) is generated at an output pin, in order to inform that all the powered-on converters have finished the conversion cycle and the output digital values have been updated, being ready to be read (R18 – R21). As it is shown in Fig. 10, during a conversion cycle in which the digital output data is going to be updated, the corresponding output register is reset at the end of the reset phase (ϕ_1), this is done in order to prevent from the case in which the input voltage is out of the programmed input voltage range defined by the ramp excursion. Thus, when the input voltage is lower than V_{REF_INIT} , a 0 will be stored in the output register, and when the input voltage is higher than V_{REF_LAST} , the maximum value ($2^{RES}-1$) will be stored in the output register.

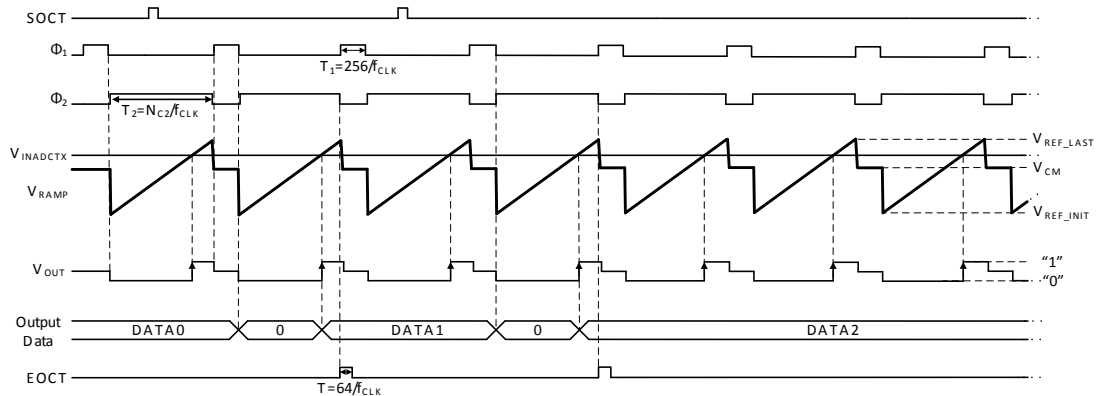


Fig. 10. Time diagram of the conversion process of the SS ADCs (not to scale).

As stated before, the resolution of the SS ADC is determined by the time duration of the N_{C2} clock cycles of the phase ϕ_2 ($N_{C2}=2^{RES}-1$), which is configurable between 10 and 15 bits by setting the R17.RESADCT<2:0> configuration option. The duration of each conversion cycle depends on the selected resolution and the clock frequency:

$$F_s = \frac{1}{T_1 + T_2 + T_{END}} = \frac{f_{CLK}}{320 + (2^{RES} - 1)} \quad (12)$$

Current-steering DACs

Three current-steering digital-to-analog converters with a resolution of 8 bits plus sign are included to enable offset cancellation of the magnetoresistive sensors in several of the possible strategies (bucking, nulling and closed-loop cancellation).

Each DAC can be individually powered on/off by using specific configuration options (RX.pup, with X=22,23 and 24). A set of switches has been also included to allow either positive or negative sensor offset cancellation by using the RX.SD configuration option. Using the RX.DATA <2:9> configuration option configures the output DAC value.

Fig. 11 shows the schematic description of one of the three DACs. Currents sources are obtained scaling conveniently a current reference that is obtained using bandgap voltage and an external resistor at the IKBGRP output pin.

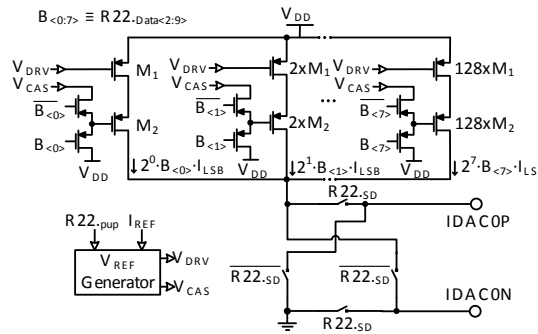


Fig. 11. Current-steering digital-to-analog converter scheme.

SPI interface

Internal registers included in the MOURA ASIC can be configured (only configuration registers) and read (configuration and output data registers) through the internal SPI interface, supporting the 0-mode (no delay rising-edge) protocol. The typical frequency of operation is 1 MHz. Each data frame consists of an 8-bit command byte followed by a 16-bits data word. The MSB is sent first for both write and read modes. The command bits are distributed as shown in Table 2:

Table 3. Command word description.

Bit	Description
7	Read/write. 0 → read-mode; 1 → write-mode
6-5	Read/write internal delay 00 → Register read is delayed 20 cycles 01 → Register read is delayed 15 cycles 10 → Register read is delayed 10 cycles 11 → Register read is delayed 5 cycles
4-0	Register address.

The MSB in the command word determines if the ASIC is configured in the read or in the write mode, so it should be evaluated before starting the data transmission or reception. Time diagrams are shown in Fig. 12 for both the write (a) and the read (b) modes.

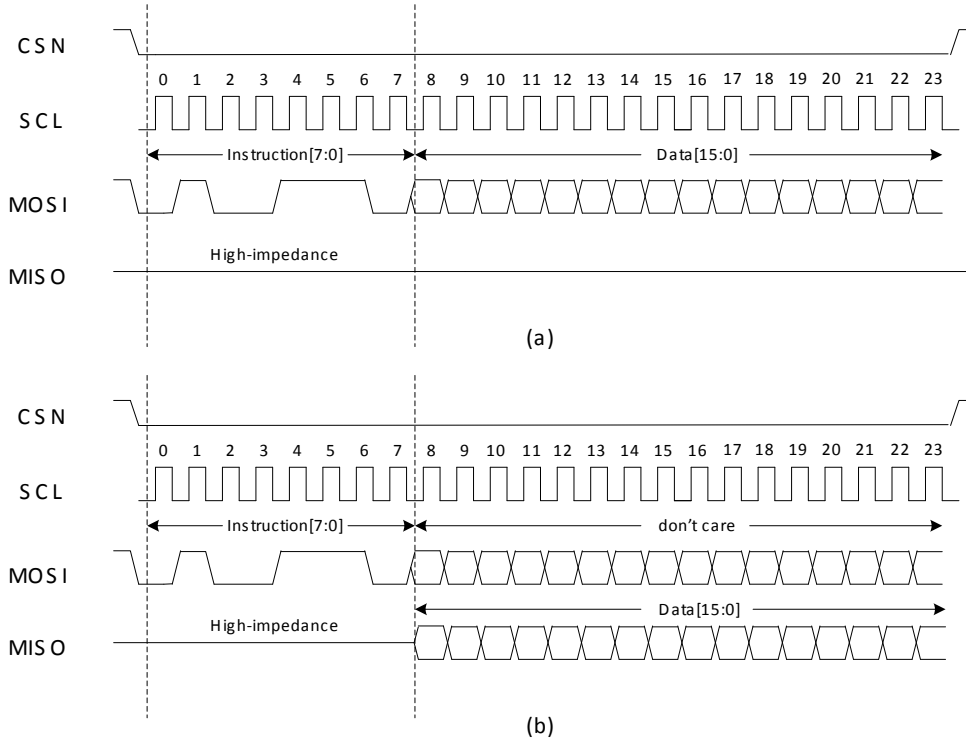


Fig. 12. SPI protocol time diagram. Bit number 0 is introduced first. (a) write-mode. (b) read-mode.

Configuration/data registers

The set of configuration/data registers included in the ASIC are detailed in the following tables:

General register

This register configures more than one functional block:

Table 4. General register.

		Address: 00001 [1]	Default Value (After RESET)
Bit number	Name	Description	
0-3	FOSCSEL<3:0>	Oscillator configuration word (data from simulation @25°C and typical model): 0000 → 24.59MHz 0001 → 25.91 MHz 0010 → 27.44 MHz 0011 → 29.09 MHz 0100 → 31.01 MHz 0101 → 33.14 MHz 0110 → 35.64 MHz 0111 → 38.53 MHz 1000 → 41.88 MHz 1001 → 45.91 MHz	0000

		1010→ 50.88 MHz 1011→ 56.87 MHz 1100→ 64.48 MHz 1101→ 74.91 MHz 1110→ 87.54 MHz 1111→ 104.1MHz	
4-6	RIN<1:0>	Selects R_{INT} and thus the time constant in the integrators of the DS ADCs: 00→515.6KΩ 01→1.031MΩ 10→2.062MΩ 11→4.124MΩ	00
6		Not Used	
7	VREFATIN	Connects the reference voltage as the input signal in the DSADCs for calibration measurements: 0→ Not connected 1→ Connected	0
8-9	TOUTSEL<1:0>	Selects test output signals: 00→ VINTEG_POS/NEG @ TOAP/N, EOCT @ EOCT and CLKDIV16 @ DT1 01→ VINS_POS/NEG @ TOAP/N, PHIR @ EOCT and PHI1 @ DT1 10→ VBUFF_POS/NEG @ TOAP/N, PHI2 @ EOCT and PHI1 @ DT1 11→ VRAMP @ TOAP, EOCT @ EOCT and RSTRAMP @ DT1	00
10	TESTCIR_EN	Test Circuitry Enable: 0→Test disabled 1→Test enabled	0
11	CLKTEST_EN	Clock Test Enable: 0→Clock test disabled 1→Clock test enabled	0
12-13	OSC_DIV<1:0>	Selects main clock division for FSMs: 00→ Selects no division 01→ Clock frequency divided by 2 10→ Clock frequency divided by 4 11→ Clock frequency divided by 8	0

Dual-slope ADCs configuration registers

Configuration registers for dual-slope conversion channels (1 register per channel). The configuration register for the converter DSADC0 is different as it contains three additional bits that control the reference voltage level:

Table 5. DSADC configuration register 0.

Name: DSADC-CR0		Address: 00010 [2]	Default Value (After RESET)
Bit number	Name	Description	
0	pup	Power-up: 0→ DSADC DISABLED 1→ DSADC ENABLED	0
1-6	RP<5:0>	Parallel resistor selection in instrumentation amplifier	0
7-10	RS<3:0>	Serial resistor selection in instrumentation amplifier	0
11	OFFT	Offset test selector for calibration: 0→ No offset measurement 1→ Offset measurement	0
12	SDS	Single or differential input signal modes: 0→ Differential mode 1→ Single mode	0
13-15	VREF_SC<2:0>	V_{REF} level control: 000→ $V_{REF_SC}=\pm 0.25\text{ V}$	000

		001→ VREF_SC=±0.50 V 010→ VREF_SC=±0.75 V 011→ VREF_SC=±1.00 V 100→ VREF_SC=±1.25 V 101→ VREF_SC=±1.50 V 110→ VREF_SC=±1.75 V 111→ VREF_SC=±2.00 V	
--	--	--	--

Table 6. DSADCs configuration registers 1-5.

Name: DSADC-CR1 to DSADC-CR5		Address: 00011-00111 [3]-[7]	Default Value (After RESET)
Bit number	Name	Description	
0	pup	Power-up: 0→ DSADC disabled 1→ DSADC enabled	0
1-6	RP<5:0>	Parallel resistor selection in instrumentation amplifier	000000
7-10	RS<3:0>	Serial resistor selection in instrumentation amplifier	0000
11	OFFT	Offset test selector for calibration: 0→ No offset measurement 1→ Offset measurement	0
12	SDS	Single or differential input signal modes: 0→ Differential mode 1→ Single mode	0

DSADCs finite-state machine control registers

DSADC FSM configuration register:

Table 7. DSADC FSM configuration register.

Name: DSADC-FSMC0		Address: 01000 [8]	Default Value (After RESET)
Bit number	Name	Description	
0-7	T2TIME<7:0>	Digitally programmable reference signal integration time: Time=T2TIME*(128*clockPeriod)	00000000*
15-8	T1TIME<7:0>	Digitally programmable input signal integration time: Time=T1TIME*(128*clockPeriod)	00000000*

* Practical values are in the range between 00000001 and 10000000

DSADCs conversion data registers

DSADC overflow and saturation errors register:

Table 8. DSADCs overflow and saturation errors registers.

Name: DSADC-FSMC1		Address: 01001 [9]	Default Value (After RESET)
Bit number	Name	Description	
0-5	OVFLW<5:0>	Overflow Flag (1 bit for each converter)	000000
6-11	SAT<11:6>	Saturation Flag (1 bit for each converter)	000000

DSADC data registers (x6: one register for each conversion channel):

Table 9. DSADCs data registers.

Name: DSADC-DATAFSM0 to DSADC-DATAFSM5		Address: 01010 to 01111 [10]-[15]	Default Value (After RESET)
Bit number	Name	Description	
0-14	Counter<14:0>	Digital output data	0000000000000000
15	SEL_REF	Conversion Sign (1=positive, 0=negative)	0

Single-slope ADC configuration register

SSADCs configuration register:

Table 10. SSADC configuration register.

Name: SSADC-CR		Address: 10000 [16]	Default Value (After RESET)
Bit number	Name	Description	
0	Pup0	Power-up SSADC0: 0 → SSADC0 disabled 1 → SSADC0 enabled	0
1	Pup1	Power-up SSADC1: 0 → SSADC1 disabled 1 → SSADC1 enabled	0
2	Pup2	Power-up SSADC2: 0 → SSADC2 disabled 1 → SSADC2 enabled	0
3	Pup3	Power-up SSADC3: 0 → SSADC3 disabled 1 → SSADC3 enabled	0
4	CSCI0	Current source connected at input in SSADC0: CSCI0=0 → Current source not connected CSCI0=1 → Current source connected	0
5	CSCI1	Current source connected at input in SSADC1: CSCI1=0 → Current source not connected CSCI1=1 → Current source connected	0
6	CSCI2	Current source connected at input in SSADC2: CSCI2=0 → Current source not connected CSCI2=1 → Current source connected	0
7	CSCI3	Current source connected at input in SSADC3: CSCI3=0 → Current source not connected CSCI3=1 → Current source connected	0
8	INPBUFON0	Input buffer connection: INPBUFON0 =0 → Input buffer not connected INPBUFON0 =1 → Input buffer connected	0
9	INPBUFON1	Input buffer connection: INPBUFON1 =0 → Input buffer not connected INPBUFON1 =1 → Input buffer connected	0
10	INPBUFON2	Input buffer connection: INPBUFON2 =0 → Input buffer not connected INPBUFON2 =1 → Input buffer connected	0
11	INPBUFON3	Input buffer connection: INPBUFON3 =0 → Input buffer not connected INPBUFON3 =1 → Input buffer connected	0

SSADC ramp generator register:

Table 11. SSADC ramp generator register.

Name: SSADC-FSM0		Address: 10001 [17]	Default Value (After RESET)
Bit number	Name	Description	
0-2	RESADCT<2:0>	Resolution selection: RESSSADC=000 → 10 bits RESSSADC=001 → 11 bits RESSSADC=010 → 12 bits RESSSADC=011 → 13 bits RESSSADC=100 → 14 bits RESSSADC=101 → 15 bits	000
3	Pup_slpgen	Ramp generator power-up: Pup_slpgen=0 → No ramp generation Pup_slpgen=1 → Ramp generation	0
4	SLPSTUP	Reference voltage connected for the ramp generation during start-up:	0

		SLPSTUP =0→ Reference not connected SLPSTUP =1→ Reference connected	
5-8	VR_RAMP_INI<3:0>*	Low voltage level for ramp excursion: 0000→ VREF_INIT=0 V 0001→ VREF_INIT=0.2 V 0010→ VREF_INIT=0.4 V 0011→ VREF_INIT=0.6 V 0100→ VREF_INIT=0.8 V 0101→ VREF_INIT=1.0 V 0110→ VREF_INIT=1.2 V 0111→ VREF_INIT=1.4 V 1000→ VREF_INIT=1.5 V 1001→ VREF_INIT=1.6 V 1010→ VREF_INIT=1.8 V 1011→ VREF_INIT=2.0 V 1100→ VREF_INIT=2.2 V 1101→ VREF_INIT=2.4 V 1110→ VREF_INIT=2.6 V 1111→ VREF_INIT=2.8 V	0000
9-12	VR_RAMP_END<3:0>*	High voltage level for ramp excursion: 0000→ VREF_LAST=3.0 V 0001→ VREF_LAST=2.8 V 0010→ VREF_LAST=2.6 V 0011→ VREF_LAST=2.4 V 0100→ VREF_LAST=2.2 V 0101→ VREF_LAST=2.0 V 0110→ VREF_LAST=1.8 V 0111→ VREF_LAST=1.6 V 1000→ VREF_LAST=1.5 V 1001→ VREF_LAST=1.4 V 1010→ VREF_LAST=1.2 V 1011→ VREF_LAST=1.0 V 1100→ VREF_LAST=0.8 V 1101→ VREF_LAST=0.6 V 1110→ VREF_LAST=0.4 V 1111→ VREF_LAST=0.2 V	0000

* VREF_LAST should be greater than VREF_INIT for correct operation.

SSADC output data registers (x4: 1 register for each conversion channel):

Table 12. SSADC data registers.

Name: SSADC-DATAFSM0 to SSADC-DATAFSM3		Address: 10010-10101 [18]-[21]	Default Value (After RESET)
Bit number	Name	Description	
0-14	Data<14:0>	Digital output data	00000000000000

DAC registers

Configuration Registers DACs (x3: 1 register for each D/A converter):

Table 13. DACs configuration registers.

Name: CRDAC0 to CRDAC2		Address: 10110-11000 [22]-[24]	Default Value (After RESET)
Bit number	Name	Description	
0	pup	Power-up: 0→ DAC DISABLED 1→ DAC ENABLED	0
1	SD	Sign of the DAC code: 0→ Negative sign 1→ Positive sign	0
2-9	Data	DAC code	00000000

ESD

In order to avoid the switching noise propagation, the power supply and the ground buses are divided in three different sections in the pad ring: ADCs, DACs and digital. The power supply buses are completely isolated between them, and the ground buses are softly connected using two diodes in an anti-parallel connection, as shown in Fig. 13.

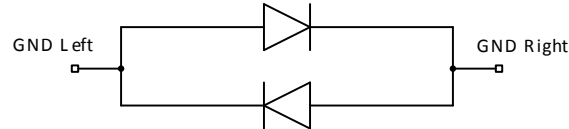


Fig. 13. Antiparallel diode topology for ground buses connections.

Electrical characteristics

Voltage regulation, current consumption and internal oscillator

Table 14. Voltage regulation, current consumption and internal oscillator.

Voltage Regulation ¹								
VDDREGADC			VDDREGDAC			VDDREGD		
Min. (V)	Typ. (V)	Max. (V)	Min. (V)	Typ. (V)	Max. (V)	Min. (V)	Typ. (V)	Max. (V)
3.041	3.068	3.093	3.046	3.071	3.086	3.005	3.044	3.069
Current Consumption								
VDDREGADC			VDDREGDAC			VDDREGD		
Min ² . (mA)	Typ.	Max ³ . (mA)	Min ⁴ . (mA)	Typ.	Max ⁵ . (mA)	Min ⁶ . (mA)	Typ.	Max ⁷ . (mA)
7.9	-	40.6	5	-	80	4.1	-	40.8
Internal Oscillator ⁸								
FOSCSEL<3:0>=0000			FOSCSEL<3:0>=1010			FOSCSEL<3:0>=1111		
Min. (MHz)	Typ. (MHz)	Max. (MHz)	Min. (MHz)	Typ. (MHz)	Max. (MHz)	Min. (MHz)	Typ. (MHz)	Max. (MHz)
26.29	26.68	27.36	53.12	54.13	55.78	101.80	104.26	107.80

¹V_{supply} = 5 V, T^a = 25 °C, samples (#4 to #8).

²Configuration by default after reset. All the analog and digital blocks are powered off.

³All the converters are powered on and the ASIC is configured with the most demanding configuration in terms of power consumption.

⁴Configuration by default after reset. DAC converters are powered off.

⁵DAC converters are powered on and configured with the maximum code (255).

⁶All the analog and digital blocks are powered off. The internal oscillator is also disabled. The power consumption with the internal oscillator enabled and configured by default (FOSCSEL<3:0>=0000=24.59 MHz) is 15.10 mA.

⁷The ASIC is configured with the most demanding configuration in terms of power consumption.

⁸V_{supply} = 5 V, T^a = 25 °C, samples (#4 to #7).

Current-steering DACs

Table 15. Current-steering DACs: static performance¹.

Resolution	Units	8 bits plus sign		
		Min.	Typ.	Max.
INL Error	LSB	-2.1	1.4 -1.4	2.1
DNL Error	LSB	-0.8	+0.3 -0.4	0.55
Offset	LSB	< 0.1	< 0.1	< 0.1
Gain Error	% Full-scale	-1.5	0.1	1

¹V_{supply} = 5V, T^a = 25 °C, samples #4 to #8.

Single-slope ADCs

Table 16. Single-slope ADCs: static performance¹.

Resolution		10 bits			11 bits			12 bits		
	Units	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
Conv. Time	µs	-	13	-	-	23	-	-	43	-
INL Error	LSB	-0.3	+0.22 -0.28	0.3	-0.4	+0.20 -0.33	0.4	-0.7	+0.28 -0.34	0.8
DNL Error	LSB	-0.2	+0.05 -0.05	0.2	-0.3	+0.15 -0.1	0.3	-0.4	+0.2 -0.2	0.4
Offset	LSB		16			16			16	
Rms noise	LSB	0	0.01	0.02	0.5	0.5	0.55	0.5	0.5	0.6
Gain error	% FS	-0.02	0.01	0.02	-0.02	0.02	0.02	0.02	0.03	0.04
Resolution		13 bits			14 bits			15 bits		
	Units	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
Conv. Time	µs	-	84	-	-	166	-	-	330	-
INL Error	LSB	-1.3	+0.99 -0.92	1.5	-6	+3.90 -3.10	+7	-17	+14 -9.6	+20
DNL Error	LSB	-0.5	+0.3 -0.25	0.6	-0.6	+0.4 -0.3	0.8	-0.8	+0.5 -0.4	1.1
Offset	LSB		16			16			16	
Rms noise	LSB	0.4	0.5	0.7	0.8	0.88	1.2	1.56	1.66	1.82
Gain error	% FS	0.04	0.06	0.08	0.05	0.08	0.1	0.07	0.1	0.15

¹V_{supply} = 5V, T^a = 25 °C, samples #4 to #7, f_{CLK} = 100 MHz, Input voltage range = 0 – 2.8 V.

Dual-slope ADCs

Table 17. Dual-slope ADCs: static performance¹.

Resolution		12 bits ²			13 bits ³			14 bits ⁴		
	Units	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
Conv. Time	µs	-	51	-	-	92	-	-	174	-
INL Error (G=1)	LSB	-0.3	+0.10 -0.10	0.4	-0.5	+0.20 -0.15	0.7	-1.1	+0.55 -0.30	1.9
INL Error (G=2)	LSB	-0.2	+0.10 -0.10	0.2	-0.3	+0.15 -0.15	0.3	-0.5	+0.45 -0.4	0.55
DNL Error	LSB	-0.3	+0.15 -0.10	0.3	-0.3	+0.20 -0.20	0.4	-0.4	+0.25 -0.20	0.5
Offset	LSB	-8	2	10	-17	5	20	-35	12	41
Diff. offset ⁷	LSB	-	±18	-	-	±18	-	-	±19	-
Rms noise	LSB	-	0	-	0.09	0.1	0.11	0.4	0.45	0.5
Resolution		15 bits ⁵			16 bits ⁶					
	Units	Min.	Typ.	Max.	Min.	Typ.	Max.			
Conv. Time	µs	-	338	-	-	502	-			
INL Error (G=1)	LSB	-2.2	+0.70 -0.50	3.8	-7	+0.85 -1.10	8			
INL Error (G=2)	LSB	-0.7	+0.6 -0.6	0.75	-0.85	+0.75 -0.6	0.9			
DNL Error	LSB	-0.6	+0.35 -0.25	0.75	-0.8	+0.4 -0.4	1.1			
Offset	LSB	-71	25	82	-142	52	163			
Diff. offset ⁷	LSB	-	±20	-	-	±21	-			
Rms noise	LSB	0.45	0.5	0.55	0.75	0.85	0.9			

¹V_{supply} = 5V, T^a = 25 °C, samples #4 to #7.

²f_{CLK}=100 MHz, R_{INT}=515.6 kΩ, N_{C1}=2048, N_{C2}=2048, VREF_SC=±2 V, IVR=±2 V.

³f_{CLK}=100 MHz, R_{INT}=1.031 MΩ, N_{C1}=4096, N_{C2}=4096, VREF_SC=±2 V, IVR=±2 V.

⁴f_{CLK}=100 MHz, R_{INT}=2.062 MΩ, N_{C1}=8192, N_{C2}=8192, VREF_SC=±2 V, IVR=±2 V.

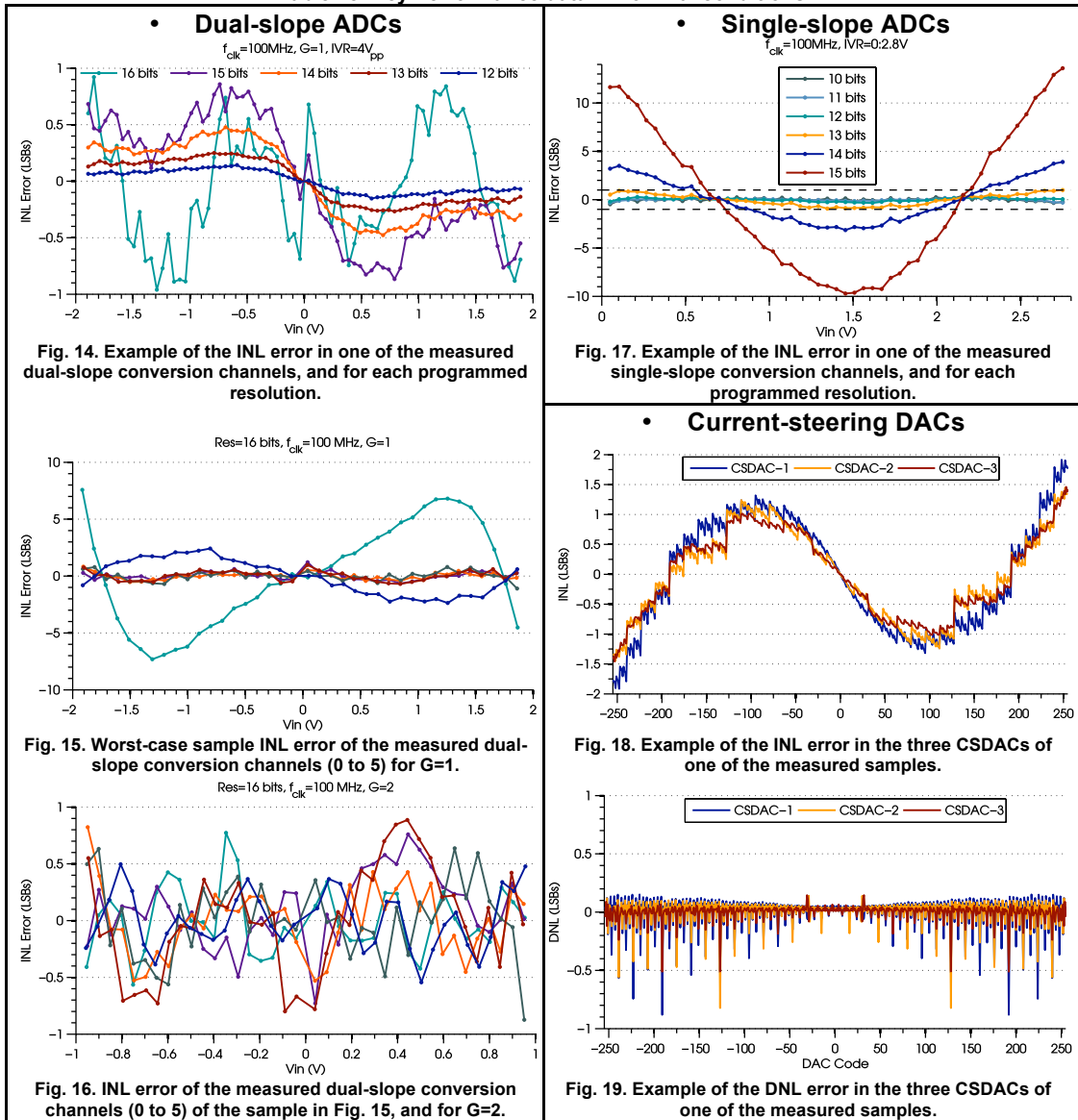
⁵f_{CLK}=100 MHz, R_{INT}=4.12 MΩ, N_{C1}=16384, N_{C2}=16384, VREF_SC=±2 V, IVR=±2 V.

⁶f_{CLK}=100 MHz, R_{INT}=4.12 MΩ, N_{C1}=16384, N_{C2}=32768, VREF_SC=±1 V, IVR=±2 V.

⁷Step in the static transfer characteristic of the ADC when crossing zero.

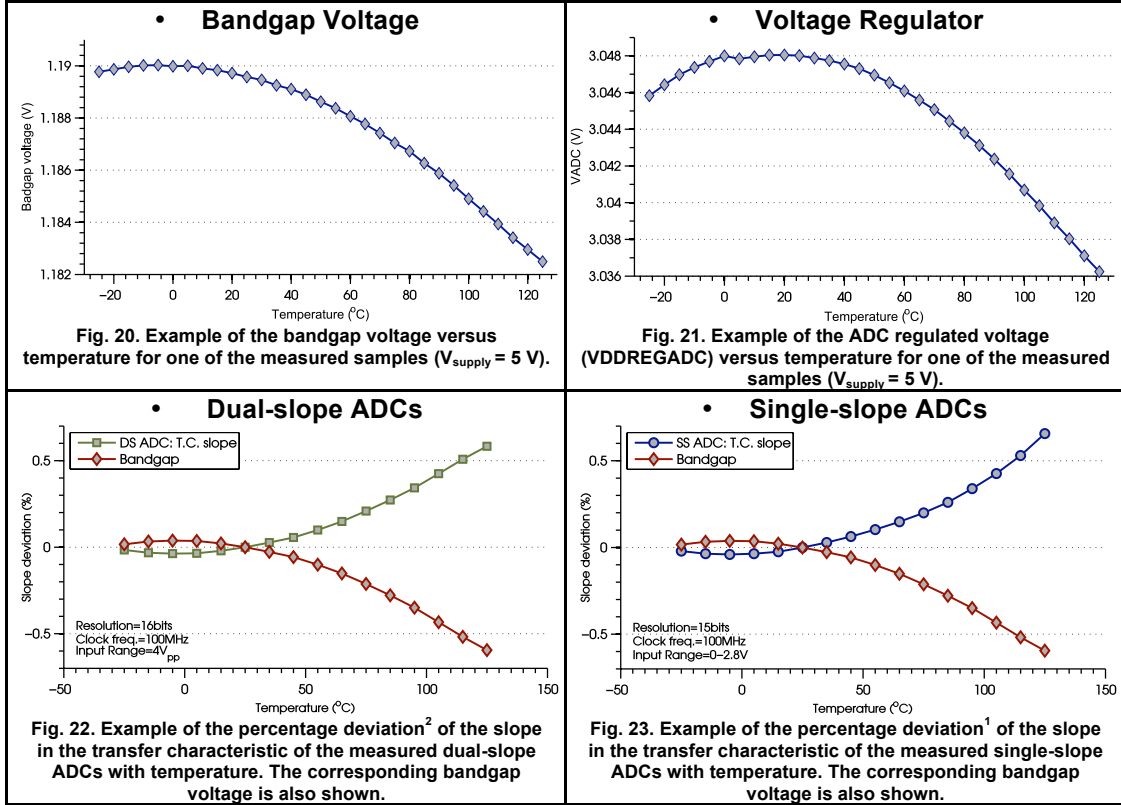
Key performance data in nominal conditions

Table 18. Key Performance data in nominal conditions.



Key performance data against temperature

Table 19. Key Performance data against temperature.

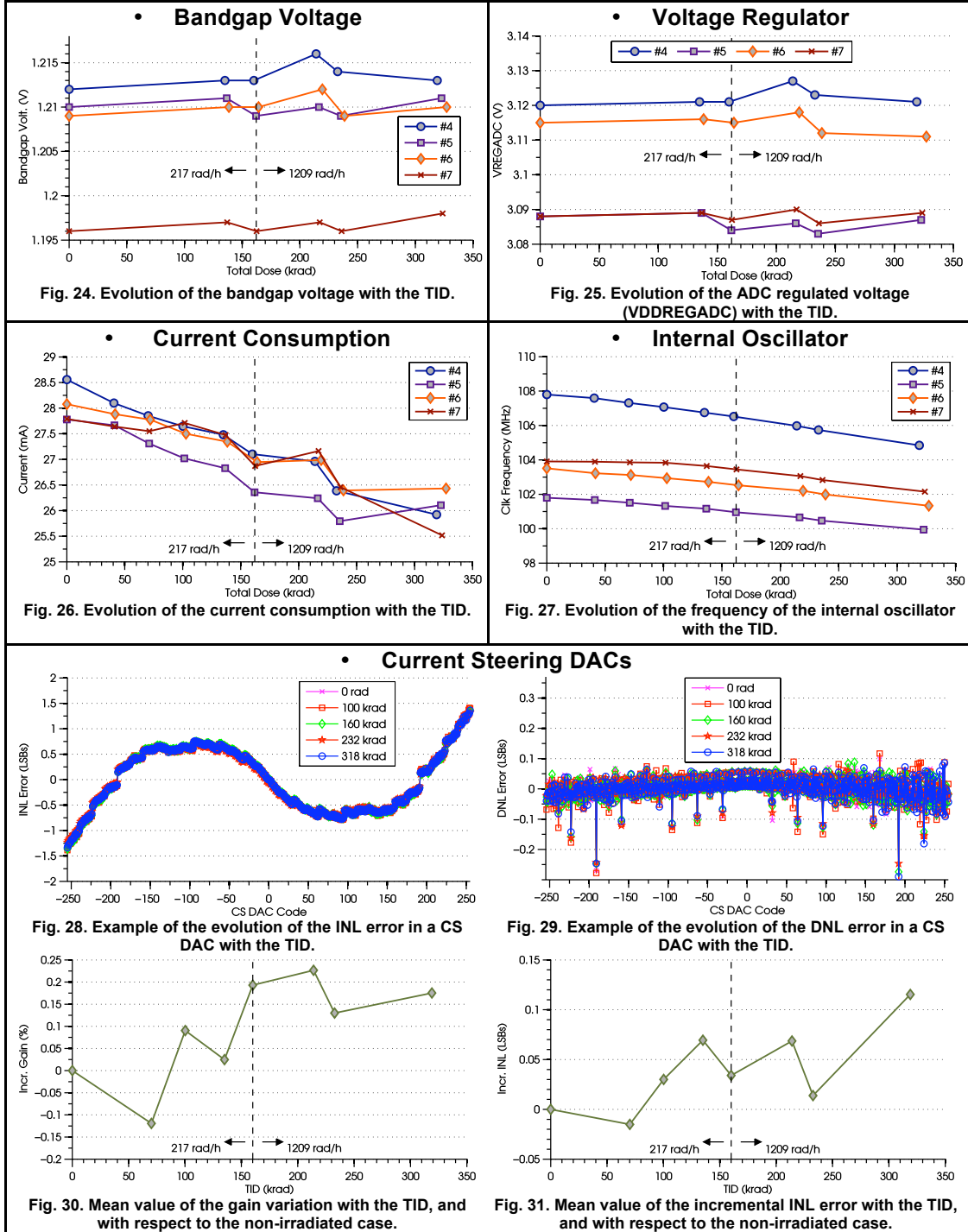


¹Results with respect to the nominal temperature (25 °C).

- Note-1:** temperature tests were performed by using the instrument Thermonics T-2650BV in the range between -25 and 125 °C. It was not possible to continue with the characterization for temperatures below -25 °C because the formation of ice crystals causing shorts in the ASIC. Similar behavior is expected for lower temperatures, and due to the previous characterization of the individual components in the selected CMOS technology. This characterization was performed for temperatures down to -110 °C by using a thermal chamber. The experimental results showed that the coefficients of the standard design kit model adequately the behavior of CMOS transistors over the extended range. The behavior of the present ASIC has also been validated during the design process with simulations between -90 and 125 °C.
- Note-2:** the main source of variation with the temperature in the current-steering DACs is due to the fluctuations of the reference current, in turn generated by the external low-temperature coefficient resistor, and a reference voltage from the internal bandgap. The maximum deviation with temperature of the gain of the CS DACs, and with respect to the nominal value at 25 °C, is always lower than 0.5 %.

Key performance data against Total Ionizing Dose (TID).

Table 20. Key Performance data against TID.



• Single-slope ADCs

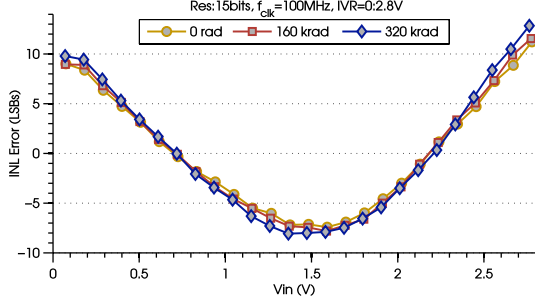


Fig. 32. Example of the evolution of the INL error in a SS ADC with the TID.

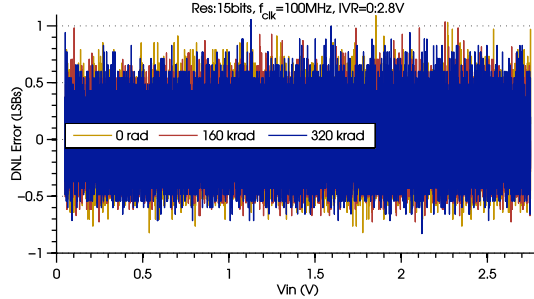


Fig. 33. Example of the evolution of the DNL error in a SS ADC with the TID.

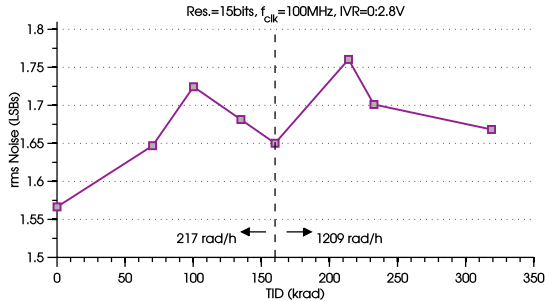


Fig. 34. Evolution of the rms noise with the TID.

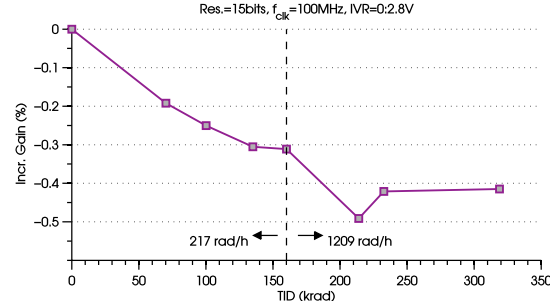


Fig. 35. Mean value of the gain variation with the TID, and with respect to the non-irradiated case.

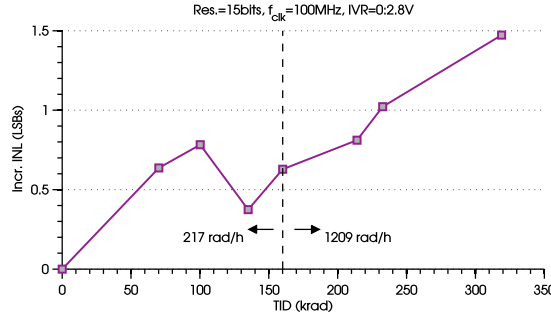


Fig. 36. Mean value of the incremental INL error with the TID, and with respect to the non-irradiated case.

• Dual-slope ADCs

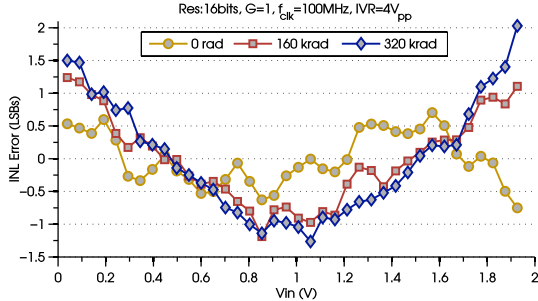


Fig. 37. Example of the evolution of the INL error in a DS ADC with the TID.

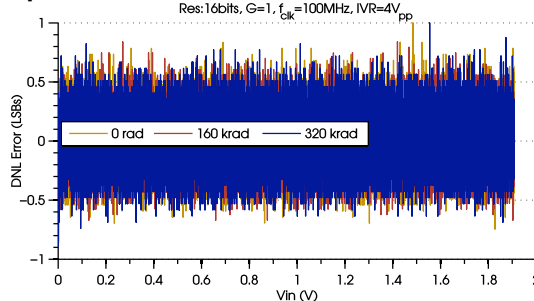


Fig. 38. Example of the evolution of the DNL error in a DS ADC with the TID.

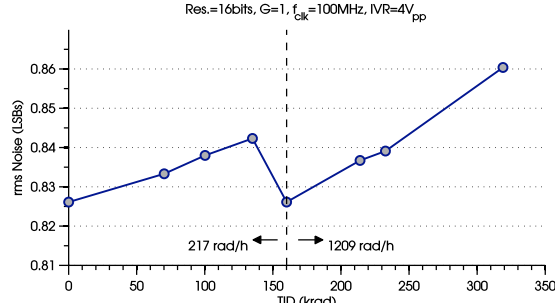


Fig. 39. Evolution of the rms noise with the TID.

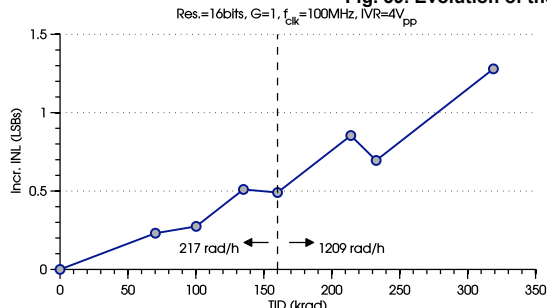


Fig. 40. Mean value of the gain variation with the TID, and with respect to the non-irradiated case.

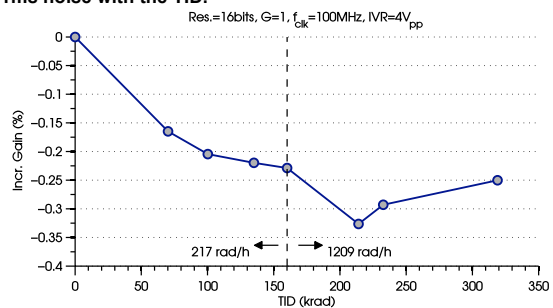


Fig. 41. Mean value of the incremental INL error with the TID, and with respect to the non-irradiated case.

Key performance data against Single-Event Effects (SEEs).

Table 20. Key Performance data against SEEs.

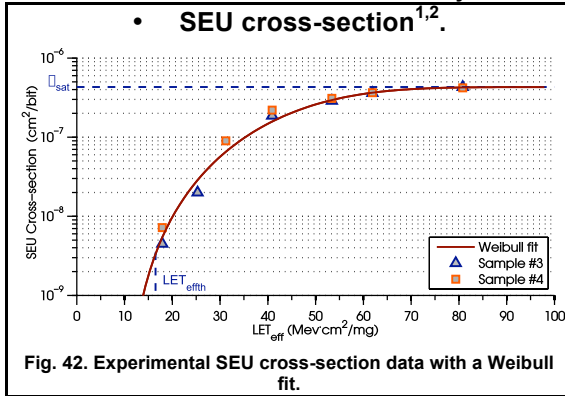


Fig. 42. Experimental SEU cross-section data with a Weibull fit.

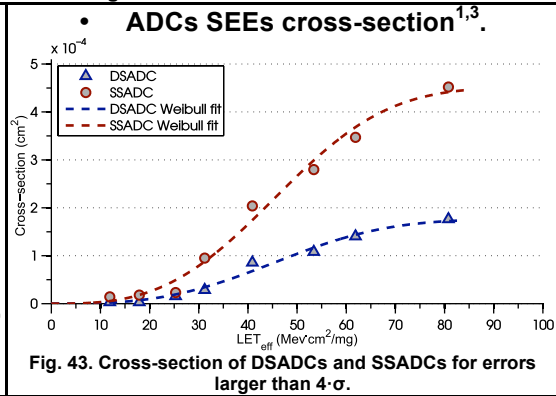


Fig. 43. Cross-section of DSADCs and SSADCs for errors larger than 4σ.

¹The characterization was performed with ion cocktail from a heavy ion source. For the case of low-LET ions, the effective flux was $10 \text{ kions} \cdot \text{cm}^{-2} \cdot \text{s}^{-1}$, reaching a maximum fluence of $10^7 \text{ ions} \cdot \text{cm}^{-2}$. For the case of ions with higher LET, the effective flux was $5 \text{ kions} \cdot \text{cm}^{-2} \cdot \text{s}^{-1}$, with a maximum fluence of $5 \cdot 10^6 \text{ ions} \cdot \text{cm}^{-2}$.

²SEU characterization was performed using the internal configuration registers (208 bits) as test vehicles. Every single discrepancy error was considered a SEU, independently of its detection by the SEU detector. Multiple errors in the same reading were considered as part of the ADCs SEEs error cross-section.

³To obtain these data, it has been considered that a SEE error was induced when the output data codes had a deviation larger than $4 \cdot \sigma$, where σ corresponds with the corresponding ADC standard deviation.

The SEU LET threshold (LET_{th}) is around $16.5 \text{ MeV}\cdot\text{cm}^2/\text{mg}$. Using the IRPP (Integral Rectangular Parallelepiped) methodology, the estimated upset rate, for a 90 % worst case geostationary orbit with 100 mils of Al shielding, is approximately $3.6\cdot 10^{-8}$ errors/bit-day.

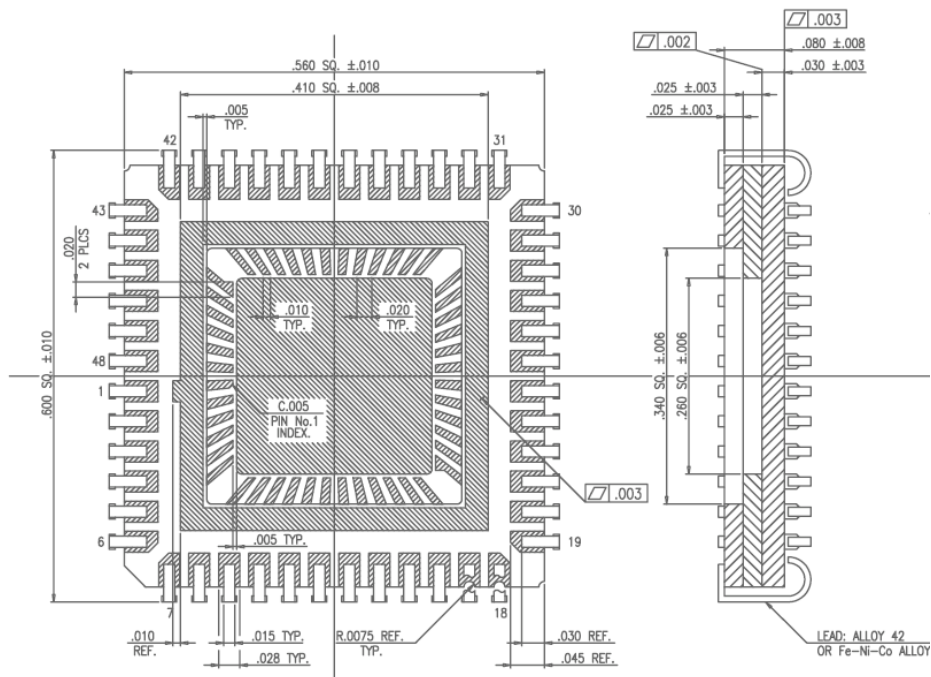
No destructive SEEs, including single-event latchups (SELs), were produced for the maximum ion energy available ($80.8 \text{ MeV}\cdot\text{cm}^2/\text{mg}$).

The estimated SEE error rate for the application example of a geostationary orbit with a maximum incident flux of cosmic rays, and assuming 100 mils of aluminium shielding, is of $2.1\cdot 10^{-9}$ /day for the DS ADCs, and $3.4\cdot 10^{-5}$ /day for each conversion channel of the SS ADCs.

The total SEE error rate for the whole ASIC in the same conditions (geostationary orbit with a maximum incident flux of cosmic rays, and assuming 100 mils of aluminium shielding) is 0.1 errors/year.

Package

The circuit has been initially encapsulated in a ceramic JLCC 48 package for testing purposes. This package contains nickel elements, which could affect the magnetic-field measurements when using for the magnetometer application. There are also on demand package options without nickel elements. Fig. 44 shows the package layout and dimensions.



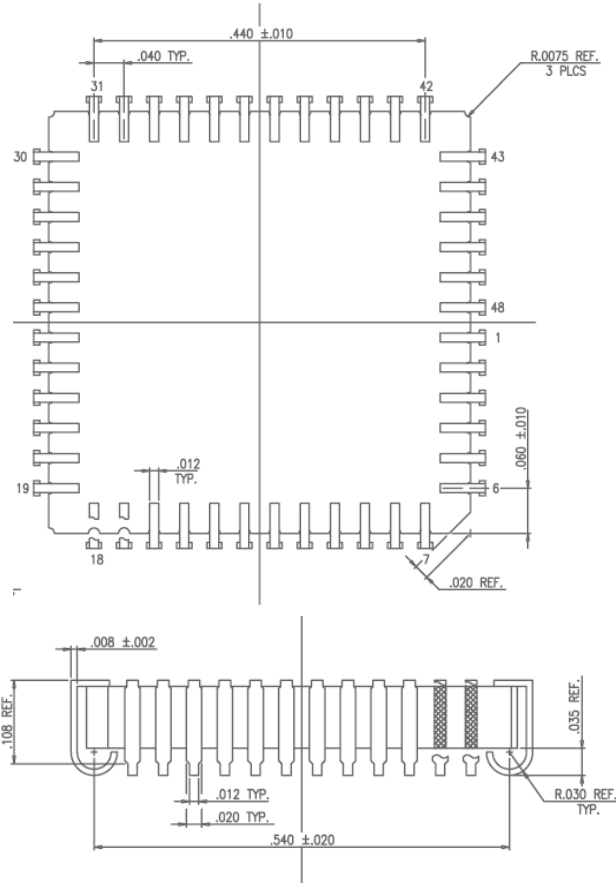


Fig. 44. JLCC 48 package layout and dimensions.

Notes:

1. All exposed metalized area shall be gold-plated (minimum thick: 50 micro-inches) over nickel plate.
2. Flatness pertains to metalized pads only.
3. The seal and the attached die areas shall be isolated from all leads (zero ground).

B. Publicaciones

A continuación se muestra un listado de las publicaciones en revistas y congresos relacionadas con este trabajo de tesis:

Revistas

- S. Sordo-Ibáñez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, J. Ceballos-Cáceres, L. Carranza-González, S. Espejo-Meana, A. Arias-Drake, J. Ramos-Martos, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, "CMOS Rad-Hard Front-End Electronics for Precise Sensors Measurements," *IEEE Trans. on Nuclear Science*, vol. 63, no. 4, pp. 2379-2389, Aug. 2016.
- S. Sordo-Ibáñez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, J. Ceballos-Cáceres, L. Carranza-González, S. Espejo-Meana, A. Arias-Drake, J. Ramos-Martos, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, "A Front-End ASIC for a 3-D Magnetometer for Space Applications by Using Anisotropic Magnetoresistors," *IEEE Trans. on Magnetics*, vol. 51, no. 1, pp. 1-4, Jan. 2015.
- S. Sordo-Ibáñez, S. Espejo-Meana, B. Piñero-García, A. Ragel-Morales, J. Ceballos-Cáceres, M. Muñoz-Díaz, L. Carranza-González, A. Arias-Drake, J. M. Mora-Gutiérrez, M. A. Lagos-Florido and J. Ramos-Martos, "Four-channel self-compensating single-slope ADC for space environments," *Electronics Letters*, vol. 50, no. 8, pp. 579-581, Apr. 2014.

Congresos y Workshops

- S. Espejo-Meana, J. Ceballos-Cáceres, A. Ragel-Morales, S. Sordo-Ibáñez, L. Carranza-González, J. M. Mora-Gutiérrez, M. A. Lagos-Florido and J. Ramos-Martos, "MEDA Wind Sensor Front End ASIC," in *Proc. of the 6th Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications – European Space Agency*, pp. 1-10, Jun. 2016.
- S. Sordo-Ibáñez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, J. Ceballos-Cáceres, L. Carranza-González, S. Espejo-Meana, A. Arias-Drake, J. Ramos-Martos, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, "A Front-End ASIC for a 3D Magnetometer for Space Applications Based on Anisotropic Magnetoresistors," in *Proc. of the 10th European Conf. on Magnetic Sensors and Actuators*, Jul. 2014.
- S. Sordo-Ibáñez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, J. Ceballos-Cáceres, L. Carranza-González, S. Espejo-Meana, A. Arias-Drake, J. Ramos-Martos, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, "A Rad-Hard Multichannel Front-End Readout ASIC for Space Applications," in *Proc. of the IEEE Int. Workshop on Metrology for Aerospace*, pp. 180-184, May. 2014.

- J. Ramos-Martos, A. Arias-Drake, L. Carranza-González, S. Sordo-Ibáñez, J. Ceballos-Cáceres, J. M. Mora-Gutiérrez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, S. Espejo-Meana and M. A. Lagos-Florido, “SEE characterization of a magnetometer front-end ASIC using a RHBD digital library in AMS 0.35 μm CMOS,” in *Proc. of the 5th Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications – European Space Agency*, pp. 1-4, Jun. 2014.
- S. Sordo-Ibáñez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, J. Ceballos-Cáceres, L. Carranza-González, S. Espejo-Meana, A. Arias-Drake, J. Ramos-Martos, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, “Design Methodology and Development of Mixed-Signal ASICs for Space Applications in Standard CMOS Technology,” in *Proc. of the 21st IFIP/IEEE Int. Conf. on Very Large Scale Integration*, pp. 308-309, Oct. 2013.
- S. Sordo-Ibáñez, B. Piñero-García, S. Espejo-Meana, A. Ragel-Morales, J. Ceballos-Cáceres, M. Muñoz-Díaz, L. Carranza-González, A. Arias-Drake, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, “An Adaptive Approach to On-Chip CMOS Ramp Generation for High Resolution Single-Slope ADCs,” in *Proc. of the 21st European Conf. on Circuit Theory and Design*, pp. 1-4, Sep. 2013.
- S. Sordo-Ibáñez, B. Piñero-García, M. Muñoz-Díaz, A. Ragel-Morales, J. Ceballos-Cáceres, L. Carranza-González, S. Espejo-Meana, A. Arias-Drake, J. Ramos-Martos, J. M. Mora-Gutiérrez and M. A. Lagos-Florido, “A Front-End ASIC for a 16-Bit Three-Axis Magnetometer for Space Applications Based on Anisotropic Magnetoresistors,” in *Proc. of the XVIII Conf. on the Design of Circuits and Integrated Systems*, pp. 407-412, Nov. 2013.
- J. Ramos-Martos, A. Arias-Drake, J. M. Mora-Gutiérrez, M. Muñoz-Díaz, A. Ragel-Morales, B. Piñero-García, J. Ceballos-Cáceres, L. Carranza-González, S. Sordo-Ibáñez, M. A. Lagos-Florido and S. Espejo-Meana, “SEE Characterization of the AMS 0.35 μm CMOS Technology,” in *Proc. of the 14th European Conf. on Radiation and its Effects on Components and Systems*, pp. 1-4, Sep. 2013.
- J. Ramos-Martos, A. Arias-Drake, A. Ragel-Morales, J. Ceballos-Cáceres, J. M. Mora-Gutiérrez, B. Piñero-García, M. Muñoz-Díaz, M. A. Lagos-Florido, S. Sordo-Ibáñez, S. Espejo-Meana, et al., “OWLS: A Mixed-Signal ASIC for Optical Wire-Less Links in Space Instruments,” in *Proc. of the 4th Int. Workshop on Analogue and Mixed-Signal Integrated Circuits For Space Applications – European Space Agency*, pp. 1-8, Aug. 2012.
- J. Ramos-Martos, A. Arias-Drake, A. Ragel-Morales, J. Ceballos-Cáceres, J. M. Mora-Gutiérrez, B. Piñero-García, M. Muñoz-Díaz, M. A. Lagos-Florido, S. Sordo-Ibáñez and S. Espejo-Meana, “Evaluation of the AMS 0.35 μm CMOS Technology for use in Space Applications,” in *Proc. of the 4th Int. Workshop on Analogue and Mixed-Signal Integrated Circuits For Space Applications – European Space Agency*, pp. 1-8, Aug. 2012.

Bibliografía

- [1] NASA Johnson Space Center, “The advanced missions cost model website.” <http://www.jsc.nasa.gov/bu2> [Accessed Jul. 2016].
- [2] S. Speretta, *Project solutions for low-cost space missions*. PhD thesis, Politecnico di Torino, 2010.
- [3] B. Doncaster and J. Shulman, “2016 Nano/Microsatellite market forecast,” tech. rep., SpaceWorks Enterprises, Inc.(SEI), Atlanta, GA, 2016.
- [4] M. N. Sweeting, “Space at Surrey: micro-mini-satellites for affordable access to space,” *Air & Space Europe*, vol. 2, no. 1, pp. 38–52, 2000.
- [5] A. Toorian, K. Diaz, and S. Lee, “The cubesat approach to space access,” in *IEEE Aerospace Conf.*, pp. 1–14, 2008.
- [6] J. Schwank, V. Ferlet-Cavrois, M. Shaneyfelt, P. Paillet, and P. Dodd, “Radiation effects in SOI technologies,” *IEEE Trans. on Nuclear Science*, vol. 50, no. 3, pp. 522–538, 2003.
- [7] K. K. Bourdelle, S. Chaudhry, and J. Chu, “The effect of triple well implant dose on performance of NMOS transistors,” *IEEE Trans. on Electron Devices*, vol. 49, no. 3, pp. 521–524, 2002.
- [8] M. Deveaux, J. Baudot, N. Chon-Sen, G. Claus, C. Colledani, R. De Masi, *et al.*, “Radiation tolerance of a column parallel CMOS sensor with high resistivity epitaxial layer,” *Journal of Instrumentation*, vol. 6, no. 02, p. C02004, 2011.
- [9] D. Estreich, A. Ochoa, and R. Dutton, “An analysis of latch-up prevention in CMOS IC’s using an epitaxial-buried layer process,” in *Int. Electron Devices Meeting*, vol. 24, pp. 230–234, IEEE, 1978.
- [10] J. Cressler, “Radiation Effects in SiGe Technology,” *IEEE Trans. on Nuclear Science*, vol. 60, no. 3, pp. 1992–2014, 2013.
- [11] R. C. Lacoé, “Improving integrated circuit performance through the application of hardness-by-design methodology,” *IEEE Trans. on Nuclear Science*, vol. 55, no. 4, pp. 1903–1925, 2008.
- [12] L. Rockett, D. Patel, S. Danziger, B. Cronquist, and J. Wang, “Radiation hardened FPGA technology for space applications,” in *IEEE Aerospace Conf.*, pp. 1–7, Mar. 2007.
- [13] M. Wirthlin, “High-reliability FPGA-based systems: space, high-energy physics, and beyond,” *Proc. of the IEEE*, vol. 103, pp. 379–389, Mar. 2015.
- [14] “Horizon 2020 Work Programme 2014-2015. Leadership in enabling and industrial technologies. Space,” tech. rep., European Commission, 2015.
- [15] G. Furano, R. Jansen, and A. Menicucci, “Review of radiation hard electronics activities at European Space Agency,” *Journal of Instrumentation*, vol. 8, no. 02, p. C02007, 2013.
- [16] “Instituto de Microelectrónica de Sevilla (IMSE) Website.” <http://www.imse-cnm.csic.es> [Accessed Oct. 2016].

- [17] “Universidad de Sevilla (US) Website.” <http://www.us.es> [Accessed Oct. 2016].
- [18] “Instituto Nacional de Técnica Aeroespacial (INTA) Website.” <http://www.inta.es> [Accessed Oct. 2016].
- [19] “Centro de Astrobiología (CAB) Website.” <http://www.cab.inta-csic.es> [Accessed Oct. 2016].
- [20] J. A. Rodríguez-Manfredi, M. de la Torre, N. T. Bridges, P. G. Conrad, F. Ferri, M. Genzer, *et al.*, “MEDA: an environmental and meteorological package for Mars 2020,” in *Proc. Int. Workshop on Instrumentation for Planetary Missions*, pp. 1–2, Sep. 2014.
- [21] I. Arruego, V. Apéstigue, J. Martínez, J. Jiménez, J. Rivas, M. González, *et al.*, “Solar irradiance sensor on the ExoMars 2016 lander,” in *European Planetary Science Congress*, vol. 10, p. 850, 2015.
- [22] M. Díaz-Michelena and R. Kilian, “MOURA Martian magnetometer potential for high resolution magnetic mapping,” in *EGU General Assembly Conf. Abstracts*, vol. 15, p. 1886, 2013.
- [23] A.-M. Harri, W. Schmidt, K. Pichkhadze, V. Linkin, L. Vazquez, M. Uspensky, *et al.*, “MMPM-Mars MetNet precursor mission,” in *European Planetary Science Congress*, vol. 1, p. 361, 2008.
- [24] “The MetNet Mission to Mars Website.” <http://fmispace.fmi.fi> [Accessed Jul. 2016].
- [25] A.-M. Harri, J. Leinonen, S. Merikallio, M. Paton, H. Haukka, and J. Polkko, “MetNet-in situ observational network and orbital platform to investigate the martian environment,” tech. rep., Finnish Meteorological Institute Space Research, 2007.
- [26] D. R. Morán, “Programas espaciales científicos en España,” *Cuadernos de estrategia*, no. 170, pp. 213–228, 2014.
- [27] “The MEIGA-MetNet Project Website.” <http://meiga-metnet.org> [Accessed Jul. 2016].
- [28] “Universidad Complutense de Madrid (UCM) Website.” <http://www.ucm.es> [Accessed Oct. 2016].
- [29] “Universidad Carlos III de Madrid Website.” <http://www.uc3m.es> [Accessed Oct. 2016].
- [30] “Universidad Politécnica de Cataluña (UPC) Website.” <http://www.upc.edu> [Accessed Oct. 2016].
- [31] H. Haukka, A.-M. Harri, S. Alexashkin, H. Guerrero, W. Schmidt, M. Genzer, and L. Vazquez, “Mars MetNet mission payload overview,” in *EGU General Assembly Conference Abstracts*, vol. 14, p. 8073, 2012.
- [32] I. Arruego, J. Rivas, J. Martínez, A. Martín-Ortega, V. Apéstigue, J. de Mingo, *et al.*, “Practical application of the Optical Wireless communication technology (OWLS) in extreme environments,” in *IEEE Int. Conf. on Wireless for Space and Extreme Environments*, pp. 1–5, 2015.
- [33] J. Ramos-Martos, A. Arias-Drake, A. Ragel-Morales, J. Ceballos-Cáceres, J. M. Mora-Gutiérrez, B. Piñero-García, *et al.*, “OWLS: A mixed-signal ASIC for optical wire-less links in space instruments,” in *Fourth Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications*, pp. 1–8, 2012.
- [34] F. Cortes, A. Gonzalez, A. Llopis, A. de Castro, and F. L. J. Meléndez, “New improvements in the Infrared atmospheric sensor for the Mars MetNet Mission,” in *2013 Spanish Conf. on Electron Devices*, pp. 155–158, 2013.

- [35] J. Ramos-Martos, A. Arias-Drake, A. Ragel-Morales, J. Ceballos-Cáceres, J. Mora-Gutiérrez, B. Piñero-García, *et al.*, “Radiation characterization of the austriamicrosystems 0.35 μm CMOS technology,” in *12th European Conf. on Radiation and Its Effects on Components and Systems*, pp. 806–811, Sep. 2011.
- [36] J. Ramos-Martos, A. Arias-Drake, A. Ragel-Morales, J. Ceballos-Cáceres, J. M. Mora-Gutiérrez, B. Piñero-García, *et al.*, “Evaluation of the AMS 0.35 μm CMOS technology for use in space applications,” in *Fourth Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications*, pp. 1–8, 2012.
- [37] J. Ramos, A. Arias, J. Mora, M. Muñoz, A. Ragel, B. Piñero, *et al.*, “SEE characterization of the AMS 0.35 μm CMOS technology,” in *14th European Conf. on Radiation and Its Effects on Components and Systems*, pp. 1–4, Sep. 2013.
- [38] B. D. Sierawski, M. H. Mendenhall, R. A. Reed, M. A. Clemens, R. A. Weller, R. D. Schrimpf, *et al.*, “Muon-induced single event upsets in deep-submicron technology,” *IEEE Trans. on Nuclear Science*, vol. 57, no. 6, pp. 3273–3278, 2010.
- [39] Y.-P. Fang and A. S. Oates, “Muon-induced soft errors in SRAM circuits in the terrestrial environment,” *IEEE Trans. on Device and Materials Reliability*, vol. 15, no. 1, pp. 115–122, 2015.
- [40] *Analysis and Design of Resilient VLSI Circuits*. Springer US, 2010.
- [41] J. D. Cressler and H. A. Mantooth, *Extreme Environment Electronics*. CRC Press, 2012.
- [42] R. D. Schrimpf and D. M. Fleetwood, *Radiation effects and soft errors in integrated circuits and electronic devices*. World Scientific, 2004.
- [43] C. Claeys and E. Simoen, *Radiation effects in advanced semiconductor materials and devices*. Springer Science & Business Media, 2013.
- [44] A. Holmes-Siedle and L. Adams, *Handbook of radiation effects*. Oxford University Press Inc., 1993.
- [45] E. H. Heijne, “The use of semiconductor imagers in high energy particle physics,” in *International Technical Symposium/Europe*, pp. 2–11, Int. Society for Optics and Photonics, 1986.
- [46] M. McMahan, D. Leitner, T. Gimpel, J. Morel, B. Ninemire, R. Siero, *et al.*, “A 16 MeV/nucleon cocktail for heavy ion testing,” in *IEEE Radiation Effects Data Workshop*, pp. 156–159, 2004.
- [47] F. Hartmann, *Evolution of Silicon Sensor Technology in Particle Physics*. Berlin, Heidelberg: Springer, 2009.
- [48] S. C. Witzak, R. C. Lacoce, J. V. Osborn, J. M. Hutson, and S. C. Moss, “Dose-rate sensitivity of modern nMOSFETs,” *IEEE Trans. on Nuclear Science*, vol. 52, no. 6, pp. 2602–2608, 2005.
- [49] E. Stassinopoulos, G. Brucker, and O. Van Gunten, “Total-dose and dose-rate dependence of proton damage in MOS devices during and after irradiation,” *IEEE Trans. on Nuclear Science*, vol. 31, no. 6, pp. 1444–1447, 1984.
- [50] G. Lindstrom, M. Moll, and E. Fretwurst, “Radiation hardness of silicon detectors—a challenge from high-energy physics,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 426, no. 1, pp. 1–15, 1999.
- [51] J. Srour, C. J. Marshall, and P. W. Marshall, “Review of displacement damage effects in silicon devices,” *IEEE Trans. on Nuclear Science*, vol. 50, no. 3, pp. 653–670, 2003.

- [52] C. Virmontois, V. Goiffon, P. Magnan, S. Girard, C. Inguibert, S. Petit, *et al.*, “Displacement damage effects due to neutron and proton irradiations on CMOS image sensors manufactured in deep submicron technology,” *IEEE Trans. on Nuclear Science*, vol. 57, no. 6, pp. 3101–3108, 2010.
- [53] T. R. Oldham and F. McLean, “Total ionizing dose effects in MOS oxides and devices,” *IEEE Trans. on Nuclear Science*, vol. 50, no. 3, pp. 483–499, 2003.
- [54] M. Shaneyfelt, D. Fleetwood, J. Schwank, and K. Hughes, “Charge yield for cobalt-60 and 10-keV X-ray irradiations of MOS devices,” *IEEE Trans. on Nuclear Science*, vol. 38, no. 6, pp. 1187–1194, 1991.
- [55] C. Kittel, *Introduction to solid state physics*. Wiley, 2005.
- [56] J. R. Schwank, M. R. Shaneyfelt, D. M. Fleetwood, J. A. Felix, P. E. Dodd, P. Paillet, *et al.*, “Radiation effects in MOS oxides,” *IEEE Trans. on Nuclear Science*, vol. 55, no. 4, pp. 1833–1853, 2008.
- [57] G. I. Zebrev and M. S. Gorbunov, “Modeling of radiation-induced leakage and low dose-rate effects in thick edge isolation of modern MOSFETs,” *IEEE Trans. on Nuclear Science*, vol. 56, no. 4, pp. 2230–2236, 2009.
- [58] I. S. Esqueda, H. J. Barnaby, and P. C. Adell, “Modeling the effects of hydrogen on the mechanisms of dose rate sensitivity,” *IEEE Trans. on Nuclear Science*, vol. 59, no. 4, pp. 701–706, 2012.
- [59] W. R. Dawes, *Hardening semiconductor components against radiation and temperature*. Elsevier, 1989.
- [60] T. R. Oldham, “Switching oxide traps,” *International journal of high speed electronics and systems*, vol. 14, no. 02, pp. 581–603, 2004.
- [61] H. Barnaby, “Total-ionizing-dose effects in modern CMOS technologies,” *IEEE Trans. on Nuclear Science*, vol. 53, no. 6, pp. 3103–3121, 2006.
- [62] D. Fleetwood, P. Winokur, R. Reber Jr, T. Meisenheimer, J. Schwank, M. Shaneyfelt, *et al.*, “Effects of oxide traps, interface traps, and border traps on metal-oxide-semiconductor devices,” *Journal of Applied Physics*, vol. 73, no. 10, pp. 5058–5074, 1993.
- [63] D. Fleetwood, W. Warren, J. Schwank, P. Winokur, M. Shaneyfelt, and L. Riewe, “Effects of interface traps and border traps on MOS postirradiation annealing response,” *IEEE Trans. on Nuclear Science*, vol. 42, no. 6, pp. 1698–1707, 1995.
- [64] J. R. Schwank, D. M. Fleetwood, M. R. Shaneyfelt, and P. S. Winokur, “Latent thermally activated interface-trap generation in MOS devices,” *IEEE Electron Device Letters*, vol. 13, no. 4, pp. 203–205, 1992.
- [65] D. Fleetwood, P. Winokur, and T. Meisenheimer, “Hardness assurance for low-dose space applications [MOS devices],” *IEEE Trans. on Nuclear Science*, vol. 38, no. 6, pp. 1552–1559, 1991.
- [66] D. Zupac, K. Galloway, R. Schrimpf, and P. Augier, “Radiation-induced mobility degradation in p-channel double-diffused metal-oxide-semiconductor power transistors at 300 and 77 K,” *Journal of applied physics*, vol. 73, no. 6, pp. 2910–2915, 1993.
- [67] M. Dentan, “Radiation effects on electronic components and circuits,” *CERN Training*, 2000.

- [68] J. H. Scofield, T. Doerr, and D. Fleetwood, "Correlation between preirradiation 1/f noise and postirradiation oxide-trapped charge in MOS transistors," *IEEE Trans. on Nuclear Science*, vol. 36, no. 6, pp. 1946–1953, 1989.
- [69] M.-H. Tsai and T.-P. Ma, "Effect of radiation-induced interface traps on 1/f noise in MOSFET's," *IEEE Trans. on Nuclear Science*, vol. 39, no. 6, pp. 2178–2185, 1992.
- [70] Y. Li, N. Rezzak, E. X. Zhang, R. D. Schrimpf, D. M. Fleetwood, J. Wang, *et al.*, "Including the effects of process-related variability on radiation response in advanced foundry process design kits," *IEEE Trans. on Nuclear Science*, vol. 6, no. 57, pp. 3570–3574, 2010.
- [71] G. Messenger and M. Ash, *Single Event Phenomena*. Springer US, 2013.
- [72] E. Petersen, *Single Event Effects in Aerospace*. John Wiley & Sons, 2011.
- [73] M. Shoga and D. Binder, "Theory of single event latchup in complementary metal-oxide semiconductor integrated circuits," *IEEE Trans. on Nuclear Science*, vol. 33, no. 6, pp. 1714–1717, 1986.
- [74] H. N. Becker, T. F. Miyahira, and A. H. Johnston, "Latent damage in CMOS devices from single-event latchup," *IEEE Trans. on Nuclear Science*, vol. 49, no. 6, pp. 3009–3015, 2002.
- [75] F. W. Sexton, "Destructive single-event effects in semiconductor devices and ICs," *IEEE Trans. on Nuclear Science*, vol. 50, no. 3, pp. 603–621, 2003.
- [76] F. Sexton, D. Fleetwood, M. Shaneyfelt, P. Dodd, and G. Hash, "Single event gate rupture in thin gate oxides," *IEEE Trans. on Nuclear Science*, vol. 44, no. 6, pp. 2345–2352, 1997.
- [77] R. Koga and W. A. Kolasinski, "Heavy ion induced snapback in CMOS devices," *IEEE Trans. on Nuclear Science*, vol. 36, no. 6, pp. 2367–2374, 1989.
- [78] P. E. Dodd and L. W. Massengill, "Basic mechanisms and modeling of single-event upset in digital microelectronics," *IEEE Trans. on Nuclear Science*, vol. 50, no. 3, pp. 583–602, 2003.
- [79] R. Koga, S. Penzin, K. Crawford, and W. Crain, "Single event functional interrupt (SEFI) sensitivity in microcircuits," in *Fourth European Conf. on Radiation and Its Effects on Components and Systems*, pp. 311–318, 1997.
- [80] L. W. Massengill and P. W. Tuinenga, "Single-event transient pulse propagation in digital CMOS," *IEEE Trans. on Nuclear Science*, vol. 55, no. 6, pp. 2861–2871, 2008.
- [81] S. Armstrong, B. Olson, W. Holman, J. Warner, D. McMorrow, and L. Massengill, "Demonstration of a differential layout solution for improved ASET tolerance in CMOS AMS circuits," *IEEE Trans. on Nuclear Science*, vol. 6, no. 57, pp. 3615–3619, 2010.
- [82] Z. Yuanfu, Y. Suge, Z. Xinyuan, L. Shijin, B. Qiang, W. Liang, *et al.*, "Single event soft error in advanced integrated circuit," *Journal of Semiconductors*, vol. 36, no. 11, p. 111001, 2015.
- [83] J. Hutson, *Single Event Latchup in a Deep Submicron CMOS Technology*. PhD thesis, Vanderbilt University, 2008.
- [84] J. Schwank, D. Fleetwood, P. Winokur, P. Dressendorfer, D. Turpin, and D. Sanders, "The role of hydrogen in radiation-induced defect formation in polysilicon gate MOS devices," *IEEE Trans. on Nuclear Science*, vol. 34, no. 6, pp. 1152–1158, 1987.
- [85] A. Y. Kang, P. M. Lenahan, and J. F. Conley Jr, "The radiation response of the high dielectric-constant hafnium oxide/silicon system," *IEEE Trans. on Nuclear Science*, vol. 49, no. 6, pp. 2636–2642, 2002.

- [86] J. Felix, J. Schwank, D. M. Fleetwood, M. Shaneyfelt, and E. P. Gusev, "Effects of radiation and charge trapping on the reliability of high- κ gate dielectrics," *Microelectronics Reliability*, vol. 44, no. 4, pp. 563–575, 2004.
- [87] W. Snoeys, F. Faccio, M. Burns, M. Campbell, E. Cantatore, N. Carrer, *et al.*, "Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip," *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 439, no. 2, pp. 349–360, 2000.
- [88] F. Faccio, *Analog circuit design: robust design, sigma delta converters, RFID*, ch. Radiation Effects and Hardening by Design in CMOS Technologies, pp. 69–87. Dordrecht: Springer Netherlands, 2011.
- [89] B. Jun, A. Sutton, R. Diestelhorst, G. Duperon, J. Cressler, J. Black, T. Haeffner, *et al.*, "The application of RHBD to n-MOSFETs intended for use in cryogenic-temperature radiation environments," *IEEE Trans. on Nuclear Science*, vol. 54, no. 6, pp. 2100–2105, 2007.
- [90] R. Nowlin, S. McEndree, A. Wilson, and D. Alexander, "A new total-dose-induced parasitic effect in enclosed-geometry transistors," *IEEE Trans. on Nuclear Science*, vol. 52, no. 6, pp. 2495–2502, 2005.
- [91] F. Faccio and G. Cervelli, "Radiation-induced edge effects in deep submicron CMOS transistors," *IEEE Trans. on Nuclear Science*, vol. 52, no. 6, pp. 2413–2420, 2005.
- [92] A. L. Pouponnot, "Strategic use of SEE mitigation techniques for the development of the ESA microprocessors: past, present, and future," in *11th IEEE Int. On-Line Testing Symposium*, pp. 319–323, 2005.
- [93] H.-H. K. Lee, U. S. Inan, I. Linscott, and C. Kozyrakis, *Circuit and Layout Techniques for Soft-error-resilient Digital CMOS Circuits*. Stanford University, 2011.
- [94] R. Velazco, P. Fouillat, and R. A. da Luz Reis, *Radiation effects on embedded systems*. Springer Science & Business Media, 2007.
- [95] N. A. Dodds, *Single event latchup: Hardening strategies, triggering mechanisms, and testing considerations*. PhD thesis, Vanderbilt University, 2012.
- [96] M. Nicolaidis, "A low-cost single-event latchup mitigation scheme," in *12th IEEE Int. On-Line Testing Symposium*, pp. 111–118, 2006.
- [97] K. Nikolic, A. Sadek, and M. Forshaw, "Fault-tolerant techniques for nanocomputers," *Nanotechnology*, vol. 13, no. 3, p. 357, 2002.
- [98] R. Lacoë, J. Osborn, D. Mayer, S. Brown, and J. Gambles, "Total-dose tolerance of the commercial Taiwan Semiconductor Manufacturing Company (TSMC) 0.35- μm CMOS process," in *IEEE Radiation Effects Data Workshop*, pp. 72–76, 2001.
- [99] R. Lacoë, J. Osborn, D. Mayer, and S. Brown, "Total-dose tolerance of the commercial American Microsystems Inc.(AMI) 0.35- μm CMOS process," in *6th European Conf. on Radiation and Its Effects on Components and Systems*, pp. 464–468, 2001.
- [100] R. Lacoë, J. Osborn, D. Mayer, S. Witczak, S. Brow, R. Robertson, *et al.*, "Total-dose tolerance of a chartered semiconductor 0.35- μm CMOS process," in *IEEE Radiation Effects Data Workshop*, pp. 82–86, 1999.

- [101] S.-S. Gao, C.-Q. Feng, D. Jiang, S.-B. Liu, Z.-G. Zhang, K. Xi, *et al.*, “Radiation tolerance studies on the VA32 ASIC for DAMPE BGO calorimeter,” *Nuclear Science and Techniques*, vol. 25, no. 1, p. 10402, 2014.
- [102] H. Nakajima, D. Matsuura, T. Idehara, N. Anabuki, H. Tsunemi, J. P. Doty, *et al.*, “Development of the analog ASIC for multi-channel readout X-ray CCD camera,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 632, no. 1, pp. 128–132, 2011.
- [103] H. Nakajima, M. Fujikawa, H. Mori, H. Kan, S. Ueda, H. Kosugi, *et al.*, “Single event effect characterization of the mixed-signal ASIC developed for CCD camera in space use,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 731, pp. 166–171, 2013.
- [104] T. H. Kim and H. C. Lee, “Dynamic performance of a radiation tolerant 12B SAR ADC designed with a DGA-MOSFET,” in *IEEE Nuclear Science Symposium and Medical Imaging Conf.*, pp. 1–4, 2013.
- [105] W. Magnes, M. Oberst, A. Valavanoglou, H. Hauer, C. Hagen, I. Jernej, *et al.*, “Highly integrated front-end electronics for spaceborne fluxgate sensors,” *Measurement Science and Technology*, vol. 19, no. 11, p. 115801, 2008.
- [106] M. H. Acuña, “Space-based magnetometers,” *Review of scientific instruments*, vol. 73, no. 11, pp. 3717–3736, 2002.
- [107] H. Helvajian and S. W. Janson, *Small satellites: past, present, and future*. Aerospace Press, 2008.
- [108] M. Diaz-Michelena, “Small magnetic sensors for space applications,” *Sensors*, vol. 9, no. 4, pp. 2271–2288, 2009.
- [109] W. Magnes and M. Diaz-Michelena, “Future directions for magnetic sensors for space applications,” *IEEE Trans. on Magnetics*, vol. 45, no. 10, pp. 4493–4498, 2009.
- [110] S. Kawahito, C. Maier, M. Schneier, M. Zimmermann, and H. Baltes, “A 2D CMOS microfluxgate sensor system for digital detection of weak magnetic fields,” *IEEE Journal of Solid-State Circuits*, vol. 34, no. 12, pp. 1843–1851, 1999.
- [111] E. Dallago, M. Ferri, P. Malcovati, A. Rossini, G. Venchi, and A. Baschiroto, “A CMOS 2D micro-fluxgate earth magnetic field detecting system with RS232 digital output,” in *2007 IEEE Sensors*, pp. 240–243, 2007.
- [112] W.-S. Huang, C.-C. Lu, and J.-T. Jeng, “A novel 3D CMOS micro-fluxgate magnetic sensor for low magnetic field detection,” in *IEEE 2010 Sensors*, pp. 1791–1794, IEEE, 2010.
- [113] P. Malcovati and F. Maloberti, “An integrated microsystem for 3-D magnetic field measurements,” *IEEE Trans. on Instrumentation and Measurement*, vol. 49, no. 2, pp. 341–345, 2000.
- [114] K. Mohri and Y. Honkura, “Amorphous wire and CMOS IC based magneto-impedance sensors—origin, topics, and future,” *Sensor Letters*, vol. 5, no. 1, pp. 267–270, 2007.
- [115] M. Vopalensky, P. Ripka, and A. Platil, “Precise magnetic sensors,” *Sensors and Actuators A: Physical*, vol. 106, no. 1, pp. 38–42, 2003.
- [116] P. Ripka, “Sensors based on bulk soft magnetic materials: advances and challenges,” *Journal of Magnetism and Magnetic Materials*, vol. 320, no. 20, pp. 2466–2473, 2008.
- [117] S. Tumanski, *Thin film magnetoresistive sensors*. CRC Press, 2010.

- [118] P. Holman, *Magnetoresistance (MR) transducers and how to use them as sensors*. Honeywell International. Inc., 2004.
- [119] M. D. Michelena, I. Arruego, J. M. Oter, and H. Guerrero, "COTS-based wireless magnetic sensor for small satellites," *IEEE Trans. on Aerospace and Electronic Systems*, vol. 46, no. 2, pp. 542–557, 2010.
- [120] B. Dufay, S. Saez, C. Dolabdjian, A. Yelon, and D. Menard, "Development of a high sensitivity Giant Magneto-Impedance magnetometer: comparison with a commercial Flux-Gate," *IEEE Trans. on Magnetics*, vol. 49, no. 1, pp. 85–88, 2013.
- [121] C. Reig, M.-D. Cubells-Beltrán, and D. Ramírez Muñoz, "Magnetic field sensors based on giant magnetoresistance (GMR) technology: Applications in electrical current sensing," *Sensors*, vol. 9, no. 10, pp. 7919–7942, 2009.
- [122] M. Michelena, W. Oelschlägel, I. Arruego, R. Del Real, J. Mateos, and J. Merayo, "Magnetic giant magnetoresistance commercial off the shelf for space applications," *Journal of Applied Physics*, vol. 103, no. 7, p. 07E912, 2008.
- [123] R. Sanz, A. B. Fernández, J. A. Dominguez, B. Martín, and M. D. Michelena, "Gamma irradiation of magnetoresistive sensors for planetary exploration," *Sensors*, vol. 12, no. 4, pp. 4447–4465, 2012.
- [124] Honeywell Inc., *1- and 2-axis magnetic sensors*, 2002. Datasheet.
- [125] E. Zimmermann, A. Verweerd, W. Glaas, A. Tillmann, and A. Kemna, "An AMR sensor-based measurement system for magneto-electrical resistivity tomography," *IEEE Sensors Journal*, vol. 5, no. 2, pp. 233–241, 2005.
- [126] Honeywell Inc., *Set/reset function for magnetic sensors*. AN213 application note.
- [127] H. Hauser, P. L. Fulmek, P. Haumer, M. Vopalensky, and P. Ripka, "Flipping field and stability in anisotropic magnetoresistive sensors," *Sensors and Actuators A: Physical*, vol. 106, no. 1, pp. 121–125, 2003.
- [128] Honeywell Inc., *Handling sensor bridge offset*. AN212 application note.
- [129] K. Mohamadabadi, *Anisotropic Magnetoresistance Magnetometer for inertial navigation systems*. PhD thesis, Ecole Polytechnique X, 2013.
- [130] B. B. Pant and M. Caruso, *Magnetic sensor cross-axis effect*. Honeywell Inc. AN205 application note.
- [131] K. Mohamadabadi, C. Coillot, and M. Hillion, "New compensation method for cross-axis effect for three-axis AMR sensors," *IEEE Sensors Journal*, vol. 13, no. 4, pp. 1355–1362, 2013.
- [132] Honeywell Inc., *Cross axis effect for AMR magnetic sensors*. AN215 application note.
- [133] D. R. Muñoz, J. S. Moreno, S. C. Berga, E. C. Montero, C. R. Escrivà, and A. E. N. Antón, "Temperature compensation of Wheatstone bridge magnetoresistive sensors based on generalized impedance converter with input reference current," *Review of scientific instruments*, vol. 77, no. 10, p. 105102, 2006.
- [134] M. Vopalensky and A. Platil, "Temperature drift of offset and sensitivity in full-bridge magnetoresistive sensors," *IEEE Trans. on Magnetics*, vol. 49, no. 1, pp. 136–139, 2013.
- [135] R. Pallas-Areny and J. G. Webster, *Sensors and signal conditioning*. Wiley, 2001.

- [136] Honeywell Inc., *Smart Digital Magnetometer HMR2300*, 2006. Datasheet.
- [137] K. Iguchi and A. Matsuoka, “A digital-type fluxgate magnetometer using a sigma-delta digital-to-analog converter for a sounding rocket experiment,” *Measurement Science and Technology*, vol. 25, no. 7, p. 075803, 2014.
- [138] H. O’Brien, P. Brown, T. Beek, C. Carr, E. Cupido, and T. Oddy, “A radiation tolerant digital fluxgate magnetometer,” *Measurement Science and Technology*, vol. 18, no. 11, p. 3645, 2007.
- [139] J. Bowles, T. Patrick, and C. Goodall, *Principles of space instrument design*. Cambridge university press, 2006.
- [140] S. Sordo-Ibáñez, “Convertidores A/D y D/A para aplicación espacial,” Master’s thesis, Universidad de Sevilla, 2011.
- [141] J. L. González and E. Alarcón, “Current-steering high-speed D/A converters for communications,” in *CMOS Telecom Data Converters*, pp. 93–148, Springer, 2003.
- [142] P. Ripka and M. Janošek, “Advances in magnetic field sensors,” *IEEE Sensors Journal*, vol. 10, no. 6, pp. 1108–1116, 2010.
- [143] P. Ripka, M. Janosek, and M. Butta, “Crossfield sensitivity in AMR sensors,” *IEEE Trans. on Magnetics*, vol. 45, no. 10, pp. 4514–4517, 2009.
- [144] S. Ramaswamy, L. Rockett, D. Patel, S. Danziger, R. Manohar, C. Kelly, *et al.*, “A radiation hardened reconfigurable FPGA,” in *IEEE Aerospace Conf.*, pp. 1–10, Mar. 2009.
- [145] U. Gatti, C. Calligaro, E. Pikhay, and Y. Roizin, “Radiation-hardened techniques for CMOS flash ADC,” in *21st IEEE International Conference on Electronics, Circuits and Systems*, pp. 1–4, Dec. 2014.
- [146] M. Beikahmadi and S. Mirabbasi, “A low-power Wilkinson-type ADC for CdZnTe detectors in 0.13 μm CMOS,” in *IEEE 21st Int. Conf. on Electronics, Circuits and Systems*, pp. 730–733, Dec. 2014.
- [147] I. Peric, T. Armbruster, M. Koch, C. Kreidl, and P. Fischer, “DCD - The multi-channel current-mode ADC chip for the readout of DEPFET pixel detectors,” *IEEE Trans. on Nuclear Science*, vol. 57, no. 2, pp. 743–753, 2010.
- [148] T. Vergine, M. De Matteis, A. Baschiroto, and A. Marchioro, “A 32-channel 12-bits 65nm Wilkinson ADC for CMS central tracker,” in *10th Conf. on Ph.D. Research in Microelectronics and Electronics*, pp. 1–4, Jun. 2014.
- [149] P. Adell, J. Yager, Z. Pannell, J. Shelton, M. Mojarradi, B. Blalock, *et al.*, “Radiation hardening of an SiGe BiCMOS Wilkinson ADC for distributed motor controller application,” *IEEE Trans. on Nuclear Science*, vol. 61, no. 3, pp. 1236–1242, 2014.
- [150] C. Ulaganathan, N. Nambiar, B. Prothro, R. Greenwell, S. Chen, B. Blalock, *et al.*, “A SiGe BiCMOS instrumentation channel for extreme environment applications,” in *51st Midwest Symposium on Circuits and Systems*, pp. 217–220, Aug. 2008.
- [151] R. Diestelhorst, T. England, R. Berger, R. Garbos, C. Ulaganathan, B. Blalock, *et al.*, “A new approach to designing electronic systems for operation in extreme environments: Part I - The SiGe Remote Sensor Interface,” *IEEE Aerospace and Electronic Systems Magazine*, vol. 27, pp. 25–34, Jun. 2012.

- [152] K. Makris, D. Fragopoulos, L. Crespy, M. Karaolis, A. Hachemi, O. Dokianaki, *et al.*, “Very High Resolution Analog-to-Digital Converter at 1 kHz for Space Applications,” in *Fifth International Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications*, pp. 1–7, 2014.
- [153] J. Kuppambatti, J. Ban, T. Andeen, P. Kinget, and G. Brooijmans, “A radiation-hard dual channel 4-bit pipeline for a 12-bit 40 MS/s ADC prototype with extended dynamic range for the ATLAS Liquid Argon Calorimeter readout electronics upgrade at the CERN LHC,” *Journal of Instrumentation*, vol. 8, no. 09, p. P09008, 2013.
- [154] B. D. Olson, *Single-event effect mitigation in pipelined analog-to-digital converters*. PhD thesis, Vanderbilt University, 2010.
- [155] *Precision platinum temperature sensors*. Datasheet.
- [156] C. Kitchin and C. Counts, *A designer’s guide to instrumentation amplifiers*. Analog Devices, 2006.
- [157] R. Pallas-Areny and J. Webster, “Common mode rejection ratio in differential amplifiers,” *IEEE Trans. on Instrumentation and Measurement*, vol. 40, no. 4, pp. 669–676, 1991.
- [158] M. Pelgrom, H. Tuinhout, and M. Vertregt, “Transistor matching in analog CMOS applications,” in *Int. Electron Devices Meeting*, pp. 915–918, Dec. 1998.
- [159] F. Cortes, L. Carro, A. Girardi, and A. Suzim, “A Sigma Delta A/D converter insensitive to SEU effects,” in *Proc. of the 8th IEEE Int. Workshop on On-Line Testing*, pp. 89–93, 2002.
- [160] A. Leuciuc, B. Zhao, Y. Tian, and J. Sun, “Analysis of single-event effects in continuous-time Delta-Sigma Modulators,” *IEEE Trans. on Nuclear Science*, vol. 51, no. 6, pp. 3519–3524, 2004.
- [161] V. Agarwal and S. Birkar, “Comparison of gamma radiation performance of a range of CMOS A/D converters under biased conditions,” *IEEE Trans. on Nuclear Science*, vol. 52, no. 6, pp. 3059–3067, 2005.
- [162] N. Femia and M. Vitelli, “Understanding commutations in switching converters. II. Analysis and synthesis of DC-DC regulators,” *IEEE Trans. on Aerospace and Electronic Systems*, vol. 39, no. 1, pp. 298–317, 2003.
- [163] A. J. Acosta, A. Barriga, M. J. Bellido, J. Juan, and M. Valencia, *Temporización en circuitos digitales CMOS*. Marcombo, 2000.
- [164] E. Haseloff, “Metastable Response in 5-V Logic Circuits,” tech. rep., Texas Instruments, 1997.
- [165] H. Yi Yang, *A time-based energy-efficient analog-to-digital converter*. PhD thesis, Massachusetts Institute of Technology, 2006.
- [166] T. Caldwell and D. Johns, “Incremental data converters at low oversampling ratios,” *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 57, no. 7, pp. 1525–1537, 2010.
- [167] S. Naraghi, *Time-based analog-to-digital converters*. PhD thesis, University of Michigan, 2009.
- [168] B. Razavi, *Design of Analog CMOS Integrated Circuits*. Tata McGraw-Hill, 2002.
- [169] A. Hhosla and K. Dongsoo, *Optical imaging devices. New technologies and applications*. CRC Press, 2015.
- [170] K. Tham, C. Ulaganathan, N. Nambiar, R. Greenwell, C. Britton, M. Ericson, *et al.*, “PVT compensation for Wilkinson single-slope measurement systems,” *IEEE Trans. on Nuclear Science*, vol. 59, no. 5, pp. 2444–2450, 2012.

- [171] Y. Osaki, T. Hirose, K. Tsubaki, N. Kuroki, and M. Numa, "A low-power single-slope analog-to-digital converter with digital PVT calibration," in *19th IEEE Int. Conf. on Electronics, Circuits and Systems*, pp. 613–616, Dec. 2012.
- [172] T. Vergine, M. De Matteis, L. Rota, A. Marchioro, and A. Baschirotto, "An automatic calibration circuit for 12-bits single-ramp A-to-D converter in LHC environments," in *9th Conf. on Ph.D. Research in Microelectronics and Electronics*, pp. 45–48, Jun. 2013.
- [173] T. May and M. H. Woods, "Alpha-particle-induced soft errors in dynamic memories," *IEEE Trans. on Electron Devices*, vol. 26, no. 1, pp. 2–9, 1979.
- [174] J. Ziegler, M. Nelson, J. Shell, R. Peterson, C. Gelderloos, H. Muhlfeld, *et al.*, "Cosmic ray soft error rates of 16-Mb DRAM memory chips," *IEEE journal of Solid-State Circuits*, vol. 33, no. 2, pp. 246–252, 1998.
- [175] R. Baumann, "Soft errors in advanced computer systems," *IEEE Design & Test of Computers*, vol. 22, no. 3, pp. 258–266, 2005.
- [176] F. Brosser, "SEU mitigation techniques for advanced reprogrammable FPGA in space," Master's thesis, Chalmers University of Technology. Gothenburg, Sweden, 2014.
- [177] M.-D. Ker and S.-F. Hsu, *Transient-induced latchup in CMOS integrated circuits*. John Wiley & Sons, 2009.
- [178] Analog Devices, *System Ready, 20-Bit, 2LSB INL, Voltage Output DAC*, 2011. Datasheet.
- [179] Analog Devices, *Low Power, Unity Gain, Fully Differential Amplifier and ADC Driver*, 2011. Datasheet.
- [180] Analog Devices, *Evaluation Board for a 20-Bit Serial Input, Voltage Output DAC with Integrated Precision Reference Buffer Amplifiers*, 2011. User guide.
- [181] Atmel, *SMART ARM-based MCU*, 2015. Datasheet.
- [182] "The Arduino Project Website." <http://www.arduino.cc> [Accessed Jul. 2016].
- [183] W. Kester, *Data Conversion Handbook*. Analog Devices series, Elsevier, 2005.
- [184] Y. Morilla, G. Muniz, M. Dominguez, P. Martin, J. Jimenez, J. Praena, *et al.*, "New gamma-radiation facility for device testing in Spain," in *IEEE Radiation Effects Data Workshop*, pp. 1–5, Jul. 2014.
- [185] G. Muñiz, Y. Morilla, and J. Praena, "New irradiation facilities for components testing at the CNA," in *CPAN Workshop on Technology Transfer*, Jun. 2013.
- [186] H. Barnaby, "Total dose effects in linear bipolar integrated circuits," *International journal of high speed electronics and systems*, vol. 14, no. 02, pp. 519–541, 2004.
- [187] K. Kruckmeyer, J. S. Prater, B. Brown, and T. Trinh, "Analysis of low dose rate effects on parasitic bipolar structures in CMOS processes for mixed-signal integrated circuits," *IEEE Trans. on Nuclear Science*, vol. 58, no. 3, pp. 1023–1031, 2011.
- [188] H. Barnaby, H. J. Tausch, R. Turfler, P. Cole, P. Baker, and R. L. Pease, "Analysis of bipolar linear circuit response mechanisms for high and low dose rate total dose irradiations," *IEEE Trans. on Nuclear Science*, vol. 43, no. 6, pp. 3040–3048, 1996.
- [189] K. M. Warren, *Sensitive volume models for single event upset analysis and rate prediction for space, atmospheric, and terrestrial radiation environments*. PhD thesis, Vanderbilt University, 2010.

- [190] J.-L. Autran, D. Munteanu, G. Gasiot, P. Roche, S. Serre, and S. Semikh, “Soft-error rate of advanced SRAM memories: modeling and monte carlo simulation,” *Numerical Simulation - From Theory to Industry*, pp. 309–336, 2012.
- [191] W. L. Bendel, “Length Distribution of Chords through a Rectangular Volume.,” tech. rep., Naval Research Lab., Washington DC, 1984.
- [192] E. Petersen, “Soft error results analysis and error rate prediction,” in *IEEE Nuclear Space Radiation Effects Conference Short Course*, 2008.
- [193] L. Massengill, M. Alles, S. Kerns, and K. Jones, “Effects of process parameter distributions and ion strike locations on SEU cross-section data [CMOS SRAMs],” *IEEE Trans. on Nuclear Science*, vol. 40, no. 6, pp. 1804–1811, 1993.
- [194] S. Buchner, J. Langworthy, W. Stapor, A. Campbell, and S. Rivet, “Implications of the spatial dependence of the single-event-upset threshold in SRAMs measured with a pulsed laser,” *IEEE Trans. on Nuclear Science*, vol. 41, no. 6, pp. 2195–2202, 1994.
- [195] E. Petersen, “Single-event data analysis,” *IEEE Trans. on Nuclear Science*, vol. 55, no. 6, pp. 2819–2841, 2008.
- [196] European Cooperation for Space Standardization, *Calculation of radiation and its effects and margin policy handbook*. European Space Agency, 2010.
- [197] J. H. Adams Jr, “CREME96 and related error rate prediction methods,” *Extreme Environment Electronics*, 2012.
- [198] D. M. Hassler, C. Zeitlin, R. F. Wimmer-Schweingruber, B. Ehresmann, S. Rafkin, J. L. Eigenbrode, *et al.*, “Mars’ surface radiation environment measured with the Mars Science Laboratory’s Curiosity rover,” *Science*, vol. 343, no. 6169, p. 1244797, 2014.
- [199] C. Zeitlin, D. Hassler, F. Cucinotta, B. Ehresmann, R. Wimmer-Schweingruber, D. Brinza, *et al.*, “Measurements of energetic particle radiation in transit to Mars on the Mars Science Laboratory,” *Science*, vol. 340, no. 6136, pp. 1080–1084, 2013.
- [200] G. Ryckewaert, G. Berger, J. Colson, T. Daras, M. Loiselet, and N. Postiau, “Status of the CYCLONE facility,” *Nuclear Physics*, vol. 2, no. 30, pp. 3–10, 2005.
- [201] E. Petersen, “The SEU figure of merit and proton upset rate calculations,” *IEEE Trans. on Nuclear Science*, vol. 45, no. 6, pp. 2550–2562, 1998.
- [202] A. J. Tylka, J. H. Adams Jr, P. R. Boberg, B. Brownstein, W. F. Dietrich, E. O. Flueckiger, *et al.*, “CREME96: A revision of the cosmic ray effects on micro-electronics code,” *IEEE Trans. on Nuclear Science*, vol. 44, no. 6, pp. 2150–2160, 1997.
- [203] J. H. Adams Jr, “CREME96 update/replacement efforts,” in *Single Event Effects Symposium*, 2007.
- [204] S.-S. Gao, D. Jiang, C.-Q. Feng, K. Xi, S.-B. Liu, and Q. An, “Single event effect hardness for the front-end ASICs applied in BGO calorimeter of DAMPE satellite,” *Chinese Physics C*, vol. 40, no. 1, p. 16102, 2016.
- [205] C. Feng, D. Zhang, J. Zhang, S. Gao, D. Yang, Y. Zhang, *et al.*, “Design of the readout electronics for the BGO calorimeter of DAMPE mission,” *IEEE Trans. on Nuclear Science*, vol. 62, no. 6, pp. 3117–3125, 2015.
- [206] S. Henzler, “Time-to-digital converter basics,” in *Time-to-digital converters*, pp. 5–18, Springer, 2010.

- [207] S. Espejo-Meana, J. Ceballos-Cáceres, A. Ragel-Morales, S. Sordo-Ibáñez, L. Carranza-González, J. M. Mora-Gutiérrez, *et al.*, “MEDA wind sensor front end ASIC,” in *6th Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications*, pp. 1–10, 2016.
- [208] J. F. Moreno-Alvarez and J. Alberola-Perales, “A new mixed ASIC for Mars surface application,” in *6th Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications*, pp. 1–6, 2016.
- [209] J. F. Moreno-Alvarez, “The strategy for qualification and mission validation of a mixed ASIC developed for next NASA Mars mission,” in *Third Int. Workshop on Analogue and Mixed-Signal Integrated Circuits for Space Applications*, 2010.

