

## **"Методи та засоби підвищення ефективності рішення задач на основі перестроєваних обчислювальних засобів на ПЛІС".**

1. Номер державної реєстрації, номер реєстрації в університеті.  
№ Держреєстрації 0114U000547, № реєстрації в університеті 2711ф.
2. Науковий керівник (вчений ступінь, звання). (*Трьома мовами: укр., рос., англ.* ).  
Луцький Георгій Михайлович, д.т.н., професор.  
Луцкий Георгий Михайлович, д.т.н., профессор.  
Lutsky Georgy, doctor of technical science, professor.
3. Суть розробки, основні результати. (*Трьома мовами: укр., рос., англ., обсягом не менше 1500-2000 знаків кожною мовою.*)  
(*укр.*)

Розроблено теоретичні основи побудови дворівневої матричної структури на ПЛІС, керованою обмеженою схемою потоку даних. Створено та досліджено моделі дворівневої матричної структури на ПЛІС, керованою обмеженою схемою потоку даних. Розроблено нову концепцію побудови проблемно-орієнтованих обчислювачів, реалізація котрих орієнтована на використання множини ПЛІС. Розроблено нову методику створення дворівневої матричної структури на ПЛІС, керованою обмеженою схемою потоку даних. В залежності від виконуваної задачі дворівнева матрична структура на ПЛІС може складатися з декількох сотень тисяч реконфігурованих логічних блоків, що об'єднуються комутаційною мережею та утворюють спеціалізований конвеєрний обчислювач, або суперскалярний процесор з множиною спеціалізованих обчислювальних блоків під керівництвом обмеженої схеми потоку даних. Ці спеціалізовані обчислювальні блоки можна програмувати на будь-які складні математичні операції на відміну від обмеженого набору RISC-операції, що можуть виконуватися функціональними блоками процесорного ядра з традиційною суперскалярною архітектурою. Для програмування матричної структури на ПЛІС та її реконфігурації застосовується центральна платформа, що управляє, на основі сучасного стандартного ПК. Досліджені апаратні засоби, що реалізують обмежену архітектуру потоку даних в сучасних суперскалярних мікропроцесорах та розроблено конфігураційну бібліотеку окремих обчислювальних модулів для обчислювача із конвеєрною архітектурою та для мікроархітектури ядра із суперскалярною архітектурою. Методику побудови дворівневої матричної структури на ПЛІС апробовано на прикладі розробки множини багатоканальних і багатосмугових цифрових КІХ-фільтрів, кожен з яких налаштовується на свою вузьку смугу.

(*рос.*)

Разработаны теоретические основы построения двумерной матричной структуры на ПЛИС, управляемой ограниченной схемой потока данных. Созданы и исследованы модели двумерной матричной структуры на ПЛИС, управляемой ограниченной схемой потока данных. Разработана новая концепция построения проблемно-ориентированных вычислителей, реализация которых ориентирована на использование множества ПЛИС. Разработана новая методика создания двумерной матричной структуры на ПЛИС, управляемой ограниченной схемой потока данных. В зависимости от выполняемой задачи двумерная матричная структура на ПЛИС может состоять из нескольких сотен тысяч реконфигурированных логических блоков, которые объединяются коммутационной сетью и создают специализированный конвейерный вычислитель, или суперскалярный процессор с множеством специализированных вычислительных блоков под управлением ограниченной схемы потока данных. Эти специализированные вычислительные блоки можно программировать на математические операции произвольной сложности в отличие от ограниченного набора RISC-операций, которые могут выполняться функциональными блоками процессорного ядра с традиционной суперскалярной архитектурой. Для

программирования матричной структуры на ПЛИС и её реконфигурирования используется централизованная управляющая платформа, на основе современного стандартного ПК. Исследованы аппаратные средства, которые реализуют ограниченную архитектуру потока данных в современных суперскалярных микропроцессорах и разработана конфигурационная библиотека отдельных вычислительных модулей для вычислителя с конвейерной архитектурой и для микроархитектуры ядра с суперскалярной архитектурой. Методику построения двумерной матричной структуры на ПЛИС апробировано на примере разработки множества многоканальных и многополосных цифровых КИХ-фильтров, каждый из которых настраивается на свою узкую полосу.

*(англ.)*

Developed theoretical foundations for creation of multilayered FPGA-based matrix structure managed by restricted dataflow model. Created and investigated models of multilayered FPGA-based matrix structure managed by restricted dataflow. Developed new concept of building problem-oriented processor, implementation of which is based on using multiple FPGA. Developed new methodology of creation of multilayered FPGA matrix managed by restricted dataflow model. Depending on task which is needed to be executed, multilayered FPGA-based matrix structure can contain hundreds of thousands reconfigurable logical elements interconnected with a communication network and form specialized pipeline processor or superscalar processor with multiple specialized computation elements managed by restricted dataflow model. The specialized computation elements can be programmed on any complex mathematical operations in a contrast to restricted number of RISC-operations that can be executed by functional elements of processor core with traditional superscalar architecture. Centralized management platform based on a standard PC is used for programming and reconfigurations of FPGA-based matrix structure. Investigated hardware that implements restricted dataflow model in modern superscalar microprocessors. Developed a configuration library of computational modules for processor with pipeline architecture and for microarchitecture of processor core with superscalar architecture. Methodology of creation of multilayered FPGA matrix was tested on development of multichannel FIR-filters each of which targets its own narrow channel.

4. Наявність охоронних документів на об'єкти права інтелектуальної власності (*заявка на патент, патент, свідоцтво на авторське право*).  
Немає.
5. Порівняння зі світовими аналогами.  
Робота відповідає світовому рівню, оскільки в процесі роботи використані сучасні засоби розробки обчислювальних структур на ПЛИС.
6. Економічна привабливість для просування на ринок (*вартість реалізації проекту, терміни впровадження та окупності, показники*).  
Запропонована методика побудови обчислювальних структур на ПЛИС має універсальний характер і може бути застосованою при практичному вирішенні множини задач цифрової обробки сигналів шляхом динамічної зміни конфігурації апаратури відповідно до алгоритму вирішуємої задачі.
7. Потенційні користувачі (*галузі, міністерства, відомства, підприємства, організації*).  
Основними споживачами методика побудови обчислювальних структур на ПЛИС можуть бути державні та комерційні підприємства і установи, які займаються розробкою або використанням високопродуктивних спеціалізованих обчислювальних засобів, зокрема, Інститут кібернетики НАН України, "Спецвузавтоматика", КВО "Електронмаш", ВАТ "Сітронікс", НВО "Квант".
8. Стан готовності розробки (*лабораторний або промисловий зразок, технічна документація, бізнес-план, готова до впровадження*).  
Розробка готова до впровадження.

9. Існуючі результати впровадження.

Ведуться роботи по впровадженню розроблених багатоканальних і багатосмугових цифрових КІХ-фільтрів на КП СПБ “Арсенал” (м. Київ).

10. Форма участі інвестора (яка краща форма участі в реалізації результатів проекту інвестора: частка в проекті%, частка від прибутку%, інше)

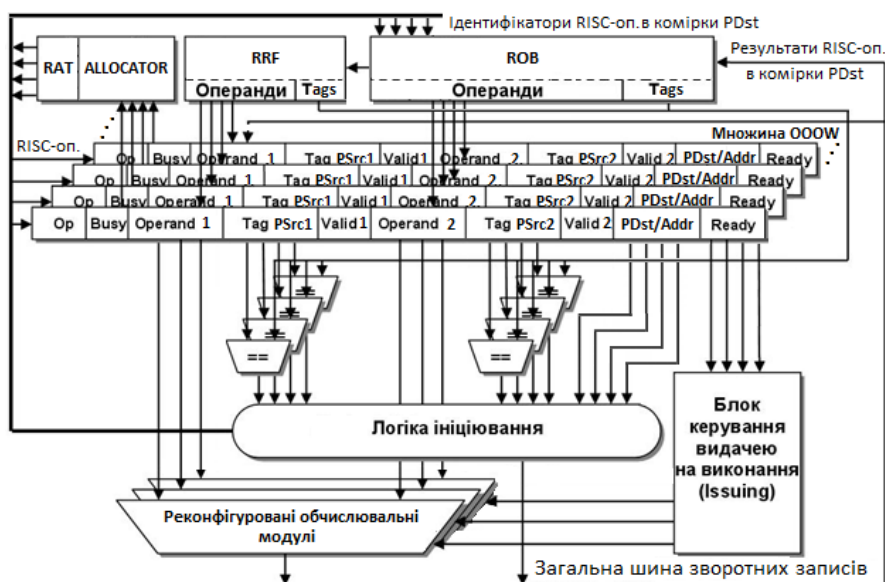
11. Обсяг інвестицій (необхідна для результатів проекту сума інвестицій в доларах США).

12. Мета інвестицій (розширення бізнесу, створення нового підприємства, інше).

13. Назва підрозділу, телефон, e-mail.

14. КПІ ім. Ігоря Сікорського, факультет інформатики та обчислювальної техніки, кафедра обчислювальної техніки, (044)-204-86-56, gmlutsky@yandex.ru, <http://comsys.kpi.ua>.

15. Фото або декілька слайдів презентації з фото розробки в електронному вигляді (рекламного характеру). Якщо фото надається окремим файлом, бажано використовувати JPEG формат.



Спеціалізований суперскалярний процесор з множиною реконфігурованих обчислювальних блоків під керівництвом обмеженої схеми потоку даних.

З точки зору програміста на мові високого рівня, такий процесор виконує набір команд, що найбільш зручно підходить для

опису застосувань в потрібній галузі, наприклад, задач цифрової обробки сигналів.

На етапі виконання команди декодуються в скорочений набір операцій (на RISC-операції), на виконання яких попередньо конфігуруються обчислювальні модулі.

Динамічне планування виконання RISC-операції відбувається відповідно до обмеженої схеми потоку даних.

16. Перелік публікацій за матеріалами досліджень за період виконання (вагомі монографії, підручники, посібники, наукові статті, дисертації, інші публікації).

1. Луцький Г.М., Долголенко О.М., Аксьоненко С.В., Сторожук В.О. Моделювання обмеженої реалізації архітектури потоку даних в структурі суперскалярного процесора // Вісник НТУУ "КПІ". Інформатика, управління та обчислювальна техніка: Зб. наук. праць. – К.: ВЕК+. – 2014. - № 60 - с. 83-94.

2. Klymenko I.A., Holovko O.S., Hilliaka M.O., Mytsio Y.I. The development of means of definition of the optimum ratio of computational algorithm and the reconfigurable structure // Східно-Європейський журнал передових технологій. – Харків.: УДА залізничного транспорту. – 2016. – № 3/2 (81). – с. 4 – 8.

3. Kulakov Y., Klymenko I., Tkachenko V., Storozhuk O. The method for providing quality of service time requirements in reconfigurable computing systems // Східно-Європейський журнал передових технологій. – Харків.: УДА залізничного транспорту. – 2016. – № 5/9 (83). – с. 4 – 11.
4. Долголенко А.О., Яцун В.О. Реалізація операційного пристрою суматора/віднімача з плаваючою крапкою для ядра суперскалярного процесора // Вісник НТУУ «КПІ». Інформатика, управління та обчислювальна техніка: Зб. наук. пр. – К.: Век+, – 2016. – № 64. – 10 с. (знаходиться в редакції).

17. Надати ключові слова до розробки

CISC-RISC, FPGA, RESTRICTED DATA FLOW, ДИНАМІЧНА РЕКОНФІГУРАЦІЯ, MAC-МОДУЛІ, МУЛЬТИКОНТЕКСТНІ ПРИСТРОЇ, РЕКОНФІГУРОВАНІ ОБЧИСЛЮВАЛЬНІ МОДУЛІ, ЧАСТКОВА РЕКОНФІГУРАЦІЯ.