



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par l'Université Toulouse III - Paul Sabatier

Discipline : Micro-ondes, Electromagnétisme et Optoélectronique

Présentée et soutenue par Ali KARA OMAR

Le 26 avril 2011

Titre : Développement d'une Architecture de Communication Sans Fil pour les Réseaux de Capteurs dans le Domaine Aérospatial

JURY

Daniela DRAGOMIRESCU, Maître de Conférences, LAAS-CNRS Toulouse (Directrice de thèse)

Robert PLANA, Professeur, LAAS-CNRS Toulouse (Co-directeur de thèse)

Eric KERHERVE, Professeur, ENSEIRB-MATMECA Talence (Rapporteur)

Laurent FESQUET, Maître de Conférences, PHELMA Grenoble (Rapporteur)

Henri HAPPY, Professeur, IEMN Lille (Président)

Antony COUSTOU, Ingénieur de Recherche, LAAS-CNRS (Examineur)

Anne-Marie PONS, Coordinatrice, Programme Formation IAS (Invitée)

Gérald BALANDRAU, PDG, DATUS Sud Ouest (Invité)

Ecole doctorale : Génie Electrique, Electronique, Télécommunications (GEET)

Unité de recherche : Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS - CNRS)

Directeur(s) de Thèse : Daniela DRAGOMIRESCU, Robert PLANA

Rapporteurs : Eric KERHERVE, Laurent FESQUET

A mes parents

A mon frère et mes sœurs

A mon épouse

A toute ma famille

Remerciements

Ce travail a été réalisé à Toulouse au sien du groupe Micro et Nanosystèmes pour les Communications sans fils (MINC) au Laboratoire d'Analyse et d'Architecture des Systèmes, Centre National de la Recherche Scientifique (LAAS-CNRS).

Toute ma gratitude va à Mr Robert PLANA, Professeur à l'université Paul Sabatier pour m'avoir accueilli dans son groupe et avoir codirigé ma thèse. Je remercie également ma directrice de thèse Mme Daniela DRAGOMIRESCU, Maître de Conférences à l'INSA. Je les remercie vivement pour leur confiance et l'autonomie qu'ils m'ont accordé.

Je remercie vivement Mr Henri HAPPY, Professeur à l'université de Lille d'avoir accepté la présidence de mon jury de thèse. Ma reconnaissance va également à Mr Eric KERHERVE, Professeur à l'ENSEIRB-MATMECA et Mr Laurent FESQUET, Maître de Conférences à PHELMA, pour m'avoir fait l'honneur d'être les rapporteurs de ce manuscrit de thèse. Je leur suis particulièrement reconnaissant de la qualité des conseils et des remarques concernant la correction du manuscrit.

Je souhaite témoigner ma reconnaissance à l'égard de Mr Antony COUSTOU, Ingénieur de recherche au LAAS-CNRS, pour son soutien, son suivi et pour avoir fait partie du jury.

Je remercie également Mme Anne-Marie PONS, coordinatrice du programme de formation de l'Institut Aéronautique et Spatial (IAS) et Mr Gérald BALANDRAU, PDG de DATUS Sud Ouest, pour leur participation au jury.

Une partie de ce travail est constitué de résultats de mesures, merci donc à Mr Alexandre RUMEAU, pour son soutien et sa disponibilité.

Je remercie également Mr Michel REYNES, Directeur Général de l'IAS ainsi que Mr Didier FERIOL et Mr Marc PRIME, en charge du programme FASIA, pour leur accueil, leurs efforts pour le bon déroulement de mon séjour en France, ainsi que pour les moments conviviaux passés ensemble.

Je voudrais remercier tout les membres du groupe MINC, en particulier mes collègues du bureau G40, pour l'ambiance agréable et amicale. Je n'oublie pas également de remercier Fatouma MAAMAR, qui était à mes cotés durant la période de ma thèse pour son soutien.

Bien évidemment au-delà de l'aspect technique, toutes ces personnes ont contribué à ce que cette thèse soit aussi humainement enrichissante. Je rajouterai aussi tous ceux ou celles qui ont contribué d'une manière direct ou indirecte à l'aboutissement de ma thèse.

Table des matières

TABLE DES MATIERES.....	I
LISTE DES FIGURES	VII
LISTE DES TABLEAUX.....	X
CHAPITRE 1 INTRODUCTION A LA THEMATIQUE DE RECHERCHE.....	1
1.1 Les réseaux de capteurs sans fil	1
1.1.1 Introduction.....	1
1.1.2 Réseau de capteurs pour l'aérospatial	2
1.2 Objectifs et contributions	4
1.3 Emetteur-récepteur large bande	5
1.4 L'organisation du travail	8
CHAPITRE 2 ETAT DE L'ART	9
2.1 Introduction	9
2.2 Architecture de communication	9
2.2.1 Bluetooth.....	10
2.2.2 ZigBee	11
2.2.3 DASH7.....	11
2.2.4 Comparaison entre les différents standards des réseaux des capteurs sans fil.....	12
2.3 Communication ultra large bande (UWB)	12
2.3.1 Bande de fréquences en norme européenne	14
2.3.2 Limitation de puissance.....	15
2.3.3 La technique UWB à 60 GHz.....	16
2.4 Techniques d'extension de la bande passante	17
2.4.1 Contre-réaction	17
2.4.2 Utilisation d'éléments distribués	17
2.4.3 Double adaptation.....	18
2.5 Les mélangeurs	19
2.5.1 Principe du mélangeur	19
2.5.2 Paramètres de performance des mélangeurs	22
2.5.3 Types des mélangeurs	26
2.5.4 Topologies des mélangeurs.....	27
2.5.5 Cellule de Gilbert	28
2.5.6 Mélangeurs à rejection d'image et mélangeurs sous-harmonique	29

2.5.7	Autres topologies des mélangeurs	31
2.6	Conclusion	33
CHAPITRE 3 MELANGEUR D'EMISSION		35
3.1	Introduction.....	35
3.2	La technologie CMOS 130 nm	35
3.2.1	Présentation de la technologie.....	36
3.2.2	Layout et règles DRC.....	38
3.2.3	La protection contre les ESD.....	40
3.3	La conception du mélangeur d'émission	40
3.3.1	La topologie du mélangeur.....	41
3.3.2	L'étage d'entrée.....	44
3.3.3	L'étage de commutation et l'étage de sortie	48
3.4	Les résultats de simulation du mélangeur d'émission	48
3.5	Layout du circuit	52
3.6	Les résultats expérimentaux du mélangeur d'émission	53
3.6.1	Le banc de mesure.....	53
3.6.2	Les pertes dans les câbles.....	54
3.6.3	Les résultats de mesure.....	55
3.7	Comparaison avec l'état de l'art	58
3.8	Conclusion	60
CHAPITRE 4 MELANGEUR DE RECEPTION ET AMPLIFICATEUR FAIBLE BRUIT 61		
4.1	Introduction.....	61
4.2	La conception du mélangeur de réception	61
4.2.1	Le schéma général.....	62
4.2.2	L'inductance d'adaptation inter-étage	62
4.3	Les résultats de simulation du mélangeur de réception.....	63
4.4	Layout du circuit et simulations post-layout	66
4.4.1	Simulations post-layout.....	67
4.5	Les résultats expérimentaux.....	67
4.5.1	Le banc de mesure.....	68
4.5.2	Les résultats de mesure.....	69
4.6	Comparaison avec l'état de l'art pour notre mélangeur	71
4.7	Conception du LNA.....	72
4.7.1	Etat de l'art des amplificateurs faible bruit	72
4.7.2	La conception du LNA.....	75
4.7.3	Les résultats de simulation du LNA.....	76
4.7.4	Layout du circuit	78

4.7.5	Comparaison avec l'état de l'art	79
4.8	Conclusion.....	80
CHAPITRE 5 EMETTEUR.....		81
5.1	Introduction	81
5.2	Les types d'émetteurs.....	81
5.3	Le choix de l'architecture	83
5.4	La bande de base	85
5.5	La génération de fréquence	85
5.5.1	La génération des signaux en quadrature	86
5.5.2	L'oscillateur contrôlé en tension	86
5.5.3	La topologie de VCO adoptée pour l'architecture de communication.....	88
5.5.4	Les résultats expérimentaux pour la topologie de VCO adoptée.....	92
5.5.5	La PLL (Phase Locked Loop)	96
5.6	Le coupleur utilisé dans l'émetteur	97
5.6.1	Conception du coupleur	97
5.6.2	Résultats de simulation du coupleur.....	98
5.7	Résultats de simulation de l'émetteur.....	100
5.8	Layout de l'émetteur	102
5.9	Conclusion.....	103
CHAPITRE 6 CONCLUSION ET PERSPECTIVES		105
6.1	Conclusion.....	105
6.2	Perspectives	106
ANNEXES.....		109
ANNEXE A L'ETAGE DE TRANSCONDUCTANCE AVEC CONTRE-REACTION DU MELANGEUR D'EMISSION		111
A.1	Introduction	111
A.2	Schéma du circuit	111
A.3	Modèle petit signal du circuit.....	113
1)	Le montage sans contre-réaction	113
2)	Le montage avec contre-réaction.....	113
A.4	Etude du circuit sans contre-réaction	114
1)	L'expression du gain	114
2)	L'expression de l'impédance d'entrée.....	115
3)	Analyse des résultats	116

A.5	Etude du circuit avec contre-réaction	116
1)	L'expression du gain.....	116
2)	L'expression de l'impédance d'entrée	120
3)	Analyse des résultats	124
A.6	Conclusion	126

ANNEXE B MELANGEUR REHAUSSEUR DE FREQUENCE EN TECHNOLOGIE CMOS 180 NM127

B.1	Introduction.....	127
B.2	Technologie CMOS 180 nm.....	127
B.3	Conception du mélangeur	128
B.4	Choix de point de polarisation.....	130
B.5	Résultats de simulation	131
B.6	Conclusion et perspectives	133

ANNEXE C AMPLIFICATEUR TRANSIMPEDANCE LARGE BANDE EN TECHNOLOGIE BICMOS 130 NM..... 135

C.1	Introduction.....	135
C.2	Application	135
C.3	Conception du circuit	136
C.4	Résultats de simulation.....	137
C.5	La technologie BiCMOS9MW de ST Microelectronics	140
C.6	Le layout du circuit.....	140
C.7	Conclusion	141

ANNEXE D LISTE DES ABREVIATIONS..... 143

REFERENCES BIBLIOGRAPHIQUES..... 147

LISTE DES PUBLICATIONS..... 155

RESUME..... 157

Mots-clés..... 157

ABSTRACT..... 158

Keywords..... 158

Liste des figures

FIGURE 1.1 : ARCHITECTURE GENERALE D'UN NŒUD DE CAPTEUR SANS FIL.....	1
FIGURE 1.2 : APPLICATION POUR LE TEST SATELLITE DES RESEAUX DE CAPTEURS SANS FIL.....	3
FIGURE 1.3 : APPLICATION AERONAUTIQUE DES RESEAUX DE CAPTEURS SANS FIL.....	3
FIGURE 1.4 : TOPOLOGIE DU RESEAU DE CAPTEURS SANS FIL.....	4
FIGURE 1.5 : LES EXIGENCES DES RESEAUX DE CAPTEURS SANS FIL.....	5
FIGURE 1.6 : L'ARCHITECTURE DE L'EMETTEUR-RECEPTEUR.....	6
FIGURE 2.1 : CLASSEMENT DES STANDARDS DE COMMUNICATIONS.....	10
FIGURE 2.2 : COUCHES DU STANDARD ZIGBEE.....	11
FIGURE 2.3 : NIVEAU DE PUISSANCE D'UN SIGNAL UWB ET A BANDE ETROITE.....	14
FIGURE 2.4 : BANDES DE FREQUENCE UWB SELON ECMA-368.....	14
FIGURE 2.5 : LIMITATION DE PUISSANCE SUR LES BANDES UWB.....	15
FIGURE 2.6 : COMPROMIS GAIN / BANDE PASSANTE.....	17
FIGURE 2.7 : EXEMPLE D'UN AMPLIFICATEUR DISTRIBUE SINGLE-ENDED A 4 ETAGES [19].....	18
FIGURE 2.8 : BANDE PASSANTE D'UN CIRCUIT DOUBLEMENT ADAPTE.....	18
FIGURE 2.9 : ARCHITECTURE DE L'EMETTEUR-RECEPTEUR.....	19
FIGURE 2.10 : SCHEMA DE PRINCIPE DU MELANGEUR EN RECEPTION.....	20
FIGURE 2.11 : (A) PRINCIPE DE TRANSLATION DE FREQUENCE, (B) PORTS DU MELANGEUR.....	20
FIGURE 2.12 : PRINCIPE DE MELANGEUR EN EMISSION ET EN RECEPTION.....	21
FIGURE 2.13 : SCHEMA DE PRINCIPE DU MELANGEUR EQUILIBRE.....	22
FIGURE 2.14 : POINT DE COMPRESSION A 1 DB.....	24
FIGURE 2.15: PRODUIT D'INTERMODULATION D'ORDRE 3.....	24
FIGURE 2.16 : SPECTRE DU SIGNAL A L'ENTREE ET A LA SORTIE D'UN MELANGEUR DE RECEPTION.....	25
FIGURE 2.17 : DIFFERENTES ISOLATIONS DANS UN MELANGEUR.....	25
FIGURE 2.18 : MELANGEUR PASSIF : (A) UTILISANT DES DIODES [22], (B) UTILISANT DES FET NON POLARISES [23].....	26
FIGURE 2.19 : CELLULE DE GILBERT.....	27
FIGURE 2.20 : (A) MELANGEUR SIMPLEMENT EQUILIBRE, (B) MELANGEUR DOUBLEMENT EQUILIBRE [26]	28
FIGURE 2.21 : LES TROIS ETAGES D'UN MELANGEUR [26].....	29
FIGURE 2.22 : PRINCIPE D'UN MELANGEUR A REJECTION D'IMAGE.....	30
FIGURE 2.23 : TOPOLOGIE DE MELANGEUR BODY-INPUT.....	31
FIGURE 2.24 : COUPE TRANSVERSALE D'UN NMOS UTILISANT L'OPTION DEEP N-WELL.....	31
FIGURE 2.25 : EXEMPLE D'UN MELANGEUR EN TOPOLOGIE FOLDED AVEC REUTILISATION DE COURANT [29].....	32
FIGURE 3.1 : VUE D'UNE INDUCTANCE : (A) COUPE TRANSVERSALE, (B) VUE DE DESSUS.....	37
FIGURE 3.2 : COUPE TRANSVERSALE D'UNE CAPACITE MIM [32].....	37
FIGURE 3.3 : NIVEAUX METALLIQUES DE LA FILIERE CMOS 130 NM DE L'UMC.....	38
FIGURE 3.4 : PAD RF : (A) EXEMPLE D'ARCHITECTURE D'UN PAD SUR 4 NIVEAUX DE METALLISATION [32], (B) VUE DE DESSUS D'UN PAD.....	40
FIGURE 3.5 : PROTECTION CONTRES LES ESD.....	40
FIGURE 3.6 : SCHEMA DU MELANGEUR D'EMISSION.....	41
FIGURE 3.7 : SCHEMA DU MELANGEUR D'EMISSION AVEC INJECTION DE COURANT.....	42
FIGURE 3.8 : VALEURS DES TENSIONS DC DANS LE MELANGEUR D'EMISSION.....	43
FIGURE 3.9 : TRANSISTOR MOS TRIPLE-WELL.....	44
FIGURE 3.10 : GAIN EN BOUCLE OUVERTE AV_0 ET GAIN AVEC CONTRE-REACTION AV EN FONCTION DE LA FREQUENCE.....	45
FIGURE 3.11 : ETAGE DE TRANSCONDUCTANCE : (A) SCHEMA SIMPLIFIE, (B) MODELE PETIT SIGNAL.....	45

FIGURE 3.12 : ETAGE DE TRANSCONDUCTANCE AVEC DISPOSITIF DE CONTRE-REACTION.....	48
FIGURE 3.13 : COEFFICIENT DE REFLEXION EN ENTREE	49
FIGURE 3.14 : COEFFICIENT DE REFLEXION EN SORTIE	49
FIGURE 3.15 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE L'OSCILLATEUR LOCAL.....	50
FIGURE 3.16 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE DE L'OSCILLATEUR LOCAL	50
FIGURE 3.17 : FACTEUR DE BRUIT EN DB	51
FIGURE 3.18 : LAYOUT DU MELANGEUR D'EMISSION SANS PLAN DE MASSE	52
FIGURE 3.19 : PHOTOGRAPHIE DU MELANGEUR D'EMISSION REALISE	53
FIGURE 3.20 : BANC DE MESURE DU MELANGEUR D'EMISSION	54
FIGURE 3.21 : PERTES DANS LES CABLES OL, RF ET FI	54
FIGURE 3.22 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE D'ENTREE FI.....	56
FIGURE 3.23 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE DE SORTIE RF.....	56
FIGURE 3.24 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE L'OSCILLATEUR LOCAL.....	57
FIGURE 3.25 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE SIGNAL D'ENTREE FI (LE POINT DE COMPRESSION A 1 DB)	57
FIGURE 3.26 : FIGURE DE MERITE EN FONCTION DE LA PUISSANCE CONSOMMEE POUR NOTRE MELANGEUR ET LES MELANGEURS DE L'ETAT DE L'ART.....	59
FIGURE 4.1 : SCHEMA DU MELANGEUR DE RECEPTION	62
FIGURE 4.2 : COEFFICIENT DE REFLEXION EN ENTREE	63
FIGURE 4.3 : COEFFICIENT DE REFLEXION EN SORTIE	64
FIGURE 4.4 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE L'OSCILLATEUR LOCAL.....	64
FIGURE 4.5 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE RF	65
FIGURE 4.6 : FACTEUR DE BRUIT EN FONCTION DE LA FREQUENCE RF	65
FIGURE 4.7 : LAYOUT DU MELANGEUR DE RECEPTION SANS PLAN DE MASSE	67
FIGURE 4.8 : PHOTOGRAPHIE DU MELANGEUR DE RECEPTION REALISE.....	68
FIGURE 4.9 : BANC DE MESURE DU MELANGEUR DE RECEPTION	68
FIGURE 4.10 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE RF	69
FIGURE 4.11 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE L'OSCILLATEUR LOCAL.....	70
FIGURE 4.12 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE SIGNAL D'ENTREE RF (LE POINT DE COMPRESSION A 1 DB)	70
FIGURE 4.13 : FIGURE DE MERITE EN FONCTION DE LA PUISSANCE CONSOMMEE POUR NOTRE MELANGEUR ET LES MELANGEURS DE L'ETAT DE L'ART.....	72
FIGURE 4.14 : LNA A DEGENERATION INDUCTIVE	74
FIGURE 4.15 : SCHEMA DE L'AMPLIFICATEUR FAIBLE BRUIT	75
FIGURE 4.16 : COEFFICIENT DE REFLEXION EN ENTREE ET EN SORTIE.....	76
FIGURE 4.17 : GAIN ET LE FACTEUR DE BRUIT	77
FIGURE 4.18 : GAIN DU LNA EN FONCTION DE LA PUISSANCE DU SIGNAL D'ENTREE.....	77
FIGURE 4.19 : LAYOUT DU LNA SANS PLAN DE MASSE	78
FIGURE 4.20 : FIGURE DE MERITE SELON LE CRITERE DE L'ÉQUATION 4, EN FONCTION DE LA PUISSANCE CONSOMMEE POUR NOTRE LNA ET LES LNAs DE L'ETAT DE L'ART	80
FIGURE 5.1 : ARCHITECTURE SUPERHETERODYNE.....	82
FIGURE 5.2 : ARCHITECTURE A FAIBLE FREQUENCE INTERMEDIAIRE.....	82
FIGURE 5.3 : ARCHITECTURE A CONVERSION DIRECTE	83
FIGURE 5.4 : SCHEMA DE LA CHAINE D'EMISSION.....	84
FIGURE 5.5 : ARCHITECTURE COMPLETE DE L'EMETTEUR-RECEPTEUR AVEC LA BANDE DE BASE, LES CAN/CNA, L'EMETTEUR-RECEPTEUR RF ET L'ANTENNE.....	84
FIGURE 5.6 : PRINCIPE DE L'OSCILLATEUR CONTROLE EN TENSION	86
FIGURE 5.7 : OSCILLATEUR EN ANNEAUX	87
FIGURE 5.8 : VCO LC DE BASE.....	88
FIGURE 5.9 : SCHEMA BLOC DU QVCO.....	89
FIGURE 5.10 : SCHEMA DU QVCO	90
FIGURE 5.11 : MISE EN PARALLELE DES DIODES VARACTORS PAR LES BITS DE CONTROLE	90
FIGURE 5.12 : RESULTAT DE SIMULATION DU QVCO	91
FIGURE 5.13 : LAYOUT DU QVCO SANS PLAN DE MASSE	91
FIGURE 5.14 : PHOTOGRAPHIE DU QVCO REALISE	92
FIGURE 5.15 : BANC DE MESURE POUR LA SORTIE $BUFF_{A1}$ DU QVCO.....	93
FIGURE 5.16 : RESULTATS DE MESURE POUR LA COMBINAISON DE BITS : 000	93

FIGURE 5.17 : RESULTATS DE MESURE POUR LA COMBINAISON DE BITS : 110	94
FIGURE 5.18 : RESULTATS DE MESURE POUR LA COMBINAISON DE BITS : 010	94
FIGURE 5.19 : RESULTATS DE MESURE POUR LA COMBINAISON DE BITS : 100	95
FIGURE 5.20 : VARIATION DE LA FREQUENCE DANS LES DIFFERENTES PLAGES DE FONCTIONNEMENT ..	96
FIGURE 5.21 : SCHEMA DE PRINCIPE D'UNE PLL.....	97
FIGURE 5.22 : SCHEMA DU COUPLEUR DE WILKINSON	98
FIGURE 5.23 : ISOLATION ENTRE LES PORTS ET COEFFICIENTS DE REFLEXION EN ENTREE ET EN SORTIE DU COUPLEUR	99
FIGURE 5.24 : COEFFICIENTS DE TRANSMISSION DU COUPLEUR	99
FIGURE 5.25 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE RF	100
FIGURE 5.26 : GAIN DE CONVERSION EN FONCTION DE LA FREQUENCE DU SIGNAL EN BANDE DE BASE	101
FIGURE 5.27 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DU SIGNAL FI	101
FIGURE 5.28 : LAYOUT DE L'EMETTEUR SANS PLAN DE MASSE	102
FIGURE 6.1 : SCHEMA COMPLET DE L'EMETTEUR-RECEPTEUR UWB	107
FIGURE 6.2 : SCHEMA BLOC DE CAPTEUR SANS FIL HAUT DEBIT	108
FIGURE A.1 : SCHEMA DE L'ETAGE D'ENTREE	112
FIGURE A.2 : MODELE PETIT SIGNAL DU CIRCUIT SANS CONTRE-REACTION	113
FIGURE A.3 : MODELE PETIT SIGNAL DU CIRCUIT AVEC CONTRE-REACTION	113
FIGURE A.4 : GAIN STATIQUE ET IMPEDANCE D'ENTREE EN FONCTION DE LA RESISTANCE DE CONTRE- REACTION	122
FIGURE A.5 : GAIN EN BOUCLE OUVERTE AV_0 ET GAIN AVEC CONTRE-REACTION AV EN FONCTION LA FREQUENCE	124
FIGURE A.6 : IMPEDANCE D'ENTREE AVEC CONTRE-REACTION EN FONCTION LA FREQUENCE	125
FIGURE A.7 : IMPEDANCE D'ENTREE EQUIVALENTE	125
FIGURE B.1 : SCHEMA DU MELANGEUR	128
FIGURE B.2 : DIFFERENTES METHODES D'ADAPTATIONS UTILISEES	129
FIGURE B.3 : FACTEUR DE QUALITE DE L'INDUCTANCE EN FONCTION DE LA FREQUENCE.....	130
FIGURE B.4 : EVOLUTION DES PERFORMANCES EN FONCTION DE LA PUISSANCE CONSOMMEE	130
FIGURE B.5 : COEFFICIENT DE REFLEXION EN ENTREE.....	131
FIGURE B.6 : COEFFICIENT DE REFLEXION EN SORTIE.....	131
FIGURE B.7 : GAIN DE CONVERSION EN FONCTION DE LA PUISSANCE DE L'OSCILLATEUR LOCAL	132
FIGURE B.8 : POINT DE COMPRESSION A 1 DB	132
FIGURE C.1 : ARCHITECTURE DU MELANGEUR	136
FIGURE C.2 : SCHEMA COMPLET DE L'AMPLIFICATEUR TRANSIMPEDANCE	137
FIGURE C.3 : MODULE DE L'IMPEDANCE D'ENTREE ET DE SORTIE	138
FIGURE C.4 : GAIN DE TRANSIMPEDANCE (V/I)	138
FIGURE C.5 : POINT DE COMPRESSION A 1 DB	139
FIGURE C.6 : FACTEUR DE BRUIT EN DB.....	139
FIGURE C.7 : LAYOUT DE L'AMPLIFICATEUR TRANSIMPEDANCE SANS PLAN DE MASSE.....	141

Liste des tableaux

TABLEAU 1.1 : RESUME DES BANDES DE FREQUENCE DE L'EMETTEUR-RECEPTEUR	7
TABLEAU 2.1: COMPARAISON ENTRE LES DIFFERENTS STANDARDS	12
TABLEAU 3.1 : VALEURS DE DENSITE DE COURANT MAXIMALES POUR CHAQUE NIVEAU METALLIQUE .	39
TABLEAU 3.2 : VALEURS DE DENSITE DE COURANT MAXIMALES POUR CHAQUE VIA	39
TABLEAU 3.3 : RESUME DES PERFORMANCES DU MELANGEUR D'EMISSION.....	52
TABLEAU 3.4 : ETAT DE L'ART DES MELANGEURS REHAUSSEURS DE FREQUENCE	59
TABLEAU 4.1 : RESUME DES PERFORMANCES DU MELANGEUR DE RECEPTION.....	66
TABLEAU 4.2 : ETAT DE L'ART DES MELANGEURS ABAISSEURS DE FREQUENCE	71
TABLEAU 4.3 : RESUME DES PERFORMANCES DU LNA.....	78
TABLEAU 4.4 : ETAT DE L'ART DES AMPLIFICATEURS FAIBLES BRUIT	79
TABLEAU 5.1: RESUME DES PERFORMANCES DE QVCO	95
TABLEAU 5.2 : RESUME DES PERFORMANCES DE L'EMETTEUR	102
TABLEAU B.1 : RESUME DES PERFORMANCES DU MELANGEUR	133
TABLEAU C.1 : RESUME DES PERFORMANCES DE L'AMPLIFICATEUR TRANSIMPEDANCE.....	140

Chapitre 1

Introduction à la thématique de recherche

1.1 Les réseaux de capteurs sans fil

1.1.1 Introduction

Le domaine des réseaux de capteurs sans fil, Wireless Sensor Network (WSN) en anglais, a connu d'énormes avancées dans les applications et les techniques exploitées. L'aspect sans fil permet aux réseaux de capteurs de s'étendre par le déploiement d'un grand nombre de capteurs, vers des applications d'instrumentation, militaires, environnementales, domestiques, de santé et de sécurité.

Ces réseaux sont très exigeants en terme de consommation et coût, la taille du nœud communicant est un point critique suivant l'application visée. Il existe plusieurs technologies de capteurs sans fil, ces capteurs diffèrent en termes de débit, nombre de nœuds, portée et fréquence. Ils présentent surtout des limites en termes de débit, d'où la nécessité de développer un réseau de capteurs sans fil haut débit.

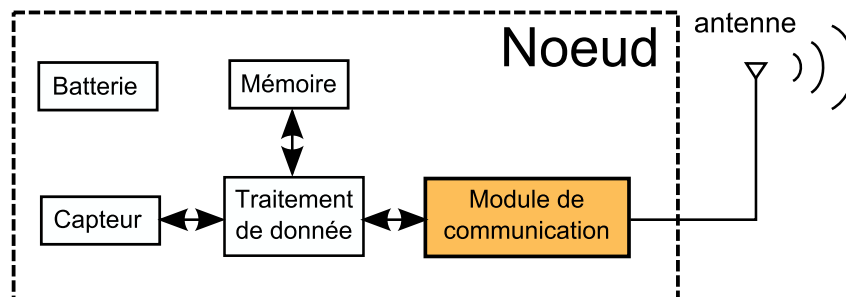


Figure 1.1 : Architecture générale d'un nœud de capteur sans fil

La Figure 1.1 présente l'architecture générale d'un nœud de capteur sans fil. Le capteur assure l'acquisition des données à récolter (température, pression, gaz, ...), ces données sont mises en forme par le module de traitement de données. Suivant l'application, ces données sont soit stockées localement ou transmises directement sans fil. Le module de communication assure la liaison sans fil entre le nœud et un routeur ou entre le nœud et un autre nœud. Le module de gestion d'énergie assure l'alimentation de ces blocs, il est schématisé par une batterie.

1.1.2 Réseau de capteurs pour l'aérospatial

L'aérospatial est un domaine en plein essor qui regroupe les applications aéronautiques et spatiales et il utilise des technologies de pointe qui nécessitent d'être validées avant la commercialisation. Pour valider un prototype d'un avion ou d'un satellite, il est nécessaire de passer une série de tests. Ces tests sont basés sur des mesures météorologiques, d'où la nécessité de développer des réseaux de capteurs. De tels systèmes de capteurs existaient en réseaux filaires. Ces réseaux filaires étant très coûteux, ne permettent pas le déploiement d'un grand nombre de points de mesure et nécessitent que l'appareil soit immobilisé pendant longtemps pour l'installation et la vérification des câbles, d'où vient l'utilité d'un réseau de capteurs sans fil.

Le domaine aérospatial présente des exigences sur l'utilisation des réseaux de capteurs pour les mesures ; ces mesures doivent être faites en temps réel et sans perte de données. Cette thèse s'intègre dans le contexte du développement des réseaux de capteurs sans fil pour les applications aérospatiales. Ces réseaux de capteurs mesurent la température et la pression sur les ailes d'avion en vol d'essai et sur la structure des satellites. La taille du capteur est un point très critique pour les applications aérospatiales pour ne pas altérer la réponse mécanique des structures. Les paragraphes suivants donnent plus de détails sur ces applications.

a) Application au test des satellites au sol

Lors du développement d'un satellite et vue l'impossibilité de réparation en vol, des tests au sol s'avèrent primordiaux pour vérifier les systèmes microélectroniques et la structure mécanique du satellite. La vibration et les contraintes mécaniques sont des phénomènes qui nécessitent d'être analysés en détail [1].



Figure 1.2 : Application pour le test satellite des réseaux de capteurs sans fil

Cette application concerne la mesure de température et des contraintes mécaniques sur la structure des satellites pendant la phase de test avant le lancement (Figure 1.2). Elle nécessite un nombre très important de capteurs pour couvrir toute la structure du satellite, cela nécessite des efforts de mise à l'échelle de réseau de capteurs.

L'utilisation des réseaux de capteurs sans fil remplacerait le système filaire existant. En plus des inconvénients cités dans le paragraphe 1.1.2, le poids de ce dernier peut altérer la réponse mécanique de la structure.

b) Application aéronautique

Cette application concerne la mesure de pression sur les ailes d'avion en vol d'essai pour valider la structure de l'avion avant la commercialisation de l'appareil (Figure 1.3).

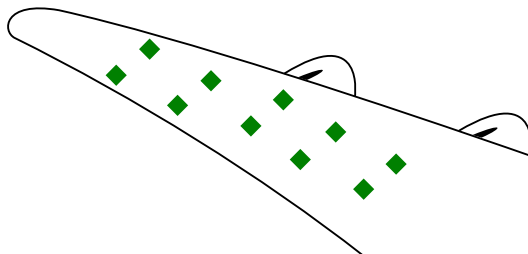


Figure 1.3 : Application aéronautique des réseaux de capteurs sans fil

Comme dans l'application spatiale, les systèmes de câblage filaire existant sont très complexes à gérer pour éviter toute erreur de montage qui générerait des erreurs de mesures. De plus, la taille des torons de câble qui passent à l'intérieur des ailes est

limitée par l'espace disponible. Ceci limite donc le nombre total de capteurs sur les ailes. L'utilisation d'un système de communication sans fil règlerait ce problème.

1.2 Objectifs et contributions

Cette thèse s'insère dans le projet SACER (entre le laboratoire LAAS-CNRS, des PME, Airbus et Intspace), qui vise le développement des réseaux de capteurs sans fil pour les applications aérospatiales. Ces réseaux de capteurs mesurent la température et la pression sur les ailes d'avion en vol d'essai et sur la structure des satellites (paragraphe 1.1.2).

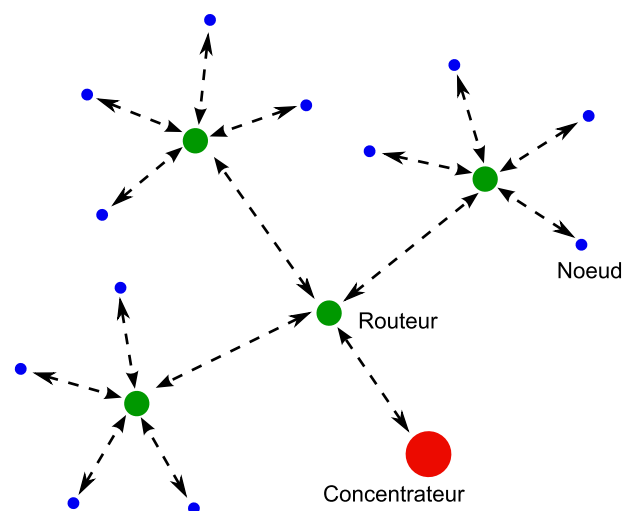


Figure 1.4 : Topologie du réseau de capteurs sans fil

La topologie adoptée pour le réseau des capteurs sans fil est une topologie en arbre (Figure 1.4). Les capteurs envoient leurs données vers un routeur, ce dernier envoie les données vers un concentrateur où les données sont analysées et stockées. Ce réseau de capteurs sans fil avec de telles caractéristiques, présente une innovation dans le domaine des moyens de test et d'essais de matériel aéronautique et spatial.

La contribution de cette thèse consiste au développement du module émetteur-récepteur pour les nœuds communicants. Ce travail concerne donc le développement d'une tête d'émission-réception RF, dont la conception devra répondre aux exigences de ces applications en termes de consommation, de débit et de coût. Contrairement aux réseaux de capteurs sans fil traditionnels, ce nouveau réseau est haut débit (plus de 200 Mb/s) et déploie un grand nombre de nœud (plus de 800 nœuds) [2], d'où la nécessité d'une architecture faible coût.

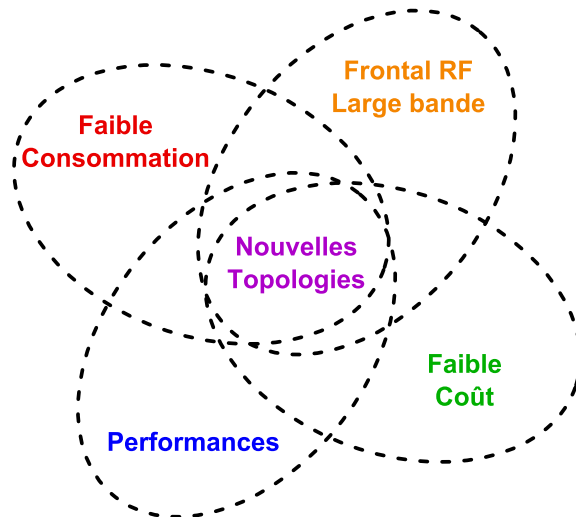


Figure 1.5 : Les exigences des réseaux de capteurs sans fil

Le grand défi pour ces réseaux de capteurs sans fil c'est que les nœuds doivent être autoalimentés sur batterie et ne possèdent pas de mode sommeil pour minimiser la consommation. Un autre défi est la non tolérance aux pertes de données d'où la nécessité de développer des algorithmes pour la correction des erreurs. Vu la réglementation très stricte dans le domaine aéronautique et les nombreuses émissions déjà existantes, une bande de fréquence étroite de quelques centaines de KHz aurait pu être mise à disposition pour être utilisée par notre réseau de capteurs. Mais dans une bande de fréquence si étroite nous n'aurions pas pu assurer les communications à très haut débit (100 Mbps) nécessaire au fonctionnement de notre réseau de capteurs. De surcroit, l'émission dans cette bande est soumise à une autorisation qui aurait dû être obtenue ensuite. Pour atteindre les exigences imposées par les deux applications citées précédemment, en terme de haut débit, nous avons choisi d'utiliser la modulation UWB-OFDM [3] et de rester ainsi sous le seuil de bruit. De cette manière aucune autorisation n'est requise et nous pouvons utiliser autant de largeur de bande que nécessaire. Ce choix nous a imposé une contrainte de conception ultra large bande pour les blocs de l'émetteur-récepteur RF, nécessitant des techniques de conception avancées pour l'extension de la bande passante. La Figure 1.5 présente les défis de la conception de ce nouveau réseau de capteurs sans fil.

1.3 Emetteur-récepteur large bande

L'émetteur-récepteur est basé sur une architecture à conversion directe avec l'utilisation de deux voies différentielles I et Q. L'émetteur-récepteur transpose la bande

de fréquence OFDM issue de la partie de traitement de la bande de base vers les fréquences RF dans la bande 6 GHz à 8.5 GHz pour la chaîne d'émission et le chemin inverse pour la chaîne de réception [4].

Notre choix de modulation UWB OFDM implique le traitement et la transmission de signaux en bande de base dont le spectre en fréquence est étalé entre 10 MHz et 510 MHz. La conception des blocs de notre circuit émetteur-récepteur UWB OFDM nécessite donc de nouvelles architectures.

En particulier, les mélangeurs de fréquence demandent une largeur de bande passante très importante en valeur relative, sur l'entrée du mélangeur rehausseur de fréquence et sur la sortie du mélangeur abaisseur de fréquence. Une adaptation d'impédance de qualité doit être opérée sur la bande 10–510 MHz afin d'optimiser le gain de conversion d'une part et de réduire la distorsion de phase qui en résulterait d'autre part. Ce type de perturbation peut sensiblement distordre le signal OFDM et par conséquent dégrader le seuil de détection sur la chaîne de réception OFDM. La conception du circuit LNA est moins délicate car son besoin en bande passante, relativement à la porteuse, est bien moins important.

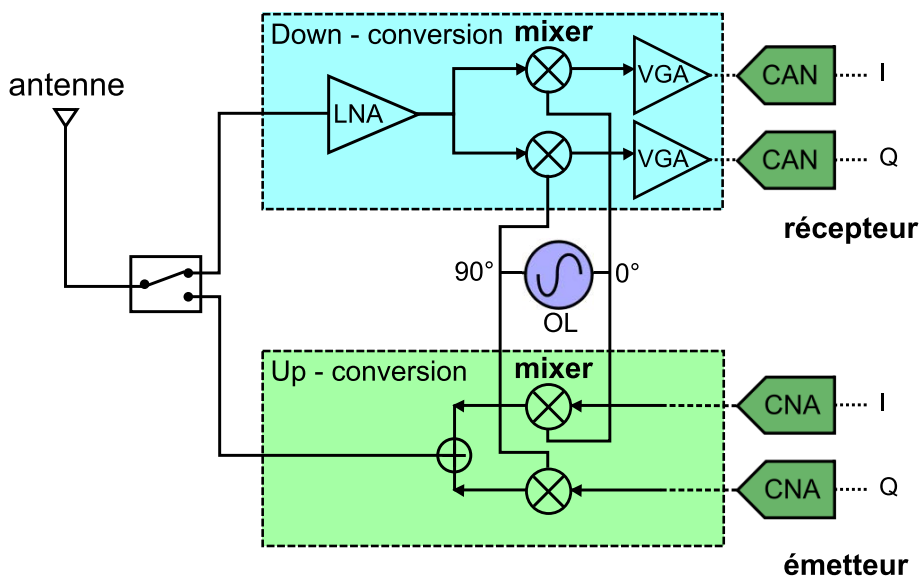


Figure 1.6 : L'architecture de l'émetteur-récepteur

L'architecture d'émetteur-récepteur visée est présentée dans la Figure 1.6. Un commutateur RF est utilisé pour multiplexer les voies radio fréquence d'émission (RF_Tx) et de réception (RF_Rx) sur une antenne UWB. Les signaux UWB-OFDM en bande de base des voies d'émission (BB_Tx) et de réception (BB_Rx), issus

d'un circuit externe de modulation/démodulation OFDM, sont transposés sur les voies RF_Tx / RF_Rx à l'aide d'un synthétiseur de fréquence en quadrature de phase commandé numériquement. Un mélangeur abaisseur de fréquence et un amplificateur à gain variable (VGA) vont fournir les signaux I et Q de la voie BB_Rx. Un mélangeur rehausseur de fréquence va fournir le signal (RF_Tx). L'intérêt d'une modulation UWB OFDM se justifie par le besoin d'une vitesse de transmission de données élevée pour les applications visées ainsi que par le fait qu'une communication à courte distance UWB OFDM permet de s'affranchir de l'usage d'un amplificateur de puissance (PA), source de non-linéarités et d'une consommation électrique importante.

Le Tableau 1.1 résume les bandes de fréquence de l'émetteur récepteur UWB :

Paramètres	Valeurs
Bande passante du signal RF (GHz)	6–8.5
Bande passante du signal bande de base (MHz)	10–510

Tableau 1.1 : Résumé des bandes de fréquence de l'émetteur-récepteur

L'élément clé de toute la conception de l'émetteur-récepteur RF est le mélangeur d'émission. Pour cela une nouvelle topologie a été conçue pour répondre au besoin en largeur de bande. Nous avons pris soin à ce que le mélangeur d'émission présente un gain de conversion suffisamment élevé pour se passer de l'utilisation d'un amplificateur de puissance. Ce dernier circuit présente une source de distorsion importante du signal RF et consomme beaucoup d'énergie. Nous avons optimisé le circuit mélangeur afin de limiter sa puissance de contrôle issue du circuit VCO (oscillateur contrôlé en tension). Le VCO étant un gros consommateur d'énergie. De cette manière, la chaîne d'émission radiofréquence se réduit à un minimum de deux mélangeurs (voies I et Q) à basse consommation et un VCO. Cette architecture d'émission, laisse plus de marge en terme de consommation pour la conception de la chaîne de réception. Nous avons choisi la technologie UMC CMOS 130 nm, cette technologie possède une fréquence f_T de 110 GHz et nous permet d'atteindre de bonnes performances avec un minimum de coût. Les conceptions sont faites en utilisant ce Design-Kit et la plateforme de design Cadence. Plusieurs outils de simulations ont été utilisés, notamment le logiciel Advanced Design System (ADS) pour les simulations du coupleur et de l'émetteur complet et le logiciel Spectre RF de la plateforme Cadence. Le logiciel Virtuoso de la plateforme Cadence a été utilisé pour le dessin des masques

et le logiciel Calibre également de la plateforme Cadence a été utilisé pour les vérifications DRC et LVS.

Les différents blocs RF ont été développés en technologie CMOS 130 nm : un mélangeur d'émission, un mélangeur de réception, un amplificateur faible bruit, un VCO et un émetteur. Les mesures effectuées sur les deux mélangeurs et sur le VCO valident leur fonctionnement. Les résultats présentés pour l'amplificateur faible bruit et l'émetteur sont les simulations post-layout.

1.4 L'organisation du travail

Pour exposer l'ensemble des travaux, le rapport est articulé autour de cinq chapitres. Le premier chapitre présente les réseaux de capteurs sans fil en général et les réseaux de capteurs pour le domaine aérospatial, notamment les deux applications sur lesquelles nous travaillons. Le contexte de travail et l'architecture adoptée pour l'émetteur-récepteur ultra large bande sont également présentés. Le deuxième chapitre expose les différentes architectures, circuits et technologies utilisées dans les réseaux de capteurs sans fil et leurs caractéristiques en termes de débit, consommation et nombre de nœuds. Nous présentons la norme Européenne UWB et un état de l'art des éléments clé de l'architecture RF. Le troisième chapitre est dédié à la conception de mélangeur rehausseur de fréquence pour la chaîne d'émission. L'innovation de ce mélangeur réside dans son étage de transconductance qui utilise une contre-réaction pour l'adaptation d'impédance d'entrée. Le quatrième chapitre est consacré à la conception du mélangeur de réception qui est basé sur une cellule de Gilbert et qui utilise une inductance inter-étage pour avoir des performances constantes sur toute la largeur de fréquence. Dans ce chapitre, les travaux de conception et de simulation pour un amplificateur faible bruit sont également présentés. Le cinquième chapitre présente notre architecture d'oscillateur contrôlé en tension programmable. Cet oscillateur fournit quatre signaux en quadrature de phase pour contrôler les mélangeurs. Ce chapitre décrit les différentes architectures d'émetteur et le choix d'architecture finale d'émetteur que nous avons fait. Nous présentons aussi les résultats de simulation de l'émetteur envoyé en fabrication. Nous terminerons ce mémoire de thèse en concluant sur le travail présenté et en donnant également quelques pistes pour l'évolution et la suite à donner à cette étude.

Chapitre 2

Etat de l'art

2.1 Introduction

« Réseaux de capteurs sans fil » est un terme générique désignant un système autonome de plusieurs capteurs, appelés nœuds, capables d'échanger des informations entre eux, par un réseau de liens sans fil [5]. Il existe une multitude de technologies de réseaux sans fil, toutefois ces technologies sont encore loin de répondre aux exigences demandées, surtout en terme de consommation et de nombre limite de nœuds dans un réseau.

Ce chapitre va présenter les différentes architectures de communication de réseaux de capteurs sans fil et leurs caractéristiques. Un bref aperçu de la technique ultra large bande (UWB) et de ses spécificités sera ensuite donné. Les techniques d'extension de la bande passante au niveau du circuit pour pouvoir fonctionner en UWB seront présentées. Dans les architectures de communication UWB, un élément clé est le mélangeur (comme présenté dans le Chapitre 1). Ce travail de thèse est essentiellement centré sur la conception d'un nouveau mélangeur UWB dans la bande 6–8.5 GHz (norme Européenne UWB). C'est pour ceci que nous ferons ici un état de l'art détaillé des différents types de mélangeurs et de leurs caractéristiques.

2.2 Architecture de communication

Chaque technologie de réseaux de capteurs sans fil présente ses propres caractéristiques en terme de débit, de fréquence, de consommation, de nombre de nœuds requis et de couverture radio. L'ensemble de ces technologies se base sur des architectures de communications, qui se déclinent en deux catégories :

- Protocoles normalisés : Parmi les standards de communication les plus utilisés, nous pouvons noter : Bluetooth, Zigbee et le nouveau standard DASH7.

Ces protocoles sont destinés à être partagés et l'utilisateur n'est pas dépendant du fournisseur du/des couches de communications (PHY/MAC).

- Protocoles spécifiques propriétaires : Le système de capteurs sans fil fourni par la société MicroStrain, qui est un système d'acquisition de données haut débit. Ce système est basé sur le protocole IEEE 802.15.4 et peut atteindre des couvertures radio entre 70 m et 300 m [6]. Ces protocoles ne sont pas destinés à être partagés et l'utilisateur est dépendant des couches de communications du fournisseur.

La Figure 2.1 présente un classement des protocoles normalisés, en fonction de leur portée et de débit de communication. Nous constatons que les normes 802.15.3/WiMedia présente des bonnes performances, mais au détriment de la consommation.

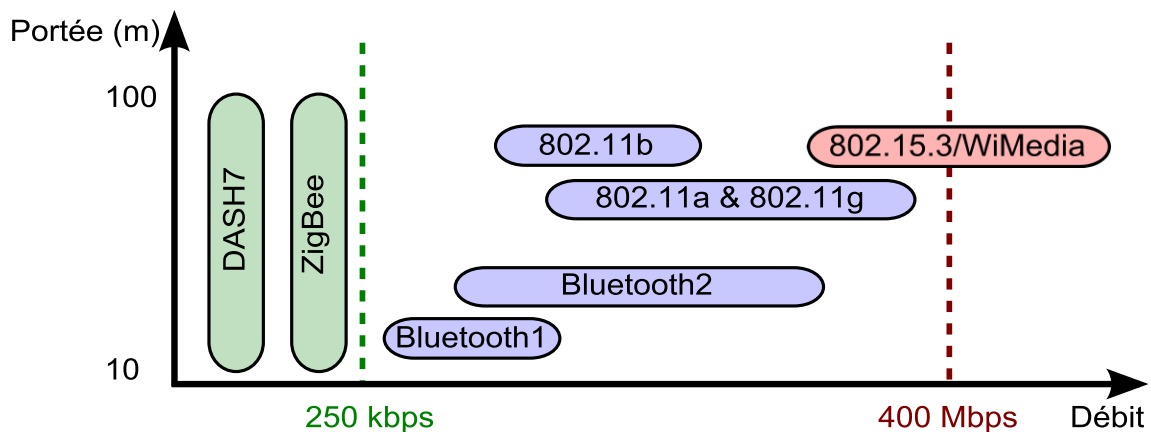


Figure 2.1 : Classement des standards de communications

Dans les paragraphes suivants nous présentons les protocoles présentant les plus faibles consommations énergétiques, leurs performances et leurs limites associées.

2.2.1 Bluetooth

La norme Bluetooth a été conçue pour présenter une faible consommation et permettre de réduire le coût de conception des communications sans fil à courte distance. Originellement conçue comme une alternative aux liaisons câblées, le Bluetooth est utilisé pour connecter différents types d'équipements comme les périphériques informatiques tels que souris et clavier, ou bien audio (écouteur sans fil) [7].

La norme Bluetooth exploite les fréquences ISM 2.4 GHz et utilise 79 canaux présentant une bande passante de 1MHz. La portée du Bluetooth est de 10 m environ. En augmentant la puissance d'émission, la portée peut atteindre 100 m [8].

2.2.2 ZigBee

Le standard ZigBee [9] est basé sur une réutilisation de la couche physique de radiocommunications définie par le standard IEEE 802.15.4 [10] en y rajoutant une couche réseau spécifique. La Figure 2.2 présente les couches des standards ZigBee et IEEE 802.15.4. Ce protocole exploite également la gamme de bande de fréquence ISM 2.4 GHz, libre de droit d'exploitation.

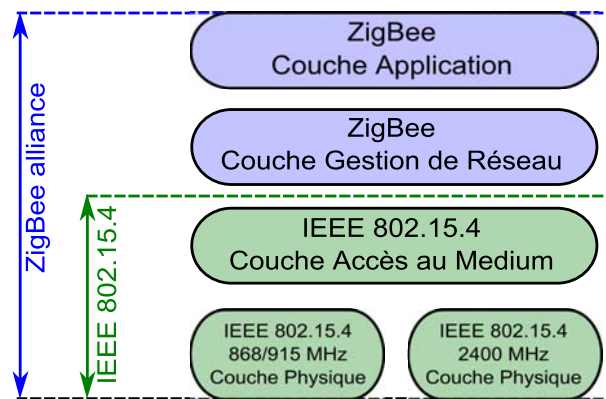


Figure 2.2 : Couches du standard ZigBee

2.2.3 DASH7

DASH7 est une norme de communication à très faible consommation pour les réseaux de capteurs sans fil. Originellement conçu pour un usage militaire, elle est maintenant proposée pour des applications commerciales. DASH7 possède une portée de plus de 2 km, une durée de vie de batterie de 10 ans avec une capacité de maillage et de pénétration des obstacles. DASH7 est connu sous le nom ISO 18000-7 [11]. Cette technologie utilise les fréquences 433 MHz, ce qui correspond à une longueur d'onde de 70 cm. Etant donné la fréquence utilisée, la difficulté d'usage de cette norme se situe dans la conception d'antennes compactes [12].

2.2.4 Comparaison entre les différents standards des réseaux des capteurs sans fil

Le Tableau 2.1 résume les performances des protocoles cités au-dessus, auxquels nous avons rajouté un produit industriel, MicroStrain, basé sur le protocole ZigBee.

Caractéristiques	ZigBee	Bluetooth	DASH7	MicroStrain
Portée	100 m	10 m à 100 m	250 m à 2 km	70 m à 300 m
Débit binaire	250 kbs	1 Mbs	27.8 kbs	4 kbs
Fréquence	2.4 GHz	2.4 GHz	433 MHz	2.4 GHz
BP du canal	5 MHz	1 MHz	0.5 à 1.75 MHz	2 MHz
Nombre des nœuds	64000 *	7	quelques dizaines	quelques dizaines
Modulation	QPSK	GFSK	FSK / GFSK	QPSK
Déterministe	Non	Non	Non	Non
Consommation	Faible **	Moyenne	Très faible	Faible

* Valeur théorique. En pratique, c'est quelques dizaines

** Si les capteurs sont interrogés ponctuellement

Tableau 2.1: Comparaison entre les différents standards

2.3 Communication ultra large bande (UWB)

Tous les protocoles de communications décrits précédemment utilisent un canal de communication présentant une bande passante peu importante. D'autres techniques de communication consistent à moduler un signal dont le spectre en fréquence est très étalé. Cette technique est dénommée Ultra Large Bande (UWB) et offre plusieurs avantages. Le premier de ces avantages est que la vitesse de transmission des informations est augmentée, en vertu des conditions de Nyquist et Shannon :

$$\text{Débit}_{\max} = \frac{1}{2} B$$

$$C = B.\log_2(1 + SNR)$$

Où C est la capacité de canal en bits/s, B est la bande passante en Hertz et SNR est le rapport signal sur bruit. Ces formules montrent que d'une part la vitesse limite de transmission de données est d'autant plus grande que la bande passante du signal est élevée et d'autre part qu'avec un rapport signal sur bruit donné, la capacité limite d'un canal de communication, c'est-à-dire la vitesse maximale qu'il est possible d'obtenir, est proportionnel à la bande passante du signal porteur d'information. Enfin, pour une capacité de canal donnée, plus la bande passante du signal porteur d'information est élevée, plus faible sera le rapport signal sur bruit requis.

Une transmission de données utilisant un large spectre de fréquence permet ainsi de réduire la puissance du signal d'émission radio, à environnement physique donné. Cette technique permet de limiter les probabilités d'interférence avec les autres protocoles de communication.

Contrairement à une transmission à bande étroite qui utilise une grande puissance de transmission, la technique de l'ultra large bande utilise une transmission sur une grande bande passante avec une limitation en puissance (Figure 2.3). L'organisme de régulation des communications américaine (FCC) a attribué à l'UWB une bande de fréquence s'étalant de 3.1 GHz à 10.6 GHz pour ce type de communication radio, en spécifiant les limites d'émissions radio en terme de densité spectrale de puissance.

L'UWB se décline en deux systèmes :

- Le premier utilise un signal de forme impulsionnelle pour transporter une information. Le spectre s'étale donc sur une large portion de l'espace des fréquences.
- Le second combine plusieurs signaux à bande étroite sur une large plage de fréquence. Ces signaux sont de type sinusoïdaux et ont la particularité d'être intercalés de manière orthogonale (en quadrature de phase). Ces systèmes sont dénommés multi-bandes OFDM (Orthogonal Frequency Division Multiplexing).

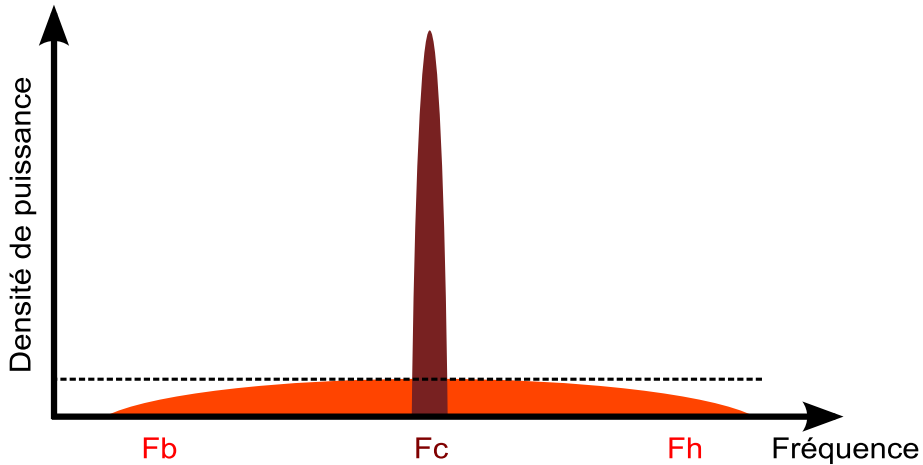


Figure 2.3 : Niveau de puissance d'un signal UWB et à bande étroite

2.3.1 Bande de fréquences en norme européenne

La bande passante spécifiée par le FCC au sujet des communications UWB ne s'applique pas en Europe. En Europe, la bande de fréquence UWB s'étale de 6 GHz à 8.5 GHz. Selon le standard haut débit ECMA-368 [13], la Figure 2.4 présente la répartition en fréquence et précise la bande européenne. La bande de fréquence est divisée en sous-bandes de 528 MHz, les fréquences centrales des bandes sont calculées par :

$$FC = (2904 + 528.n)MHz$$

$$n = 1...14$$

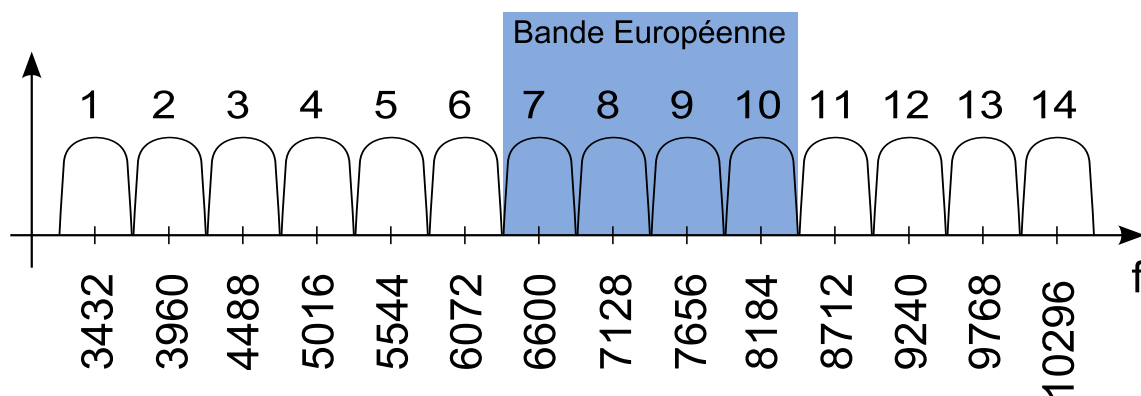


Figure 2.4 : Bandes de fréquence UWB selon ECMA-368

2.3.2 Limitation de puissance

Comme évoqué précédemment, les réglementations internationales limitent la puissance de ces émissions radio. Le niveau de puissance limite, en sortie de l'antenne d'émission est limité suivant le gabarit de la figure ci-dessous [14].

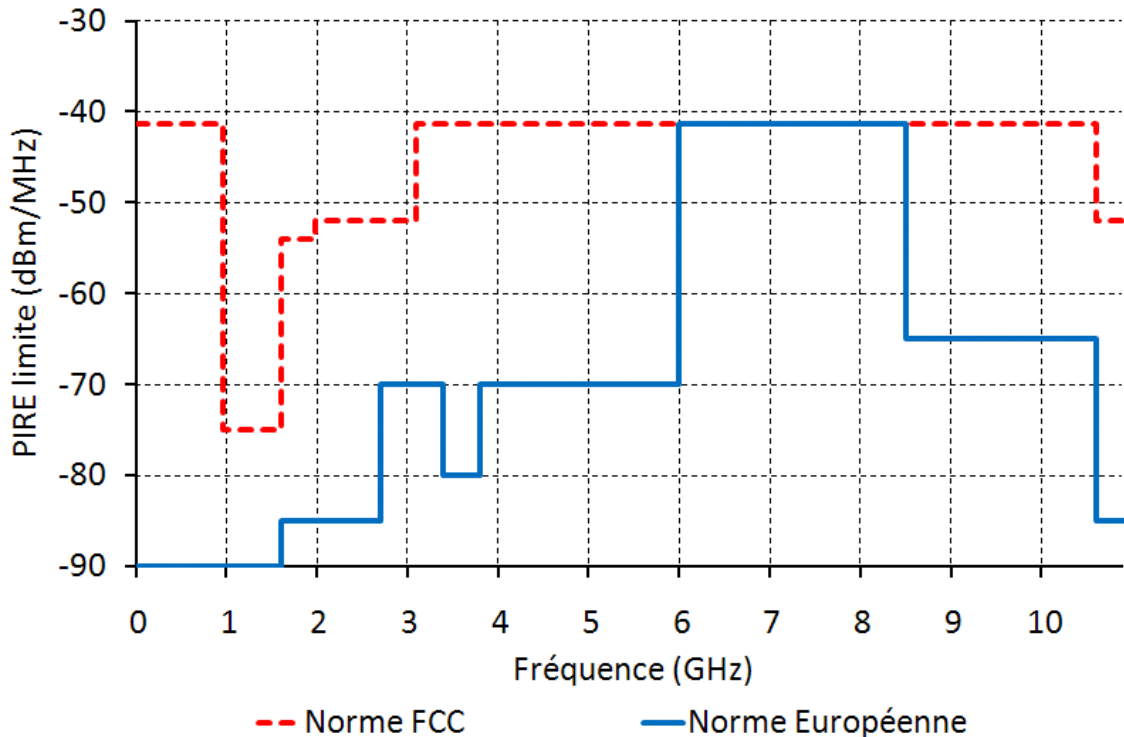


Figure 2.5 : Limitation de puissance sur les bandes UWB

En Europe, un masque spectral limitant l'émission de signaux UWB à la bande 6 GHz – 8.5 GHz avec une densité spectrale de puissance de -41.3 dBm/MHz (Figure 2.5). L'émission est également autorisée dans la bande 3.8 GHz – 6 GHz mais avec une densité spectrale de puissance de -70 dBm/MHz. Une telle limitation de puissance dans la bande 3.8 GHz – 6 GHz ne permet pas d'assurer une liaison fiable entre deux systèmes distants [15]. La courbe en pointillés présente la limitation de densité spectrale par le FCC (aux USA), cette limitation est de -41.3 dBm/MHz pour les fréquences de 3.1 GHz à 10.6 GHz.

Nous avons choisi l'utilisation de la bande 6 GHz à 8.5 GHz conformément à la limitation de puissance en norme Européenne. La limitation de niveau de puissance réduit les interférences avec les autres systèmes et offre la possibilité de coexistence avec les autres systèmes de communication.

2.3.3 La technique UWB à 60 GHz

Au delà de la bande de fréquence de 3.1 GHz à 10.6 GHz, le FCC a également attribué des bandes de fréquences, libres de droit d'exploitation, aux alentours des 60 GHz, entre 57 GHz et 64 GHz, pour les transmissions UWB [16]. L'utilisation de ces bandes de fréquence offre de nouvelle possibilité d'utilisation des communications à courte distance tel que les liaisons à haut débit de type « real streaming ». De plus, la réalisation de communication à haut débit de l'ordre du Giga Bits/s ne demande plus nécessairement une modulation complexe telle de l'OFDM. Une bande passante de canal de communication radio, de l'ordre du Giga Hertz, n'est pas incompatible avec l'utilisation d'une architecture de circuit radio plus classique. En effet, la largeur relative de canal de communication est bien plus faible à ces fréquences ($\sim 1/60$ soit 1.7% environ). L'autre avantage de ces bandes de fréquences est de réduire la complexité des circuits passifs RF tels que les antennes, filtres duplexeur ou passe bande. L'usage de circuits passifs MMIC comme les inductances est moins problématique en terme de surface occupée.

Enfin, l'augmentation des pertes par propagation qui découle de ces valeurs de fréquences permet de réduire la sensibilité du canal de communication radio aux trajets multiples. Cet attrait est compensé par le niveau élevé des pertes par propagation, qui peut être en partie pallié par l'utilisation d'antenne directives et d'une configuration physique de liaison radio en vue directe [17]. La réalisation d'antennes compactes et directives est plus simple à ces valeurs de fréquences. Il est ainsi possible d'espérer réaliser une intégration on-chip d'un circuit émetteur-récepteur radio muni de ses filtres et son antenne, ce qui représenterait un gain de miniaturisation et de coût important.

Les travaux décrits dans ce mémoire de thèse s'inscrivent dans le cadre d'un projet de recherche et d'innovation industriel. La finalité de ces travaux est de répondre aux besoins futurs en matière de liens radio haut débit dans le domaine de la métrologie. A cette fin, et pour des raisons économiques et de droits, il est impératif de respecter le droit des télécommunications international d'une part et de la communauté Européenne d'autre part. Ces contraintes, ainsi que des raisons techniques, ont déterminées le choix d'utiliser les bandes de fréquences situées dans la gamme 6 GHz – 8.5 GHz. Ce choix impose donc une largeur relative de canal de communication radio importante et dictera notre topologie de circuit de communication. Une modulation à très large bande passante est requise ce qui va

imposer des spécificités aux différentes sous fonction des circuits radio pour ne pas déformer les signaux à transmettre. Les paragraphes suivants résument les différentes solutions techniques pour augmenter, en valeur relative, la largeur de bande d'un circuit électronique.

2.4 Techniques d'extension de la bande passante

Les circuits RF se déclinent en deux grandes catégories : circuits à bande étroite et circuit ultra large bandes (UWB). La conception des circuits ultra large bande impose l'utilisation de circuits présentant des bandes passantes importantes, relativement à leur fréquence centrale. Des techniques d'élargissement de la bande passante sont utilisables afin de réaliser de tels circuits RF. Nous citons dans cette partie trois techniques d'extension de la bande passante.

2.4.1 Contre-réaction

La contre-réaction est une technique qui permet d'augmenter la bande passante d'un quadripôle en abaissant son gain (Figure 2.6). Le produit gain*bande restant une constante du système. Cette technique sera utilisée pour l'adaptation d'impédance dans le mélangeur d'émission (Chapitre 3).

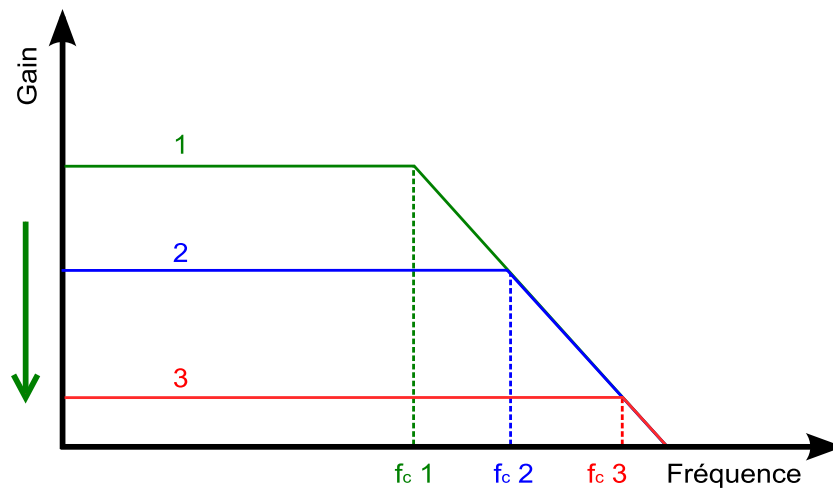


Figure 2.6 : Compromis gain / bande passante

2.4.2 Utilisation d'éléments distribués

Cette technique se base sur l'utilisation de plusieurs transistors, séparés par des éléments de ligne à retard. Des inductances sont utilisées, qui combinées

aux capacités de grille des transistors MOS, permettent de réaliser ces lignes à retard [18]. La multiplicité des transistors fait que cette technique ne convient pas aux applications à faible consommation. La Figure 2.7 présente un exemple d'un amplificateur distribué.

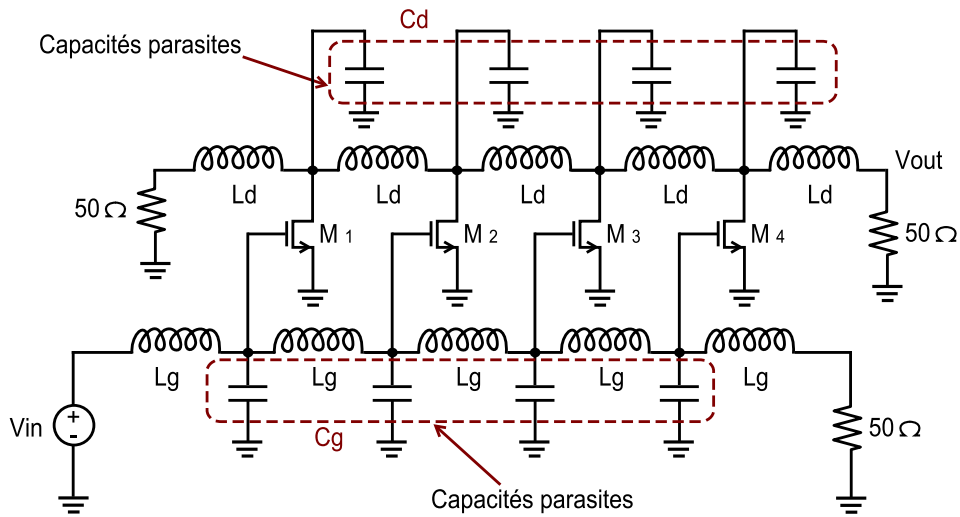


Figure 2.7 : Exemple d'un amplificateur distribué single-ended à 4 étages [19]

2.4.3 Double adaptation

La technique de la double adaptation se repose sur l'utilisation de deux réseaux d'adaptation d'impédance dont les fréquences de résonances sont distinctes. La bande passante d'un circuit est élargie par la présence des deux fréquences auxquelles le circuit est adapté (Figure 2.8). Cette méthode sera utilisée pour l'adaptation d'impédance dans le mélangeur de réception et dans l'amplificateur faible bruit (Chapitre 4).

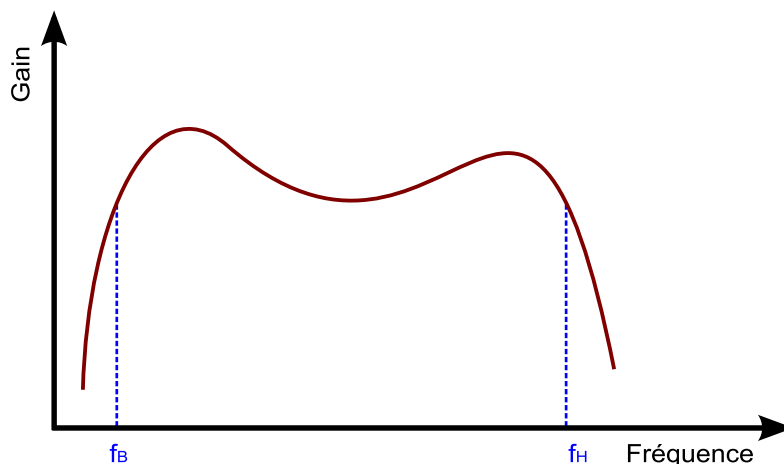


Figure 2.8 : Bande passante d'un circuit doublement adapté

2.5 Les mélangeurs

Dans les architectures de communication UWB, un élément clé est le mélangeur (comme présenté dans le Chapitre 1). Ce travail de thèse est essentiellement centré sur la conception d'un nouveau mélangeur UWB dans la bande 6–8.5 GHz (norme Européenne UWB), voir Figure 2.9.

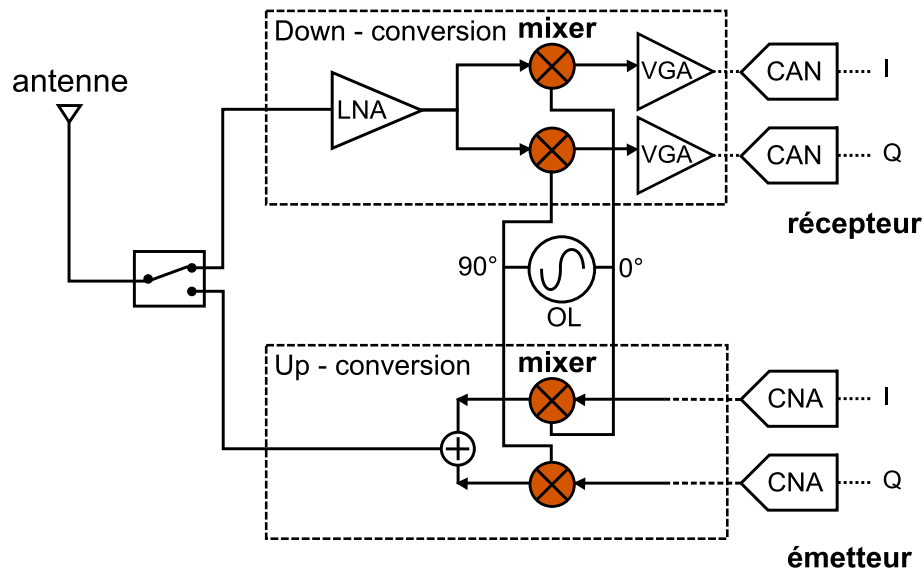


Figure 2.9 : Architecture de l'émetteur-récepteur

Le mélangeur transpose le signal en bande de base vers les fréquences RF pour la chaîne d'émission et le signal RF vers le signal en bande de base pour la chaîne de réception. Le mélangeur utilise le principe de la non-linéarité qui induit le phénomène de l'intermodulation. Un mélangeur peut être une simple diode (cas de la détection AM directe) ou bien un circuit beaucoup plus complexe comme une cellule de Gilbert [20]. Le choix se fait selon le besoin en sensibilité des circuits RF.

2.5.1 Principe du mélangeur

Le principe du mélangeur repose sur la multiplication de deux signaux dans le domaine temporel.

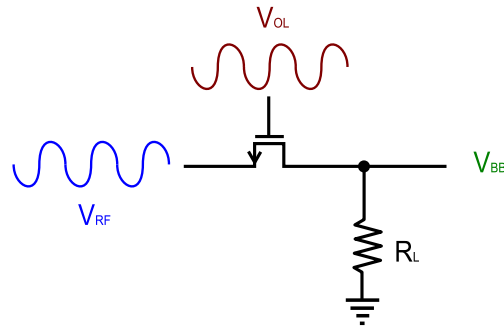


Figure 2.10 : Schéma de principe du mélangeur en réception

La Figure 2.10 illustre le principe d'un transistor MOS utilisé comme mélangeur, le signal V_{OL} commande la grille de transistor, le signal V_{RF} est démodulé obtenant le signal de sortie V_{BB} .

a) Mélangeurs d'émission

Un mélangeur dans la chaîne d'émission joue le rôle de rehausseur de fréquence (up-converter). Il translate un signal de fréquence intermédiaire (FI) ou bande de base (BB), vers un signal radio fréquence (RF) à l'aide d'un signal sinusoïdal d'oscillateur local (OL). Un tel mélangeur possède deux portes d'entrée OL et BB et un port de sortie RF (Figure 2.11.b).

En émission, l'équation suivante traduit ce phénomène :

$$V_{BB} \cos(\omega_{BB})t \cdot V_{OL} \cos(\omega_{OL})t = \frac{V_{BB} \cdot V_{OL}}{2} [\cos(\omega_{OL} - \omega_{BB})t + \cos(\omega_{OL} + \omega_{BB})t]$$

La Figure 2.11.a illustre le principe de translation de fréquence.

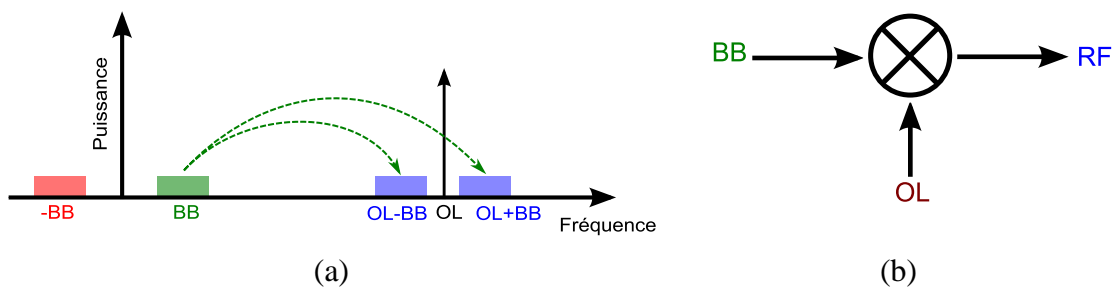


Figure 2.11 : (a) Principe de translation de fréquence, (b) Ports du mélangeur

b) Mélangeurs de réception

En réception, le mélangeur translate un signal RF en un signal FI ou de BB (Figure 2.12). Un tel mélangeur possède deux ports d'entrée OL et RF et un port de sortie BB.

En réception, l'équation suivante traduit ce phénomène :

$$V_{RF} \cos(\omega_{RF})t \cdot V_{OL} \cos(\omega_{OL})t = \frac{V_{RF} \cdot V_{OL}}{2} [\cos(\omega_{RF} - \omega_{OL})t + \cos(\omega_{RF} + \omega_{OL})t]$$

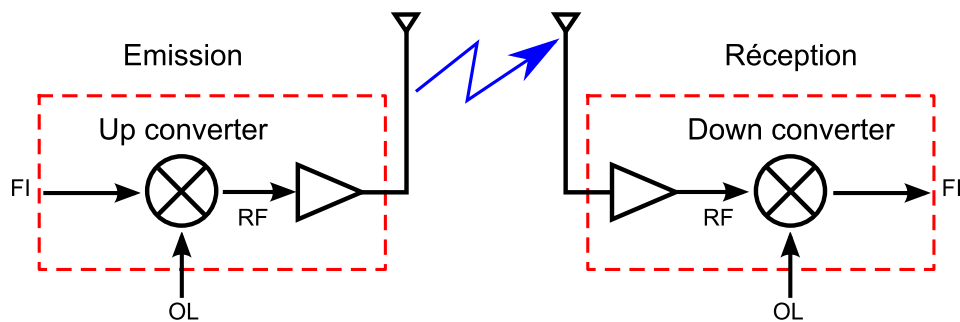


Figure 2.12 : Principe de mélangeur en émission et en réception

A la sortie du mélangeur, nous constatons la présence de deux bandes de fréquence centrées sur $(F_{RF} + F_{OL})$ et $(F_{RF} - F_{OL})$. Pour un mélangeur d'émission (up-converter), seule la fréquence $(F_{OL} - F_{BB})$ est gardée pour limiter l'occupation spectrale. Pour un mélangeur de réception (down-converter), la fréquence $(F_{RF} - F_{OL})$ est utilisée.

c) Structure avancée du mélangeur

Pour une structure plus avancée, la commutation se fait par deux transistors. En sortie de ces derniers, on se retrouve avec un signal différentiel V_{sortie} .

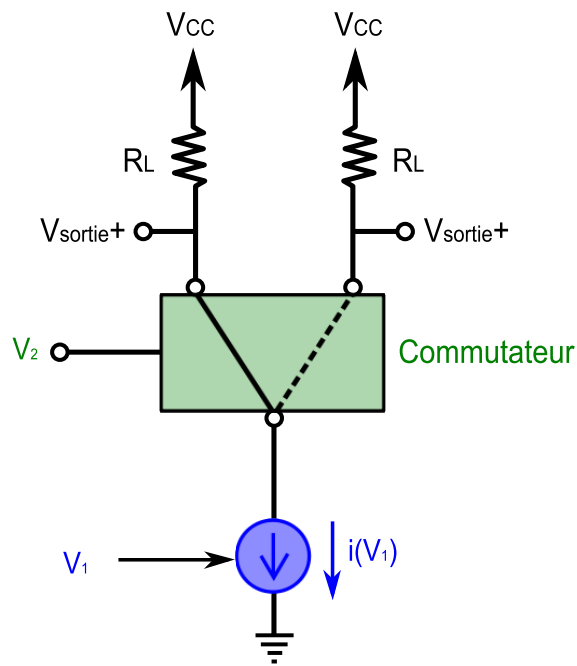


Figure 2.13 : Schéma de principe du mélangeur équilibré

La figure ci-dessus présente le principe d'un mélangeur équilibré. Le courant de la source en courant représente l'étage qui transforme la tension V_1 en un courant $i(V_1)$.

2.5.2 Paramètres de performance des mélangeurs

Lors de conception de mélangeurs, certains paramètres sont à prendre en compte, car ils caractérisent les mélangeurs :

- Gain de conversion
- Linéarité
- Facteur de bruit
- Isolation
- Bande passante

a) Gain de conversion

Le gain de conversion exprime l'impact du mélangeur (augmentation ou diminution de la puissance du signal utile) dans le bilan de puissance d'un circuit radio. C'est le rapport entre la puissance du signal utile qui entre dans le mélangeur

et la puissance de ce même signal lorsqu'il sort du mélangeur. Le gain de conversion s'exprime sous la forme suivante :

$$G_C = \frac{P_{FI}(\text{sortie})}{P_{RF}(\text{entrée})}$$

Dans le cas de mélangeur utilisant des transistors à effet de champs, le gain de conversion peut s'exprimer sous la forme d'un rapport de tension et d'un facteur correctif de puissance :

$$G_C = \left(\frac{V_{FI}}{V_{RF}} \right)^2 \frac{R_S}{R_L}$$

R_S et R_L sont respectivement la résistance d'entrée et de sortie du mélangeur. Cette expression suppose l'adaptation d'impédance du circuit.

b) Linéarité

Le comportement non linéaire d'un mélangeur est source de signaux parasites. Ce comportement est caractérisé à l'aide du point de compression à 1 dB et du point d'intermodulation d'ordre 3. Pour les architectures de récepteurs à fréquence intermédiaire nulle ou faible, le mélangeur est vulnérable aussi aux produits d'intermodulation d'ordre 2 (IP2) qui ramènent une composante DC sur le point de repos du circuit.

b.1) Point de compression à 1 dB

Un signal de forte puissance à l'entrée d'un mélangeur sature et réduit le gain de conversion. Le point de compression à 1 dB mesure la déviation de 1 dB du gain de conversion en fonction de la puissance appliquée au mélangeur. La Figure 2.14 présente la puissance de sortie en fonction de la puissance d'entrée du mélangeur, la ligne en pointillé représente la réponse idéale.

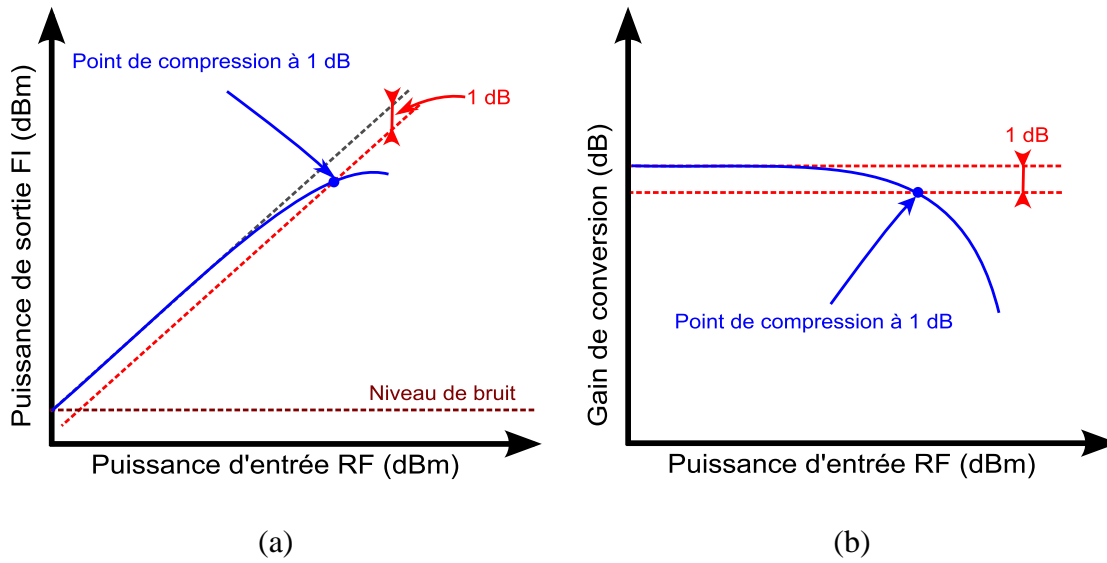


Figure 2.14 : Point de compression à 1 dB

a.1 Distorsion d'intermodulation d'ordre 3

Le point d'interception d'ordre 3 (IP3) est utilisé pour caractériser la linéarité d'un mélangeur. La Figure 2.15 décrit la puissance du signal de sortie en fonction de la puissance du signal d'entrée pour la fréquence fondamentale et pour la fréquence harmonique d'ordre 3. L'IP3 est défini par l'intersection des asymptotes des deux courbes.

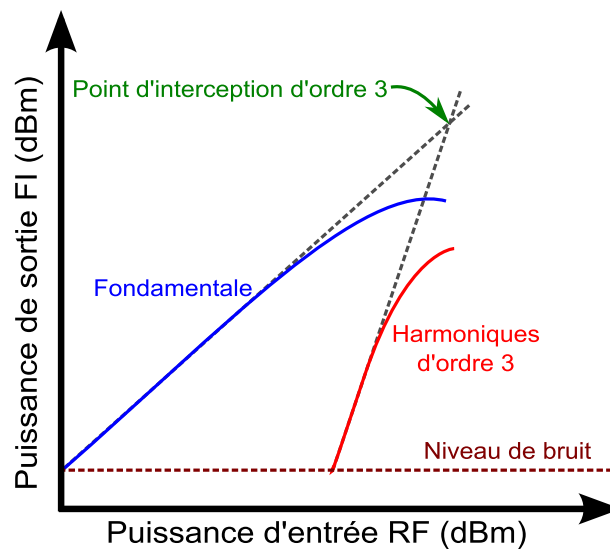


Figure 2.15: Produit d'intermodulation d'ordre 3

La Figure 2.16 présente le spectre du signal à l'entrée et à la sortie du mélangeur.

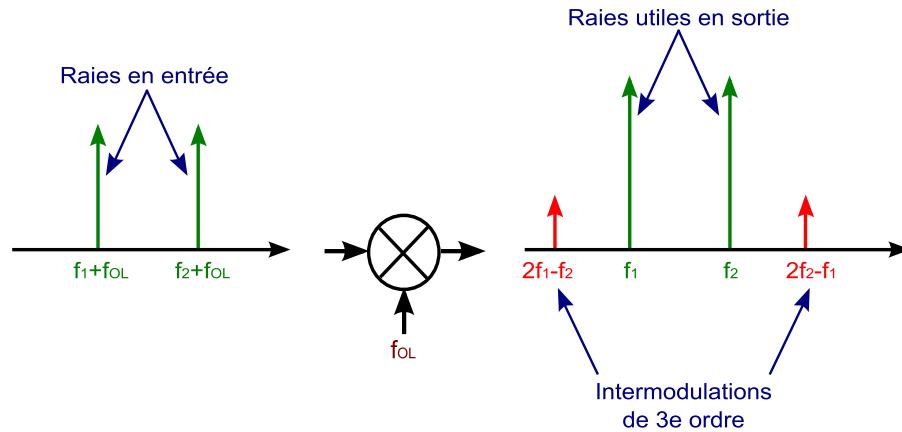


Figure 2.16 : Spectre du signal à l'entrée et à la sortie d'un mélangeur de réception

c) Facteur de bruit

Le facteur de bruit exprime la dégradation du rapport signal sur bruit au travers du circuit. C'est le rapport entre le SNR (rapport signal sur bruit) du signal utile qui entre dans le mélangeur et le SNR du signal utile qui sort du mélangeur.

d) Isolation

Il est important de minimiser les interactions entre les ports FI, RF et OL. Pour cela, nous spécifions un terme d'isolation entre les ports (Figure 2.17).

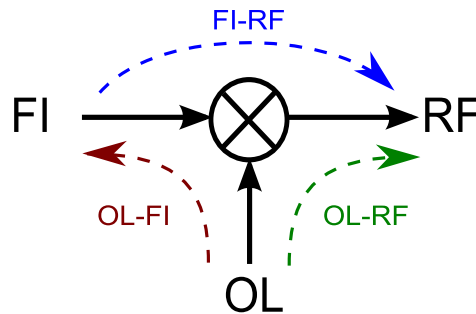


Figure 2.17 : Différentes isolations dans un mélangeur

L'isolation est mesurée en dB, l'obtention d'une meilleure isolation repose sur le choix de topologie de mélangeur. Le but étant de court-circuiter le signal OL aux ports FI et RF.

e) Bande passante

Ce paramètre caractérise les limites de traitement du circuit sur un signal utile. En effet un mélangeur ne peut traiter un signal de forme et d'enveloppe quelconque.

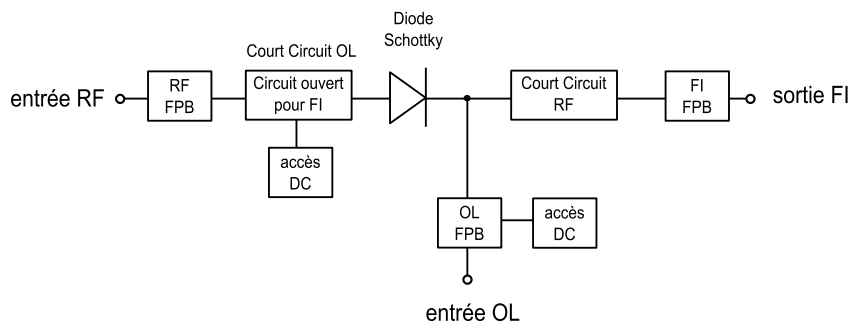
Ce paramètre correspond à la plage de fréquence de fonctionnement du mélangeur, définie par une chute de 3 dB de gain de conversion.

2.5.3 Types des mélangeurs

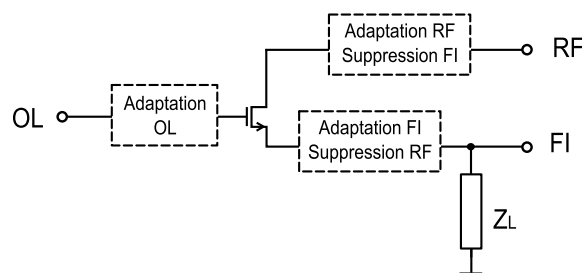
Les deux principales catégories de mélangeur sont : les mélangeurs passifs et les mélangeurs actifs. Dans les paragraphes suivants nous présentons ces deux types de mélangeurs avec leurs avantages et inconvénients.

a) Mélangeurs passifs

Les mélangeurs résistifs utilisent des diodes (Figure 2.18.a) ou des FETs non polarisés (Figure 2.18.b) comme dispositifs non linéaires de mélange. Ils existent en topologie non équilibrée et en topologie équilibrée [21]. Ces mélangeurs possèdent l'avantage d'une consommation nulle et présentent une meilleure performance en linéarité. En contre partie, ils introduisent une perte de conversion et nécessitent une importante puissance au niveau de l'oscillateur local.



(a)



(b)

Figure 2.18 : Mélangeur passif : (a) utilisant des diodes [22], (b) utilisant des FET non polarisés [23]

b) Mélangeurs actifs

Ils sont réalisés à partir de transistors bipolaires ou à effet de champ polarisés. Ils se déclinent en deux topologies : équilibrée et non équilibrée. Ces mélangeurs fournissent un gain de conversion et nécessitent un niveau moins important de puissance de l'oscillateur local.

La topologie la plus répandue dans la conception de mélangeurs actifs est la cellule de Gilbert (Figure 2.19), originellement publiée avec des transistors BJT [24]. Une description détaillée sera présentée dans le paragraphe 2.5.5.

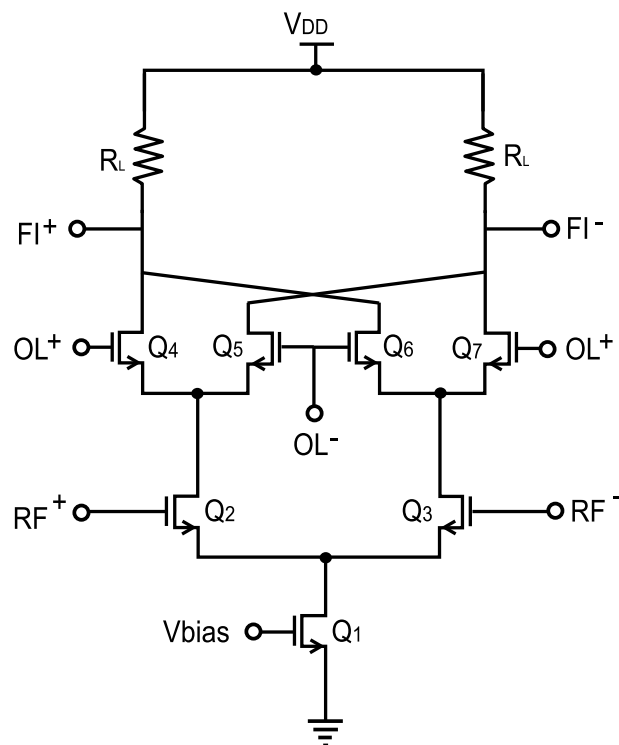


Figure 2.19 : Cellule de Gilbert

2.5.4 Topologies des mélangeurs

a) Mélangeurs non équilibrés

C'est la structure la plus simple de mélangeurs actifs. Le mélange de fréquence se fait par la modulation de la transconductance du transistor principal. Nous pouvons noter deux architectures : une basée sur un seul transistor et une autre basée sur un transistor double grille [25]. Cette topologie de mélangeurs souffre de la faible isolation entre signaux RF et OL.

b) Mélangeurs simplement et doublement équilibrés

La topologie du mélangeur simplement équilibré est présentée dans la Figure 2.20.a. L'accès de l'oscillateur local se fait en mode différentiel, tandis que l'accès de fréquence intermédiaire est fait en mode simple (single-ended). Cette topologie améliore l'isolation entre signaux RF et OL.

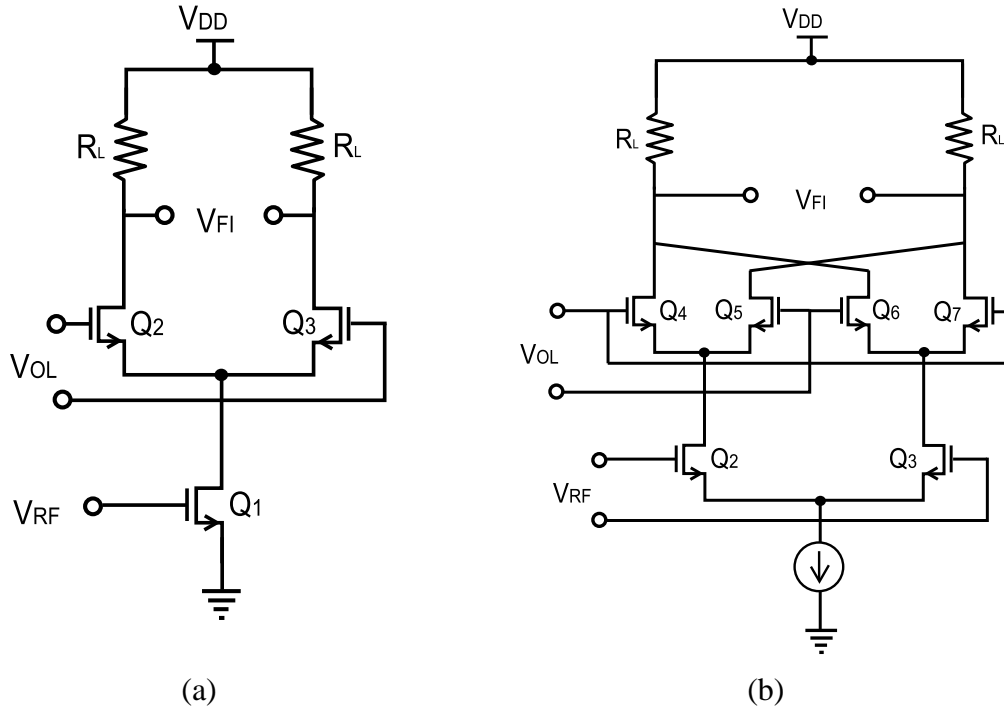


Figure 2.20 : (a) Mélangeur simplement équilibré, (b) Mélangeur doublement équilibré [26]

Dans le cas de la topologie doublement équilibrée, les accès aux entrées OL et FI sont structurés en mode différentiel (Figure 2.20.b). Cette topologie présente l'avantage d'être complètement différentielle. Les avantages d'une telle topologie sont :

- Une bonne isolation entre les ports OL et RF.
- Un gain de conversion élevé.
- Une meilleure réjection du mode commun.

2.5.5 Cellule de Gilbert

Cette topologie de circuit a été publiée par Gilbert en 1968 [24]. Les trois étages constituant la cellule de Gilbert sont : l'étage FI, l'étage de commutation et l'étage RF.

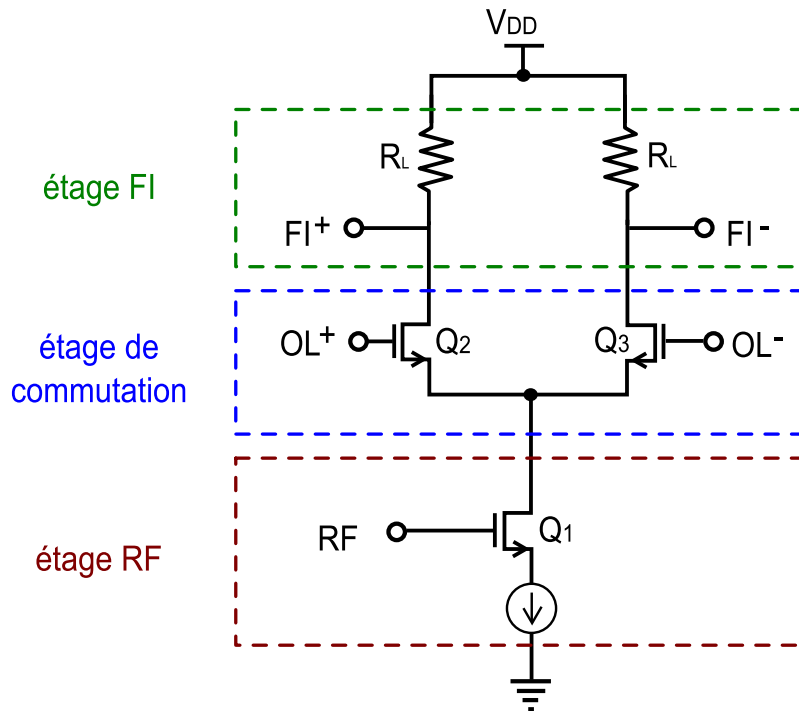


Figure 2.21 : Les trois étages d'un mélangeur [26]

La Figure 2.21 présente les trois étages d'un mélangeur. L'étage RF est un étage de transconductance qui permet de transformer la tension d'entrée du mélangeur en un courant qui attaque l'étage de commutation. L'étage de commutation est un étage de hachage contrôlé par le signal d'oscillateur local. Les transistors fonctionnent en régime saturé. L'étage FI est un étage de sortie qui transforme en tension, le courant délivré par l'étage de commutation, il peut être passif (résistance ou circuit LC résonants) ou actif.

2.5.6 Mélangeurs à rejection d'image et mélangeurs sous-harmonique

a) Mélangeurs à rejection d'image

Un mélangeur à rejection d'image est utilisé pour les récepteurs superhétérodynes pour supprimer la fréquence image sans l'utilisation de filtre. La Figure 2.22 présente un schéma de principe d'un mélangeur à rejection d'image. Nous utilisons deux mélangeurs pour transposer la fréquence du signal utile et la fréquence image vers un signal FI. Les deux mélangeurs ont le même oscillateur local. Pour un des mélangeurs, la phase du signal OL est de 0° , pour l'autre elle est de 90° . Les deux signaux ainsi transposés en fréquence présentent un déphasage relatif de 90° . La combinaison de ces deux signaux permet d'annuler la présence de la fréquence image et du signal parasite ainsi détectable [27].

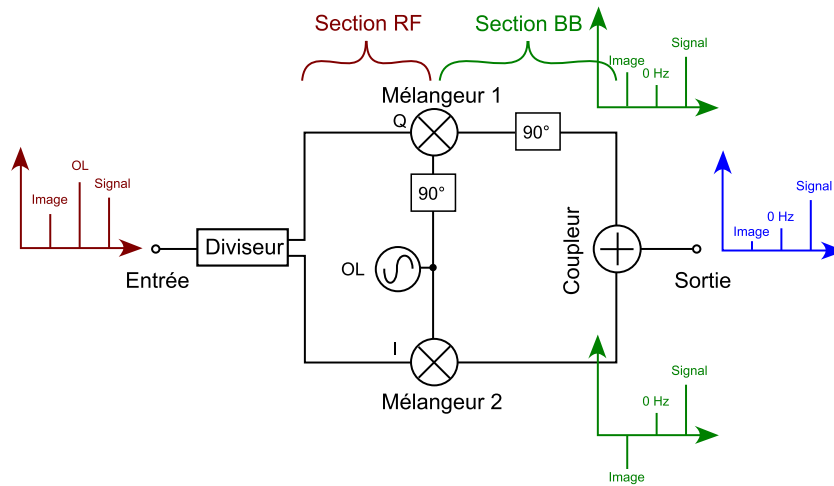


Figure 2.22 : Principe d'un mélangeur à réjection d'image

Le niveau de réjection de la fréquence image dépend de la qualité de l'équilibrage en amplitude et en phase des différents signaux transitant dans le mélangeur. Le niveau de réjection de la fréquence image est calculé par la formule suivante :

$$rejection = \frac{1 - 2\sqrt{A} \cos(\Delta\Phi) + A}{1 + 2\sqrt{A} \cos(\Delta\Phi) + A}$$

Dans laquelle A et $\Delta\Phi$ sont respectivement l'amplitude et le déséquilibre en phase des signaux. Un mélangeur à réjection d'image peut être réalisé à partir de n'importe quel type de mélangeur : actif ou passif, simple ou équilibré, à diode ou à transistor, fondamental ou sous-harmonique [21].

b) Mélangeurs sous-harmonique

Contrairement aux mélangeurs fondamentaux cités dans les paragraphes précédents, un mélangeur sous-harmonique d'ordre n utilise une des fréquences harmoniques de l'oscillateur local (d'ordre n) et non la fréquence fondamentale, comme signal de commande du mélangeur. Cela revient, en sortie du mélangeur, aux fréquences suivantes :

$$f_{RF} - 3f_{OL}, f_{RF} - 5f_{OL}, f_{RF} + 3f_{OL}, f_{RF} + 5f_{OL}$$

L'utilisation de mélangeurs sous-harmonique permet l'utilisation d'un oscillateur local de fréquence inférieure à la fréquence requise. Le principal avantage de cette architecture de mélangeur est d'améliorer l'isolation entre signaux OL et RF,

responsable de nombreux problèmes d'intégration d'un récepteur radio. Les mélangeurs sous-harmoniques peuvent être soit : actif ou passif, simple ou équilibré, à diode ou à transistor.

2.5.7 Autres topologies des mélangeurs

a) Mélangeur Body-input

Dans cette topologie de circuit mélangeur, l'entrée du signal OL s'effectue au travers l'accès au caisson d'isolation (bulk) des transistors à effet de champs de l'étage de commutation (Figure 2.23). Il est nécessaire que ces transistors utilisent un process qui comprenne une option de double caisson d'isolation (deep n-well) afin d'éviter les fuites de signal dans le substrat (Figure 2.24) [28].

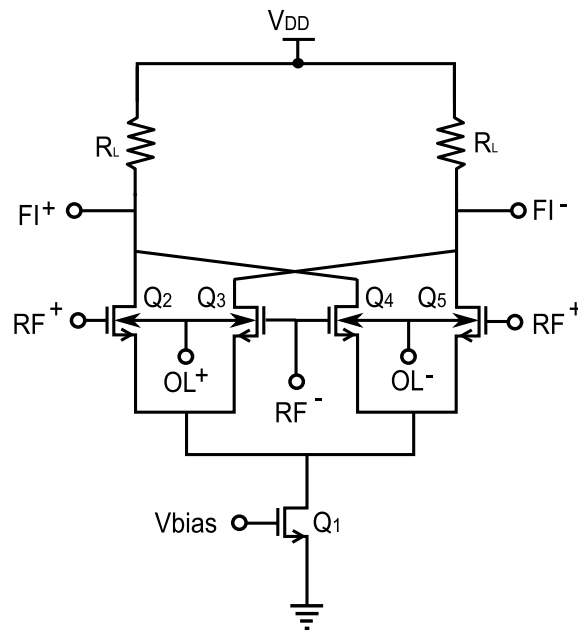


Figure 2.23 : Topologie de mélangeur Body-input

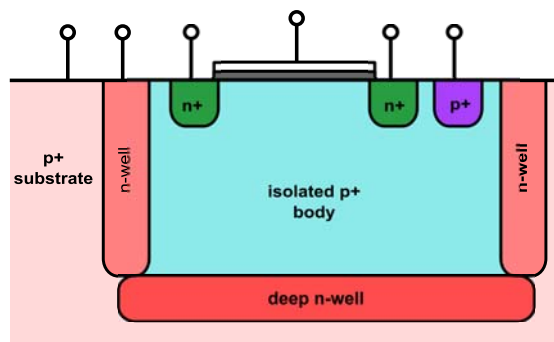


Figure 2.24 : Coupe transversale d'un NMOS utilisant l'option deep n-well

Cette topologie présente l'avantage de requérir une faible tension d'alimentation, en abaissant les tensions de pincement des transistors. La contre partie de cet avantage est la dégradation du gain de conversion et du facteur de bruit étant donné l'influence supérieure du substrat dans le comportement général du circuit.

b) Mélangeur « Folded » avec réutilisation de courant

Cette topologie de circuit mélangeur est utilisée pour les applications nécessitant une faible tension d'alimentation. Dans cette architecture de circuit, chaque étage du mélangeur est disposé entre les lignes d'alimentation +VCC et GND. La mise en cascade des différents étages est réalisée à l'aide de capacités de liaison qui découplent le point de repos de chaque étage et transfèrent les signaux dynamiques d'un étage à l'autre. La Figure 2.25 présente un mélangeur de réception basé sur ce principe.

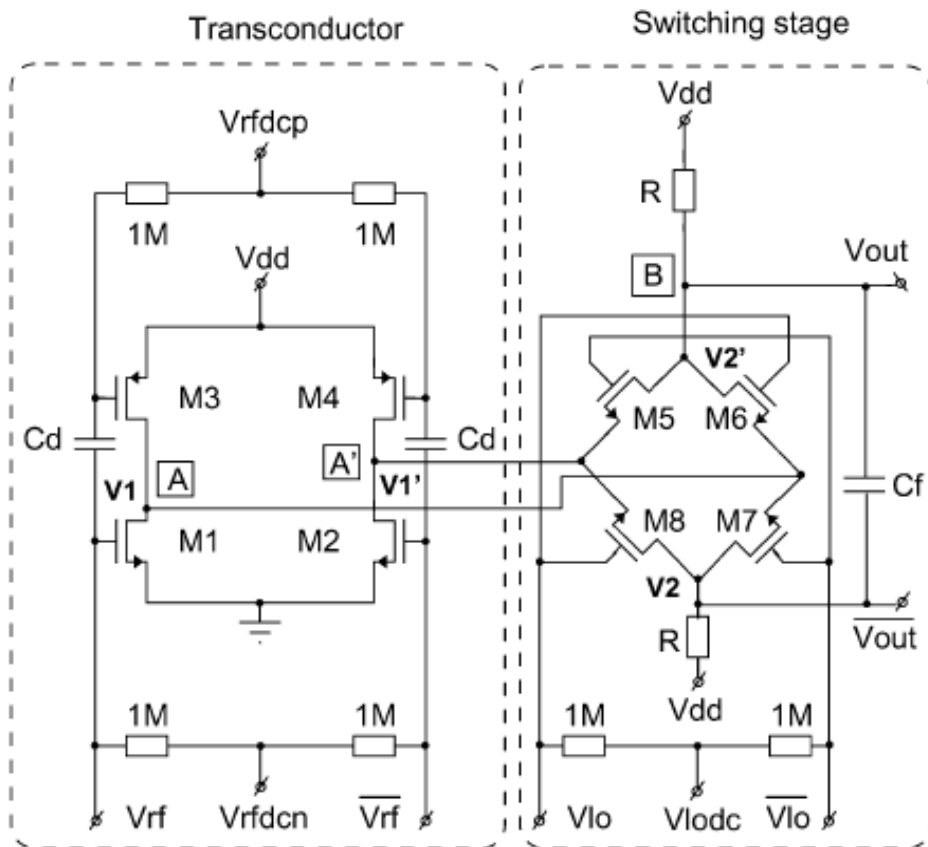


Figure 2.25 : Exemple d'un mélangeur en topologie Folded avec réutilisation de courant [29]

2.6 Conclusion

Dans ce chapitre nous avons présenté les architectures de communication utilisées dans les systèmes actuels et leurs caractéristiques, la technique ultra large bande et sa normalisation, les techniques d'extension de la bande passante d'un circuit RF et un état de l'art sur les mélangeurs. Pour ces circuits, nous avons précisé les paramètres à prendre en compte lors la conception et nous avons donné son principe de fonctionnement.

Chapitre 3

Mélangeur d'émission

3.1 Introduction

Le mélangeur d'émission est l'élément clé de notre architecture d'émetteur UWB. Dans le chapitre précédent nous avons présenté un état de l'art des mélangeurs. Ce chapitre présente notre conception, ses résultats de simulation et nos mesures effectuées sur ce mélangeur, conçu pour une faible consommation et une très large bande passante. L'originalité du circuit se trouve dans l'usage d'un système de contre-réaction destiné à réduire la distorsion du signal utile (UWB-OFDM de spectre 10 MHz – 510 MHz) occasionnée par le mélangeur. Un premier travail a été réalisé pour un mélangeur d'émission en technologie CMOS 180 nm. Ce travail est présenté en Annexe B et il a montré les limites de la technologie CMOS 180 nm par rapport à notre cahier des charges. Nous avons donc choisi la technologie CMOS 130 nm pour l'implantation de notre mélangeur. Nous proposons un nouveau choix d'architecture pour répondre aux contraintes de l'application émetteur faible consommation et très large bande pour les réseaux de capteurs sans fil.

3.2 La technologie CMOS 130 nm

L'objectif de ce travail est l'intégration d'un émetteur-récepteur UWB à faible consommation pour les applications de réseau de capteurs sans fil. Le choix de la technologie est conditionné par ce type d'application. La technologie CMOS est la technologie la moins coûteuse, souvent utilisée pour les applications numériques et analogiques.

Dans ce contexte nous avons utilisé une technologie silicium CMOS 130 nm avec l'option RF. Cette technologie est développée par la société UMC [30], [31], [32].

Dans les paragraphes suivants nous allons présenter cette filière technologique qui a été utilisée pour intégrer nos circuits.

3.2.1 Présentation de la technologie

La technologie que nous avons utilisé possède un niveau de poly-silicium pour la réalisation des grilles de transistor et 8 niveaux de métallisation pour le routage (ou back-end) des circuits. Les transistors MOS de cette technologie présentent une fréquence de transition de 110 GHz, une fréquence maximale de 90 GHz, pour la version de transistor MOS ayant une tension V_{DSmax} de 1.2 V. Une seconde version de transistors MOS, dédiée à des signaux de plus forte puissance, est alimentée par une tension de 3.3 V [30]. Chaque version de transistor possède son complément, c'est-à-dire que des transistors à canal N et P sont disponibles. De plus, chaque version et type de transistor se décline en deux sous versions. L'une présentant un simple caisson d'isolation, l'autre un double caisson d'isolation. Un double caisson permet de réduire les capacités parasites de substrat et donc d'améliorer la fréquence de transition des transistors. La contre partie est la réduction de l'excursion en tension possible du transistor.

Les composants actifs utilisés dans ce travail sont les diodes varactors et les transistors MOS. Des modèles d'inductances, de capacité MIM et de résistances sont aussi disponibles dans le Design-Kit que nous avons utilisé.

Les inductances sont réalisées avec le niveau 8 de métallisation enroulé en spirale. Deux modèles d'inductances sont disponibles. Un modèle symétrique comprenant un point milieu, destiné à être utilisé dans les topologies différentielles. Un modèle simple, destiné pour tous les autres cas de figure. La Figure 3.1 illustre le modèle simple de l'inductance qui a été utilisé pour le mélangeur d'émission. L'inductance conçue pour le mélangeur d'émission a un facteur de qualité de 18 à la fréquence 7.8 GHz.

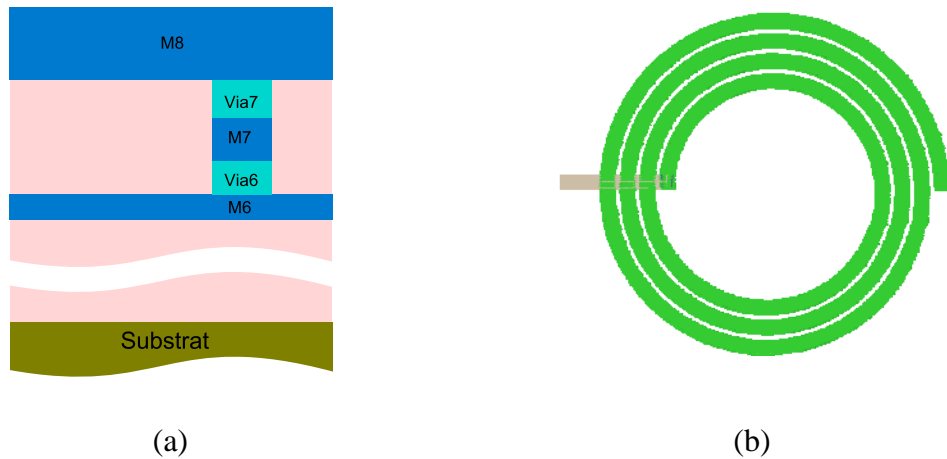


Figure 3.1 : Vue d'une inductance : (a) Coupe transversale, (b) Vue de dessus

Il existe plusieurs manières de réaliser des capacités en technologie monolithique. Nous pouvons noter la capacité inter-digitée, qui permet la réalisation d'une capacité lorsqu'un seul niveau de métallisation est disponible : cependant sa densité de capacité est faible et cette solution est de ce fait très peu utilisée.

La solution la plus répandue consiste en la réalisation d'une capacité verticale du type MIM (Métal-Isolant-Métal), solution qui présente une densité de capacité largement supérieure à la capacité inter-digitée et correspond mieux aux besoins de forte densité d'intégration. Le SiO_2 est utilisé comme diélectrique dans ces capacités. La Figure 3.2 présente une vue en coupe d'une telle capacité.

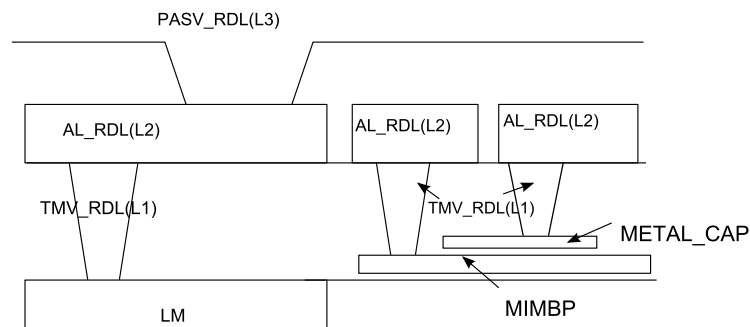


Figure 3.2 : Coupe transversale d'une capacité MIM [32]

Trois types de résistances sont disponibles selon la valeur à intégrer. La résistivité du matériau utilisé distingue chaque type de résistance :

- RNNPO_RF : pour intégrer des faibles valeurs (309 Ω à 5.4 k Ω).
- RNPPPO_RF : pour intégrer des valeurs intermédiaires (653 à 11 k Ω).
- RNHR_RF : pour intégrer des grandes valeurs (2.3 k Ω à 44 k Ω).

Le back-end de la technologie UMC 130 nm est caractérisé par 8 niveaux de métallisation en cuivre avec de l'oxyde (SiO_2) comme diélectrique inter métal (Figure 2.3). Les couches de métallisation utilisées sont :

- Des couches fines de métal : de M1 à M6, en cuivre d'épaisseur $0.32 \mu\text{m}$ pour le routage simple.
- Des couches épaisses de métal : M7 et M8, en cuivre d'épaisseur 0.8 et $2 \mu\text{m}$ pour le routage des pistes RF et des inductances.
- Une couche d'aluminium au dessus du dernier niveau métallique, d'épaisseur $1.2 \mu\text{m}$, utilisée pour les pads et les capacités MIM.

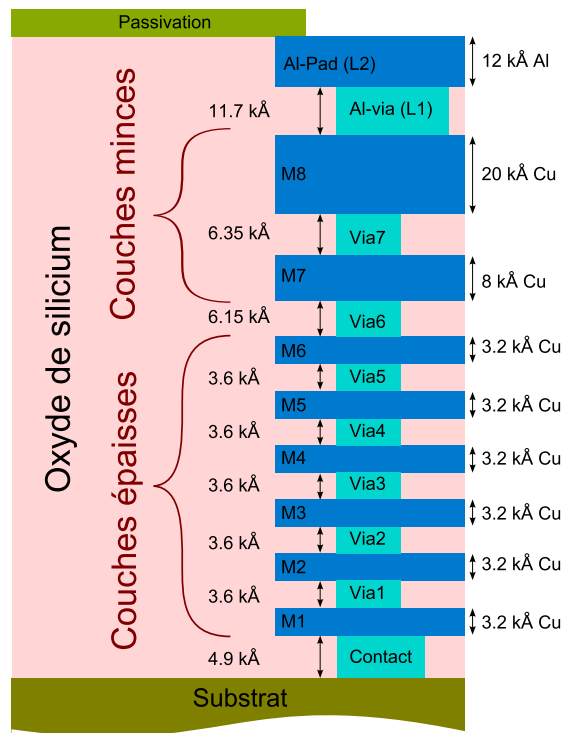


Figure 3.3 : Niveaux métalliques de la filière CMOS 130 nm de l'UMC

3.2.2 Layout et règles DRC

Dans ce paragraphe, nous allons détailler la méthode utilisée pour le dessin de la géométrie du layout. Nous avons réservé le niveau de métal M8 pour les pistes RF car ce niveau de métal est moins résistif. Nous avons réservé le niveau M2 pour la réalisation du plan de masse. Le niveau de métal M1 est utilisé pour les amenés de polarisation. Les niveaux de M3 à M7 sont utilisés pour les interconnexions des composants.

Lors de la conception d'une connexion, il faut en tenir compte de l'intensité du courant, en mA/ μm , qui traverse cette dernière. Le tableau suivant donne les valeurs limites pour la technologie utilisée [32] :

Température	M1 à M6	M7 et M8
100°	2.56 mA/ μm	8.0 mA/ μm
125°	0.82 mA/ μm	2.56 mA/ μm

Tableau 3.1 : Valeurs de densité de courant maximales pour chaque niveau métallique

Lors du dimensionnement des contacts, il faut tenir en compte l'intensité du courant par contact. Le tableau suivant donne les valeurs limites pour la technologie utilisée [32] :

Température	Via1 à Via5	Via6	Via7	Contact
100°	0.76 mA/ μm	1.8 mA/ μm	3.6 mA/ μm	0.61 mA/ μm
125°	0.24 mA/ μm	0.58 mA/ μm	1.15 mA/ μm	0.19 mA/ μm

Tableau 3.2 : Valeurs de densité de courant maximales pour chaque Via

Le respect de ces règles de conception permet de s'affranchir des problèmes d'électromigration du métal dans l'oxyde de silicium qui pourraient se manifester.

Pour notre conception, nous avons utilisé des pads pour effectuer nos mesures sous pointes. Ces pads présentent une surface de 58 μm x 75 μm pour les pads RF et 101 μm x 102 μm pour les pads DC. Nous avons choisi ces dimensions afin de minimiser les capacités parasites des pads et également pour réduire la surface totale de la puce.

Ces pads sont ceux fournis par le Design-Kit et respectent un ensemble de règles de dessin, comme l'utilisation de quatre sous couches métalliques afin de consolider l'accrochage du pad au silicium. La figure suivant illustre un exemple d'un pad en 4 couches de métallisation avec une vue de dessus.

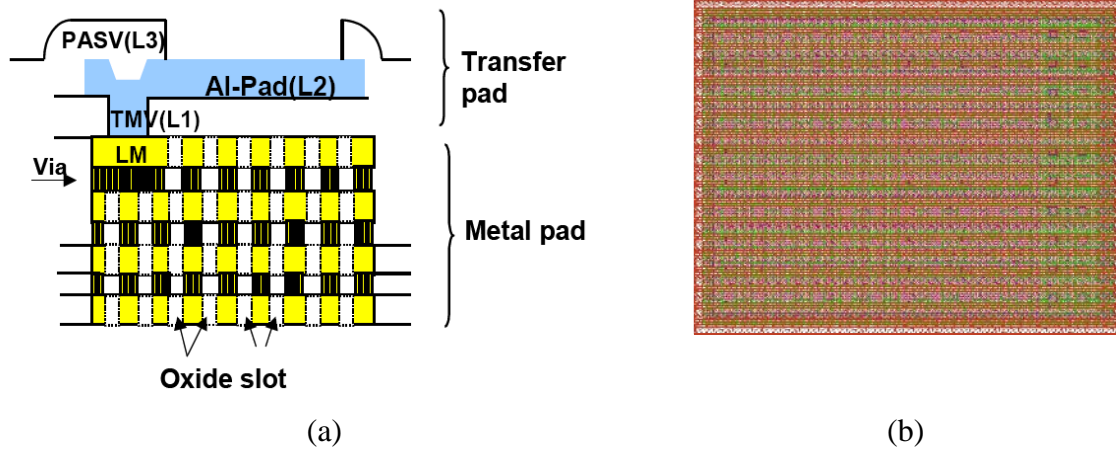


Figure 3.4 : Pad RF : (a) Exemple d'architecture d'un pad sur 4 niveaux de métallisation [32], (b) Vue de dessus d'un pad

3.2.3 La protection contre les ESD

La protection contre les ESD (ElectroStatic Discharge) protège les grilles de transistors contre les décharges électrostatiques [33]. Une protection simple utilisant deux diodes (Figure 3.5), protège les accès RF de nos circuits.

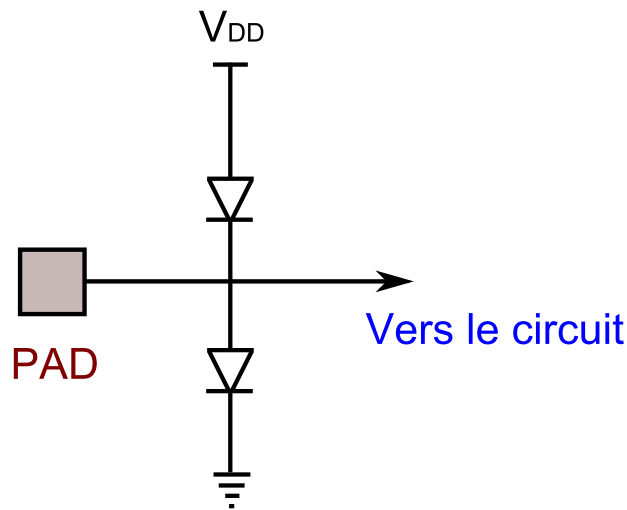


Figure 3.5 : Protection contres les ESD

3.3 La conception du mélangeur d'émission

Ce paragraphe décrit les travaux de conception du mélangeur rehausseur de fréquence pour la chaîne d'émission et son étage de transconductance avec contre-réaction. Ce circuit est conçu avec une technologie MMIC de type CMOS 130 nm (décrit dans le paragraphe 3.2) et alimenté sous une tension de 1.8 V.

3.3.1 La topologie du mélangeur

Le mélangeur est basé sur une topologie de type Gilbert doublement équilibrée. Le choix d'une topologie active est justifié par le besoin en gain. Les entrées des signaux FI et OL sont différentielles, tandis que la sortie du signal RF est en single-ended.

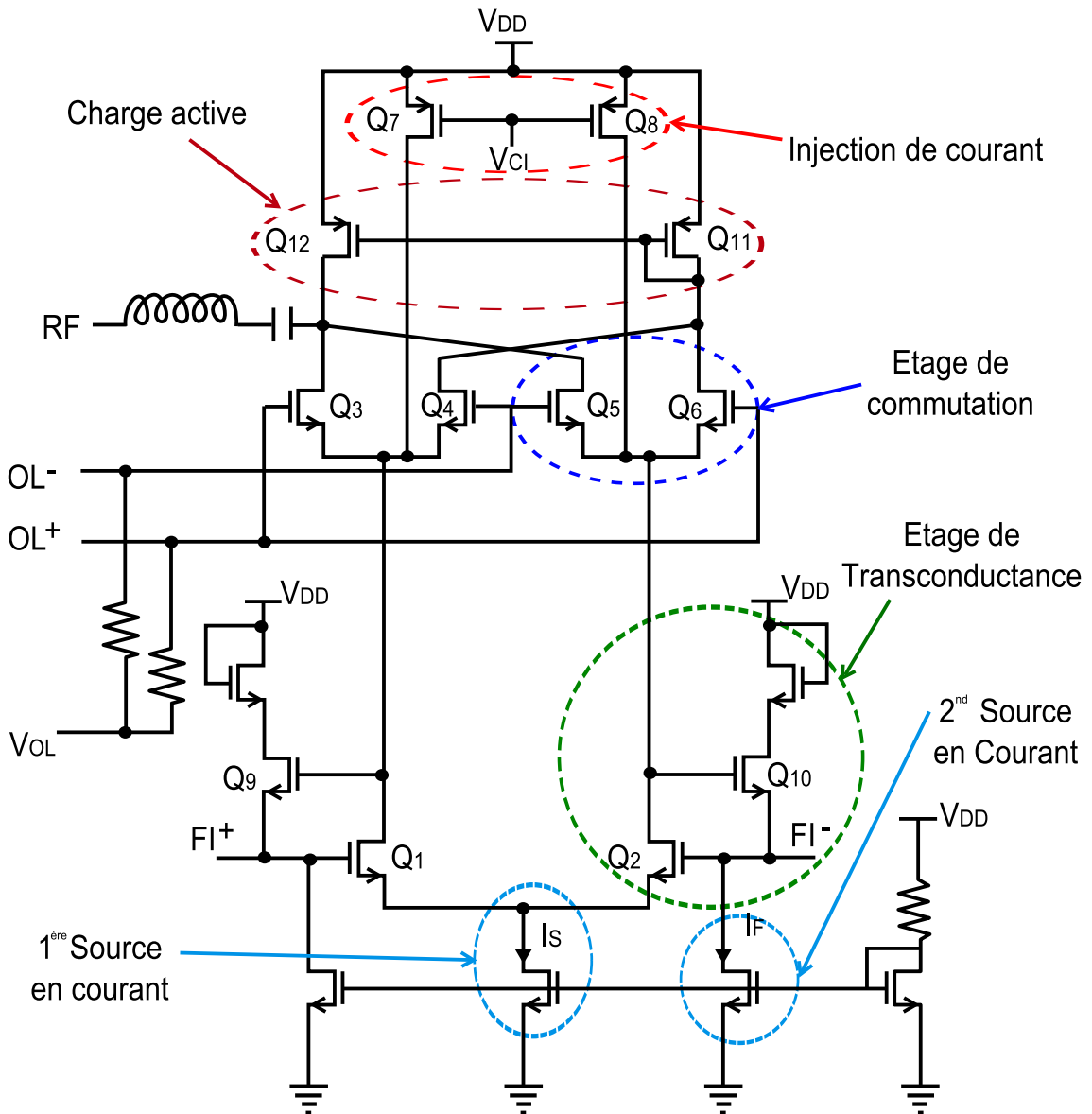


Figure 3.6 : Schéma du mélangeur d'émission

La topologie de notre mélangeur est décrite dans la Figure 3.6. Un étage de transconductance (Q_1 – Q_2) délivre une image du signal en bande de base à un étage de hachage (Q_3 – Q_8), piloté par un signal d'oscillateur local dans la bande 6–8.5 GHz. Un miroir de courant (Q_{11} – Q_{12}) combine les signaux de mode différentiel en un signal

RF single-ended. Les transistors PMOS Q_7 – Q_8 sont utilisés pour l'injection de courant afin d'augmenter le gain de conversion (GC) [34]. Le principe de l'injection de courant est détaillé dans la Figure 3.7. Comme on peut le constater, la source d'injection de courant (I_{CI}) est ajoutée au circuit de base du mélangeur, au niveau des drains des transistors Q_1 et Q_2 .

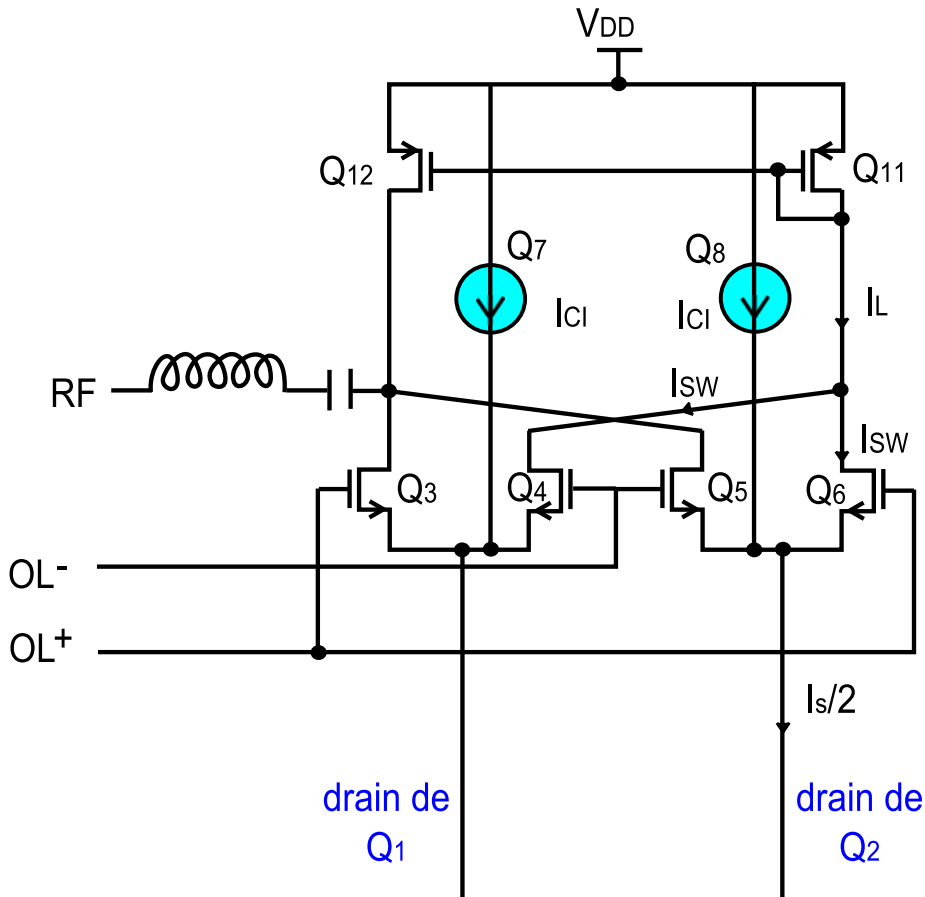


Figure 3.7 : Schéma du mélangeur d'émission avec injection de courant

La technique d'injection de courant nous permet d'augmenter le courant de drain des transistors Q_1 et Q_2 sans modifier le courant de drain dans les transistors de l'étage de commutation (Q_3 – Q_6). Cela améliore la linéarité et le gain de conversion.

$$\frac{I_s}{2} = I_{CI} + 2.I_L$$

$$I_s = 2.I_{CI} + 4.I_{SW}$$

Le courant I_s qui polarise les transistors Q_1 et Q_2 reste toujours constant.

L'utilisation d'un étage de transconductance demande une certaine tension d'alimentation, qui si elle n'est pas optimisée, va dépasser la tension d'alimentation 1.8 V (Figure 3.8). Pour abaisser la tension de polarisation requise, il faut utiliser une méthode qui minimise la tension de pincement des transistors (V_{th}).

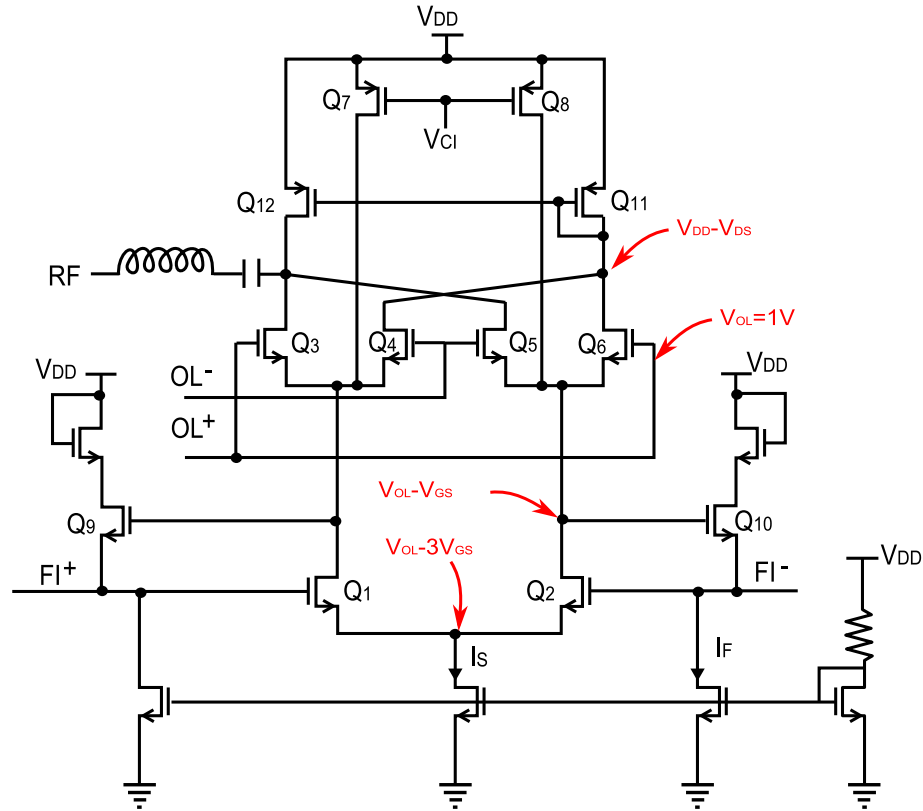


Figure 3.8 : Valeurs des tensions DC dans le mélangeur d'émission

La tension V_{th} d'un transistor MOS est exprimée par [35] :

$$V_{th} = V_{th0} + \lambda \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|} \right)$$

- V_{SB} représente la tension entre le bulk et la source du transistor.
- ϕ_F représente le potentiel d'équilibre électrostatique.
- λ représente le coefficient de body-effect.

Pour abaisser les tensions de polarisation requises, nous avons utilisé des transistors triple-well. Le bulk de ces transistors étant relié à la source (Figure 3.9) pour minimiser V_{th} .

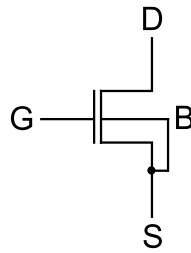


Figure 3.9 : Transistor MOS triple-well

3.3.2 L'étage d'entrée

Le signal d'entrée en bande de base du mélangeur est fourni par un circuit mixte (analogique/numérique) externe au mélangeur (voir Figure 1.6). L'occupation spectrale de ce signal, étalée sur la bande 10–510 MHz, interdit l'utilisation d'éléments localisés de type inductance/capacité pour une adaptation d'impédance, de tels éléments étant trop sélectifs en fréquence. Nos recherches se sont donc portées sur l'utilisation d'un dispositif à contre-réaction pour réaliser l'adaptation d'impédance. L'utilité d'une telle condition n'est pas seulement l'optimisation du gain de conversion, en module, mais également en phase. Cette dernière condition permet de limiter la distorsion de phase du signal utile sans le recours à un filtrage numérique qui alourdirait la consommation des circuits mixtes externes de modulation/démodulation UWB OFDM. La distorsion du signal utile dégrade le seuil de détection de la chaîne de réception.

Un circuit de contre-réaction (Q_9 – Q_{10} ; R_F) a donc été ajouté. Ce circuit modifie le gain et l'impédance de l'étage de transconductance du mélangeur. L'utilisation de la contre-réaction réduit le gain tout en élargissant la bande passante (Figure 3.10). L'étage de transconductance avec contre-réaction est présenté en Annexe A.

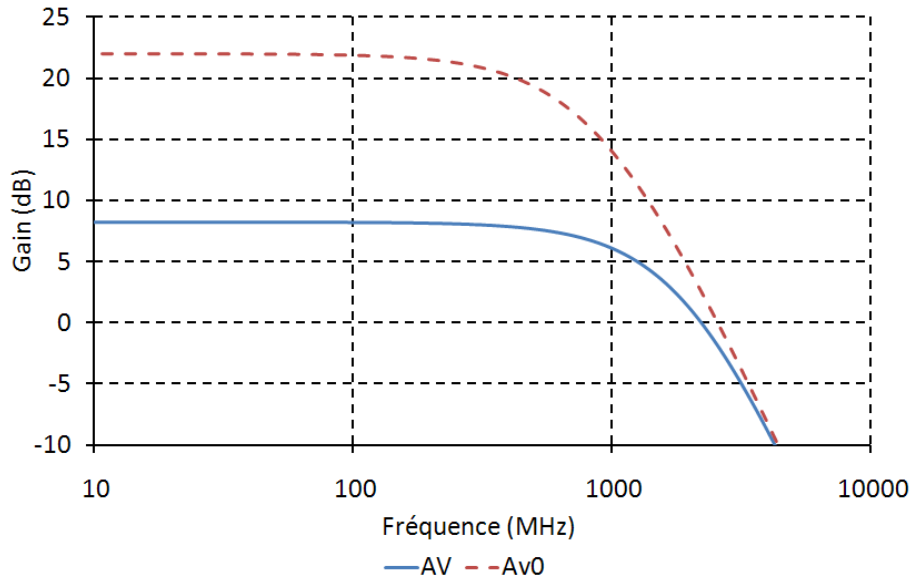


Figure 3.10 : Gain en boucle ouverte Av_0 et gain avec contre-réaction Av en fonction de la fréquence

La Figure 3.11 présente le schéma simplifié et le modèle petit signal de l'étage de transconductance du mélangeur avec le dispositif de contre-réaction.

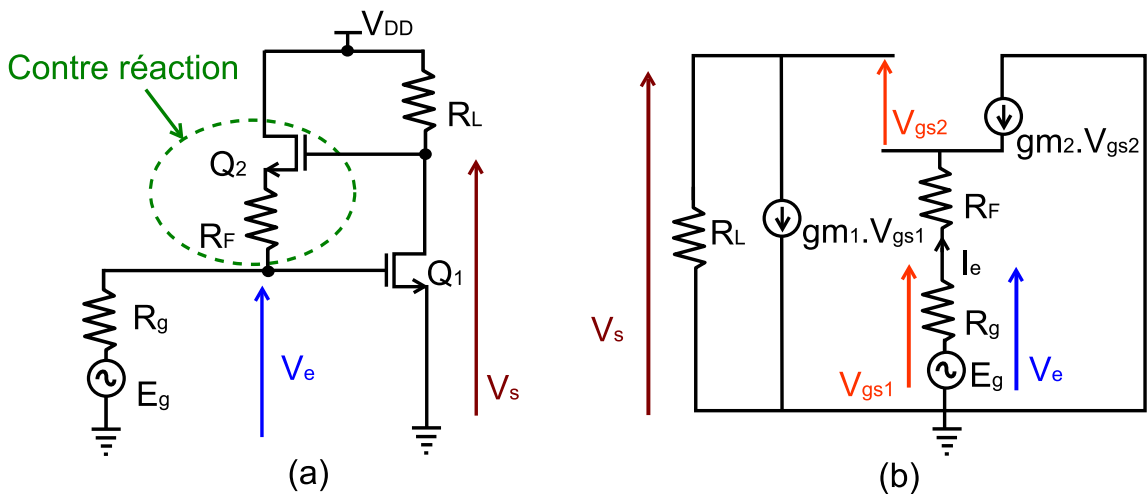


Figure 3.11 : Etage de transconductance : (a) Schéma simplifié, (b) Modèle petit signal

L'analyse du fonctionnement de l'étage de transconductance se base sur la modélisation petit signal des transistors (Figure 3.11). Nous pouvons extraire la formule du gain de l'étage de transconductance :

$$Av = K.H(j\omega)$$

K est un facteur constant et représente le gain statique :

$$K = -gm_{01}.R_L \frac{1 + R_F.gm_{02}}{1 + R_F.gm_{02} + [gm_{02}.Rg(1 + R_Lgm_{01})]}$$

Et H est la fonction de transfert :

$$H(j\omega) = \frac{\left(1 + j \frac{\omega}{\omega_{02}(1 + R_F.gm_{02})}\right)}{1 + j \frac{\omega}{\omega_{c1}} + j \frac{\omega}{\omega_{c2}} + j^2 \frac{\omega^2}{\omega_{c3}^2}}$$

- gm_{01} et gm_{02} sont respectivement les paramètres de transconductance des transistors MOS Q_1 et Q_2 .
- ω_{c1} , ω_{c2} et ω_{c3} sont les fréquences de coupure.

L'impédance d'entrée du circuit est donnée par la formule :

$$Z_{in} = \frac{Eg}{Ie} = Rg + Z_{in1}, \quad Z_{in1} = Z.H(j\omega)$$

Avec :

$$Z = \frac{1}{gm_{02}} \cdot \left(\frac{1 + R_F.gm_{02}}{1 + R_L.gm_{01}} \right) \text{ et } H(j\omega) = \left(1 + j \frac{\omega}{\omega_{01}} \right)$$

L'expression de l'impédance d'entrée du mélangeur est alors donnée par l'équation ci-dessous :

$$Z_{in1} = Rg + \frac{1}{gm_{02}} \cdot \left(\frac{1 + R_F.gm_{02}}{1 + R_L.gm_{01}} \right) \cdot \left(1 + j \frac{\omega}{\omega_{01}} \right)$$

Équation 1 : Formule de l'impédance d'entrée de l'étage de transconductance

Où R_F et R_L sont respectivement la résistance de contre-réaction et la résistance de charge de l'étage de transconductance.

En analysant le schéma du mélangeur (Figure 3.6), les paramètres de transconductance des transistors (Q_1 - Q_2) sont égaux à gm_{01} . Les paramètres

de transconductance des transistors (Q_9 - Q_{10}) sont égaux à gm_{02} . Pour notre conception, nous avons choisi une résistance $R_F = 0 \Omega$ pour atteindre une impédance d'entrée de 50Ω sans trop polariser le transistor de contre-réaction Q_2 , cela diminue la consommation de l'étage de transconductance.

À partir de l'Équation 1, on peut extraire l'impédance d'entrée du mélangeur ainsi qu'une représentation à l'aide d'éléments localisés effectifs : résistifs (R_0) et inductifs (L_0). L'expression de ces éléments effectifs, en fonctions des grandeurs de l'étage d'entrée du mélangeur, sont données ci-dessous :

$$R_0 = \frac{1}{gm_{02}} \cdot \left(\frac{1}{1 + R_L \cdot gm_{01}} \right) \text{ et } L_0 = \frac{R_0}{\omega_{01}}$$

La partie réelle (R) et la partie imaginaire (L) de l'impédance d'entrée peut-être simplifiée par les expressions :

$$R \approx \frac{1}{gm_{02}} \text{ et } L \approx \frac{1}{\omega_{01} gm_{02}}$$

L'impédance d'entrée peut se ramener à une résistance (R) en série d'une inductance (L). R dépend essentiellement de gm_{02} , donc de la polarisation des transistors Q_9 et Q_{10} (voir Figure 3.6). L dépend de la polarisation des transistors du dispositif de contre-réaction, mais également de la polarisation des transistors de contre-réaction Q_1 et Q_2 de l'étage d'entrée transconductance, au travers des fréquences de coupure de ces transistors. Afin d'obtenir une impédance d'entrée égale à 50Ω , le courant de polarisation des transistors Q_9 et Q_{10} est fixé de tel manière à ce que :

$$\frac{1}{gm_{02}} = 50\Omega$$

Ensuite, le courant de polarisation des transistors de l'étage de transconductance est fixé de manière à maximiser la fréquence de coupure ω_{01} , en minimisant l'effet inductif parasite. Avec cette technique d'adaptation, nous réalisons une adaptation d'impédance d'entrée qui avait été impossible en utilisant des éléments réactifs (Figure 3.12).

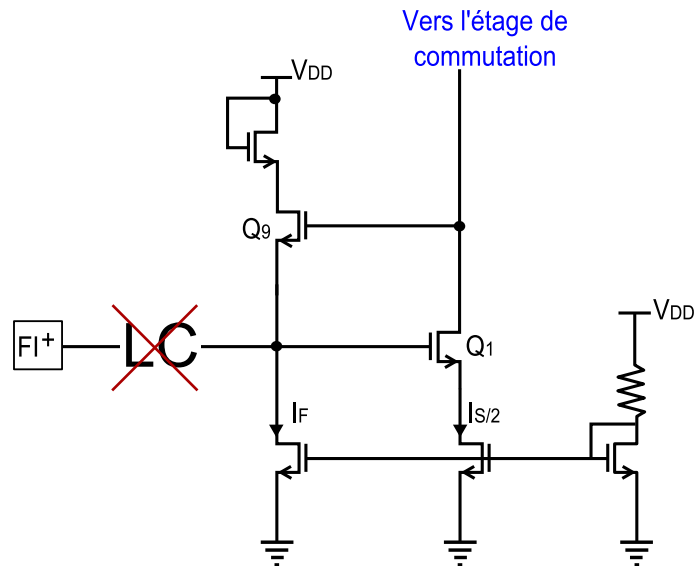


Figure 3.12 : Etage de transconductance avec dispositif de contre-réaction

3.3.3 L'étage de commutation et l'étage de sortie

La commutation est assurée par les transistors Q_3 – Q_6 . Cet étage est commandé par le signal de l'oscillateur local. Le miroir de courant constitué par Q_{11} – Q_{12} recombine les signaux en opposition de phase en un signal de sortie simple. Les éléments réactifs LC effectuent l'adaptation d'impédance 50Ω .

3.4 Les résultats de simulation du mélangeur d'émission

Les simulations du comportement électrique de notre mélangeur sont présentées dans ce paragraphe. Pour ces simulations, nous avons utilisé le logiciel Cadence Spectre RF.

La simulation DC est effectuée pour valider les valeurs des potentiels sur les différents nœuds du circuit, les courants et les points de fonctionnement des transistors. Pour le gain de conversion, nous avons procédé par une simulation non linéaire de type PSS (Periodic Steady State) et PAC (Periodic AC). Les paramètres-S en fort signal ont été simulés par une simulation PSP (Periodic S-Parameter).

Les conditions de simulation sont les suivants : la puissance du signal FI est de -20 dBm et la puissance du signal d'oscillateur local est égale à -3 dBm. Les figures 3.13 et 3.14 présentent respectivement le coefficient de réflexion d'onde en entrée (S_{11})

et le coefficient de réflexion d'onde en sortie (S_{22}), en fonction de la fréquence. La Figure 3.15 présente le gain de conversion en fonction de la puissance de l'oscillateur local pour une fréquence de 6 GHz. Le gain de conversion atteint son maximum autour d'une puissance du signal d'oscillateur local (LO) de -3 dBm.

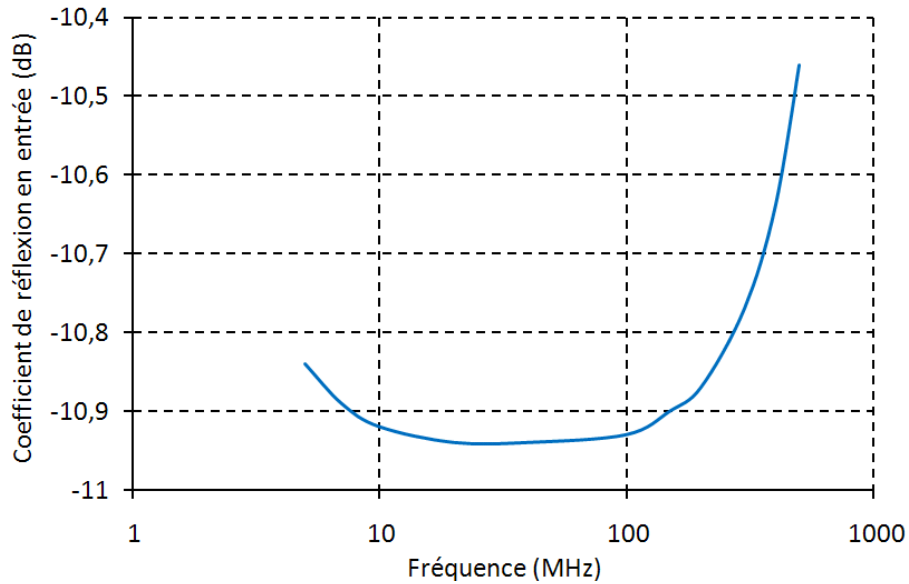


Figure 3.13 : Coefficient de réflexion en entrée

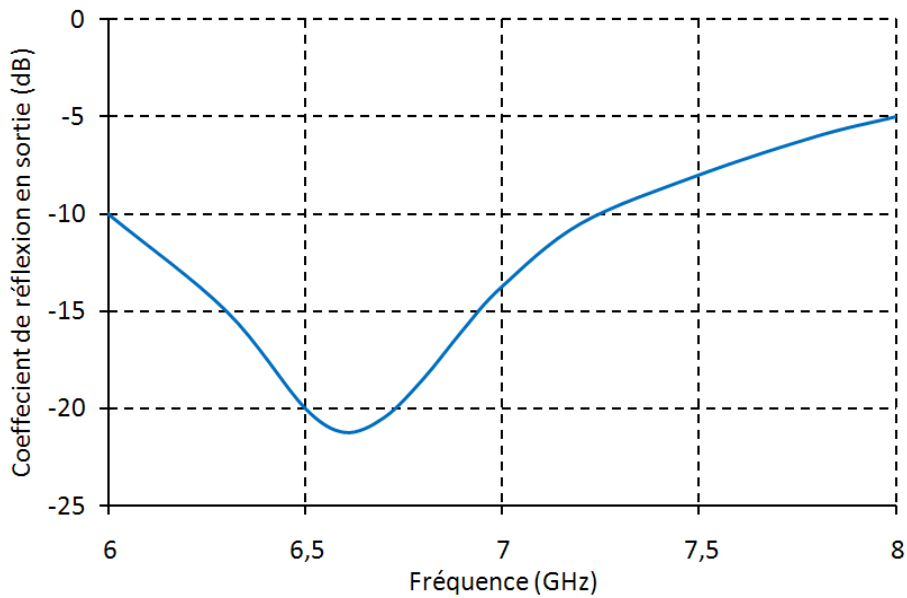


Figure 3.14 : Coefficient de réflexion en sortie

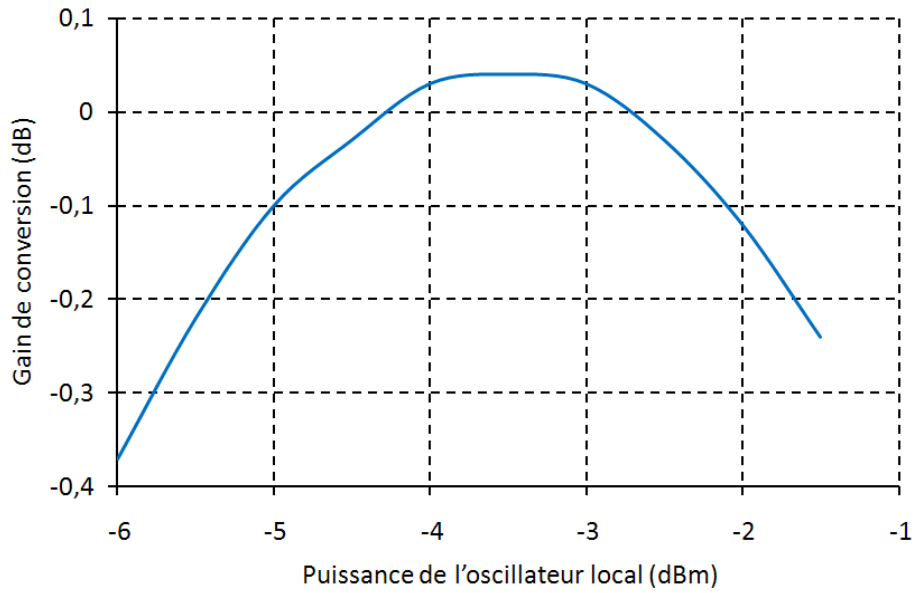


Figure 3.15 : Gain de conversion en fonction de la puissance de l'oscillateur local

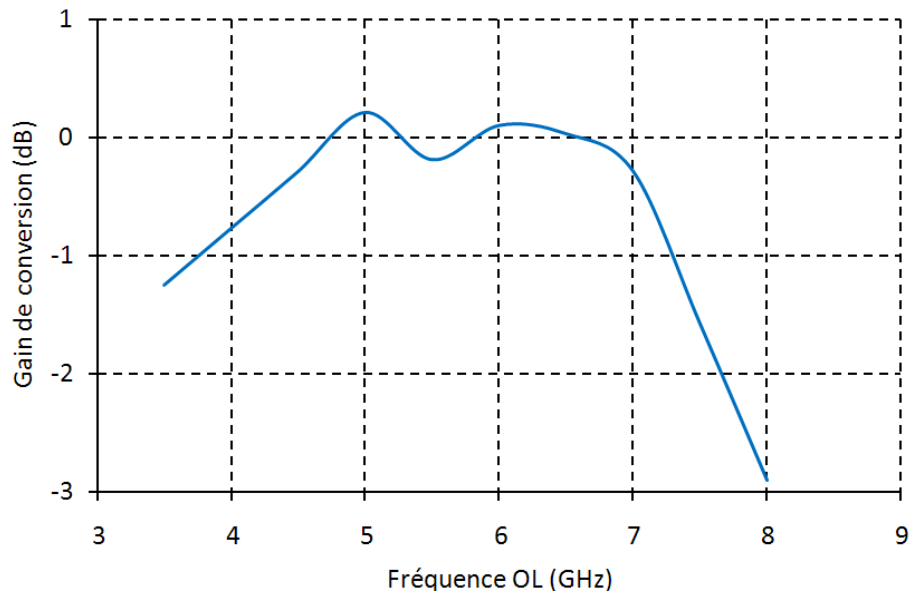


Figure 3.16 : Gain de conversion en fonction de la fréquence de l'oscillateur local

Limiter la puissance requise du signal OL permet de limiter la puissance à délivrer par l'oscillateur local, qui sera un circuit oscillateur contrôlé en tension (VCO), intégré à notre architecture de circuit MMIC décrite en Figure 1.6. Ceci revient à limiter la consommation du VCO qui commandera notre mélangeur dans un souci d'optimisation de la consommation électrique globale de l'émetteur-récepteur.

Nous avons ensuite simulé le gain de conversion du mélangeur en fonction de la fréquence de l'oscillateur local. Ce résultat est reporté en Figure 3.16. La puissance de l'oscillateur local a été fixée à l'optimum de -3 dBm. La fréquence

du signal d'entrée est fixée à la limite haute du spectre du signal utile OFDM, soit 500 MHz. La puissance de ce dernier est fixée à -20 dBm.

Le facteur de bruit de notre mélangeur à également été calculé. Son estimation théorique est de 7 dB. La Figure 3.17 reporte le résultat de cette simulation.

Concernant le niveau de puissance en sortie, le mélangeur possède un gain de conversion suffisant pour se passer de l'utilisation d'un amplificateur de puissance en sortie du mélangeur. Ce choix permet de limiter la consommation et la complexité du circuit.

L'organisme en charge de la réglementation internationale des émissions radio, autorise des émissions radio libres de tout droit de licence si la densité spectrale de puissance (PIRE) rayonnée ne dépasse pas les -41.3 dBm/MHz [36]. Pour une bande passante de signal utile de 500 MHz, la puissance maximale autorisée est donc de :

$$PE_{MAX} = -41.3 + 10 \log(500) = -14.3 \text{ dBm}$$

Notre mélangeur possède un point de compression à 1 dB, ramené en entrée, de -11.6 dBm. Le gain de conversion étant quasi-nul, le circuit peut amplement délivrer la puissance d'émission radio requise sans trop de distorsion.

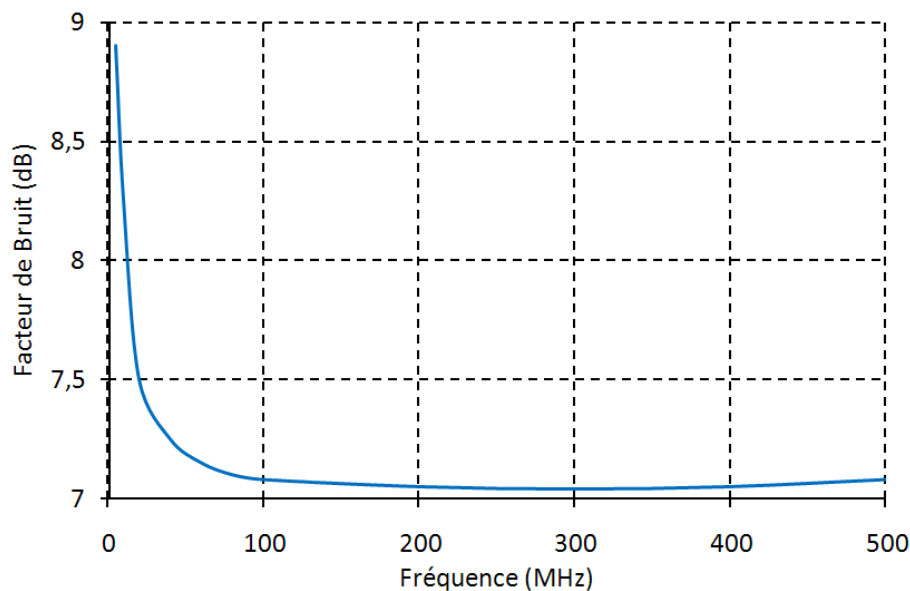


Figure 3.17 : Facteur de bruit en dB

Le Tableau 3.3 résume les performances du mélangeur :

Paramètre	Valeur
Surface (mm ²)	0.86
Gain de conversion (dB)	0
Bande passante (GHz)	6 – 8.5
Impédance d'entrée (Ω)	100 (différentielle)
Impédance de sortie (Ω)	50
Facteur de bruit (dB)	7
Puissance d'OL (dBm)	-3
Alimentation (V)	1.8
Consommation (mW)	4.2

Tableau 3.3 : Résumé des performances du mélangeur d'émission

3.5 Layout du circuit

La Figure 3.18 présente le layout du mélangeur (sans plan de masse). Différents pads de test sont disposés sur ce circuit afin d'évaluer ses fonctionnalités.

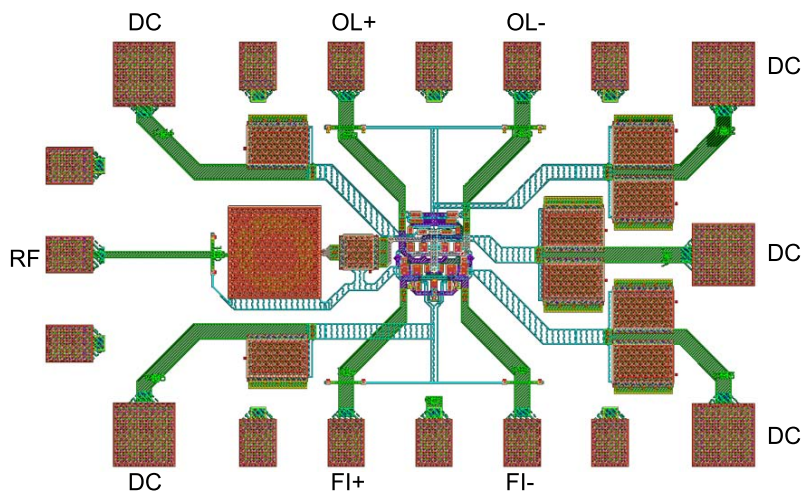


Figure 3.18 : Layout du mélangeur d'émission sans plan de masse

Nous avons procédé par les tests DRC et LVS pour vérifier le layout et les simulations post-layout ont été faites en calculant les éléments parasites du layout.

La version fabriquée comporte cinq sources d'alimentations à des fins de test. La surface occupée par le layout est de 0.86 mm². Cette surface sera par la suite réduite une fois validée la fonctionnalité du circuit et les pads accessoires aux tests retirés.

3.6 Les résultats expérimentaux du mélangeur d'émission

d'émission

La Figure 3.19 montre une photographie de la puce du mélangeur d'émission. Nous avons utilisé cinq sources d'alimentations différentes pour vérifier les courants dans chaque branche du circuit.

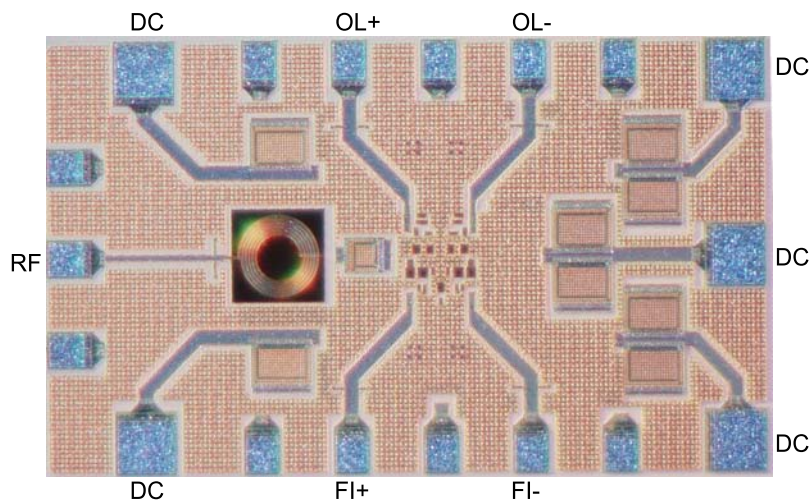


Figure 3.19 : Photographie du mélangeur d'émission réalisé

3.6.1 Le banc de mesure

Le schéma technique des conditions de mesures sur le banc de caractérisation est donné en Figure 3.20. Le circuit est excité en mode différentiel à l'aide d'un circuit « balun » qui fournit deux signaux de même amplitude, en opposition de phase, à partir d'un signal sinusoïdal de référence. Les deux signaux en opposition de phase sont appliqués sur les deux entrées « oscillateur local ». La même manipulation est réalisée pour les deux entrées « fréquence intermédiaire ». Le circuit mélangeur fournissant directement le signal « radio fréquence » sous la forme « single ended », aucun circuit « balun » n'est utilisé en sortie du mélangeur.

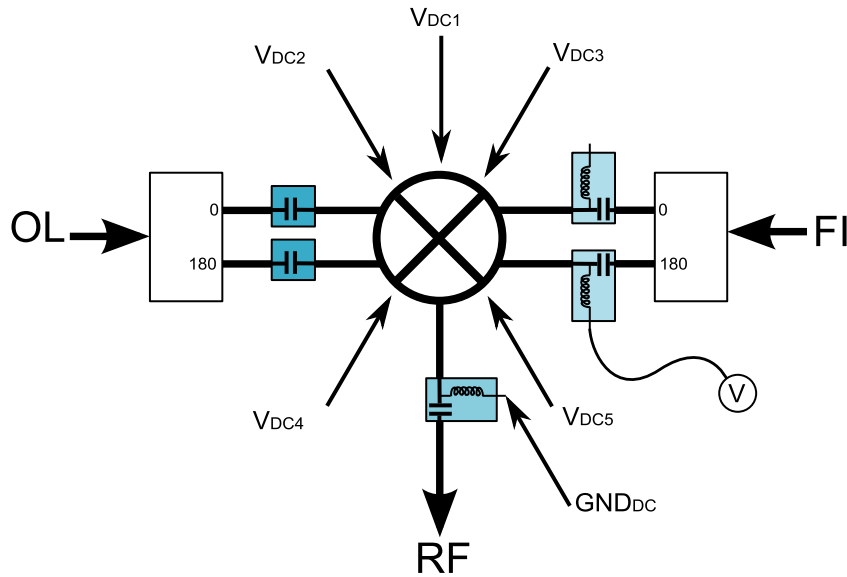


Figure 3.20 : Banc de mesure du mélangeur d'émission

3.6.2 Les pertes dans les câbles

Les câbles, les T de polarisation et les DC-bloc présentent des pertes. Nous avons mesuré ces pertes d'insertion globales sur les entrées : oscillateur local (OL), fréquence intermédiaire (FI) et la sortie radio fréquence (RF). La figure suivante présente les pertes d'insertion sur les différents accès. Ces pertes ont été prises en compte dans les mesures du gain de conversion.

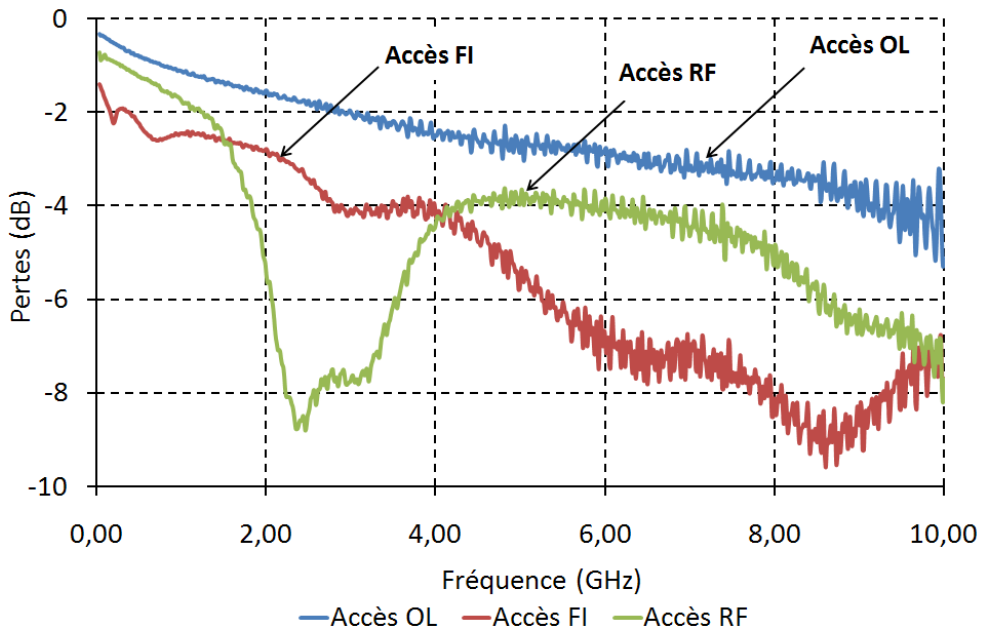


Figure 3.21 : Pertes dans les câbles OL, RF et FI

3.6.3 Les résultats de mesure

Les mesures ont été effectuées en utilisant la configuration de banc de mesure décrit en Figure 3.20, des simulations aux mêmes conditions de mesure sont effectuées pour comparer ces résultats.

a) Le gain de conversion

Pour la mesure du gain de conversion, nous avons placé deux générateurs de signaux sur les accès FI et OL. Celui sur l'accès OL fournit le signal de commande du mélangeur, celui sur l'accès FI fournit le signal utile représentant le signal en bande de base. Le spectre de sortie RF qui représente le produit des deux signaux FI et OL est observé à l'analyseur de spectre.

Les résultats de mesure et de simulation sont reportés sur les figures suivantes (3.22 à 3.25). Les résultats de mesure sont représentés par des points, les résultats de simulation par des traits continus. La puissance du signal de l'oscillateur local est de -3 dBm (après déduction des pertes dans le câble et des pertes d'insertion) et la puissance du signal d'entrée FI est fixée à -20 dBm.

La Figure 3.22 présente le gain de conversion en fonction de la fréquence du signal FI. La Figure 3.23 présente le gain de conversion en fonction de la fréquence du signal RF. Ce résultat concerne la première version du circuit pour valider le concept de la contre-réaction. Nous avons amélioré la bande passante en sortie sur la version finale utilisée dans l'émetteur. La fréquence du signal FI a été fixée à 300 MHz et la puissance du signal d'OL maintenue à -4 dBm. La Figure 3.24 présente le gain de conversion en fonction de la puissance du signal OL. Le gain de conversion est maximal pour une puissance du signal d'OL entre -4 dBm et 2 dBm. La Figure 3.25 présente le gain de conversion en fonction de la puissance du signal FI et permet la mesure du point de compression à 1dB (CP1). Le mélangeur d'émission présente un point de compression à 1 dB mesuré de -14 dBm.

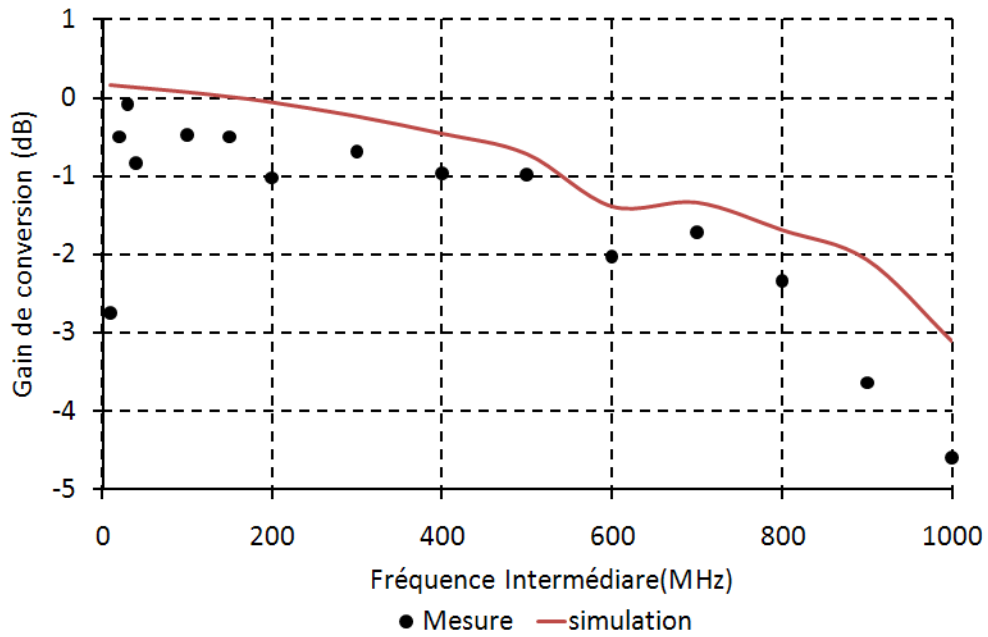


Figure 3.22 : Gain de conversion en fonction de la fréquence d'entrée FI

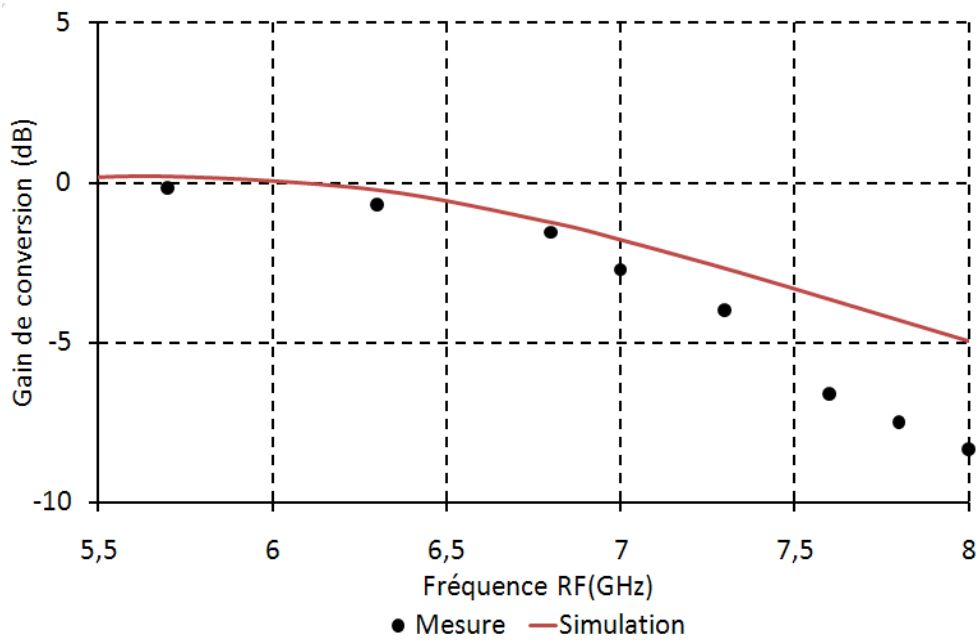


Figure 3.23 : Gain de conversion en fonction de la fréquence de sortie RF

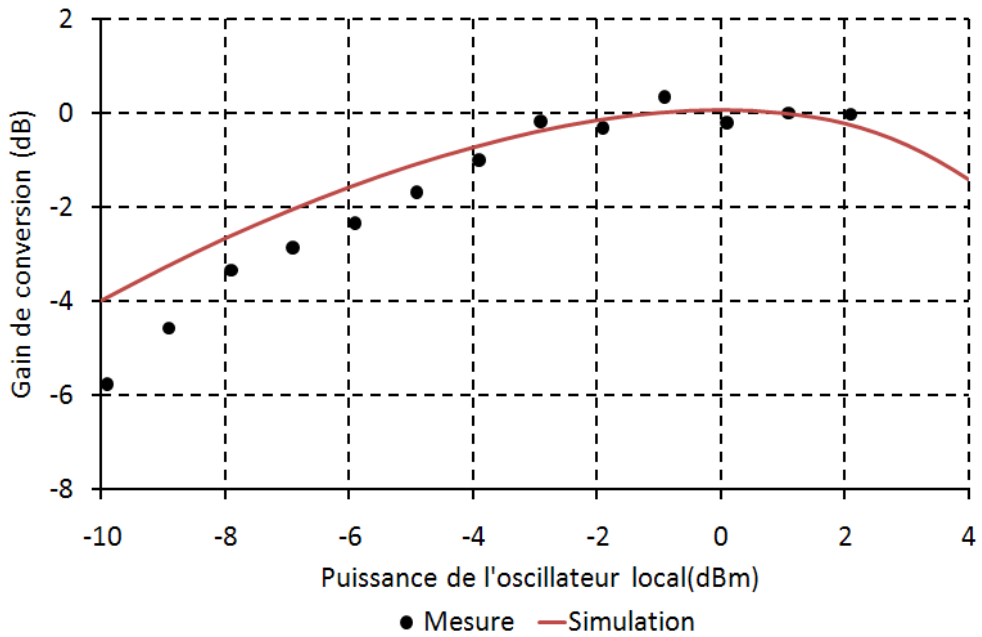


Figure 3.24 : Gain de conversion en fonction de la puissance de l'oscillateur local

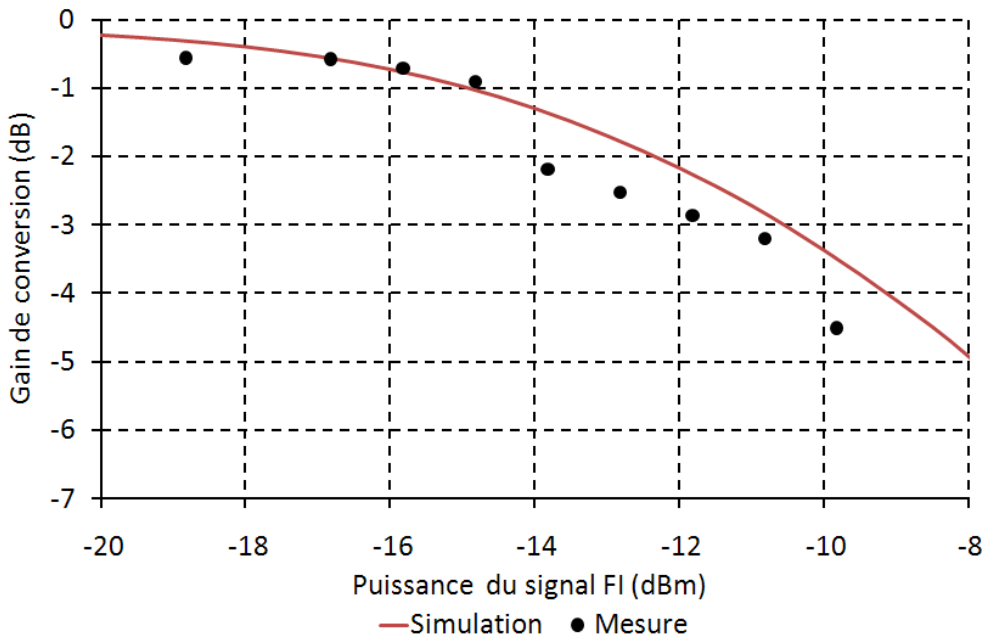


Figure 3.25 : Gain de conversion en fonction de la puissance de signal d'entrée FI (le point de compression à 1 dB)

b) Les paramètres S : Réflexion sur les ports FI et RF

Pour la mesure de réflexion, les accès FI et RF sont connectés à l'analyseur de réseau vectoriel et l'accès OL à un générateur sinusoïdal. Les résultats de mesures

sont comparables à celles des simulations de paramètres S en faible signal. La configuration utilisée est décrite dans la Figure 3.20.

Ces résultats valident les simulations de paramètres S en faible signal. Les résultats de simulation de paramètres S fort signal montrent des coefficients de réflexions inférieurs à -10 dB, mais n'ont pas pu être expérimentalement vérifiés.

3.7 Comparaison avec l'état de l'art

Afin de comparer nos résultats avec l'état de l'art dans le domaine des mélangeurs CMOS MMIC large bande, nous avons répertorié les résultats récents publiés pour des mélangeurs rehausseurs de fréquence. Comme ces différents mélangeurs ne présentent pas de caractéristiques communes (gain de conversion, bande passante, consommation), nous avons utilisé la figure de mérite pour comparer ces mélangeurs. Ci-dessous la définition de la figure de mérite donnée dans la référence [37] :

$$FoM (dB) = \frac{CG[dB].BW[GHz]}{P_{DC}[mW]}$$

Cette définition est limitée aux seules valeurs positives de gain de conversion et ne tient pas compte du niveau de signal de l'oscillateur local requis. Nous avons donc proposé une nouvelle définition de la figure de mérite :

$$FoM(dB) = 10\text{Log} \left(\frac{10^{(GC[dB]/20)} \cdot \frac{BP[GHz]}{1GHz}}{\frac{P_{DC}[mW]}{1mW} \cdot \frac{10^{(P_{OL}[dBm]/10)}}{1mW}} \right)$$

Équation 2 : Formule de la figure de mérite du mélangeur d'émission

où BP est la bande passante du signal RF, P_{OL} la puissance requise pour le mélange du signal utile, P_{DC} la puissance électrique consommée par le mélangeur et GC son gain de conversion.

Les données des différents mélangeurs sont regroupées dans le Tableau 3.4 :

	Ce travail	[38]	[39]	[40]	[41]	[42]
Tech (nm)	130	180	180	180	130	130
Surface (mm ²)	0.86 ⁽¹⁾	0.3 ⁽²⁾	1.96 ⁽³⁾	0.69	0.47	3.16 ⁽⁴⁾
GC (dB)	0	-6	-8	6.5	-2 – 0.7	1.1
BP (GHz)	6 – 8.5 ⁽⁵⁾	1 – 11	3 – 5	3 – 5	22 – 29	3 – 11
NF (dB)	7 ⁽⁵⁾	-	-	12 – 13	-	-
P _{OL} (dBm)	-3	3	-5	0	3	0
Alim (V)	1.8	1.8	1.8	1.0	1.2	1.2
P _{diss} (mW)	4.2	25	12.96	11	8	9.7
FoM	29.78	20.02	22.88	25.85	26.77	29.71
Topologie	Gilbert	Folded	Gilbert	Gilbert	Double grille	Gilbert

⁽¹⁾ Avec les pads RF et 5 sources d'alimentation ⁽²⁾ Sans inductance

⁽³⁾ Double bande ⁽⁴⁾ Emetteur complet ⁽⁵⁾ Résultat de simulation

Tableau 3.4 : Etat de l'art des mélangeurs rehausseurs de fréquence

L'évaluation des différents échantillons répertoriés dans le Tableau 3.4, selon notre critère de l'Équation 2, est donnée ci-dessous en Figure 3.26.

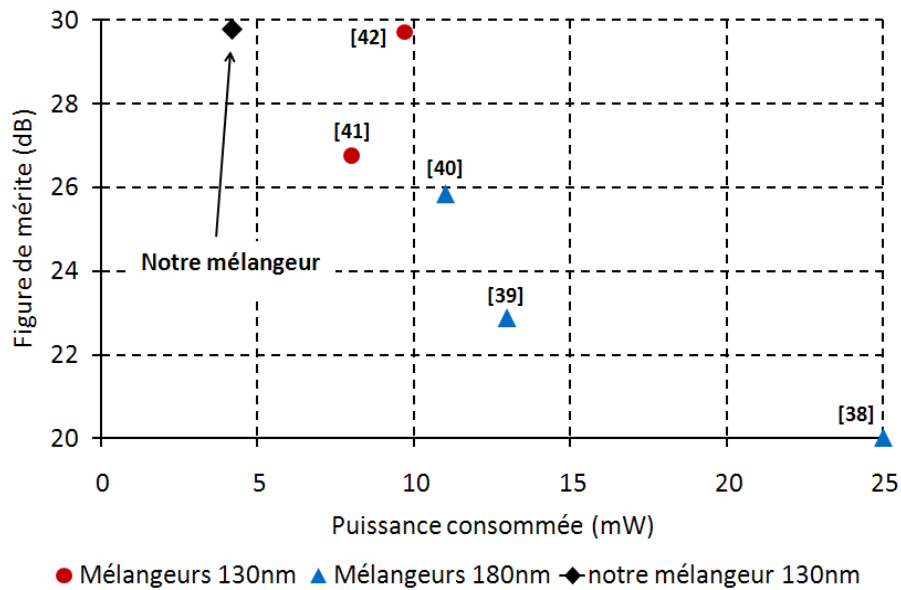


Figure 3.26 : Figure de mérite en fonction de la puissance consommée pour notre mélangeur et les mélangeurs de l'état de l'art

Ces résultats montrent le bon compromis entre bande passante, gain et consommation du circuit. Notre mélangeur consomme 4.2 mW, présente un gain de conversion de 0 dB et permet le mélange d'un signal utile étalé sur la bande 10–510 MHz.

3.8 Conclusion

Dans ce chapitre, nous avons présenté le mélangeur d'émission destiné à être intégré à notre architecture de circuit émetteur-récepteur UWB RF. Les résultats des mesures sont similaires avec ceux des simulations, malgré un écart observé dans la partie haute du spectre en fréquence du mélangeur, due aux pertes liées aux éléments parasites probablement mal calibrés dans les modèles du Design-Kit. Malgré ce problème de conception, le principe de fonctionnement de la boucle de contre-réaction a été validé et montre l'intérêt de cette nouvelle topologie de circuit mélangeur (Figure 3.6). Cette topologie permet d'adapter l'impédance d'entrée du circuit, sur une très large bande de fréquence, à l'aide d'un système simple de contre-réaction, consommant peu de courant et de surface de silicium. Une telle adaptation d'impédance s'avère très importante pour éliminer les effets de distorsion d'amplitude et de phase qui dégradent fortement le rapport signal sur bruit qui nécessiteraient un filtrage de compensation.

Chapitre 4

Mélangeur de réception et amplificateur faible bruit

4.1 Introduction

Dans ce chapitre nous allons présenter les circuits qui seront utilisés pour l'intégration de la chaîne de réception RF UWB. Le premier de ces circuits est un mélangeur abaisseur de fréquence, qui transposera le signal RF reçu (6–8.5 GHz) en un signal en bande de base OFDM (10–510 MHz). Le mélangeur proposé est basé sur une cellule de Gilbert avec l'utilisation d'une inductance pour l'adaptation inter-étage.

Le second circuit de la chaîne de réception est l'amplificateur faible bruit (LNA). Ce circuit représente l'élément clé de la chaîne de réception. En effet, le facteur de bruit de la chaîne de réception RF va dépendre en grande partie du facteur de bruit du LNA (formule de Friis). Le LNA qui va être présenté dans ce chapitre a été conçu pour fonctionner sur une très large bande passante (6–8.5 GHz) tout en ayant une faible consommation.

Dans ce chapitre nous allons présenter les conceptions du mélangeur abaisseur de fréquence et du LNA, leurs résultats de simulation ainsi que les mesures effectuées pour en valider le fonctionnement du mélangeur de réception.

4.2 La conception du mélangeur de réception

Ce paragraphe décrit les travaux de conception du mélangeur abaisseur de fréquence. Ce circuit a été conçu avec la technologie MMIC CMOS 130 nm (décrite dans le Chapitre 3). Il est alimenté sous une tension de 1.8 V.

4.2.1 Le schéma général

La topologie de notre mélangeur est décrite sur la Figure 4.1. Un étage de transconductance (Q_1 – Q_2) délivre une image du signal RF à un étage de hachage (Q_3 – Q_6), piloté par un signal d'oscillateur local dans la bande 6–8.5 GHz. Les transistors Q_7 et Q_8 sont utilisés pour l'injection de courant afin d'augmenter le gain de conversion (GC) [34]. Nous avons opté pour l'utilisation d'une inductance pour l'adaptation inter-étage.

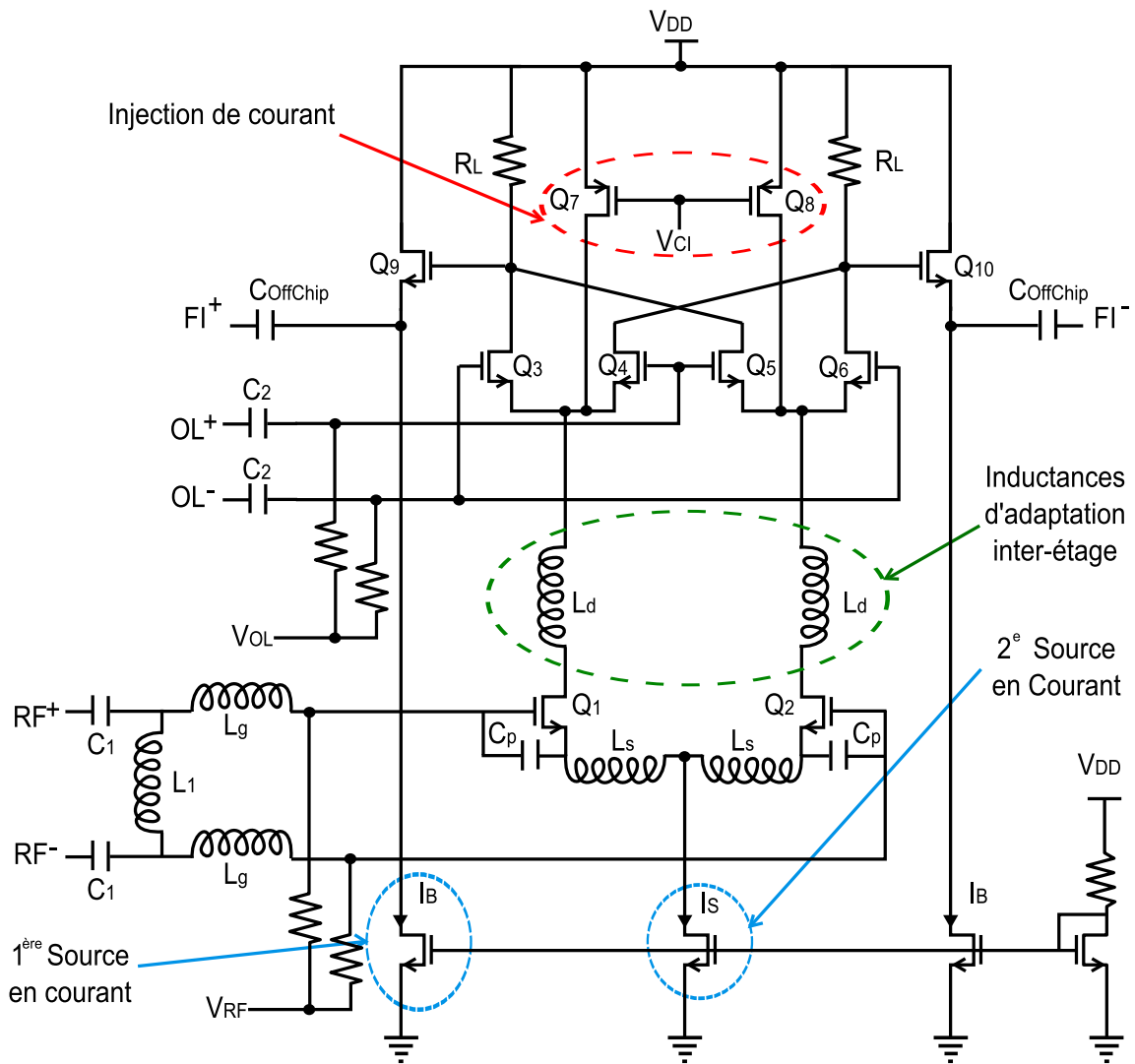


Figure 4.1 : Schéma du mélangeur de réception

4.2.2 L'inductance d'adaptation inter-étage

Afin d'avoir des performances constantes sur toute la largeur de bande de fréquence, nous avons utilisé une inductance (L_d) en série entre l'étage

de transconductance et l'étage de commutation [43]. La valeur de cette inductance est optimisée pour un maximum de gain.

4.3 Les résultats de simulation du mélangeur de réception

Les simulations du comportement électrique du mélangeur ont été réalisées avec Cadence Spectre RF. Les conditions des simulations sont les suivantes : la puissance du signal RF est de -30 dBm et la puissance du signal d'oscillateur local est égale à -3 dBm. Les figures 4.2 et 4.3 représentent respectivement le coefficient de réflexion d'onde en entrée du mélangeur S_{11} (entrée RF) et en sortie du mélangeur S_{22} (sortie FI). La Figure 4.4 représente le gain de conversion du mélangeur en fonction de la puissance du signal d'oscillateur local (OL) appliqué au mélangeur. La fréquence de ce signal étant fixée à 8 GHz. Les résultats montrent que le gain de conversion atteint son maximum autour d'une puissance de signal OL de -3 dBm.

Nous avons ensuite simulé le gain de conversion du mélangeur en fonction de la fréquence du signal RF. Ce résultat est reporté en Figure 4.5. Pour cette simulation, la puissance de l'oscillateur local a été fixée à -3 dBm. Nous avons fixé la fréquence du signal RF de telle manière à ce que la fréquence du signal FI reste constante et égale à 500 MHz. La puissance de signal RF appliqué au mélangeur a été fixée à -30 dBm.

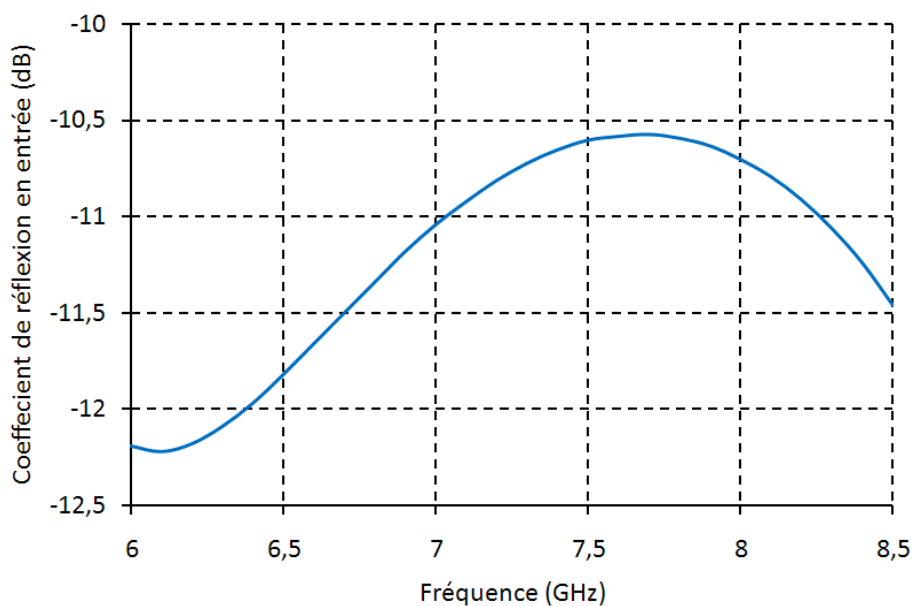


Figure 4.2 : Coefficient de réflexion en entrée

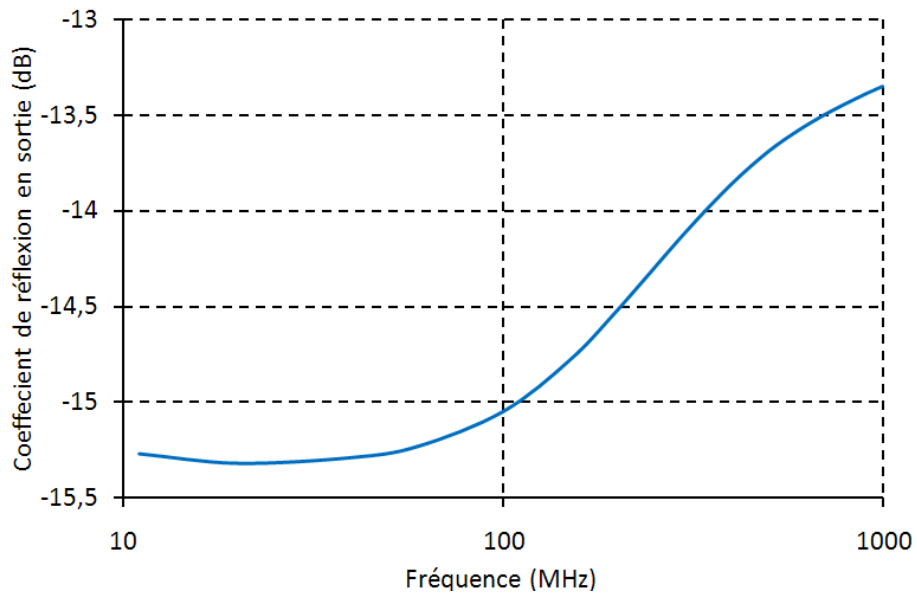


Figure 4.3 : Coefficient de réflexion en sortie

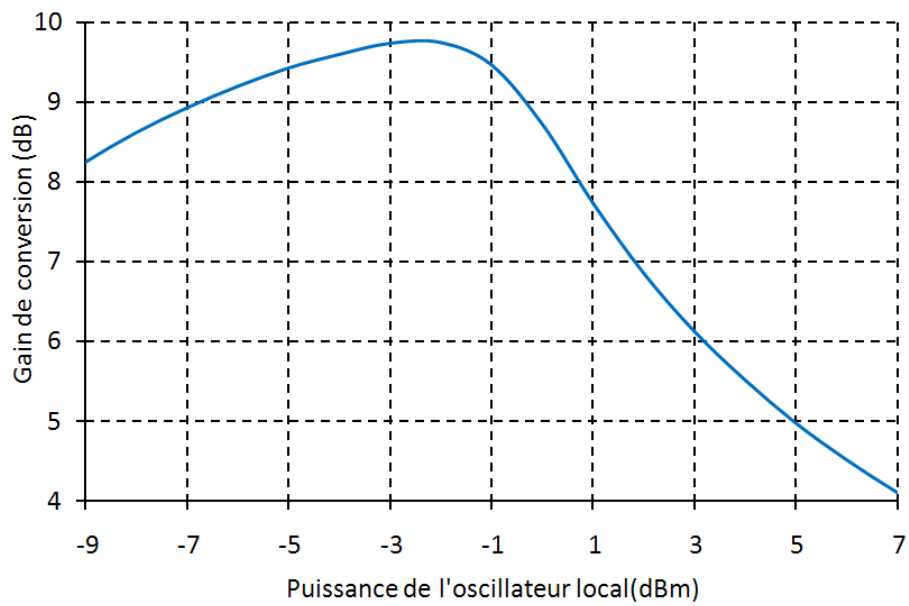


Figure 4.4 : Gain de conversion en fonction de la puissance de l'oscillateur local

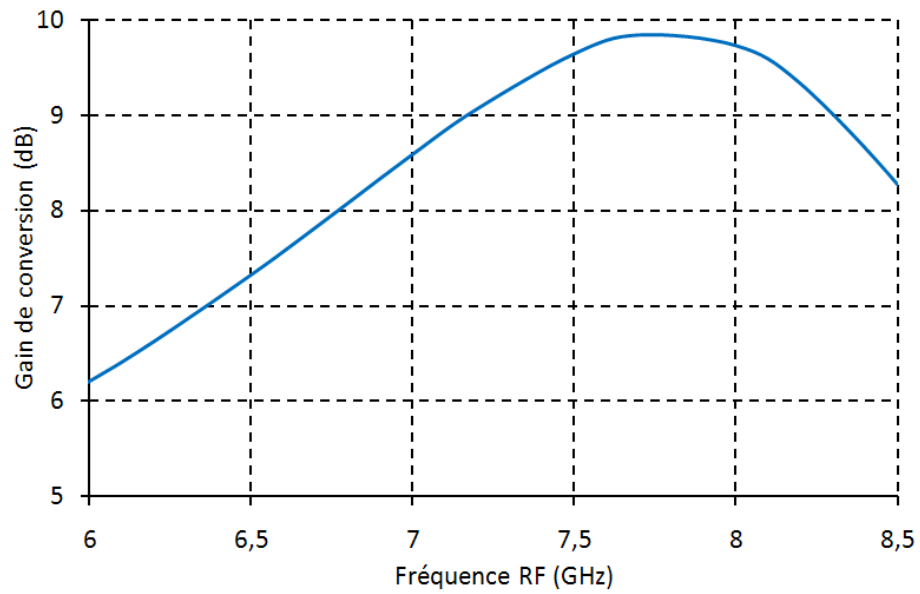


Figure 4.5 : Gain de conversion en fonction de la fréquence RF

Le facteur de bruit de notre mélangeur a également été simulé sur toute la largeur de bande des fréquences RF (Figure 4.6).

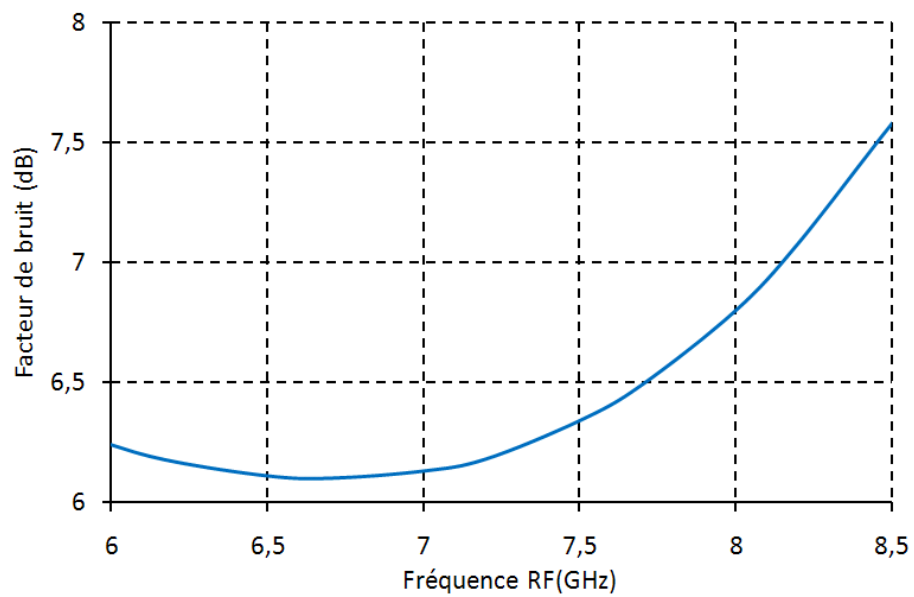


Figure 4.6 : Facteur de bruit en fonction de la fréquence RF

Le Tableau 4.1 résume les performances du mélangeur :

Paramètre	Valeur
Surface (mm ²)	1.178*
Gain de conversion max (dB)	9.9
Bande passante (GHz)	6 – 8.5
Impédance d'entrée (Ω)	100 (différentielle)
Impédance de sortie (Ω)	100 (différentielle)
Facteur de bruit (dB)	6.2 – 7.6
Puissance d'OL (dBm)	-3
Alimentation (V)	1.8
Consommation (mW)	6

(*) Avec les pas RF et 4 source d'alimentation pour les mesures

Tableau 4.1 : Résumé des performances du mélangeur de réception

Nous avons choisi deux modèles d'inductance : L_CR20K_RF et L_NWCR20K_RFVIL. Selon les modèles du Design-Kit fourni par UMC, les valeurs de ces deux inductances sont 4 nH, 0.6 nH, 0.8 nH pour le premier modèle et 2.1 nH pour le second modèle.

4.4 Layout du circuit et simulations post-layout

La Figure 4.7 présente le layout du mélangeur (sans plan de masse). Différents pads de test (RF et DC) sont disposés sur le circuit afin d'évaluer sa fonctionnalité.

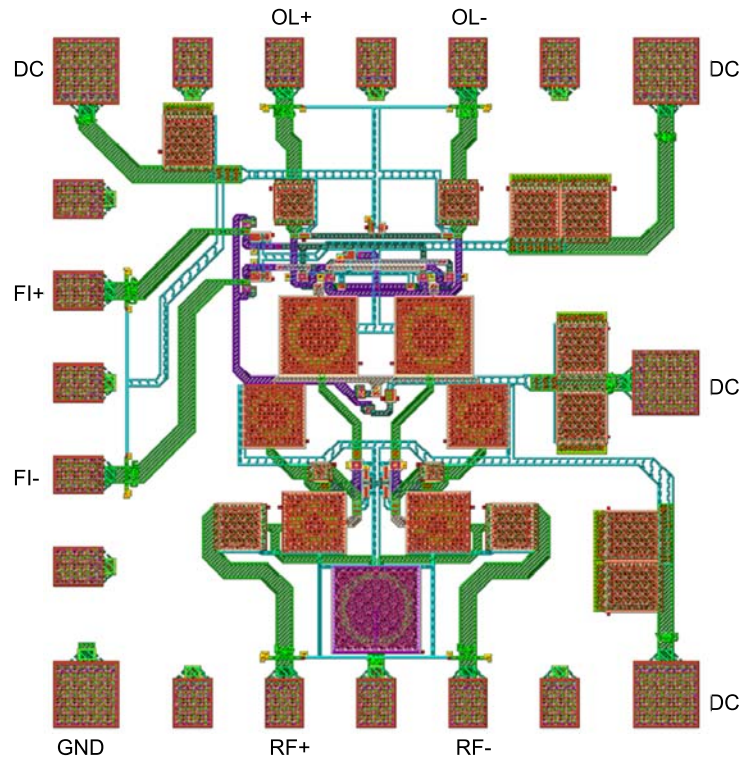


Figure 4.7 : Layout du mélangeur de réception sans plan de masse

La surface occupée par ce layout est de 1.178mm².

4.4.1 Simulations post-layout

La conception de la géométrie du layout est effectuée avec des connections entre les composants. Ces connections introduisent des éléments parasites que l'on doit prendre en compte dans les résultats de simulations afin d'obtenir le fonctionnement réel du circuit. L'extraction de ces éléments parasites se fait par calcul électromagnétique afin d'évaluer les paramètres S [44] pour les inductances, les capacités et les résistances séries parasites qui s'ajoutent dans le circuit. Le logiciel Momentum a été utilisé à cette fin. Une fois extraits, ces éléments sont introduits dans le schéma de la conception pour effectuer les simulations post-layout.

4.5 Les résultats expérimentaux

La Figure 4.8 montre une photographie de la puce du mélangeur de réception. Nous avons utilisé quatre sources d'alimentations différentes pour vérifier les courants dans chaque branche du circuit.

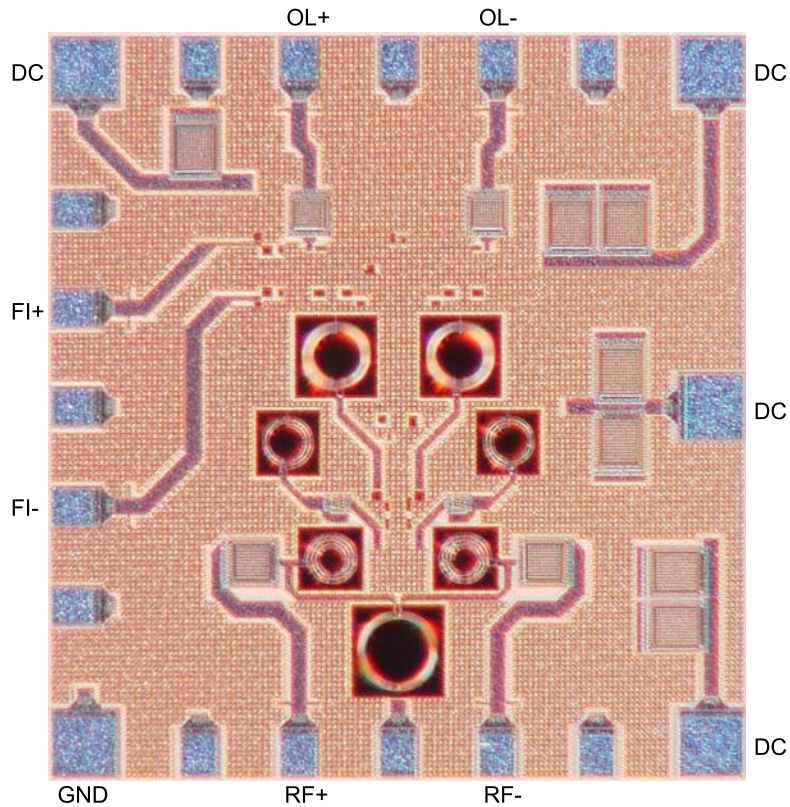


Figure 4.8 : Photographie du mélangeur de réception réalisé

4.5.1 Le banc de mesure

La configuration du banc de mesure est décrite dans Figure 4.9. Nous avons utilisé des T de polarisation pour découpler les tensions de polarisation des signaux RF appliqués au circuit.

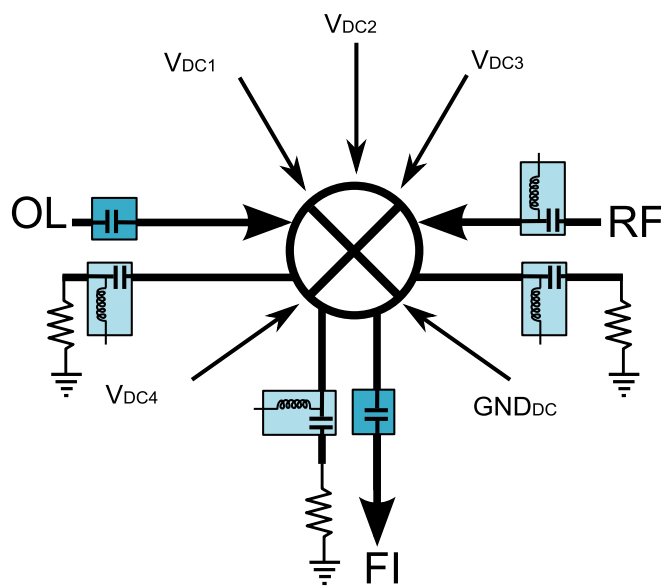


Figure 4.9 : Banc de mesure du mélangeur de réception

4.5.2 Les résultats de mesure

Pour la mesure du gain de conversion, nous avons placé deux générateurs de signaux, pour les accès RF et OL. Le générateur de signaux sur l'accès OL fournit le signal de commande du mélangeur, le générateur de signaux sur l'accès RF fournit le signal utile représentant le signal reçu. Le spectre du signal de sortie FI qui représente le produit des deux signaux RF et OL est observé sur un analyseur de spectre.

Les résultats de mesure et de simulation sont reportés dans les figures suivantes. Les résultats de mesure étant représentés par des points, tandis que les résultats de simulation par un trait continu. La puissance du signal de l'oscillateur local est de -1 dBm (après déduction des pertes dans le câble et les pertes d'insertion).

La Figure 4.10 présente le gain de conversion en fonction de la fréquence RF. La puissance du signal appliqué à l'entrée RF du mélangeur est de -33dBm. La Figure 4.11 présente le gain de conversion en fonction de la puissance du signal d'oscillateur local. Sa fréquence étant fixée à 8 GHz. En mesure, le gain de conversion atteint une valeur maximale pour une puissance du signal d'oscillateur local de -1 dBm. En simulation, cette valeur est atteinte autour de -3 dBm. La Figure 4.12 présente le gain de conversion en fonction de la puissance du signal d'entrée RF. Cette courbe permet de mesurer le point de compression à 1 dB, qui est égal à -23 dBm. On remarque un décalage entre les mesures et les simulations dû aux éléments parasites.

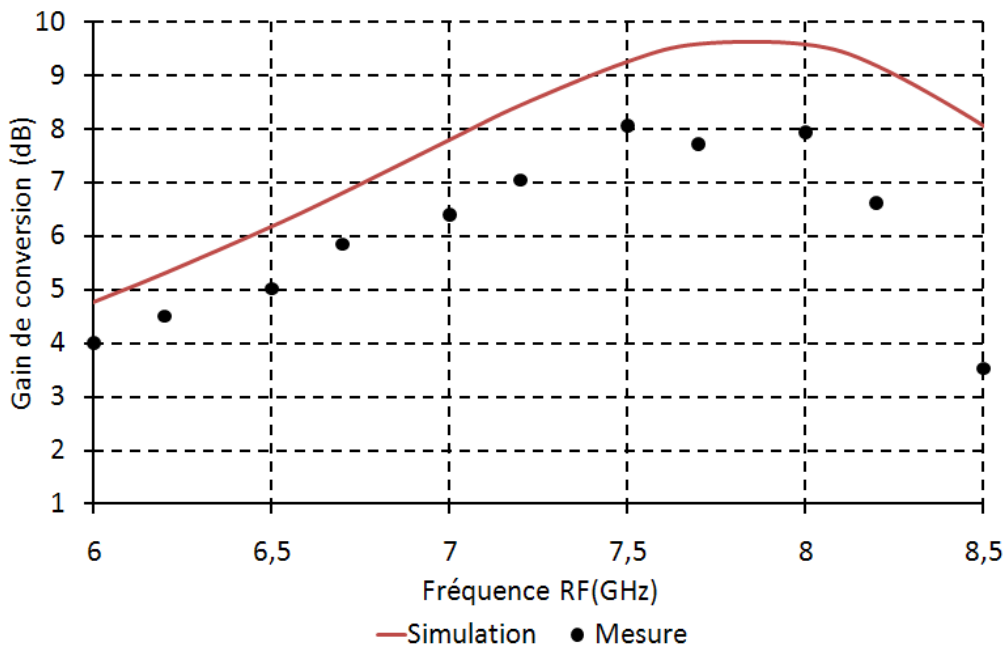


Figure 4.10 : Gain de conversion en fonction de la fréquence RF

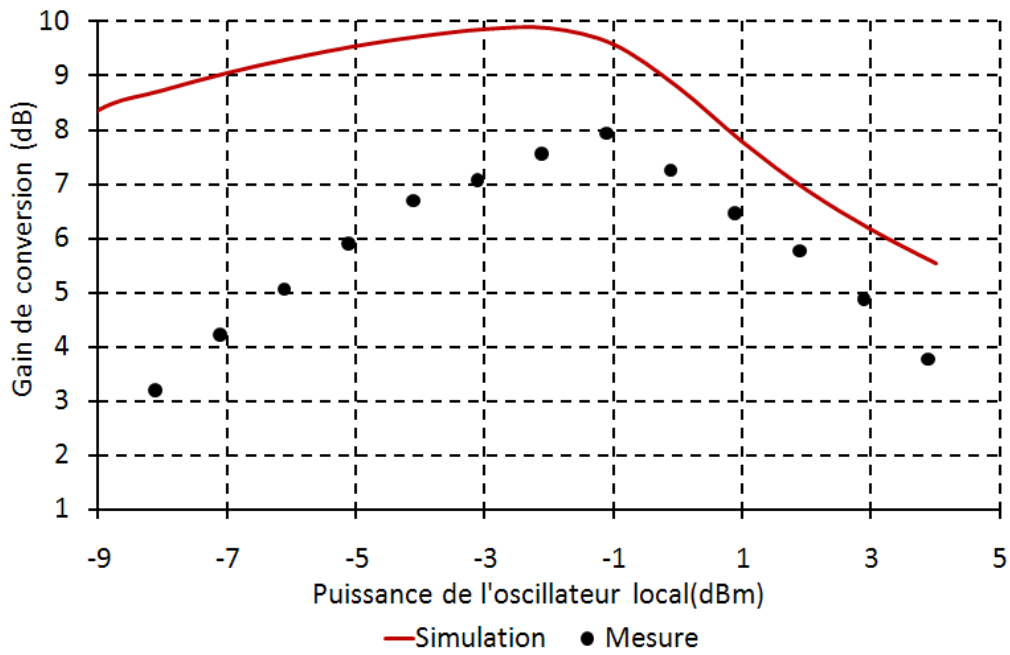


Figure 4.11 : Gain de conversion en fonction de la puissance de l'oscillateur local

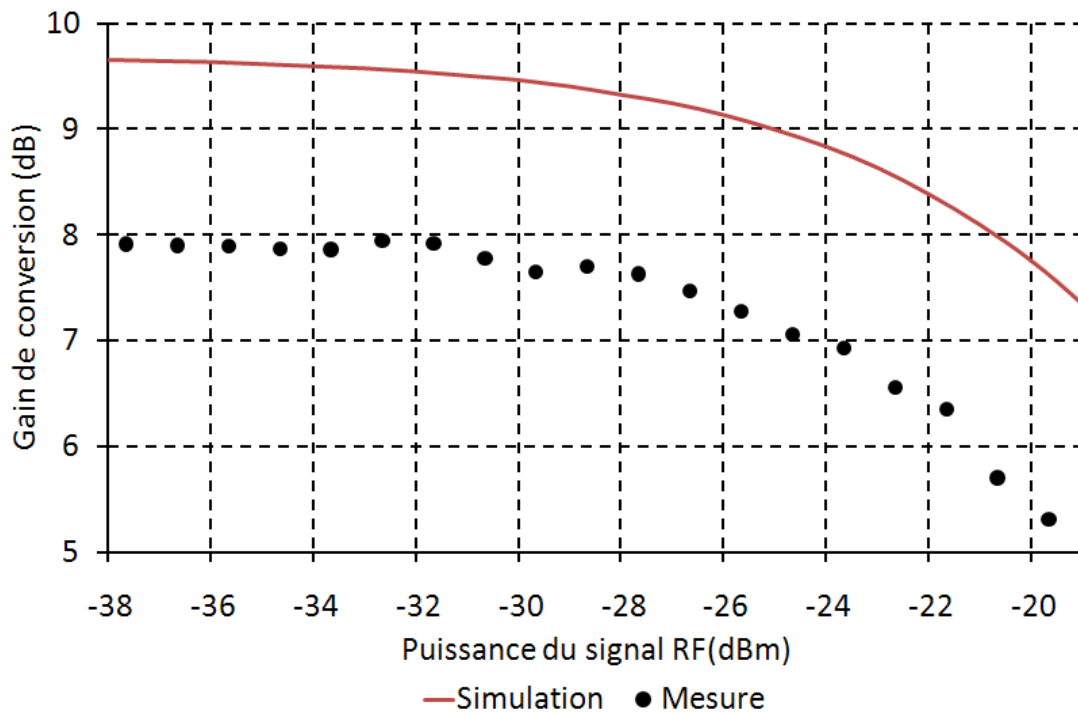


Figure 4.12 : Gain de conversion en fonction de la puissance de signal d'entrée RF
(le point de compression à 1 dB)

4.6 Comparaison avec l'état de l'art pour notre mélangeur

Afin de comparer nos résultats avec l'état de l'art dans le domaine des mélangeurs large bande, nous avons répertorié les récents résultats publiés pour des mélangeurs abaisseurs de fréquence. Nous avons réutilisé notre définition de facteur de mérite (Équation 3) pour comparer ces mélangeurs.

$$FoM(dB) = 10 \cdot \text{Log} \left(\frac{10^{(GC[dB]/20)} \cdot \frac{BP[GHz]}{1GHz}}{\frac{P_{DC}[mW]}{1mW} \cdot \frac{10^{(P_{OL}[dBm]/10)}}{1mW}} \right)$$

Équation 3 : Formule de la figure de mérite du mélangeur de réception

Les données des mélangeurs sont regroupées dans le tableau ci-dessous :

	Ce travail	[45]	[46] ⁽²⁾	[47]	[48]	[49]	[50]
Tech (nm)	130	65	180	180	180	180	180
Surface (mm ²)	1.178 ⁽¹⁾	0.011	0.77	0.83	0.44	1.24	1.62
GC max (dB)	7.9	14.5	5.1	15.5	5.3	3.9	5
BP (GHz)	6 – 8.5 ⁽²⁾	1 – 10.5	3 – 5	3 – 8	0.2 – 16	3 – 5	3 – 8.7
NF (dB)	6.2–7.6 ⁽²⁾	6.5	12.2	11–14.5	-	14.6–19.8	7
P _{OL} (dBm)	-4	1	-	-	-	-6	-
Alim (V)	1.8	1.2	1.8	1.5	1.8	1.2	1.8
Pdiss (mW)	6	14.4	9.2	11.25	15	8.4	10.4
FoM ⁽³⁾	33.18	34.44	25.46	34.14	32.88	31.72	29.81
Topologie	Gilbert	Folded	Gilbert	Folded	Folded	Folded	Distribué

⁽¹⁾ Avec les pads RF et 4 sources d'alimentation ⁽²⁾ Résultat de simulation

⁽³⁾ P_{OL}=0dBm si n'est pas mentionné

Tableau 4.2 : Etat de l'art des mélangeurs abaisseurs de fréquence

L'évaluation du facteur de mérite a permis de tracer la Figure 4.13. Cette figure montre le bon compromis entre bande passante, gain et consommation du mélangeur.

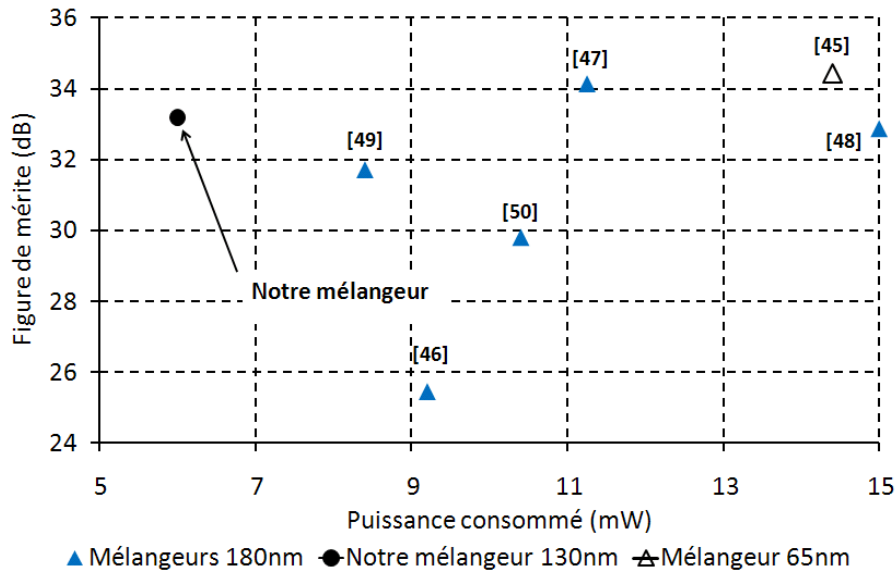


Figure 4.13 : Figure de mérite en fonction de la puissance consommée pour notre mélangeur et les mélangeurs de l'état de l'art

Le mélangeur abaisseur de fréquence consomme seulement 6 mW et présente un gain de conversion maximal de 7.9 dB.

4.7 Conception du LNA

Ce paragraphe décrit les travaux de conception du circuit LNA pour la chaîne de réception. Nous allons d'abord commencer par un état de l'art des amplificateurs faible bruit.

4.7.1 Etat de l'art des amplificateurs faible bruit

L'amplificateur faible bruit (LNA) est le premier étage d'une chaîne de réception radio. Le rôle du LNA est de conditionner et d'abaisser au maximum le facteur de bruit global d'une chaîne de réception radio. Le circuit doit pouvoir amplifier le signal reçu par une antenne (généralement d'un niveau très faible) en ajoutant le minimum de bruit. La conception d'un LNA impose donc une adaptation en puissance et en bruit du circuit autour d'une impédance de 50Ω .

La particularité d'un circuit hyperfréquence à faible bruit est d'utiliser des composants actifs de telle manière qu'ils génèrent le minimum de bruit possible afin de ne pas dégrader fortement le ou les signaux qu'il doit traiter. Cette condition, particulière, n'est pas naturellement rencontrée au cours d'une conception de circuit.

La connaissance du comportement en bruit de tout circuit hyperfréquence est indispensable pour rechercher les conditions optimales de fonctionnement en bruit d'un circuit hyperfréquence. Dans le paragraphe qui suit nous rappelons les paramètres qui conditionnent le niveau de bruit dans un quadripôle.

a) Comportement en bruit des quadripôles hyperfréquence

Le comportement en bruit d'un quadripôle est caractérisé par son facteur de bruit. Plus ce facteur sera faible, moins le quadripôle en question dégradera le rapport signal sur bruit du signal qu'il traite. Le facteur de bruit d'un quadripôle dépend de sa nature propre et de l'impédance interne du générateur équivalent de Thévenin (Z_s), que nous appelons source, qui attaque l'entrée du quadripôle.

$$\text{avec } Z_s = \frac{1}{Y_s}$$

Le facteur de bruit minimum (NF_{\min}) est obtenu pour une valeur particulière d'admittance de source (Y_{opt}), propre au quadripôle, appelée admittance de source optimale en bruit. Lorsque cette condition particulière est rencontrée, le quadripôle est dit adapté en bruit. Le niveau du facteur de bruit augmente autour de ce point particulier, d'autant plus vite que la valeur de la résistance équivalente en bruit (R_n) du quadripôle est élevée. Cette relation s'exprime sous la forme suivante [51] :

$$NF = NF_{\min} + \frac{R_n}{G_s} |Y_s - Y_{opt}|^2$$

Cette formule peut aussi s'exprimer comme suit :

$$NF = NF_{\min} + \frac{4R_n}{Z_0} \frac{|\Gamma_s - \Gamma_{opt}|^2}{|1 + \Gamma_{opt}|^2 \cdot (1 - |\Gamma_s|^2)}$$

Γ_s et Γ_{opt} représentent respectivement les coefficients de réflexion en puissance à l'entrée du quadripôle et de l'impédance de source optimale en bruit. Les deux coefficients sont normalisés sur l'impédance de référence 50 Ω .

La réalisation d'un circuit amplificateur faible bruit demande donc que le quadripôle le caractérisant présente une impédance de source optimale en bruit proche de l'impédance de référence 50 Ω de manière à ce qu'il soit possible d'adapter en

impédance le circuit sans devoir sacrifier le niveau de facteur de bruit qui reste à sa valeur optimale. Le positionnement de Y_{opt} autour du centre de l'abaque de Smith n'est pas naturel et demande l'utilisation d'artifice pour dévier Γ_S et Γ_{OPT} de manière à les centrer sur l'abaque.

Une de ces méthodes consiste à utiliser des composants réactifs afin de réduire au minimum la contribution en bruit des composants additionnels permettant d'obtenir ce résultat. Cette méthode et son principe sont décrits dans le paragraphe qui suit.

b) Technique de la dégénérescence inductive

C'est la technique la plus performante pour adapter en impédance et en bruit un circuit LNA car utilisant des éléments réactifs uniquement. Cependant, les inductances intégrées sont très encombrantes, ce qui induit des coûts plus élevés et constitue la limite de cette topologie.

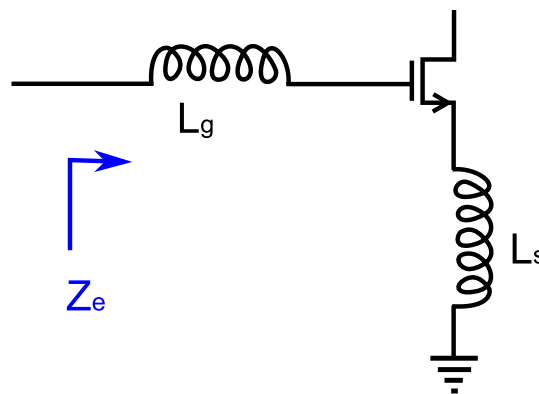


Figure 4.14 : LNA à dégénération inductive

L'adaptation d'impédance est réalisée par l'intermédiaire des inductances L_s et L_g . L_s détermine la partie réelle de l'impédance d'entrée, L_g et les autres éléments réactifs la partie imaginaire (Figure 4.14). L'impédance d'entrée est alors égale à :

$$Z_{in} = \omega_T L_s = R_s$$

Où ω_T est la pulsation de transition du transistor MOS. Cette topologie permet d'atteindre de bonnes performances et elle est adaptée à des applications à basse tension et faible consommation.

c) Conclusion sur l'état de l'art de amplificateurs faible bruit

La technique d'adaptation en bruit et en impédance décrite précédemment est malgré tout utilisable sur une très large plage de fréquence. En effet, la position du coefficient Γ_{OPT} ne change pas trop rapidement avec la fréquence, ce qui laisse la possibilité d'adaptation en bruit sur une assez large bande de fréquence du circuit. En ce qui concerne l'adaptation en impédance, un réseau de type LC sera ajouté pour obtenir un double réseau d'adaptation d'impédance. Le premier réseau d'adaptation d'impédance étant constitué de l'ensemble inductance et capacité de grille de transistor sur l'étage d'entrée du LNA. Cette approche explique notre topologie de circuit LNA, dont le travail de conception sera détaillé dans les paragraphes suivants.

4.7.2 La conception du LNA

Ce circuit est conçu avec une technologie MMIC CMOS 130 nm (décrite dans le Chapitre 3) et est alimenté sous une tension de 1.8 V.

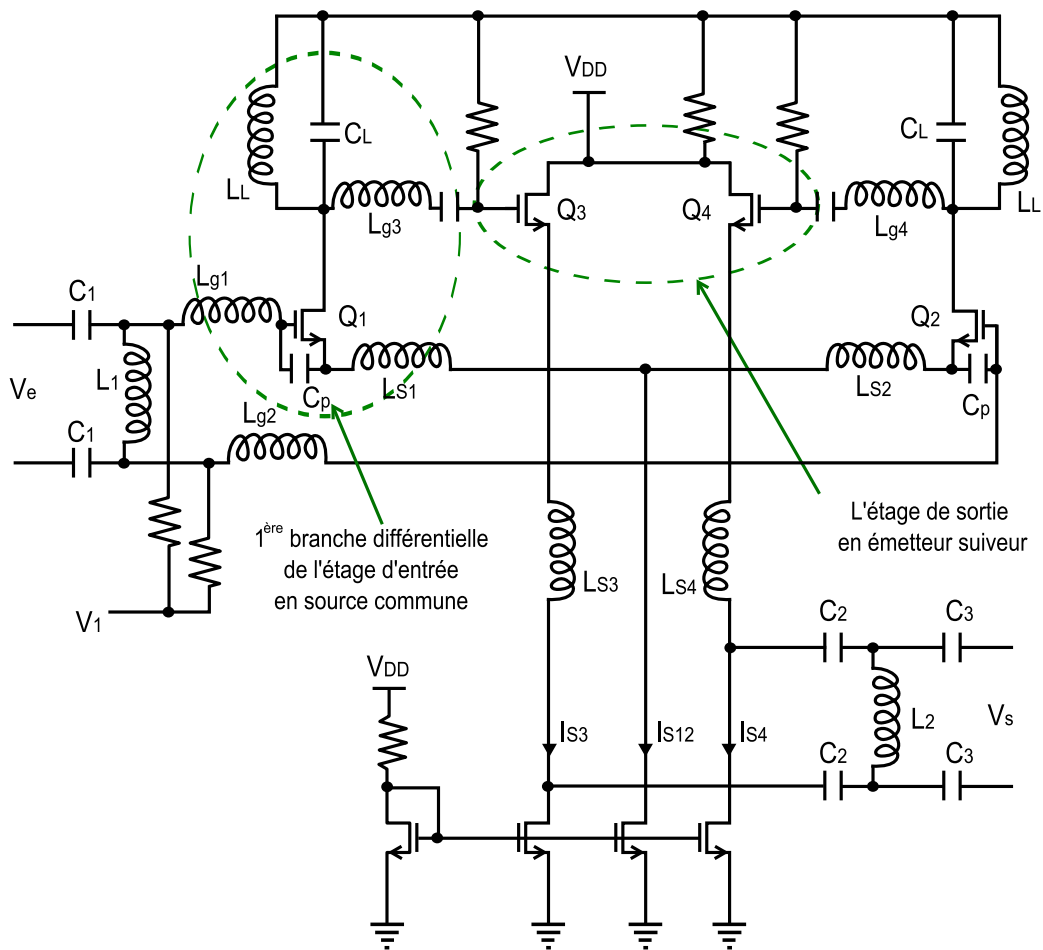


Figure 4.15 : Schéma de l'amplificateur faible bruit

L'architecture de notre circuit LNA est décrite en Figure 4.15. Une source de courant (I_{S12}) polarise l'étage d'entrée, composé d'une paire différentielle (Q_1-Q_2) montée en source commune. Les sources de courant I_{S3} et I_{S4} polarisent l'étage de sortie du circuit, composé de la paire différentielle (Q_3-Q_4) montée en configuration drain commun [52]. Les adaptations d'impédance en entrée et sortie du circuit sont obtenues par plusieurs étages d'adaptation cascades afin d'élargir la bande passante [53].

4.7.3 Les résultats de simulation du LNA

Pour nos simulations nous avons utilisé Cadence Spectre RF. Les simulations de notre amplificateur faible bruit sont présentées dans ce paragraphe. Ces simulations sont effectuées en post-layout pour prendre en compte les effets des interconnexions. Pour ces simulations, la puissance du signal appliqué en entrée du LNA est fixée à -30 dBm. La Figure 4.16 donne l'évolution des coefficients de réflexion en puissance en entrée (S_{11}) et en sortie (S_{22}) en fonction de la fréquence. La Figure 4.17 donne les niveaux de facteur de bruit et de gain en puissance du LNA en fonction de la fréquence. Le gain en puissance évolue entre 6.8 dB et 9 dB sur la bande de fréquence utile. Le facteur de bruit est compris entre 3.3 dB et 4.4 dB sur cette même bande.

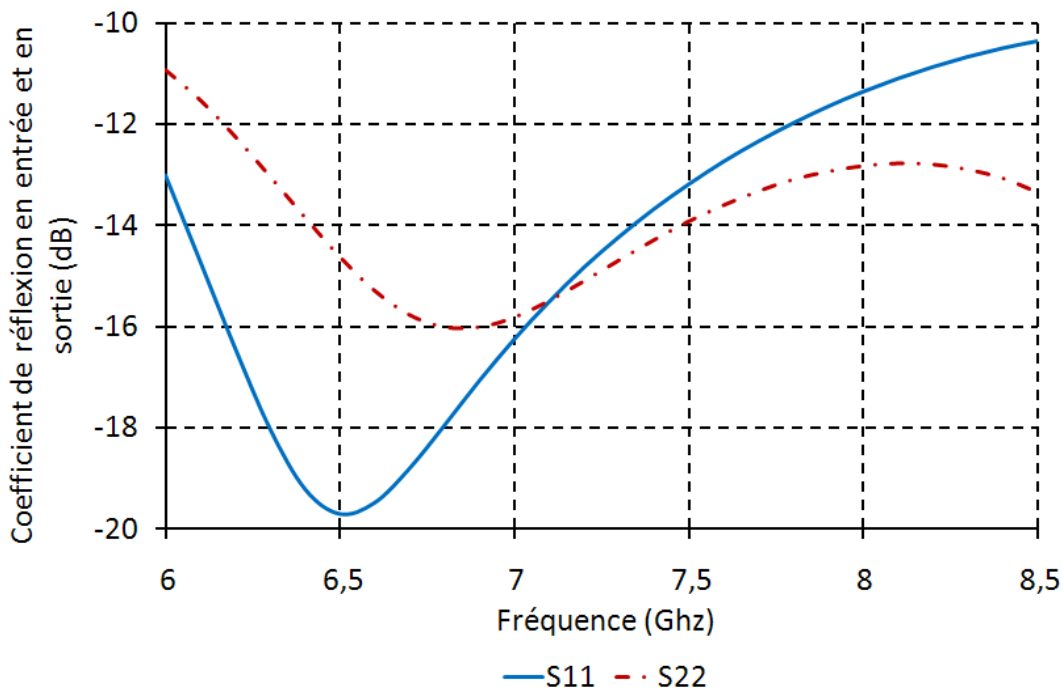


Figure 4.16 : Coefficient de réflexion en entrée et en sortie

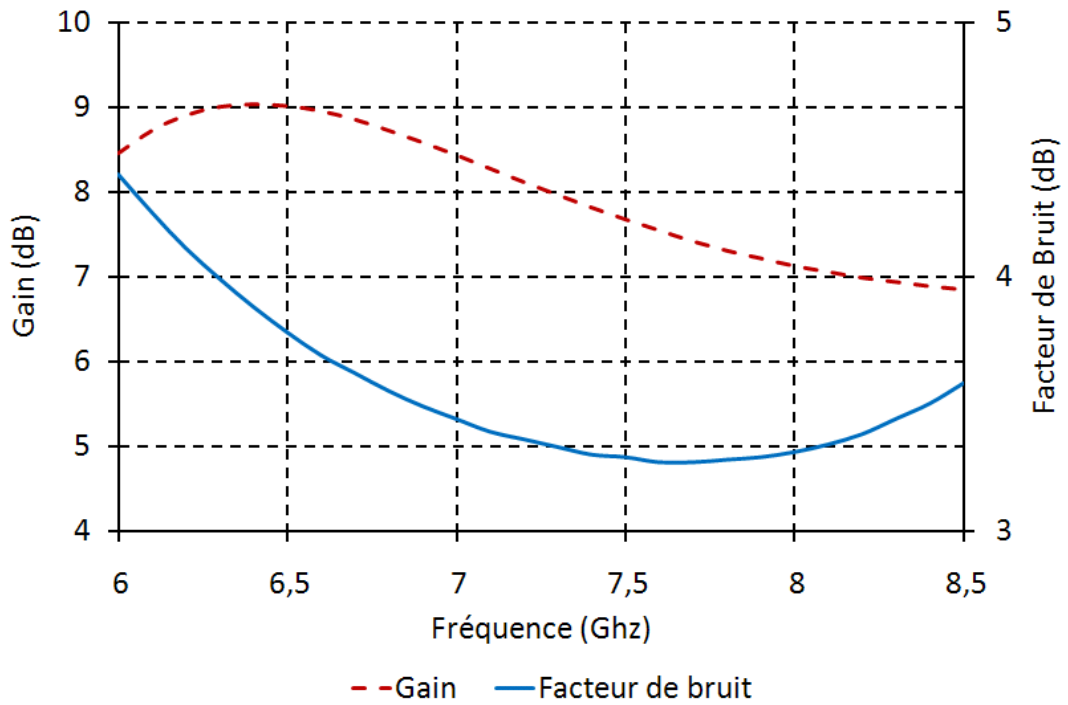


Figure 4.17 : Gain et le facteur de bruit

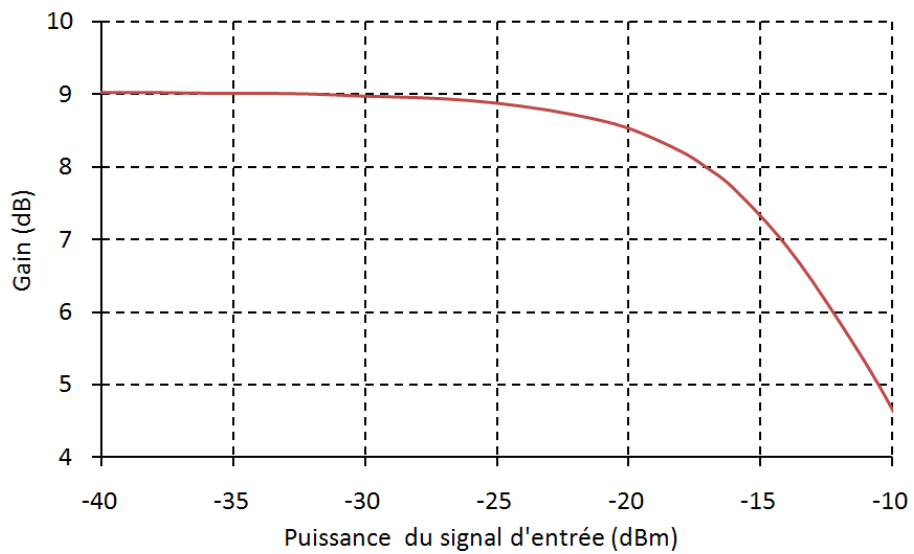


Figure 4.18 : Gain du LNA en fonction de la puissance du signal d'entrée

La Figure 4.18 présente le gain du LNA en fonction de la puissance du signal d'entrée à 6.5 GHz. Le LNA présente un point de compression à 1 dB : CP1 = -17 dBm.

Le Tableau 4.3 résume les performances du LNA :

Paramètre	Valeur
Surface (mm ²)	1.57
Gain max (dB)	9
NF min (dB)	3.27
S ₁₁ (dB)	<-10
S ₂₂ (dB)	<-11
Bande passante (GHz)	6 – 8.5
Impédance d'entrée (Ω)	100 (différentielle)
Impédance de sortie (Ω)	100 (différentielle)
Alimentation (V)	1.8
Consommation (mW)	14.2

Tableau 4.3 : Résumé des performances du LNA

4.7.4 Layout du circuit

La Figure 4.19 présente le layout du LNA (sans plan de masse) avec les différents pads de test qui sont disposés sur ce circuit afin d'évaluer sa fonctionnalité. La surface occupée par le layout est de 1.57 mm².

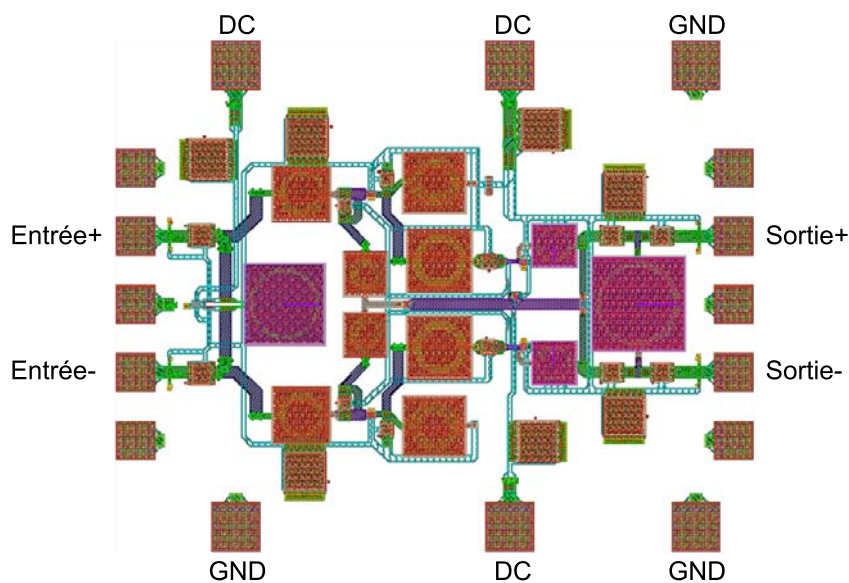


Figure 4.19 : Layout du LNA sans plan de masse

4.7.5 Comparaison avec l'état de l'art

Nos résultats de simulation, ainsi que les résultats de différentes autres conceptions d'amplificateurs faible bruit publiés récemment, ont été regroupés dans le Tableau 4.4 afin de bâtir un état de l'art. Ces résultats ont été évalués selon le critère de facteur de mérite tel que définie en [54] et dont la définition est rappelée ci-dessous :

$$FoM(dB) = \frac{Gain_{Max}[dB].BW_{-3dB}[GHz]}{NF_{min}[dB].P_{diss}[mW]}$$

Équation 4 : Formule de la figure de mérite du LNA

Où BW est la bande passante du LNA.

	Ce LNA (*)	[55]	[56]	[57]	[58]	[59]	[60]
Tech (nm)	130	90	130	180	180	180	180
BP (GHz)	6 – 8.5	4.5 – 11	2 – 4.6	2.5 – 4.5	1.7 – 12	3.1 – 4.8	2 – 6
S ₁₁ (dB)	<-10	<-8.2	<-10	/	<-10	<-7	<-6
S ₂₂ (dB)	<-11	/	/	<-5	<-10	/	<-10
Gain max (dB)	9	12.5	9.5	12	10.7	18	17.5
NF min (dB)	3.3	3.9	3.5	3	3.1	5.2	3.5
Alim (V)	1.8	1.2	1.5	1.5	1.8	1.8	1.8
Pdiss (mW)	14.2	20.4	16.5	12.9	8.6	26.2	61.2
FoM	0.48	0.89	0.43	0.62	0.64	0.26	0.33

(*) Résultat de simulation

Tableau 4.4 : Etat de l'art des amplificateurs faibles bruit

La Figure 4.20 présente l'évaluation des résultats concernant les échantillons des amplificateurs faibles bruit selon le critère de l'Équation 4. Les résultats de notre LNA présente un compromis entre gain en puissance, consommation électrique, facteur de bruit et bande passante. Le circuit consomme une puissance de 14.2 mW pour un gain en puissance de 9 dB et un facteur de bruit de 3.3 dB.

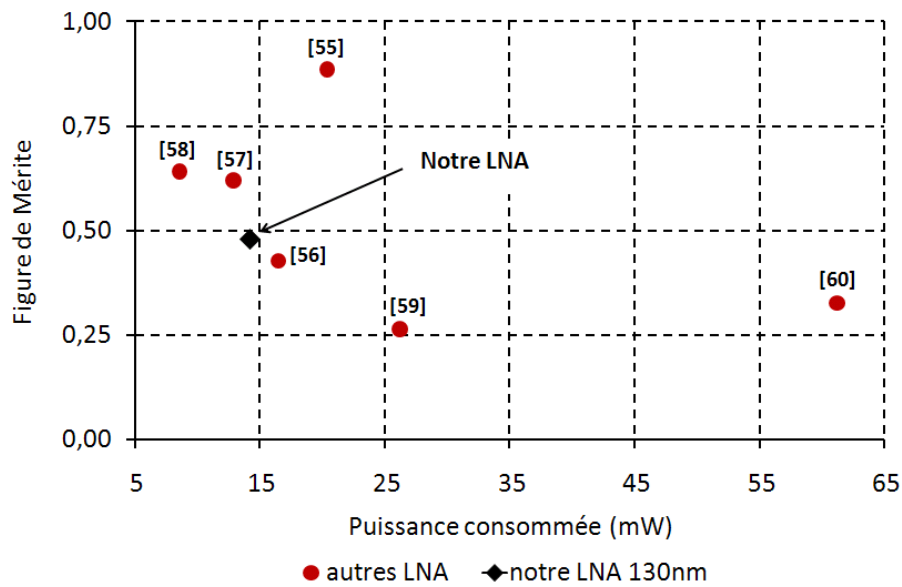


Figure 4.20 : Figure de mérite selon le critère de l'Équation 4, en fonction de la puissance consommée pour notre LNA et les LNAs de l'état de l'art

4.8 Conclusion

Dans ce chapitre nous avons présenté le mélangeur de réception et un amplificateur faible bruit pour notre architecture de circuit de communication UWB RF. Le mélangeur utilise une inductance pour l'adaptation inter-étage. L'adaptation d'impédance est faite par élément LC. Les résultats du LNA conçu présente un compromis entre bande passante, consommation, gain et niveau de bruit.

Chapitre 5

Emetteur

5.1 Introduction

Pour satisfaire les exigences des applications des réseaux de capteurs sans fil, l'émetteur est basé sur une architecture à conversion directe. Cette architecture présente des avantages au niveau de la complexité, du coût et de la consommation.

Dans ce chapitre nous allons présenter l'émetteur. Il est composé de deux mélangeurs pour les voies I et Q et un VCO qui fournit quatre signaux en quadrature de phase pour contrôler les mélangeurs. Cet émetteur transpose un signal UWB-OFDM de 10 MHz à 510 MHz vers des fréquences RF de 6 GHz à 8.5 GHz.

5.2 Les types d'émetteurs

Un émetteur radio fréquence (RF) assure la modulation, la transposition de fréquence et l'amplification du signal [26]. Dans les émetteurs-récepteurs sans fil, nous pouvons noter trois architectures : superhétérodyne, à conversion directe et à faible fréquence intermédiaire. L'architecture superhétérodyne est la plus utilisée dans les émetteurs-récepteurs RF en vue de ses performances stables. Le problème de la fréquence image est l'un de ses inconvénients. Ce problème peut être évité par l'utilisation des filtres SAW off-chip. De plus, cette architecture nécessite plus d'un mélangeur, ce qui impose des problèmes de consommation et de complexité, ce qui rend cette architecture incompatible avec les applications à faible coût et à faible consommation [61].

L'architecture à conversion directe présente l'avantage d'être moins complexe que les architectures superhétérodyne. Cet avantage se traduit par une faible consommation et un faible coût. Elle est donc mieux appropriée pour les applications de réseaux de capteurs sans fil. Par contre, cette architecture souffre de la présence

d'une composante continue, de bruit $1/f$, de fuite de signal de l'oscillateur local et du déséquilibre des voies I et Q. Le choix de cette architecture se base sur le compromis entre ses inconvénients et ses avantages concernant la complexité et la consommation.

L'architecture à faible fréquence intermédiaire est moins complexe que l'architecture à superhétérodyne mais la consommation reste plus importante que celle de l'architecture à conversion directe.

Les figures 5.1, 5.2 et 5.3 montrent respectivement une architecture superhétérodyne, une architecture à faible fréquence intermédiaire et une architecture à conversion directe [62].

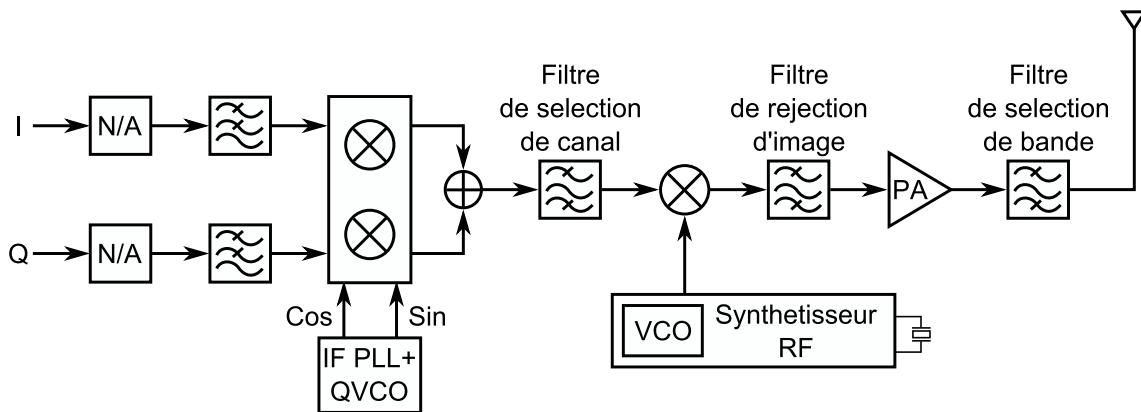


Figure 5.1 : Architecture superhétérodyne

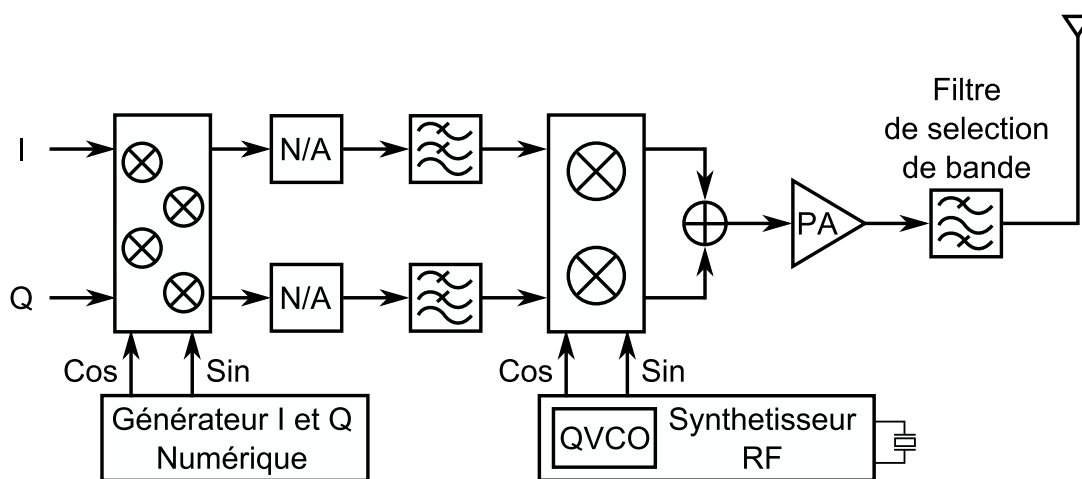


Figure 5.2 : Architecture à faible fréquence intermédiaire

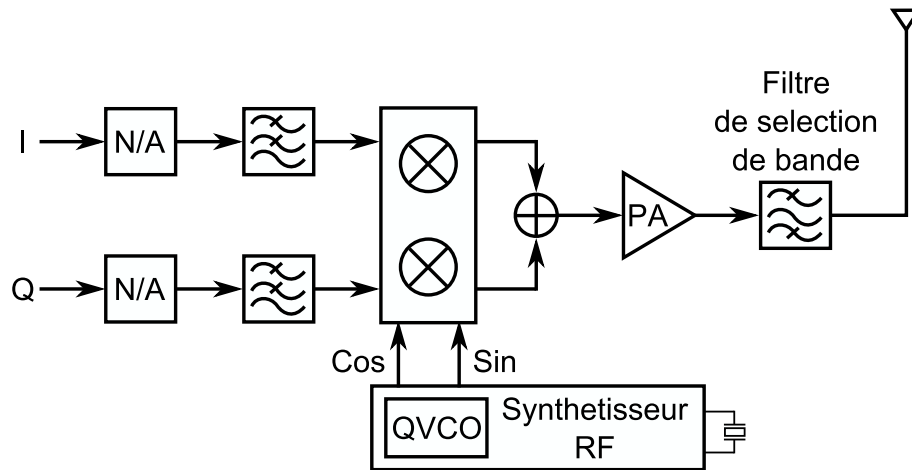


Figure 5.3 : Architecture à conversion directe

5.3 Le choix de l'architecture

Cette architecture est optimisée afin d'avoir une faible consommation d'énergie. La Figure 5.4 présente l'architecture choisie. Dans cette architecture, nous avons pu nous affranchir de la présence de l'amplificateur de puissance vu le gain suffisamment élevé du mélangeur d'émission et la limitation de puissance de sortie en transmission UWB. Cette architecture est différentielle, ce qui nous permet de supprimer l'effet du mode commun et d'avoir une bonne isolation entre les ports du mélangeur. Les signaux I et Q sont générés numériquement par la bande de base et sont ensuite transposés autour de fréquences 6 GHz – 8.5 GHz. La transposition est faite directement, sans fréquence intermédiaire (paragraphe 5.2). L'avantage de ce choix d'architecture est la faible consommation et l'intégrabilité élevée. La Figure 5.5 montre le schéma général de l'architecture de l'émetteur-récepteur.

Le problème de déséquilibre entre les voies I et Q est éliminé par la symétrie du layout de l'architecture. Dans cette architecture, les voies I et Q sont modulées par deux mélangeurs en utilisant les signaux d'un oscillateur contrôlé en tension (VCO). Le VCO est contrôlé par 3 bits pour le choix de plage de fréquence et par une tension de commande. Ce VCO fournit deux signaux différentiels en quadrature de phase qui pilote les deux mélangeurs. Les deux mélangeurs ont une entrée différentielle et une sortie en single-ended. Les deux sorties des mélangeurs sont additionnées avant d'être émis par l'antenne.

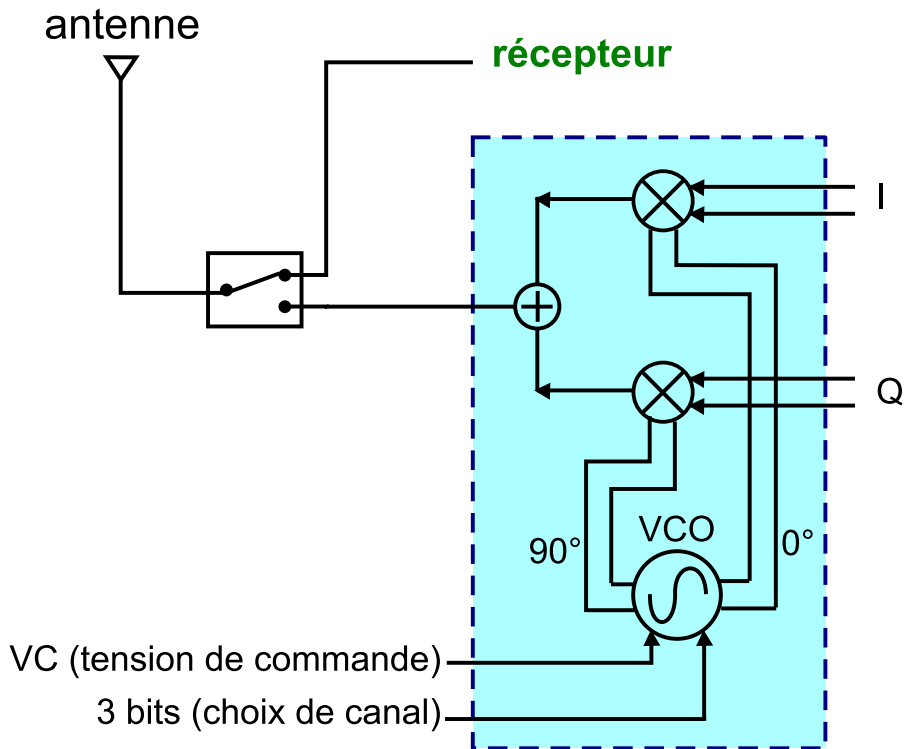


Figure 5.4 : Schéma de la chaîne d'émission

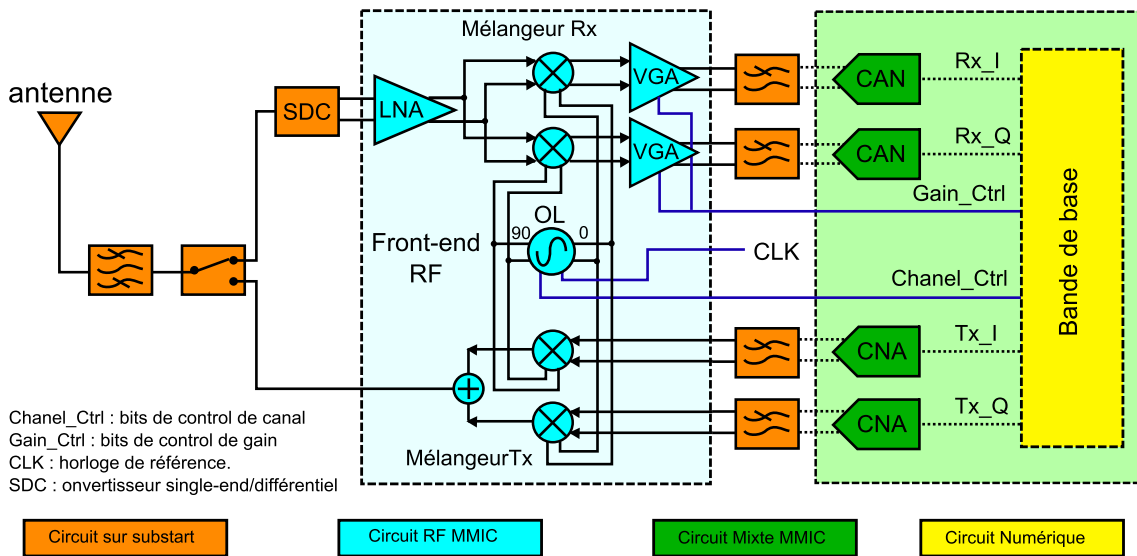


Figure 5.5 : Architecture complète de l'émetteur-récepteur avec la bande de base, les CAN/CNA, l'émetteur-récepteur RF et l'antenne

5.4 La bande de base

Vue le nombre important de capteurs déployés, associé au fort taux de rafraichissement, les réseaux de capteurs sans fil engendrent le besoin d'interface radio haut débit (100 Mbits/s). Pour le traitement en bande de base, nous avons considéré des modulations de type UWB qui permettent une réduction de la puissance d'émission à des niveaux extrêmement bas. Dans le domaine de l'UWB, la technique multi-bandes à porteuses orthogonales (MB-OFDM) est choisie pour sa robustesse face au phénomène de multi-trajets. En effet, nous serons amenés dans le cas de l'application spatiale à travailler dans un environnement confiné (caisson satellite). Ce type d'environnement constitué par des parois conductrices, donc faiblement dissipatives, va engendrer un phénomène de multi-trajets important.

L'utilisation des solutions commerciale engendre une consommation excessive causée par de nombreux mécanismes très gourmands en ressources de calcul et non indispensables dans le contexte des réseaux de capteurs. Il est important de développer une interface radio simplifiée et spécifique basée sur le MB-OFDM. L'interface à développer reçoit les données des capteurs, gère la mise en forme de ces données, la correction des erreurs et la modulation OFDM.

Dans le cadre des travaux d'une autre thèse non encore soutenue au LAAS, des prototypes d'émetteurs et de récepteurs ont été réalisés sur une plateforme FPGA Virtex5 avec un débit atteignable de 94 Mbits/s avec des convertisseurs non compatible avec la gestion de signaux I et Q. Avec des convertisseurs adaptés, il est possible d'atteindre un débit double (188 Mbits/s).

5.5 La génération de fréquence

Dans cette partie nous allons citer les différentes options pour la génération de signaux en quadrature de phase et nous allons présenter l'oscillateur contrôlé en tension et la boucle de verrouillage de phase (PLL). La PLL n'étant pas réalisée dans le cadre de cette thèse, nous la présenterons ici pour avoir un aspect global de la génération de fréquence.

5.5.1 La génération des signaux en quadrature

L'architecture à conversion directe adoptée pour notre application, nécessite 2 signaux différentiels en quadrature de phase. Il existe 3 options pour générer des signaux en quadrature de phase. La première solution consiste à utiliser un VCO et un filtre polyphasé ou un filtre RC-CR. Cette solution est de type bande étroite, ce qui ne convient pas aux applications à ultra large bande. La deuxième solution consiste à utiliser un VCO avec un diviseur de fréquence numérique. Cette solution est adaptée aux applications large bande, mais la fréquence d'oscillation du VCO est deux fois plus grande ce qui cause la baisse de son rendement d'une part et d'autre part, un circuit diviseur de fréquence est à développer.

5.5.2 L'oscillateur contrôlé en tension

L'oscillateur contrôlé en tension (VCO) est l'élément responsable de la génération de la fréquence d'oscillation. Le signal à la sortie d'un VCO est un signal périodique dont la fréquence est exprimée en fonction de la tension de commande VC, son principe est illustré dans la figure ci-dessous.

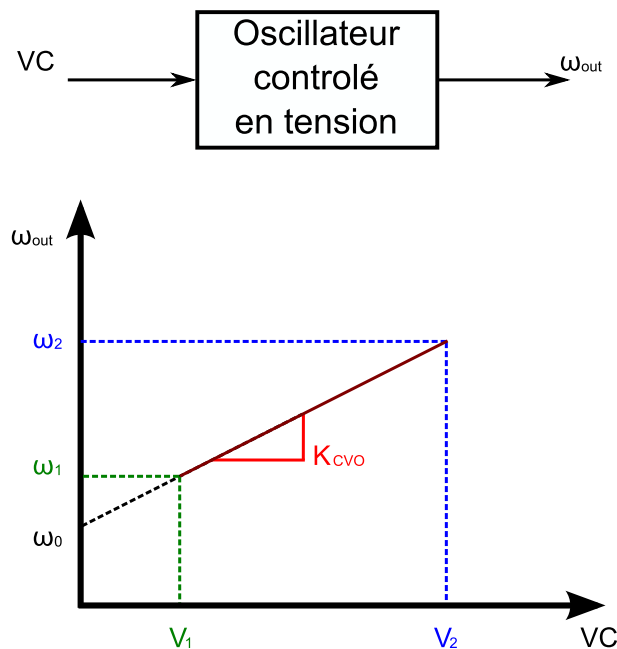


Figure 5.6 : Principe de l'oscillateur contrôlé en tension

Pour un VCO idéal, la fréquence de sortie est une fonction linéaire de VC :

$$\omega_s = \omega_0 + K_{VCO}.VC$$

Les paramètres qui définissent les performances d'un VCO sont :

- La fréquence libre d'oscillation (ω_0), représente la fréquence au repos, pour la quelle $VC = 0$ V.
- La bande de fréquence d'utilisation ($\omega_2 - \omega_1$), elle représente la plage d'accord du VCO.
- Le gain K_{VCO} (Hz/V), il est défini comme le rapport de la largeur de bande de fonctionnement sur la variation de la tension de commande (VC). Ce paramètre caractérise la fonction de transfert de VCO.
- Le facteur de « Pushing » caractérisant la variation de la fréquence d'oscillation en fonction de la tension d'alimentation.
- Le facteur de « Pulling » caractérisant la variation en fréquence et en puissance du signal de sortie lorsque la phase de la charge de sortie varie.
- La puissance (ou l'amplitude) du signal de sortie, représenté par la composante fréquentielle fondamentale.
- Le bruit de phase.

a) Les topologies des oscillateurs contrôlés en tension

Les topologies du VCO sont basées sur celles des oscillateurs et se déclinent en deux grandes catégories [63] :

a.1) Oscillateur en anneaux

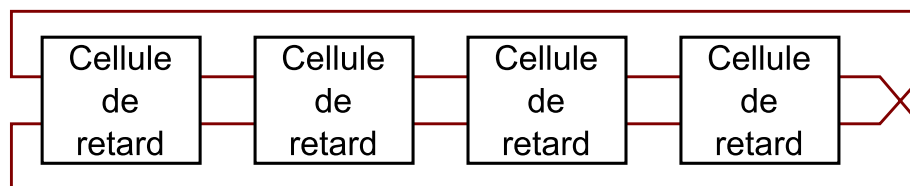


Figure 5.7 : Oscillateur en anneaux

Une solution classique de circuit oscillateur est la connexion des amplificateurs ou en renversant dans un anneau des amplificateurs ou des inverseurs. Si le décalage de phase sur l'anneau est de 360° , l'oscillateur va osciller. Les oscillateurs en anneau ont une très petite surface et sont faciles à intégrer et à concevoir. Ils disposent d'une large plage d'accord. Le principal inconvénient est leur forte consommation d'énergie et le bruit de phase. La Figure 5.7 présente un exemple d'un oscillateur en anneaux.

a.2) Oscillateur à résonateur LC

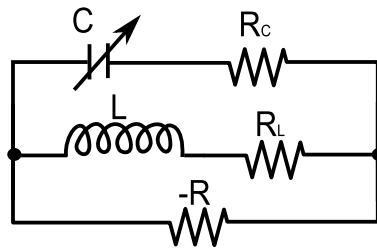


Figure 5.8 : VCO LC de base

Un oscillateur LC peut être symbolisé comme dans la Figure 5.8. L'oscillateur est constitué d'une inductance L et un condensateur C . La mise en parallèle d'un résonateur et d'un élément actif $-R$, compense les pertes de l'inductance et de la capacité. Le résultat est un circuit oscillateur avec une pulsation centrale :

$$\omega_c = \frac{1}{\sqrt{LC}}$$

Comme la capacité C est proportionnelle à la tension de commande VC , ω_c dépend également de VC et le résultat est un oscillateur commandé en tension. En comparaison avec les oscillateurs en anneaux, les oscillateurs LC ont une plage d'accord limité, mais le bruit de phase et la consommation sont faibles. La surface d'un oscillateur LC (dominée par celle de l'inductance) est beaucoup plus grande que la surface d'un oscillateur en anneaux.

5.5.3 La topologie de VCO adoptée pour l'architecture de communication

Il s'agit d'un VCO à sorties quadratures (QVCO), composé de 2 VCOs LC identiques (A et B) qui fournissent 4 signaux de sortie en quadrature de phase :

- S_1 : sortie A de l'oscillateur 1 (phase 0°).
- S_2 : sortie B de l'oscillateur 1 (phase 180°).
- S_3 : sortie A de l'oscillateur 2 (phase 90°).
- S_4 : sortie B de l'oscillateur 2 (phase 270°).

La Figure 5.9 présente le schéma bloc de QVCO, le QVCO est contrôlé par une tension de commande VC et 3 bits de choix de plage de fréquence. Ces 3 bits seront commandés par la partie bande de base pour le choix de canal.

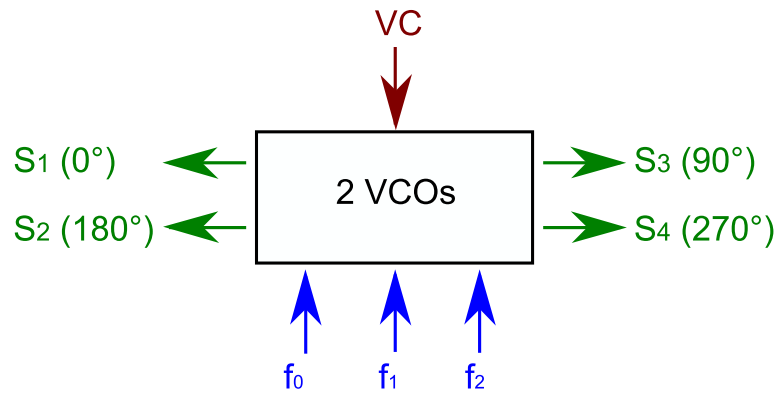


Figure 5.9 : Schéma bloc du QVCO

La variation contenue de fréquence d'oscillation est obtenue au moyen de diodes varactors qui supportent une tension de commande de 0 à 3 V. La fréquence va augmenter en augmentant la tension de commande.

La Figure 5.10 présente le schéma du QVCO. Ce dernier fonctionne de 6 GHz à 8.5 GHz [64], il est basé sur une structure résonante LC composée d'une inductance, des capacités et des diodes varactors. Sous une polarisation inverse, la diode varactor se comporte comme une capacité variable. Cette capacité est fonction de la tension de commande VC. De cette manière, la diode varactor permet de contrôler la fréquence de résonance qui détermine la fréquence d'oscillation.

Vue la plage de fréquence de fonctionnement importante (6 GHz – 8.5 GHz), nous avons utilisé 3 bits de contrôle pour élargir la plage d'accord. Ces bits mettent en parallèle des diodes varactors pour augmenter la capacité totale de circuit résonant (Figure 5.11). Les buffers sont utilisés dans un but de mesure et pour minimiser les variations de la fréquence de sortie du QVCO qui est due à la variation de la charge connectée en sortie.

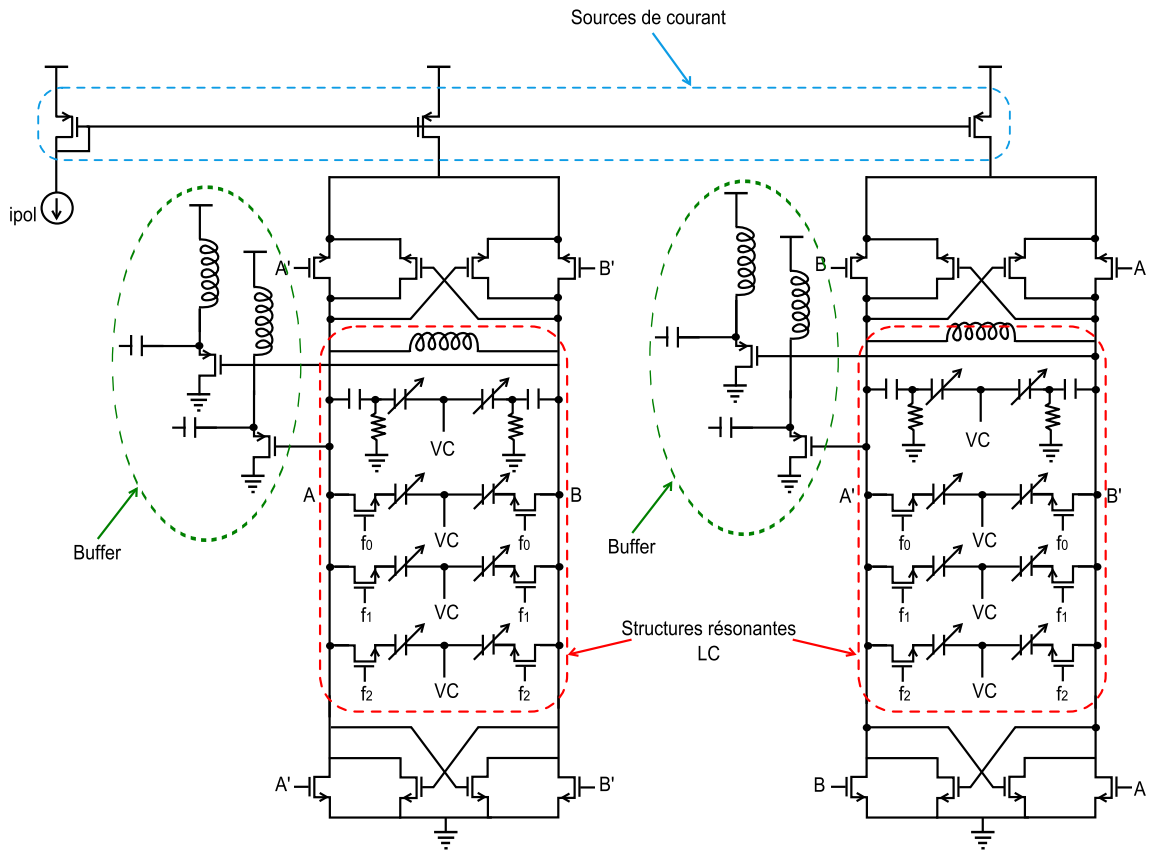


Figure 5.10 : Schéma du QVCO

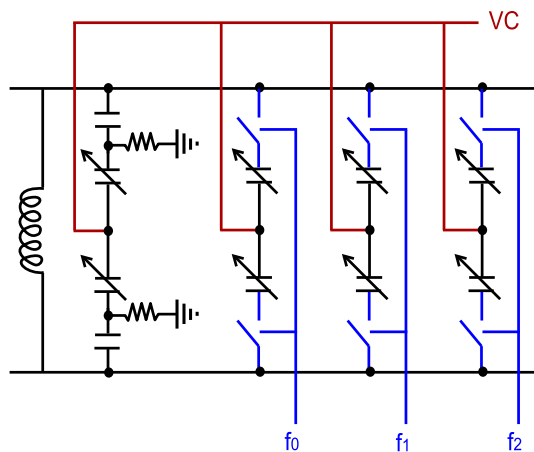


Figure 5.11 : Mise en parallèle des diodes varactors par les bits de contrôle

Le circuit est alimenté par une source de 1.2 V et consomme un courant de 22 mA. La Figure 5.12 présente les résultats de simulation du QVCO. La tension VC est variée de 0.4 V à 2.8 V pour chaque plage de fréquence. La fréquence varie de 8.52 GHz à 6 GHz. Le niveau de la puissance de sortie du QVCO est de -8.7 dBm en single-ended avec un courant de polarisation de 4 mA.

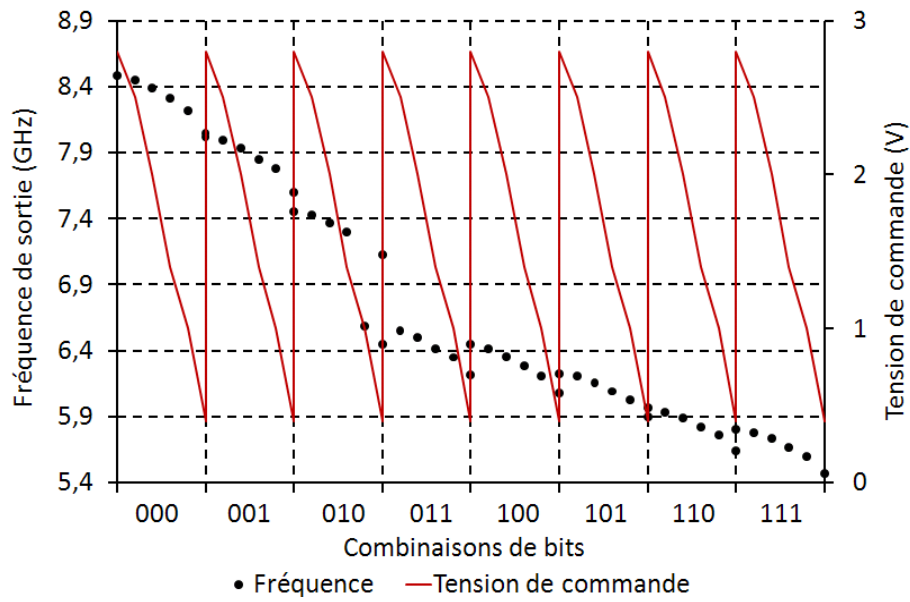


Figure 5.12 : Résultat de simulation du QVCO

Le layout du QVCO est présenté dans la figure ci-dessous avec :

- Les pads f_0 , f_1 et f_2 sont les bits de contrôle de plage de fréquence.
- $ipol$ est le courant de polarisation.
- Buf_{A1} , Buf_{A2} , Buf_{B1} et Buf_{B2} sont les 4 sorties du QVCO.
- VC est la tension de contrôle.

La surface occupée par le layout du QVCO est de 0.7 mm^2 .

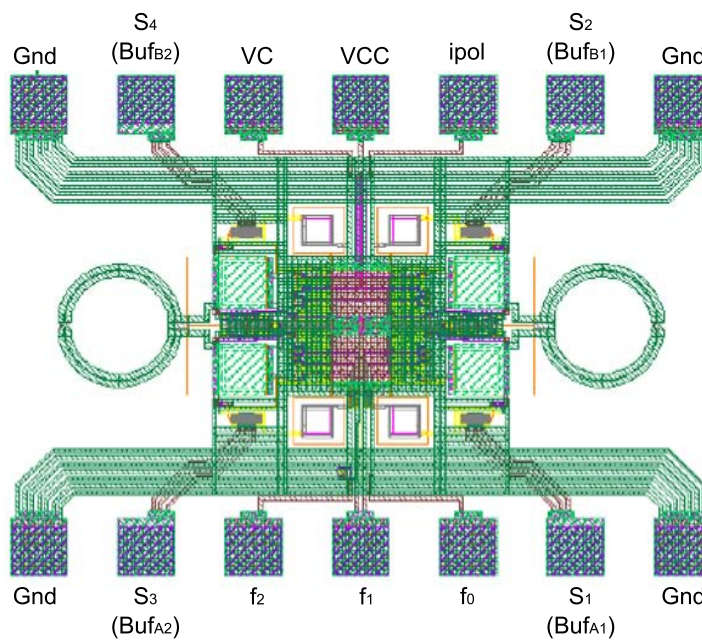


Figure 5.13 : Layout du QVCO sans plan de masse

5.5.4 Les résultats expérimentaux pour la topologie de VCO adoptée

La Figure 5.14 montre une photographie de la puce de QVCO.

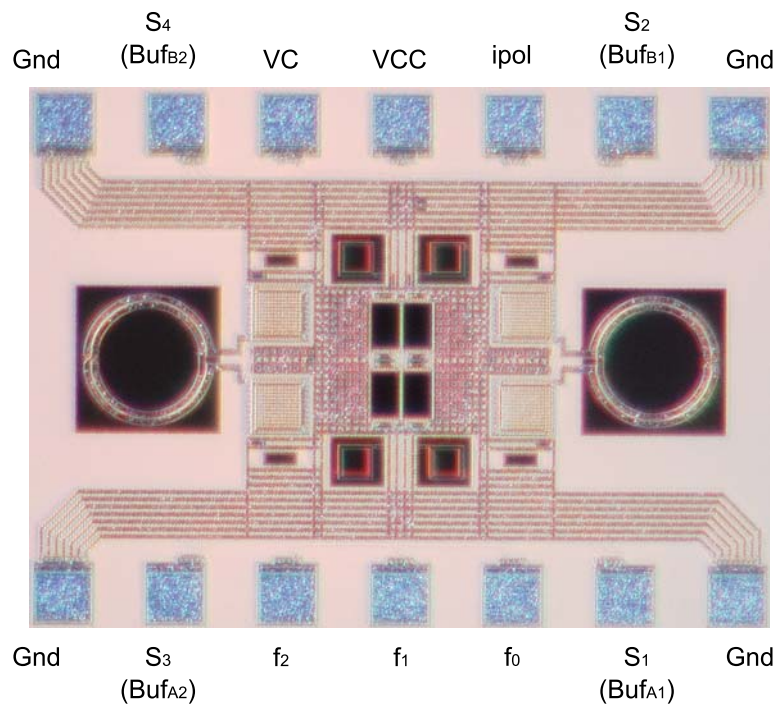


Figure 5.14 : Photographie du QVCO réalisé

La configuration du banc de mesure est décrite dans la Figure 5.15. Dans un premier temps, nous avons mesuré la sortie Buf_{A1}. Pour faciliter le positionnement des pointes, nous avons choisi d'utiliser une pointe RF (GSG). La première masse est connectée au gnd, la deuxième masse est connectée au bit f₀ et la sortie Buf_{A1} est reliée sur S.

Nous avons polarisé le QVCO avec un courant ipol de 4 mA. La tension d'alimentation Vcc est de 1.2V et la tension de commande VC varie de 0.4 V à 2.8 V. Les deux bits f₁ et f₂ sont connectés soit à un potentiel 1.2 V ou à la masse. Le spectre de sortie est observé par un analyseur de spectre.

Le bit f₀ est forcé à 0 V, cela est dû au système de pointe que nous utilisons (GSG). Nous avons mesuré quatre combinaisons pour les bits f₁ et f₂.

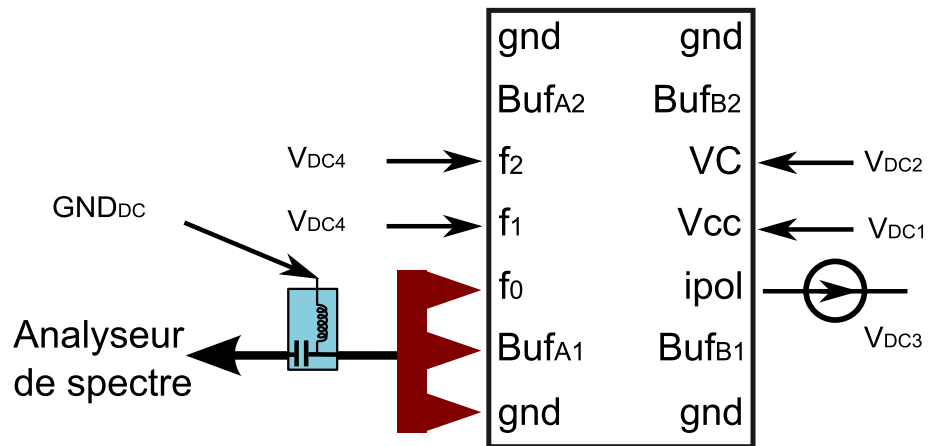


Figure 5.15 : Banc de mesure pour la sortie $Buff_{A1}$ du QVCO

Les figures (5.16 à 5.19) présentent les résultats de mesure pour les différentes combinaisons de bits.

a) 1^{ère} combinaison de bits : $f_0 = f_1 = f_2 = 0$ V

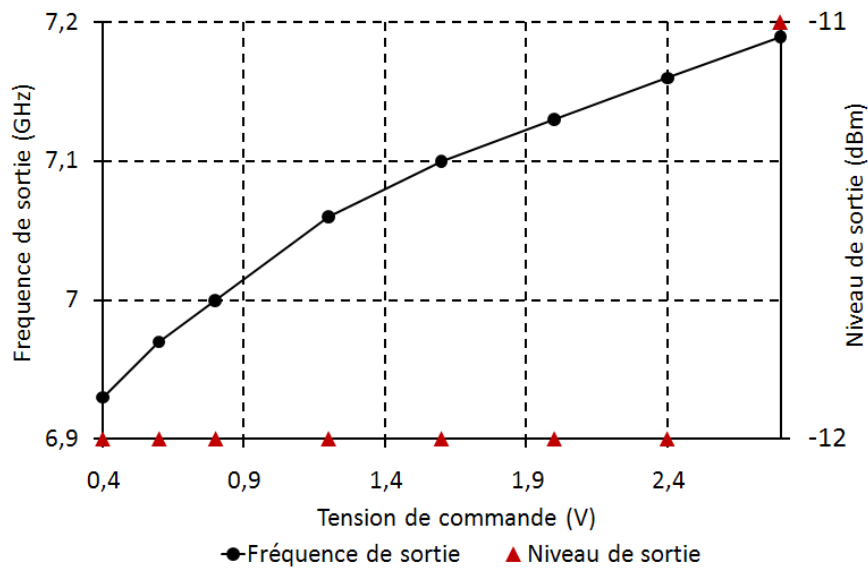


Figure 5.16 : Résultats de mesure pour la combinaison de bits : 000

La fréquence du signal de sortie varie de 6.93 GHz à 7.19 GHz pour une tension de commande entre 0.4 V et 2.8 V.

b) 2^{ème} combinaison de bits : $f_0 = 0$ V, $f_1 = f_2 = 1.2$ V

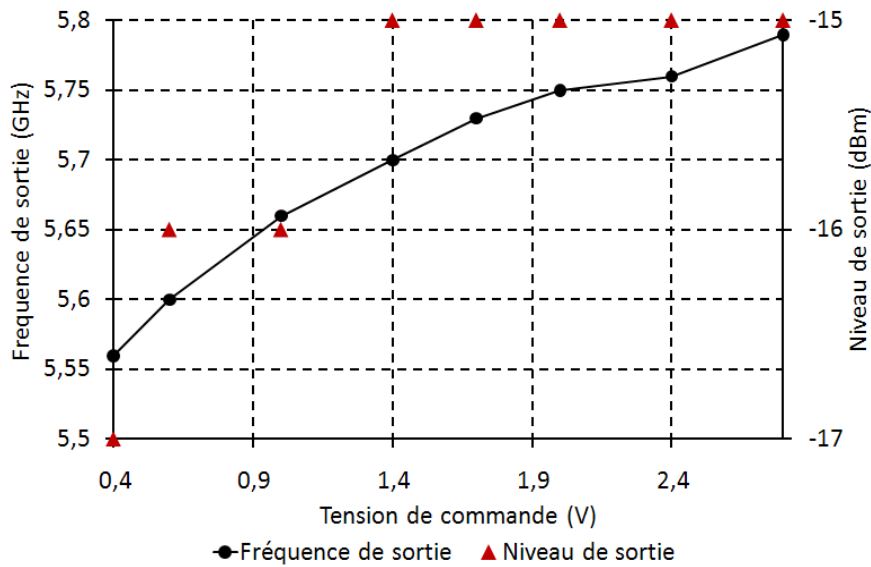


Figure 5.17 : Résultats de mesure pour la combinaison de bits : 110

La fréquence du signal de sortie varie de 5.56 GHz à 5.79 GHz pour une tension de commande entre 0.4 V et 2.8 V.

c) 3^{ème} combinaison de bits : $f_0 = f_2 = 0$ V, $f_1 = 1.2$ V

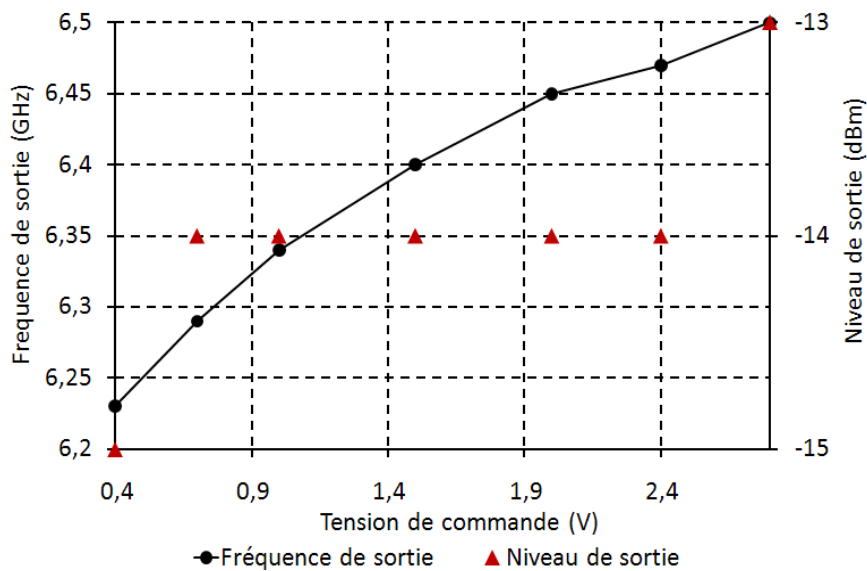


Figure 5.18 : Résultats de mesure pour la combinaison de bits : 010

La fréquence du signal de sortie varie de 6.23 GHz à 6.5 GHz pour une tension de commande entre 0.4 V et 2.8 V.

d) 4^{ème} combinaison de bits : $f_0 = f_1 = 0V$, $f_2 = 1.2 V$

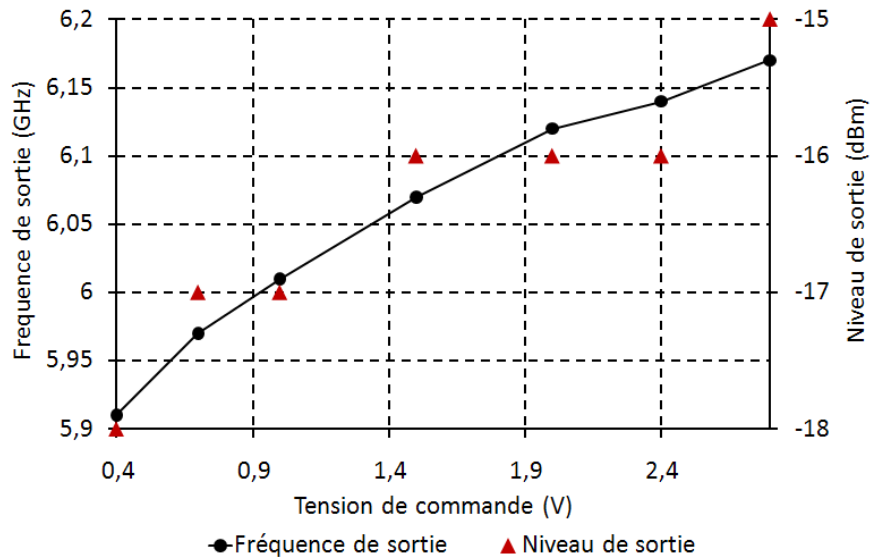


Figure 5.19 : Résultats de mesure pour la combinaison de bits : 100

La fréquence du signal de sortie varie de 5.91 GHz à 6.17 GHz pour une tension de commande entre 0.4 V et 2.8 V.

e) **Résumé des résultats de mesure**

Le Tableau 5.1 résume les performances du QVCO. La variation de la fréquence dans les différentes plages de fonctionnement est présentée dans la Figure 5.20.

Combinaison $f_2 f_1 f_0$	F min (GHz)	F max (GHz)	Fmax - Fmin (MHz)
000	6.93	7.19	260
010	6.23	6.5	270
100	5.91	6.17	260
110	5.56	5.79	230

Tableau 5.1: Résumé des performances de QVCO

- La fréquence Fmin correspond à une tension de commande $VC = 0.4 V$.
- La fréquence Fmax correspond à une tension de commande $VC = 2.8 V$.

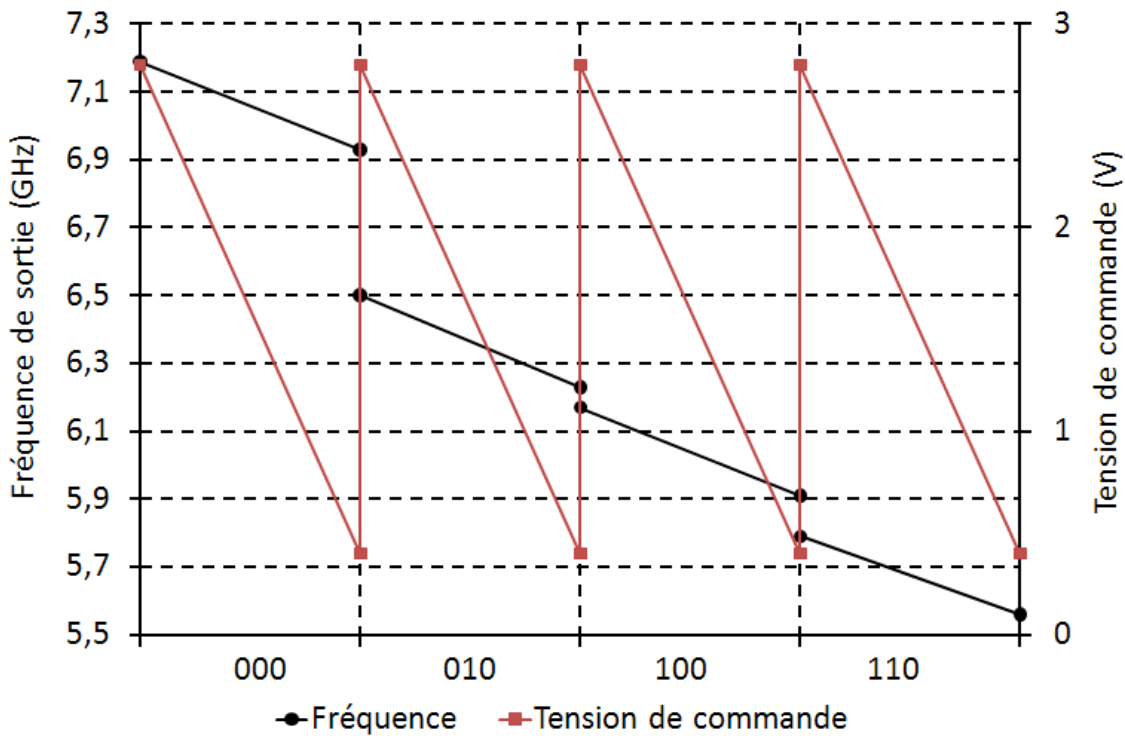


Figure 5.20 : Variation de la fréquence dans les différentes plages de fonctionnement

Nous constatons que les combinaisons des bits présentent la même plage de variation de fréquence (environ 260 MHz).

Le principe de fonctionnement du QVCO à 3 bits de commande est démontré. Nous remarquons un shift en fréquence entre les mesures et les simulations. La bande de fréquence obtenue étant de 5.5 à 7.2 GHz en mesure. Nous pensons que cela est dû aux modèles imparfaits des éléments RF du Design-Kit vers les hautes fréquences. En faisant de rétro-simulations, tenant compte des résultats des mesures, nous pouvons calibrer le VCO sur 6–8.5 GHz pour un prochain RUN.

5.5.5 La PLL (Phase Locked Loop)

La fréquence de sortie de l'oscillateur local doit être la plus stable possible. Pour cela, nous utilisons une PLL. Cette dernière permet de synchroniser en phase et en fréquence deux signaux dont l'un est la fréquence de référence (fréf) et l'autre est issu du VCO. La boucle est verrouillée lorsque la différence de phase entre la fréquence de référence et la sortie du VCO ou du diviseur est constante. La Figure 5.21 illustre la structure classique d'une PLL dans le domaine fréquentiel.

Le diviseur de fréquence permet la transposition de la fréquence de sortie de VCO en basses fréquences pour permettre une comparaison avec la référence.

Le comparateur de phase détecte la différence entre la phase de la référence et la phase du VCO à travers le diviseur et produit en sortie un signal proportionnel à la différence de phase. Le comparateur de phase peut être réalisé de manière analogique ou numérique [65]. La tension VC est générée en fonction de la sortie du comparateur de phase, les signaux UP et DOWN vont entrainer la charge ou la décharge d'une capacité.

Le filtre de boucle joue un rôle de lissage. Il moyenne le signal de sortie du comparateur de phase et le transforme en une tension continue (VC) qui servira à contrôler le VCO. Les paramètres du filtre sont les éléments déterminant les caractéristiques de l'ensemble de la boucle, telles que la rapidité et la stabilité [66].

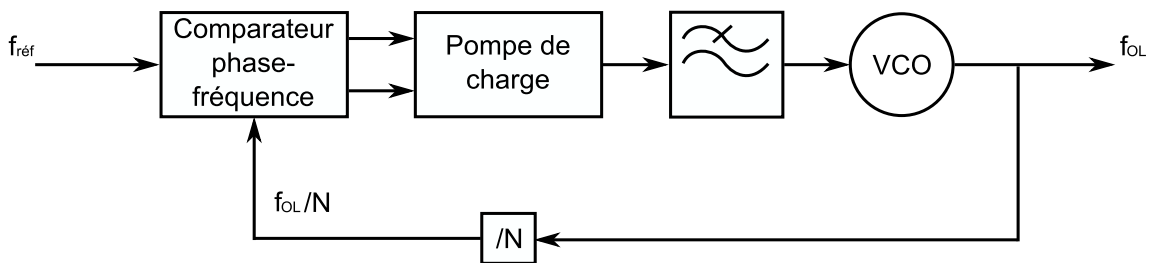


Figure 5.21 : Schéma de principe d'une PLL

5.6 Le coupleur utilisé dans l'émetteur

Pour combiner la sortie des deux mélangeurs des voies I et Q, nous avons choisi d'utiliser un coupleur de Wilkinson. Vu la bande de fréquence d'utilisation 6 GHz – 8.5 GHz, l'intégration d'une ligne $\lambda/4$ sur silicium est impossible. Un coupleur de Wilkinson peut être représenté sous la forme d'éléments localisés, cette représentation est basée sur le modèle de la ligne $\lambda/4$ [67].

5.6.1 Conception du coupleur

La Figure 5.22 présente un coupleur Wilkinson avec éléments localisés. Les selfs et les capacités représentent le modèle de la ligne $\lambda/4$.

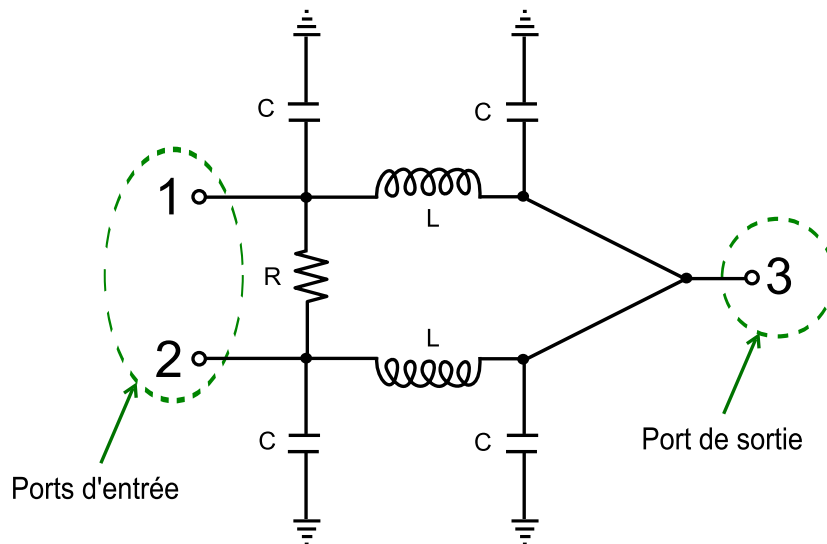


Figure 5.22 : Schéma du coupleur de Wilkinson

Les valeurs théoriques des composants sont :

$$R = 2Z_0$$

$$L = \frac{\sqrt{2Z_0}}{2\tau \cdot f_0}$$

$$C = \frac{1}{\sqrt{2Z_0} \cdot 2\tau \cdot f_0}$$

5.6.2 Résultats de simulation du coupleur

Pour cette simulation nous avons utilisé le logiciel Advanced Design System (ADS). Les simulations du coupleur de Wilkinson sont présentées dans ce paragraphe. La Figure 5.23 donne l'évolution des coefficients de réflexion en entrée (S_{11} et S_{22}), en sortie (S_{33}) et l'isolation entre les ports d'entrée (S_{12}), en fonction de la fréquence.

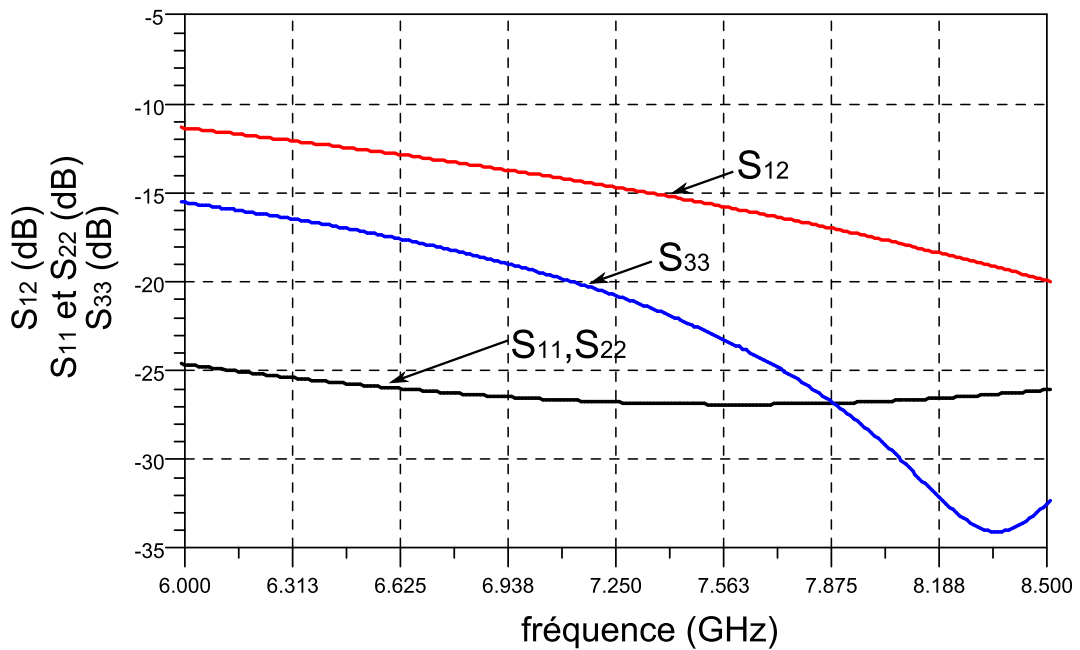


Figure 5.23 : Isolation entre les ports et coefficients de réflexion en entrée et en sortie du coupleur

Les coefficients de réflexion en entrée (S_{11} et S_{22}) sont inférieurs à -24 dB, tandis que le coefficient de réflexion en sortie (S_{33}) est inférieurs à -15 dB pour toute la bande de fréquence d'utilisation.

Le coefficient de transmission (S_{12}) entre les ports d'entrée du coupleur (port 1 et port 2) représente l'isolation qui est supérieure à 11 dB.

La Figure 5.24 donne les coefficients de transmission (S_{31} et S_{32}). Ces paramètres désignent les pertes d'insertion qui sont inférieures à 0.6 dB.

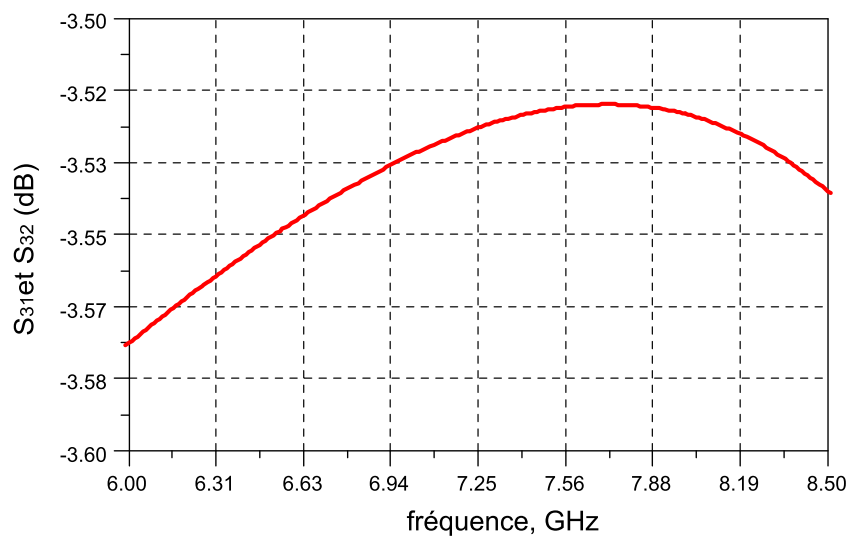


Figure 5.24 : Coefficients de transmission du coupleur

5.7 Résultats de simulation de l'émetteur

En sortie de l'émetteur, nous observons un signal à bande latérale unique de fréquence $F_{OL} - F_{IF}$ [68].

Les simulations de l'émetteur sont présentées dans ce paragraphe. Pour ces simulations, nous avons utilisé le logiciel Advanced Design System (ADS). La puissance du signal FI est de -17 dBm pour ces simulations.

Nous avons simulé le gain de conversion du mélangeur en fonction de la fréquence RF. Ce résultat est reporté en Figure 5.25. Pour cette simulation, la fréquence du signal d'entrée est fixée à 300 MHz. La puissance de ce dernier est fixée à -17 dBm.

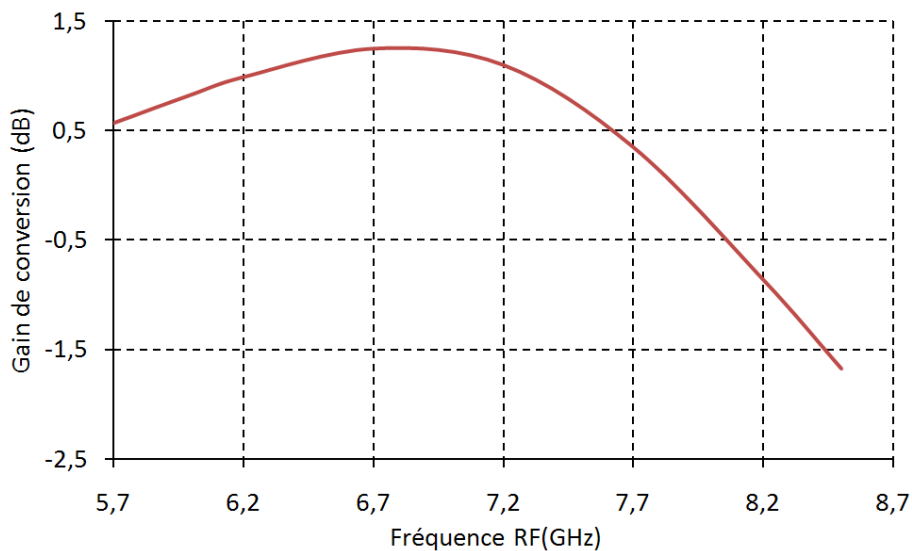


Figure 5.25 : Gain de conversion en fonction de la fréquence RF

Le gain de conversion maximal est de 1.25 dB, la bande passante du signal de sortie est de 6 GHz à 8.5 GHz.

La Figure 5.26 présente le gain de conversion en fonction de la fréquence du signal d'entrée. Nous remarquons que le gain est constant pour la bande passante du signal d'entrée (10 MHz – 510 MHz).

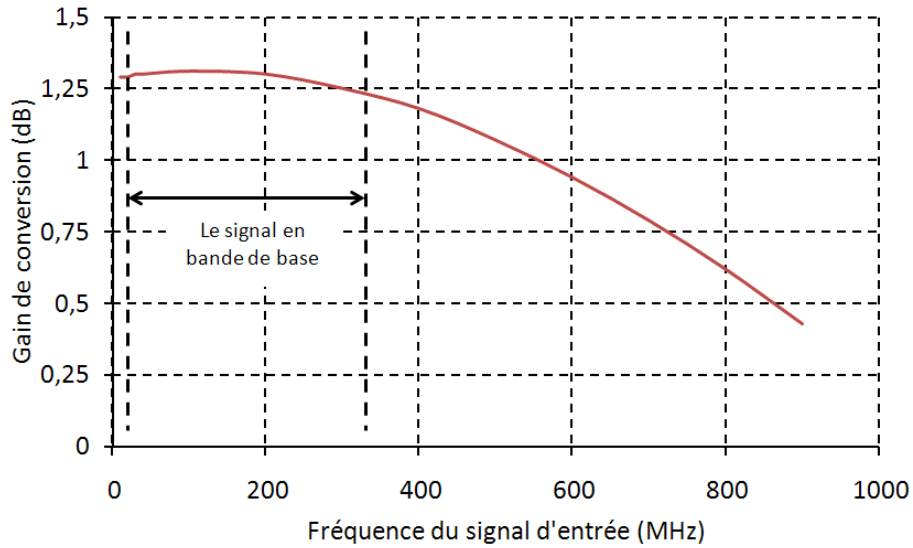


Figure 5.26 : Gain de conversion en fonction de la fréquence du signal en bande de base

Notre émetteur UWB présente un point de compression à 1 dB : CP1 = -9 dBm. Ce résultat est largement suffisant pour une transmission UWB qui est limitée en puissance. La figure suivante présente le gain de conversion en fonction de la puissance du signal d'entrée. Pour cette simulation, la fréquence du signal RF est 6.7 GHz.

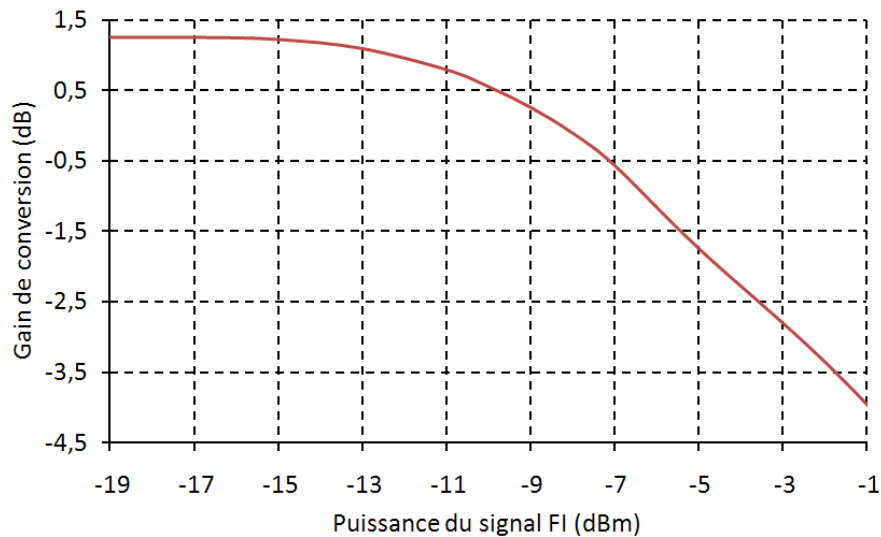


Figure 5.27 : Gain de conversion en fonction de la puissance du signal FI

Le coefficient de réflexion en entrée correspond à celui du mélangeur rehausseur de fréquence. Le coefficient de réflexion en sortie correspond à celui du coupleur.

Le Tableau 5.2 résume les performances de l'émetteur :

Paramètre	Valeur
Surface (mm ²)	2.72
Gain de conversion (dB)	1.25
Bande passante (GHz)	6 – 8.5
Impédance d'entrée (Ω)	100 (différentielle)
Impédance de sortie (Ω)	50
Consommation (mW)	34.8 (consommation globale) 8.4 (2 mélangeurs) + 26.4 (VCO)

Tableau 5.2 : Résumé des performances de l'émetteur

5.8 Layout de l'émetteur

La Figure 5.28 présente le layout de l'émetteur (sans plan de masse). La surface occupée par ce layout est de 2.72 mm². Ce circuit a été envoyé en fabrication début janvier 2011 et il sera reçu au mois de mai 2011 pour être caractériser. Vu l'expérience précédente que nous avons sur les blocs conçus et caractérisés en utilisant ce Design-Kit, nous espérons des résultats de mesure en concordance avec les simulations.

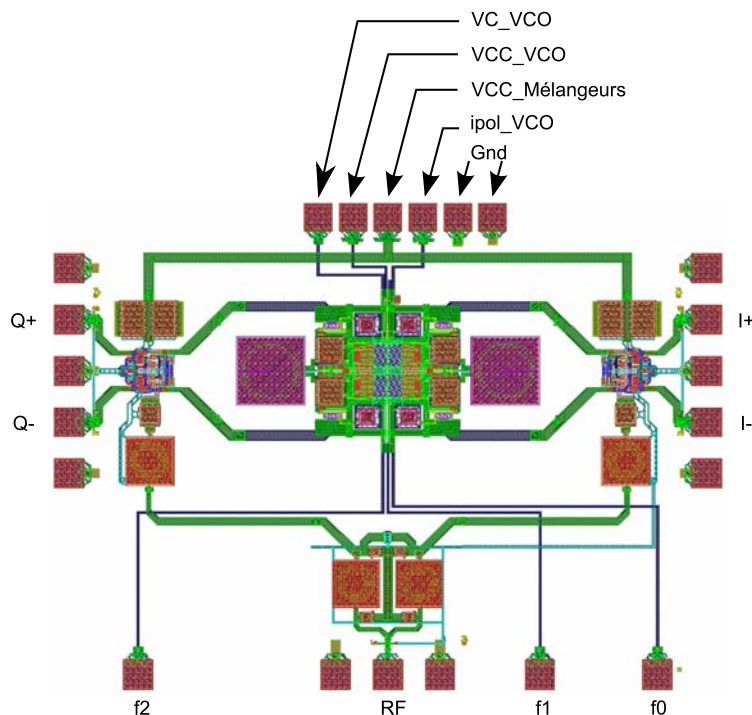


Figure 5.28 : Layout de l'émetteur sans plan de masse

5.9 Conclusion

Dans ce chapitre nous avons présenté la chaîne d'émission. Cette architecture est composée de deux mélangeurs rehausseurs de fréquence pour les voies I et Q. Ces mélangeurs sont commandés par un QVCO qui fournit des signaux en quadrature de phase. Le QVCO est numériquement programmable pour choisir la bande de fréquence d'utilisation. La chaîne d'émission présente la particularité de ne pas nécessiter un amplificateur de puissance, ce qui permet d'optimiser la consommation de puissance DC.

Chapitre 6

Conclusion et perspectives

6.1 Conclusion

Les travaux de recherche présentés dans cette thèse, contribuent au développement d'un émetteur-récepteur haut débit et faible consommation. Nous avons présenté dans ce travail une nouvelle architecture d'émetteur-récepteur pour les réseaux de capteurs sans fil. Cette architecture fonctionne dans la bande 6 GHz – 8.5 GHz, cette dernière est ultra large bande, faible consommation et à faible coût. Les éléments de base de cette architecture sont intégrés en technologie MMIC CMOS 130 nm.

L'élément clé de cette architecture est le mélangeur d'émission. Le problème de bande passante requise pour ce mélangeur rehausseur de fréquence, responsable d'une distorsion du signal utile et d'une minoration du gain de conversion, a été résolu à l'aide d'une architecture de circuit mélangeur, originale, simple à mettre en œuvre et ne requérant aucune augmentation sensible de la consommation électrique. Cette nouvelle topologie de circuit mélangeur est basée sur une structure de type Gilbert à laquelle est ajouté un dispositif d'adaptation d'impédance large bande utilisant un transistor monté en suiveur de tension. Le mélangeur d'émission a été mesuré et présente des performances supérieures à l'état de l'art [04], [69].

Nous avons ensuite conçu et développé un mélangeur pour la chaîne de réception basé sur une architecture de Gilbert avec inductance pour l'adaptation inter-étage. Un amplificateur faible bruit (LNA) pour la bande 6–8.5 GHz a été également conçu, développé et fabriqué. Un oscillateur contrôlé en tension (VCO) a été aussi développé et mesuré. Après mesure, le mélangeur de réception présente des performances comparables à celle de l'état de l'art et un excellent compromis entre bande passante, consommation, gain et niveau de bruit. Le VCO est numériquement programmable pour choisir la bande de fréquence à utiliser entre 6 et 8.5 GHz par bande de 500 MHz.

Pour le mélangeur de réception et le VCO, nous avons constaté quelques différences au niveau des mesures, par rapport à la simulation. Ces différences sont dues aux pertes engendrées par les éléments parasites.

Au final nous avons conçu et simulé la puce contenant la chaîne d'émission composée d'un oscillateur en quadrature de phase et deux mélangeurs pour les voies I et Q. La puce est actuellement en cours de fabrication. L'architecture de l'émetteur est à faible consommation et nous avons pu nous affranchir de l'utilisation de l'amplificateur de puissance grâce à des signaux de sortie des mélangeurs suffisamment forts et à l'utilisation d'une transmission UWB qui nécessite une faible puissance de transmission.

6.2 Perspectives

Ce travail contribue donc par une partie importante dans la réalisation d'un émetteur-récepteur RF ultra large bande pour les réseaux de capteurs sans fil. Pour aboutir à un tel système, nous tenons à spécifier les perspectives sur les plans de la conception des circuits MMIC et de l'intégration en package (SiP) [70].

Dans un premier temps, il faut améliorer les performances des circuits déjà caractérisés. Il faudrait améliorer le niveau de sortie du QVCO et caractériser les circuits déjà envoyés pour la fabrication (l'amplificateur faible bruit et l'émetteur). Une caractérisation en bruit de phase du VCO et des deux mélangeurs d'émission et de réception est à réaliser pour vérifier les résultats de simulation.

A plus long terme, sur le plan de la conception et pour aboutir à une architecture d'émission-réception complète, il faudrait également intégrer la chaîne de réception avec l'amplificateur à gain variable et la PLL. Les simulations de facteur de bruit global, de gain, ainsi que les effets de non linéarité devront être réalisées.

Sur le plan d'intégration SiP et pour la réalisation d'un émetteur-récepteur ultra large bande, une étude sur le couplage rayonné [71] entre la partie RF et la partie bande de base s'avère nécessaire. La Figure 6.1 présente le schéma complet de l'émetteur-récepteur UWB, composé de la partie numérique pour le traitement en bande de base, du circuit mixte composé essentiellement des convertisseurs numérique-analogique et analogique-numérique (ces convertisseurs fonctionnent à 500 MHz) et de la partie émetteur-récepteur RF développée dans cette thèse.

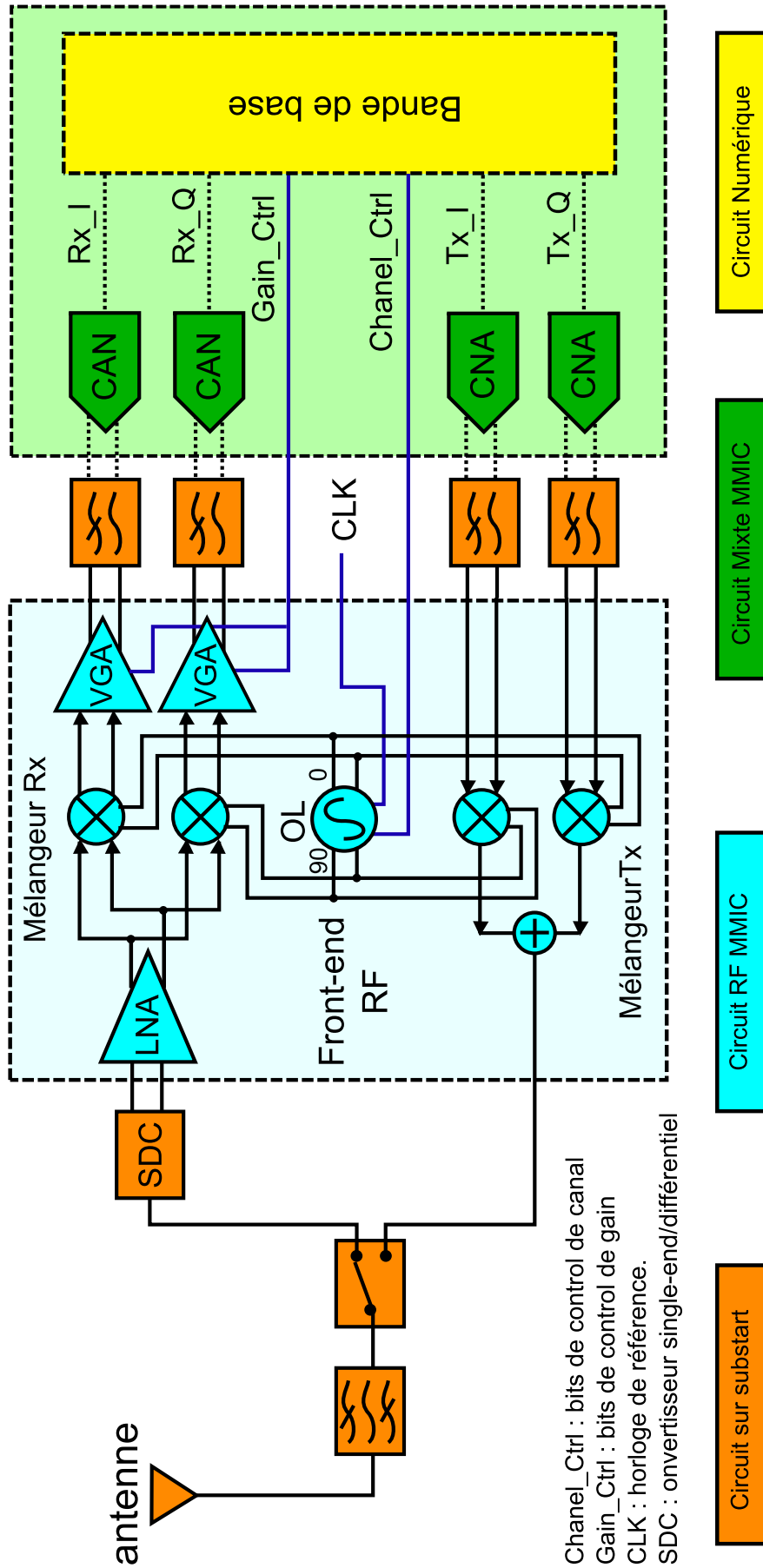


Figure 6.1 : Schéma complet de l'émetteur-récepteur UWB

Pour compléter l'architecture et à cause de coût élevé de leur intégration MMIC, comme perspective de ce travail nous envisageons d'intégrer tous les éléments de la couche physique (partie bande de base et partie RF) sur PCB (voir Figure 6.1) :

- Circuit bande de base
- CAN/CNA
- Filtre passe bas avec fréquence de coupure de 510 MHz
- Emetteur-récepteur RF.
- Convertisseur single-ended/différentiel (6 GHz – 8.5 GHz).
- Commutateur RF.
- Filtres passe bande (6 GHz – 8.5 GHz).
- Antenne large bande (6 GHz – 8.5 GHz).

A plus long terme, nous envisageons une intégration complète d'un nœud capteur communicant sans fil avec tous ses éléments blocs : capteurs, circuit de conditionnement de signal, l'émetteur-récepteur UWB et le circuit de gestion d'énergie. La Figure 6.2 présente un schéma bloc du futur capteur sans fil haut débit et à faible consommation.

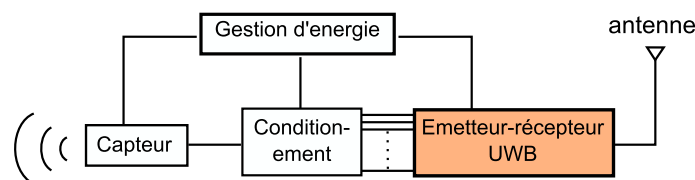


Figure 6.2 : Schéma bloc de capteur sans fil haut débit

Annexes

Annexe A

L'étage de transconductance avec contre-réaction du mélangeur d'émission

Annexe B

Mélangeur rehausseur de fréquence en technologie CMOS 180 nm

Annexe C

Amplificateur transimpédance large bande en technologie BiCMOS 130 nm

Annexe D

Liste des abréviations

Annexe A

L'étage de transconductance avec contre-réaction du mélangeur d'émission

A.1 Introduction

Cette annexe expose le travail d'étude préalable à la réalisation du mélangeur large bande en technologie MMIC pour la chaîne d'émission. Les spécificités du circuit sont les suivantes : une fréquence intermédiaire de 10–510 MHz, un signal RF en sortie dans la bande 6–8.5 GHz.

Pour l'adaptation en entrée d'un tel mélangeur, l'utilisation des éléments LC s'avère impossible. Pour palier à ce problème, un étage de contre-réaction à transconductance sera utilisé pour adapter l'étage d'entrée du mélangeur sur une impédance de 50Ω sur la bande 10 MHz à 510 MHz. Cette contre-réaction nous permet de contrôler l'impédance d'entrée et d'élargir ainsi la bande passante de cet étage. Cette étude analyse les expressions du gain, de la bande passante et de l'impédance d'entrée de l'étage d'entrée uniquement, pour déterminer les paramètres influant son comportement.

A.2 Schéma du circuit

Le mélangeur qui sera réalisé aura une structure doublement équilibrée. Dans un souci de simplification de l'analyse, nous allons considérer une structure de type « single-ended ». L'étage d'entrée du mélangeur se ramènera donc à la structure décrite dans la Figure A.1.

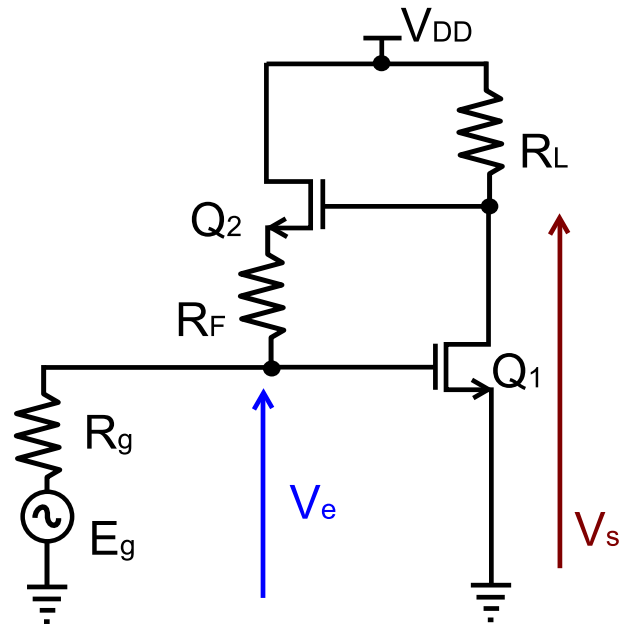


Figure A.1 : Schéma de l'étage d'entrée

Le montage comporte un transistor à effet de champs monté en source commune (Q_1). Le drain viendra par la suite attaquer l'étage de commutation. Cet étage est ici figuré par une charge R_L . L'étage de contre-réaction est constitué par le transistor Q_2 et sa résistance de source R_F . Un générateur d'impédance interne R_g attaque l'étage d'entrée du mélangeur.

Légende :

- Av_0 : gain en tension en boucle ouverte.
- Zin_0 : impédance d'entrée en boucle ouverte.
- Av : gain en tension avec contre-réaction.
- Zin : impédance d'entrée avec contre-réaction.
- Ve : tension à l'entrée de l'amplificateur.
- Vs : tension à la sortie de l'amplificateur.
- Ie : courant à l'entrée de l'amplificateur.

L'analyse s'articule autour de deux étapes. La première consiste à simplifier le problème en réduisant les transconductances des transistors à une valeur réelle (analyse statique). La seconde consiste à compléter les équations par l'expression complexe des transconductances (analyse dynamique).

Cette analyse sera conduite avec et sans effet de contre-réaction afin d'analyser qualitativement l'effet de cette dernière. Les courbes des expressions analytiques sont tracées avec Matlab pour mieux observer le comportement de l'impédance d'entrée et du gain, chacun en fonction de la fréquence et de la résistance de contre-réaction.

A.3 Modèle petit signal du circuit

1) Le montage sans contre-réaction

Dans ce modèle, on ne tient compte que du transistor Q_1 , ce qui revient à un circuit en boucle ouverte. La Figure A.2 présente le modèle petit signal du circuit sans contre-réaction en négligeant la capacité entre la grille et la source du transistor. La tension à l'entrée du circuit (V_e) correspond à la tension grille-source du transistor (V_{gs1}), tandis que la tension à la sortie du circuit correspond à la tension aux bornes de la résistance R_L .

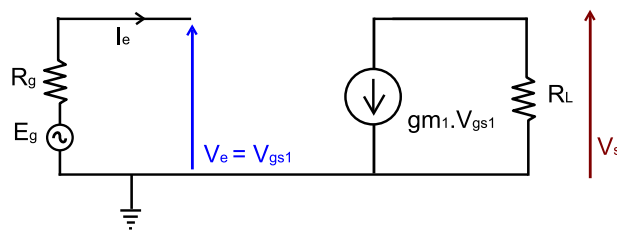


Figure A.2 : Modèle petit signal du circuit sans contre-réaction

2) Le montage avec contre-réaction

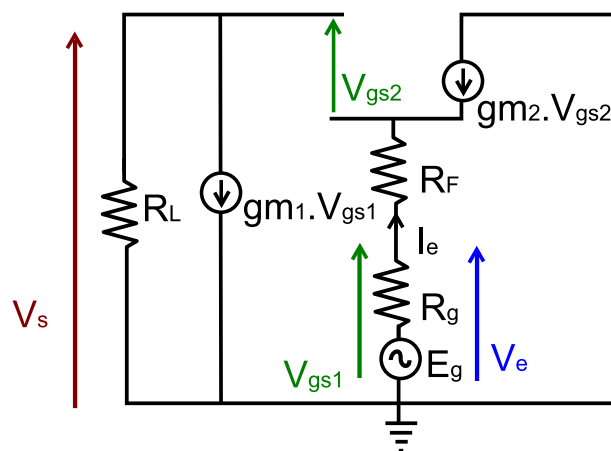


Figure A.3 : Modèle petit signal du circuit avec contre-réaction

Dans ce modèle, nous tenons compte du circuit complet. La Figure A.3 présente le modèle petit signal du circuit complet en négligeant la capacité entre la grille et la source des deux transistors.

La tension à l'entrée du circuit (V_e) correspond à la tension grille-source du transistor Q_1 (V_{gs1}), tandis que la tension à la sortie du circuit correspond à la tension aux bornes de la résistance R_L .

A.4 Etude du circuit sans contre-réaction

1) L'expression du gain

a. L'expression statique du gain

Le gain en tension en boucle ouverte A_{v0} est le rapport entre la tension de sortie V_s et la tension délivrée par le générateur d'attaque E_g .

$$A_{v0} = \frac{V_s}{E_g}$$

Dans cette étude, nous avons supposé que la capacité entre la grille et la source est nulle, $C_{gs}=0$, le courant d'entrée I_e étant alors nul.

$$I_e = 0 \Rightarrow E_g = V_e = V_{gs1}$$

La tension de sortie :

$$V_s = -g_{m1}.V_{gs1}.R_L$$

L'expression du gain en tension en boucle ouverte est alors :

$$A_{v0} = -g_{m1}R_L$$

Le gain introduit un déphasage de π et dépend de la résistance de charge R_L et de la conductance du transistor.

b. L'expression dynamique du gain

Dans l'étude précédente, nous avons supposé la transconductance comme un nombre réel, traduit par une fréquence de transition f_T infinie. Dans cette étude, nous avons remplacé la transconductance g_m par son expression complexe :

$$g_{m1} = \frac{g_{m10}}{1 + j \frac{\omega}{\omega_{01}}}, \quad g_{m2} = \frac{g_{m20}}{1 + j \frac{\omega}{\omega_{02}}}$$

La transconductance g_m présente une fréquence de coupure à -3 dB.

- ω_{01} : la pulsation de coupure à -3 dB du transistor Q_1 .
- ω_{02} : la pulsation de coupure à -3 dB du transistor Q_2 .

En remplaçant g_{m1} par son expression dynamique :

$$A_{v0} = - \frac{R_L g_{m10}}{1 + j \frac{\omega}{\omega_{01}}}$$

A_{v0} est sous forme : $A_{v0} = K.H(j\omega)$

Avec :

$$K = -g_{m01}.R_L$$

$$H(j\omega) = \frac{1}{1 + j \frac{\omega}{\omega_{01}}}$$

K étant le gain statique (avec ω réelle).

$H(j\omega)$ présente un filtre passe bas du premier ordre avec une fréquence de coupure $\omega_c = \omega_{01}$.

2) L'expression de l'impédance d'entrée

a. L'expression statique de l'impédance d'entrée

L'impédance d'entrée est le rapport entre la tension délivrée par le générateur d'entrée et le courant à l'entrée du circuit. Etant donné que le courant à l'entrée I_e est nul, l'impédance d'entrée est infinie :

$$Z_{in0} = \frac{E_g}{I_e} = \infty$$

b. L'expression dynamique de l'impédance d'entrée

Étant donné que le courant à l'entrée est nul, l'impédance d'entrée est indépendante de ω , alors l'impédance d'entrée est infinie.

$$Z_{in0} = \frac{Eg}{Ie} = \infty$$

3) Analyse des résultats

Le gain en boucle ouverte diminue en augmentant la fréquence, il présente une pulsation de coupure $\omega_c = \omega_{01}$ (voir Figure A.5), ce qui traduit le comportement d'un filtre passe bas. L'impédance d'entrée est infinie, cela est dû au circuit ouvert à l'entrée (la grille du transistor est utilisée pour des fréquences allant du DC à 500 MHz).

A.5 Etude du circuit avec contre-réaction

1) L'expression du gain

a. L'expression statique du gain

Le gain en tension A_v est le rapport entre la tension de sortie V_s et la tension délivrée par le générateur d'attaque Eg , sont expression :

$$A_v = \frac{V_s}{Eg}$$

Nous avons exprimé ce rapport en se basant sur l'expression de la tension de sortie V_s :

$$V_s = V_{gs2} + Eg + (R_g + R_F)gm_2.V_{gs2}$$

$$V_s - Eg = V_{gs2}[1 + (R_g + R_F)gm_2] \Rightarrow V_{gs2} = \frac{V_s - Eg}{[1 + (R_g + R_F)gm_2]}$$

$$\text{La tension d'entrée } V_e : V_e = Eg + R_g.gm_2.V_{gs2}$$

En remplaçant la valeur de V_{gs2} dans l'expression de V_e :

$$V_e = Eg + R_g.gm_2.\frac{V_s - Eg}{[1 + (R_g + R_F)gm_2]}$$

D'après la formule du gain en boucle ouverte A_{v0} : $V_s = -V_e.gm_1.R_L$

En remplaçant V_e par son l'expression :

$$V_s = -gm_1.R_L.E_g - gm_1.gm_2.R_L.R_g \cdot \frac{V_s - E_g}{[1 + (R_g + R_F)gm_2]}$$

$$V_s \left[1 + \frac{gm_1.gm_2.R_L.R_g}{[1 + (R_g + R_F)gm_2]} \right] = E_g \left[\frac{gm_1.gm_2.R_L.R_g}{[1 + (R_g + R_F)gm_2]} - gm_1.R_L \right]$$

D'où :

$$\frac{V_s}{E_g} = \frac{gm_1.gm_2.R_L.R_g - gm_1.R_L[1 + (R_g + R_F)gm_2]}{gm_1.gm_2.R_L.R_g + 1 + (R_g + R_F)gm_2}$$

$$\frac{V_s}{E_g} = -gm_1.R_L \cdot \frac{1 + gm_2.R_F}{1 + gm_2.(R_g + R_F + R_g.R_L.gm_1)}$$

Or, $A_{V0} = -gm_1.R_L$

L'expression finale de A_v est :

$$A_v = A_{V0} \cdot \frac{1 + gm_2.R_F}{1 + gm_2.R_F + [R_g.gm_2(1 + R_L.gm_1)]}$$

Le gain est sous forme $A_v = A_{V0}.A$, A_v = (gain en boucle ouverte).(facteur variable)

$$\text{Avec : } A = \frac{1 + gm_2.R_F}{1 + gm_2.R_F + [R_g.gm_2(1 + R_L.gm_1)]}$$

Le facteur A est inférieur à un, cela explique l'effet de la contre-réaction qui diminue le gain.

A_v est fonction de R_F :

$$\text{Si } R_F = 0, \text{ alors } A_v = A_{V0} \cdot \frac{1}{1 + R_g.gm_2(1 + R_L.gm_1)} < A_{V0}$$

Si $R_F \rightarrow \infty$, alors $A_v \rightarrow A_{V0}$

On remarque que lorsque R_F tend vers l'infinie, le circuit devient similaire au circuit sans contre-réaction et le gain devient égale à A_{V0} (le gain sans contre-réaction).

b. L'expression dynamique du gain

Dans cette étude, nous avons remplacé la transconductance gm par son expression complexe (voir paragraphe A.4.1.b).

$$A_V = -gm_1.R_L \frac{1 + gm_2.R_F}{1 + gm_2.(R_g + R_F) + gm_1 gm_2 R_g.R_L}$$

En remplaçant gm_1 et gm_2 par leur expression complexe :

$$A_V = -\frac{gm_{01}.R_L}{\left(1 + j\frac{\omega}{\omega_{01}}\right)} \frac{1 + R_F \cdot \frac{gm_{02}}{\left(1 + j\frac{\omega}{\omega_{02}}\right)}}{1 + \frac{gm_{02}}{\left(1 + j\frac{\omega}{\omega_{02}}\right)}.(R_g + R_F) + gm_{02}.gm_{01}.R_g.R_L \frac{1}{\left(1 + j\frac{\omega}{\omega_{02}}\right).\left(1 + j\frac{\omega}{\omega_{01}}\right)}}$$

$$A_V = -\frac{gm_{01}.R_L}{\left(1 + j\frac{\omega}{\omega_{01}}\right)} \frac{\left(1 + j\frac{\omega}{\omega_{02}}\right) + R_F.gm_{02}}{\left(1 + j\frac{\omega}{\omega_{01}}\right) \left(1 + j\frac{\omega}{\omega_{02}}\right) + gm_{02}.(R_g + R_F) + gm_{02}.gm_{01}.R_g.R_L \frac{1}{\left(1 + j\frac{\omega}{\omega_{01}}\right)}}$$

$$A_V = -\frac{gm_{01}.R_L}{\left(1 + j\frac{\omega}{\omega_{01}}\right)} \frac{\left(1 + j\frac{\omega}{\omega_{02}}\right).\left(1 + j\frac{\omega}{\omega_{01}}\right) + R_F.gm_{02}\left(1 + j\frac{\omega}{\omega_{01}}\right)}{\left(1 + j\frac{\omega}{\omega_{01}}\right) \left(1 + j\frac{\omega}{\omega_{02}}\right).\left(1 + j\frac{\omega}{\omega_{01}}\right) + gm_{02}.(R_g + R_F).\left(1 + j\frac{\omega}{\omega_{01}}\right) + gm_{02}.gm_{01}.R_g.R_L}$$

$$A_V = -gm_{01}.R_L \frac{\left(1 + j\frac{\omega}{\omega_{02}}\right) + R_F.gm_{02}}{\left(1 + j\frac{\omega}{\omega_{02}}\right).\left(1 + j\frac{\omega}{\omega_{01}}\right) + gm_{02}.(R_g + R_F).\left(1 + j\frac{\omega}{\omega_{01}}\right) + gm_{02}.gm_{01}.R_g.R_L}$$

$$A_V = -gm_{01}.R_L(1 + R_F.gm_{02}). \frac{1 + j \frac{\omega}{\omega_{02}}(1 + R_F.gm_{02})}{\left(1 + j \frac{\omega}{\omega_{02}}\right) \left(1 + j \frac{\omega}{\omega_{01}}\right) + gm_{02}(Rg + R_F) \left(1 + j \frac{\omega}{\omega_{01}}\right) + gm_{02}.gm_{01}.Rg.R_L}$$

$$A_V = - \frac{gm_{01}.R_L(1 + R_F.gm_{02}) \left(1 + j \frac{\omega}{\omega_{02}}(1 + R_F.gm_{02})\right)}{gm_{02}.gm_{01}.Rg.R_L + gm_{02}(Rg + R_F) + j \frac{\omega}{\omega_{01}} gm_{02}(Rg + R_F) + 1 + j \frac{\omega}{\omega_{02}} + j \frac{\omega}{\omega_{01}} + j^2 \frac{\omega^2}{\omega_{01}^2 \omega_{02}^2}}$$

$$A_V = - \frac{gm_{01}.R_L(1 + R_F.gm_{02})}{B} \cdot \frac{\left(1 + j \frac{\omega}{\omega_{02}}(1 + R_F.gm_{02})\right)}{1 + j \frac{\omega}{\omega_{01}} [1 + gm_{02}(Rg + R_F)] \frac{1}{B} + j \frac{\omega}{\omega_{02}} \frac{1}{B} + j^2 \frac{\omega^2}{\omega_{01}^2 \omega_{02}^2} \frac{1}{B}}$$

Avec : $B = 1 + gm_{02}.gm_{01}.Rg.R_L + gm_{02}(Rg + R_F)$

$$\Rightarrow B = 1 + R_F.gm_{02} + [gm_{02}.Rg(1 + R_Lgm_{01})]$$

$$A_V = -gm_{01}.R_L \frac{(1 + R_F.gm_{02})}{B} \cdot \frac{\left(1 + j \frac{\omega}{\omega_{02}}(1 + R_F.gm_{02})\right)}{1 + j \frac{\omega}{\omega_{01}} [1 + gm_{02}(Rg + R_F)] \frac{1}{B} + j \frac{\omega}{\omega_{02}} \frac{1}{B} + j^2 \frac{\omega^2}{\omega_{01}^2 \omega_{02}^2} \frac{1}{B}}$$

L'expression finale de A_V est :

$$A_V = -gm_{01}.R_L \frac{1 + R_F.gm_{02}}{1 + R_F.gm_{02} + [gm_{02}.Rg(1 + R_Lgm_{01})]} \cdot \frac{\left(1 + j \frac{\omega}{\omega_{02}}(1 + R_F.gm_{02})\right)}{1 + j \frac{\omega}{\omega_{c1}} + j \frac{\omega}{\omega_{c2}} + j^2 \frac{\omega^2}{\omega_{c3}^2}}$$

A_V est sous forme : $A_V = K.H(j\omega)$

Avec :

$$K = -gm_{01}.R_L \frac{1 + R_F.gm_{02}}{1 + R_F.gm_{02} + [gm_{02}.Rg(1 + R_Lgm_{01})]}$$

$$H(j\omega) = \frac{\left(1 + j \frac{\omega}{\omega_{02}}(1 + R_F.gm_{02})\right)}{1 + j \frac{\omega}{\omega_{c1}} + j \frac{\omega}{\omega_{c2}} + j^2 \frac{\omega^2}{\omega_{c3}^2}}$$

K est le gain statique (avec ω réelle) qui est sous forme : $K = A_{V0}.A$

K = (gain en boucle ouverte).(facteur variable)

$H(j\omega)$ se compose d'un terme représentant un filtre passe bas du 2^e ordre dû à la bande passante limitée du transistor Q_1 en cascade avec Q_2 . Ce terme est multiplié par l'inverse d'un second filtre passe bas du 1^e ordre dû à la bande passante du transistor de la contre-réaction Q_2 .

$$\omega = 0 \Rightarrow Av = K$$

$$\omega \rightarrow \infty \Rightarrow Av \rightarrow 0$$

Les fréquences de coupure sont :

$$\omega_{c1} = \omega_{01} \cdot \frac{B}{1 + gm_{02}(Rg + Rf)} = \omega_{01} \frac{1 + gm_{02}(Rg + Rf) + [gm_{02}gm_{01}RL]}{1 + gm_{02}(Rg + Rf)} > \omega_{01}$$

$$\omega_{c2} = \omega_{02}B = \omega_{02} [1 + gm_{02}gm_{01}Rg.RL + gm_{02}(Rg + Rf)] \gg \omega_{02}$$

$$\omega_{c3} = \sqrt{\omega_{01}\omega_{02}B} = \sqrt{\omega_{01}\omega_{02} [1 + gm_{02}gm_{01}Rg.RL + gm_{02}(Rg + Rf)]}$$

$$\omega_{c1} > \omega_{01} \text{ et } \omega_{c2} > \omega_{02}$$

On remarque bien que la contre-réaction élargie la bande passante.

2) L'expression de l'impédance d'entrée

a. L'expression statique de l'impédance d'entrée

L'impédance d'entrée est le rapport entre la tension délivrée par le générateur d'entrée et le courant à l'entrée du circuit, son expression est : $Zin = \frac{Eg}{Ie}$

$$\text{Le courant à l'entrée : } Ie = -gm_2.Vgs_2 \Rightarrow Vgs_2 = \frac{-Ie}{gm_2}$$

$$\text{La tension de sortie : } Vs = Vgs_2 - Rf.Ie + Eg - Rg.Ie$$

En remplaçant Vgs_2 par son expression :

$$Vs = \frac{-Ie}{gm_2} - Ie(Rf + Rg) + Eg$$

$$Vs = Eg - Ie(Rf + Rg + \frac{1}{gm_2})$$

D'après l'expression de Av , $Vs = Eg.Av$

En remplaçant V_s par son expression : $E_g.A_v = E_g - I_e(R_F + R_g + \frac{1}{g_{m2}})$

L'impédance d'entrée :

$$Z_{in} = \frac{E_g}{I_e} = \frac{R_F + R_g + (1/g_{m2})}{1 - A_v}$$

$$Z_{in} = R_g + \frac{R_F + R_g.A_v + (1/g_{m2})}{1 - A_v}$$

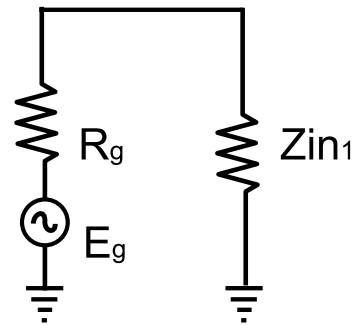
L'expression finale de l'impédance d'entrée est :

$$Z_{in} = R_g + \frac{1}{g_{m2}} \left(\frac{1 + g_{m2}R_F}{1 + g_{m1}R_L} \right)$$

L'impédance d'entrée est sous forme :

$$Z_{in} = R_g + Z_{in1}$$

$$\text{Avec : } Z_{in1} = \frac{1}{g_{m2}} \left(\frac{1 + g_{m2}R_F}{1 + g_{m1}R_L} \right)$$



Cela revient à une impédance Z_{in1} en série avec la résistance interne du générateur d'attaque.

Z_{in1} est fonction de R_F :

- Si $R_F = 0$, alors $Z_{in1} = \frac{1}{g_{m2}(1 + g_{m1}R_L)}$
- Si $R_F \rightarrow \infty$, alors $Z_{in1} \rightarrow \infty$

On remarque que lorsque R_F tend vers l'infinie, le circuit devient similaire au circuit sans contre-réaction (voir paragraphe A.3.1) et l'impédance d'entrée devient égale à Z_{in0} (l'impédance d'entrée sans contre-réaction).

Pour adapter l'entrée, on fixe Z_{in1} à 50Ω : $Z_{in1} = R_g = 50 \Omega$.

La Figure A.4 représente l'évolution du gain statique et de Z_{in1} statique en fonction de R_F avec $R_L = 150 \Omega$.

On constate qu'en augmentant R_F , le gain tend vers le gain en boucle ouverte et l'impédance d'entrée augmente linéairement avec R_F .

En ajustant la valeur de R_F , on arrive à fixer la valeur de l'impédance d'entrée. Sur la courbe, $Z_{in1} = 50 \Omega$, correspond à $R_F = 135 \Omega$.

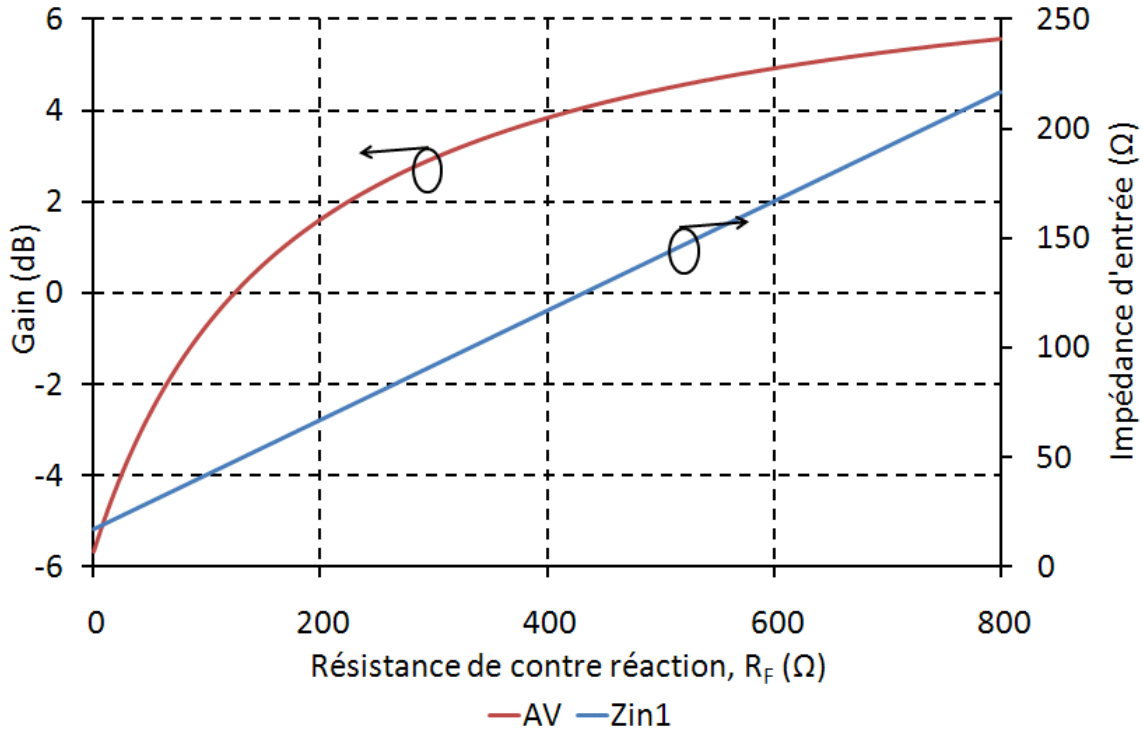


Figure A.4 : Gain statique et impédance d'entrée en fonction de la résistance de contre-réaction

b. L'expression dynamique de l'impédance d'entrée

$$Z_{in1} = \frac{1}{g_{m2}} \left(\frac{1 + g_{m2} R_F}{1 + g_{m1} R_L} \right)$$

En remplaçant g_{m1} et g_{m2} par leur expression complexe :

$$Z_{in1} = \frac{\left(1 + j \frac{\omega}{\omega_{02}} \right)}{g_{m02}} \cdot \frac{1 + R_F \frac{g_{m02}}{\left(1 + j \frac{\omega}{\omega_{02}} \right)}}{1 + R_L \frac{g_{m01}}{\left(1 + j \frac{\omega}{\omega_{01}} \right)}}$$

$$Z_{in1} = \frac{1}{gm_{02}} \left(1 + j \frac{\omega}{\omega_{02}} \right) \cdot \frac{\left(1 + j \frac{\omega}{\omega_{02}} \right) + R_F \cdot gm_{02}}{\left(1 + j \frac{\omega}{\omega_{02}} \right)} \cdot \frac{\left(1 + j \frac{\omega}{\omega_{01}} \right)}{\left(1 + j \frac{\omega}{\omega_{01}} \right) + R_L \cdot gm_{01}}$$

$$Z_{in1} = \frac{1}{gm_{02}} \left(1 + j \frac{\omega}{\omega_{01}} \right) \cdot \frac{1 + R_F \cdot gm_{02} + j \frac{\omega}{\omega_{02}}}{1 + R_L \cdot gm_{01} + j \frac{\omega}{\omega_{01}}}$$

$$Z_{in1} = \frac{1}{gm_{02}} \left(\frac{1 + R_F \cdot gm_{02}}{1 + R_L \cdot gm_{01}} \right) \left(1 + j \frac{\omega}{\omega_{01}} \right) \cdot \frac{1 + j \frac{\omega}{\omega_{02} (1 + R_F \cdot gm_{02})}}{1 + j \frac{\omega}{\omega_{01} (1 + R_L \cdot gm_{01})}}$$

On définit : $\alpha = \frac{1 + j \frac{\omega}{\omega_{02} (1 + R_F \cdot gm_{02})}}{1 + j \frac{\omega}{\omega_{01} (1 + R_L \cdot gm_{01})}}$

En supposant que $\omega_{02} > \omega_{01}$, cela implique que α reste constante et égale à 1 pour les fréquences de travail, Z_{in1} devient :

$$Z_{in1} = \frac{1}{gm_{02}} \left(\frac{1 + R_F \cdot gm_{02}}{1 + R_L \cdot gm_{01}} \right) \left(1 + j \frac{\omega}{\omega_{01}} \right)$$

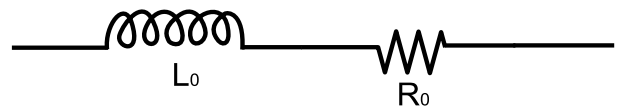
Z_{in1} est sous forme : $Z_{in1} = K \cdot H(j\omega)$

Avec : $K = \frac{1}{gm_{02}} \left(\frac{1 + R_F \cdot gm_{02}}{1 + R_L \cdot gm_{01}} \right)$ et $H(j\omega) = \left(1 + j \frac{\omega}{\omega_{01}} \right)$

K étant l'impédance d'entrée statique avec contre-réaction.

L'impédance d'entrée se ramène à une résistance R_0 en série avec une inductance L_0 avec :

$$R_0 = \frac{1}{gm_{02}} \left(\frac{1 + R_F \cdot gm_{02}}{1 + R_L \cdot gm_{01}} \right)$$



$$L_0 = \frac{R_0}{\omega_{01}}$$

$$\omega = 0 \Rightarrow Z_{in1} = R_0$$

$$\omega \rightarrow \infty \Rightarrow Z_{in1} \rightarrow j\omega \frac{R_0}{\omega_{01}}$$

$$\Rightarrow Z_{in1} \rightarrow \infty$$

- Pour les faibles fréquences, l'impédance d'entrée revient à une résistance R_0 .
- Pour les hautes fréquences, l'impédance d'entrée est équivalente à une inductance L_0 .

L'impédance d'entrée reste constante et réelle si la pulsation de coupure du signal d'entrée reste inférieure à ω_{01} (la pulsation de coupure de transistor Q_1) et ceci reste toujours vérifié.

3) Analyse des résultats

a. Le gain en tension

La Figure A.5 montre l'influence de la contre-réaction sur le module du gain (avec et sans contre-réaction) et sur sa fréquence de coupure à -3 dB avec $R_L = 150 \Omega$ et $R_F = 135 \Omega$.

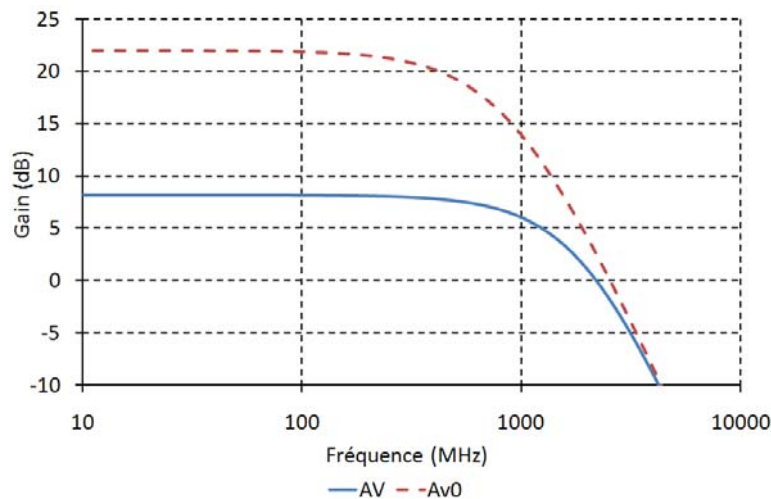


Figure A.5 : Gain en boucle ouverte Av_0 et gain avec contre-réaction Av en fonction la fréquence

En tenant compte de la valeur complexe de la transconductance, le gain diminue en augmentant la fréquence.

On voit que la contre-réaction diminue le gain en augmentant la fréquence de coupe.

b. L'impédance d'entrée

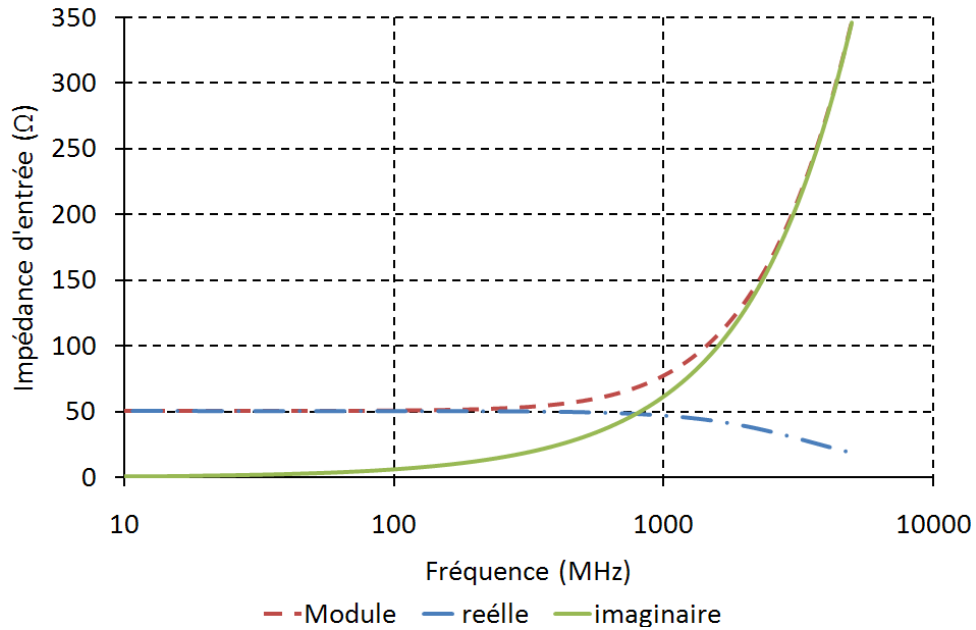


Figure A.6 : Impédance d'entrée avec contre-réaction en fonction la fréquence

La Figure A.6 montre l'évolution de l'impédance d'entrée en fonction de la fréquence avec $R_L = 150 \Omega$ et $R_F = 135 \Omega$.

La chute de la partie réelle de Z_{in1} est due au fait que α n'est pas égale à 1 pour les fréquences supérieures à 1 GHz.

Pour les basses fréquences, l'impédance d'entrée est égale à 50Ω . Pour les hautes fréquences, la partie réelle de l'impédance d'entrée tend vers zéro et la partie imaginaire tend vers l'infinie. Ce comportement se traduit par une impédance équivalente à une inductance en série avec un circuit équivalent RC.

L'impédance d'entrée équivalente est présentée dans la figure ci-dessous :

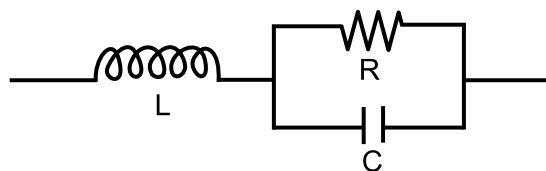


Figure A.7 : Impédance d'entrée équivalente

Ce modèle est valable pour les fréquences supérieures à 1 GHz. Pour les fréquences de travail (0–500 MHz), l'effet de la capacité est négligeable, alors l'impédance équivalente devient une résistance en série avec une inductance.

Selon l'expression de Z_{in1} :

- Si $\omega = 0 \Rightarrow Z_{in1} = R_0 = \frac{1}{g_{m_{02}}} \cdot \frac{1 + g_{m_{02}}R_F}{1 + g_{m_{01}}R_L}$
- Si $\omega \rightarrow \infty \Rightarrow Z_{in1} \rightarrow j\omega \frac{R_0}{\omega_{01}} \Rightarrow L_0 = \frac{R_0}{\omega_{01}}$

En supposant : $1 + g_{m_{02}}R_F = 1 + g_{m_{01}}R_L$

$$R_0 \approx \frac{1}{g_{m_{02}}} \text{ et } L_0 \approx \frac{1}{\omega_{01} g_{m_{02}}}$$

La valeur de l'impédance d'entrée dépend essentiellement de la transconductance du transistor de contre-réaction Q_2 .

La valeur de la résistance étant égale à $\frac{1}{g_{m_{02}}}$. Pour l'adaptation en entrée, on peut

polariser le transistor Q_2 de la manière à ce que $\frac{1}{g_{m_{02}}} = 50 \Omega$

La valeur de l'inductance dépend de l'inverse de la fréquence de coupure. Pour minimiser l'effet de l'inductance, on doit polariser le transistor Q_1 de manière à ce que ω_{01} soit grand.

A.6 Conclusion

Dans cette étude nous avons présenté l'avantage de circuit à contre-réaction pour l'adaptation dans les fréquences en dessous de 510 MHz. Dans cette étude, nous avons analysé les expressions du gain et de l'impédance d'entrée et nous avons montré les paramètres influant. Cette étude montre qu'il est nécessaire d'utiliser la contre-réaction pour garder constante les caractéristiques (impédance d'entrée et gain) d'un étage mélangeur du DC à 510 MHz. Ceci permet d'éviter les distorsions importantes du signal en bande de base dans une chaîne de transmission RF, préjudiciable à la bonne détection dans une chaîne de réception. La conséquence de ceci serait une forte dégradation du bilan de liaison radio.

Annexe B

Mélangeur rehausseur de fréquence en technologie CMOS 180 nm

B.1 Introduction

Dans cette annexe, nous présentons la conception d'un mélangeur rehausseur de fréquence large bande et faible consommation en technologie CMOS 180 nm. Nous avons d'abord étudié le mélangeur d'émission en technologie 180 nm avant de passer à la technologie CMOS 130 nm. Ce mélangeur transpose un signal en bande de base (0–500 MHz) à des fréquences RF (3.1 GHz – 4.8 GHz) en utilisant un dispositif de contre-réaction. Le mélangeur basé sur une topologie Gilbert doublement équilibrée, représente la première étape vers la miniaturisation des réseaux de capteurs sans fil et la première version du mélangeur rehausseur de fréquence détaillé dans le Chapitre 3 de la thèse.

Ce rapport s'articule autour de trois parties essentielles : une description de la conception, le point de polarisation et les résultats de simulation.

B.2 Technologie CMOS 180 nm

La technologie utilisée est une CMOS 180 nm avec l'option RF, développée par UMC et possède un niveau de poly-silicium et 6 niveaux métalliques. Les transistors MOS ont une fréquence de transition de 49 GHz, une fréquence maximale de 34 GHz et sont alimentés sous 1.8 V / 3.3 V [72]. Le back-end est caractérisé par 6 niveaux de métallisation en cuivre avec de l'oxyde de silicium comme diélectrique inter-métal, l'épaisseur du dernier niveau de métallisation est 20 kÅ.

B.3 Conception du mélangeur

Ce paragraphe décrit les travaux de conception du mélangeur rehausseur de fréquence basé sur une cellule de Gilbert doublement équilibrée. L'étage de transconductance utilise un dispositif de contre-réaction pour l'adaptation d'impédance d'entrée (Annexe A). Ce circuit est alimenté sous 2.5 V.

La Figure B.1 illustre le schéma du mélangeur. Ce mélangeur est composé d'un étage de transconductance (Q_1 – Q_2) avec contre-réaction (Q_9 – Q_{10}) qui sert à convertir la tension d'entrée en courant pour attaquer l'étage de commutation (Q_3 – Q_6) contrôlé par le signal de l'oscillateur local. Un réseau d'adaptation RLC est utilisé pour adapter l'impédance de sortie à 50Ω . Deux sources en courant sont utilisées, la première sert à fixer le courant de polarisation des transistors (I_s) et la seconde (Q_7 – Q_8) sert à réduire la polarisation de l'étage de commutation tout en augmentant la polarisation de l'étage de transconductance, cette technique d'injection de courant pour but d'augmenter le gain de conversion [34].

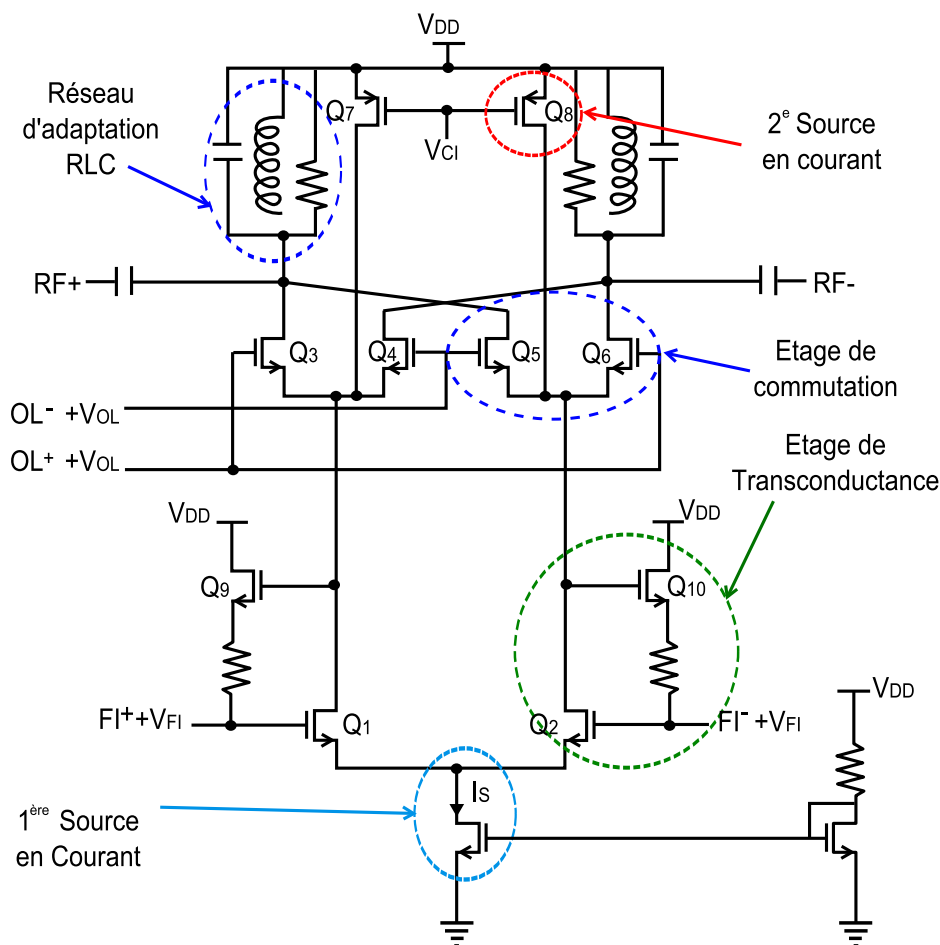


Figure B.1 : Schéma du mélangeur

V_{FI} est la tension de polarisation des grilles des transistors de l'étage d'entrée et V_{OL} est la tension de polarisation des grilles des transistors de l'étage de commutation. Les accès de ce mélangeur sont différentiels :

- OL+ et OL- : l'entrée du signal de l'oscillateur local.
- FI+ et FI- : l'entrée du signal en bande de base (0–500 MHz).
- RF+ et RF- : la sortie du signal RF (3.1–4.8 GHz).

La première solution pour l'adaptation d'impédance de sortie consistait à utiliser un réseau d'adaptation LC, l'inconvénient de cette solution est la sélectivité de la bande passante 3.32 GHz – 3.94 GHz. La solution adoptée consiste à utiliser un réseau d'adaptation RLC, cette solution offre une adaptation sur toute la largeur de bande 3.1 GHz – 4.8 GHz, mais avec une dégradation du gain de conversion qui est due aux pertes. Cette démarche est décrite dans la Figure B.2.

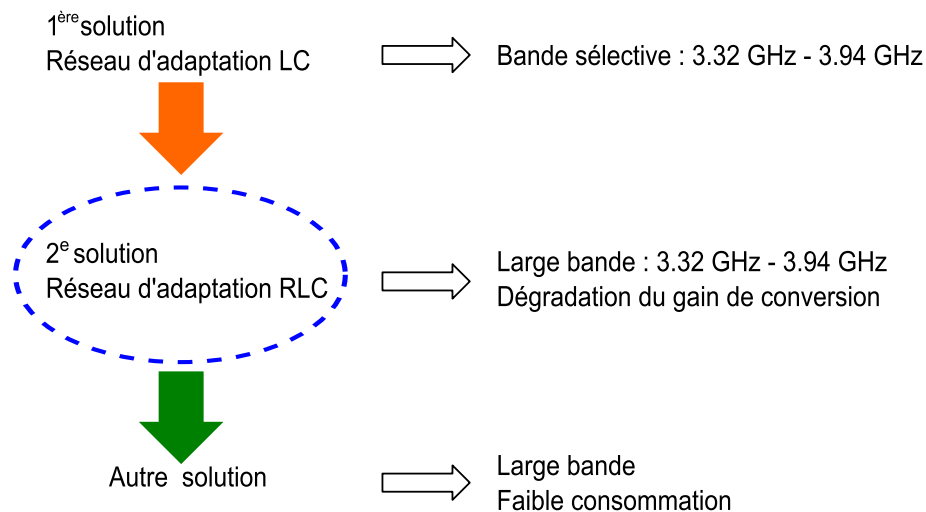


Figure B.2 : Différentes méthodes d'adaptations utilisées

Le facteur de qualité des inductances devrait être au maximum dans la bande de fréquence de travail. La Figure B.3 présente le facteur de qualité de l'inductance utilisée pour l'adaptation en sortie. Cette inductance est optimisée pour la bande 3 GHz – 5 GHz, sa valeur est $L=2.9$ nH, cela correspond à la géométrie suivante :

- Largeur : $w=9.5$ μm
- Diamètre : $d=126$ μm
- Nombre de spire : $n=3.5$

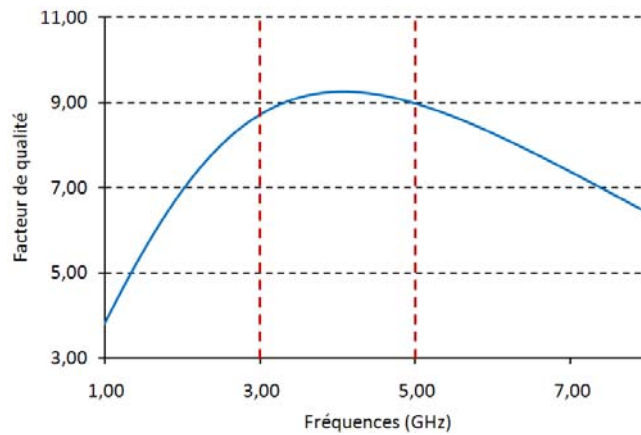


Figure B.3 : Facteur de qualité de l'inductance en fonction de la fréquence

B.4 Choix de point de polarisation

La Figure B.4 présente l'évolution du gain de conversion et du point de compression à 1 dB en fonction de la puissance consommée pour une puissance de l'oscillateur local de 0 dBm, les simulations sont faites avec une puissance de signal d'entrée de -20 dBm.

Le point de polarisation choisi correspond à une puissance consommée de 16.3 mW. Dans ce cas, le mélangeur présente un gain de conversion de 0.52 dB et un point de compression à 1 dB de -14.5 dBm.

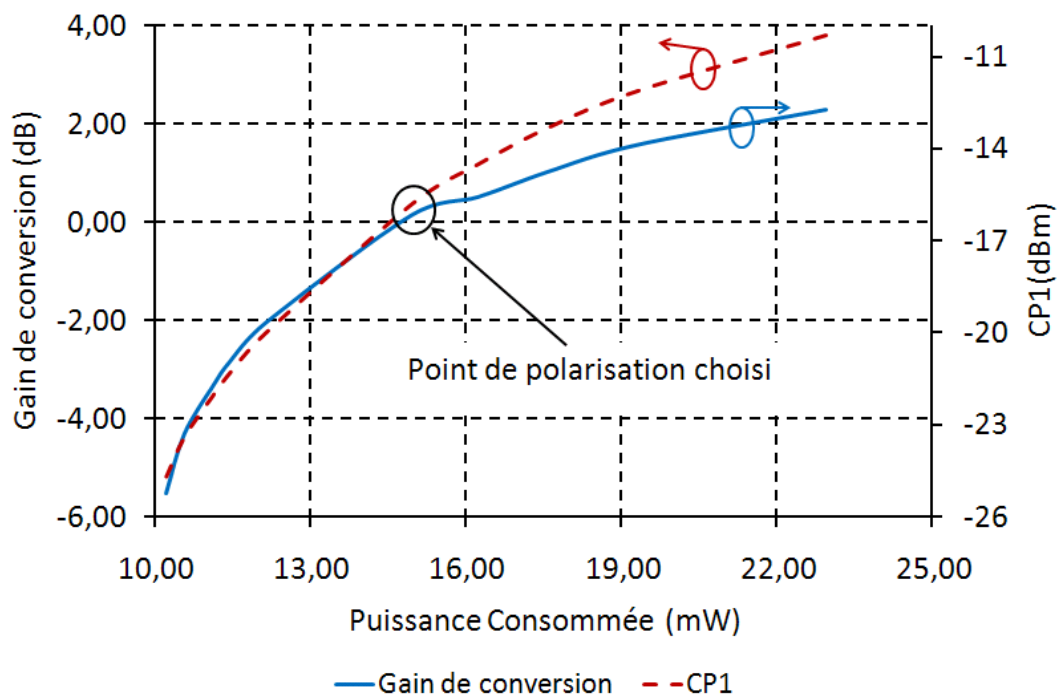


Figure B.4 : Evolution des performances en fonction de la puissance consommée

B.5 Résultats de simulation

Les résultats de simulation du comportement du mélangeur sont présentés dans ce paragraphe, les simulations sont effectuées avec le logiciel Advanced Design System (ADS). Les conditions de simulation correspondent à une puissance du signal FI de -20 dBm et une puissance du signal d'oscillateur local de 0 dBm.

Le coefficient de réflexion est inférieur à -10 dB sur toute la bande de fréquences du signal d'entrée (Figure B.5). Le coefficient de réflexion en sortie est inférieur à -10 dB sur la bande 3.1 GHz – 4.8 GHz (Figure B.6).

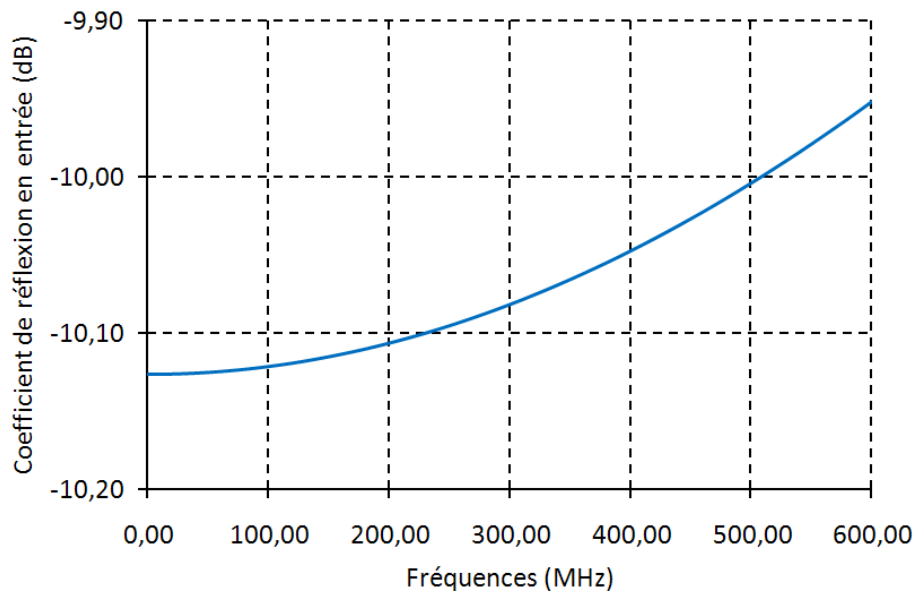


Figure B.5 : Coefficient de réflexion en entrée

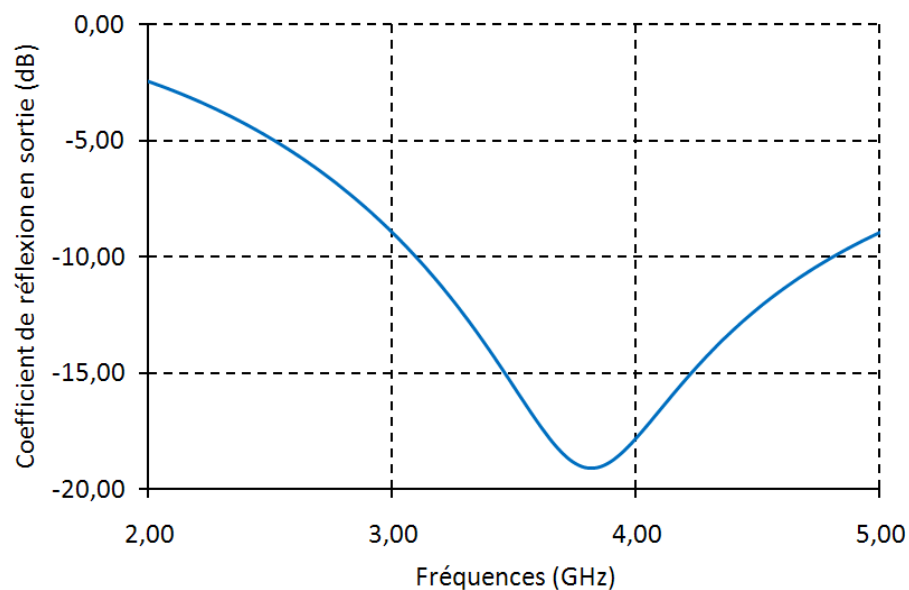


Figure B.6 : Coefficient de réflexion en sortie

La Figure B.7 présente l'évolution du gain de conversion et le point de compression à 1 dB (CP1) en fonction de la puissance de l'oscillateur local pour le point de polarisation choisi. Le gain de conversion atteint son maximum entre 0 dBm et -4 dBm de puissance de l'oscillateur local. Cela permet de limiter la puissance requise au niveau du circuit de l'oscillateur local.

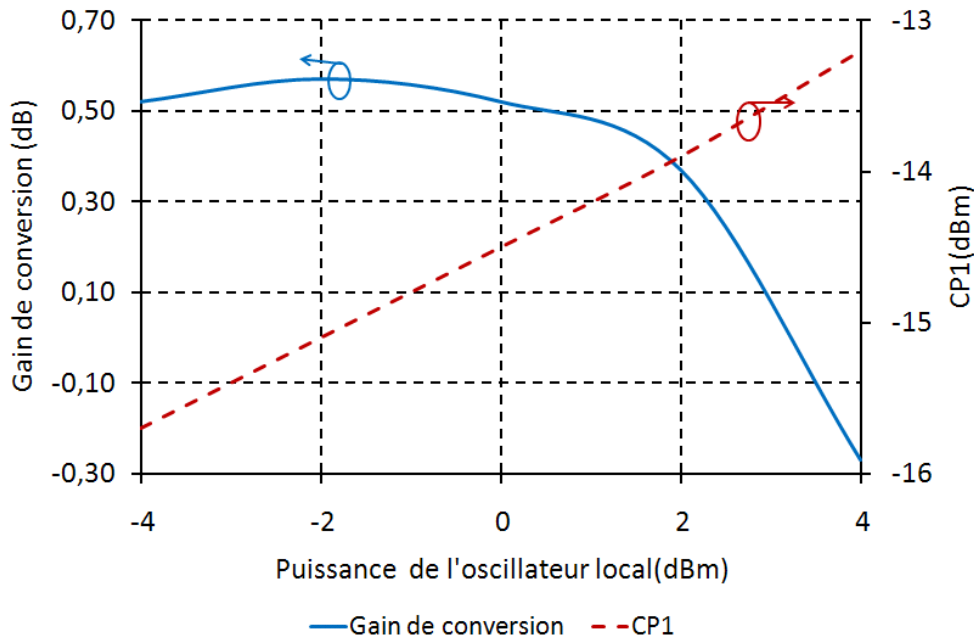


Figure B.7 : Gain de conversion en fonction de la puissance de l'oscillateur local

Avec 0 dBm de puissance de l'oscillateur local, ce circuit possède un point de compression à 1 dB de -14.5 dBm, qui correspond à une puissance de sortie de -14.73 dBm. La Figure B.8 présente le résultat de simulation du point de compression à 1 dB.

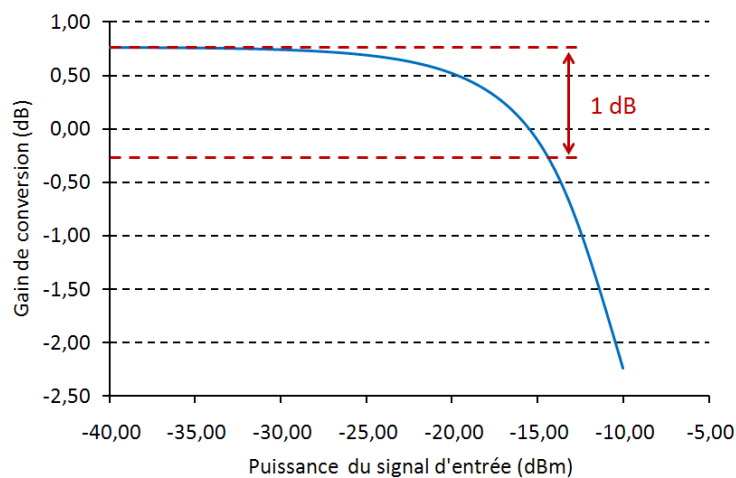


Figure B.8 : Point de compression à 1 dB

Le Tableau B.1 résume les performances du mélangeur :

Paramètre	Valeur avec la technologie CMOS 180 nm	Valeur avec la technologie CMOS 130 nm
Gain de conversion (dB)	0.52	0
Bande passante (GHz)	3.1 – 4.8	6 – 8.5
Impédance d'entrée (Ω)	50 (différentielle)	100 (différentielle)
Impédance de sortie (Ω)	50 (différentielle)	100 (différentielle)
Puissance d'OL (dBm)	0	-3
Alimentation (V)	2.5	1.8
Consommation (mW)	16.3	4.2

Tableau B.1 : Résumé des performances du mélangeur

Nous remarquons que le mélangeur conçu en technologie CMOS 130 nm présente une nette amélioration au niveau de la consommation ce qui justifie le choix de cette technologie pour le développement de nos circuits.

B.6 Conclusion et perspectives

Dans cette annexe, nous avons présenté une étude sur un mélangeur rehausseur de fréquence, faible consommation et large bande en technologie CMOS 180 nm. Ce travail sera complété par une nouvelle méthode d'adaptation en sortie large bande et faible consommation pour le mélangeur d'émission présenté dans le Chapitre 3 en technologie CMOS 130 nm.

Annexe C

Amplificateur transimpédance large bande en technologie BiCMOS 130 nm

C.1 Introduction

Dans cette annexe, nous présentons le travail que nous avons développé au début de la thèse de doctorat, concernant un amplificateur transimpédance, différentiel et large bande, pour un circuit mélangeur qui fait partie d'un module émetteur-récepteur ultra large bande pour radar de communication Inter Véhicules à 79 GHz. Ce travail a été réalisé dans le cadre de projet ANR VeLo [73]. L'amplificateur transimpédance (TIA) convertit le courant électrique fourni par le mélangeur en tension et l'amplifie. L'application visée nécessite une bande passante de 3 GHz, nous avons optimisé ce circuit pour satisfaire cette exigence.

Cette annexe est structurée en quatre parties : la première partie présente l'application de l'amplificateur transimpédance, la deuxième partie est consacrée à la conception du circuit, la troisième partie présente les résultats de simulation, la quatrième partie présente le layout du circuit.

C.2 Application

Ce travail contribue à la conception d'un module de mélangeur [74] pour un récepteur radar en bande ultra large bande à 79 GHz.

L'architecture du mélangeur est présentée dans la Figure C.1. Les principaux blocs sont : un buffer du signal de fréquence intermédiaire (FI), un buffer du signal

de l'oscillateur local (OL) et le noyau du mélangeur. Chaque bloc a été conçu séparément, les blocs sont ensuite assemblés sur une même puce. Le noyau est un mélangeur double équilibré basé sur 4 transistors MOS. Le Buffer OL amplifie et met en forme les signaux de contrôle des grilles du mélangeur. Le buffer FI est un amplificateur transimpédance large bande, jusqu'à 3 GHz, avec un gain V/I élevé.

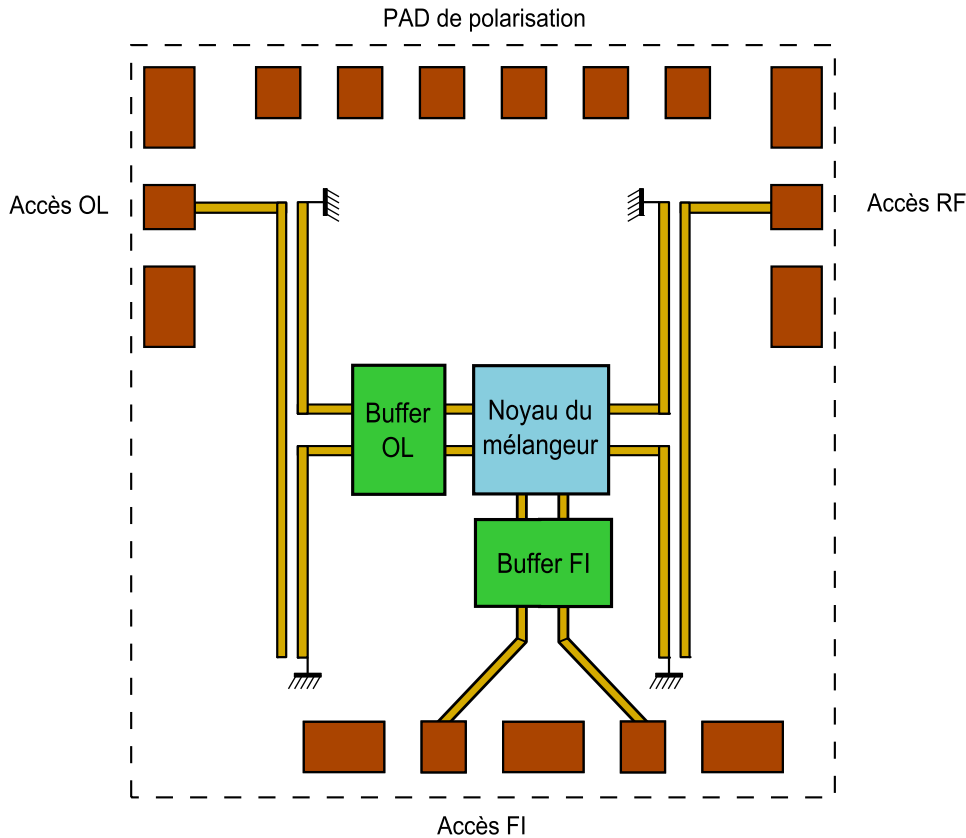


Figure C.1 : Architecture du mélangeur

C.3 Conception du circuit

L'amplificateur transimpédance (Figure C.2) se compose d'une paire différentielle et un étage émetteur suiveur avec boucle de contre-réaction pour réduire l'impédance d'entrée. La boucle de contre-réaction récupère la tension de l'étage émetteur suiveur pour polariser les transistors de la paire différentielle.

La première version du circuit contenait deux étages émetteurs suiveurs comme indiqué dans la référence [75]. Ce circuit était trop complexe, nous avons donc optimisé la conception pour n'utiliser qu'un seul étage émetteur suiveur.

Au début de la conception, nous avons utilisé des éléments LC comme charge de la paire différentielle pour éviter les pertes et pour l'adaptation inter-étage,

mais ce choix ne permettait pas une amplification large bande qui est une spécification très importante pour notre TIA. Pour palier au problème de sélectivité, nous avons utilisé des résistances comme charge de la paire différentielle et nous n'avons utilisé aucune adaptation inter-étage.

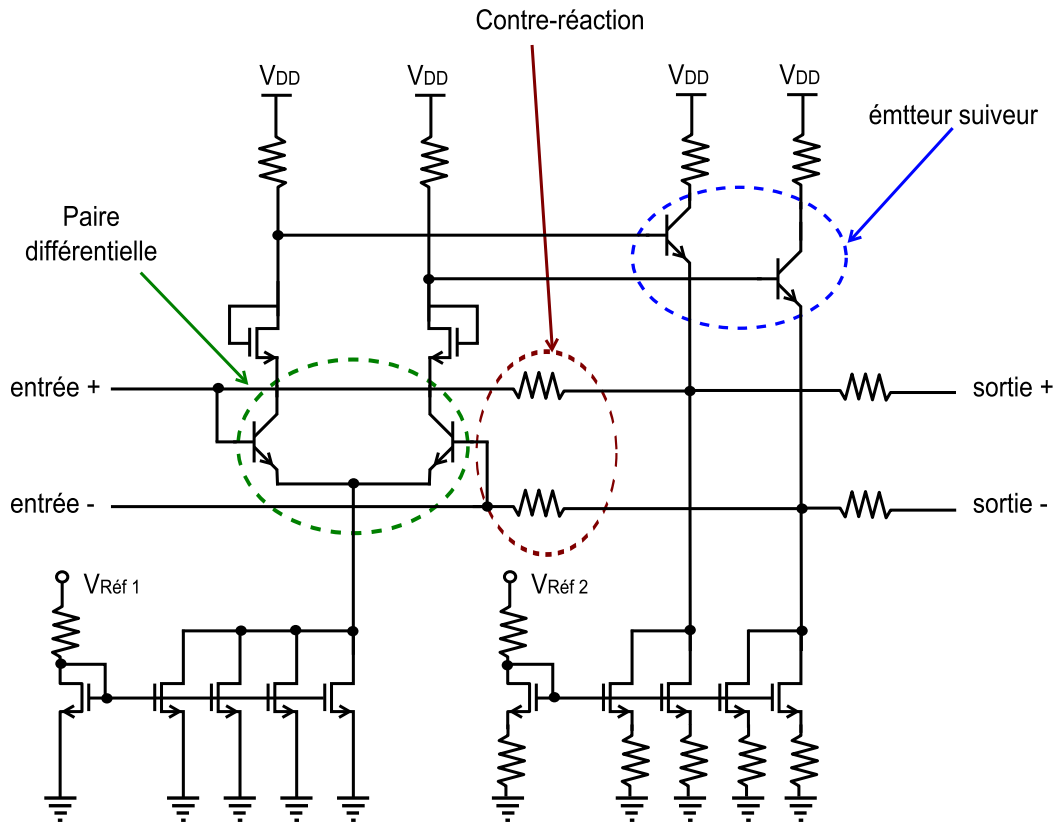


Figure C.2 : Schéma complet de l'amplificateur transimpédance

Pour éviter les problèmes de la symétrie du layout, nous avons multiplié le nombre des sources de courant et utilisé des transistors MOS de taille similaire. Les transistors MOS des sources de courant sont conçus pour fonctionner dans la zone de saturation. Le transistor MOS connecté en diode est utilisé pour maintenir la tension V_{ce} des transistors de la paire différentielle au dessous de la tension de claquage du transistor bipolaire [76].

C.4 Résultats de simulation

Pour réaliser les simulations, nous avons utilisé Cadence Spectre avec des analyses DC, paramètres S, gain et bruit. Lors des premières simulations, nous avons utilisé des résistances et des capacités idéales. Pour être plus proche de la réalité dans les simulations finales présentées dans cette annexe, ces éléments sont

remplacés par les composants du Design-Kit tels que les capacités MIM et les résistances en polysilicium.

Un compromis devait être trouvé entre le gain de transimpédance et la faible impédance d'entrée. Nous avons ajusté les paramètres de la boucle de contre-réaction [75] pour obtenir ce compromis. L'impédance d'entrée a été choisie aussi petite que possible pour répondre aux spécifications de notre cahier des charges. La valeur de la résistance de contre-réaction aura une incidence sur la valeur de l'impédance d'entrée et sur la valeur du gain de transimpédance. Nous avons obtenu une impédance d'entrée de 15.6Ω (Figure C.3) et un gain de transimpédance de $37.43 \text{ dB}\Omega$ (Figure C.4).

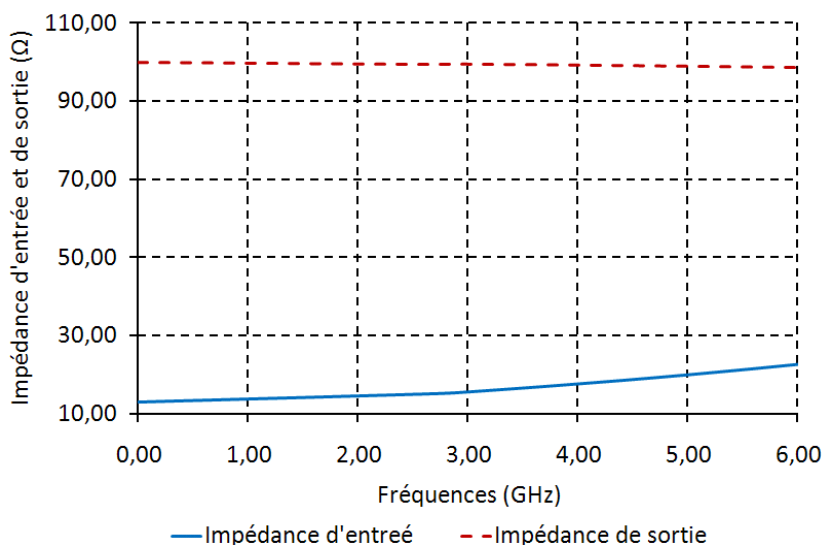


Figure C.3 : Module de l'impédance d'entrée et de sortie

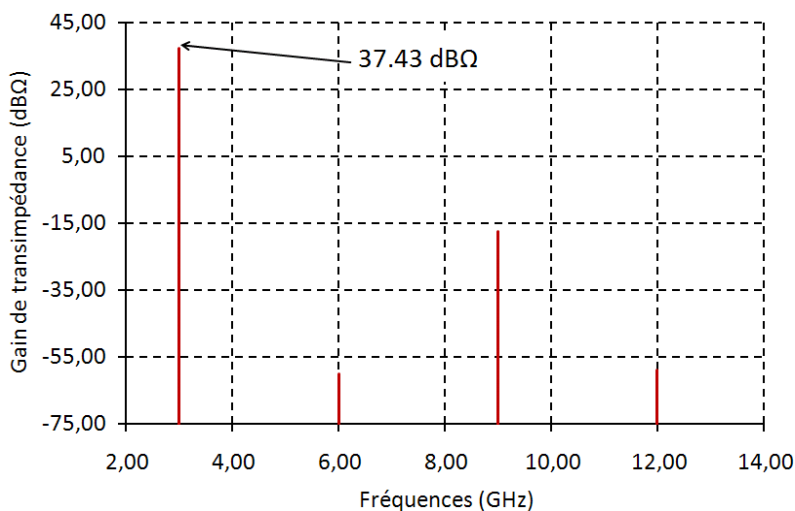


Figure C.4 : Gain de transimpédance (V/I)

La figure ci-dessous présente le point de compression à 1 dB. Le cahier des charges du mélangeur préconise une valeur supérieure à -18 dBm. En ajustant la polarisation de l'étage émetteur suiveur, nous aboutissons à un point de compression en entrée de -7.25 dBm.

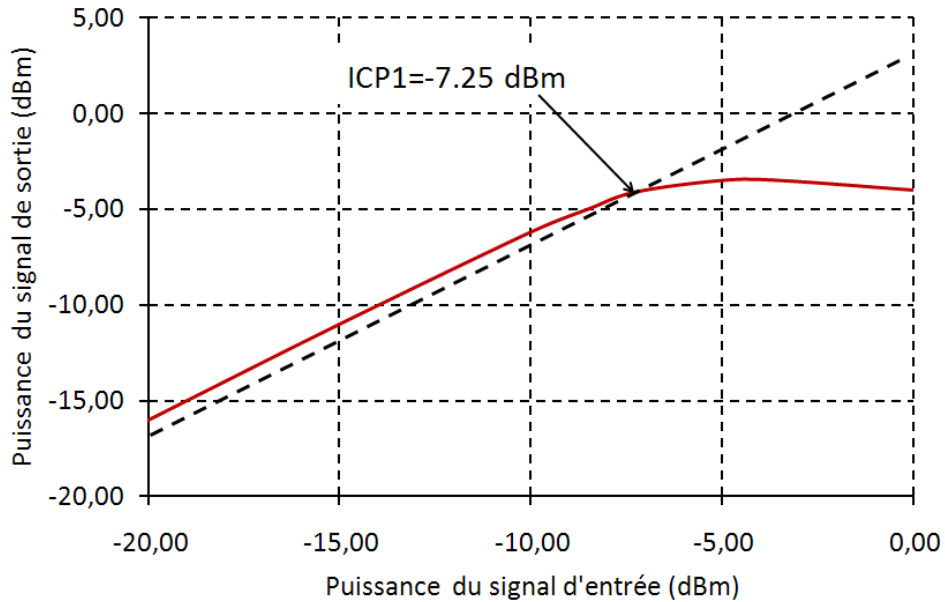


Figure C.5 : Point de compression à 1 dB

La polarisation des transistors de la paire différentielle et de l'étage émetteur suiveur représente un compromis entre la linéarité, le gain et le bruit. Les courants de collecteurs sont 2.26 mA pour les deux transistors de la paire différentielle et 6.07 mA pour les transistors de l'étage émetteur suiveur. La figure ci-dessous présente le facteur de bruit de notre amplificateur transimpédance.

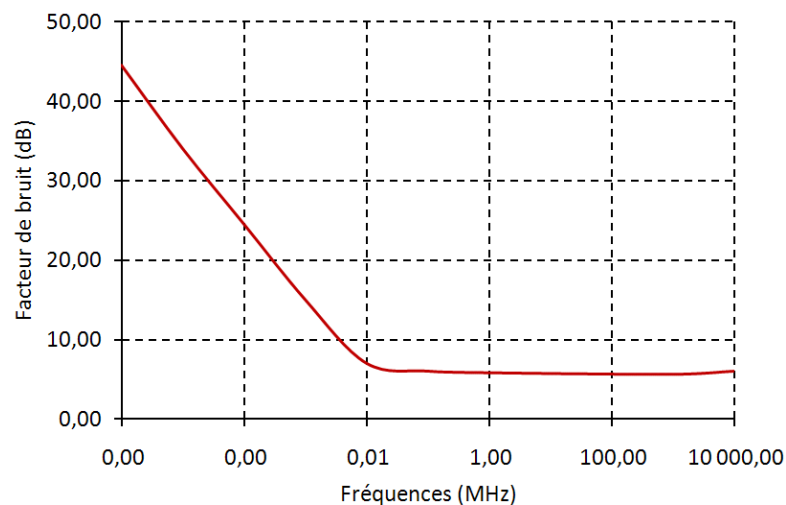


Figure C.6 : Facteur de bruit en dB

Le Tableau C.1 résume les performances de l'amplificateur transimpédance :

Paramètre	Valeur
Gain de transimpédance (dBΩ)	37
Bande passante (GHz)	0 – 3
Impédance d'entrée (Ω)	16 (différentielle)
Impédance de sortie (Ω)	100 (différentielle)
Alimentation (V)	2.5
Consommation (mW)	45.6

Tableau C.1 : Résumé des performances de l'amplificateur transimpédance

C.5 La technologie BiCMOS9MW de ST Microelectronics

L'amplificateur transimpédance a été conçu en technologie BiCMOS9MW de ST Microelectronics. Cette technologie a été conçue pour être utilisée pour des fréquences millimétriques pour les systèmes de communication sans fil et optiques. La technologie BiCMOS9MW a été défini en utilisant le process de base HCMOS9 130 nm.

Pour assurer la compatibilité avec des composants CMOS, un transistor bipolaire SiGe-C (Silicium-Germanium dopé au carbone) avec une fréquence f_T autour de 230 GHz est intégré dans la technologie 130 nm.

Le Design-Kit contient des transistors CMOS de 2 nm d'épaisseur d'oxyde de grille et 1.2 V alimentation et des transistors CMOS de 5 nm d'épaisseur d'oxyde de grille et 2.5 V d'alimentation. Un transistor bipolaire NPN SiGe de hautes performances avec un V_{ce} maximal autour de 1.6 V est également inclus dans le Design-Kit. Le back-end contient 6 couches de métallisation.

C.6 Le layout du circuit

Dans la Figure C.7, nous présentons le layout de l'amplificateur transimpédance sans plan de masse. Pour la réalisation du plan de masse, nous avons utilisé les couches de plan de masse disponible dans le Design-Kit. La taille finale de ce layout est de 0.0575 mm².

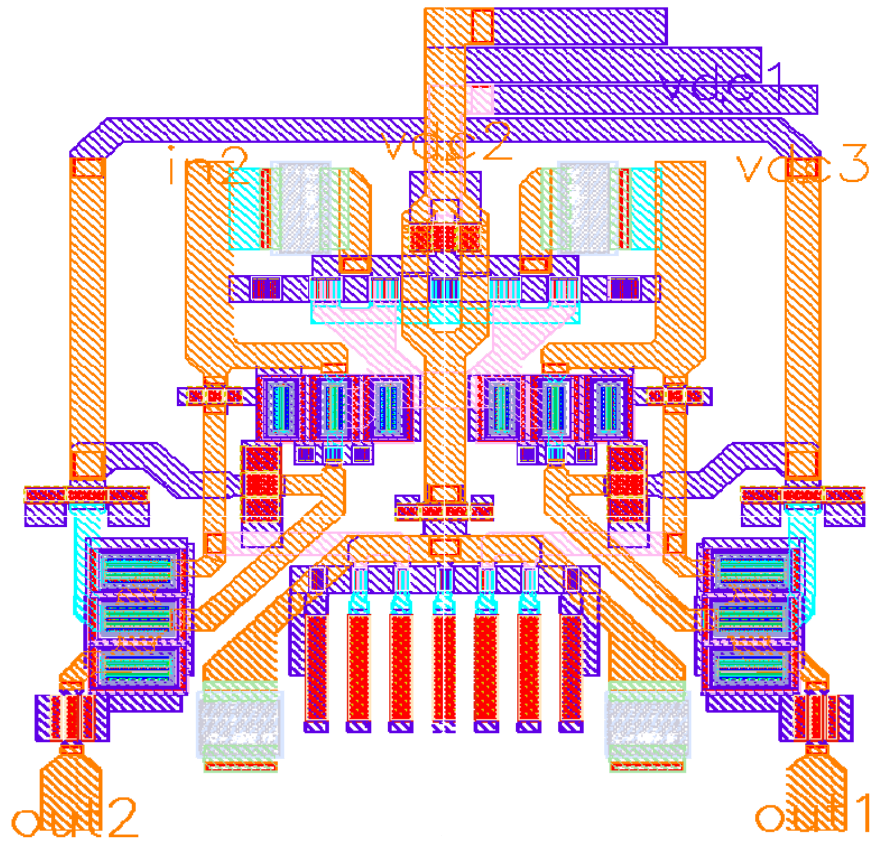


Figure C.7 : Layout de l'amplificateur transimpédance sans plan de masse

C.7 Conclusion

Nous avons présenté un amplificateur transimpédance large bande, fonctionnant du DC jusqu'à 3 GHz avec un gain de 37 dB Ω et un faible facteur de bruit. Cet amplificateur joue le rôle d'un buffer de signal FI pour un mélangeur qui fait partie d'un module émetteur-récepteur ultra large bande pour radar de communication Inter Véhicules.

Cet amplificateur a une faible impédance d'entrée et une impédance de sortie de 100 Ω en différentiel.

Annexe D

Liste des abréviations

AC	Alternating Current (courant alternatif)
Balun	BALanced, UNbalanced (équilibré, déséquilibré)
BiCMOS	Bipolar-CMOS
BP	Bande Passante
CAN	Convertisseur Analogique Numérique
CMOS	Complementary Metal Oxide Semiconductor
CNA	Convertisseur Numérique Analogique
CNRS	Centre National de la Recherche Scientifique
CP1	Point de compression à 1 dB
DC	Direct Current (courant continu)
DRC	Design Rule Check
ECMA	European Computer Manufacturers Association
ESD	Electrostatic discharge (décharges électrostatiques)
FCC	Federal Communications Commission
FI	Fréquence Intermédiaire
FoM	Figure of Merit (figure de mérite)
FSK	Frequency-shift keying (La modulation par déplacement de fréquence)
GC	Gain de Conversion
GFSK	Gaussian Frequency-Shift Keying

Gnd	Ground (masse)
GSG	Ground-Signal-Ground
ICP1	Point de compression à 1 dB en entrée
IEEE	Institute of Electrical and Electronics Engineers
IP2	Point d'interception d'ordre 2
IP3	Point d'interception d'ordre 3
ISM	Industrial, Scientific and Medical (Industriel, Scientifique et Médical)
LAAS	Laboratoire d'Analyse et d'Architecture des Systèmes
LNA	Low Noise Amplifier (amplificateur faible bruit)
LVS	Layout Versus Schematic
MIM	Métal-Isolant-Métal
MMIC	Monolithic Microwave Integrated Circuit
NF	Noise Figure (facteur de bruit)
OFDM	Orthogonal Frequency Division Multiplexing
OL	Oscillateur Local
PA	Power Amplifier (amplificateur de puissance)
PAC	Periodic AC
PIRE	Puissance Isotrope Rayonnée Equivalente
PLL	Phase-Locked Loop (boucle à verrouillage de phase)
PSP	Periodic S-Parameter
PSS	Periodic Steady State
QPSK	Quadrature phase-shift keying
QVCO	Quadrature Voltage Controlled Oscillator
RF	Radio Fréquence
Rx	Réception
SACER	Système Autonome de Capteurs Embarqués en Réseau

SAW	Surface Acoustic Wave (onde acoustique de surface)
SDC	single-ended to differential converter (convertisseur single-end/différentiel)
SiP	System in Package
SNR	Signal to Noise Ratio (Rapport Signal sur Bruit)
TIA	Transimpedance Amplifier (Amplificateur de Transimpédance)
Tx	Transmission
UMC	United Microelectronics Corporation
UWB	Ultra Wide Bande (ultra large bande)
VC	Tension de Commande
VCO	Voltage Controlled Oscillator (oscillateur contrôlé en tension)
VGA	Variable Gain Amplifier (amplificateur à gain variable)
WSN	Wireless Sensor Network (réseaux de capteurs sans fil)

Références bibliographiques

- [1] J. Henaut, D. Dragomirescu, F. Perget, R. Plana, "Validation of the MB-OFDM Modulation for High Data Rate WSN for Satellite Ground Testing", 2010 Fifth International Conference on Systems (ICONS), pp. 41–46, 2010
- [2] J. Henaut, D. Dragomirescu, R. Plana, "FPGA Based High Data Rate Radio Interfaces for Aerospace Wireless Sensor Systems", Fourth International Conference on Systems. ICONS '09, pp. 173–178, March 2009
- [3] B. Razavi et al., "A UWB CMOS transceiver", IEEE J. Solid-State Circuits, Vol. 40, No. 12, pp. 2555–2562, Dec. 2005
- [4] A. Kara-Omar, D. Dragomirescu, A. Coustou, R. Plana, "Low Power Ultra Wideband Up-Conversion Mixer in CMOS 0.13 μm Technology", MELECON 2010, pp. 1050–1055, April 2010
- [5] L. Chalard, D. Helal, L. Verbaere, A. Wellig, J. Zory, "Wireless sensor networks devices: Overview, issues, state of the art and promising technologies", ST Journal Of Research, Vol. 4, pp. 4–18, 2007
- [6] MicroStrain, "2.4 GHz Wireless Sensing System"
- [7] P. McDermott-Wells, "What is Bluetooth? ", IEEE Potentials, Vol. 23, pp. 33–35, 2005
- [8] K. Sairam, N. Gunasekaran, S. Redd, "Bluetooth in wireless communication", IEEE Communications Magazine, Vol. 40, pp. 90–96, 2002
- [9] ZigBee Alliance, "Zigbee Specification r17", 2008
- [10] IEEE Computer Society, "802.15.4-200, Part 15.4: Wireless Medium Access Control (MAC) and Physical Layer (PHY) Specifications for Low-Rate Wireless Personal Area Networks (WPANs)", 2006
- [11] J. Norair, "Introduction to DASH7 Technologies"
- [12] D. Schneider, "Wireless networking dashes in a new direction", IEEE Spectrum, Vol. 47, pp. 9–10, 2010

- [13] ECMA, "Standard ECMA-368 : High Rate Ultra Wideband PHY and MAC Standard 3rd edition", Dec. 2008
- [14] E. GUEGUEN, "Etude et optimisation des techniques UWB haut débit multibandes OFDM", Institut National des Sciences Appliquées de Rennes, Jan. 2009
- [15] Samuel Dubouloz, Laurent Ouvry, "Régulation et Normalisation pour les Communications Ultra Large Bande (UWB)", Journées Scientifiques Du CNFRS "Vers des radiocommunications reconfigurables et cognitives", 28 et 29 Mars 2006
- [16] "60GHz Wireless Links", à <http://www-cwc.ucsd.edu/docs/60GHzWirelessLinks.pdf>
- [17] Danijela Cabric, Mike S.W. Chen, David A. Sobel, Stanley Wang, Jing Yang, Robert W. Brodersen, "Novel Radio Architectures for UWB, 60 GHz, and Cognitive Wireless Systems", EURASIP Journal on Wireless Communications and Networking, pp. 1–18, 2006
- [18] Hee-Tae Ahn, and D.J. Allstot, "A 0.5-8.5 GHz fully differential CMOS distributed amplifier", IEEE Journal of Solid-State Circuits, Vol. 37, pp. 985–993, 2002
- [19] J. Park, "Design of an RF CMOS Ultra-Wideband Amplifier Using Parasitic-Aware Synthesis and Optimization", University of Washington, 2003
- [20] J. Rogers, C. Plett, "Radio Frequency Integrated Circuit Design", 2003
- [21] P. Butterworth, "Méthode de conception des mélangeurs millimétriques. Application à la réalisation MMIC d'un mélangeur sous harmonique à FET froid [42-43.5 GHz]", Université de Limoges, 2003
- [22] A. Maalik, Z. Mahmood, "A Novel C-Band Single Diode Mixer with Ultra High LO/RF and LO/IF Isolation", International Conference on Electrical Engineering, 2007. ICEE '07, pp. 1–6, 2007
- [23] R. Circa, D. Pienkowski, S. Jahn, G. Boeck, and M. Muller, "Resistive MOSFET mixer for mobile direct conversion receivers", Proceedings of the SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference 2003. IMOC 2003, Vol. 3, PD64, 2003

- [24] B. Gilbert, "A precise four-quadrant multiplier with subnanosecond response", *IEEE Journal of Solid-State Circuits*, Vol. 3, pp. 365–373, 1968
- [25] A. Bergsma, B. Syrett, "A comprehensive design method for dual-gate MOSFET mixers", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 47, pp. 1443–1451, 2000
- [26] B. Razavi, "RF Microelectronics", 1998
- [27] Cotter W. Sayre, "Complete Wireless Design: chapter 7", McGraw-Hill, 2008
- [28] M. Deen, R. Murji, A. Fakhr, N. Jafferli, W. Ngan, "Low-power CMOS integrated circuits for radio frequency applications Circuits", *IEE Proceedings-Devices and Systems*, Vol. 152, pp. 509–522, 2005
- [29] V. Vidojkovic, J. van der Tang, A. Leeuwenburgh, A.H.M. van Roermund, "A low-voltage folded-switching mixer in 0.18- μm CMOS", *IEEE Journal of Solid-State Circuits*, Vol. 40, pp. 1259–1264, 2005
- [30] Europractice, "UMC 0.13 μm Technology Overview (MPW)", www.europractice-ic.com
- [31] UMC, "0.13 Logic and Mixed-Mode 1P8M FSG Process Interconnect Capacitance Model Ver.1.3_P1", Jan. 2004
- [32] UMC, "0.13 μm Process BEOL Topological Layout Rule Ver.2.3_P.1", Dec. 2007
- [33] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill Inc., 2001
- [34] L. A. MacEachern and T. Manku, "A charge-injection method for Gilbert cell biasing", *IEEE Canadian Conference on Electrical and Computer Engineering*, pp. 365–368, May 1998
- [35] Phillip E. Allen, and Douglas R. Holberg, "CMOS Analog Circuit Design Second Edition", Oxford university press, 2002
- [36] FCC 02-48, "First report and order" on UWB communications, released April 2002
- [37] Hsien-Yuan Liao, Ching-Ming Tseng, Hwann-Kaeo Chiou, "Lossy Lc Ladder Matching Network For Ultra-Wideband Cmos Gilbert Cell Mixer Design", *Microwave And Optical Technology Letters*, Vol. 50, Jan. 2008

- [38] Pin-Cheng Huang, Fong-Cheng Chang, Shih-Fong Chao, and Huei Wang, "A Miniature, Folded-Switching, Up-conversion Mixer for UWB Applications Using 0.18- μm CMOS Process", IEEE Radio Frequency Integrated Circuits Symposium, pp. 501–504, June 2007
- [39] M. Annamalai Arasu, Yuanjin Zheng, Wooi Gan Yeoh, "A 3 to 9-GHz Dual-band Up-Converter for a DS-UWB Transmitter in 0.18- μm CMOS", IEEE Radio Frequency Integrated Circuits Symposium, 497–500, June 2007
- [40] Wen-Shan Hxiao and Zhi-Ming Lin, "A 1-V 11.6-dBm IIP3 Up-Conversion Mixer for UWB Wireless System", IEEE International Midwest Symposium on Circuits and Systems, pp. 1042–1046, 2009
- [41] Ashok Verma, Kenneth K. O, and Jenshan Lin, "A Low-Power Up-Conversion CMOS Mixer for 22–29-GHz Ultra-Wideband Applications", IEEE Transactions on Microwave Theory and Techniques, Vol. 54, No. 8, pp. 3295–3300, Aug. 2006
- [42] Wen-Chieh Wang, Chang-Ping Liao, Yi-Kai Lo, Zue-Der Huang, Fadi R. Shahroury and Chung-Yu Wu, "The Design of Integrated 3-GHz to 11-GHz CMOS Transmitter for Full-Band Ultra-Wideband (UWB) Applications", IEEE International Symposium on Circuits and Systems, pp. 2709–2712, May 2008
- [43] P. Paliwoda, and M. Hella, "An Optimized CMOS Gilbert Mixer Using Inter-Stage Inductance for Ultra Wideband Receivers", 49th IEEE International Midwest Symposium on Circuits and Systems 2006. MWSCAS '06, Vol. 1, pp. 362–365, 2006
- [44] David M. Pozar, "Microwave Engineering 3rd Ed", Wiley, 2005
- [45] S. Hampel, O. Schmitz, M. Tiebout, and I. Rolfes, "Low-voltage, inductorless folded down-conversion mixer in 65nm CMOS for UWB applications", Radio Frequency Integrated Circuits Symposium 2009. IEEE RFIC 2009, pp. 119–122, 2009
- [46] D. Fu, L. Huang, H. Du, and H. Yuan, "A 0.18 μm CMOS high linearity flat conversion gain down-conversion mixer for UWB receiver", 9th International Conference on Solid-State and Integrated-Circuit Technology 2008. ICSICT 2008, pp. 1492–1495, 2008

- [47] Z. Hsiung, H. Wu, and C. Jou, "A Folded Current-Reused Down-Converter Mixer for Ultra Wide-Band Applications", Asia-Pacific Microwave Conference 2007. APMC 2007, pp. 1–4, 2007
- [48] F. C. Chang, P. C. Huang, S. F. Chao, and H. Wang, "A Low Power Folded Mixer for UWB System Applications in 0.18- μm CMOS Technology", IEEE Microwave and Wireless Components Letters, Vol. 17, pp. 367–369, 2007
- [49] H. Wang, K. Wei, J. Lin, and H. Chuang, "low LO-power 3-5 GHz broadband CMOS folded-switching mixer for UWB receiver", IEEE Radio Frequency Integrated Circuits Symposium 2008. RFIC 2008, pp. 621–624, 2008
- [50] A. Safarian, A. Yazdi, and P. Heydari, "Design and analysis of an ultrawide-band distributed CMOS mixer", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 13, pp. 618–629, 2005
- [51] Mike Golio, "The RF and Microwave Handbook", CRC Press, 2001
- [52] A. Bevilacqua, Ali M. Niknejad, "An Ultra-Wideband CMOS LNA for 3.1 to 10.6GHz Wireless Receivers", IEEE International Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004, Vol. 1, pp. 382–533, Feb. 2004
- [53] J. Gaubert, M. Egels, P. Pannier and S. Bourdel, "Design method for broadband CMOS RF LNA", Electronics Letters, Vol. 41, Iss. 7, pp. 382–384, March 2005
- [54] T. Taris, Y. Deval, J.B. Begueret, "Current reuse CMOS LNA for UWB applications", 34th European Solid-State Circuits Conference, 2008. ESSCIRC 2008, pp. 294–297, Sept. 2008
- [55] A. Bevilacqua, C. Sandner, M. Tiebout, A. Gerosa, A. Neviani, "A 6–9-GHz programmable gain LNA with integrated balun in 90-nm CMOS", IEEE International Conference on Ultra-Wideband 2008. ICUWB 2008, pp. 25–28, Sept. 2008
- [56] A. Bevilacqua, C. Sandner, A. Gerosa, A. Neviani, "A Fully Integrated Differential CMOS LNA for 3–5-GHz Ultrawideband Wireless Receivers", IEEE Microwave and Wireless Components Letters, Vol. 16, pp. 134–136, March 2006
- [57] M. D. Wei and S. F. Chang, "LOW-POWER FULLY-DIFFERENTIAL 3.5-GHZ WIDEBAND CMOS LNA", Microwave and Optical Technology Letters, Vol. 50, pp. 1196–1198, Mar. 2008

- [58] H. ZHANG Hong, Gui-can CHEN, "Design of a fully differential CMOS LNA for 3.1–10.6 GHz UWB communication systems", THE JOURNAL OF CHINA UNIVERSITIES OF POSTS AND TELECOMMUNICATIONS, Vol. 15, pp. 107–111, Dec. 2008
- [59] C. Garuda, Xian Cui, Po-Chih Lin, Seok Joo Doo, Pengbei Zhang, M. Ismail, "A 3-5 GHz fully differential CMOS LNA with dual-gain mode for wireless UWB applications", 48th Midwest Symposium on Circuits and Systems, 2005, pp. 790–793, Aug. 2005
- [60] Chung-Ping Chang, Cheng-Chi Yen, and Huey-Ru Chuang, "A 2.4~6GHz CMOS Broadband High-Gain Differential LNA for UWB and WLAN Receiver", Asian Solid-State Circuits Conference, pp. 469–472, Nov. 2005
- [61] T.-K. Nguyen, V. Krizhanovskii, J. Lee, S.-K. Han, S.-G. Lee, N.-S. Kim, and C.-S. Pyo, "A Low-Power RF Direct-Conversion Receiver/Transmitter for 2.4-GHz-Band IEEE 802.15.4 Standard in 0.18- CMOS Technology", IEEE Transactions on Microwave Theory and Techniques, Vol. 54, pp. 4062–4071, 2006
- [62] Pui-In Mak, Seng-Pan U, and R. P. Martins, "Transceiver Architecture Selection: Review, State-of-the-Art Survey and Case Study", IEEE Circuits and Systems Magazine, Vol. 7, pp. 6–25, 2007
- [63] M. Tiebout, "Low Power VCO Design in CMOS", Springer, 2006
- [64] J. L. Noullet, "Projet SACER - Transceiver RF - Cellule vco_d4qp - V1.1", 2010
- [65] V. Lagareste, "Contribution à l'étude de nouvelles architectures de synthétiseur de fréquence", Université Bordeaux 1, 2006
- [66] S. Withitsoonthorn, "Photodiode UTC et oscillateur différentiel commande en tension à base de TBdH InP pour récupération d'horloge dans un réseau de transmission optique à très haut débit", Université Paris 6, 2004
- [67] M. Ercoli, D. Dragomirescu, and R. Plana, "Small Size High Isolation Wilkinson Power Splitter for 60 GHz Wireless Sensor Network Applications", SiRF 2011, jan. 2011
- [68] B. Razavi, "RF Transmitter Architectures and Circuits", IEEE Custom Integrated Circuits Conference, pp. 197–204, 1999

- [69] A. Kara-Omar, D. Dragomirescu, A.Coustou, R.Plana, "Architecture RF 6 à 8.5 GHz large bande et basse consommation pour les réseaux de capteurs sans fil en technologie CMOS 0.13 μm ", JNRDM 2010
- [70] Jianhua Wu, Dave Coller, Michael J. Anderson and Greg Guth, "RF SiP technology: integration and innovation," International Conference on Compound Semiconductor Manufacturing, 2004
- [71] A. BOYER, "Méthode de Prédiction de la Compatibilité Electromagnétique des Systèmes en Boîtier", Institut National Des Sciences Appliquées de Toulouse, 2007
- [72] Europractice, "UMC 0.18 μm Technology Overview (MPW)", www.europractice-ic.com
- [73] ANR (Agence Nationale de la Recherche) Project VELO – Communication Inter Vehicules et Localisation Relative Précise 2006 – 2009
- [74] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cmbridge University Press, 2001
- [75] J. Weiner, J. Lee, A. Leven, Y. Baeyens, V. Houtsma, G. Georgiou, Y. Yang, J. Frackoviak, A. Tate, R. Reyes, R. Kopf, R. W.-J.Sung, N. Weimann, & Y. -K. Chen, "An InGaAs-InP HBT differential transimpedance amplifier with 47-GHz bandwidth", IEEE Journal of Solid-State Circuits, Vol. 39, pp. 1720–1723, Oct. 2004,
- [76] J. Weiner, A. Leven, V. Houtsma, Y. Baeyens, Y. -K. Chen, P. Paschke, Y. Yang, J. Frackoviak, W.-J. Sung, A. Tate, R. Reyes, R. Kopf, & N. Weimann, "SiGe differential transimpedance amplifier with 50-GHz bandwidth", IEEE Journal of Solid-State Circuits, Vol. 38, pp. 1512–1517, Sep. 2003

Liste des publications

Conférences internationales

- A. Kara-Omar, D. Dragomirescu, A. Coustou, R. Plana, "Low Power Ultra Wideband Up-Conversion Mixer in CMOS 0.13 μm Technology", MELECON 2010. 15th IEEE Mediterranean Electrotechnical Conference, 1050–1055, avril 2010
- A. Kara-Omar, C. Viallon, D. Dragomirescu, A. Coustou, R. Plana, "Wide band transimpedance amplifier at 3 GHz in 130 nm technology", CAS 2008. International Semiconductor Conference, Sinaia (Roumanie), 407–410, Octobre 2008

Conférences nationales

- A. Kara-Omar, D. Dragomirescu, A. Coustou, A. Rumeau, R. Plana, "Mélangeur d'émission faible consommation pour des applications aérospatiales", accepté aux 17èmes Journées Nationales Microondes, Brest, France, Mai 2011
- A. Kara-Omar, D. Dragomirescu, A. Coustou, R. Plana, "Architecture RF 6 à 8.5 GHz large bande et basse consommation pour les réseaux de capteurs sans fils en technologie CMOS 0.13 μm ", 13èmes Journées Nationales du Réseau Doctoral en Microélectronique, Montpellier, France, juin 2010

Autres

- A. Kara-Omar, "Développement d'une architecture de communication sans fil pour les réseaux de capteurs dans le domaine aérospatial", Journée Annuelle de l'Ecole Doctorale GEET, Toulouse, mars 2010

Résumé

Les travaux de cette thèse s'inscrivent dans le cadre du développement des réseaux de capteurs sans fil pour le domaine aérospatial. Les applications concernées sont la mesure de température et des contraintes mécaniques sur les ailes d'avion en vol d'essai ainsi que sur la structure des satellites. Ces mesures sont effectuées en temps réel et sans perte de données. Nos travaux de recherches se focalisent sur le développement d'une architecture de communication sans fil qui permet de répondre aux besoins des ces applications en terme de faible coût, faible consommation et haut débit.

Nous avons développé une architecture à conversion directe avec l'utilisation de deux voies différentielles I et Q. Cette architecture exploite la bande de fréquence UWB 6–8.5 GHz autorisée en Europe. Nous nous sommes concentrés en particulier sur la conception des mélangeurs de fréquence qui demandent une bande passante très importante en valeur relative (10–510 MHz) sur l'entrée de mélangeur rehausseur de fréquence et sur la sortie de mélangeur abaisseur de fréquence. La conception de l'amplificateur faible bruit est moins délicate car son besoin en bande passante relative est moins important.

Une nouvelle topologie de mélangeur a été conçue pour répondre au besoin en largeur de bande. Nous avons pris soins à ce que le mélangeur d'émission ait une perte de conversion nulle pour attaquer directement l'antenne sans passer par un amplificateur de puissance et réduire la puissance de contrôle à -3 dBm pour diminuer la consommation de l'oscillateur contrôlé en tension (VCO). De cette manière, la chaîne d'émission se réduit à deux mélangeurs I et Q basse consommation. Cette architecture d'émission laisse plus de marge en terme de consommation pour la conception de la chaîne de réception.

Les différents blocs RF ont été développés en technologie CMOS 130 nm, permettant d'atteindre de bonnes performances avec un coût minimum. Les mesures effectuées valident le fonctionnement des circuits développés.

Mots-clés

CMOS, Conception de circuits RF, Faible consommation, Emetteur ultra large bande, Architecture à conversion directe, Réseau de capteurs sans fil, Aérospatial

Abstract

The context of this thesis is the development of wireless sensor networks for aerospace applications. The concerned aerospace applications are the temperature and mechanical stress measurement, on the aircraft wings for flight test and on the satellite structures. Note that these measurements must be made in real time without data loss. Our researches are focused on developing wireless communication architecture. This architecture should meet the specific needs of these applications in term of low cost, low power consumption and high data rate.

The RF front-end architecture developed in this thesis uses the UWB frequency band from 6 GHz up to 8.5 GHz approved in Europe. The RF transceiver is based on a direct-conversion architecture that uses two differential channels I and Q. Our work is focused on the design of frequency mixers. These mixers require a very important relative frequency bandwidth (10–510 MHz), in the input of the up-conversion mixer and in the output of down-conversion mixer. The design of the low noise amplifier (LNA) is less sensitive because its relative bandwidth requirement is less important.

A new topology of mixer was designed to meet the need for bandwidth with zero conversion loss to directly connect the antenna without using power amplifier and reduce the control power to -3 dBm to reduce consumption of the Voltage Controlled Oscillator (VCO). In this way, the transmitter is reduced to two low consumption mixers. This architecture leaves more flexibility in terms of power consumption for the design of the receiver.

The RF blocks have been developed in CMOS 130 nm; this technology allows us to achieve good performance with minimum cost. The measurements validate the operation of the developed circuits.

Keywords

CMOS, RF Circuit design, Low power, Ultra wide band transmitter, Direct conversion architecture, Wireless sensor network, Aerospace