



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Université Toulouse III - Paul Sabatier*
Discipline ou spécialité : *Microélectronique et Micosystèmes*

Présentée et soutenue par **HNIKI Saâdia**
Le 21 Décembre 2010

Titre : *Contribution à la modélisation des dispositifs MOS haute tension pour les circuits intégrés de puissance (« Smart Power »)*

JURY

<i>M. CAZARRÉ A.</i>	<i>Président du Jury</i>
<i>M. BERTRAND G.</i>	<i>Examineur</i>
<i>M. CORTÉS I.</i>	<i>Examineur</i>
<i>M. KHATIR Z.</i>	<i>Rapporteur</i>
<i>M. MOREL H.</i>	<i>Rapporteur</i>

Ecole doctorale : *G.E.E.T.*
Unité de recherche : *LAAS - CNRS*
Directeur(s) de Thèse : *M. MORANCHO F.*

N° d'ordre :

THÈSE

Présentée à L'Université Paul Sabatier de Toulouse III

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ TOULOUSE

Discipline : Génie Electrique, Electronique et Télécommunications

Spécialité : Microélectronique et Microsystèmes

Par

Saâdia HNIKI

**Contribution à la modélisation des dispositifs MOS haute tension
pour les circuits intégrés de puissance ("Smart Power")**

Soutenue le 21 Décembre 2010 devant la commission d'examen

Membres du jury :	Mr A. CAZARRÉ	Président de jury
	Mr F. MORANCHO	Directeur de thèse
	Mr G. BERTRAND	Examineur
	Mr I. CORTÉS	Examineur
	Mr Z. KHATIR	Rapporteur
	Mr H. MOREL	Rapporteur

A la mémoire de mon père HNIKI Mohamed

*«La connaissance s'acquiert par l'expérience,
tout le reste n'est que de l'information.»*

Albert Einstein

REMERCIEMENTS

Ces travaux de thèse ont été effectués dans le cadre d'une collaboration entre STMicroelectronics, Crolles et le Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS, Toulouse).

Je remercie Hervé Jaouen et Michel Minondo de m'avoir accueilli dans l'équipe Modeling de STMicroelectronics à Crolles. Je remercie également Guillaume Bertrand de m'avoir accueilli dans l'équipe MOS HV.

Je remercie ensuite bien évidemment Maryse Bafleur de m'avoir intégré dans le groupe ISGE du LAAS à Toulouse. J'en profite pour remercier toutes les personnes du LAAS qui m'ont accueilli lors de mes visites.

Je tiens à remercier Hervé Morel et Zoubir Khatir pour m'avoir fait l'honneur d'être les rapporteurs de ce manuscrit, Alain Cazaré d'être président de mon jury de thèse, ainsi que Ignasi Cortés d'avoir accepté d'y être membre.

Je remercie mon directeur de thèse Frédéric Morancho pour son accueil lors de mes séjours à Toulouse, ses conseils, sa disponibilité et son aide pour mes démarches administratives (ce n'est pas facile d'encadrer un étranger !!).

Je remercie mon encadrant industriel Guillaume Bertrand qui a évidemment beaucoup compté dans la réussite de cette thèse et je le remercie aussi pour son soutien lors de la "Thésard'Ac".

Je remercie l'ensemble de l'équipe Modeling de STMicroelectronics, Crolles, pour leurs aides précieuses durant ce travail. Je tiens aussi à exprimer toute ma reconnaissance aux équipes de caractérisation électrique. Merci à François Dieudonné, Sébastien Haendler, Hugues Brut, Ruddy Costanzi et Gerard Morin. Je remercie Raphael, Anna, Fred, Sylvie, Cécilia, Malal, Davidé, Elodie, Mehdi, Sophie, Maxime, Pascal, Alban.

Un grand merci à mes parents Mohamed et Khadija sans qui je n'aurais pas pu faire ces études ni pensé à faire une thèse, merci pour votre sacrifice et votre éducation cette thèse leur est dédiée.

Merci à mon frère Othman et ma sœur Kaoutar (ce n'était pas facile de passer une journée dans le train pour assister à ma soutenance !!) pour leur encouragement et leur disponibilité.

Je remercie ma grande mère pour ses 'Daâwate' à chaque fois qu'elle me voit.

Une dernière pensée à mon cher mari Youssef qui m'a accompagné tout au long de mes études et m'a encouragé pour faire cette thèse. Je remercie aussi toute ma belle famille pour son soutien.

Enfin je remercie tous mes amis qui m'ont soutenu pendant ces trois années.

Vive la thèse ☺ !!!!

Table des matières

INTRODUCTION	1
1. Introduction générale	3
2. Objectif de la thèse.....	4
3. Organisation de la thèse.....	4
CHAPITRE 1	
LES TRANSISTORS MOS HAUTE TENSION	7
1.1 Introduction	9
1.2 L'histoire du transistor	9
1.3 Présentation du transistor MOS et de son comportement physique	11
1.3.1 Structure du MOS	11
1.3.2 Principe de fonctionnement.....	11
1.4 Dispositifs MOS haute tension pour des applications RF de puissance	12
1.4.1 Spécificité des transistors haute tension.....	13
1.4.2 Transistor MOS haute tension à l'état passant.....	13
1.4.2.1 Résistance à l'état passant (R_{on}).....	14
1.4.2.2 Tension de seuil V_{th}	14
1.4.2.3 Courant de saturation I_{ds}	14
1.4.2.4 Courant de fuite I_{off}	15
1.4.3 Transistor MOS haute tension à l'état bloqué:	15
1.4.3.1 Tension de claquage	16
1.4.4 Architecture du transistor MOS haute tension	16
1.4.4.1 DMOS.....	16
1.4.4.2 Drift-MOSFET	18
1.4.4.3 MOS à extension de drain	19
1.4.4.4 UMOS et VMOS.....	20
1.5 Circuits intégrés de puissance et gestion d'énergie à STMicroelectronics.....	21
1.5.1 NLD MOS sur bulk et sur SOI	21
1.5.2 MOS à extension de drain DEMOS.....	23
1.5.3 Applications et utilisations des transistors haute tension	24
1.5.3.1 Interrupteur haute tension.....	24
1.5.3.2 Smart power	26
1.6 Conclusion du chapitre	29

CHAPITRE 2	
MODELISATION DE L'AUTO ECHAUFFEMENT DANS LES TRANSISTORS MOS HAUTE TENSION.....	31
2.1 Introduction.....	33
2.2 Histoire de l'auto-échauffement.....	35
2.3 Caractérisation et modélisation de l'auto-échauffement.....	38
2.3.1 Extraction de Rth avec la méthode de la résistance de grille.....	39
2.3.2 Extraction de la résistance thermique et de la température.....	41
2.3.2.1 Définition de nouvelles structures.....	41
2.3.3 Impact de la connection Dispositif-Plot (routage) sur Rth.....	45
2.3.3.1 Impact du routage.....	45
2.3.3.2 Correction des mesures.....	47
2.3.4 Impact de la température sur la résistance thermique.....	49
2.4 Etude du comportement thermique d'un NLDMOS basée sur la mesure.....	50
2.4.1 Comportement thermique intrinsèque du NLDMOS.....	51
2.4.1.1 Mesures et résultats.....	51
2.4.1.2 Interprétation.....	52
2.4.1.3 Modélisation.....	54
2.4.2 Couplage thermique.....	55
2.4.2.1 Définition.....	55
2.4.2.2 Mesures et résultats.....	56
2.4.2.3 Interprétation.....	57
2.4.2.4 Définition et extraction des coefficients de couplage.....	57
2.4.2.5 Nouvelle méthode d'extraction des coefficients de couplage.....	61
2.4.2.6 Modélisation des coefficients de couplage.....	65
2.4.3 Reproduction du profil thermique.....	66
2.4.4 Macro-modélisation et implémentation dans le simulateur.....	67
2.4.4.1 Principe d'implémentation.....	67
2.4.4.2 Validation du modèle en régime linéaire saturé.....	69
2.4.4.3 Application du modèle pour les cellules de puissance.....	71
2.4.5 Conclusion.....	73
2.5 Etude du comportement thermique d'un NLDMOS basée sur la simulation.....	74
2.5.1 Principe du réseau thermique distribué.....	74
2.5.1.1 Génération et diffusion de la chaleur.....	74
2.5.1.2 Loi fondamentale de propagation de la chaleur.....	75
2.5.2 L'outil GenSHE.....	77
2.5.2.1 Présentation de l'outil.....	77

2.5.2.2	Amélioration de l'outil	79
2.5.3	Robustesse de la simulation vis-à-vis des paramètres de l'outil.....	81
2.5.3.1	Impact du maillage	82
2.5.3.2	Impact des paramètres géométriques et technologiques du NLD MOS.....	84
2.5.4	Etude des lois d'échelles de la résistance thermique.....	88
2.5.4.1	Comportement intrinsèque	89
2.5.4.2	Couplage thermique.....	89
2.5.4.3	Extraction de la résistance thermique totale.....	91
2.5.4.4	Comparaison des simulations GenSHE avec les mesures	91
2.6	Conclusion.....	94
2.7	Conclusion du chapitre	95
CHAPITRE 3		
CONTRIBUTION A LA MODELISATION DES PARASITES RF DANS LES TRANSISTORS		
MOS HAUTE TENSION		
		97
3.1	Introduction	99
3.2	Etude de la modélisation RF du MOSFET	99
3.2.1	Importance de la modélisation des parasites RF	99
3.2.2	Modèle petit signal : Intrinsèque/Extrinsèque	100
3.2.2.1	Schéma équivalent intrinsèque	101
3.2.2.2	Eléments extrinsèques.....	102
3.2.3	Détermination des éléments parasites du modèle du transistor MOS.....	104
3.2.3.1	Mesure des paramètres S	104
3.2.3.2	Le "de'embedding" ou épluchage	105
3.2.3.3	Procédure d'extraction	106
3.2.3.4	Détermination des éléments parasites extrinsèques du modèle du transistor MOS	107
3.2.3.5	Modélisation des capacités dans le cas du MOS standard	110
3.3	Modélisation RF dans le MOS HV	112
3.3.1	Objectif de l'étude.....	112
3.3.2	Modélisation utilisée dans le macro-modèle de référence.....	112
3.3.2.1	Macro modèle du LDMOS utilisé.....	112
3.3.3	Méthodologie d'extraction.....	114
3.3.3.1	Correction	114
3.3.3.2	Extraction.....	116
3.3.3.3	Validation.....	117
3.4	Application de la méthode d'extraction.....	120

3.4.1	Validation en régime AC.....	120
3.4.2	Validation en régime grand signal	122
3.5	Conclusion du chapitre	124
CHAPITRE 4		
EVALUATION DU MODELE COMPACT STANDARD HISIM_HV EN REGIME STATIQUE.125		
4.1	Introduction	127
4.2	Méthodes de modélisation des transistors MOS de puissance.....	127
4.2.1	Le macro-modèle : modèle de STMicroelectronics.....	128
4.2.2	Modèle compact du MOS haute tension : HiSIM-HV	130
4.2.2.1	Présentation du modèle compact HiSIM-HV.....	131
4.3	Evaluation en régime DC des modèles HiSIM_HV et macro-modèle de STMicroelectronics.....	132
4.3.1	Modèle de mobilité	132
4.3.1.1	Macro-modèle de STMicroelectronics.....	132
4.3.1.2	Dopage graduel dans le canal	134
4.3.1.3	L'auto-échauffement.....	135
4.3.1.4	La quasi-saturation.....	137
4.3.1.5	Les diodes de jonction.....	140
4.4	Conclusion du chapitre	142
CONCLUSIONS.....143		
REFERENCES BIBLIOGRAPHIQUES.....147		
ANNEXES.....163		
Annexe I : Méthode d'épluchage		
PUBLICATIONS.....167		

Table des figures

Figure 1.1	: Le Premier transistor [Hisw].....	9
Figure 1.2	: Loi de Moore [Morhi].....	10
Figure 1.3	: Schéma d'un MOSFET de type N.....	11
Figure 1.4	: Evolution des domaines d'application des composants de puissance en 1997 et 2005 [Nak08].....	13
Figure 1.5	: Coupe schématique(a) et lay-out (b) d'un transistor LDMOS de puissance.....	17
Figure 1.6	: Coupe schématique d'un transistor VDMOS de puissance.....	18
Figure 1.7	: Coupe schématique(a) et lay-out (b) d'un transistor Drift-MOSFET, dont la zone Drift assure la tenue en tension.....	19
Figure 1.8	: Coupe schématique(a) et lay-out (b) d'un transistor MOS à extension de drain	20
Figure 1.9	: a) Coupe schématique d'un transistor VMOS de puissance, b) Coupe schématique d'un transistor UDMOS de puissance.....	20
Figure 1.10	: a) Vue TEM d'un transistor NLD MOS sur Bulk, b) Vue TEM d'un transistor NLD MOS sur SOI : épaisseur du SOI =160µm, épaisseur du Box=0,400µm	22
Figure 1.11	: Comparaison des capacités de jonction en technologie CMOS-BULK et CMOS-SOI [Axe05].....	22
Figure 1.12	: Comparaison entre les caractéristiques d'un NLD MOS en technologie 130 nm sur SOI et en technologie 250nm	23
Figure 1.13	: Coupe verticale d'un mos à drain extension en technologie 45nm	23
Figure 1.14	: Caractéristiques d'un EDMOS en technologie 45 nm sur substrat massif	24
Figure 1.15	: Principales propriétés d'un bon interrupteur.....	25
Figure 1.16	: Exemple d'applications du convertisseur haute tension	25
Figure 1.17	: Photo du contrôleur de batterie STC3100 conçu par STMicroelectronics [BatST]	26
Figure 1.18	: Exemple de circuit comportant un chargeur de batterie[Fur01]. Les cercles rouges représentent le transistor DMOS	27
Figure 1.19	: Utilisation d'un amplificateur de puissance dans une chaine de transmission RF ..	28
Figure 1.20	: Lay-out d'un amplificateur de puissance conçu par STMicroelectronics [And10].	28

Figure 2.1	: Simulation d'une caractéristique $I_d(V_d)$ et de l'accroissement de température correspondant au cas d'un NLD MOS sur SOI à 1 source	34
Figure 2.2	: Caractéristiques I_{ds} et G_{ds} (simulées) en fonction de V_{ds} pour un NLD MOS sur SOI à 1 source, $W_{active}=10\mu m$ et $V_{gs}=2,5V$	35
Figure 2.3	: Méthode des mesures pulsées.....	35
Figure 2.4	: Etapes de modélisation de l'auto-échauffement.....	38
Figure 2.5	: Modélisation de l'auto-échauffement par un circuit RC.....	39
Figure 2.6	: Evolution de $R_{g_{min}}$ en fonction de la température.....	40
Figure 2.7	: Structure de test avec une grille commune, pour extraire la température totale du transistor	41
Figure 2.8	: Structure de test avec des prises de grille individuelle pour extraire la température de chaque source	42
Figure 2.9	: Structure de test SHE1 avec des prises de sources individuelles, pour extraire la puissance de chaque source	42
Figure 2.10	: Nouvelle structure de test SHE2 permettant de mesurer le profil thermique d'une seule source en fonction de la largeur d'active.....	43
Figure 2.11	: Layout de la structure de test SHE2 pour mesurer le profil thermique des sources de centre. La source de chaleur est au centre de la zone active.....	43
Figure 2.12	: Extraction du profil thermique d'une source centrale en fonction de la longueur de l'active en utilisant la nouvelle structure SHE2. a) extraction de la moitié du profil grâce aux doigts de grille, b) déduction par symétrie du profil total du NLD MOS.....	44
Figure 2.13	: Layout de la structure de test SHE2 pour mesurer le profil thermique des sources de bords. La source de chaleur est au bord de la zone active.....	44
Figure 2.14	: Variation de la température des sources de 4 structures de NLD MOS sur SOI à 11 sources avec un routage différent.....	45
Figure 2.15	: a) Layout d'un transistor NLD MOS connecté à des plots de mesure.....	46
Figure 2.16	: a) Câblage maximum pour la mesure d'une source. b) Câblage minimum pour la mesure d'une source.....	46
Figure 2.17	: Variation de $R_{g_{min}}$ en fonction de la température de la 4 ^{ème} source pour plusieurs configurations de routage.....	47
Figure 2.18	: Variation de la température des sources de 4 structures de NLD MOS après la correction du routage.....	48
Figure 2.19	: Vue Layout du câblage optimisé, afin de réduire l'erreur sur la mesure de R_{th} . .48	
Figure 2.20	: Variation de la résistance thermique et de la résistivité du Silicium d'un NLD MOS sur SOI allumé entre 25 et 170°C.....	49
Figure 2.21	: Représentation de la dissipation de la chaleur à différentes cas d'allumage d'un NLD MOS à 3 sources	51
Figure 2.22	: Evolution de R_{th} intrinsèque en fonction de la position des sources pour un NLD MOS sur Substrat massif à 5 sources.....	51
Figure 2.23	: Evolution de R_{th} intrinsèque en fonction de la position des sources pour un NLD MOS sur SOI à 11 sources.....	52

Figure 2.24	: Evolution de Rth intrinsèque d'une source centrale et d'une source de bords en fonction du nombre de source de la structure	52
Figure 2.25	: Représentation de la dissipation de la chaleur dans le substrat d'un NLD MOS à 3 sources sur substrat massif	53
Figure 2.26	: Position de la première centrale en fonction de distance et la profondeur de l'isolation d'un NLD MOS sur substrat massif à 11 sources	54
Figure 2.27	: Comparaison entre la mesure de Rth intrinsèque mesurée et modélisée (Eq II.12) en fonction de la position des sources pour un NLD MOS sur SOI à 11 sources	55
Figure 2.28	: Représentation des flux de chaleur qui se couplent dans le substrat.....	55
Figure 2.29	: a) Structure de test utilisée pour mettre en évidence le couplage thermique entre les sources. b) Variation de la température mesurée pour un NLD MOS sur substrat massif à 10 sources en allumant les sources par paire	56
Figure 2.30	: Evolution de Rth mesurée d'un NLD MOS sur substrat massif à 5 sources en fonction de leur position	57
Figure 2.31	: Evolution de Rth totale mesurée d'un NLD MOS sur SOI à 11 sources en fonction de leur position	57
Figure 2.32	: Couplage thermique entre la première source et les autres sources du NLD MOS	58
Figure 2.33	: Comparaison de la température mesurée et calculée d'un NLD MOS à 4 sources en fonction de leur position pour un NLD MOS sur SOI	59
Figure 2.34	: Evolution des coefficients de couplage centraux en fonction du nombre de sources	59
Figure 2.35	: Evolution des coefficients de couplage C1n des sources latérales d'un NLD MOS en substrat massif	60
Figure 2.36	: Evolution des coefficients de couplage C1n des sources latérales en fonction de leur voisin et de nombre de sources du NLD MOS sur SOI	60
Figure 2.37	: Duplication du profil thermique d'une source centrale.....	61
Figure 2.38	: Interaction des profils dupliqués afin de Reproduire le profil thermique d'un NLD MOS	62
Figure 2.39	: Comparaison des profils thermiques d'une source latérale et centrale extraits avec les structures SHE2 développées sur SOI	63
Figure 2.40	: Profil thermique mesuré avec SHE2 d'une source centrale sur SOI	63
Figure 2.41	: Déduction du profil thermique d'un NLD MOS sur SOI à 11 sources	64
Figure 2.42	: Coefficients de couplage extraits avec les structure de test SHE1 et SHE	64
Figure 2.43	: Evolution des coefficients de couplage extraits avec la nouvelle structure de test SHE2	65
Figure 2.44	: Modélisation des coefficients de couplage des sources de bords	66
Figure 2.45	: Reproduction du profil thermique d'un NLD MOS en dupliquant le profil thermique d'une seule source	67
Figure 2.46	: Duplication des transistors possédants des nœuds thermiques	68
Figure 2.47	: Répartition des résistances thermiques d'un NLD MOS multi-doigts	68
Figure 2.48	: Macro-modèle simplifié du NLD MOS.....	69

Figure 2.49	: Caractéristiques linéaires $I_d(V_{gs})$ et $G_m(V_{gs})$ à $V_d=0.1V$ pour une température variant entre $25^{\circ}C$ et $170^{\circ}C$. $W_{poly}=20\mu m$, $N_{source}=1$	70
Figure 2.50	: Courbe $I_d(V_d)$ pour un NLD MOS à $W_{poly}=200\mu m$, $N_{source}=10$, $V_{gs}=2.5V$, pour différentes implémentations du modèle	70
Figure 2.51	: Courbe $I_d(V_d)$ avec $N_{source}=10$, $W_{poly}=200\mu m$ et $V_{gs}=[0V, 0.5V, 1V, 1.5V, 2V, 2.5V]$. b) Courbe $I_d(V_d)$ à $V_{gs}=2.5V$ pour N_{source} varie entre 2 et 10 sources	71
Figure 2.52	: Courbe $I_d(V_{ds})$ à $V_{gs}=2.5V$ pour à NLD MOS à 52 sources	72
Figure 2.53	: Régions de propagation de la chaleur dans un LDMOS et discrétisation de la résistance thermique dans les DTI et le substrat.	76
Figure 2.54	: Simulation ISE-TCAD : Coupe transversale du profil thermique dans un NLD MOS sur SOI ($V_d=15V$, $V_g=2.5V$) [Mans05]	77
Figure 2.55	: Paramètres géométriques et technologiques d'entrée du GenSHE	78
Figure 2.56	: Expressions pour le calcul des résistances en fonction des géométries.	79
Figure 2.57	: Comparaison entre la température mesurée et modélisée d'un NLD MOS à 11 sources	79
Figure 2.58	: Régions de propagation de la chaleur dans un LDMOS sur SOI et discrétisation de la résistance thermique dans les DTI et le substrat.	80
Figure 2.59	: Expressions pour le calcul des résistances pour un LDMOS sur SOI en fonction des géométries	81
Figure 2.60	: Comparaison entre GenSHE et GenSHE modifié	81
Figure 2.61	: Représentation des zones A et B	82
Figure 2.62	: Variation de la température d'un transistor NLD MOS à 10 sources en fonction de la densité du maillage dans la zone A	82
Figure 2.63	: Variation de la température d'un transistor NLD MOS à 10 sources en fonction de la densité du maillage dans le substrat	83
Figure 2.64	: Impact de la variation de la largeur de la grille sur la température d'un NLD MOS à 11 sources.	84
Figure 2.65	: Impact de la variation de la longueur de la grille sur la température d'un NLD MOS à 11 sources	85
Figure 2.66	: Evolution du profil thermique simulé avec GenSHE d'un NLD MOS en fonction de l'espacement entre les doigts	85
Figure 2.67	: Impact de la variation de la distance (a) et de la profondeur de l'isolation (b) sur la température d'un NLD MOS à 11 sources	86
Figure 2.68	: Impact de la variation de la profondeur du substrat sur la température d'un NLD MOS à 11 sources	87
Figure 2.69	: Comparaison entre la variation de la température d'un NLD MOS en Substrat massif et sur SOI en fonction de la profondeur	88
Figure 2.70	: Variation de la température d'un transistor NLD MOS à 10 sources en fonction de la position des sources	88
Figure 2.71	: a) Evolution de R_{th} intrinsèque simulée du NLD MOS en substrat massif en fonction de la position et du nombre des sources. b) Evolution de R_{th} intrinsèque d'un NLD MOS sur SOI à 10 sources en fonction de la position des sources	89

Figure 2.72	: Coefficients de couplage simulés pour un NLD MOS en substrat massif à 10 sources.	90
Figure 2.73	: Evolution des coefficients de couplage latéral (a) et central (b) en fonction des voisins pour un NLD MOS sur SOI à 10 sources.	90
Figure 2.74	: Evolution de Rth totale simulée avec GenSHE en fonction de la position pour un NLD MOS en substrat massif(a) et sur SOI(b)	91
Figure 2.75	: Comparaison entre Rth intrinsèque simulée et mesurée pour un NLD MOS en substrat massif(a) et sur SOI(b)	92
Figure 2.76	: Comparaison entre les coefficients de couplage des sources latérales C1n simulés et mesurés pour un NLD MOS en substrat massif(a) et sur SOI(b)	93
Figure 2.77	: Evolution de Rth totale simulée avec GenSHE en fonction de la position et le nombre de sources d'un NLD MOS sur substrat massif (a) et en 130nm sur SOI (b)	93

Figure 3.4	: Les composants extrinsèques introduits par les lignes d'accès	103
Figure 3.5	: Schéma équivalent complet du transistor MOS.....	104
Figure 3.6	: Schéma résumant les étapes de la modélisation des paramètres RF du transistor.....	104
Figure 3.7	: Présentation du transistor par un quadripôle	105
Figure 3.8	: Schéma équivalent des plots et des lignes d'accès	105
Figure 3.9	: Structures de test en configurations court-circuit (a) et circuit-ouvert (b), utilisées pour déterminer les éléments Y et Z des plots et des lignes d'accès	106
Figure 3.10	: Procédure d'extraction des éléments RF du transistor MOS	107
Figure 3.11	: Répartition des résistances composantes de la résistance de grille du MOS standard	108
Figure 3.12	: Répartition des capacités extrinsèques C_{gs} et C_{gd} dans le MOS standard	110
Figure 3.13	: a) Représentation des différentes longueurs limitant les zones résistifs de la grille du LDMOS. b) Composantes de la résistance de grille R_g du LDMOS.....	113
Figure 3.14	: Schéma utilisé dans la procédure de l'épluchage	115
Figure 3.15	: Variation de R_g en fonction de nombre de contacts sur la tête de la grille (N_{ch}) (a) et de la longueur de la grille (b).....	117
Figure 3.16	: Variation de R_g en fonction de la longueur bodypoly (a) et Sipol (b).....	118
Figure 3.17	: Comparaison entre les paramètres simulés et extrait avant et après correction du modèle de la résistance de grille pour un NLDMOS.....	118
Figure 3.18	: Extraction de C_{gd} extrinsèque à partir de la simulation	119
Figure 3.19	: Extraction des paramètres de C_{gd} extrinsèque à partir de la simulation.....	119
Figure 3.20	: Extraction de C_{gs} extrinsèque à partir de la simulation.....	119
Figure 3.21	: Extraction des paramètres de C_{gs} extrinsèque à partir de la simulation	120
Figure 3.22	: Comparaison de la capacité C_{gg} mesurée et simulée pour $W=20$ (a) et $1040\mu\text{m}$ (b)	121
Figure 3.23	: Comparaison de f_t mesurée et simulée pour $W=20\mu\text{m}$ (a) et $1040\mu\text{m}$ (b)	121
Figure 3.24	: Comparaison f_{max} mesurée et simulée pour un NLDMOS à $W_{\text{poly}}=20\mu\text{m}$	121
Figure 3.25	: Vue layout d'cellule de puissance utilisée dans la conception d'un amplificateur de puissance	122
Figure 3.26	: Comparaison des caractéristiques grand signal mesurées et simulées d'un transistor SOI en technologie 130 nm à 900MHz, $V_{dd}=3,6\text{V}$ et $I_d=155\text{mA}$, $W=1,1\text{mm} \times 0,7\text{mm}$	123

Figure 4.3	: Macro-modèle simplifié utilisé par STMicroelectronics pour modéliser le transistor LDMOS.....	130
Figure 4.4	: a) Caractéristique $G_m(V_{gs})$ mesurée et simulée avec la macro-modèle, d'un NLDMOS sur SOI en 130nm à $V_d=0.1V$ pour une température variant entre 25°C et 170°C. $W_{poly}=20\mu m$, $N_{source}=1$. b) Caractéristique $G_m(V_{gs})$ mesurée et simulée avec HiSIM_HV pour différentes valeurs de V_b d'un drain extension en 45nm. $W_{active}=10\mu m$, $L_{poly}=0.2\mu m$ et $T=25^\circ C$	133
Figure 4.5	: Modélisation du canal graduel avec deux transistors MOS en série	134
Figure 4.6	: Caractéristique du $\log(I_d(V_{gs}))$ mesurée et simulée d'un NLDMOS sur substrat massif $W_{active}=10\mu m$, $20\mu m$ et $30\mu m$ et $L_{poly}=0.4\mu m$	135
Figure 4.7	: Schéma équivalent du réseau thermique dans HiSIM_HV [Hisi02]	135
Figure 4.8	: a) Courbe $I_d(V_{ds})$ mesurée et simulée avec le macro-modèle d'un LDMOS sur SOI à $V_{gs}=2.5V$ pour N_{source} varie entre 2 et 10 sources. b) Caractéristique $I_d(V_d)$ mesurée et simulée avec HiSIM_HV d'un LDMOS sur SOI. $W_{active}=10\mu m$, $L_{poly}=0.4\mu m$ et $T=25^\circ C$	137
Figure 4.9	Modélisation de la quasi-saturation grâce à une résistance non-linéaire R_d	137
Figure 4.10	: Courbe de $I_d(V_d)$ mesurée et simulée avec le macro-modèle pour un NLDMOS à $W_{poly}=200\mu m$, $N_{source}=10$, $V_{gs}=2.5V$	140
Figure 4.11	: a) Caractéristiques de transfert $I_d(V_{gs})$ mesurées et simulées d'un NLDMOS sur substrat massif. $W_{active}=10\mu m$, $20\mu m$ et $30\mu m$. b) Caractéristiques de sortie $I_d(V_{ds})$ mesurées et simulées d'un MOS à drain extension en technologie 45nm, $W_{poly}=10\mu m$, $L_{poly}=0,2\mu m$ et $V_{gs}=[0V, 0,5V, 1V, 1,5V, 2V, 2,5V]$	140
Figure 4.12	: Les diodes du transistor LDMOS.....	141

INTRODUCTION

1. Introduction générale

Parmi tous les composants produits en micro-électronique, les dispositifs MOS de puissance occupent une place prépondérante dans des fonctions telles que le contrôle de niveau de courant dans les moteurs, les équipements électroniques de gestion de l'énergie ('Energy Management') et la régulation et le stockage de la puissance dans les équipements portables d'amplification de puissance ('Power Amplifier').

Dans des technologies de type « Smart Power » qui permettent de réaliser ces fonctions, des fonctionnalités analogiques et logiques sont intégrées pour fournir une interface entre le contrôle numérique et la charge de puissance.

Ces dispositifs utilisent une architecture spécifique où le design du canal MOS et la zone de drift sont optimisés pour atteindre les spécifications en tenue en tension et résistance à l'état passant, tout en garantissant une surface d'encombrement minimale. Suivant le type d'applications visées et le coût économique de développement que cela engendre, différentes structures MOS haute-tension sont utilisées aujourd'hui : DMOS Vertical, DMOS Latéral, Drift MOS ou MOS à extension de drain. Le choix entre ces différentes familles se fait sur des critères de performance et de coût.

La caractérisation et la modélisation électriques sont également spécifiques pour couvrir tous les aspects lors du fonctionnement de ces dispositifs. Il faut, par exemple, caractériser correctement le phénomène d'auto-échauffement qui survient lorsque le dispositif dissipe de la puissance. La modélisation électrique doit ensuite permettre de reproduire, aussi fidèlement que possible, ce comportement électrique. Il est nécessaire, par ailleurs, de modéliser correctement les différents modes de fonctionnement : faible / forte inversion en termes de courant et comportement des dérivées, saturation en termes de courant et comportement des dérivées, modélisation des charges sur les différents nœuds du composant et prise en compte des effets parasites.

De plus, il est également nécessaire d'évaluer le modèle compact HiSIM-HV dédié au transistor haute tension. HiSIM_HV a été élu modèle standard des transistors haute tension par le le CMC (Compact Model Council)», organisme international regroupant les différents utilisateurs et fournisseurs de modèles SPICE, qui s'occupe de la standardisation des modèles électriques compacts.

2. Objectif de la thèse

La modélisation des transistors haute tension est un sujet vaste qui a fait l'objet de plusieurs publications. Dans cette thèse, on se focalisera particulièrement sur certains phénomènes qui accompagnent le fonctionnement de ces transistors, notamment l'auto-échauffement. Un des objectifs de cette thèse est de mettre au point des méthodes de caractérisations électriques performantes pour les aspects d'auto-échauffement. Concernant la modélisation, un effort particulier portera sur la modélisation du phénomène de couplage thermique qui agit directement sur l'échauffement du transistor ; on va ainsi s'intéresser au développement d'un outil d'extraction et de génération automatique du réseau thermique du transistor haute tension. Ce travail de thèse contribuera, dans un deuxième temps, à la modélisation et la caractérisation des éléments radiofréquence (RF), notamment la résistance de grille et les capacités de recouvrement et de bords. Enfin, la dernière partie de la thèse sera consacrée à l'évaluation et la comparaison du modèle standard HiSIM_HV dédié au transistor haute tension avec le macro-modèle de STMicroelectronics.

3. Organisation de la thèse

Dans ce manuscrit, nous avons choisi d'organiser la thèse en quatre chapitres :

- **Chapitre 1 : Les transistors MOS haute tension**

Le Chapitre 1 rappelle des généralités sur le principe de fonctionnement du transistor MOS haute tension ainsi que ses différentes architectures et ses applications. En effet, la variété des applications possibles avec les transistors MOS haute tension nécessite des architectures adaptées. Au cours de ce chapitre, on présente les différentes architectures de référence que l'on utilisera tout au long de cette étude.

- **Chapitre 2 : Modélisation de l'auto-échauffement dans les transistors MOS haute tension**

Le Chapitre 2 s'intéresse essentiellement à la modélisation de l'auto-échauffement. Ce chapitre est le chapitre le plus volumineux de cette thèse : cela est dû au fait que la plus grande quantité de ce travail de thèse a été dédiée à ce phénomène physique. L'auto-échauffement joue un rôle important dans la définition des caractéristiques du transistor MOS haute tension. En effet, ce phénomène provoque une réduction du courant de drain et l'apparition d'une transconductance négative lorsqu'on applique une forte tension de drain.

Le travail réalisé ici présente un modèle d'auto-échauffement basé sur une modélisation du couplage thermique entre les différentes sources du transistor et sur le comportement thermique intrinsèque du transistor. Pour mettre en place ce modèle d'auto-échauffement, des structures de test innovantes ont été développées afin d'extraire les coefficients de couplage thermique. Ce modèle d'auto-échauffement sera validé par la mesure. La dernière partie de ce chapitre est consacrée au développement d'un outil d'extraction automatique des paramètres de l'auto-échauffement. Il s'agit, dans cette partie, de faire des modifications sur l'ancien outil nommé GenSHE, déjà développé au sein de l'équipe de modélisation des transistors haute tension chez STMicroelectronics de Crolles : les modifications ajoutées consistent, d'une part, à pouvoir allumer les sources des transistors individuellement, ce qui permet d'extraire les coefficients de couplage et, d'autre part, de pouvoir simuler les dispositifs sur SOI.

- **Chapitre 3 : Evaluation de modèle compact standard du Mos haut tension HiSIM_HV**

Le Chapitre 3 est consacré à la mise en place d'une méthode d'extraction des parasites RF dans les transistors haute tension. Pour ce faire, on utilise une méthode déjà appliquée sur le transistor MOS standard et on l'adapte au cas du MOS haute tension.

Cette méthode est appliquée au transistor NLD MOS en technologie 130nm sur SOI, afin d'extraire les paramètres extrinsèques qui sont la résistance de grille et les capacités Grille-Source et Grille-Drain.

- **Chapitre 4 : Evaluation d modèle compact HiSIM_HV**

Ce chapitre présente la comparaison faite entre le macro-modèle de STMicroelectronics utilisé pour la modélisation du transistor MOS haute tension et le modèle compact standard dédié à ce type de transistor HiSIM_HV.

L'intérêt de cette comparaison est d'évaluer les deux modèles et de comparer leurs performances. Au cours de cette comparaison, on s'appuie sur différentes architectures et sur les équations modélisant les phénomènes physiques spécifiques au transistor MOS haute tension. HiSIM_HV est comparé avec la mesure en utilisant comme modèle de référence le macro-modèle de STMicroelectronics. Cette comparaison sera faite uniquement en régime statique.

CHAPITRE 1
LES TRANSISTORS MOS HAUTE TENSION

1.1 Introduction

Ces dernières années, les transistors MOS ont bénéficié d'énormes investissements autant au plan technologique que « publicitaire », reléguant les transistors bipolaires dans l'ombre à un point tel que de nombreux concepteurs considèrent le bipolaire comme une vieille technologie. Les transistors MOS se caractérisent par une impédance d'entrée élevée permettant de s'affranchir des commandes en courant des dispositifs de puissance purement bipolaires [Mor07]. Les transistors MOS se distinguent également par leur facilité de conception par rapport aux transistors bipolaires : ainsi, ils consomment moins de puissance et, surtout, ils répondent aux exigences de coût.

Dans ce chapitre, nous présentons les différents types de transistors MOS haute tension, leur physique et leurs applications. Nous allons analyser les propriétés physiques du transistor MOS haute tension et son principe de fonctionnement. Par la suite, une partie du chapitre sera consacrée aux différentes architectures proposées dans la littérature et leurs applications.

1.2 L'histoire du transistor

Un transistor est constitué de matériaux de semi-conducteurs ; le mot transistor est l'abréviation de "transfert de la résistance».

Grâce à cette invention, le monde a pu connaître une révolution électronique. En 1926, le premier transistor de jonction NPN (Figure 1.1) a été présenté par Dr Julius Lilienfeld Edgar [Hisw] .

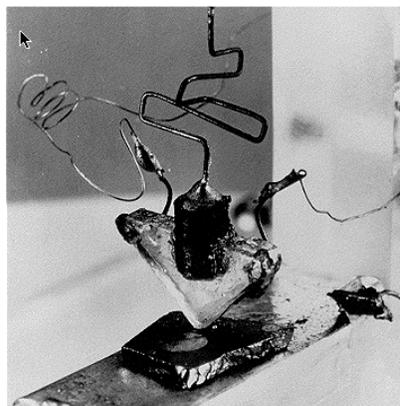


Figure 1.1 : Le Premier transistor [Hisw]

En 1945, les Laboratoires Bell aux États-Unis ont commencé la recherche sur les semi-conducteurs et les physiciens William Shockley, Walter Brattain et John Barde ont réussi à créer la première pointe de contact en germanium d'un transistor. En 1950, Shockley invente un nouveau dispositif appelé transistor à jonction bipolaire [Sho51] [Sho52].

En 1954, Texas Instruments démarre la production des transistors sur le silicium (moins cher et plus facile à travailler que le germanium).

En 1962, Steven Hofstein et Frédéric Heiman, du laboratoire de recherche RCA, ont inventé une nouvelle famille de dispositifs appelés transistors métal oxyde semi-conducteur à effet de champ (MOSFETs) [Hof63].

En 1965, le premier circuit intégré n'avait que quatre ans mais Gordon Moore prédit que la densité de transistors sur circuits intégrés devrait doubler tous les 12 mois pour les dix prochaines années. Cette prévision est révisée en 1975 à un doublement tous les 18 mois et devient connue sous le nom de la loi de Moore (Figure 1.2) [Morhi].

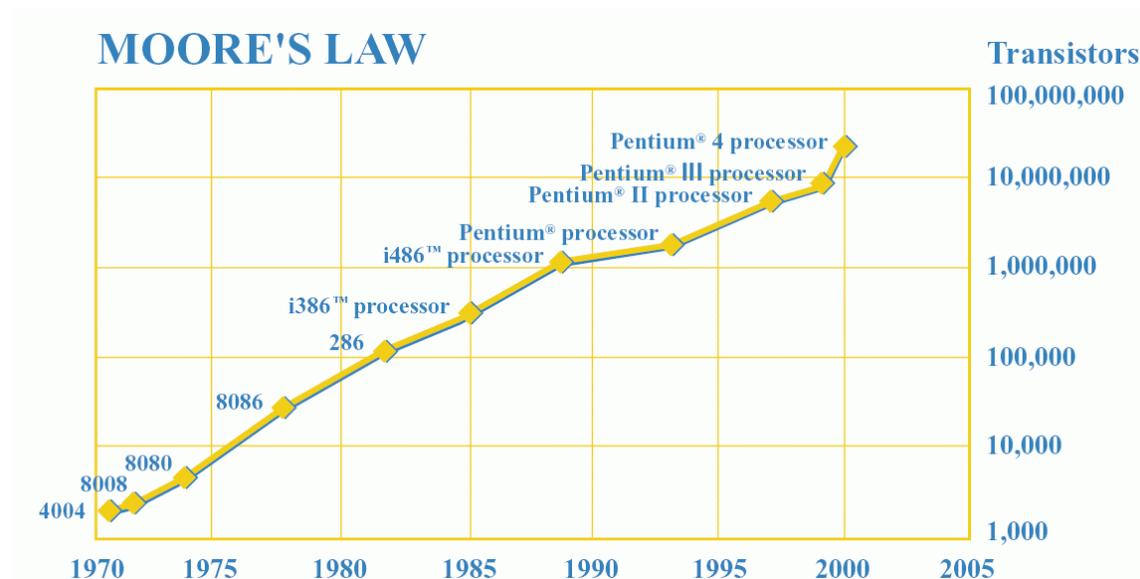


Figure 1.2 : Loi de Moore [Morhi]

Par rapport aux transistors bipolaires, les transistors MOS présentent un certain nombre de propriétés intéressantes pour les applications de puissance : ils sont rapides et leur impédance d'entrée est très grande en basse fréquence ; en outre, ils ont une propriété très importante : ils sont très stables thermiquement car le coefficient de température du courant de drain, à tensions de grille et de drain imposées, est négatif. Cela permet de réaliser des composants de fort calibre en courant par la mise en parallèle de plusieurs MOS [Mor07].

1.3 Présentation du transistor MOS et de son comportement physique

1.3.1 Structure du MOS

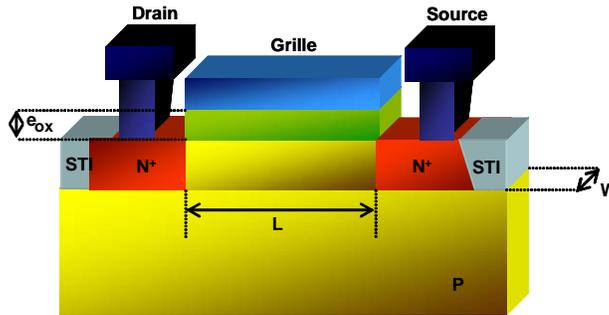


Figure 1.3 : Schéma d'un MOSFET de type N

Les transistors à effet de champ, ou FET pour Field Effect Transistor, se comportent comme une résistance dont la valeur est contrôlée par un champ électrique, c'est-à-dire une tension. Il s'agit généralement d'un semi-conducteur séparé de l'électrode de commande par un oxyde.

Le transistor MOS compte quatre électrodes (Figure 1.3) :

- la grille permet de contrôler la résistivité du semi-conducteur sur une zone appelée canal.
- la source et le drain viennent contacter le canal de part et d'autre. Par extension, on appellera zones de source et de drain les zones dopées du semi-conducteur où sont pris ces contacts.
- le substrat sert de tension de référence. Il s'agit généralement de la masse pour les transistors de type N et de la tension d'alimentation Vdd pour les transistors de type P.

1.3.2 Principe de fonctionnement

Le canal et les zones source/drain ont des dopages de nature opposée. Pour un transistor NMOS, les zones source/drain sont de type N et le canal de type P.

Pour simplifier son fonctionnement, le transistor est supposé être en condition de bandes plates en l'absence de polarisation. Les jonctions PN bulk/source et bulk/drain sont polarisées en inverse. Seul un faible courant de fuite peut être observé : le transistor est bloqué.

Quand une tension est appliquée sur l'électrode de grille, la structure de bandes du bulk est modifiée près de l'interface Si/SiO₂. Selon la tension de grille, trois régimes sont possibles : l'accumulation, la déplétion ou l'inversion. Quand un potentiel négatif est appliqué sur la

grille, les bandes d'énergie se courbent vers le haut. Une fine couche de trous se forme sous l'oxyde. Le régime d'accumulation est atteint. Quand un potentiel positif est appliqué sur la grille, la courbure de bandes diminue. Les trous sont rejetés de la surface : une couche de déplétion se forme sous l'oxyde. Selon la tension appliquée et le dopage bulk, la courbure de bandes peut être telle que le niveau de Fermi à la surface traverse le niveau de Fermi intrinsèque. Malgré l'existence du canal, aucun courant ne circule. Pour connecter la couche d'inversion, un potentiel positif est appliqué sur le drain. Les électrons circulent alors de la source vers le drain : le transistor est passant et délivre un courant de drain qui dépend de la tension de grille appliquée. Le transistor MOS peut donc être vu comme un interrupteur, dont la mobilité dans le canal est modulée par le potentiel de grille.

1.4 Dispositifs MOS haute tension pour des applications RF de puissance

Les composants de puissance au silicium sont les dispositifs actifs du contrôle et de la conversion de l'énergie électrique. Ils se différencient des autres composants dits "de signal" par la nécessité de supporter des tensions élevées et de conduire des courants importants, leurs contraintes d'utilisation ou de montage sont spécifiques vis-à-vis des aspects thermiques, mécanique, connectique et d'encapsulation.

Aujourd'hui, les applications haute tension se développent fortement et deviennent un enjeu important pour les consommateurs. Ainsi, l'industrie du semi-conducteur doit répondre à la demande de produits conçus avec un nombre croissant de fonctions, toujours plus complexes, mais accessibles au consommateur moyen. La solution de rassembler plusieurs systèmes dans une seule puce vient répondre à ces attentes de consommation, de volume et de coût. La disponibilité de technologies silicium CMOS performantes permet à présent d'envisager un développement complet sur une même puce.

La Figure 1.4 présente l'évolution des différents dispositifs de puissance et leurs domaines d'applications selon la puissance et la fréquence ; on peut les classer en trois catégories [Nak08] :

- Les dispositifs fonctionnant à une puissance élevée : ce sont des composants bipolaires comme le thyristor GTO (Gate Turn-off Thyristor).
- Les dispositifs fonctionnant à une fréquence élevée : ce sont des composants unipolaires comme les transistors MOS.

- Les dispositifs fonctionnant à des fréquences médianes : ce sont des composants mixtes, tels que l'IGBT (Insulated Gate Bipolar Transistor).

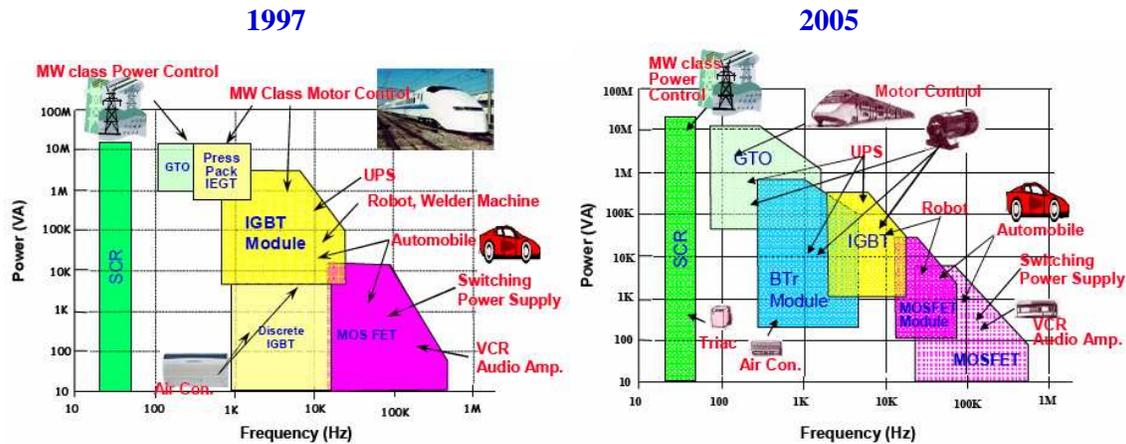


Figure 1.4 : Evolution des domaines d'application des composants de puissance en 1997 et 2005 [Nak08]

1.4.1 Spécificité des transistors haute tension

L'une des différences fondamentales entre la structure du transistor MOS classique et celle du transistor MOS de puissance réside dans la configuration du drain. Dans le premier cas, il s'agit d'une zone fortement dopée tandis que, dans le deuxième, on trouve une double couche N^-N^+ . Le rôle de la région N^- est d'augmenter la tenue en tension et d'éviter les mécanismes de perçage [Mer79]. Cette zone N^- est appelé zone de drift ; elle est une des caractéristiques principales des transistors haute tension, dont dépend la tenue en tension selon son architecture, son dopage et son épaisseur [Civ09].

1.4.2 Transistor MOS haute tension à l'état passant

A l'état passant, les transistors MOS haute tension sont utilisés pour des basses ou moyennes tensions de claquage, afin d'avoir une faible chute de tension à l'état passant et une commutation rapide. Cela minimise les pertes de puissance en commutation.

Les paramètres principaux qui permettent de caractériser le transistor sont la résistance statique drain-source à l'état passant (R_{on}), les valeurs du courant de saturation et du courant de fuite (respectivement I_{sat} et I_{off}), la tension de claquage BV et la tension de seuil V_{th} .

1.4.2.1 Résistance à l'état passant (Ron)

La résistance à l'état passant est un des paramètres spécifiques des composants de puissance car de sa valeur dépendent en particulier les pertes en conduction.

Elle est définie comme étant la résistance totale qui apparait entre la source et le drain lorsque le transistor conduit en régime linéaire (ou ohmique), c'est-à-dire à faible tension drain-source V_{ds} (Eq I.1) :

$$R_{on} = \left(\frac{V_{ds}}{I_{ds}} \right)_{V_{ds} \rightarrow 0} \quad (\text{Eq I.1})$$

Plus sa valeur est élevée, plus son utilisation dans une application de puissance commutée reste critique mais acceptable pour des applications de puissance en régime linéaire.

Cette résistance peut être décomposée en trois résistances principales : la résistance R_{ch} du canal d'inversion, la résistance d'accès au drain R_a et la résistance de drift R_d qui représente le volume de drain épitaxié. Les résistances R_{ch} et R_a dépendent surtout de la tension de grille tandis que la résistance de la zone de drift R_d peut devenir linéairement dépendante de la tension de drain (à fort V_{ds}).

De plus, les résistances qui ont le plus de poids dans la contribution à la résistance à l'état passant sont les résistances de drift et de canal. Pour des tensions de claquage élevées, la résistance de drift domine toutes les autres composantes et est difficile à diminuer sans dégrader la tenue en tension du composant.

1.4.2.2 Tension de seuil V_{th}

La tension de seuil V_{th} correspond à la valeur de la tension de grille V_{gs} à partir laquelle le transistor conduit (formation du canal d'inversion entre la source et le drain). Elle est donnée par l'équation suivante :

$$V_{th} = \phi_{ms} - \frac{Q_{ss}}{C_{ox}} + 2\phi_F + 2\sqrt{(qN_{a\max}\epsilon_s\phi_F)/C_{ox}} \quad (\text{Eq I.2})$$

$$(\text{Eq I.3})$$

Où ϕ_{ms} est le travail de sortie métal semi-conducteur, Q_{ss}/C_{ox} la tension correspondant à l'effet des charges à l'interface et ϕ_F le niveau de fermi pour $N_{a\max}$.

1.4.2.3 Courant de saturation I_{ds}

En régime de saturation V_{ds} est supérieur à $(V_{gs}-V_{th})$ et le courant s'exprime par :

$$I_{ds} = \frac{W}{2L} \cdot \mu_n \cdot C_{ox} (V_{gs} - V_{th})^2 \quad (\text{Eq I.4})$$

Où μ_n est la mobilité des porteurs (type n), W la largeur du canal et L est la longueur du canal. On voit bien que la mobilité est un des paramètres les plus importants : elle dépend du dopage du canal, du champ électrique, de l'orientation cristalline du silicium, du potentiel, de la température et des charges dans l'oxyde [Mor07].

1.4.2.4 Courant de fuite I_{off}

C'est le courant qui apparait entre la grille et le drain dans le cas où l'isolant, qui est entre la grille et le drain, n'est pas idéal. Si ce courant I_{off} est très important, il augmente la consommation du transistor.

Les fuites de jonction peuvent dégrader les performances, en particulier le courant I_{off} . Ce courant de fuite est dû :

- à faible champ, aux fuites de jonction en inverse, liées à la génération de porteurs en zones de déplétion (effet Shockley-Reed-Hall ou SRH).
- en cas de forte polarisation, au courant tunnel assisté par défauts ou au courant tunnel direct

Le courant varie exponentiellement avec la tension de grille entre 0V et V_{th} . Par conséquent, le courant de fuite vaut :

$$\log(I_{off}) = \log(I_t) - \frac{V_{th}}{S} \quad (\text{Eq I.5})$$

Où I_t est l'extrapolation du courant sous le seuil à $V_{gs}=V_{th}$. Il peut s'exprimer sous la forme [Mastar'04]:

$$I_t = 5.10^{-5} [A] \frac{W}{L} 8.10^8 N^{-0.4865} [cm^{-3}] \quad (\text{Eq I.6})$$

Cependant, le courant I_{off} peut être dégradé par le courant tunnel à travers l'oxyde de grille entre la grille et le drain. Ce courant est appelé "fuite de grille".

1.4.3 Transistor MOS haute tension à l'état bloqué:

La tenue d'une tension élevée à l'état bloqué est une des caractéristiques importantes du transistor haut tension. Le transistor est à l'état bloqué quand sa tension V_{gs} est inférieure à la tension de seuil V_{th} . Cet état de fonctionnement du transistor est accompagné par certains phénomènes physiques tels que :

1.4.3.1 Tension de claquage [Ross97]

Le mécanisme physique responsable du claquage est l'effet d'avalanche [Ross97]. La tension de claquage dépend du dopage et de l'épaisseur de la zone de drift. En effet, pour bloquer des tensions très élevées, la zone de drift doit être faiblement dopée et suffisamment large pour permettre à la zone de charge d'espace de s'étendre. Par conséquent, cette zone large et faiblement dopée devient, à l'état passant, une résistance très grande. Il existe donc un compromis entre la résistance à l'état passant et la tension de claquage.

Pour déterminer la tension de claquage drain-source, on considère le transistor à l'état bloqué, c'est-à-dire que le courant de drain est théoriquement nul. Le transistor MOS est alors considéré comme une diode $P^+N^-N^+$ en régime bloqué. Le claquage a lieu normalement là où le rayon de courbure de la jonction est minimal dans le cas de structures planaires (typiquement MOS standard ou LDMOS).

1.4.4 Architecture du transistor MOS haute tension

La conception des dispositifs de puissance est l'objet de plusieurs compromis. Afin de pouvoir atteindre des niveaux de puissance élevés, il faut trouver le bon compromis entre la résistance à l'état passant et la tenue en tension du transistor, d'une part, et d'autre part il faut pouvoir gérer aussi le compromis entre la puissance et la fréquence. C'est pourquoi il y a une diversité d'architectures de transistors haute tension, afin d'améliorer leurs caractéristiques et répondre à plusieurs critères liés à leurs applications. Dans cette partie, nous décrivons les principales topologies de transistors haute tension et nous en déduisons leurs champs d'applications.

1.4.4.1 DMOS

Le dispositif DMOS [Tri99] [Lud02] a été développé pour être inséré dans un circuit "Smart Power" ou "Energy management" qui comporte un chargeur de batterie complet. La durée de vie et les performances des batteries dépendent fortement d'un grand nombre de paramètres tels que, par exemple, l'état de charge de la batterie, le courant de décharge, le nombre de cycles de recharge, la période de repos et la température.

En ce qui concerne la partie analogique de puissance, les transistors DMOS sont l'une des composantes fondamentales. Ces dispositifs sont utilisés comme interrupteurs quand

l'application requiert un composant avec une haute vitesse de commutation et capable de supporter des niveaux de courant et tension élevés. Le DMOS existe en deux versions : les discrets, DMOS verticaux (VDMOS), et les intégrés, DMOS latéraux (LDMOS).

- **LDMOS**

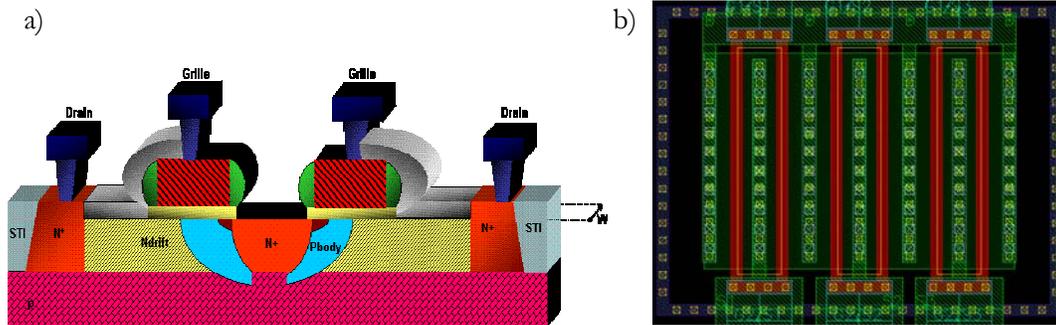


Figure 1.5 : Coupe schématique(a) et lay-out (b) d'un transistor LDMOS de puissance.

Le LDMOS (latéral double diffusé MOS) [Efl94] est caractérisé par la présence d'une région faiblement dopée entre le canal et le drain N^+ et par son électrode de drain située sur la surface. La couche enterrée N^+ permet de limiter l'extension de la zone de charge d'espace dans la région N^- et d'éviter le perçage du substrat P (Figure 1.5). Elle peut permettre aussi d'annuler le gain du transistor bipolaire parasite PNP entre le substrat et la diffusion P source du transistor MOS de puissance [Gal08]. La tenue en tension du transistor LDMOS dépend essentiellement de la distance qui sépare la grille et le drain ainsi que du dopage de la région N^- sous l'oxyde. Sa valeur est plus faible que dans les transistors VDMOS et limitée par le claquage par avalanche. Sa capacité Miller étant très faible par rapport à la structure verticale, le LDMOS est le composant de choix pour les applications radiofréquence [Woo96]. Le LDMOS reste le composant intégré le plus utilisé car il est capable de fonctionner à des fréquences très élevées [Kou99] et parce que ses trois électrodes sont en surface, ce qui facilite son intégration. Sa présence est intéressante dans les circuits de type PA (Amplificateur de Puissance) généralement utilisés à la sortie des chaînes d'émission des téléphones portables.

- **VDMOS (Vertical Double diffused MOS)**

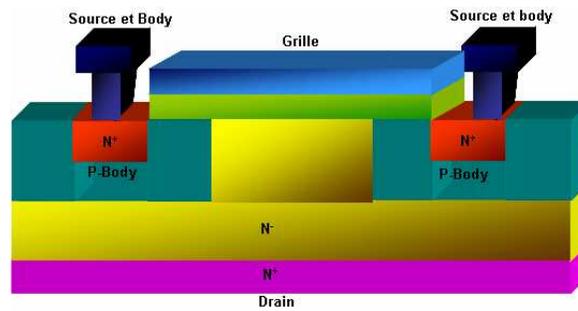


Figure 1.6 : Coupe schématique d'un transistor VDMOS de puissance

Le principe de fabrication du transistor VDMOS utilise la technique de double diffusion, qui permet de déterminer la longueur du canal : après implantation de la zone « P-Body » (dopée P), on implante les zones N^+ de source (Figure 1.6). La différence des diffusions latérales après la double diffusion de ces deux zones fixe la longueur du canal. Le drain est situé sur la face arrière de la puce. La valeur élevée du courant de drain est liée au fait que la longueur du canal est faible (la résistance série est plus faible, ce qui augmente le courant) et à la disposition de cellules élémentaires de ce dispositif : plusieurs cellules peuvent être reliées par un drain commun et ainsi le courant total s'en trouve démultiplié. Le transistor VDMOS présente une grande capacité parasite entre l'électrode de grille et l'électrode de drain due au positionnement du drain sous une partie de l'électrode de grille. Cette capacité accentue l'effet de contre-réaction de la sortie sur l'entrée du dispositif (effet Miller), qui limite les performances du composant en termes de gain et de rendement et induit des pertes ohmiques importantes.

1.4.4.2 Drift-MOSFET

Les composants de type Drift-MOSFET présentent une architecture de drain particulière permettant de supporter une tension de drain élevée. La Figure 1.7 montre la coupe d'un composant Drift-MOSFET à canal N. Pour ce faire, la symétrie du transistor est brisée : le drain est déporté derrière la tranchée d'isolation STI (Shallow Trench Isolation), tandis qu'une zone dite « Drift » est diffusée entre le drain et la grille et forme alors une zone d'extension. Lorsque le composant est bloqué, la tension de drain est supportée par la jonction PWell/NDrift, alors qu'en fonctionnement linéaire, la région NDrift joue le rôle d'une résistance.

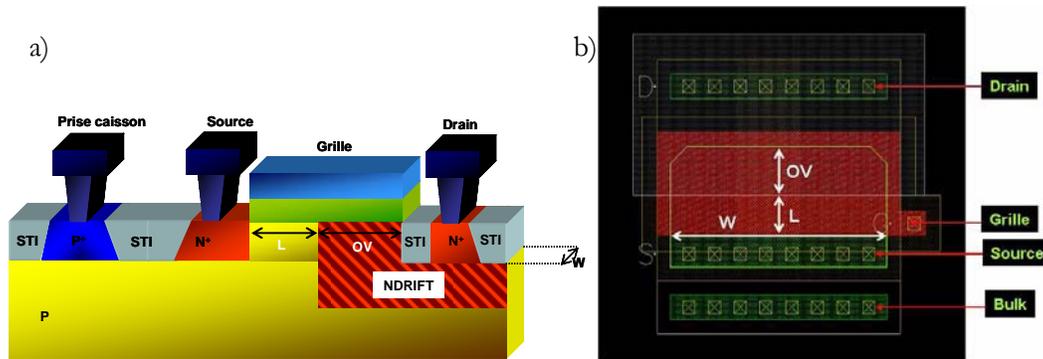


Figure 1.7 : Coupe schématique(a) et lay-out (b) d'un transistor Drift-MOSFET, dont la zone Drift assure la tenue en tension

Cette zone dopée, du même type que le drain et source, l'est cependant moins. Prenons par exemple le transistor de type N : une zone NDrift est ainsi diffusée du côté du drain (dopé N^+). La jonction drain – substrat (qui devient la jonction NDrift – substrat) est ainsi capable de soutenir des tensions plus élevées. Le polysilicium de grille N^+ recouvre intégralement la zone d'extension de drain pour faciliter l'accumulation des porteurs en régime linéaire et forme de ce fait une capacité MOS de type $N^+/N\text{Drift}$ avec le drain. La zone de recouvrement (overlap) de la grille sur le drain de longueur OV contribue alors à la capacité grille-drain. L'architecture Drift-MOSFET, plus conventionnellement utilisée pour les applications analogiques haute tension, présente la caractéristique d'être facilement intégrable pour un surcoût très faible.

1.4.4.3 MOS à extension de drain

Cette structure est différente des DMOS et des Drift-MOSFETs du fait de la réduction des dimensions du drain. De ce fait, cette architecture n'est pas dédiée aux applications 20V mais est envisagée pour des applications 10V. Le Drain-Extension MOSFET (DEMOS) présente une configuration de drain différente des précédentes ; en effet, le drain n'est plus déporté au-delà de la tranchée d'isolation, il est juste étendu à l'aide d'une extension de longueur L_{ext} entre la grille et la prise de contact. La région du drain est alors composée de deux zones : une région en profondeur destinée à encaisser la tension de drain et une région implantée en surface destinée à la conduction du courant. Par conséquent, le recouvrement de la grille sur le drain est minimisé et la tenue en tension est abaissée, du fait de la réduction de la taille du drain [Gre05].

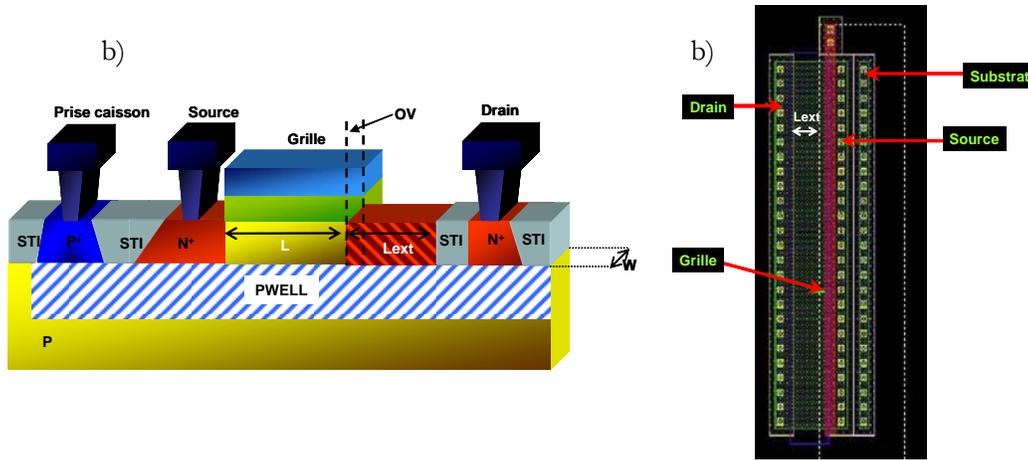


Figure 1.8 : Coupe schématique(a) et lay-out (b) d'un transistor MOS à extension de drain

1.4.4.4 UMOS et VMOS [Zun80]

Les premiers transistors de puissance développés au début des années 70 étaient des VMOS [FarZ76] (Figure 1.9: a). Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Le transistor VMOS présente cependant quelques inconvénients qui ont conduit à la régression voire à l'abandon, au début des années 80, de cette filière pour la production industrielle. En effet, la difficulté de contrôle du processus d'attaque chimique rend délicate la fabrication technologique de ces composants. D'autre part, des problèmes d'instabilité peuvent apparaître dus à une contamination de l'oxyde par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons. Enfin, la « pointe » du sillon en V est le siège de forts champs électriques qui affectent la fiabilité et la tension de claquage des composants.

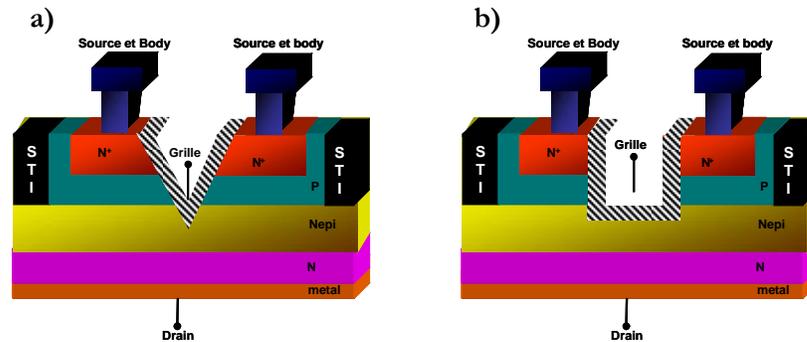


Figure 1.9: a) Coupe schématique d'un transistor VMOS de puissance, b) Coupe schématique d'un transistor UDMOS de puissance

Fin 70, la structure en tranchées, dite aussi trench, UMOS ou à grille enterrée a été proposé [Tam83]. Sa structure (Figure 1.9: b) reprend celle du VMOS mais la forme du sillon est différente. Le canal, qui est horizontal dans un VDMOS, est ici vertical. [Mor96] montre que le R_{on} des MOSFET à grille enterrée est plus faible que celui des VDMOS, et que les premiers offrent de plus grandes perspectives d'amélioration. La réalisation du transistor UMOS est complexe, car elle nécessite une gravure qui doit être la plus régulière possible pour ne pas nuire à la mobilité dans le canal [She92]. L'épaisseur de l'oxyde de grille doit être plus grande que dans un VDMOS et les arrêtes des tranchées doivent être arrondies sous peine de réduire la tenue en tension. Pour les mêmes raisons, la profondeur de la tranchée doit également être soigneusement contrôlée [Sob00].

Ces structures verticales présentent une grande capacité parasite entre l'électrode de grille et l'électrode de drain due au positionnement du drain sous une partie de l'électrode de grille. Cette capacité accentue l'effet de contre-réaction de la sortie sur l'entrée du dispositif (effet Miller) qui limite les performances du composant en termes de gain et de rendement et induit des pertes ohmiques importantes.

1.5 Circuits intégrés de puissance et gestion d'énergie à STMicroelectronics

Dans cette partie, on va s'intéresser au LDMOS de puissance conçu par STMicroelectronics de Crolles pour l'application Amplificateur de Puissance.

1.5.1 NLDMOS sur bulk et sur SOI

Par rapport à ces exigences de performances et de coût, le LDMOS dédié à la radiotéléphonie mobile est utilisé dans les étages de sortie des amplificateurs des stations de base. Chez STMicroelectronics de Crolles, le LDMOS est intégré dans deux filières différentes : BiCMOS 0.25 μm et 0.13 μm sur SOI (Figure 1.10). La différence principale entre ce transistor en SOI et son équivalent en silicium massif est sa totale isolation électrique vis-à-vis des autres composants du même circuit. En effet, la présence de l'oxyde enterré isole le transistor du substrat mécanique commun. La création d'isolations latérales de type STI

(Shallow Trench Isolation), de la même manière qu'en technologie CMOS silicium massif, crée une isolation latérale du transistor vis-à-vis des autres éléments du circuit.

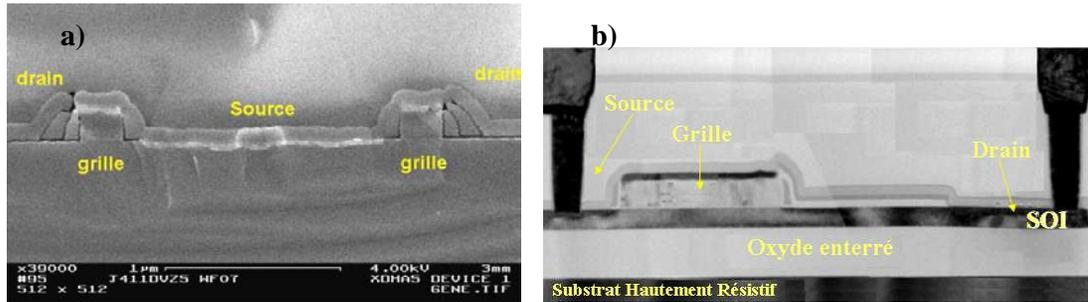


Figure 1.10 : a) Vue TEM d'un transistor NLD MOS sur Bulk, b) Vue TEM d'un transistor NLD MOS sur SOI : épaisseur du SOI = 160µm, épaisseur du Box = 0,400µm

La technologie SOI se distingue par la présence d'une couche d'oxyde enterré sous la zone d'active du substrat, qui permet une isolation par diélectrique complète du transistor. Cette couche d'oxyde a un impact très important sur le comportement physique des transistors MOS haute tension et les avantages procurés sont nombreux : meilleure immunité aux rayonnements et aux phénomènes de « latch-up », diminution des courants de fuite et des capacités de jonction [Axe05] .

	CMOS-BULK	CMOS-SOI-PD
Capacité de jonction NMOS	$7,28e^{-4} \text{ F/m}^2$	$5,2e^{-5} \text{ F/m}^2$
Capacité de jonction PMOS	$6,15e^{-4} \text{ F/m}^2$	$8,5e^{-5} \text{ F/m}^2$

Figure 1.11 : Comparaison des capacités de jonction en technologie CMOS-BULK et CMOS-SOI [Axe05]

En termes d'applications, le SOI a d'abord été étudié pour le durcissement des circuits fonctionnant en milieu radiatif. Cependant, cette technologie présente de nombreux avantages en termes d'intégration, de basse consommation et d'augmentation en fréquence de circuits intégrés. La couche d'oxyde enterré possède une conductivité thermique plus faible que celle du silicium. L'évacuation de la chaleur est plus difficile pour les circuits SOI, ce qui conduit à augmenter la température des composants par rapport aux circuits sur substrat massif. Ceci peut entraîner des dérives de certains paramètres physiques tels que la mobilité, et cet effet concerne principalement les circuits analogiques dont les transistors fonctionnent en très forte inversion; en revanche, il ne concerne pas les circuits numériques CMOS, car la puissance est dissipée principalement lors de la commutation, dont la période est brève et très inférieure à la constante de temps de l'auto-échauffement [Arnold94] [LisaT94] [Mm02] .

Le tableau de la Figure 1.12 résume et compare les caractéristiques des technologies BiCMOS 250nm et 130nm sur SOI utilisées par STMicroelectronics de Crolles.

Technologie 250nm (substrat massif)

Caractéristiques	Valeur
Lpoly	0,5 μ m
Lext	0,6 μ m
VGmax	2,5V
BV	15V
S.Ron	8,7 m Ω mm ²
Epaisseur oxyde	5nm
f _t max	34GHz

Technologie 130nm sur SOI

Caractéristiques	Valeur
Lpoly	0,5 μ m
Lext	0,4 μ m
W	à partir de 5 μ m et jusqu'à plusieurs nm
Lext	0,4 μ m
VGmax	2,5V
BV	16V
Ron	157 Ω (pour W=20 μ m, nsource=1)
Epaisseur oxyde	5nm
f _t max	32GHz

Figure 1.12 : Comparaison entre les caractéristiques d'un NLD MOS en technologie 130 nm sur SOI et en technologie 250nm

1.5.2 MOS à extension de drain DEMOS

Le transistor EDMOS est essentiellement utilisé dans la gestion de l'énergie. Il est utilisé en particulier dans les chargeurs de batterie des téléphones portables.

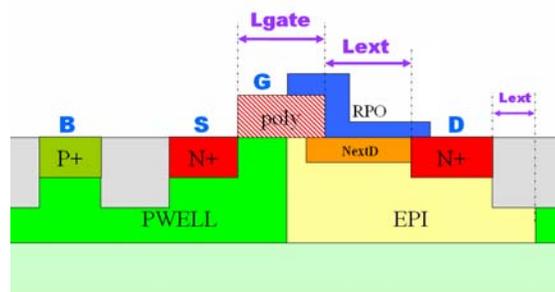


Figure 1.13 : Coupe verticale d'un mos à drain extension en technologie 45nm

Les caractéristiques fondamentales du dispositif sont listées dans le tableau suivant :

Caractéristiques	Valeur
W	10 μm
L	0,2 μm
OV	0,25 μm
Lext	0,30 μm
S.Ron	3 m Ωmm^2
Ioff _{MAX}	7pA/ μm
BV	10V

Figure 1.14 : Caractéristiques d'un EDMOS en technologie
45 nm sur substrat massif

1.5.3 Applications et utilisations des transistors haute tension

On peut diviser les circuits intégrés en deux familles principales, celle de l'interrupteur haute tension et celle du Circuit Intégré de Puissance (Smart Power).

1.5.3.1 Interrupteur haute tension

L'interrupteur est un composant qui permet de contrôler le transfert de l'énergie électrique ; il se comporte comme une résistance non linéaire qui, à l'état passant, doit être la plus faible possible, et à l'état bloqué, la plus grande possible.

Le tableau (Figure 1.15) résume les caractéristiques principales d'un bon interrupteur [Gre05] :

Caractéristiques	Variation
Courant de fuite à l'état OFF	-
Tension à l'état ON	-
R _{on}	-
Temps de commutation	-
blocage en direct ou en inverse	++
courants à l'état ON	++
puissance nécessaire pour le contrôle de la commutation	-
puissance nécessaire pour le contrôle de la commutation	-
Sur-courants ou surtensions di/dt et dv/dt	++
supporter de forts courants et de fortes tensions lors des commutations	++

Figure 1.15 : Principales propriétés d'un bon interrupteur

Il est utilisé essentiellement dans la conception des convertisseurs de puissance. Les convertisseurs de puissance permettent essentiellement d'apporter l'énergie du générateur vers le récepteur, ou réciproquement suivant la réversibilité, et ils sont utilisés dans plusieurs applications (Figure 1.16).



Source: www.st.com/viper

Figure 1.16 : Exemple d'applications du convertisseur haute tension

1.5.3.2 Smart power

Les circuits dits “Smart Power” sont des circuits qui contiennent les fonctions ‘intelligentes’ et celles de la puissance. Ces circuits sont apparus pour répondre au compromis entre coût et performances. Les applications mobiles utilisent essentiellement ce genre de circuits, car elles nécessitent l’utilisation et l’intégration de plusieurs applications (Figure 1.17) en même temps, notamment dans la batterie.



Figure 1.17 : Photo du contrôleur de batterie STC3100 conçu par STMicroelectronics [BatST]

- **Le chargeur de batterie**

Le chargeur de batterie est un circuit destiné à gérer la charge de la batterie d’un dispositif portable type téléphone à partir d’un transformateur secteur. Il s’agit d’un transistor de puissance embarqué qui doit supporter une large gamme de tensions (-2V, 20V) et doit pouvoir délivrer jusqu’à 1,2 A [Gre05].

La partie analogique du circuit du chargeur est assurée par des transistors DMOS. Ils sont utilisés comme interrupteurs quand l’application requiert un composant avec une haute vitesse de commutation et capable de supporter des niveaux de courant et tension élevés.

La Figure 1.18 montre un exemple de circuits utilisant un chargeur de batterie, où le transistor DMOS est utilisé dans ce circuit comme composant de sortie et dans le block “régulateurs”.

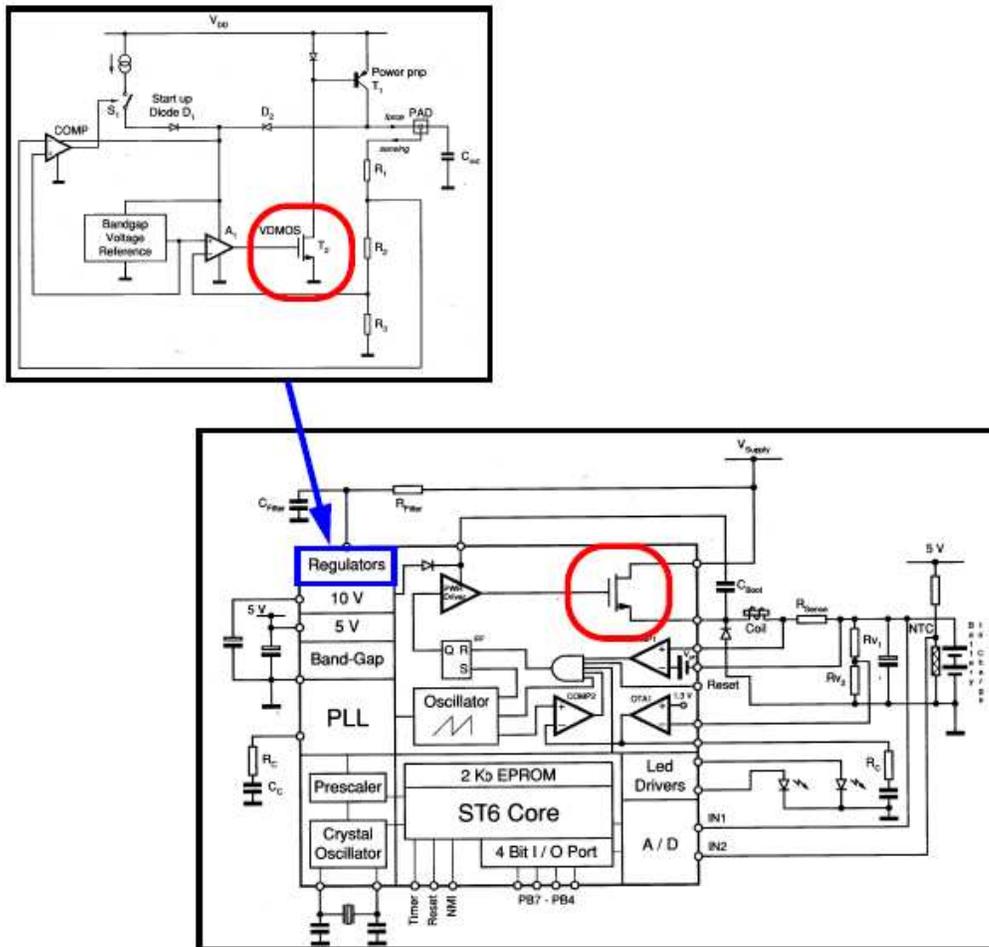


Figure 1.18 : Exemple de circuit comportant un chargeur de batterie[Fur01].

Les cercles rouges représentent le transistor DMOS

▪ Amplificateur de puissance

L'amplificateur de puissance (PA) est chargé d'amplifier le signal en provenance du mélangeur pour fournir une puissance active suffisante à l'antenne (Figure 1.19). Il est généralement constitué d'un ou plusieurs étages de pré-amplification et d'un étage dit de puissance. Chaque étage est constitué d'éléments actifs (transistors) mais également d'éléments passifs qui permettent d'effectuer des transformations d'impédance entre étages. Ainsi, une charge optimale est présentée au transistor afin que celui-ci délivre sa puissance de sortie maximale [Giry01].

Afin d'assurer des niveaux de puissance assez élevés, on utilise des transistors haute tension multi-doigts de type LDMOS.

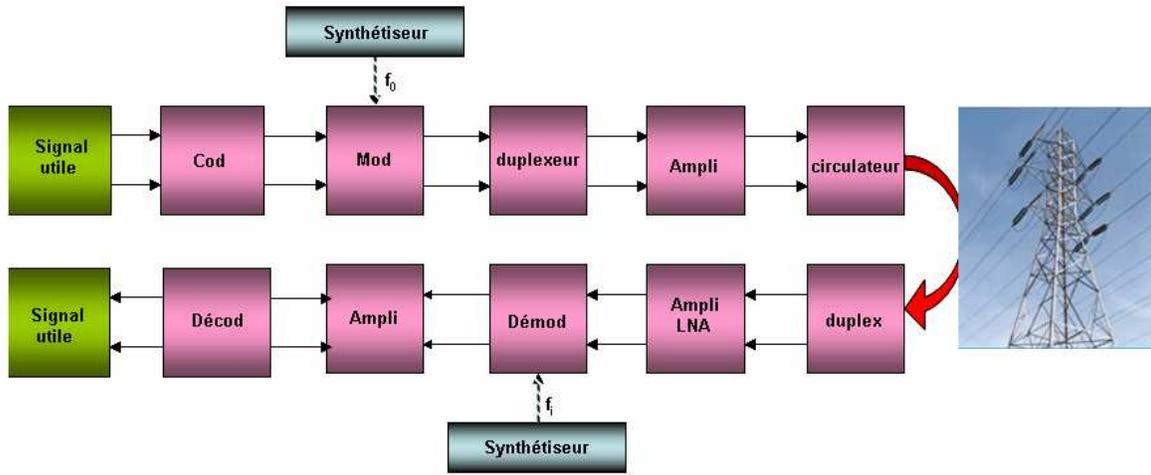


Figure 1.19 : Utilisation d'un amplificateur de puissance dans une chaine de transmission RF

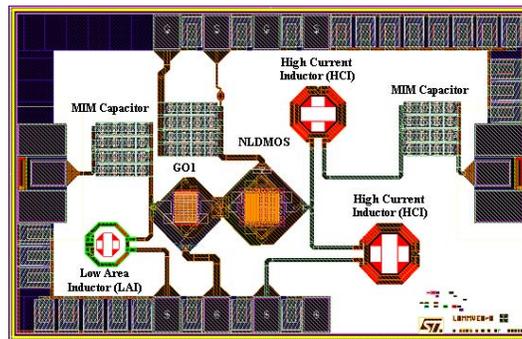


Figure 1.20 : Lay-out d'un amplificateur de puissance conçu par STMicroelectronics [And10]

1.6 Conclusion du chapitre

Ce chapitre a présenté le contexte de notre étude. Les dispositifs de puissance et leur technologie ont été définis ainsi que leurs domaines d'applications.

Les dispositifs de puissances sont des dérivés du MOS standard. Ils ont pour utilité de fournir de la puissance à grande quantité. L'architecture utilisée est choisie en fonction de l'application demandée : gestion d'énergie ou amplification de puissance.

Au début de chapitre, nous avons brièvement rappelé le fonctionnement d'un MOS standard. Puis, une étude détaillée a été réalisée, afin de bien définir le transistor Mos de puissance.

Il existe plusieurs architectures de MOS haute tension répondant à différentes applications.

Ensuite, nous nous sommes intéressés aux dispositifs de puissance conçus par STMicroelectronics Crolles, essentiellement le NLDMOS sur substrat massif et sur SOI et le MOS à drain extension.

Un des problème majeurs des technologies se puissance, en particulier sur SOI, est la phénomène d'auto-échauffement des ces dispositifs, qui a un impact important sur les caractéristiques des transistors Mos de puissance. C'est ce phénomène qui va être étudié dans le chapitre suivant.

CHAPITRE 2
MODELISATION DE L'AUTO ECHAUFFEMENT DANS LES
TRANSISTORS MOS HAUTE TENSION

2.1 Introduction

L'auto-échauffement joue un rôle prépondérant sur le comportement électrique des transistors haute tension : il est très présent dans les dispositifs multi-doigts, ce qui rend sa modélisation indispensable dans les dispositifs dédiés aux applications de gestion d'énergie et de puissance (amplificateurs de puissance, interrupteurs, circuits gestion d'énergie...etc.).

De loin, la plus grande quantité de travail est effectuée sur des technologies SOI. Ces technologies, connues depuis les années 80, ont pris leur temps avant d'émerger et de s'imposer sur le marché des semi-conducteurs, en raison de leurs problèmes liés au process.

En dépit des avantages de ces dispositifs devant la technologie classique sur substrat massif (bulk), les dispositifs SOI sont caractérisés par une forte apparition de l'auto-échauffement.

Ceci peut entraîner des dérives de certains paramètres physiques tels que la mobilité.

Cela explique la quantité des efforts sur la caractérisation et la modélisation consacrés à ce phénomène.

L'effet d'auto-échauffement concerne principalement les circuits analogiques dont les transistors fonctionnent en très forte inversion. En revanche, cela ne concerne pas les circuits numérique CMOS, car la puissance est dissipée principalement lors de la commutation, dont la période est brève et très inférieure à la constante de temps de l'auto-échauffement [LisaT94] [MM02] [Arnold94] [Xiu04] [Su94] [Jen97] [Red93] [Su'94] [Jin01].

Afin de caractériser ce phénomène d'auto-échauffement, nous présentons dans la première partie de ce chapitre une définition générale de cet effet et des différents phénomènes qui accompagnent ce dernier. Plusieurs méthodes de caractérisation et approches de modélisation seront discutées et comparées pour modéliser l'auto-échauffement.

Cette partie de thèse est complètement dédiée aux différentes étapes de la modélisation de l'auto-échauffement : une étude de ce phénomène est détaillée, en expliquant les différentes méthodes d'extraction de la résistance thermique, puis on s'intéresse plus particulièrement au couplage thermique entre les sources du transistor, afin de pouvoir proposer à la fin une modélisation précise et efficace de l'auto-échauffement.

Pour étudier l'auto-échauffement, on choisit de travailler principalement sur deux types de dispositifs, afin de pouvoir comparer le phénomène dans deux technologies différentes :

- Le NLDEMOS (MOS Latéral à extension de drain de type N et à canal diffusé) en technologie 130nm sur SOI.
- Le NLD MOS en technologie 250nm sur substrat massif.

Ces dispositifs ont déjà été présentés dans le premier chapitre.

L'auto-échauffement dans un dispositif est l'élévation de température d'une quantité T_{rise} [Walk02] due à une dissipation locale de puissance. Il se traduit essentiellement par une augmentation de la température interne du dispositif. C'est cette augmentation de la température locale dans le composant qui entraîne la réduction de la mobilité μ_0 (Eq II.1) et, par la même occasion, la diminution de la tension de seuil V_{th} qui est également dépendante de la température (Eq II.2). Par contre, cette diminution de la tension de seuil est assez négligeable devant la diminution de la mobilité. Par conséquent, à mesure que la température augmente, le courant I_{dsat} de sortie décroît (Eq II.3) (Figure 2.1). Cette évolution se voit aussi bien si l'on regarde les équations simplifiées d'un modèle compact BISIM3 par exemple :

$$\mu(T) \approx \mu(T_{nom}) \left(\frac{T}{T_{nom}} \right)^{\mu_e} \quad (\text{Eq II.1})$$

$$V_{th(T)} = V_{th(T_{nom})} + K * \left(\frac{T}{T_{nom}} \right)^{-1} \quad (\text{Eq II.2})$$

$$I_{dsat} = \mu * \frac{C_{ox}}{2} * \frac{W}{L} (V_{gs} - V_{th})^2 \quad (\text{Eq II.3})$$

W : largeur de la grille, L : longueur de la grille, C_{ox} : capacité d'oxyde et K , μ_e sont des paramètres modèle avec $\mu_e \approx -1.5$ et $K < 0$

De plus, cet effet qui se présente à la fois dans les régimes de saturation et de quasi-saturation [YASH91], est seulement dépendant du niveau de puissance d'entrée.

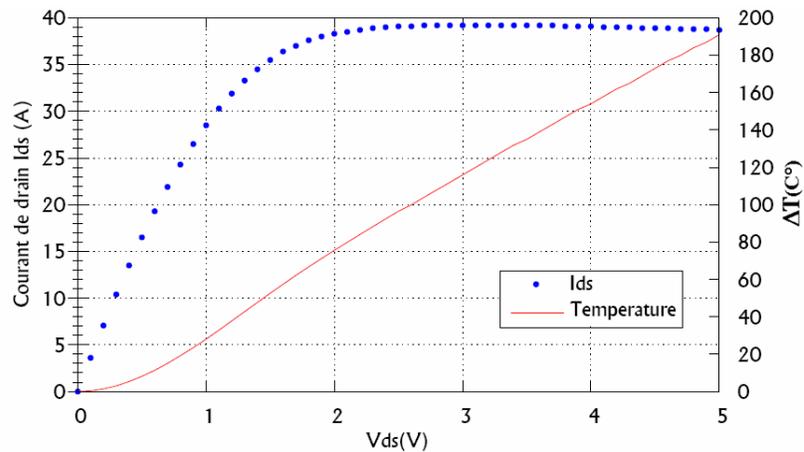


Figure 2.1 : Simulation d'une caractéristique $I_d(V_d)$ et de l'accroissement de température correspondant au cas d'un NLD MOS sur SOI à 1 source

L'élévation de la température entraîne une modification des caractéristiques électriques. Dans les structures MOS, elle se manifeste sur la caractéristique $I_{ds}(V_{ds})$ sous forme de résistance négative dans la zone de saturation [Chen07] [Su94] [Xiu04] (Figure 2.2).

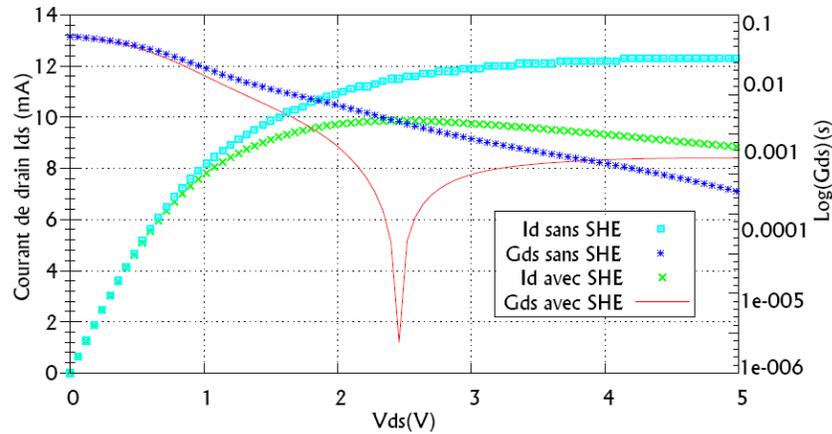


Figure 2.2 : Caractéristiques I_{ds} et G_{ds} (simulées) en fonction de V_{ds} pour un NLD MOS sur SOI à 1 source, $W_{active}=10\mu m$ et $V_{gs}=2,5V$

2.2 Histoire de l'auto-échauffement

Dans les années 50, Strickland [Strick50] a proposé une modélisation de l'auto-échauffement dans les transistors bipolaires et a présenté l'origine physique de l'effet. Sur ces bases, il a démontré l'équivalence avec un réseau électrique distribué RC.

Plus tard, l'étude de Joy [Joy70] a modélisé une source de chaleur avec un parallélépipède rectangulaire. Il a aussi mis en place les mesures pulsées (Figure 2.3) pour la caractérisation de l'auto-échauffement ; ces mesures permettent le contrôle de l'état thermique du transistor.

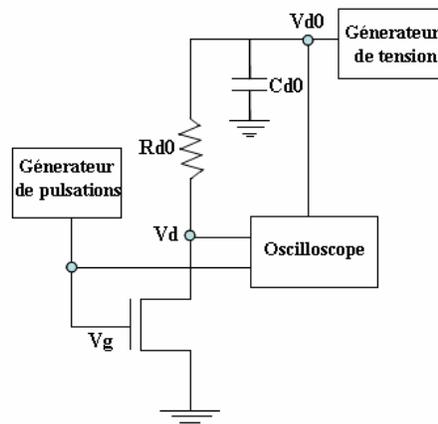


Figure 2.3 : Méthode des mesures pulsées

Ce procédé permet entre autres de réaliser des mesures $I(V)$ de transistors dans des conditions quasi-équi-thermiques. Il a fait son apparition au cours des années 80. Il consiste à décrire les caractéristiques d'entrée et de sortie du composant par de brèves impulsions issues d'un point de polarisation choisi. A un point de repos donné (V_{g_0} , V_{d_0}) il correspond un courant de repos I_{d_0} . Une impulsion simultanée sur la grille et sur le drain d'amplitudes différentes fixe les tensions de polarisation (V_{g_i} , V_{d_i}) pour lesquelles le composant délivre un courant de sortie I_{d_i} . La caractéristique complète de sortie du composant est alors obtenue en faisant varier les amplitudes des polarisations (V_{g_i} , V_{d_i}).

L'auto-échauffement été étudié sur les MOSFET pour la première fois par Sharma et al [Shar78] en 1978. Sharma a observé que l'augmentation de la température interne du transistor conduit à la réduction du courant de drain et, pour la première fois, il a proposé une expression qui relie la variation de température interne T du transistor avec sa puissance P :

$$T = T_0 + K \times P \quad (\text{Eq II.4})$$

Au début des années 90, une autre technique intéressante est apparue : la thermométrie du bruit [R.J.T93] [Nam03]. Dans cette méthode, on utilise une résistance comme capteur de la température. La résistance est dans un premier temps calibrée en température. La tension de bruit théorique aux bornes de la résistance est calculée avec la formule de Nyquist pour chaque température. Cette première étape permet d'établir un tableau d'étalonnage qui associe à chaque température une tension de bruit théorique. Ensuite, on réalise des mesures de puissance de bruit en fonction de la fréquence sur la résistance thermique. Par comparaison avec le tableau d'étalonnage, la température de la résistance à chaque fréquence peut être déduite. Cette technique a été employée pour étudier les effets de l'auto-échauffement dans des structures MOS sur SOI notamment.

Par la suite, Mautry et Trager [Mautry90] ont proposé une méthode d'extraction de la température, en utilisant la variation de la résistance de grille en fonction de la température. La même méthode a été appliquée sur des dispositifs SOI par Su et al [Su94] ; cette méthode sera plus discutée dans les paragraphes qui suivent.

En 1991, McDaid et al [McDaid91] ont proposé une technique de suivi de l'élévation de la température des transistors SOI par la mesure du courant de fuite. L'idée est, dans un premier temps, de calibrer le courant de la jonction choisie en fonction de la température pour un même point de fonctionnement choisi. Ensuite, le dispositif est porté dans ses conditions de fonctionnement normal, celles où se manifeste l'auto-échauffement. Le courant de jonction est remesuré et la température de jonction est déduite de la comparaison avec le tableau

d'étalonnage précédemment établi. Cette méthode est rapide et ne demande aucun équipement spécifique. Par contre, le dispositif doit pouvoir permettre d'isoler les diodes pour réaliser la mesure.

Il existe aussi d'autres méthodes pour modéliser l'auto-échauffement à partir des :

a) Méthode des quadripôles [Rey04] : le principe de cette méthode est d'identifier les chemins possibles pour l'évacuation de la chaleur. Chaque chemin est alors défini par un quadripôle qui lie le flux de chaleur à l'entrée du chemin à celui à la fin. La méthode repose sur l'idée que, comme l'équation de la chaleur est linéaire, la partie statique et la partie dynamique peuvent être traitées séparément. La méthode s'intéresse à la partie dynamique de la fluctuation de chaleur.

Il est important de remarquer que cette méthode se base sur plusieurs hypothèses. Tout d'abord, la propagation de la chaleur est supposée unidimensionnelle. En plus, aucune source de chaleur ne doit être présente dans le milieu considéré.

b) Mesures thermographiques avec cristaux liquides [Kole00] : cette technique permet de réaliser une mesure de la température sur la surface. L'idée est d'utiliser un cristal liquide qui change sa structure moléculaire et ses propriétés optiques avec la température. Le cristal est d'abord étudié seul à différentes températures : à chaque température, ses caractéristiques sont enregistrées. Ensuite, le cristal liquide est mis sur la surface du dispositif et le dispositif est porté dans ses conditions de fonctionnement. En comparant les caractéristiques du cristal avec le tableau d'étalonnage précédemment établi, il est possible de tracer les températures de la surface de la structure. Cette technique a une bonne résolution mais demande de l'équipement spécifique pour être réalisée.

c) Mesures au microscope infrarouge [Kole00] : elles permettent de mesurer l'énergie infrarouge relâchée par la surface d'une structure qui dissipe de la puissance. Ces mesures sont rapides mais demandent un équipement spécifique et ne fournissent que des informations sur la surface du dispositif.

Une approche pour modéliser l'auto-échauffement, en définissant le couplage thermique a été présentée par Tenbroek [Tenb96] en 1996, puis Walkey [Walk96] a mis en place des méthodes de caractérisation de ce dernier dans les transistors bipolaires.

Depuis, plusieurs études et travaux de recherche [Can06] [Beck05] [Ang04] ont été réalisées afin d'améliorer et faciliter la modélisation de l'auto-échauffement.

2.3 Caractérisation et modélisation de l'auto-échauffement

La méthodologie d'extraction d'un modèle se compose de deux axes principaux que sont la modélisation des mesures et la validation du modèle, elle peut se résumer avec la Figure 2.4 :

- génération de structures de test spécifiques au SHE dans un premier temps,
- mesure de ces structures de test et extraction des grandeurs caractéristiques,
- modélisation de ces grandeurs et implémentation dans le modèle globale du dispositif.

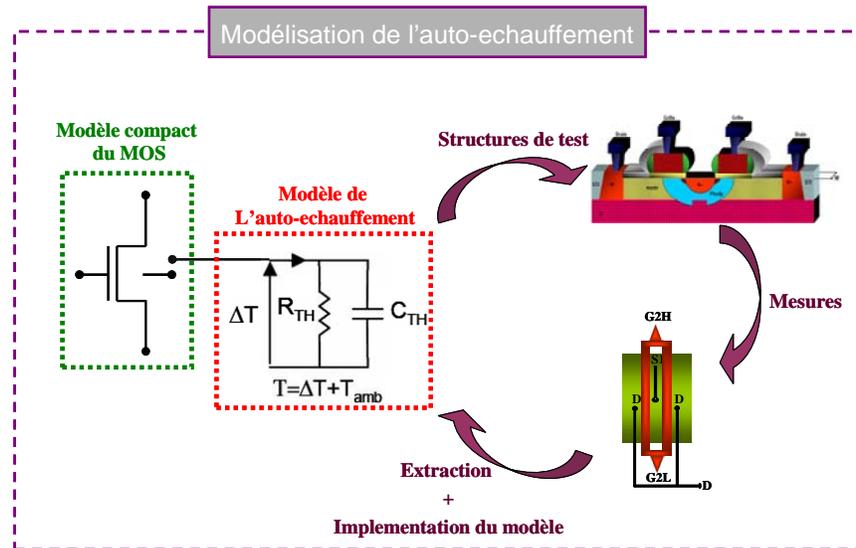


Figure 2.4 : Etapes de modélisation de l'auto-échauffement

Il est possible de simuler l'auto-échauffement d'un transistor haute tension en utilisant l'une des méthodes suivantes :

- l'utilisation d'un modèle compact dédié au Mos haute tension, qui prend en compte l'auto-échauffement (par exemple HiSIM-HV [HiSIM]), ou d'un macro-modèle basé sur un modèle compact de MOS standard (par exemple BSIM3-SOI). Dans ce cas, il faut renseigner les paramètres du modèle (compact ou macro-modèle) dédiés à l'auto-échauffement.
- l'utilisation d'un modèle compact ou d'un macro-modèle qui donne accès à un nœud thermique. De cette manière, on peut utiliser le circuit représenté sur la Figure 2.5.

L'auto-échauffement est assimilé jusqu'à présent au comportement d'une (modèle non distribué) ou de plusieurs cellules RC [Strick59] : dans ce dernier cas, on parle de modèle distribué. La détermination de son impédance permet de reproduire l'évolution de la température de canal dans le temps en fonction de la puissance dissipée.

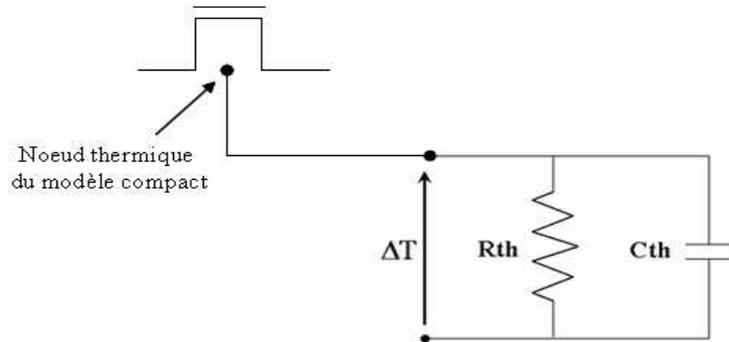


Figure 2.5 : Modélisation de l'auto-échauffement par un circuit RC

Comme on l'a vu précédemment, il existe différentes méthodes expérimentales permettant d'effectuer la mesure de la température d'un transistor et donc d'en déduire sa résistance thermique [Yun99] [Pog03] [Lop02].

Cependant, l'inconvénient majeur de ces déterminations expérimentales est que seul le régime statique (ou régime établi) peut être mesuré avec précision : seule la résistance thermique R_{th} pourra donc être déterminée. La détermination de la capacité thermique C_{th} nécessite la mesure de la température en régime dynamique (ou régime transitoire) [Ang'04] ; ce type d'expérience reste très difficile à mettre en œuvre, les performances des outils étant limitées tant en résolution spatiale que temporelle.

Dans notre étude, on s'intéressera plus particulièrement à l'extraction de R_{th} pour la définition du profil thermique du transistor. Afin d'énoncer la valeur de la résistance thermique (R_{th}), il faut présenter la méthode utilisée d'extraction de R_{th} et définir des structures de test ; par la suite, le modèle de l'auto-échauffement est implémenté dans le circuit du modèle compact. Finalement, le modèle de l'auto-échauffement est validé grâce à une comparaison entre la mesure et la simulation. Cette partie présente et détaille les différentes étapes de modélisation de l'auto-échauffement commençant par l'extraction de R_{th} et finissant par une validation du modèle d'auto-échauffement.

2.3.1 Extraction de R_{th} avec la méthode de la résistance de grille

Cette méthode repose sur l'hypothèse que la température du canal et celle de la grille sont très proches, ce qui permet d'utiliser la résistance de grille R_g comme capteur de température. Cette méthode d'extraction nécessite donc des structures spécifiques possédant deux accès à la grille (GH et GL) (Figure 2.7) [Mautry90] [Su94].

La mesure de R_g est faite quand le transistor est éteint ($V_s=V_d=0$, $V_{GH}=V_{Gmax}$, $V_{GL}=V_{Gmax}+\Delta V_G$), ce qui permet d'établir un tableau d'étalonnage qui associe à chaque température une valeur de la résistance de grille thermique R_{gmin} .

Ensuite, le transistor est polarisé en régime de saturation (auto-échauffement actif) et la résistance de grille est mesurée (R_{gmax}).

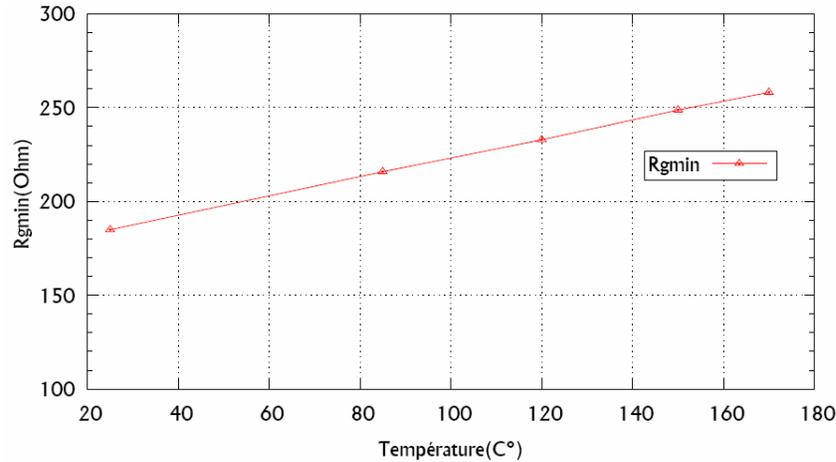


Figure 2.6 : Evolution de R_{gmin} en fonction de la température

La résistance thermique totale est ensuite calculée comme la pente de l'élévation de température en fonction de la puissance dissipée qu'on calcule grâce à la source commune :

$$\Delta(T^\circ) = \frac{(R_{g_{max}} - R_{g_{min}})}{R_t} \quad (\text{Eq II.5})$$

Et

$$R_{th} = \frac{\Delta T}{Pd} \quad (\text{Eq II.6})$$

$R_{g_{min}}$: Résistance de la grille quand le transistor est en régime saturé

$R_{g_{max}}$: Résistance de la grille quand le transistor est éteint

R_t : Pente de $R_{gmin} = f(T^\circ) \Rightarrow R_{th} = \frac{\partial R_{gmin}}{\partial T}$

Pd : Puissance dissipée dans le composant (Contribution de tous les doigts dans le cas d'une structure interdigitée)

Cette méthode permet d'extraire la résistance thermique totale du transistor mais ne nous permet pas d'avoir une information sur la température et la résistance de chaque source (paire de doigts).

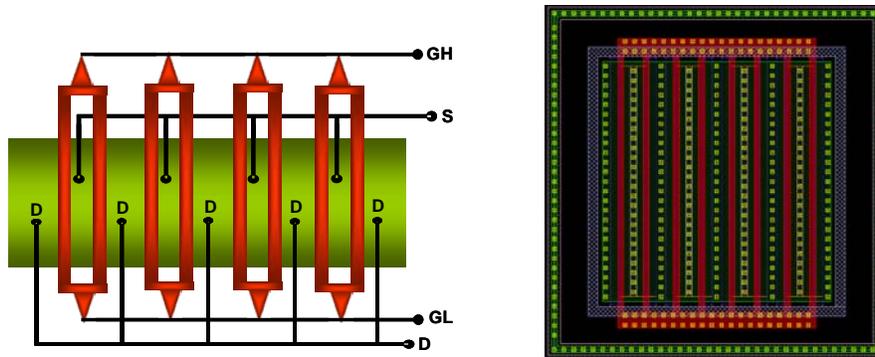


Figure 2.7 : Structure de test avec une grille commune, pour extraire la température totale du transistor

2.3.2 Extraction de la résistance thermique et de la température

Comme nous avons vu au paragraphe précédent, on peut extraire R_{th} avec la méthode de la grille en utilisant des structures de test spécifiques ; on remarque aussi que l'utilisation des structures standards et de cette méthode ne nous donne pas accès à la température, la puissance et la résistance thermique de chaque source (couple de doigts).

Sachant que, pour notre application, nous utilisons des grands transistors, il nous faut des structures spécifiques dans le cas des transistors multi-doigts.

Plusieurs études [Can06] ont bien montré que la chaleur ne garde pas la même valeur dans toutes les sources des transistors et qu'elle dépend de plusieurs paramètres. C'est pour cela qu'il faut chercher à extraire R_{th} dans chaque source individuellement, ce qui rendra la modélisation plus précise.

2.3.2.1 Définition de nouvelles structures

Cette partie présente les nouvelles structures de test élaborées au cours de ce travail de thèse.

- **Structure pour l'extraction de la température dans chaque source SHE0**

Ces structures [Can07] étaient conçues afin de pouvoir prélever la température de chaque source ; elles disposent, en plus du drain et de la source commune, de grilles individuelles qui remplacent la grille commune (Figure 2.8), ce qui permet de mesurer la température de chaque source et de reconstruire le profil thermique du transistor.

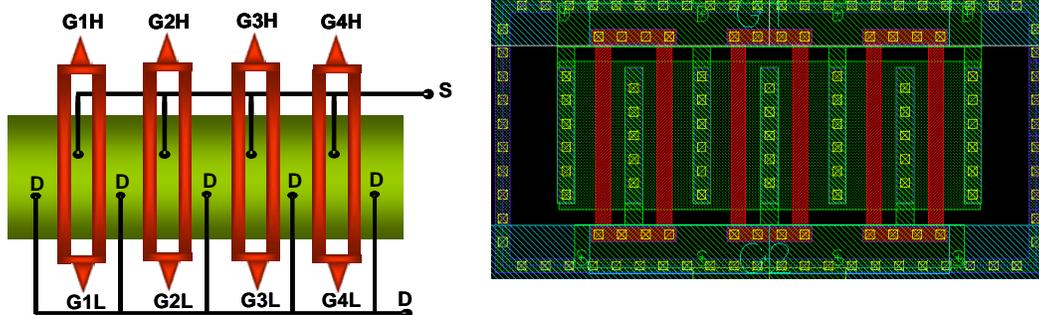


Figure 2.8 : Structure de test avec des prises de grille individuelle pour extraire la température de chaque source

- **Structure pour l'extraction de la résistance thermique de chaque source SHE1**

Avec les structures précédentes, on ne pouvait pas accéder à la résistance thermique de chaque source, car on ne pouvait pas calculer la puissance dissipée par chaque source.

Pour cela, on place des structures de test (SHE1), possédant des sources individuelles [Hniki09] (Figure 2.9) en plus des grilles individuelles, pour pouvoir mesurer la puissance dissipée par chaque source.

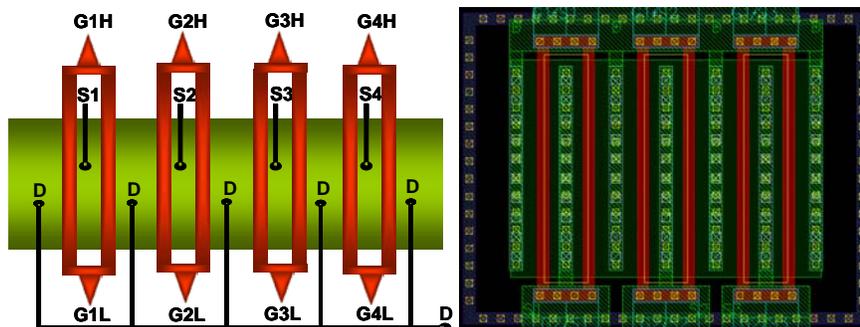


Figure 2.9 : Structure de test SHE1 avec des prises de sources individuelles, pour extraire la puissance de chaque source

- **Développement d'une nouvelle structure (SHE2) pour optimiser l'extraction du profil thermique**

En utilisant encore le principe de la résistance de grille, il est possible de définir un nouveau type de structure qui permet d'extraire le profil thermique généré par une source de chaleur unique.

La nouvelle structure SHE2 [Hniki'09] est composée d'un MOS à deux accès de grille (GH et GL) et un accès de source (S1) pour extraire sa température. Le transistor se positionne au

milieu de la zone d'active (correspondant au cas d'une source centrale pour un MOS interdigitée), en gardant une distance importante vis-à-vis de l'isolation à gauche et droite (on néglige les effets de bords et de l'isolation). Puis on met d'un seul coté de la source plusieurs doigts de grille jouant le rôle de thermomètres.

La température étant plus importante à côté du transistor, il faut avoir une bonne précision de mesure à proximité de ce dernier. Il faut augmenter le nombre des doigts de grille à côté de la source. L'espacement entre les doigts de grille faisant fonction de thermomètre est ajusté de manière à avoir le plus de précision dans les zones de fort gradient thermique. On choisit pour les thermomètres les dimensions minimales offertes par la technologie (pas nécessairement celle du dispositif à étudier) de manière à accroître la précision de la mesure (Figure 2.10 et Figure 2.11).

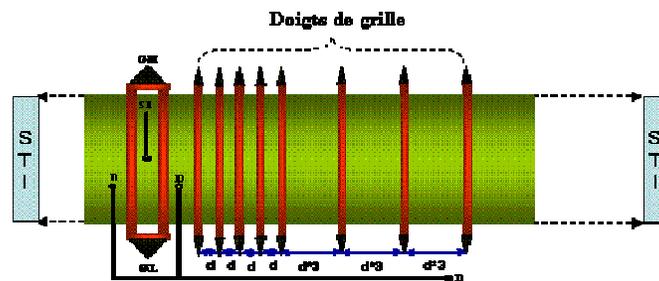


Figure 2.10 : Nouvelle structure de test SHE2 permettant de mesurer le profil thermique d'une seule source en fonction de la largeur d'active

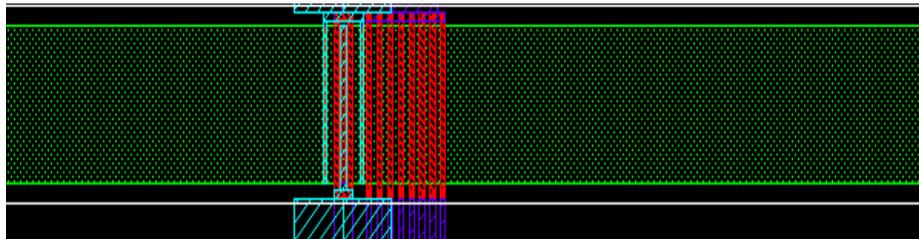


Figure 2.11 : Layout de la structure de test SHE2 pour mesurer le profil thermique des sources de centre. La source de chaleur est au centre de la zone active.

La structure de test permet d'extraire la moitié du profil thermique d'un transistor à une source (Figure 2.12: a). Grâce à la symétrie du profil thermique, on obtient le profil thermique complet d'un transistor à une source avec une température maximum T_0 (Figure 2.12: b).

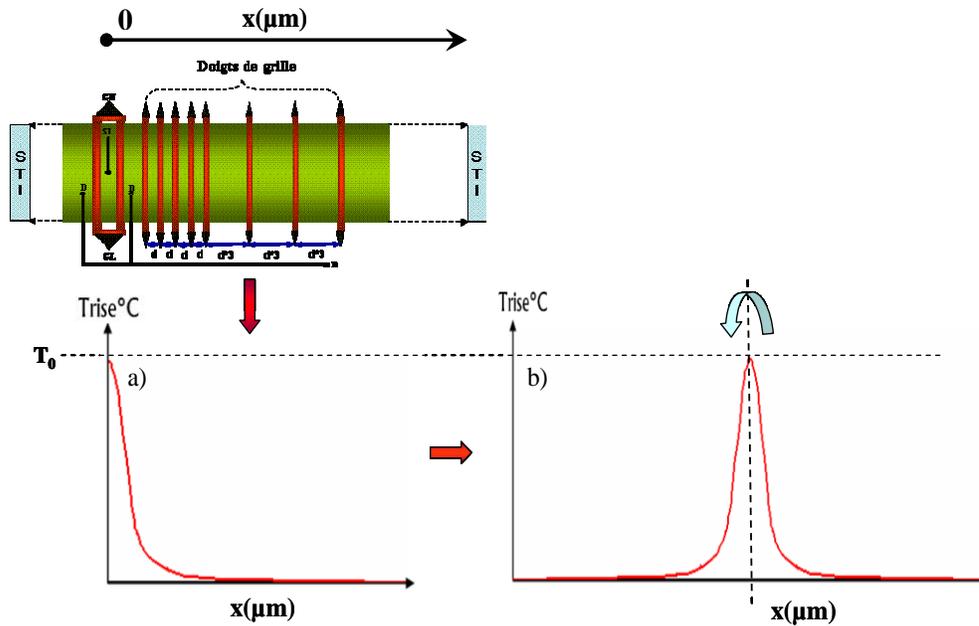


Figure 2.12 : Extraction du profil thermique d'une source centrale en fonction de la longueur de l'active en utilisant la nouvelle structure SHE2. a) extraction de la moitié du profil grâce aux doigts de grille, b) déduction par symétrie du profil total du NLD MOS.

La structure SHE2 peut être aussi utilisée en configuration bord (Figure 2.13) : la source de chaleur est placée proche du STI, c'est-à-dire pour extraire et caractériser les effets de bords. Pour cela, il suffit de placer la source en position bord (au bord de l'active).

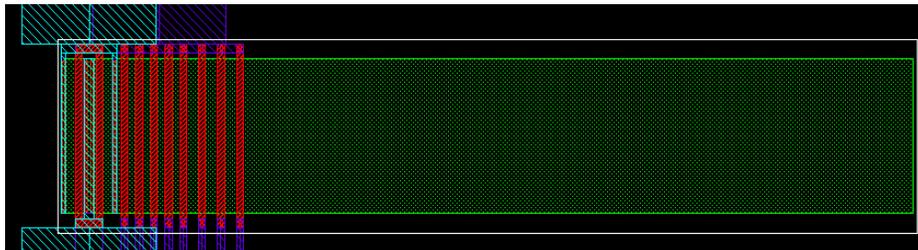


Figure 2.13 : Layout de la structure de test SHE2 pour mesurer le profil thermique des sources de bords. La source de chaleur est au bord de la zone active

On verra par la suite que ce type de structure est très intéressant pour étudier le couplage thermique (paragraphe 2.4.2.5).

2.3.3 Impact de la connection Dispositif-Plot (routage) sur Rth

L'extraction d'un paramètre physique ne se limite pas à la définition des structure de test, elle intègre également les mesures. Quels que soient la nature de la structure, son architecture et ses défauts, les mesures permettent de refléter le comportement physique du composant. D'elles dépend la pertinence apportée par le modèle au simulateur.

2.3.3.1 Impact du routage

Sur la Figure 2.14, on peut voir la température extraite pour plusieurs structures à 11 sources (NSXI, NSXJ, NSXK, NSXL). Ces quatre structures ont différentes configurations pour connecter le dispositif aux plots.

On remarque que les sources, qui se trouvent à la même position dans les différentes structures, possèdent des valeurs différentes de Rth. Ces résultats confirment l'importance du routage sur la température extraite.

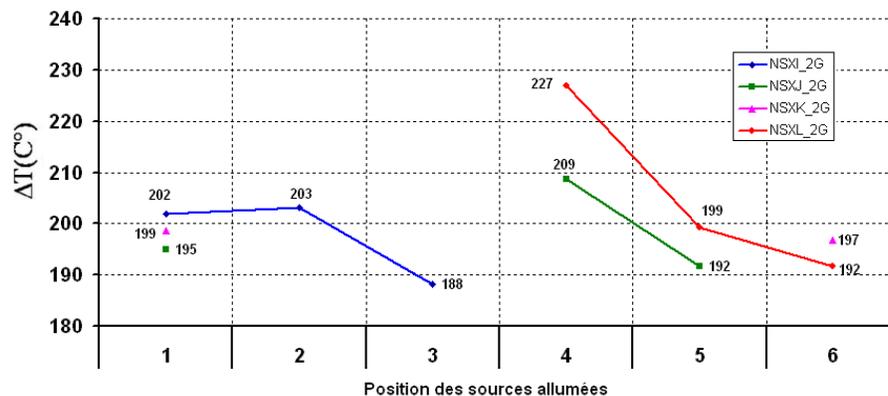


Figure 2.14 : Variation de la température des sources de 4 structures de NLDMOS sur SOI à 11 sources avec un routage différent

Les interconnexions jouent un rôle très important dans la validité des mesures. La limitation des plots de mesures (24 plots) nous oblige à dupliquer les structures pour pouvoir mesurer toutes les sources (cas des grandes structures). On se trouve donc dans des cas où $W_{structure} \ll W_{interconnexions}$ (Figure 2.15) ; les transistors mesurés ont un W_{total} de l'ordre de $100\mu m$, et la barrette des mesures a une largeur de $1400\mu m$.

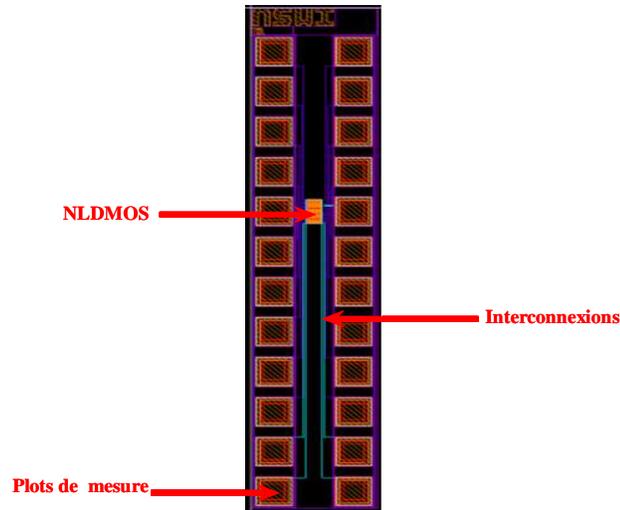


Figure 2.15 : a) Layout d'un transistor NLD MOS connecté à des plots de mesure

Les sources sont reliées aux plots de mesures à l'aide d'interconnexions (fils métalliques) qui possèdent des longueurs différentes : selon la position de la source à mesurer, le câblage peut être maximal (Figure 2.16 : a) ou minimal (Figure 2.16 : b). Sachant que ces interconnexions possèdent déjà une résistance qui se rajoute à la résistance de la grille, les extractions peuvent être faussées, ce qui nécessite une correction. Il existe plusieurs méthodes pour diminuer, corriger ou supprimer l'impact des interconnexions sur les extractions de R_{th} ou sur les mesures en général. Parmi ces méthodes, on peut citer le «de-embedding» qui est une méthode très efficace mais assez couteuse en même temps.

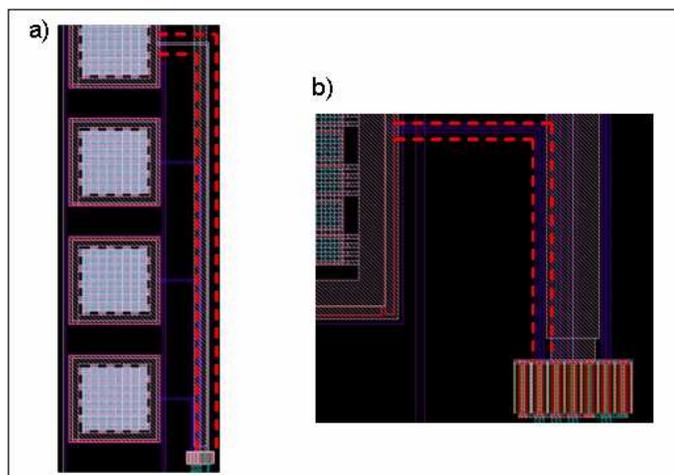


Figure 2.16 : a) Câblage maximum pour la mesure d'une source.
b) Câblage minimum pour la mesure d'une source

2.3.3.2 Correction des mesures

On utilise l'équation (Eq II.7) pour extraire la température. Rg_{min} (la résistance de la grille quand le transistor est éteint) est composée de la propre résistance de la grille Rg_i et de la résistance ajoutée par le routage Rg_r .

$$\Delta(T^\circ)_{totale} = \frac{(Rg_{max} - Rg_{min})}{Rt} \quad (\text{Eq II.7})$$

$$Rg_{min}(T) = Rg_i(T) + Rg_r(T) \quad (\text{Eq II.8})$$

Si le routage n'est pas minimum ($Rg_r(T) \gg Rg_i(T)$), la grille ne peut plus être considérée comme un capteur efficace de la température locale du canal. Seul l'impact au niveau des connections est mesuré.

Donc, pour corriger l'impact du routage sur l'extraction de la température, on s'intéresse à Rt qui est la pente de la variation de la résistance de grille Rg_{min} en fonction de la température.

Si on visualise la courbe de Rg_{min} et Rt en fonction de la température (Figure 2.17) pour la 4^{ème} source d'un NLDMOS à 11 sources pour plusieurs configurations de routage (structures NSXJ, NSXL, NSXQ, NSXR), on remarque que Rg_{min} n'a pas la même pente pour les différentes configurations de routage, à cause de la résistance du routage Rg_r qui est différente à chaque fois. Il faut donc que Rt garde la même valeur quelle que soit la configuration du routage pour une source donnée.

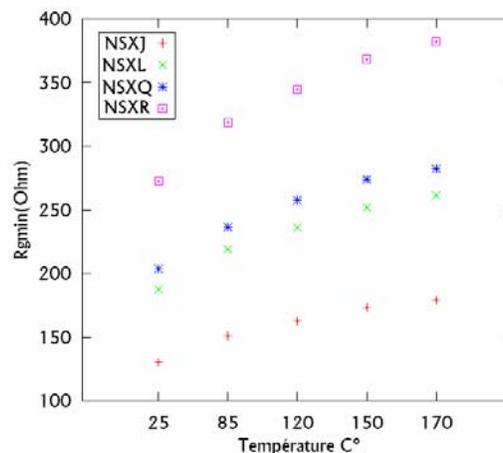


Figure 2.17: Variation de Rg_{min} en fonction de la température de la 4^{ème} source pour plusieurs configurations de routage

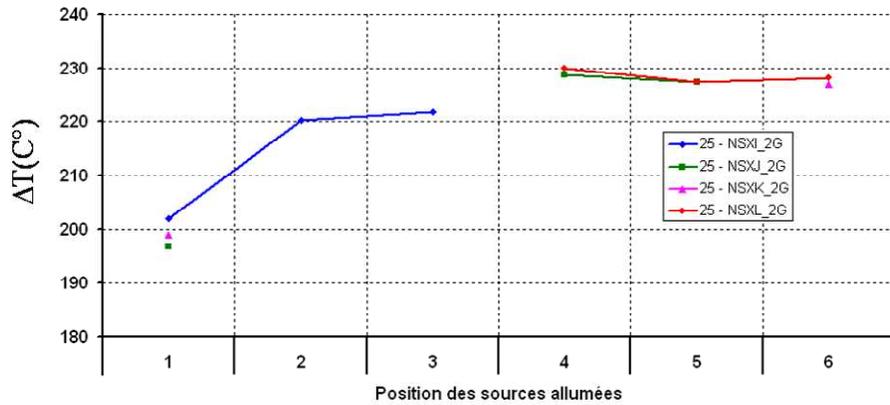


Figure 2.18: Variation de la température des sources de 4 structures de NLD MOS après la correction du routage.

Après application de la correction, on remarque que les sources qui sont à la même position possèdent la même valeur de R_{th} . Cela permet de valider cette méthode de correction et de l'utiliser pour le reste d'extraction.

D'un autre côté, on peut aussi assurer que la longueur totale des interconnexions de chaque source soit un peu près équivalente en jouant sur les longueurs des interconnexions des prises de grille (G1 et G2). Par exemple, si on utilise une interconnexion maximale pour la prise de grille G1, on utilise une interconnexion minimale pour la deuxième prise de grille G2 (Figure 2.19).

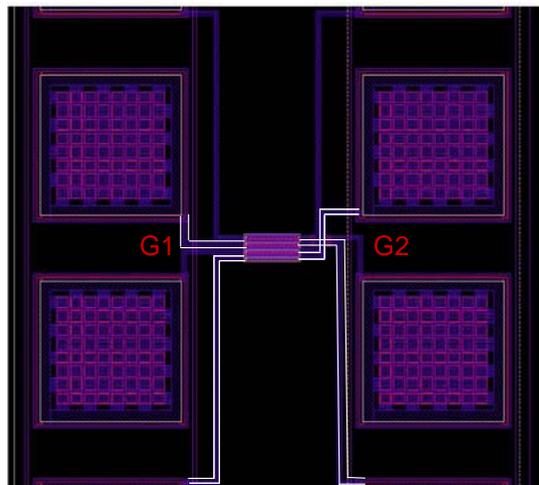


Figure 2.19 : Vue Layout du câblage optimisé, afin de réduire l'erreur sur la mesure de R_{th} .

En pratique, on a utilisé cette stratégie pour définir toutes les nouvelles structures et diminuer ainsi le traitement des données avant de les analyser.

2.3.4 Impact de la température sur la résistance thermique

Il est important, pour la validité des extractions de R_{th} , d'étudier l'impact de la température de fonctionnement du transistor sur R_{th} [Ang03].

La Figure 2.20 montre la mesure de R_{th} d'un NLD MOS sur SOI entre 25°C et 170°C. On remarque qu'effectivement les valeurs de R_{th} varient linéairement en fonction de la température. Cette variation n'est pas très importante, puisque, si on passe de 25 à 170°C, R_{th} varie seulement de 5%.

Pour analyser cette variation et savoir son origine, on s'appuie sur les lois de la propagation de la chaleur, définissant la résistance thermique d'une région dans une certaine direction (par exemple z) comme suit [Rieh'02] :

$$R_{th} = \rho_{th} \int_0^T \frac{1}{W(z)L(z)} dz \quad (\text{Eq II.9})$$

Où ρ_{th} est la conductivité thermique, W et L sont respectivement la largeur et la longueur de la zone de flux de la chaleur à la hauteur z , T est la hauteur de la zone considérée.

Le calcul des résistances thermiques utilise la résistivité thermique du silicium ρ_{th} . Ce paramètre physique dépend directement de la température T selon la loi (Eq II.10) [Can06] :

$$\rho(T) = (0,0094 T^2 + 29,57 + 6035,6) E^{-6} \left[\frac{m^0 C}{W} \right] \quad (\text{Eq II.10})$$

Pour vérifier cette hypothèse, on calcule ρ_{th} pour différentes températures variant entre 25 et 170 C°.

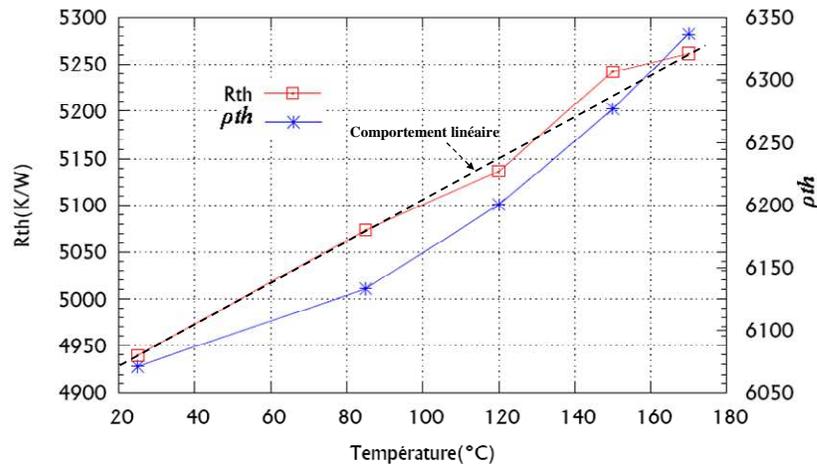


Figure 2.20 : Variation de la résistance thermique et de la résistivité du Silicium d'un NLD MOS sur SOI allumé entre 25 et 170°C

La Figure 2.20 montre la superposition des courbes de R_{th} et ρ_{th} ; on remarque que les deux paramètres varient de la même façon. Effectivement, ρ_{th} varie linéairement en fonction de la température et possède la même pente que R_{th} :

$$\frac{\partial R_{th}}{\partial T} \approx 1,7 \text{ et } \frac{\partial \rho_{th}}{\partial T} \approx 1,9$$

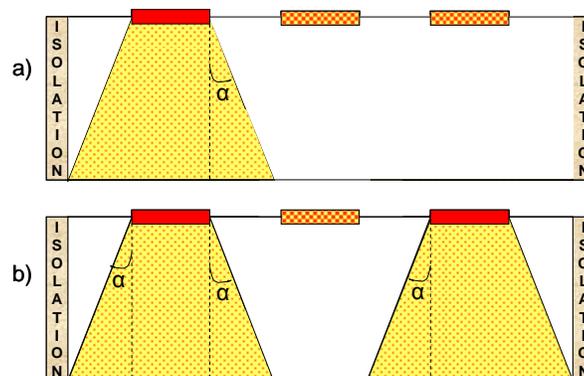
La prise en compte de cette variation en température de R_{th} est possible à condition que le modèle compact utilisé possède un nœud thermique ; sinon, on ne peut pas prendre en compte cette dépendance en température. Il suffit alors d'ajouter l'équation de $R_{th}(T)$.

Dans le cas contraire, R_{th} ne dépendra pas de la température.

2.4 Etude du comportement thermique d'un NLDMOS basée sur la mesure

L'échauffement d'un transistor est la combinaison de deux phénomènes :

- L'auto-échauffement de la source qui est dû à ses propriétés physiques, qu'on appellera le comportement thermique intrinsèque. On peut caractériser ce phénomène physique en allumant les sources individuellement (Figure 2.21 : a)
- Le couplage thermique qui est l'échauffement de la source en présence d'une ou de plusieurs sources de chaleur voisine : il ne faut pas que les sources soient très éloignées, sinon elles ne se couplent pas (Figure 2.21: b). Il est le résultat de l'échange thermique entre les deux sources de chaleur (Figure 2.21: c).



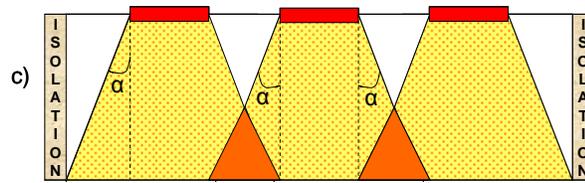


Figure 2.21 : Représentation de la dissipation de la chaleur à différentes cas d'allumage d'un NLD MOS à 3 sources

2.4.1 Comportement thermique intrinsèque du NLD MOS

Dans cette partie, on va étudier l'auto-échauffement de chaque source (couple de doigts) individuellement. La caractérisation de ce phénomène est très importante dans l'étude de l'auto-échauffement en général et dans les dispositifs multi-doigts plus particulièrement.

2.4.1.1 Mesures et résultats

Grâce aux nouvelles structures de test avec accès aux sources (surtout celle de type SHE1), on peut étudier et modéliser le comportement thermique intrinsèque du transistor NLD MOS. En effet, l'utilisation des grilles et des sources individuelles permet d'allumer chaque source individuellement, c'est-à-dire en absence du phénomène du couplage thermique qui se produit en allumant les autres sources. On peut donc extraire la résistance thermique intrinsèque R_{thi} de chaque source. Sur les figures suivantes, on peut voir les résultats obtenus pour les technologies sur SOI et sur Substrat massif.

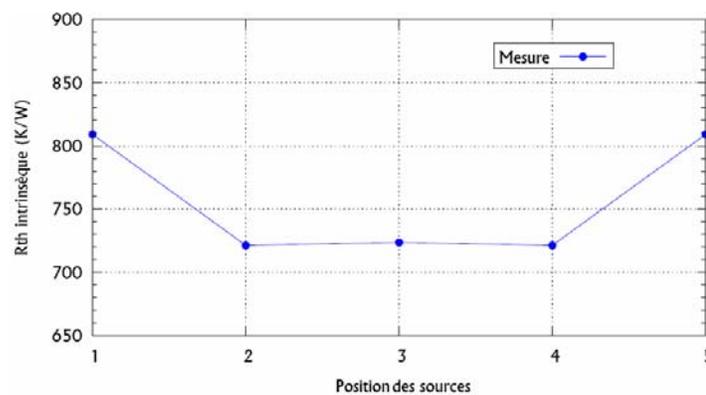


Figure 2.22 : Evolution de R_{thi} intrinsèque en fonction de la position des sources pour un NLD MOS sur Substrat massif à 5 sources

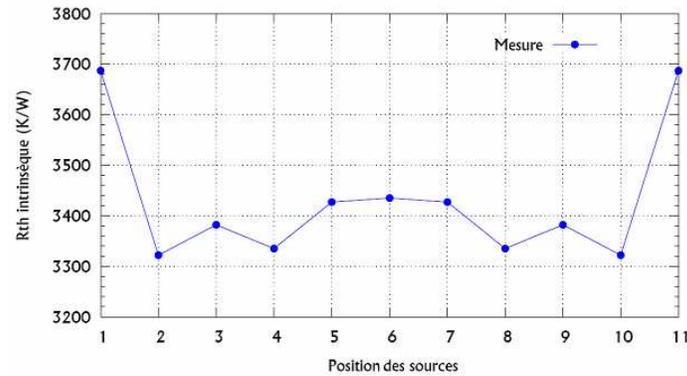


Figure 2.23 : Evolution de Rth intrinsèque en fonction de la position des sources pour un NLD MOS sur SOI à 11 sources

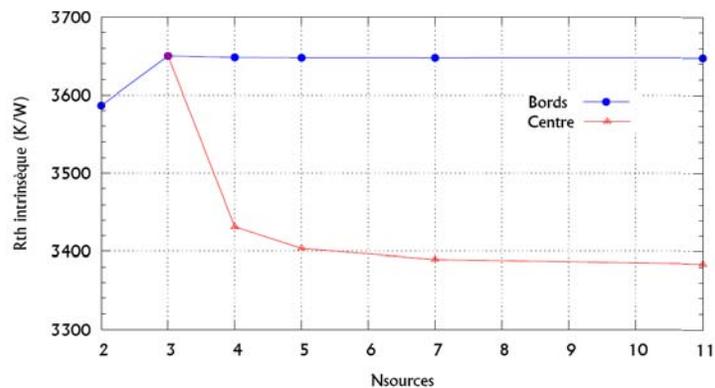


Figure 2.24: Evolution de Rth intrinsèque d'une source centrale et d'une source de bords en fonction du nombre de source de la structure

2.4.1.2 Interprétation

Les courbes confirment aussi le fait que l'auto-échauffement est plus important dans la technologie SOI qu'en substrat massif.

En outre, la Figure 2.24 représente l'extraction de Rth intrinsèque d'une source de bords (courbe rouge), et d'une autre du centre (courbe bleue) pour plusieurs NLD MOS avec un nombre de sources différent. La résistance thermique intrinsèque des sources de bords et de centre prend une valeur constante à partir de cinq sources.

On remarque aussi que le profil thermique du NLD MOS est bien symétrique comme la structure. Cela permet d'optimiser les extractions et de déduire le profil thermique du NLD MOS en mesurant seulement la moitié des sources de la structure.

Les courbes précédentes (Figure 2.22), (Figure 2.23) et (Figure 2.24) montrent que la position des sources est un paramètre assez important dans la détermination du profil thermique du transistor haut tension.

En effet, on distingue deux comportements thermiques des sources observés selon leur position :

- Comportement des sources de bords : plus la source est proche de l'isolation, plus sa température est élevée. La proximité de l'isolation bloque la dissipation de la chaleur des ces dernières, ce qui fait augmenter leur température.
- Comportement des sources de centre : pour des sources suffisamment éloignées de l'isolation, le R_{th} intrinsèque est constant.

On peut avoir une idée de la transition entre ces deux comportements si l'on se base sur une présentation du flux de chaleur au moyen d'une pyramide. Ce procédé sera décrit en détail dans la partie 2.5.

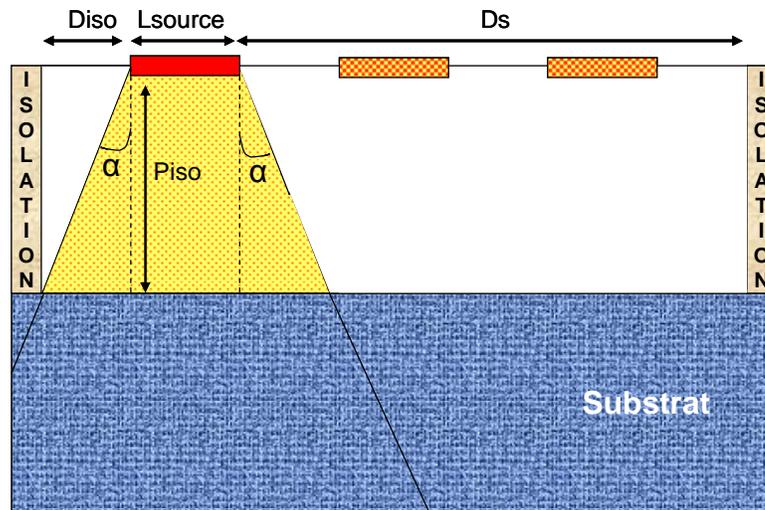


Figure 2.25: Représentation de la dissipation de la chaleur dans le substrat d'un NLD MOS à 3 sources sur substrat massif

La pyramide fait un angle de 45° , et l'origine est la source de chaleur (Figure 2.25). Le flux thermique d'une source qui se trouve à la position ps et d'une longueur L_{source} touchera l'isolation d'une profondeur $Piso$ à une profondeur P équivalente ou inférieure à la distance (D) (Eq II.11) :

$$D = D_{iso} + \left[\left((L_{source} * ps) - l \right) + \left((ps - l) * D_s \right) \right] \quad (\text{Eq II.11})$$

Ainsi, on peut définir une source centrale quand $D > P_{iso}$.

Ce calcul permet d'une façon simple de définir la première source centrale, c'est-à-dire la source à partir de laquelle on a un comportement central.

Dans la courbe de la Figure 2.26, on trace la position de première source en fonction de la distance de l'isolation à gauche et la profondeur de l'isolation.

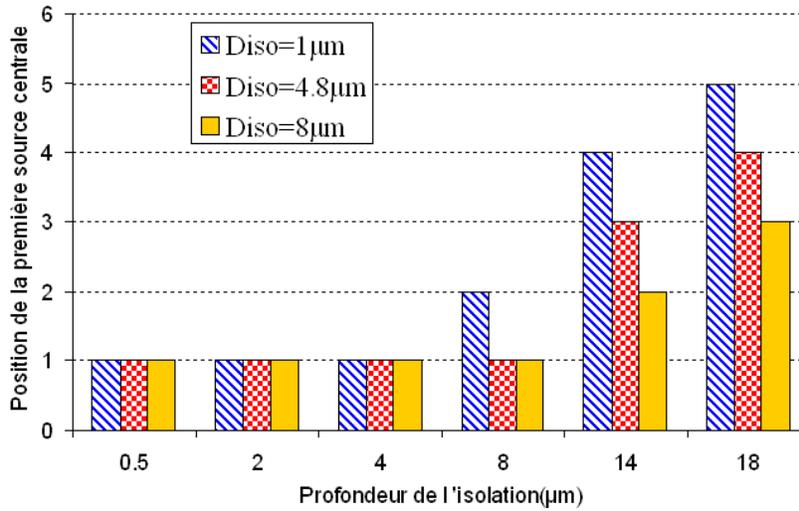


Figure 2.26 : Position de la première centrale en fonction de distance et la profondeur de l'isolation d'un NLD MOS sur substrat massif à 11 sources

2.4.1.3 Modélisation

▪ Equation du modèle

La résistance thermique intrinsèque dépend essentiellement du nombre des sources, de leurs positions, ainsi que la distance de l'isolation.

A partir de ces remarques, on a pu extraire un modèle analytique de R_{th} intrinsèque en fonction de ces éléments :

$$R_{thi} = A + \left[\frac{B}{(PositionSource - C)} + \frac{B}{(D - PositionSource)} - \frac{E}{LDD + RDD} \right] \quad (Eq II.12)$$

Où:

A, B, C, D, E sont des paramètres du modèle

LDD est la distance entre la source est l'isolation gauche

RDD est la distance entre la source est l'isolation droite

En outre, on peut aussi déduire des résultats de la Figure 2.24 un modèle simplifié de R_{th} intrinsèque avec seulement deux paramètres :

$$R_{thi} = \begin{cases} R_{thi_Bords} & \text{pour les deux premières et dernières sources de la structure (proche du STI)} \\ R_{thi_Centre} & \text{pour les sources centrales.} \end{cases}$$

Dans le cas d'un NLD MOS sur SOI, on extrait :

$$R_{thi_Bords} = 4000 \text{ K/W}$$

$$R_{thi_Centre} = 3500 \text{ K/W.}$$

▪ Validation du modèle de Rth intrinsèque

Sur la courbe suivante (Figure 2.27), on voit que le modèle analytique (Eq II.12) reproduit bien le comportement intrinsèque mesuré (effets de bords et de centre) du NLD MOS.

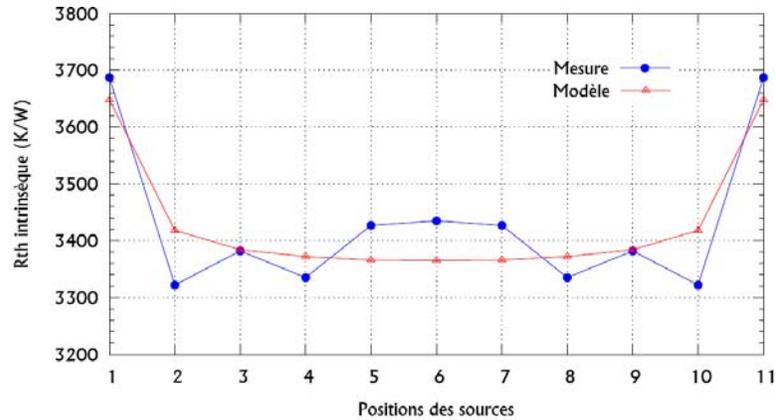


Figure 2.27 : Comparaison entre la mesure de Rth intrinsèque mesurée et modélisée (Eq II.12) en fonction de la position des sources pour un NLD MOS sur SOI à 11 sources

2.4.2 Couplage thermique

2.4.2.1 Définition

On s'intéresse maintenant au phénomène du couplage thermique [Liu95] [Liou94] [Hoss06] entre les sources. Cet effet apparait dans le cas où au moins deux sources du transistor sont allumées simultanément.

En reprenant le formalisme des pyramides de chaleur, on visualise bien le phénomène. Quand les cônes des sources de chaleur s'interceptent (Figure 2.28), une partie de la chaleur d'une source est transmise à l'autre source : il y a un couplage thermique.

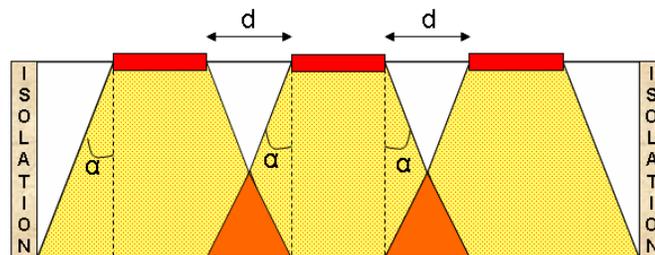


Figure 2.28: Représentation des flux de chaleur qui se couplent dans le substrat

Ce phénomène s'ajoute à l'effet d'auto-échauffement propre à chaque source et augmente donc la température totale du dispositif.

Pour tenir compte de ce phénomène en évidence expérimentalement, on utilise la structure schématisée sur la Figure 2.29 : a

Les sources en position symétrique d'un NLDMOS sur substrat massif sont reliées par paire. La température maximale est observée au niveau de la paire centrale (5,6) car c'est le cas où le couplage thermique est le plus fort. Si les sources sont plus distantes, la température décroît (paire (4,7) par exemple).

Dans le cas de la paire (1,10), les sources sont tellement éloignées que le couplage est nul. C'est le cas de la Figure 2.28 si la distance D est tellement grande que les cônes ne s'intersectent pas. La diminution de la température, quand on passe de la paire (1,10) aux paires (3,6) ou (4,7) s'explique par les effets de l'isolation (cf paragraphe précédent).

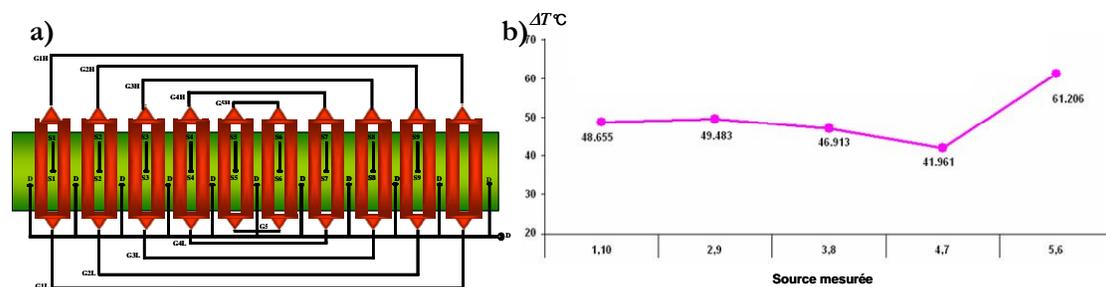


Figure 2.29: a) Structure de test utilisée pour mettre en évidence le couplage thermique entre les sources. b) Variation de la température mesurée pour un NLDMOS sur substrat massif à 10 sources en allumant les sources par paire

2.4.2.2 Mesures et résultats

Pour mieux étudier le phénomène d'interaction entre les différentes sources de chaleur, ce paragraphe présente les résultats obtenus en allumant plusieurs couples de doigts à la fois. Dans la Figure 2.30 et la Figure 2.31, tous les doigts ont été allumés en même temps, et on peut voir les résistances thermiques extraites des différents doigts. Pour cela, on utilise les structures SHE1 définies dans le paragraphe 2.3.2.1.

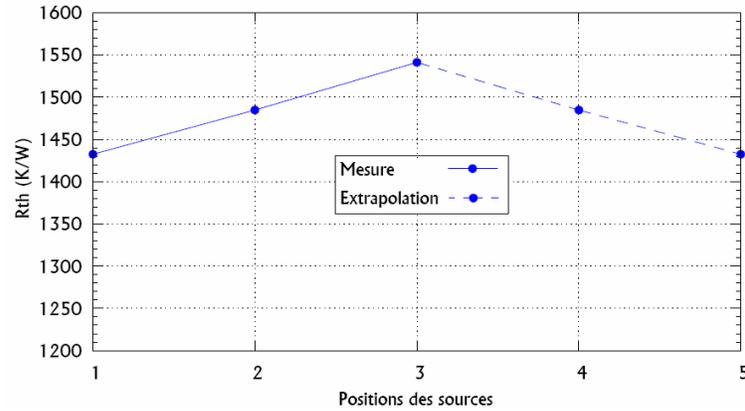


Figure 2.30 : Evolution de R_{th} mesurée d'un NLD MOS sur substrat massif à 5 sources en fonction de leur position

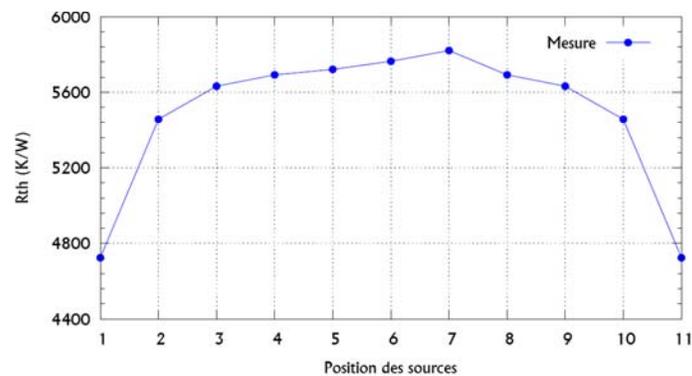


Figure 2.31 : Evolution de R_{th} totale mesurée d'un NLD MOS sur SOI à 11 sources en fonction de leur position

2.4.2.3 Interprétation

On remarque que le profil obtenu est l'inverse du profil thermique intrinsèque. Les sources centrales chauffent plus que les sources latérales à cause de l'apparition du couplage thermique entre les différentes sources.

Les sources centrales, dans ce cas, arrivent à mieux évacuer la chaleur. L'effet de bords (limitation par l'isolation) devient négligeable devant l'effet du couplage thermique.

2.4.2.4 Définition et extraction des coefficients de couplage

Afin d'étudier le couplage thermique plus facilement, il convient d'étudier une grandeur qui mesure l'importance du couplage : c'est le coefficient de couplage.

Si on considère un dispositif à deux sources m et n , la température de chaque source peut s'écrire comme suit :

$$T_n = C'_{nm} \cdot P_n + C'_{mm} \cdot P_m \quad (\text{Eq II.13})$$

$$T_m = C'_{mn} \cdot P_n + C'_{mm} \cdot P_m \quad (\text{Eq II.14})$$

Dans (Eq II.13), T_1 et T_2 sont les températures des dispositifs 1 et 2, P_n et P_m sont leurs puissances, C_{nn} et C_{mm} sont les termes qui représentent l'échauffement intrinsèque de la source en absence du couplage thermique et, enfin, les quantités C_{nm} et C_{mn} présentent le couplage thermique entre les sources n et m .

L'équation (Eq II.13) définit le couplage thermique comme une quantité qui dépend seulement de la puissance des dispositifs couplés. Le problème de cette première définition du coefficient de couplage est que le terme C_{nm} dépend aussi de l'auto-échauffement de la source m . Défini comme cela, il ne s'agit donc pas d'un paramètre purement de couplage thermique. C'est pour cela que Walkey [Walk02] a proposé une nouvelle définition (Eq II.15) du coefficient de couplage C_{nm} qui est indépendant de l'effet d'auto-échauffement des sources n et m .

$$T_n = \underbrace{R_{thin} \cdot P_n}_{\text{Contribution Intrinsèque}} + \underbrace{C'_{nm} \cdot R_{thim} \cdot P_m}_{\text{Effet du couplage}} \quad (\text{Eq II.15})$$

Où:

T_n : Température de la source n

R_{thin} : Résistance thermique de la source n quand cette dernière est allumée toute seule

P_n : Puissance dissipée dans la source n quand les sources n et m sont allumées

C_{nm} : Coefficient de couplage thermique entre les sources n et m quand les deux sources sont Allumées.

R_{thim} : Résistance thermique de la source m quand cette dernière est allumée toute seule.

P_m : Puissance dissipée dans la source m quand les sources n et m sont allumées.

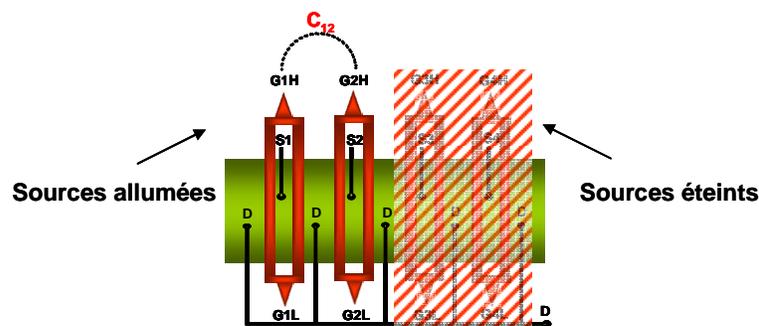


Figure 2.32: Couplage thermique entre la première source et les autres sources du NLDMOS

Grâce à l'équation (Eq II.15), les coefficients de couplage thermique sont isolés, donc leur extraction est possible en allumant successivement chaque paire de source, avec la nouvelle structure de test SHE1 possédant des accès de source pour extraire les puissances P_n et P_m .

Afin de valider cette méthode, on extrait tous les coefficients de couplage C_{mm} d'un NLD MOS sur SOI à 4 sources. On calcule par la suite les températures de chaque source du transistor pour différentes configurations d'allumage de sources (Figure 2.33) en utilisant les coefficients de couplage extraits et en appliquant la méthode ci-dessus d'une façon plus générale 0.

$$T_n = \sum_{m=1}^{N_{source}} C_{nm} \cdot R_{thin} \cdot P_m \quad (\text{Eq II.16})$$

On remarque qu'on arrive à reproduire les températures mesurées de chaque source pour les différentes configurations d'allumage (Figure 2.33) avec les coefficients extraits. Par conséquent, l'étude du couplage thermique revient à connaître les coefficients de couplage entre toutes les sources d'une même structure, et ceci pour différentes géométries de transistor (N_{source} et W variable pour un NLD MOS).

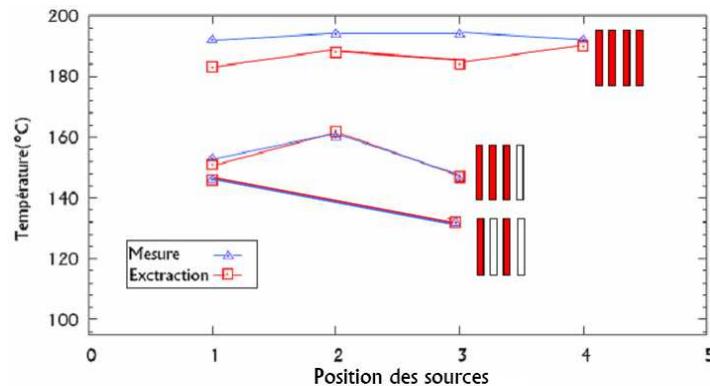


Figure 2.33 : Comparaison de la température mesurée et calculée d'un NLD MOS à 4 sources en fonction de leur position pour un NLD MOS sur SOI

▪ Coefficients de couplage de sources de centre

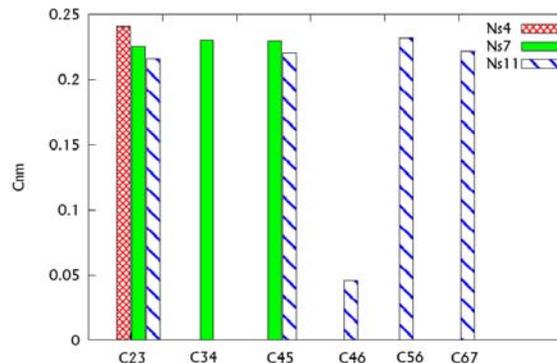


Figure 2.34: Evolution des coefficients de couplage centraux en fonction du nombre de sources

La Figure 2.34 présente l'évolution des coefficients de couplage entre les sources centrales pour différentes structures de NLD MOS sur SOI à différentes sources.

Les coefficients de couplage des sources centrales avec leurs premiers voisins sont constants quels que soient la position et le nombre des sources, alors que le couplage entre une source centrale et son deuxième voisin (C46) est négligeable (5 fois inférieur).

- **Coefficients de couplages de sources de bords**

On remarque que l'évolution des coefficients de couplage des sources latérales avec les autres sources (Figure 2.35 et Figure 2.36) est un peu complexe. Le couplage avec les autres voisins diminue si la distance entre les sources augmente (évolution exponentielle).

Ainsi, on remarque que les coefficients de couplage latéral $C1n$ sont plus importants (presque le double) en technologie SOI qu'en substrat massif.

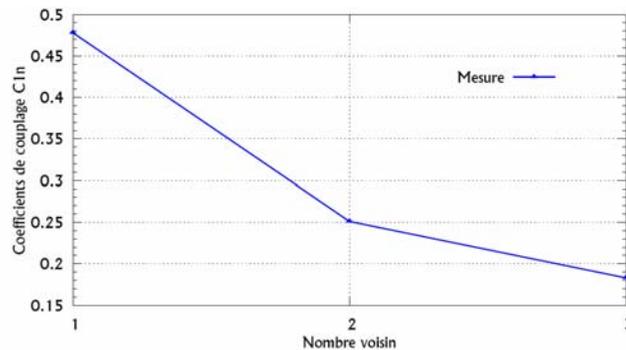


Figure 2.35 : Evolution des coefficients de couplage $C1n$ des sources latérales d'un NLD MOS en substrat massif

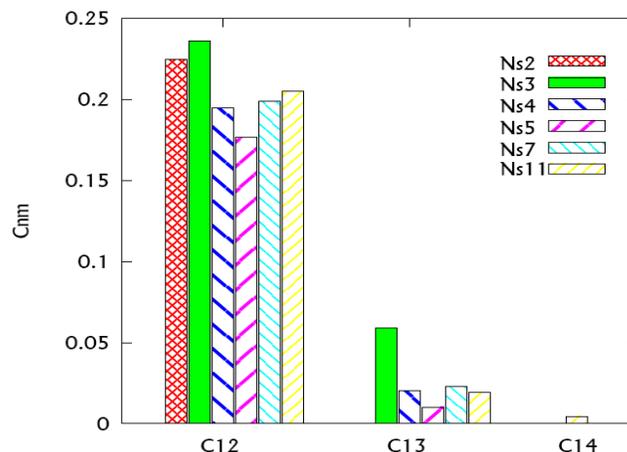


Figure 2.36 : Evolution des coefficients de couplage $C1n$ des sources latérales en fonction de leur voisin et de nombre de sources du NLD MOS sur SOI

2.4.2.5 Nouvelle méthode d'extraction des coefficients de couplage

- **Principe**

Cette nouvelle méthode est basée sur une idée développée dans le cas du SHE pour les transistors bipolaires. En effet dans [Walk96], Walkey propose une méthode basée sur la simulation pour calculer le profil thermique d'un transistor bipolaire multi-doigt à partir du profil thermique d'un seul doigt.

Au cours de ce travail de thèse, on adapte cette méthode au transistor haute tension, mais en utilisant la mesure. Pour cela, on utilise les nouvelles structures SHE2.

La méthode se base sur le fait que la température d'une source inclut son propre auto-échauffement et l'interaction thermique avec ses sources voisines : elle permet de déduire le profil thermique d'un transistor (bipolaire dans leur cas) à partir du profil thermique simulé d'un seul doigt. Pour appliquer cette méthode, il faut négliger :

- L'effet des bords : on considère que toutes les sources se comportent comme une source centrale, du fait que l'isolation est loin de cette dernière.
- L'effet de la position : en supposant que toutes les sources chauffent de la même façon.

Donc, on peut reproduire le profil thermique d'une structure en dupliquant le profil d'une seule source centrale autant de fois qu'on a de sources (Figure 2.37). Le profil total, dans ce cas, est la somme des intersections entre les différents profils (Figure 2.38). Ainsi, pour déterminer le profil thermique d'un NLD MOS à N sources, on duplique N fois ce profil thermique, en respectant la distance réelle entre les sources.

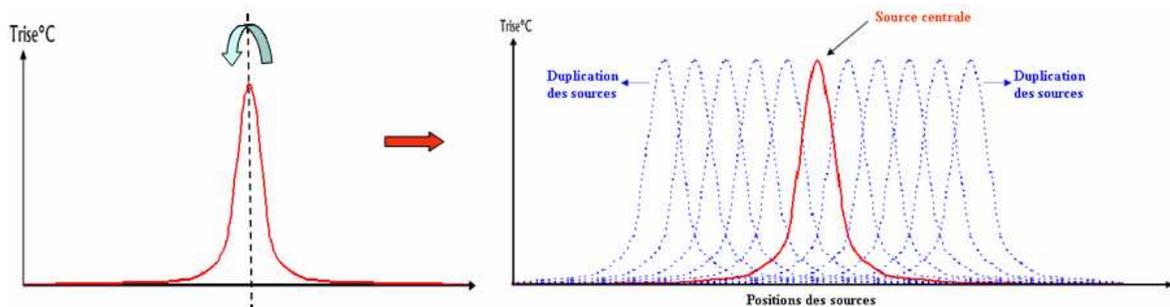


Figure 2.37 : Duplication du profil thermique d'une source centrale

Le profil thermique $P(x)$ de la structure est la somme des différents profils individuels (Figure 2.38).

$$P(x) = \sum (P_i(x - T_i)) \quad (\text{Eq II.17})$$

Où T_i est la différence de température entre une source et sa première source voisine.

L'interaction entre les différents profils augmente la température de chaque source d'une quantité appelée δT . La température du NLD MOS est maximale à la source centrale et nommée T_{sh} :

$$T_{sh} = T_0 + \delta T \quad (\text{Eq II.18})$$

On obtient alors le profil thermique d'un NLD MOS à 11 sources (Figure 2.38).

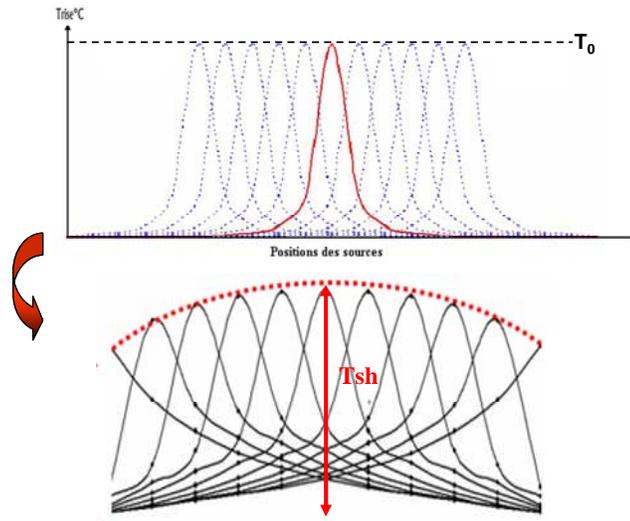


Figure 2.38 : Interaction des profils dupliqués afin de Reproduire le profil thermique d'un NLD MOS

Ainsi, on peut utiliser cette méthode pour extraire les coefficients de couplage C_{ij} . En effet, C_{ij} n'est que le rapport entre la température de la structure avant le couplage thermique entre les sources T_0 et sa température après le couplage δT .

D'où :

$$C_{ij} = \delta T / T_0 \quad (\text{Eq II.19})$$

- **Validation de la méthode**

Afin de respecter les hypothèses de la méthode et mesurer le profil thermique d'une source centrale, on utilise la structure SHE2 pour extraire les coefficients de couplage des sources centrales (Figure 2.11) et latérales (Figure 2.13) d'un NLD MOS sur SOI à 11 sources.

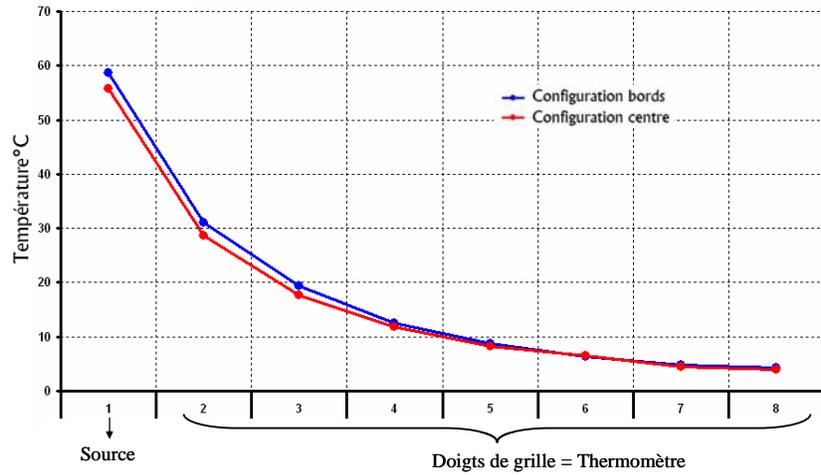


Figure 2.39 : Comparaison des profils thermiques d'une source latérale et centrale extraits avec les structures SHE2 développées sur SOI

On commence d'abord par extraire la moitié du profil thermique d'une source. La Figure 2.39 présente une comparaison entre le profil (la moitié) mesuré d'une source latérale (courbe bleue) avec la structure de la Figure 2.13 et celui d'une source centrale (courbe rouge) avec la structure de la Figure 2.11.

On remarque que les deux profils sont assez proches avec une légère augmentation pour la source latérale.

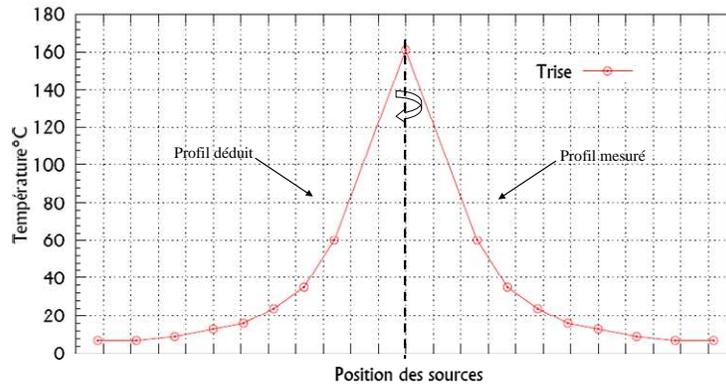


Figure 2.40 : Profil thermique mesuré avec SHE2 d'une source centrale sur SOI

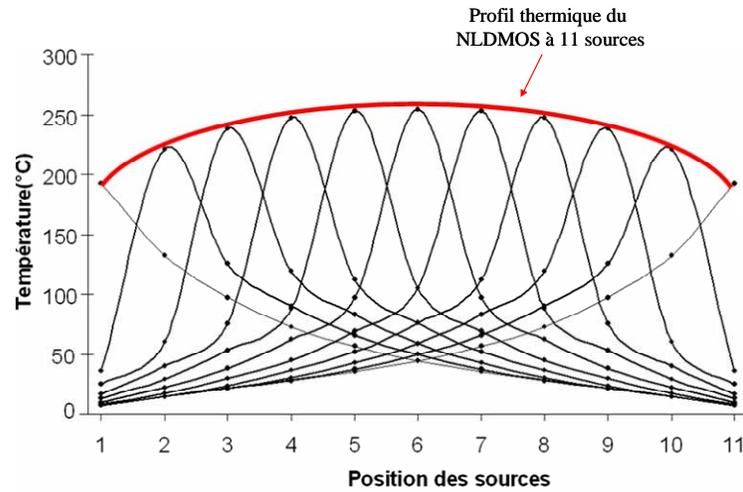


Figure 2.41 : Déduction du profil thermique d'un NLD MOS sur SOI à 11 sources

On déduit le profil total de la source grâce à la symétrie (Figure 2.40). Ensuite, on duplique ce profil 11 fois espacé de la distance réelle entre les sources du NLD MOS.

La Figure 2.41 donne le profil thermique total obtenu pour un NLD MOS sur SOI à 11 sources avec une température maximale de 250°C.

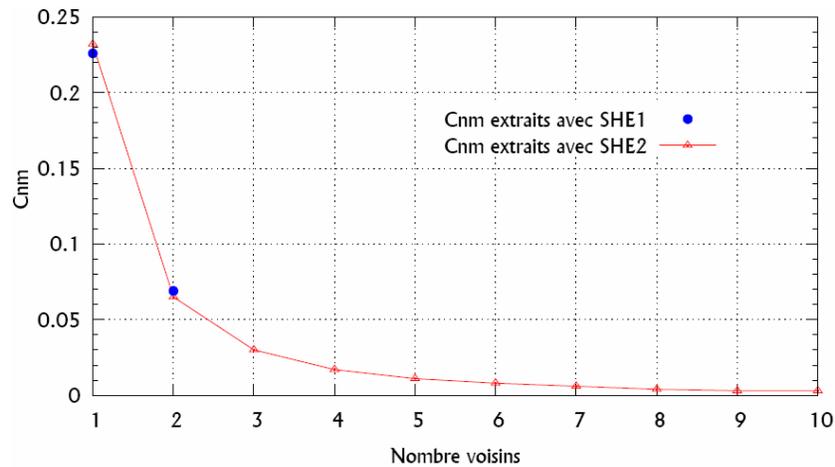


Figure 2.42: Coefficients de couplage extraits avec les structures de test SHE1 et SHE2

La Figure 2.42 compare les valeurs des coefficients de couplage extraits avec les structures de test SHE1 et SHE2. Les résultats de la figure montrent que la structure SHE2 donne les mêmes coefficients de couplage que SHE1 (C_{i2} et C_{i3}); on remarque aussi que la nouvelle structure SHE2 permet ainsi d'extraire tous les coefficients de couplage au contraire de la structure SHE1.

On a vu précédemment que, grâce aux nouvelles structures SHE1, on peut extraire la température et la résistance thermique intrinsèque de chaque source.

Mais l'inconvénient majeur des précédentes structures SHE1 est la nécessité de les dupliquer pour extraire toutes les températures et les résistances thermiques pour caractériser le couplage thermique, en étant limitée par les plots de mesure (puisqu'on possède que 24 plots au maximum par mesure). Sachant qu'on a besoin pour chaque source : d'une prise de source pour prélever la puissance, deux prises de grilles pour extraire la résistance thermique, ce qui fait 3 plots de mesure, ainsi que d'une prise de drain pour toute la structure, cela signifie que, pour mesurer une structure à 10 sources, on a besoin de 31 plots de mesures et, pour une structure à 52 sources (NLDMOS pour applications amplificateurs de puissance), on a besoin de 157 plots de mesures !

2.4.2.6 Modélisation des coefficients de couplage

A partir des résultats précédents, un modèle des coefficients de couplage est déduit, en mettant en évidence le comportement différent du couplage des sources latérales et centrales : Grâce aux résultats de la Figure 2.43, on peut déduire un simple modèle analytique des coefficients de couplage des sources centrales en fonction de la position d'une source i et sa source voisine j .

D'où le modèle suivant :

$$C_{ij} = A * Nombrevoisins^{-B} \quad (\text{Eq II.20})$$

$$A=0.2323, B=1.9123$$

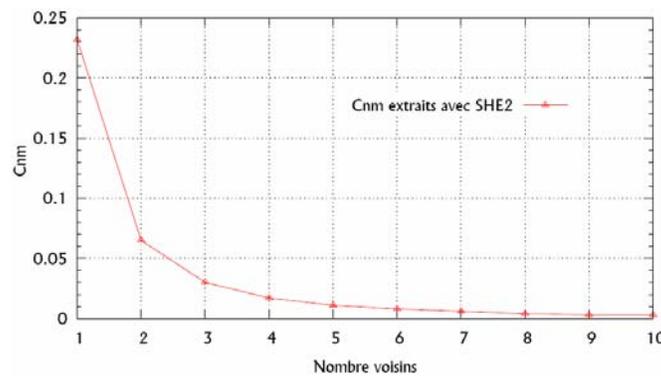


Figure 2.43 : Evolution des coefficients de couplage extraits avec la nouvelle structure de test SHE2

La courbe suivante (Figure 2.44) présente les différentes équations utilisées pour modéliser les coefficients de couplage entre les trois premières sources d'un NLDMOS en substrat massif.

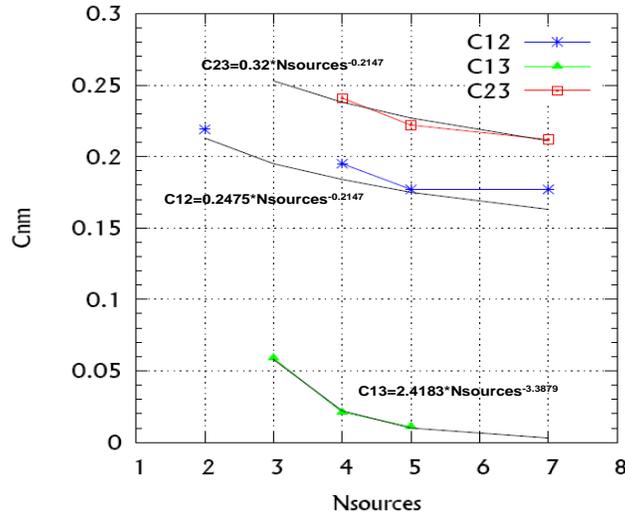


Figure 2.44: Modélisation des coefficients de couplage des sources de bords

Malgré l'évolution complexe des coefficients de couplage des sources de bords, on a pu les modéliser grâce à une simple fonction, qui varie exponentiellement en fonction de nombre de sources.

En utilisant les structures de test SHE1, un premier modèle de coefficients de couplage C_{mm} est déduit :

$$\begin{aligned}
 C_{\text{première source} - \text{premier voisin}} &= A * e^{-B * N_{\text{source}}} \\
 C_{\text{première source} - \text{deuxième voisin}} &= C * e^{-D * N_{\text{source}}} \\
 C_{\text{deuxième source} - \text{premier voisin}} &= E * e^{-F * N_{\text{source}}}
 \end{aligned}$$

A, B, C, D, E, F sont des paramètres du modèle.

2.4.3 Reproduction du profil thermique

En utilisant les coefficients de couplage extraits à l'aide de SHE2 et le modèle de la résistance intrinsèque (Eq II.12), on déduit le profil thermique du NLD MOS à 11 sources.

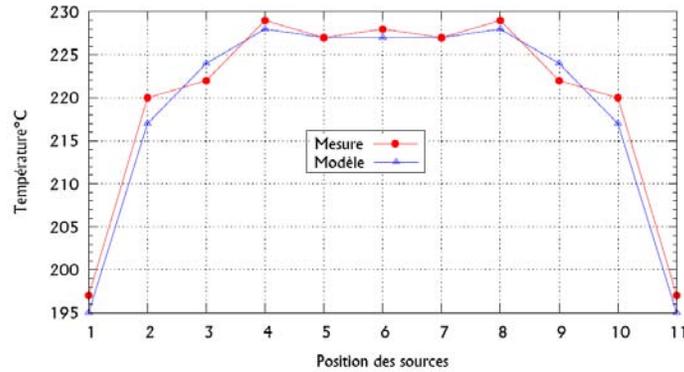


Figure 2.45 : Reproduction du profil thermique d'un NLD MOS en dupliquant le profil thermique d'une seule source

Sur la Figure 2.45, on constate une parfaite adéquation entre les mesures (courbe rouge) extraites à partir de SHE2 et les simulations (courbe bleue) d'un NLD MOS à 11 sources sur SOI. Le nœud thermique du transistor permet d'évaluer l'augmentation de température à l'intérieur du transistor. Cette comparaison a été effectuée sur un jeu complet de géométries différentes, ce qui permet de valider le modèle analytique de calcul de la résistance thermique.

2.4.4 Macro-modélisation et implémentation dans le simulateur

2.4.4.1 Principe d'implémentation

Dans ce qui suit, on se base sur le macro-modèle du LDMOS qui sera détaillée dans le chapitre 4. Néanmoins, le principe d'implémentation s'applique à tout autre modèle ou macro-modèle du transistor haute tension pour qu'un nœud thermique soit disponible.

Dans cette partie, nous présentons le macro-modèle qui a été développé pour modéliser l'auto-échauffement pour les structures du LDMOS de STMicroelectronics.

Pour modéliser l'auto-échauffement il faut utiliser un modèle compact ou un macro-modèle qui donne accès à un nœud thermique. On utilise le modèle compact standard BISIM3SOI [BISIM], ce dernier possède un nœud thermique ΔT .

La quantité ΔT représente l'augmentation de la température à l'intérieur du transistor par rapport à la température ambiante. En réalité, cette grandeur représente une température moyenne sur l'ensemble du transistor. En effet, chaque élément du modèle variant avec la température est référencé à la même augmentation de température.

Le comportement non-standard du transistor LDMOS ne peut pas être reproduit en utilisant seulement le modèle standard BISIM3SOI. Pour cela, on modélise seulement le canal du

LDMOS en utilisant le modèle compact BSIM3SOI, puis la partie du drain faiblement dopée est modélisée avec Rdrain.

L'implémentation de ce modèle d'auto-échauffement tel qu'il est, n'est pas vraiment pratique ni facile à intégrer dans le simulateur. En fait, elle n'est pas considérée comme une solution industrielle, puisque ça nécessite la duplication du modèle du transistor (Figure 2.46) afin d'avoir un nœud thermique par transistor, tout en dupliquant les paramètres d'instances !

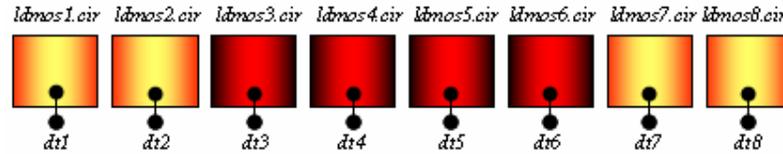


Figure 2.46: Duplication des transistors possédants des nœuds thermiques

Que l'on considère le comportement intrinsèque ou le couplage, on a pu toujours distinguer deux comportements : bord et centre. Pour une modélisation plus précise, il est plus judicieux de distinguer ces deux comportements dans l'implémentation du modèle. La valeur de R_{th} totale du transistor va être la somme des deux R_{th} des sources de bord et de celle du centre.

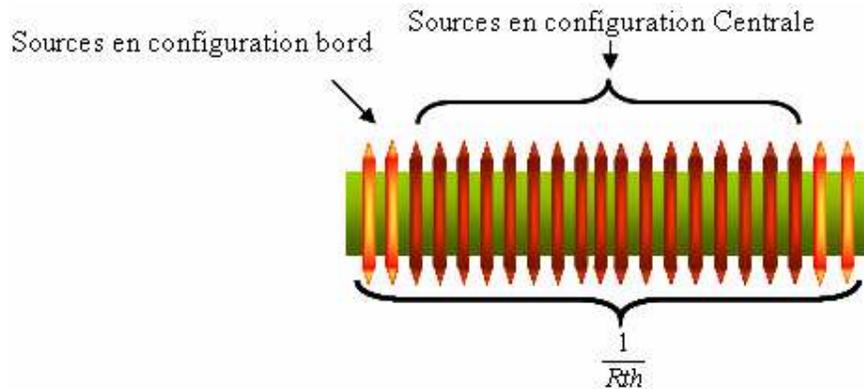


Figure 2.47 : Répartition des résistances thermiques d'un NLDMOS multi-doigts

$$\frac{1}{R_{th}} = \frac{2}{R_{thbords}} + \left(\frac{1}{R_{thcentre}} \times (N_{source} - 2) \right) \quad (\text{Eq II.21})$$

$$R_{thbords} = R_{thin} \times \sum_{m=2}^{N_{source}} C_{nm} \quad \text{avec } n=1 \quad (\text{Eq II.22})$$

$$R_{thcentre} = R_{thin} \times \sum_{m=3}^{N_{source}} C_{nm} \quad \text{avec } 2 \leq n \leq N_{source}-1 \quad (\text{Eq II.23})$$

Pour adapter cette solution au contexte industriel, on utilise le circuit de la Figure 2.48, qui sépare les deux comportements thermiques (central et latéral).

On utilise deux transistors en parallèle, les deux transistors possèdent deux nœuds thermiques : dt pour énoncer la température des sources latérales, et $dt0$ pour les sources centrales. La tension entre le drain et la source ainsi que le courant de la source sont utilisés pour calculer l'augmentation de la puissance due à l'auto-échauffement dans le LDMOS. Ainsi, pour avoir des résultats plus précis, on chauffe la résistance de drain R_d à la température ΔT .

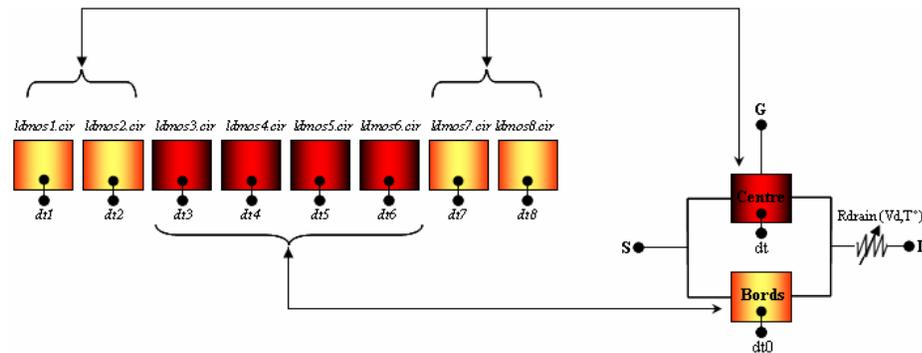


Figure 2.48 : Macro-modèle simplifié du NLD MOS

Après l'implémentation du modèle dans le simulateur, On procède dans ce qui suit, à la validation du modèle du LDMOS, en régime linéaire et saturé.

2.4.4.2 Validation du modèle en régime linéaire saturé

Avant de procéder à la validation du modèle de l'auto-échauffement, il est important de vérifier le comportement linéaire et sa dépendance en température car c'est la base du modèle d'auto-échauffement.

Dans ce paragraphe, nous présentons la modélisation de la courbe $I_d(V_{gs})$ et $G_m(V_{gs})$ d'un composant LDMOS. Pour ce faire nous extrair le modèle globale ainsi que le modèle développé pour l'auto-échauffement.

La Figure 2.49 présente la variation du courant de drain I_d et de la transconductance G_m en fonction de V_{gs} pour différentes températures qui varient entre 25 à 170°C. Nous pouvons constater que la modélisation (courbe rouge) dans le régime linéaire est identique aux courbes expérimentales (courbe bleue). Le modèle reproduit bien la variation en température de la tension de seuil $V_{th}(T)$, de la mobilité $\mu(T)$ et de la résistance de drain $R_d(T)$.

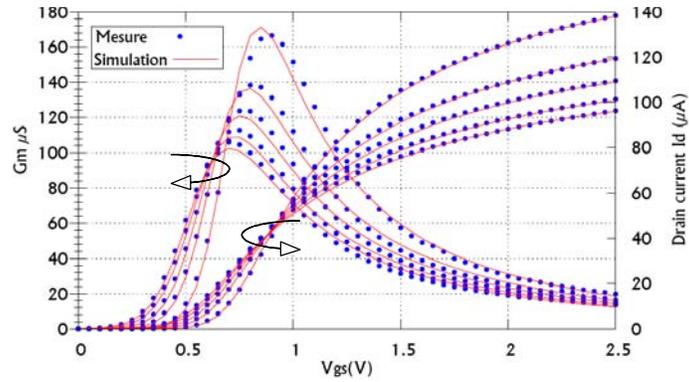


Figure 2.49 : Caractéristiques linéaires $I_d(V_{gs})$ et $G_m(V_{gs})$ à $V_d=0.1V$ pour une température variant entre $25^{\circ}C$ et $170^{\circ}C$. $W_{poly}=20\mu m$, $N_{source}=1$

La Figure 2.50 présente les caractéristiques $I_d(V_{ds})$ d'un NLDMOS à 10 sources pour un V_{gs} de 2.5 V pour différents modèles du NLDEMOS : on remarque que l'utilisation du modèle de l'auto-échauffement (triangles noirs) reproduit mieux la mesure (courbe bleue), et, en appliquant la température donnée par le modèle de l'auto-échauffement sur la résistance, améliore la modélisation de la région triode (courbe rouge).

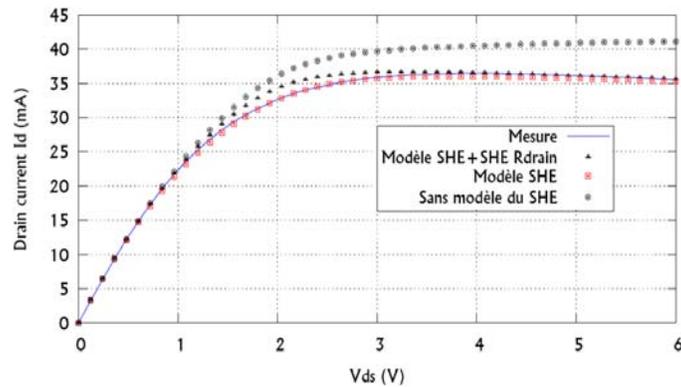


Figure 2.50 : Courbe $I_d(V_d)$ pour un NLDMOS à $W_{poly}=200\mu m$, $N_{source}=10$, $V_{gs}=2.5V$, pour différentes implémentations du modèle

La courbe (Figure 2.51 : a) confirme la validité du modèle de l'auto-échauffement pour un NLDMOS sur SOI à 10 sources, puisqu'il reproduit à l'identique la mesure pour toutes les valeurs de V_{gs} .

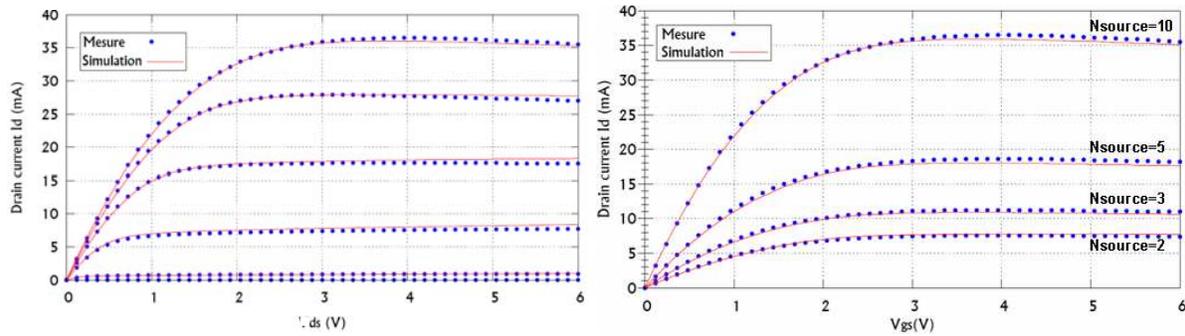


Figure 2.51: Courbe $I_d(V_d)$ avec $N_{source}=10$, $W_{poly}=200\mu m$ et $V_{gs}=[0V, 0.5V, 1V, 1.5V, 2V, 2.5V]$. b) Courbe $I_d(V_d)$ à $V_{gs}=2.5V$ pour N_{source} varie entre 2 et 10 sources

La courbe (Figure 2.51 : b) montre la reproduction de la dépendance en nombre de sources du modèle. Elle confirme la validité du modèle de l'auto-échauffement pour des structures de NLDMOS sur SOI à différentes sources (variantes entre 2 et 10 sources).

2.4.4.3 Application du modèle pour les cellules de puissance

Les différentes structures précédentes de petites dimensions (W et N_{source}) ont permis d'extraire et de valider le modèle du dispositif. Le but est maintenant de l'appliquer dans le cas des dispositifs larges tels ceux présents dans les cellules de puissance.

On se souvient qu'avec un modèle de R_{th} trop simple, la reproduction du comportement des gros dispositifs n'était possible que si l'on modifie le modèle dans le cas de cellules de puissance.

Ici, on s'intéresse au cas de la conception d'un amplificateur de puissance nécessitant la mise en parallèle de plusieurs transistors ; cela veut dire des NLDMOS possédant un grand nombre de sources et un développement de l'ordre du mm. Par exemple, pour concevoir un NLDEMOS de 1mm, il faut utiliser 4 blocs de 13 sources à $W_{poly}=10\mu m$: cela fait au total, un NLDEMOS à 52 sources à modéliser.

La Figure 2.52 présente la courbe $I_d(V_{ds})$ à $V_{gs}=2,5V$ d'un NLDMOS à 52 sources utilisé pour concevoir un amplificateur de puissance fonctionnant à 2GHz.

Ce dernier résultat confirme la pertinence du modèle de R_{th} en fonction du nombre de sources, ainsi que la validité globale du modèle de l'auto-échauffement pour les petites et les grandes géométries.

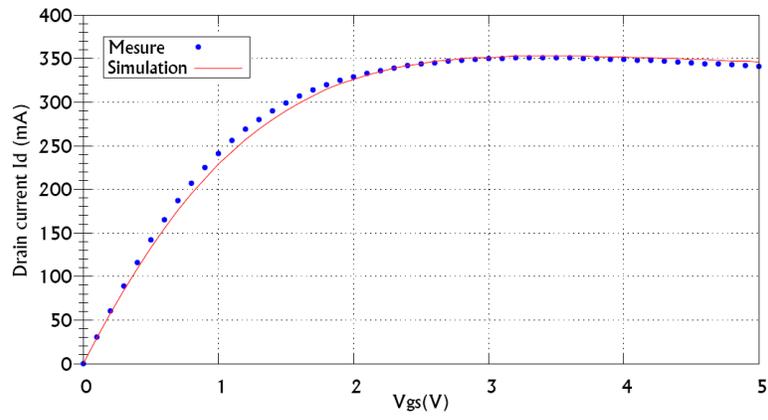


Figure 2.52 : Courbe $I_d(V_{ds})$ à $V_{gs}=2,5V$ pour à NLD MOS à 52 sources

2.4.5 Conclusion

Une étude complète du comportement thermique du NLDEMOS et les différents aspects de l'échauffement de ses sources, en fonction de certains paramètres (N_{source} , position et distance de l'isolation) a été réalisée. L'auto-échauffement est modélisé en utilisant les mesures. Cette modélisation est basée sur la mesure et nécessite le développement de nouvelles structures de test pour mieux caractériser le phénomène du couplage thermique et de modéliser ses coefficients.

Les nouvelles structures de test permettent d'extraire les résistances thermiques intrinsèques des sources d'un transistor NLDMOS ainsi que les coefficients de couplage thermique.

Grâce à ces structures, deux comportements thermiques distincts ont été mis en évidence : des sources latérales et centrales. L'échauffement est plus important pour les sources centrales à cause de l'interaction thermique entre ces dernières. D'un autre côté, si on s'intéresse à l'échauffement intrinsèque des sources, on observe que l'échauffement est plus important pour les sources latérales à cause de la limitation de leur propagation par l'isolation.

L'utilisation d'un macro-modèle composé de deux MOS en parallèle, représentant la température au bord et au centre, a permis de mieux modéliser l'auto-échauffement.

Le modèle présenté dans cette partie de thèse est validé pour des petites géométries de transistors NLDMOS dans les régimes linéaire et saturé pour plusieurs températures.

Le modèle est aussi validé pour les dispositifs larges tels ceux présents dans les cellules de puissance.

Au cours de cette partie de thèse, une procédure complète de modélisation de l'auto-échauffement basée sur la mesure a été définie : de la définition des structures de test spécifiques, à la validation du modèle sur des dispositifs en configuration proche de l'application finale.

Même si la procédure a été appliquée sur le transistor NLDMOS, cette procédure peut être appliquée à tous les dispositifs MOS présentant de l'auto-échauffement (MOS haute tension et standard sur SOI ou substrat massif).

2.5 Etude du comportement thermique d'un NLD MOS basée sur la simulation

Si on ne dispose pas de mesures d'auto-échauffement, on peut utiliser la simulation pour modéliser ce phénomène. La modélisation basée sur la simulation utilise les simulations TCAD seules ou des simulations TCAD avec estimation électrothermique. Ces simulations prennent un temps considérable dans leur développement et calibration.

Dans cette partie de thèse, on choisit de travailler avec une approche plus simple basée sur la simulation du réseau thermique distribué.

Pour ce faire, l'équipe de modélisation des transistors haute tension à STMicroelectronics de Crolles a développé un outil basé sur le réseau thermique distribué nommé GenSHE [Can06].

2.5.1 Principe du réseau thermique distribué

Le réseau thermique est basé sur la présentation des chemins de dissipation de la chaleur par des résistances, décrivant les régions géométriques traversées par le flux de la chaleur. Ces résistances sont calculées grâce à des formules connues dans le domaine de la thermique [Can07] [Meeks92].

2.5.1.1 Génération et diffusion de la chaleur

Dans les dispositifs semi-conducteurs, trois sous-systèmes (les électrons, les trous et le réseau cristallin) sont capables d'échanger de l'énergie entre eux [Suli06] [Wach90] :

- il peut y avoir une diffusion de l'énergie des porteurs au réseau cristallin par effet Joule.
- l'énergie peut être échangée entre les électrons et les trous par des mécanismes de génération/recombinaison.
- l'énergie peut être transférée à la matrice cristalline par collision des porteurs libres avec les défauts du réseau cristallin : c'est l'effet Thomson.

Le flux de chaleur dans les trois dimensions se divise à la fois en un flux dans la direction du gradient de température et en un flux se dispersant latéralement.

Cela a pour effet d'augmenter les chemins de chaleur avec amplification du flux et réduction de la résistance thermique.

L'angle de dispersion α dépend du gradient de la température dans la direction du flux principal allant de la source de chaleur vers la zone la plus froide et dans le plan perpendiculaire à cette direction. Une bonne estimation est donnée en prenant $\alpha = 45^\circ$.

2.5.1.2 Loi fondamentale de propagation de la chaleur

La quantité de chaleur dE qui traverse une surface A pendant le temps dt est le flux de chaleur Q à travers cette surface. Si l'aire de cette surface est égale à l'unité, la quantité de chaleur qui la traverse pendant l'unité de temps est la densité de flux q . La densité de flux q à travers un élément de surface dA est donnée par la loi de Fourier.

$$q = -K(T) \text{grad}(T) \quad (\text{Eq II.24})$$

L'écriture du bilan énergétique sur un volume élémentaire permet d'aboutir à l'équation dite de la chaleur :

$$\rho C \frac{\partial T}{\partial t} = \text{div}(\kappa(T) \text{grad}(T)) + F \quad (\text{Eq II.25})$$

ρ en Kg/m³ : densité volumique du matériau

C en J/(Kg.K) : capacité thermique

$\kappa(T)$ en W/(m.K) : conductivité thermique en fonction de la température T .

T : température en Kelvin.

F : densité volumique de puissance

Cette équation permet de déterminer la température instantanée en tout point du matériau considéré. Dans le cas d'un simple cube ou barreau de semi-conducteur, les calculs sont relativement simples à effectuer. Mais, dans le cas de structures plus complexes telles qu'un transistor dont les sources de chaleur se situent au niveau d'un recouvrement drain-grille, les phénomènes de couplage thermique compliquent grandement les calculs.

En considérant les études faites dans [Can07] [Shan04] [Beck05] [Skad03] [Rieh02] [Rey'04], on peut représenter le flux thermique diffusé par une source par 5 régions :

- Pyramide 3D qui représente la zone au dessous de la grille, où la chaleur est plus importante et qui se propage sous un angle α .
- Demi-pyramide 3D au niveau de l'interaction des flux thermiques de deux sources voisines.
- Pyramide 2D quand le flux thermique est bloqué par l'isolation (STI).
- Demi-pyramide 3D dans le substrat.
- Parallélépipède dans le back end.
- Pyramide 2D représentant le couplage thermique entre les différentes sources.

La Figure 2.53 présente la discrétisation de la résistance thermique dans l'isolation et le substrat. Le flux de chaleur est divisé verticalement en un ensemble de mailles auxquelles sont associées des résistances thermiques R_{th_i} . Cette discrétisation permet de prendre en compte à la fois la dépendance de la résistance thermique avec la température ambiante et avec le gradient de température le long du dispositif. Ainsi, la capacité du substrat à dissiper la chaleur est représentée par un ensemble de résistances R_{th_i} mises en série et connectées au nœud thermique du modèle compact d'une part et à la masse thermique d'autre part.

Le calcul de chaque élément R_{th_i} est détaillé dans la Figure 2.56.

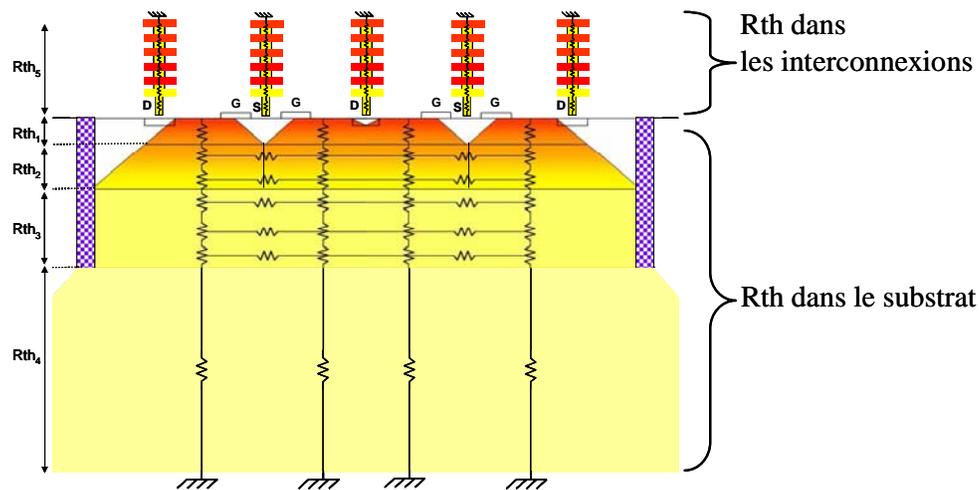


Figure 2.53 : Régions de propagation de la chaleur dans un LDMOS et discrétisation de la résistance thermique dans les DTI et le substrat.

Il est admis que le lieu où la génération de chaleur est maximum est situé sous la grille côté drain (Figure 2.54) [Mans05] où le champ électrique et la densité de courant sont maximaux. La densité maximale est due au fait qu'à cet endroit, il subsiste un passage restreint pour le courant en raison de la zone de déplétion.

L'implant LDD (Lightly Doped Drain) est conçu pour diminuer cet échauffement localisé en dopant légèrement la région entre la grille et le drain, la tension est alors répartie à travers une surface plus importante. Même si l'on peut localiser avec précision la zone où la génération de chaleur sera maximale, la chaleur sera globalement générée dans une zone plus étendue entre la grille et le drain.

De la même manière, il est possible de générer la capacité thermique C_{th} et constituer un réseau global R_{th} , C_{th} .

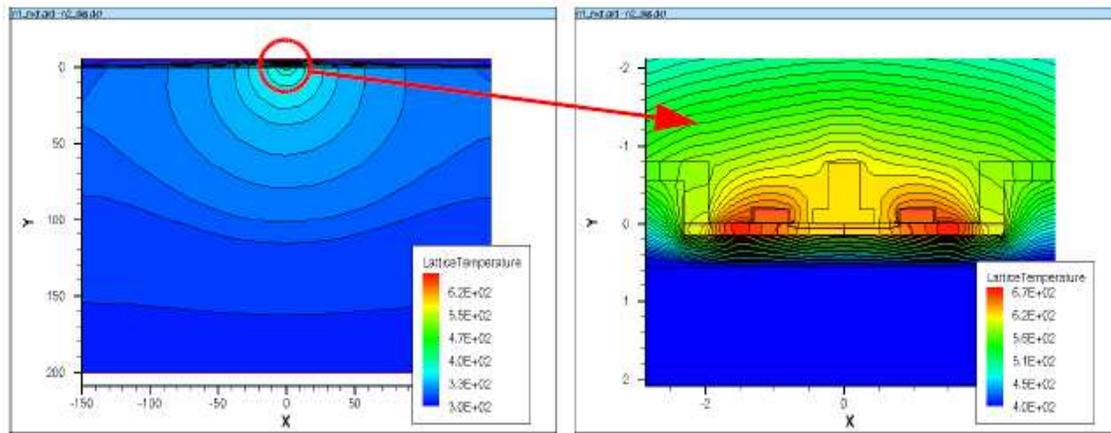


Figure 2.54 : Simulation ISE-TCAD : Coupe transversale du profil thermique dans un NLD MOS sur SOI ($V_d=15$ $V_g=2.5$) [Mans05]

2.5.2 L'outil GenSHE

2.5.2.1 Présentation de l'outil

GenSHE est un outil de génération du réseau thermique distribué écrit en langage Python. Il a pour fonctionnalité de calculer la résistance thermique d'un dispositif quelle que soit son architecture. Cette valeur de résistance thermique est directement non présentable dans un modèle compact.

La solution proposée permet de prédire la résistance thermique de chaque source de chaleur (les doigts du transistor), quand tous les doigts sont allumés, ainsi que d'étudier les lois d'échelle de R_{th} grâce à la simulation d'un dispositif quels que soient sa géométrie et son architecture (nombre de sources, distance entre les sources et les doigts, distance entre la source et l'isolation ainsi que la longueur de grille de la source). L'avantage des simulations GenSHE c'est qu'elles ne nécessitent pas de mesures supplémentaires à celles utilisées lors de l'extraction des paramètres du modèle compact.

L'outil donne aussi le profil thermique des transistors en fonction des caractéristiques technologiques comme la profondeur de l'isolation et l'épaisseur du substrat.

La génération automatique du réseau thermique distribué a été mise en place en script UNIX. Le programme reçoit en entrée les paramètres de la Figure 2.55 (la largeur d'active, le nombre de sources etc.), la densité du maillage dans les différentes régions et la loi d'évolution de la résistivité thermique avec la température (Eq II.10).

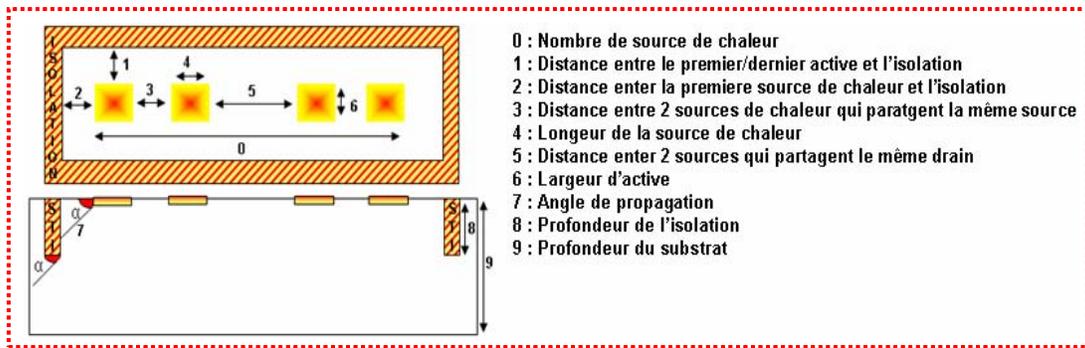


Figure 2.55 : Paramètres géométriques et technologiques d'entrée du GenSHE

Afin de faciliter la construction du réseau thermique d'un NLD MOS et l'évaluation des résistances thermiques, des hypothèses sont faites.

Ces hypothèses portent essentiellement sur les dimensions de la source de chaleur, sur sa localisation dans la structure, sur la propagation de la chaleur dans les métallisations et le substrat :

- Le flux de chaleur a les dimensions des doigts de grille et il est confiné selon une pyramide faisant un angle $\alpha = 45^\circ$, dont l'origine est la source de chaleur
- Les sources de chaleur sont localisées au niveau des doigts du transistor
- La contribution des métallisations est négligée
- La contribution du substrat : le flux de chaleur est confiné selon un parallélépipède
- L'interaction thermique : elle a lieu lorsque les flux de chaleur de deux composants se rencontrent. Une composante horizontale est alors ajoutée, qui dépend de la distance entre les dispositifs.
- L'isolation latérale bloque parfaitement la diffusion de la chaleur

Finalement, pour construire et calculer le profil thermique du transistor, on attribue à chaque région une résistance thermique calculée à partir de leurs dimensions. En appliquant l'équation (Eq II.9) et (Eq II.10), GenSHE donne les valeurs de R_{th} en profondeur pour les différentes régions.

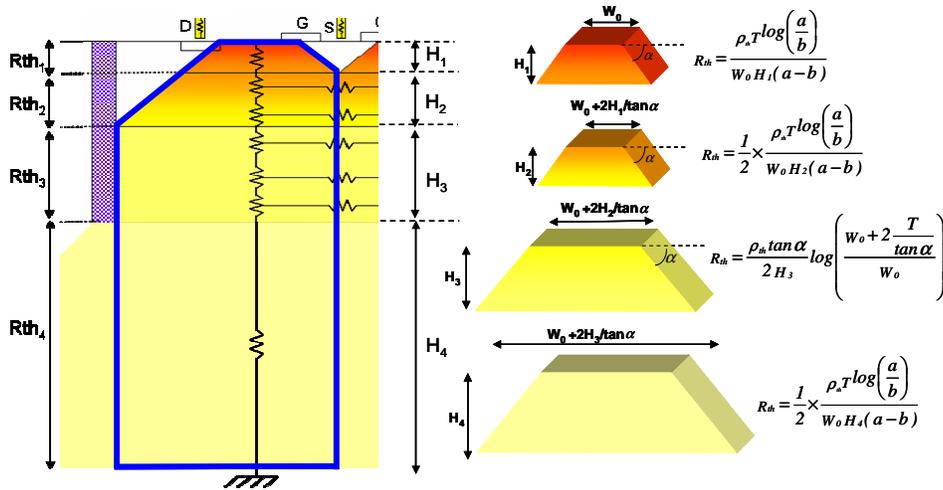


Figure 2.56 : Expressions pour le calcul des résistances en fonction des géométries.

Le programme génère alors le réseau thermique associé au composant souhaité. Toutes les connexions du réseau sont gérées de façon automatique. La librairie ELDO correspondant au composant souhaité est aussi générée. Le programme réalise ensuite avec cette librairie une simulation $I_{ds}(V_{ds})$. En sortie du programme, on a donc les résultats de la simulation avec la librairie du composant souhaité (Figure 2.57).

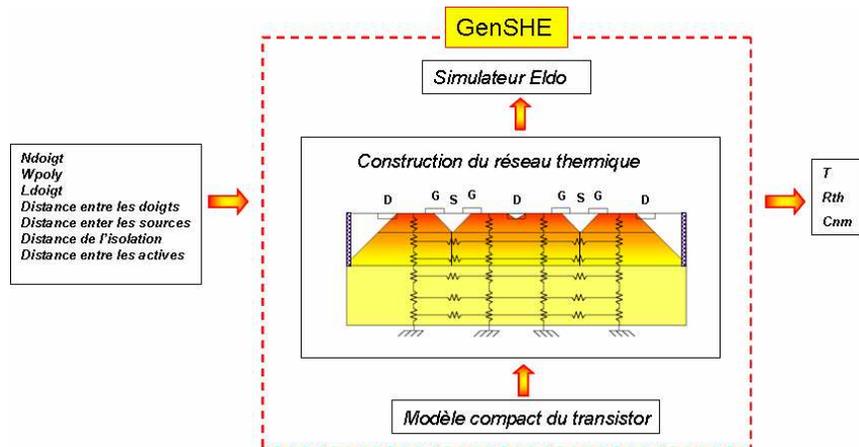


Figure 2.57 : Comparaison entre la température mesurée et modélisée d'un NLD MOS à 11 sources

2.5.2.2 Amélioration de l'outil

Dans ce paragraphe, on s'intéresse aux modifications apportées à l'outil dans ce travail de thèse. En fait, l'ancienne version de l'outil GenSHE ne permettait pas d'allumer les sources individuellement de manière à extraire dans tous les cas un R_{th} associé aux doigts. Ainsi, on

ne pouvait pas l'utiliser pour étudier le couplage thermique qui nécessite un allumage individuel des doigts.

Pour cela, la fonctionnalité d'allumage individuel des sources ainsi que des doigts a été intégrée.

Avec les modifications apportées à l'outil, l'utilisateur peut facilement commander soit l'allumage de toutes les sources (les doigts) (l'ancienne version), soit un allumage par doigts ou par source, et choisir par conséquent le nombre de sources à allumer en même temps en indiquant leur position.

Le fait de commander l'allumage des sources individuellement permet d'extraire les résistances intrinsèques des sources et ainsi étudier le comportement thermique intrinsèque du transistor. On peut aussi étudier le couplage thermique du transistor et extraire ses coefficients, si on allume deux sources en même temps.

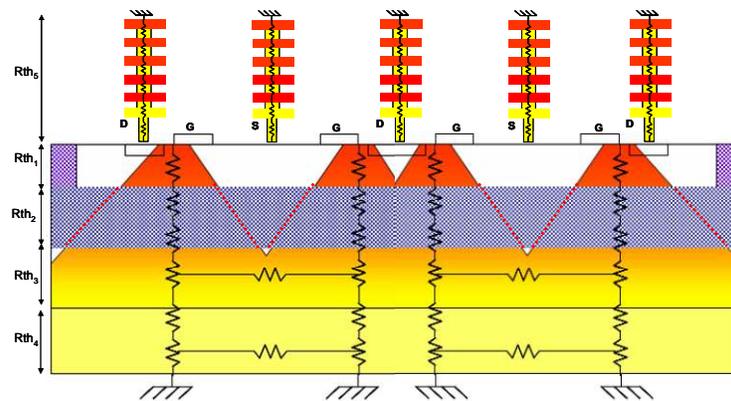


Figure 2.58 : Régions de propagation de la chaleur dans un LDMOS sur SOI et discrétisation de la résistance thermique dans les DTI et le substrat.

L'autre modification importante consiste à pouvoir simuler des dispositifs sur substrat SOI. La prise en compte de la résistance du BOX dans la génération du réseau thermique a donc été ajoutée (Figure 2.58) (Figure 2.59).

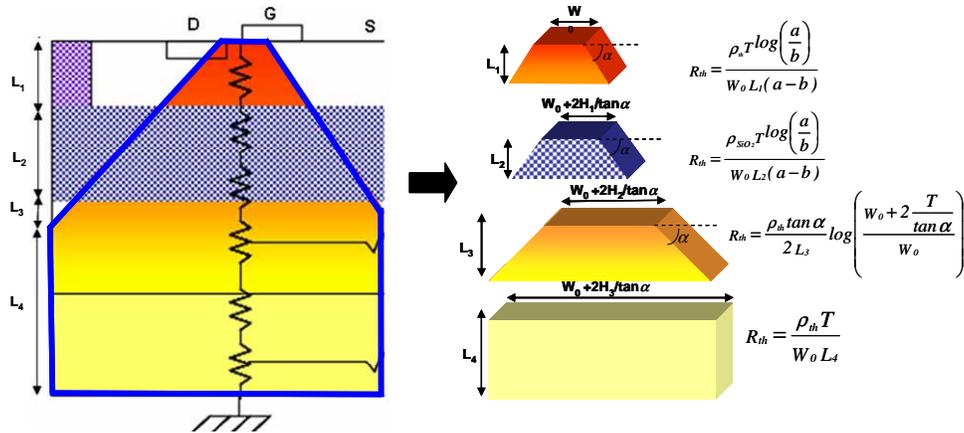


Figure 2.59 : Expressions pour le calcul des résistances pour un LDMOS sur SOI en fonction des géométries

Plusieurs corrections ont aussi été apportées au niveau du code pour améliorer la robustesse et corriger le codage dans Eldo des générateurs de puissance notamment.

Le tableau de la Figure 2.60 résume les principales améliorations apportées.

	GenSHE	GenSHE modifié
Technologie	Bulk	Bulk
	-	SOI
Allumage des sources		
	-	
	-	
	-	
Robustesse	---	+++

Figure 2.60 : Comparaison entre GenSHE et GenSHE modifié

2.5.3 Robustesse de la simulation vis-à-vis des paramètres de l'outil

Avant de procéder à l'étude du comportement thermique avec GenSHE, il est important de tester et de valider la robustesse de l'outil.

L'objectif de cette partie est de vérifier que l'outil répond et simule correctement le composant par rapport aux hypothèses de sa construction. Il faut étudier l'impact des différents paramètres nécessaires à son fonctionnement. On s'intéresse essentiellement à l'impact du pas de maillage, ainsi que celui des différents paramètres d'entrée technologiques et géométriques sur la simulation.

2.5.3.1 Impact du maillage

La densité de maillage a son impact sur la valeur de la température simulée; on identifie deux régions fondamentales : celle qui la plus proche et délimitée par l'isolation (Zone A de la Figure 2.61) puis celle qui est plus profonde non délimitée par le substrat.

L'impact du maillage a été étudié en faisant varier la densité du maillage dans la zone A et B.

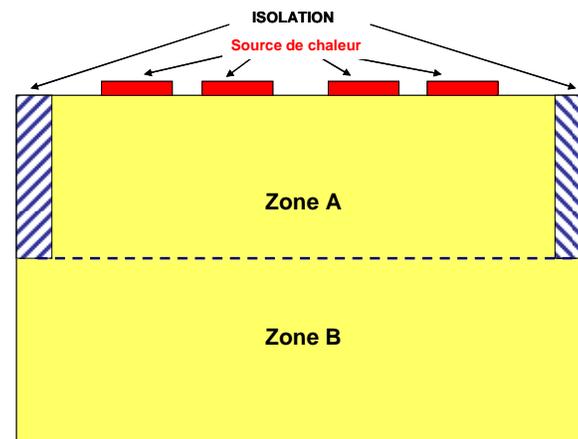


Figure 2.61 : Représentation des zones A et B

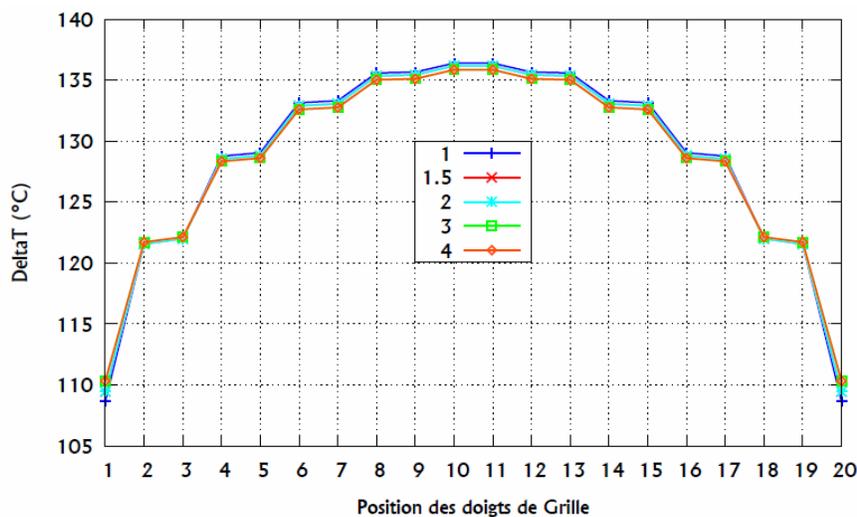


Figure 2.62 : Variation de la température d'un transistor NLD MOS à 10 sources en fonction de la densité du maillage dans la zone A

On remarque que la densité du maillage a moins d'impact dans l'isolation (Figure 2.62). En effet dans cette région, la propagation et la diffusion de la chaleur sont assez faibles, elles sont limitées par la profondeur du STI (aux alentours de 4 μm pour la technologie 250nm). La température reste alors presque constante. Cette courbe nous aide aussi à définir l'intervalle du pas de maillage à utiliser dans la simulation, pour que le résultat de cette dernière soit indépendant de la valeur du pas de maillage dans le STI. On voit bien que la variation de la température reste un peu près constante pour un pas de maillage dans le STI supérieur à 1 μm . D'un autre côté, la propagation de la chaleur dans le substrat est assez importante, du fait que cette partie a de grandes dimensions (quelques centaines de microns).

La température associée à cette région est la moyenne de toutes les températures correspondant au maillage dans cette zone. Plus le maillage dans cette zone est fin, plus la valeur de la température moyenne est précise. La Figure 2.63 confirme aussi que, dans le cas d'un grand pas de maillage (300 μm , qui correspond à la représentation du substrat par une seule résistance thermique), la température est plus grande que dans le cas d'un petit pas de maillage (10 μm).

Ainsi, on remarque que la température est indépendante du pas du maillage dans le substrat pour un pas entre 20 et 50 μm ; on utilisera un pas de 50 μm pour la simulation.

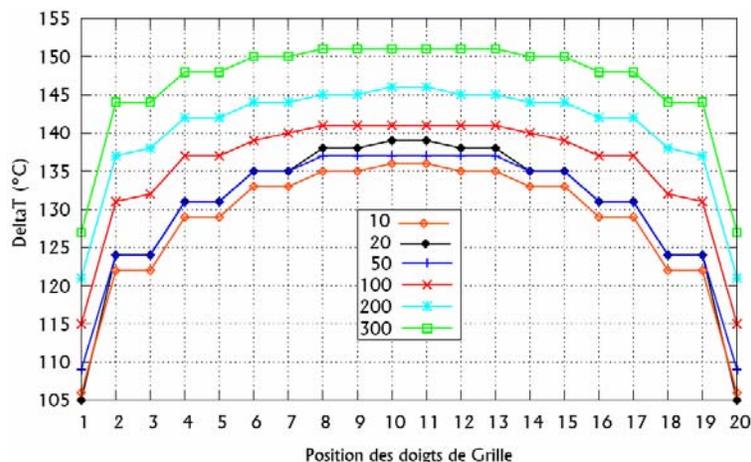


Figure 2.63: Variation de la température d'un transistor NLD MOS à 10 sources en fonction de la densité du maillage dans le substrat

2.5.3.2 Impact des paramètres géométriques et technologiques du NLDMOS

- **Influence de la largeur de grille (W_{poly})**

La largeur de la grille W_{poly} joue un rôle important dans la définition de l'auto-échauffement du transistor. Plus la largeur est importante, plus la source de chaleur l'est aussi (Figure 2.64).

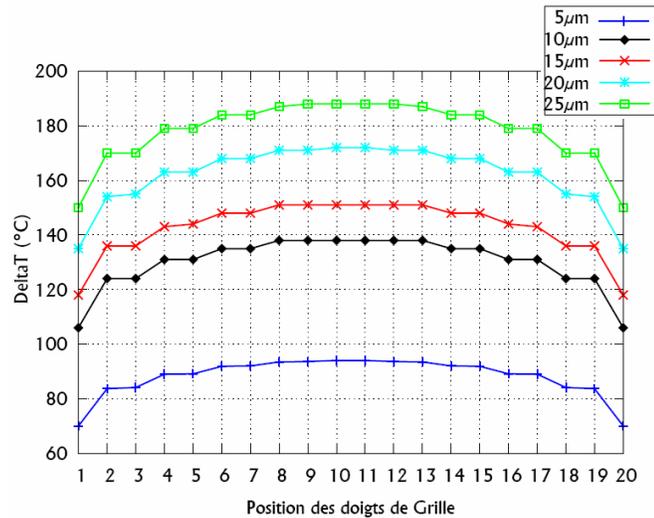


Figure 2.64 : Impact de la variation de la largeur de la grille sur la température d'un NLDMOS à 11 sources

- **Influence de la longueur de la source de chaleur (L_{source})**

La définition de la longueur de la source de chaleur est difficile. Même si on a accès à des simulations TCAD, qui localisent la source de chaleur à côté du drain, sa dimension est subjective et ne repose que sur des approximations. Il est donc très important d'analyser son impact sur les résultats de la simulation. Une petite variation de la longueur de la source de chaleur peut fausser la simulation.

La Figure 2.65 confirme que la température simulée dépend d'une façon importante de la longueur de la source de chaleur.

Par exemple, pour une variation de la longueur de la source de 10% (entre $0,5\mu\text{m}$ et $0,6\mu\text{m}$), la température varie de 20%.

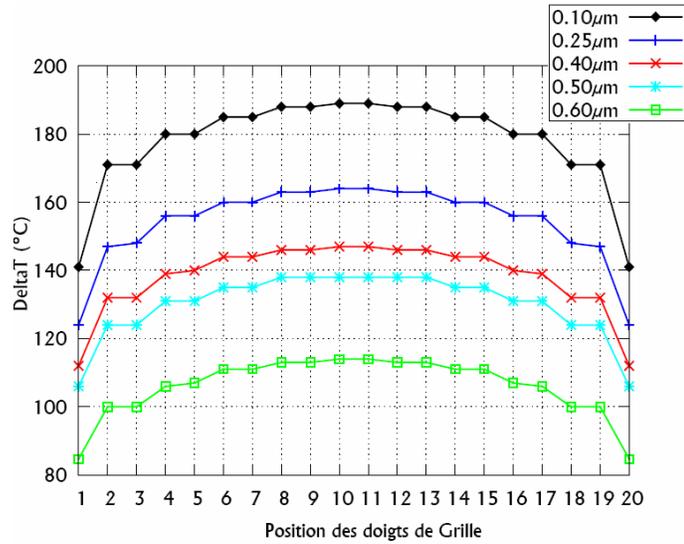


Figure 2.65 : Impact de la variation de la longueur de la grille sur la température d'un NLD MOS à 11 sources

▪ **Influence de l'espacement entre les sources de chaleur (Sfing)**

La distance entre les doigts détermine le couplage thermique entre ces derniers: plus la distance entre ces derniers est petite, plus le couplage thermique augmente entre eux.

La Figure 2.66 confirme que les simulations avec une distance entre les doigts petite donnent un profil thermique moins important, du fait qu'on a moins de couplage thermique.

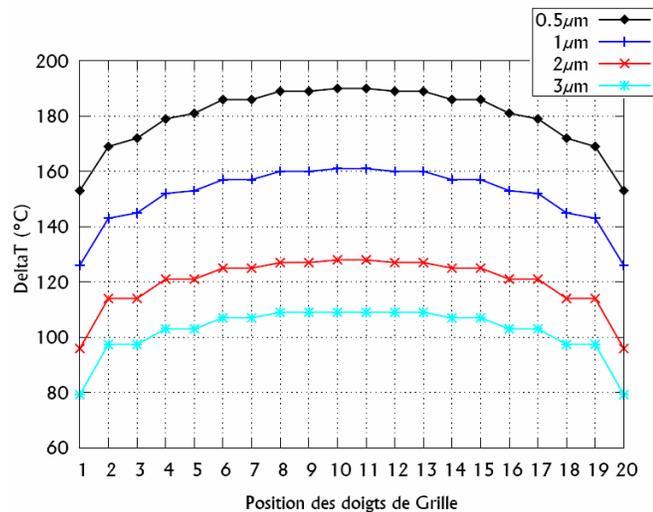


Figure 2.66 : Evolution du profil thermique simulé avec GenSHE d'un NLD MOS en fonction de l'espacement entre les doigts

▪ Influence de la distance et la profondeur de l'isolation

La propagation de la chaleur des sources de bords est bloquée par l'isolation: quand les sources sont très proches de l'isolation, leur température devienne plus importante. Par contre, quand les sources de bords sont loin de l'isolation, elles arrivent à mieux évacuer leur chaleur ce qui explique l'augmentation de l'écart thermique entre les sources de bords et de centre dans le cas où cette distance atteint $3\mu\text{m}$ (Figure 2.67 :a).

Dans un autre côté, l'augmentation de la profondeur de l'isolation Piso revient à augmenter le confinement thermique, ce qui se traduit par un accroissement de la température dans le cas d'une isolation profonde (Figure 2.67: b).

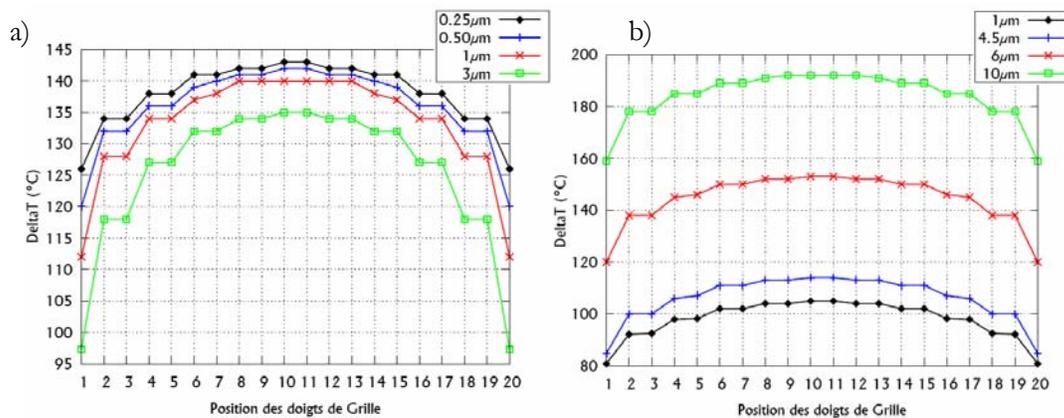


Figure 2.67 : Impact de la variation de la distance (a) et de la profondeur de l'isolation (b) sur la température d'un NLD MOS à 11 sources

▪ Influence de la profondeur du substrat (Psub)

Dans la Figure 2.68, on visualise la dépendance de R_{th} avec la profondeur du substrat obtenue avec GenSHE. Ceci confirme que si le substrat est plus profond, le transistor arrive à mieux évacuer la chaleur et à chauffer moins.

L'autre résultat qu'on peut déduire de cette figure est qu'une simulation avec un substrat de $200\mu\text{m}$ permet largement d'obtenir de bons résultats sans perdre beaucoup de temps dans la simulation.

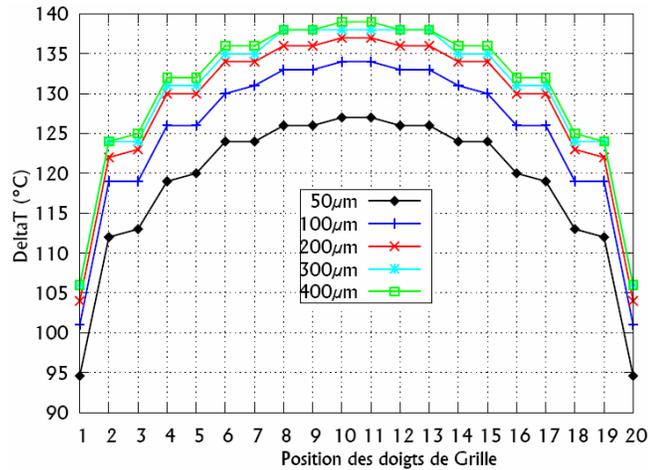


Figure 2.68 : Impact de la variation de la profondeur du substrat sur la température d'un NLD MOS à 11 sources

▪ Variation de la température en fonction de la profondeur

La propagation de la chaleur dans un milieu quelconque dépend essentiellement des caractéristiques physiques de ce dernier. On a vu que la chaleur dissipée par un transistor se propage principalement selon deux directions : dans les métallisations (le backend) et en profondeur.

GenSHE permet de caractériser et comparer la dissipation de la chaleur en profondeur pour différentes technologies.

La Figure 2.69 compare la dissipation de la chaleur en profondeur pour un NLD MOS en technologie 250nm sur substrat massif et sur le même transistor en ajoutant un BOX juste après la zone A (définie dans le paragraphe 2.5.3.1).

On remarque que la présence de la couche isolante dans le dispositif avec SOI augmente sa température à la surface par rapport au NLD MOS sur substrat massif.

Ainsi, on voit bien que sa température baisse rapidement entre le début (à 0,16µm) et la fin de l'isolation (0,56 µm), ce qui montre que la couche d'isolation "absorbe" la chaleur et non la réfléchit totalement.

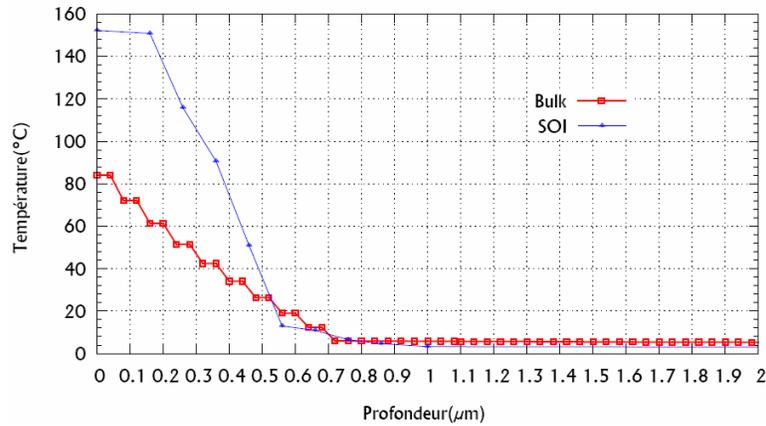


Figure 2.69 : Comparaison entre la variation de la température d'un NLD MOS en Substrat massif et sur SOI en fonction de la profondeur

2.5.4 Etude des lois d'échelles de la résistance thermique

On a déjà vu que le profil de température d'un NLD MOS n'est pas constant (effet de bords et de centre), suivant le nombre de sources. GenSHE reproduit bien ce comportement (Figure 2.70). Ainsi, il permet d'identifier la position du premier doigt central (dans cet exemple c'est le 8^{ème} doigt) selon le calcul déjà vu au paragraphe 2.4.1.2. Le fait de prévoir la position du doigt central permet de mieux caractériser le profil thermique et facilite sa modélisation.

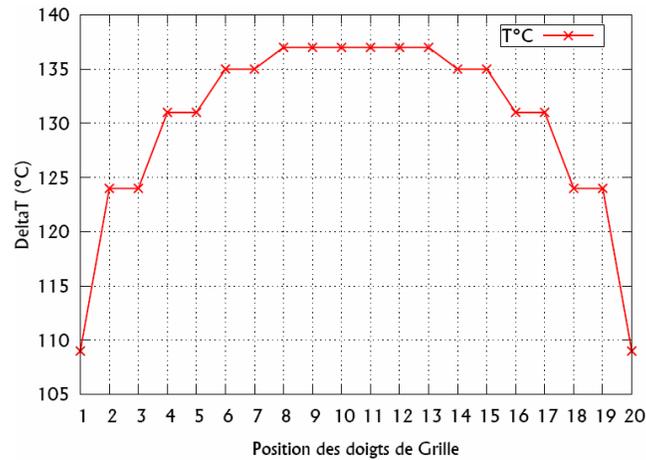


Figure 2.70: Variation de la température d'un transistor NLD MOS à 10 sources en fonction de la position des sources

GenSHE permet l'étude de l'impact des différents paramètres géométriques sur le profil thermique du NLD MOS et de déduire les lois d'échelle de ce dernier.

2.5.4.1 Comportement intrinsèque

La courbe (Figure 2.71: a) nous montre qu'on allumant chaque source individuellement, la résistance thermique intrinsèque d'une source, qui se trouve proche de l'isolation (sources de bord), est plus forte que celle d'une source qui se trouve au centre.

On remarque aussi que les résistances thermiques intrinsèques des sources de bords et de centre sont constantes, ce qui fait penser aux résultats déjà observés au paragraphe 2.4.1.2 .

Les résultats de la simulation du NLD MOS sur SOI avec GenSHE sont obtenus en tenant compte des modifications du programme liées à la technologie SOI (déterminées dans le chapitre I).

En visualisant le profil thermique intrinsèque (Figure 2.71 : b), on remarque:

- que la simulation donne un profil thermique constant qui caractérise le profil des doigts centraux.
- l'absence de l'effet de bords /centre.

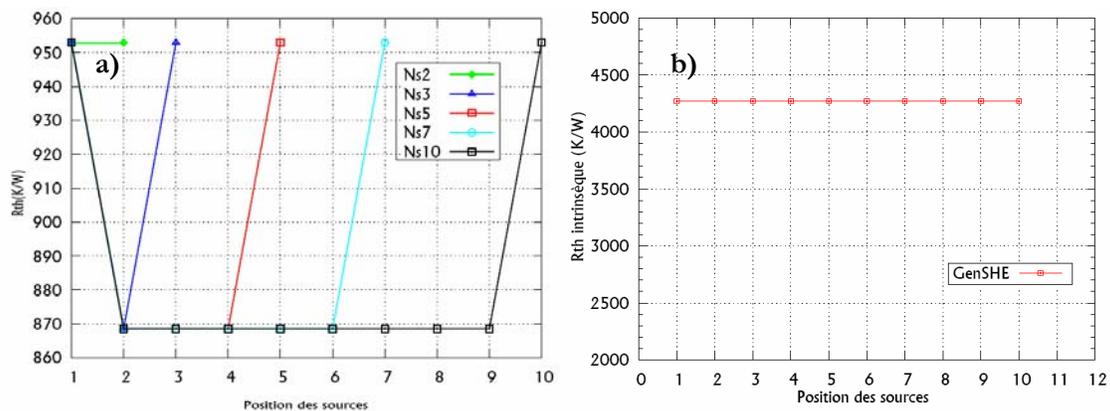


Figure 2.71 : a) Evolution de R_{th} intrinsèque simulée du NLD MOS en substrat massif en fonction de la position et du nombre des sources. b) Evolution de R_{th} intrinsèque d'un NLD MOS sur SOI à 10 sources en fonction de la position des sources

2.5.4.2 Couplage thermique

Sur la Figure 2.72, on visualise les coefficients de couplage entre la première source et les autres sources C_{1n} (C_{12} , C_{13} , C_{14} , ... C_{10}) d'une structure à 10 sources et les coefficients de couplage entre les sources de centre du NLD MOS sur substrat massif.

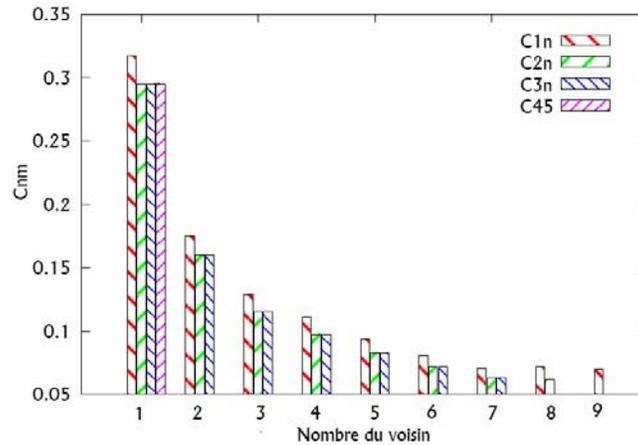


Figure 2.72 : Coefficients de couplage simulés pour un NLD MOS en substrat massif à 10 sources.

Les résultats donnés par GenSHE confirment que le couplage avec les autres voisins diminue, si la distance entre les sources augmente (voir paragraphe 2.4.2.4). De plus, les sources centrales qui sont séparées de la même distance ont les mêmes coefficients de couplage.

Les coefficients de couplage des sources centrales avec leurs premiers voisins sont constants. Ces résultats confirment aussi les résultats obtenus précédemment (paragraphe 2.4.2.4).

Les courbes des coefficients de couplage du NLD MOS sur SOI (Figure 2.73) suivent la même tendance : les résultats de la figure au dessus (Figure 2.72) confirment les précédents résultats; on remarque que GenSHE attribue des valeurs presque négligeables au GenSHE pour les coefficients de couplage, sauf pour le coefficient de couplage avec le premier voisin (C12). Malgré les faibles valeurs des coefficients de couplage (excepté le C12), ces derniers respectent les mêmes lois remarquées précédemment.

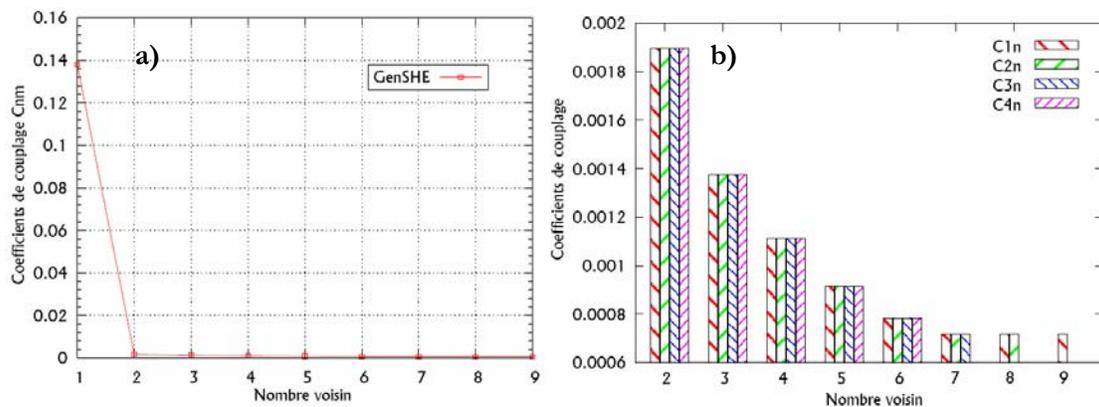


Figure 2.73 : Evolution des coefficients de couplage latéral (a) et central (b) en fonction des voisins pour un NLD MOS sur SOI à 10 sources.

2.5.4.3 Extraction de la résistance thermique totale

La courbe de la Figure 2.74 donne les profils thermiques simulés avec GenSHE pour des transistors NLD MOS en substrat massif et sur SOI en fonction de la position de leurs sources.

On remarque que le profil obtenu est l'inverse du profil thermique intrinsèque (Figure 2.73).

Les sources centrales chauffent plus que les sources latérales à cause de l'apparition du couplage thermique entre les différentes sources.

Les résultats simulés par GenSHE sont cohérents avec les résultats obtenus sur silicium (Partie 2.4).

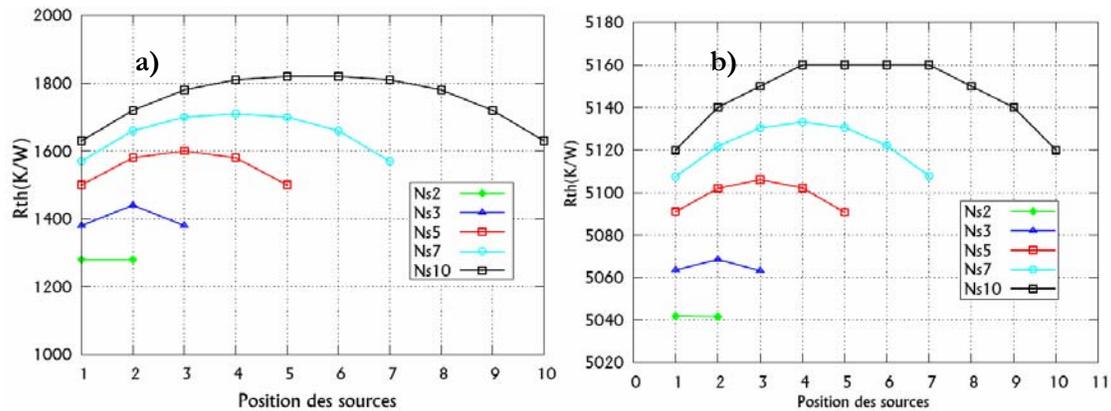


Figure 2.74 : Evolution de R_{th} totale simulée avec GenSHE en fonction de la position pour un NLD MOS en substrat massif(a) et sur SOI(b)

2.5.4.4 Comparaison des simulations GenSHE avec les mesures

- **Comportement thermique intrinsèque**

Sur la Figure 2.75 : a, on compare les résultats donnés par GenSHE avec les mesures du transistor NLD MOS en 250 nm : on voit que R_{th} intrinsèque simulée reproduit bien le comportement intrinsèque (effet de bords et de centre) du NLD MOS. Ainsi, on voit bien l'impact du rajout de la résistance du backend sur le résultat de la simulation. Du fait que la chaleur se propage aussi dans le backend, l'ajout d'une résistance backend, améliore nettement le modèle.

Pour modéliser cette résistance backend, on rajoute une résistance constante au réseau thermique initial (sans backend).

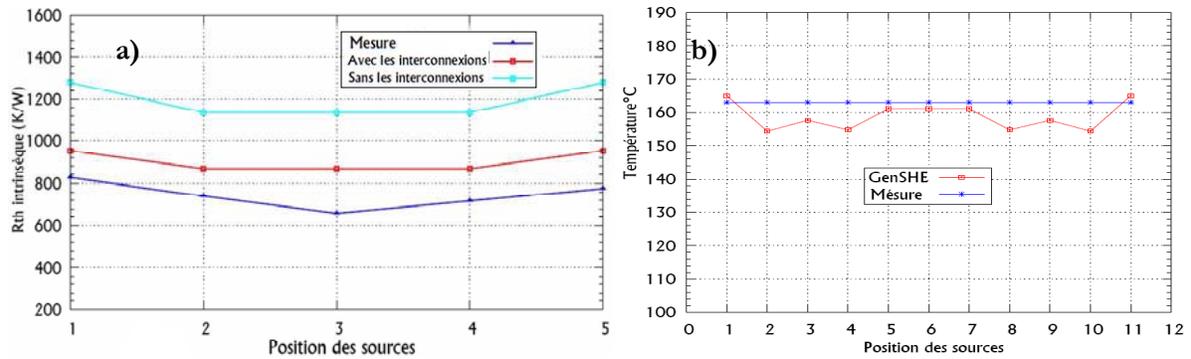


Figure 2.75 : Comparaison entre R_{th} intrinsèque simulée et mesurée pour un NLD MOS en substrat massif (a) et sur SOI (b).

D'un autre côté, le comportement thermique intrinsèque du NLD MOS sur SOI (Figure 2.75 : b), présente quelques différences par rapport à la mesure; on n'observe pas l'effet bord /centre et la différence observée dans la mesure est réduite à un profil thermique intrinsèque constant : ce profil constant nous rappelle les résultats de la Figure 2.39, puisqu'on observe les mêmes valeurs de température pour une source centrale et latérale.

▪ Coefficients de couplage

Afin de valider la méthode d'extraction des coefficients de couplage avec GenSHE, on compare les coefficients de couplage des sources latérales C_{1n} (courbe rouge) d'une structure à 10 sources, avec les coefficients de couplage mesurés (courbe bleue Figure 2.76).

On remarque que, dans le cas du NLD MOS en substrat massif (Figure 2.76 : a) :

- la mesure et la simulation ont le même profil,
- les résultats donnés par la simulation se rapprochent bien de la mesure malgré un petit décalage.

Pour le NLD MOS sur SOI (Figure 2.76 : b), les coefficients de couplage des sources latérales sont presque négligeables, sauf pour le coefficient de couplage avec le premier voisin (C_{12}). Cependant, ils évoluent de la même façon.

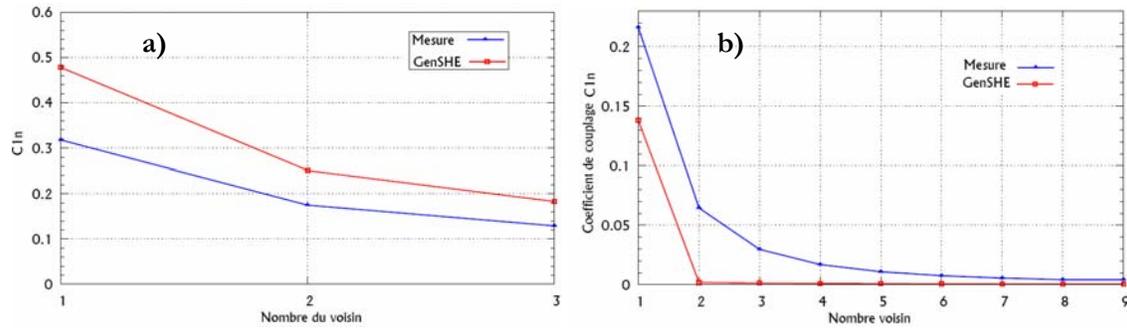


Figure 2.76 : Comparaison entre les coefficients de couplage des sources latérales C_{1n} simulés et mesurés pour un NLD MOS en substrat massif (a) et sur SOI (b).

▪ Extraction de la résistance thermique totale

La Figure 2.77 compare le profil thermique mesuré et simulé d'un NLD MOS sur substrat massif et sur SOI. On a bien vu précédemment que, dans le cas du NLD MOS sur substrat massif (Figure 2.72 et Figure 2.76 : a), les coefficients de couplage sont assez importants ce qui explique l'allure de la courbe de la Figure 2.77 : a : la résistance thermique est maximale au centre. On remarque aussi qu'on arrive à bien reproduire le profil des températures mesurées de chaque source.

D'un autre côté, pour le NLD MOS sur SOI (Figure 2.77 : b), la différence entre la valeur de la résistance thermique des sources latérales et centrales est plus importante dans la mesure que dans la simulation. Les résultats de la Figure 2.72 et Figure 2.76 : b montrent que GenSHE donne des valeurs faibles des coefficients de couplage dans le cas du SOI, ce qui explique les résultats de la Figure 2.77 : b : GenSHE sous-estime les effets de bords et donne un profil plus au moins constant autour d'une valeur moyenne qui se rapproche de la mesure.

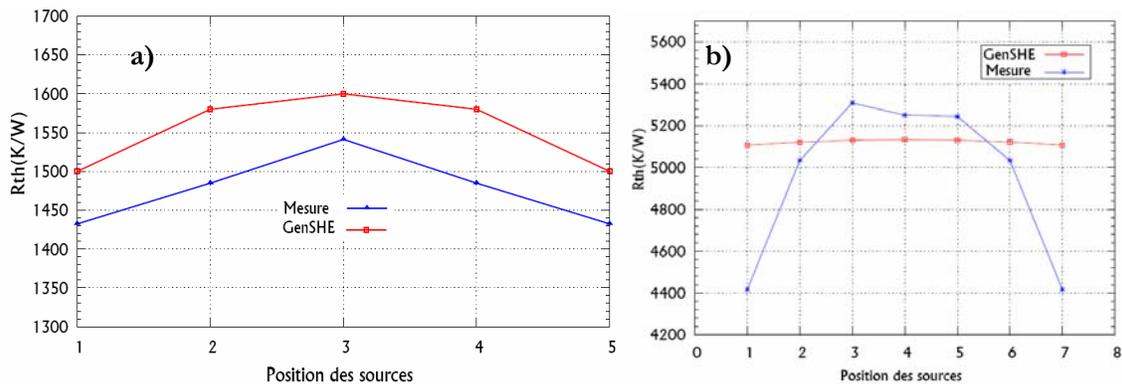


Figure 2.77 : Evolution de R_{th} totale simulée avec GenSHE en fonction de la position et le nombre de sources d'un NLD MOS sur substrat massif (a) et en 130nm sur SOI (b).

2.6 Conclusion

La modélisation de l'auto-échauffement basée sur la simulation est un bon moyen pour se passer des mesures et gagner du temps. Dans cette partie de thèse, l'étude de l'auto-échauffement a été réalisée en utilisant l'outil de génération du réseau thermique GenSHE.

On peut considérer que GenSHE représente un bon outil qualitatif pour reproduire le comportement thermique intrinsèque du transistor.

On peut aussi déduire les lois d'échelle de R_{th} (intrinsèque et couplage thermique), ce qui permet d'extraire facilement les modèles proposés dans la partie précédente 2.3.

Les résultats de la simulation dépendent des paramètres géométriques (L_{source} , N_{source} ... etc.) et technologiques (Substrat massif, SOI, profondeur de l'isolation...etc.) du dispositif simulé.

Grâce aux mesures, on a pu vérifier les hypothèses de construction du réseau thermique et valider sa robustesse. Qualitativement, on retrouve des bons résultats.

On confirme que, en général, GenSHE arrive à bien modéliser l'auto-échauffement dans le cas de la technologie 250nm, puisqu'on arrive à bien reproduire la mesure. Pour le cas de la technologie 130 nm sur SOI, l'outil reste incomplet car on n'arrive pas à reproduire parfaitement le couplage thermique. On pense que cette différence entre la mesure et la simulation est liée à :

- la non modélisation du réseau de backend. En effet, la présence de l'isolant (le BOX) bloque la propagation de la chaleur à l'intérieur du substrat et fait qu'il y'a un effet *miroir*. Dans ce cas, la propagation de la chaleur et la construction des pyramides de chaleur se fait dans les connexions. La modélisation de cette propagation par une résistance constante n'est pas suffisante.
- aux paramètres technologiques du SOI, qui font que le couplage entre les pyramides de chaleur ne se fait qu'après le BOX. En outre, puisque, dans cette zone (au dessous du box) la température n'est pas élevée, même s'il y a un couplage, sa valeur reste très faible.

2.7 Conclusion du chapitre

Ce chapitre de thèse a été consacré à la modélisation de l'auto-échauffement dans les dispositifs haute tension. Tout d'abord, les étapes de modélisation de l'auto-échauffement ont été détaillées ainsi que les différentes méthodes et les structures de test utilisées pour l'extraction de la résistance thermique R_{th} , et l'extraction des coefficients de couplage thermique. Ainsi, une nouvelle structure de test [Hniki'09] pour l'extraction des coefficients de couplage était présentée. La structure en question permet l'extraction des coefficients de couplage quelque soit le nombre de sources du NLDEMOS. En effet, en utilisant cette nouvelle structure basée sur la méthode de [Walk02] on diminue le nombre de structures de test à utiliser pour l'extraction et la modélisation des coefficients de couplage à deux structures (bord/centre).

Par la suite, un modèle de l'auto-échauffement a été présenté qui prend en compte le comportement thermique intrinsèque et le couplage thermique entre les sources. Il introduit une nouvelle description de l'auto-échauffement dans le modèle du NLD MOS : utilisation de deux transistors possédant deux nœuds thermiques, une pour l'auto-échauffement des sources centrales et une autre pour modéliser l'auto-échauffement des sources de bord. En plus, il fait fonctionner la résistance de drain R_d à la température de l'auto-échauffement, ce qui améliore la modélisation de l'auto-échauffement dans la région triode.

Le modèle a été validé sur des mesures en régimes linéaire et saturé d'un NLD MOS sur SOI, (auto-échauffement important) et a été mis en œuvre sur des simulateurs commerciaux.

En outre, un outil d'extraction de la résistance thermique et des coefficients de couplage appelé GenSHE a été mis en place. GenSHE est basé sur les méthodes des pyramides et sur les lois physiques de la propagation de la chaleur. Il permet de reproduire le profil thermique et de déterminer des règles d'échelle de R_{th} en fonction des différents paramètres géométriques du NLD MOS. Il a été validé sur un NLD MOS en technologie 250nm sur substrat massif ainsi qu'en technologie 130 nm sur SOI.

Il reste à intégrer la diffusion de la chaleur dans la métallisation afin d'assurer une reproduction de la mesure.

CHAPITRE 3
CONTRIBUTION A LA MODELISATION DES PARASITES RF DANS
LES TRANSISTORS MOS HAUTE TENSION

3.1 Introduction

Les dispositifs RF sont utilisés pour des circuits figurant dans la chaîne de réception ou d'émission des applications suivantes : amplificateur faible bruit et boucle à verrouillage de phase [Ben05] notamment.

La course vers la miniaturisation des transistors MOS conduit à l'apparition des nouveaux effets ; plus précisément, certains effets jusqu'alors négligeables doivent maintenant être pris en compte. Le comportement dynamique du transistor est directement sensible à cette miniaturisation, ce qui fait de la modélisation des éléments dynamiques un élément clef dans le processus de modélisation du transistor.

Parmi les nouveaux phénomènes à prendre en compte, deux types sont à distinguer : d'une part, il y a les effets liés au fonctionnement propre du transistor, dits effets intrinsèques, et d'autre part les effets extrinsèques, liés à l'impact résistif et capacitif de l'environnement du transistor. Afin de rendre pratique l'utilisation d'un modèle, ce dernier doit être complété par des méthodes d'extraction de paramètres.

Au cours de ce chapitre, nous nous intéresserons à l'étude des éléments dynamiques d'un transistor MOS haute tension. Une méthode d'extraction des éléments RF dans le cas du transistor MOS standard est présentée.

Par la suite, on s'intéressera à son application dans le cas du transistor haute tension ainsi qu'aux modifications apportées pour l'adapter au cas du LDMOS sur SOI.

Avant de s'intéresser à la validation de cette méthode d'extraction par des mesures du LDMOS sur SOI, on validera ce protocole d'extraction avec la simulation du macro-modèle développé par STMicroelectronics de Crolles.

3.2 Etude de la modélisation RF du MOSFET

3.2.1 Importance de la modélisation des parasites RF

L'étude et la caractérisation du comportement RF du transistor MOS est un élément important pour une modélisation précise de ce dernier.

Les caractéristiques RF du transistor MOSF sont directement liées aux éléments parasites qui accompagnent son fonctionnement. Il est nécessaire d'étudier le comportement du modèle petit signal du transistor et d'extraire ces paramètres.

Les parasites RF nécessitent un traitement particulier car ils ont un impact sur les facteurs de mérite du dispositif comme la fréquence de transition f_t et la fréquence maximale d'oscillation f_{max} .

La fréquence de transition f_t représente la fréquence pour laquelle le gain en courant est égal à 1. Une approximation, en fonction des éléments du schéma petit signal, est donnée par la relation suivante :

$$f_t \approx \frac{g_m}{2 \cdot \pi \cdot C_{gg}} \quad (\text{Eq III.1})$$

La fréquence maximale d'oscillation f_{max} représente la fréquence pour laquelle le module du gain maximum disponible est égal à 0 dB. Il est défini par :

$$f_{max} \approx \frac{f_t}{\sqrt{R_{ggext} \cdot (g_{ds} + 2 \cdot \pi \cdot f_t \cdot C_{gd})}} \quad (\text{Eq III.2})$$

Afin de bien définir les valeurs de ces facteurs mérite il faut extraire d'une façon précise la résistance d'accès de grille R_g et la capacité totale de la grille C_{gg} notamment.

3.2.2 Modèle petit signal : Intrinsèque/Extrinsèque

Un schéma équivalent électrique petit signal représente le fonctionnement dynamique d'un composant autour d'un point de polarisation.

L'approche quasi-statique est considérée comme la base de la plupart des modèles RF du transistor MOS. Cette approche définit les charges dans le canal comme une fonction instantanée des tensions de polarisations, c'est-à-dire que leur variation se passe en même temps et à la même vitesse.

Le schéma dynamique du transistor comporte deux types d'éléments (Figure 3.1) : les éléments intrinsèques et les éléments extrinsèques.

Les éléments intrinsèques représentent la partie responsable de l'effet transistor, décrite par la physique du composant (partie comprenant le canal).

Les éléments extrinsèques sont constitués de tout ce qui entoure et permet d'accéder aux éléments intrinsèques [Dam03] [Enz00] [Tsi99] .

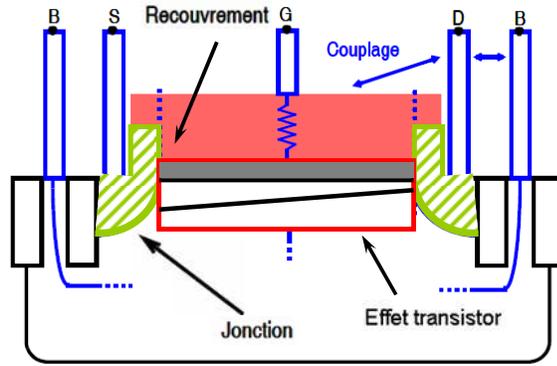


Figure 3.1 : Les éléments intrinsèques et extrinsèques du transistor MOS [Bou2]

3.2.2.1 Schéma équivalent intrinsèque

Chaque élément du schéma équivalent intrinsèque (Figure 3.2) reflète un mécanisme physique ou une propriété électrique du transistor. Ces éléments sont des fonctions de la polarisation et de la longueur de grille.

L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé.

Elle peut se faire directement à partir des paramètres [Y] de la mesure [Ber90] [Lov94].

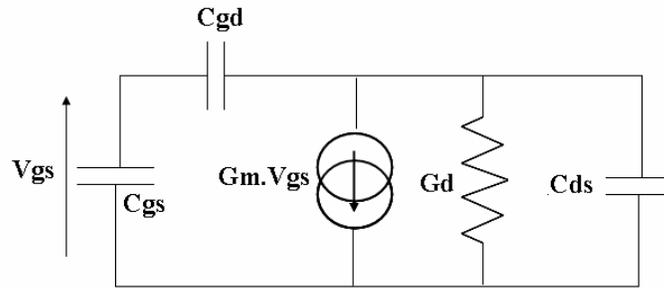


Figure 3.2 : Schéma équivalent intrinsèque du transistor MOS

Le premier élément de la partie intrinsèque est g_m , transconductance représentant l'amplification de la commande en tension de la grille :

$$g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad (\text{Eq III.3})$$

Les capacités C_{gs} et C_{gd} sont les charges qui fluctuent en fonction du champ électrique émanant de la grille vers les métallisations, les régions N+ de drain et de source.

L'estimation des capacités parasites dans un dispositif MOSFET est très importante, et cela particulièrement pour la simulation des circuits mixtes et RF (Radio Frequency).

Ces capacités représentent la commande de la charge stockée sous l'effet des tensions V_{gs} et V_{gd} . Les équations décrivant leur évolution reposent sur le principe de la conservation de la charge. Ce principe assure la convergence des simulations en grand signal et correspond à une réalité physique [Sil03] [Sil04]:

$$C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad C_{gd} = \left. \frac{\partial Q_g(V_{gs}, V_{gd})}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (\text{Eq III.4})$$

C_{ds} correspond aux capacités en série des jonctions de source et de drain et enfin G_d est la conductance de sortie.

$$g_d = \left. \frac{\partial I_{ds}(V_{ds}, V_{gs})}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (\text{Eq III.5})$$

3.2.2.2 Eléments extrinsèques

Ils incluent tous les éléments parasites se trouvant entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. On peut distinguer deux types d'éléments extrinsèques :

- Les éléments liés à la technologie du composant comme les résistances d'accès aux différents terminaux (grille, source, drain et substrat) et les capacités de jonctions et de recouvrement (Figure 3.3).

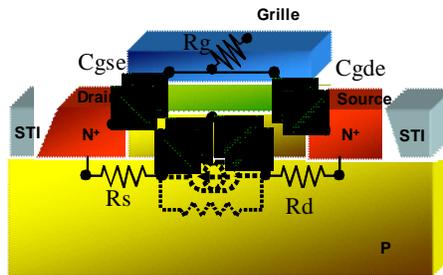


Figure 3.3 : Eléments extrinsèques d'un transistor MOS

- Les éléments parasites dus aux lignes ou plots d'accès (Figure 3.4).

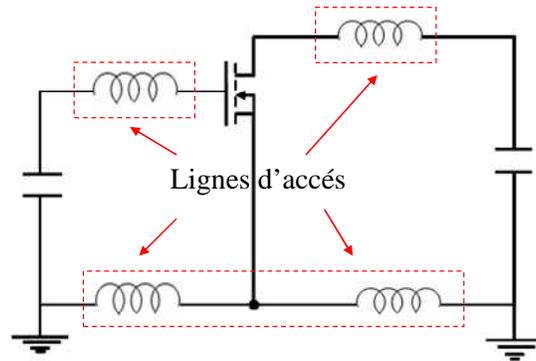


Figure 3.4 : Les composants extrinsèques introduits par les lignes d'accès

- **Résistances**

Les résistances R_s et R_d représentent les résistances parasites dues aux contacts ohmiques et aux zones conductrices inactives du canal entre les métallisations drain et source et la limite de la zone déserte. R_g est la résistance de la grille ; elle est proportionnelle à la largeur totale.

- **Capacités et inductances**

En raison de la diminution de la taille des composants, les capacités extrinsèques représentent une fraction importante de la capacité d'oxyde de grille.

Ces capacités sont représentées essentiellement par C_{gse} et C_{gde} correspondent aux capacités dues à l'espaceur d'oxyde et aux effets de bord entre les électrodes. C_{dse} modélise le couplage entre les caissons de drain et de source.

Les capacités C_{pg} et C_{pd} sont dues aux connexions métalliques ou siliciures.

Les inductances L_g , L_d et L_s modélisent la réactivité des contacts métalliques ou siliciures et des *vias* d'accès au transistor.

Au final, le schéma équivalent complet petit signal d'un transistor MOSFET (Figure 3.5) inclut les deux types d'éléments : intrinsèques et extrinsèques. L'intérêt de distinguer ces deux éléments est de pouvoir les isoler pour simplifier leur extraction.

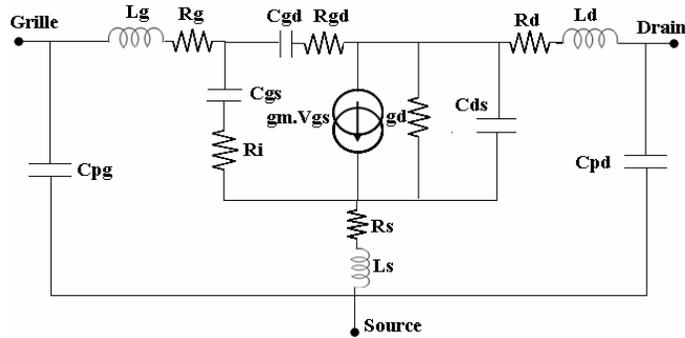


Figure 3.5 : Schéma équivalent complet du transistor MOS

3.2.3 Détermination des éléments parasites du modèle du transistor MOS

Le processus de la modélisation (Figure 3.6) est complété par une validation du modèle établi par la mesure. Les composants RF peuvent être extraits à partir des mesures hyperfréquences (paramètres [S]).

La topologie du modèle est basée sur la définition des schémas équivalents électriques et des équations analytiques qui modélisent les différents effets. Ainsi, après l'application d'une méthode d'épluchage et la correction des différents paramètres Y vis-à-vis des impédances d'accès, la modélisation des effets physiques et l'extraction des lois analytiques peuvent commencer.

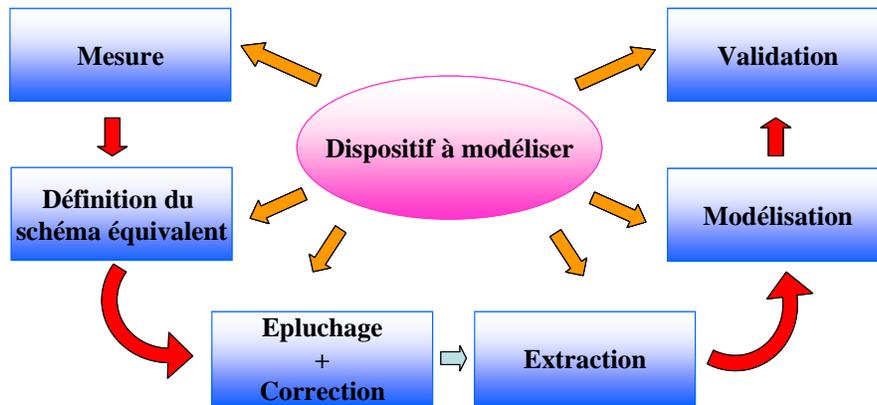


Figure 3.6 : Schéma résumant les étapes de la modélisation des paramètres RF du transistor

3.2.3.1 Mesure des paramètres S

Les paramètres S permettent de déterminer différents critères dynamiques du transistor. La première représentation électrique équivalente des composants hyperfréquences a été réalisée

au milieu des années 80. Cette représentation avait pour objectif d'évaluer les caractéristiques hyperfréquences des composants avec des paramètres S.

Pour déterminer les éléments parasites, le transistor est assimilé à un quadripôle (Figure 3.7) avec une entrée et une sortie. En régime hyperfréquence, les courants et les tensions sont difficiles à utiliser. Pour cela, le quadripôle est caractérisé par ses paramètres S [Hun60] [You61] [Kur65].

Ensuite, à partir des paramètres S, on peut calculer les différents éléments du schéma équivalent du transistor (Figure 3.5).

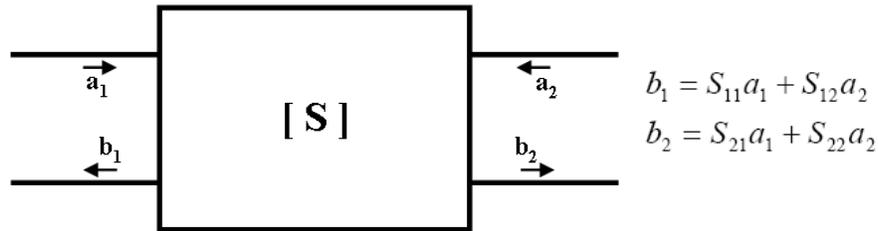


Figure 3.7: Présentation du transistor par un quadripôle

La mesure des paramètres S consiste en la détermination des rapports d'onde aux accès du transistor pour un point de fonctionnement linéaire (petit signal) autour du point de polarisation. Les paramètres S sont définis en petit signal par des équations reliant les ondes réfléchies (b_1 et b_2), incidentes (a_1 et a_2).

3.2.3.2 Le “de’embedding” ou épluchage

Cette procédure consiste à éliminer la contribution de certains éléments parasites de mesure, que sont les lignes d'accès et les plots de contact, en appliquant une méthode dite d'épluchage. Pour cela, on peut présenter ces éléments par un schéma électrique équivalent composé d'admittances et d'impédances (Figure 3.8).

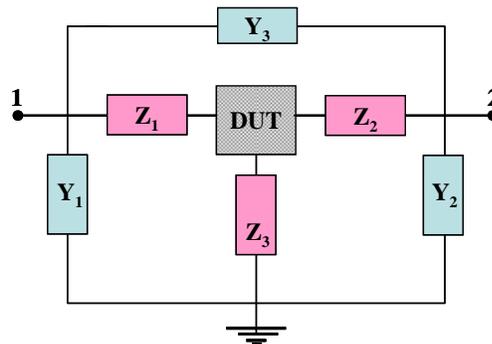


Figure 3.8 : Schéma équivalent des plots et des lignes d'accès

Les éléments Y et Z sont déterminés en utilisant les matrices des structures de test en configuration court-circuit (pour déterminer les Z) et en configuration circuit ouvert (pour déterminer Y) .

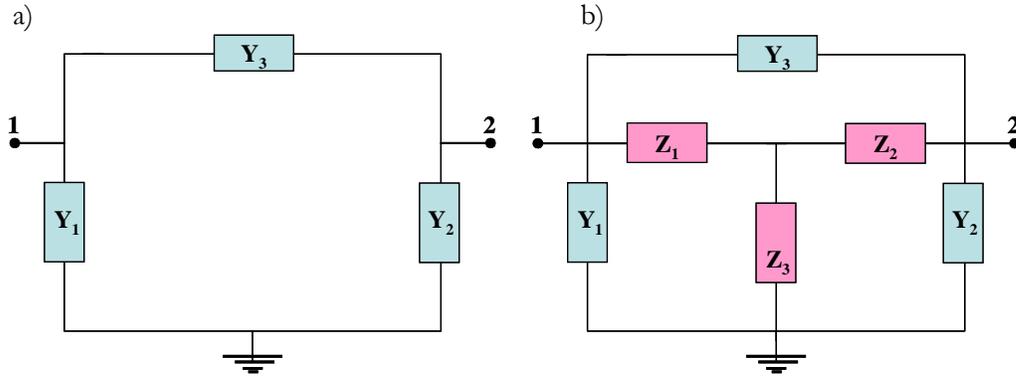


Figure 3.9 : Structures de test en configurations court-circuit (a) et circuit-ouvert (b), utilisées pour déterminer les éléments Y et Z des plots et des lignes d'accès

3.2.3.3 Procédure d'extraction

La méthodologie d'analyse et d'extraction des éléments extrinsèques est basée sur la mesure. Elle consiste à décortiquer le transistor en partant de la mesure, ce qui permet d'étudier chacun de ses éléments, de les restituer dans le MOSFET et de voir leurs impacts respectifs sur le comportement du dispositif.

Pour ce faire, l'extraction des parasites s'effectue en plusieurs étapes :

- Le de'embedding ou l'épluchage : après une mesure du dispositif, il faut pouvoir éliminer la contribution des lignes d'accès et des plots de contact. Cette étape nécessite l'utilisation de différentes méthodes de calcul.
- Isolation des éléments extrinsèques : en se plaçant dans certain régime de fonctionnement, on peut minimiser un effet et maximiser un autre.
- Calcul des éléments intrinsèques : après l'identification des éléments extrinsèques, il est plus facile de déduire les éléments intrinsèques.

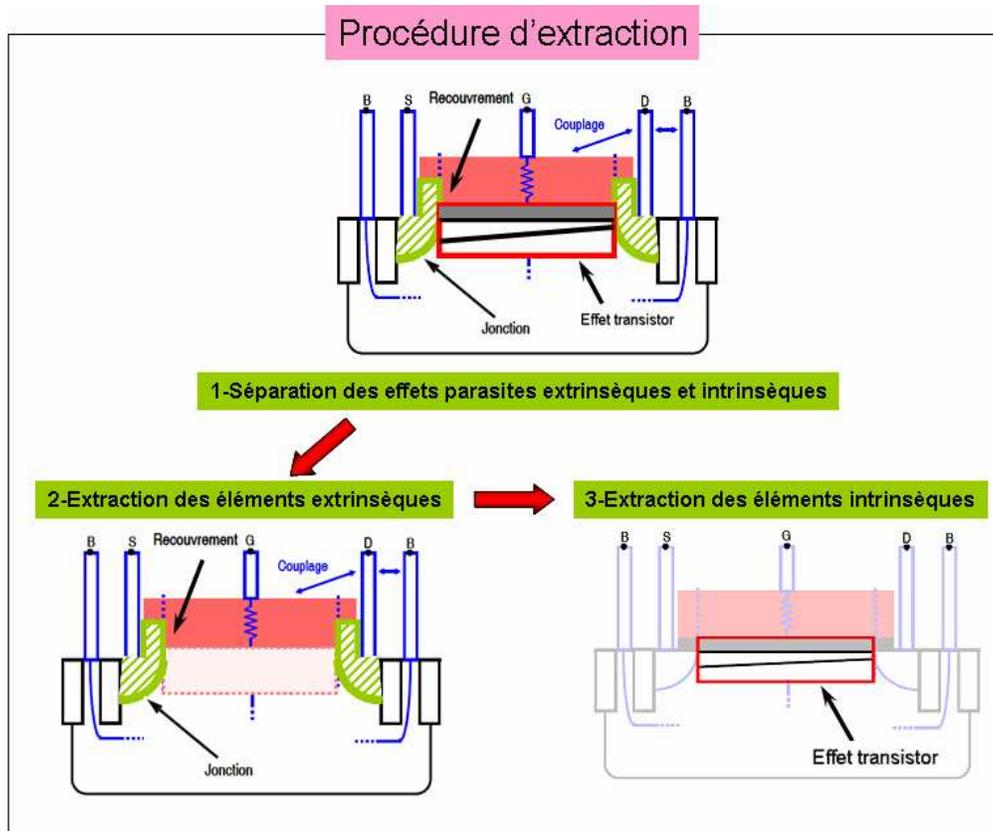


Figure 3.10 : Procédure d'extraction des éléments RF du transistor MOS

Dans ce qui suit, on s'intéresse seulement aux principaux éléments extrinsèques du transistor que sont la résistance de la grille et les capacités extrinsèques C_{gsex} et C_{gdex} .

3.2.3.4 Détermination des éléments parasites extrinsèques du modèle du transistor MOS

Il existe plusieurs procédures d'extraction dédiées au transistor MOS [Bra01] [Ras97] [Ras98] [Van01] [Dam88]. La majorité de ces éléments parasites répond à des lois d'échelle [Dan02] [Van01].

Pour extraire les éléments parasites extrinsèques du modèle du transistor MOS, il faut pouvoir les isoler. Pour cela, on se place dans le régime de fonctionnement dit "à froid" (c'est-à-dire à $V_{ds}=0$). Ceci permet de négliger la partie intrinsèque [Diam82] [Lov94].

Ensuite, il faut les représenter en fonction des paramètres $[Y]$ du schéma équivalent, puis les identifier à partir des paramètres $[Y]$ mesurés.

L'identification de ces éléments nécessite des extractions dans plusieurs domaines de fréquences afin d'annuler certains effets et en maximiser d'autres.

▪ **La résistance de grille**

Le polysilicium de la grille et sa métallisation entraînent des effets résistifs représentés par la résistance de grille [Chen07]. Afin de diminuer l'impact de ces effets, une région siliciurée est réalisée entre le contact métallique et le polysilicium de la grille.

Une solution additionnelle consiste à réaliser des petites structures MOSFET connectées en parallèle. La résistance de grille extrinsèque R_{gext} du MOS standard est définie dans par la somme de trois résistances principales (Eq III.6) : la résistance de contact R_{gcon} , la résistance due au siliciure R_{gsil} et la résistance d'interface entre le siliciure et le polysilicium de grille R_{gint} .

$$R_{gext} = \frac{R_{gcon} + R_{gsil} + R_{gint}}{N_c} \quad (\text{Eq III.6})$$

N_c est le nombre de contacts de la grille.

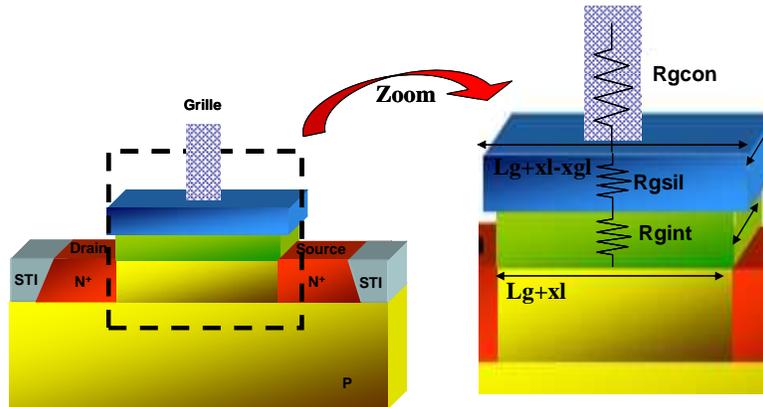


Figure 3.11 : Répartition des résistances composantes de la résistance de grille du MOS standard

➤ **La résistance de contact R_{gcon} :**

Cette résistance se trouve entre le métal et le siliciure de la grille. Elle dépend du nombre de contacts sur la tête de la grille et donc de la longueur de la grille. Elle s'écrit sous cette forme :

$$R_{gcon} = \frac{r_{conpo}}{Nb_{con}} \quad (\text{Eq III.7})$$

Où r_{conpo} est la valeur de la résistance d'un contact et Nb_{con} est le nombre des contacts.

➤ **La résistance due au siliciure R_{gsil}**

Cette résistance dépend de la largeur, de la longueur de la grille, et du nombre de contacts, ainsi que des différents paramètres technologiques qui définissent le débordement du métal par rapport au polysilicium. Elle est donnée par cette expression :

$$R_{gsil} = \left[rshg \cdot \left(\frac{xgw}{(Lg + xl - xgl) \cdot N_{fing} \cdot N_{gcon}} + \frac{W_{fing} + xw}{3 \cdot (Lg + xl - xgl) \cdot N_{fing} \cdot (N_{gcon})^2} \right) \right] \quad (\text{Eq III.8})$$

xgl et xl sont définis par la Figure 3.11; $Rshg$ est la résistance par carré du siliciure.

➤ **La résistance d'interface**

A l'inverse de la résistance due au siliciure R_{gsil} , cette résistance est inversement proportionnelle à la largeur du polysilicium et généralement à sa surface.

$$R_{gint} = \frac{rshgv}{N_{fing} \cdot (Lg + xl) \cdot (W_{fing} + xw)} \quad (\text{Eq III.9})$$

$rshgv$ est la résistance surfacique liée à la présence de l'interface.

▪ **Extraction**

L'extraction de la résistance de grille R_g se fait à $V_{ds}=0$ et à V_{gs} fort car, dans ces conditions, le canal est formé. Ainsi, l'extraction de la valeur de la résistance du polysilicium de grille doit par conséquent se faire à fréquence suffisamment élevée pour éviter l'effet de limite de résolution de l'analyseur de réseau vectoriel (VNA) sur les dispositifs courts .

La résistance globale vue par la grille est donnée par :

$$R_{gg} = \Re \left(\frac{1}{Y_{11}} \right) \quad (\text{Eq III.10})$$

▪ **Les capacités**

Les capacités sont identifiées en fonction des zones de contribution du champ électrique sur les charges ; on peut les diviser à trois catégories :

La première présente la capacité de la grille C_{gg} , regroupant toutes les capacités qui sont en contact avec la grille telles que : la capacité grille-source C_{gs} et la capacité grille-drain C_{gd} .

De par la symétrie du MOS, les capacités C_{gs} et C_{gd} sont identiques. Elles dépendent de la largeur de la grille W_g et incluent les phénomènes de recouvrement et de bords.

D'autre part, la capacité C_{gb} dépend de la longueur de la grille L_g .

La deuxième catégorie contient les capacités liées aux effets body; elle inclut la capacité body-source C_{bs} et la capacité body-drain C_{bd} .

3.2.3.5 Modélisation des capacités dans le cas du MOS standard

On regroupe sous le terme “capacité extrinsèque” l'ensemble des deux principales capacités parasites, à savoir la capacité de recouvrement et la capacité de bord. Cela concerne les couplages grille-drain, grille-source, drain-source et drain-body.

De nombreux auteurs se sont déjà intéressés à la modélisation de la capacité extrinsèque [Klei97] [Waki00].

- **La capacité grille-drain extrinsèque Cgdext**

- **Capacité de recouvrement Cgdov**

La capacité grille-drain peut être évaluée grâce à l'équation (Eq III.11). Elle contient deux types de capacités : celle qui dépend de la zone de recouvrement, Cgdov, et celle de bords, Cgdf. Pour extraire la partie extrinsèque, on utilise l'équation (Eq III.11) à $V_{gs}=0$ (pour annuler la partie intrinsèque) et à V_{ds} variable (pour déduire la dépendance en polarisation).

$$\frac{1}{\omega} \cdot \frac{1}{\text{Im}[1/Y_{12}]} = C_{gd} \quad (\text{Eq III.11})$$

La capacité de recouvrement Cgdov est une composante majeure de la capacité extrinsèque, elle joue un rôle dans le comportement capacitif sur toute la plage de fonctionnement du transistor de l'accumulation à l'inversion.

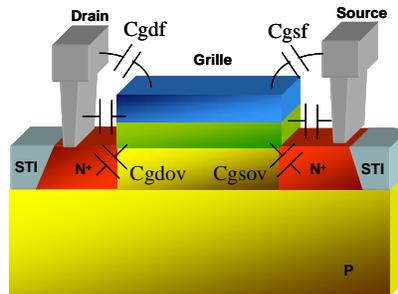


Figure 3.12 : Répartition des capacités extrinsèques Cgs et Cgd dans le MOS standard

En BSIM3, la capacité de recouvrement Cgdov est définie par l'équation suivante :

$$\frac{C_{ov}(V_{GD})}{W} = CGDO + CGDL \cdot \left(1 + \frac{V_{gd,ov}}{\sqrt{(V_{GD} + \delta_1)^2 + 4 \cdot \delta_1}} \cdot \left(1 - \frac{1}{\sqrt{1 - \frac{4 \cdot V_{gd,ov}}{CKAPPAD}}} \right) \right) \quad (\text{Eq III.12})$$

$$V_{gd,ov} = \frac{1}{2} \cdot (V_{GD} + \delta_1 - \sqrt{(V_{GD} + \delta_1)^2 + 4 \cdot \delta_1}) \quad \delta_1 = 0,02V \quad (\text{Eq III.13})$$

Cette équation définit la capacité de recouvrement C_{gdov} par une partie variable fonction des paramètres $CGDL$ et $CKAPPAD$, qui dépendent de la tension V_{gd} , et une partie constante représentée par le paramètre $CGDO$.

Grâce à ce modèle, on peut représenter le comportement de la capacité de recouvrement C_{gdov} en fonction de V_{gd} . Par contre, il ne donne aucune information sur la dépendance de C_{gd} dans la zone d'accumulation.

➤ **Capacité de bords C_{gdf}**

Le cas de cette capacité est le plus simple car elle est indépendante des polarisations externes appliquées au dispositif [Sch98] [Kol95] [Bsi01] [Waki00].

Elle peut être complètement définie à partir de considérations géométriques. La capacité de bords inclut deux capacités : la première représente, le couplage entre la grille et le drain/source, qui dépend de l'espacement entre eux et des matériaux utilisés; sa valeur est constante et peut être déduite de la partie constante de l'équation 0; la deuxième représente, le couplage entre le sommet de la grille et les métallisations de drain et de source. Elle dépend de la longueur de la grille et est définie dans BSIM4, d'une manière générale, par l'équation suivante :

$$\frac{C_f(L_g)}{W} = CFL \cdot \ln \left[1 + \frac{\min(L_g, LMAXCF)}{2 \cdot conpo} \right] \quad (\text{Eq III.14})$$

C_{gdf} est fonction de la distance entre le contact de drain et le polysilicium de la grille ($conpo$), de la longueur de la grille L_g (qui ne peut pas dépasser la valeur de $LMAXCF$) et de CFL , qui est un paramètre modèle.

▪ **La capacité grille-source extrinsèque C_{gsex}**

En se basant sur la symétrie du MOS standard, on peut facilement déduire la capacité C_{gs} extrinsèque, puisque elle se comporte de la même façon que la capacité C_{gd} .

3.3 Modélisation RF dans le MOS HV

3.3.1 Objectif de l'étude

Pour bien modéliser les effets produits par ces éléments, il faut mettre en place une méthode d'extraction efficace et simple. Dans cette partie, on présente une méthode d'extraction des parasites RF du transistor MOS haute tension similaire à celle utilisée dans le cas du MOS standard.

Pour bien extraire les paramètres RF du MOS haute tension, il faut que les équations du modèle compact ou des composants du macro-modèle utilisé reflètent bien le comportement de ces paramètres RF ; en outre, il faut aussi savoir extraire ces paramètres.

Pour cela, on se place dans un premier temps dans le cas du LDMOS sur SOI, dispositif pour lequel on a déjà construit un macro-modèle RF basé sur le modèle compact BSIM3.

L'objectif est donc de voir si on est capable, à partir de la simulation de ce macro-modèle, de retrouver les valeurs de ces paramètres.

3.3.2 Modélisation utilisée dans le macro-modèle de référence

3.3.2.1 Macro modèle du LDMOS utilisé

La construction du modèle RF pour un MOS HV suppose la modélisation de la résistance de grille R_g , des capacités parasites C_{gd} et C_{gs} , réseau RC du substrat. Pour modéliser ces composants parasites, on se base sur le macro-modèle du LDMOS présenté au chapitre 4. On détaille, dans cette partie, les composants parasites que l'on va extraire plus précisément.

- **Modélisation de la résistance de grille R_g**

La grille du LDMOS est différente de celle d'un MOS standard (Figure 3.13). On distingue différentes zones :

- a. Grille non uniformément dopée, du fait des implantations N^+ et P_{body} (cas du NLD MOS).
- b. Grille pas entièrement siliciurée.

Par conséquent, on peut définir quatre composantes au premier ordre pour R_g (Eq III.15) :

$$R_{g_{ext}} = R_{g_{con}} + \frac{I}{\frac{I}{R_{g_1}} + \frac{I}{R_{g_2}} + \frac{I}{R_{g_3}}} \quad (\text{Eq III.15})$$

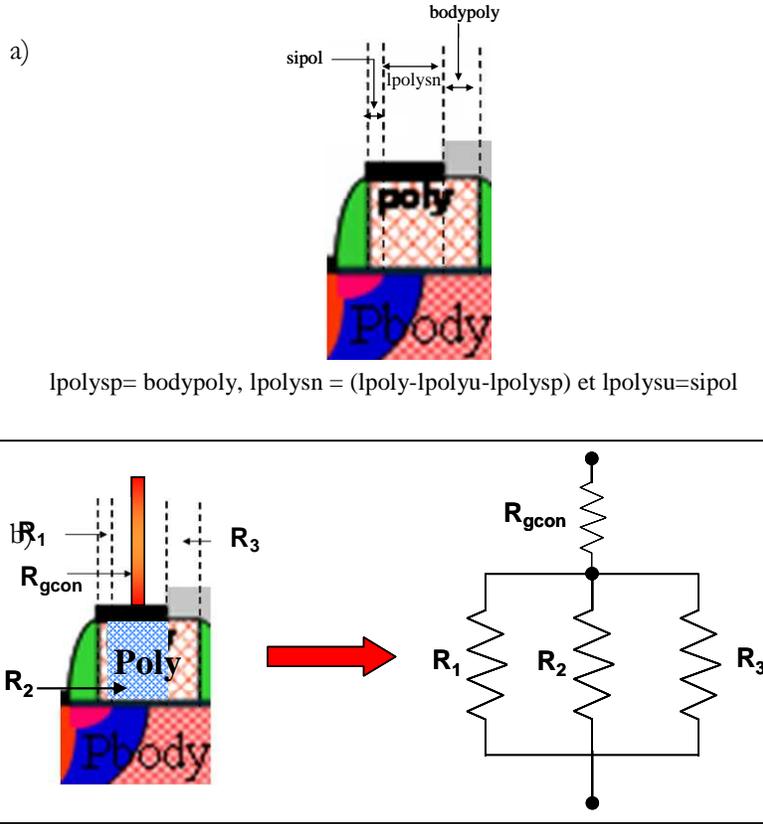


Figure 3.13 : a) Représentation des différentes longueurs limitant les zones résistifs de la grille du LDMOS. b) Composantes de la résistance de grille R_g du LDMOS

Les résistances R_1 , R_2 et R_3 sont données par les expressions suivantes en fonctions des différentes longueurs l_{polysp} , l_{polysn} et l_{polysu} définis sur la Figure 3.13 : a. On donc a choisit d'inclure la partie de la résistance d'interface dans R_1 , R_2 et R_3 .

$$R_{g1} = rshgp \cdot \frac{xgw}{2 \cdot l_{polysp} \cdot N_{fing}} + \frac{W_{fing} + xw}{12 \cdot l_{polysp} \cdot N_{fing}} \quad (\text{Eq III.16})$$

(Eq III.17)

$$R_{g2} = rshg \cdot \frac{xgw}{2 \cdot l_{polysn} \cdot N_{fing}} + \frac{W_{fing} + xw}{12 \cdot l_{polysn} \cdot N_{fing}} \quad (\text{Eq III.18})$$

(Eq III.19)

$$R_{g3} = rshgu \cdot \frac{xgw}{2 \cdot l_{polysu} \cdot N_{fing}} + \frac{W_{fing} + xw}{12 \cdot l_{polysu} \cdot N_{fing}} \quad (\text{Eq III.20})$$

Avec $l_{polysp} = \text{bodypoly}$, $l_{polysn} = (\text{lpoly} - \text{lpolyu} - \text{lpolysp})$ et $l_{polysu} = \text{sipol}$.

L'objectif de notre extraction est de réussir à retrouver les paramètres technologiques du modèle $rshgp$, $rshg$, $rshgu$ et $Rgcon$.

- **Modélisation des capacités**

- La capacité $Cgsex$

La jonction côté source du transistor LDMOS est similaire à celle d'un MOS standard. Pour cela, le macro-modèle ST modélise la capacité Cgd en utilisant le modèle de la capacité de recouvrement disponible dans le modèle compact BSIM3. On utilise donc les équations (Eq III.13) (Eq III.14).

- La capacité grille-drain extrinsèque $Cgdext$

A l'inverse du MOS standard, la capacité extrinsèque grille-drain $Cgdext$ se comporte différemment par rapport à la capacité $Cgsex$, à cause de la dissymétrie du LDMOS. Le macro-modèle ST la modélise en utilisant un modèle du MOS BSIM de type P, de manière à être aussi bien valable en accumulation qu'en inversion. L'architecture du LDMOS ne facilite pas la modélisation et l'extraction de cette capacité ; on choisit donc d'utiliser un simple modèle d'overlap.

3.3.3 Méthodologie d'extraction

Pour valider l'extraction d'un modèle HV RF, on s'est basé dans un premier temps sur le cas idéal où les mesures sont générées à partir de simulation d'un modèle de MOS HV. De cette manière, on a accès à toutes les géométries et caractérisations possibles. Le but est de retrouver les paramètres des équations du modèle simulé.

3.3.3.1 Correction

Avant de commencer l'extraction des composants, on a développé des expressions générales qui relient les paramètres Y^i d'un quadripôle Y^i à ceux du quadripôle global Y pour lequel les différentes ports voient des perturbations Zin , $Zout$, et $Zcom$ (Figure 3.14).

Cette méthode de correction permet d'isoler chaque élément et de le rendre indépendant des autres composants.

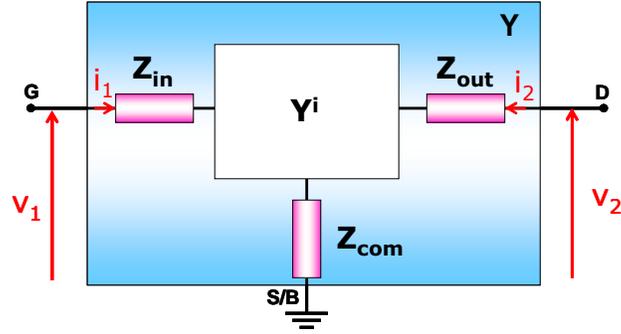


Figure 3.14 : Schéma utilisé dans la procédure de l'épluchage

De manière générale on a donc :

$$V_1 - (V_1^i + V_{com}) = Z_{in} \cdot i_1 \quad (\text{Eq III.21})$$

$$V_2 - (V_2^i + V_{com}) = Z_{out} \cdot i_2 \quad (\text{Eq III.22})$$

$$V_{com} = Z_{com} \cdot (i_1 + i_2) \quad (\text{Eq III.23})$$

$$\begin{pmatrix} V_1^i \\ V_2^i \end{pmatrix} = \begin{pmatrix} V_1 \\ V_2 \end{pmatrix} - \underbrace{\begin{pmatrix} Z_{in} + Z_{com} & Z_{com} \\ Z_{com} & Z_{out} + Z_{com} \end{pmatrix}}_{\mathbf{M}} \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} \quad (\text{Eq III.24})$$

Ce qui nous intéresse, c'est Y^i , qui représente le transistor sans l'impact des impédances.

$$\begin{pmatrix} i_1^i \\ i_2^i \end{pmatrix} = [Y^i] \begin{pmatrix} V_1 \\ V_2 \end{pmatrix} - [Y^i] \cdot \mathbf{M} \cdot \begin{pmatrix} i_1 \\ i_2 \end{pmatrix} \quad (\text{Eq III.25})$$

En inversant les formules précédentes (voir calcul en Annexe I), on obtient le résultat suivant :

$$[Y^i] = \frac{1}{D^*} \begin{bmatrix} Y_{11} - (Z_{out} + Z_{com})\Delta Y & Y_{12} + Z_{com}\Delta Y \\ Y_{21} - Z_{com}\Delta Y & Y_{22} - (Z_{in} + Z_{com})\Delta Y \end{bmatrix} \quad (\text{Eq III.26})$$

$$D^* = 1 - Z_{in}Y_{11} - Z_{out}Y_{22} - Z_{com}\Sigma Y + \Sigma Z^2\Delta Y \quad (\text{Eq III.27})$$

3.3.3.2 Extraction

- **La résistance de grille Rg**

La résistance de la grille est extraite de la même manière que dans le cas du MOS standard : on se place en forte inversion (pour ne modéliser que la contribution du canal) puis on mesure $\Re(Z_{11})$.

Cette extraction contient aussi une perturbation due aux résistances série Rd et Rsb, ce qui nécessite une correction des paramètres Y.

Pour extraire la résistance de la grille, on utilise donc les paramètres Y^i corrigés, avec la méthode vue au paragraphe 3.3.3.1, en annulant les impédances Zout et Zcom qui représentent successivement les résistances Rd et Rsb.

$$R_{gcor} = \Re\left(\frac{1}{Y_{11}^i}\right) \quad (\text{Eq III.28})$$

On extrait donc (Eq III.28) en fonction des différents paramètres de ses quatre composantes (Eq III.15) (Eq III.16) (Eq III.19) (Eq III.20). Cela permettra par la suite de déduire les valeurs des quatre composantes de Rgg (Eq III.15) et les paramètres modèles associés.

- **La capacité Cgdext**

Comme dans le MOS standard, la capacité extrinsèque Cgdext est extraite à l'aide de l'équation suivante :

$$C_{gcor} = \frac{1}{\omega} \cdot \frac{1}{\Im(1/Y_{12}^i)} \quad (\text{Eq III.29})$$

On extrait Cgsext à Vgs=0 (pour annuler la partie intrinsèque) et à Vds variable (pour déduire la dépendance en polarisation).

- **La capacité Cgsext**

Le transistor MOS haute tension est dissymétrique : on ne peut donc pas déduire Cgs de l'extraction de Cgdext ; en outre Cgsext dépend de la polarisation Vgs. Pour cela, on met en place des structures supplémentaires avec drain commun afin d'extraire Cgsext de la même façon que Cgdext à Vgs=0.

3.3.3.3 Validation

La validité de la méthode a été vérifiée grâce à des simulations réalisées avec ADS.

Le modèle simulé est connu : en particulier, on connaît la valeur des paramètres des modèles de la résistance de la grille et les capacités Cgs et Cgd.

L'idée de la validation est de réaliser des simulations avec le modèle connu. Si la méthode d'extraction fonctionne correctement, on s'attend à extraire, à partir des courbes simulées, exactement les mêmes valeurs des paramètres contenues dans le modèle.

Les simulations sont réalisées pour un transistor NLD MOS sur SOI décrit par le modèle BSIM3SOI. Les paramètres du modèle sont fixés à des valeurs aléatoires qui ne correspondent pas forcément à celles courantes pour les technologies actuelles. La géométrie choisie est celle d'un transistor de longueur de canal $0,5\mu\text{m}$ et de largeur $100\mu\text{m}$.

- **La résistance de grille Rg**

Les Figures (Figure 3.15 et Figure 3.16) présentent la variation de la résistance de grille en fonction des différents paramètres géométriques (nombre de contacts de grille Nch, longueur de la grille Lpoly, longueurs bodypoly et sipol).

On remarque que, d'une part, Rgg est inversement proportionnelle au nombre de contacts de grille Nch, à la longueur de la grille Lpoly et à la longueur bodypoly et, d'une autre part, que Rgg est proportionnelle à la longueur sipol.

On remarque aussi que, grâce à la correction appliquée sur les paramètres Y, on a bien réussi à reproduire la simulation, ce qui valide la méthode d'extraction et de correction proposée.

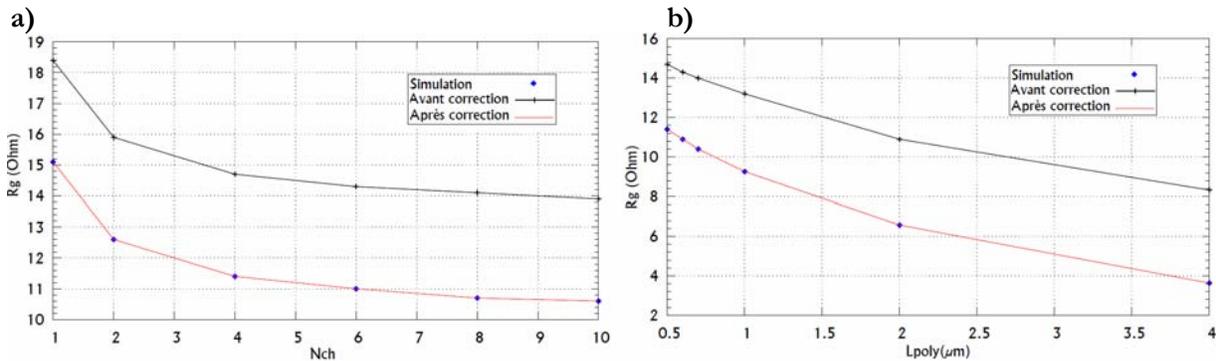


Figure 3.15 : Variation de Rg en fonction de nombre de contacts sur la tête de la grille (Nch) (a) et de la longueur de la grille (b)

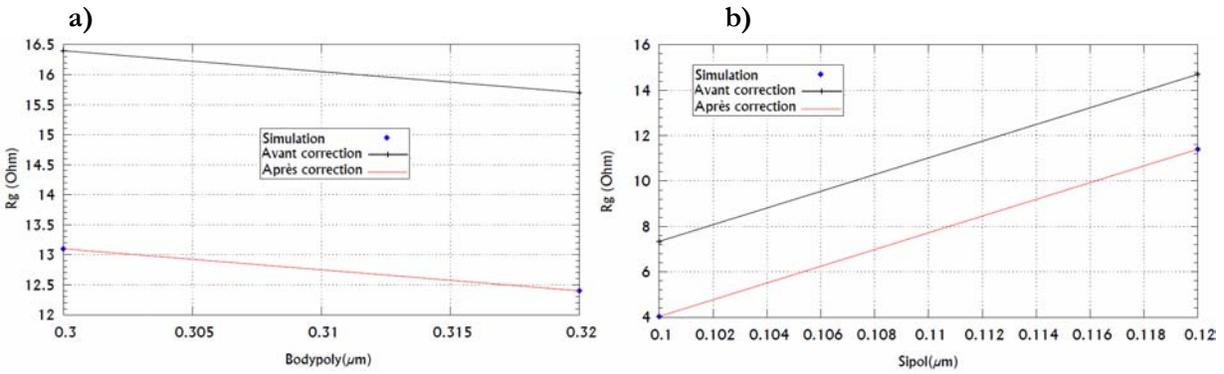


Figure 3.16 : Variation de R_g en fonction de la longueur bodypoly (a) et Sipol (b)

Grâce à la méthode utilisée pour l'extraction de R_g , on a pu retrouver les paramètres modèles simulés (Figure 3.17).

Paramètre	Simulation	Avant correction	Après correction
rshgp	10	100	9,8
rshg	2	3,1	2,71
rshgu	100	1k	89,5
rconpo	45	62,2	46,2

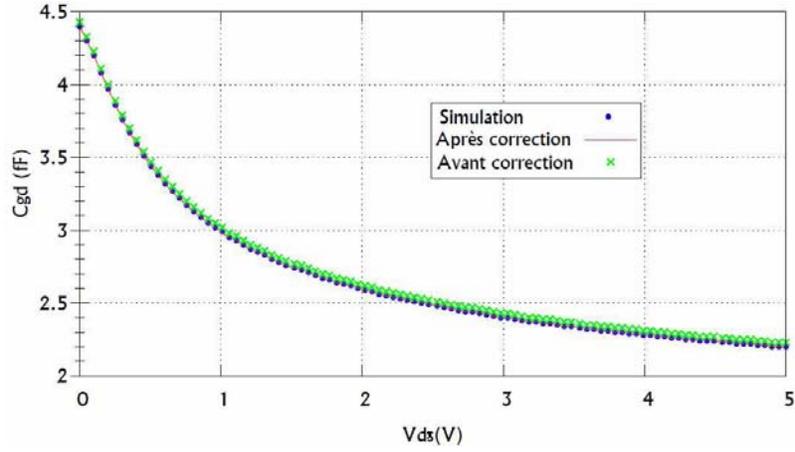
Figure 3.17 : Comparaison entre les paramètres simulés et extrait avant et après correction du modèle de la résistance de grille pour un NLD MOS

▪ **La capacité grille-drain extrinsèque C_{gdext}**

La Figure 3.18 présente les valeurs de la capacité extrinsèque C_{gd} avant et après la correction des paramètres Y à l'aide de la méthode présentée au paragraphe 3.3.3.1 et les compare avec les résultats de la simulation. On remarque que la capacité extrinsèque C_{gd} n'est pas très influencée par les résistances R_d , R_s et R_g .

Ensuite, on obtient les valeurs des paramètres du modèle du C_{gd} (Figure 3.19).

On remarque bien que les valeurs des paramètres ne varient pas beaucoup en utilisant les paramètres Y avant ou après la correction.

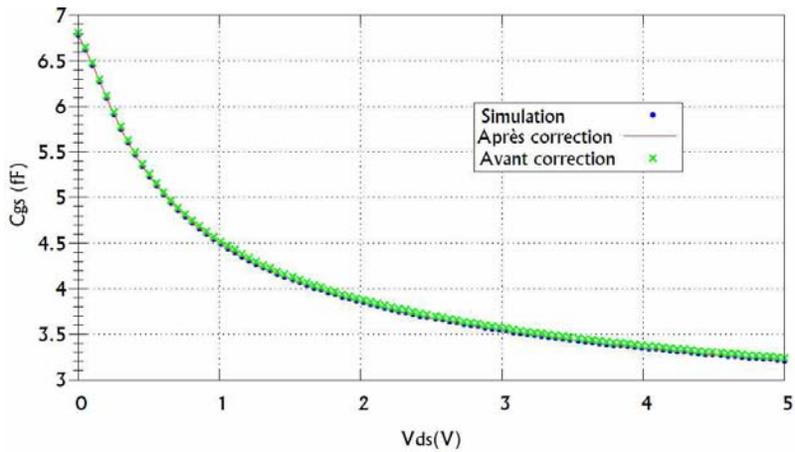

 Figure 3.18: Extraction de C_{gd} extrinsèque à partir de la simulation

Paramètre	Simulation	Avant correction	Après correction
Cgdo	145p	146.9p	145p
Cgdl	320p	318.1p	319.8P
Ckappa	1.136	1.128	1.138

 Figure 3.19 : Extraction des paramètres de C_{gd} extrinsèque à partir de la simulation

▪ **La capacité grille-source extrinsèque C_{gs}**

Les résultats de la Figure 3.20 confirment la validité de la méthode d'extraction. La capacité extrinsèque C_{gs} reste aussi insensible aux résistances R_g , R_d et R_s .


 Figure 3.20: Extraction de C_{gs} extrinsèque à partir de la simulation

Les valeurs choisies pour les paramètres du modèle de la capacité C_{gs} sont des valeurs aléatoires. L'intérêt est de retrouver les valeurs simulées.

Grâce à la méthode, on a réussi à retrouver les paramètres du modèle de C_{gsex} (Figure 3.21).

Paramètre	Simulation	Avant correction	Après correction
Cgso	215p	217.3p	215.1p
Cgsl	520p	521.5p	519.7p
Ckappa	1,136	1,128	1,138

Figure 3.21 : Extraction des paramètres de C_{gs} extrinsèque à partir de la simulation

3.4 Application de la méthode d'extraction

3.4.1 Validation en régime AC

Dans le cas des dispositifs NLD MOS sur SOI, il est important que le modèle soit précis en conditions de polarisation RF. Ce régime va aussi permettre de valider plus précisément la modélisation des charges dans le dispositif.

Les mesures des paramètres S ont été réalisées par l'équipe de projet des amplificateurs de puissance de STMicroelectronics. Les paramètres S sont mesurés sur des structures haute fréquence (HF) dédiées. Les mesures sont réalisées à des fréquences comprises entre 80MHz et 18GHz. Des structures "Open" et "Short" ont été utilisées pour corriger l'effet des capacités et des conductances parasites dues aux plots de mesures.

Pour valider la méthode d'extraction, on choisit de comparer les valeurs de la capacité totale de la grille C_{gg} mesurées et simulées (Figure 3.22), puis de comparer les fréquences de coupures f_t et f_{max} mesurées et simulées (Figure 3.23). La Figure 3.22 compare la simulation et la mesure de la capacité totale de la grille C_{gg} du transistor NLMDOS sur SOI en technologie 130nm pour des valeurs de tension V_{gs} comprises entre 1,5V et 2,5 V. Un bon accord est obtenu avec le modèle extrait de la capacité C_{gg} .

a)

b)

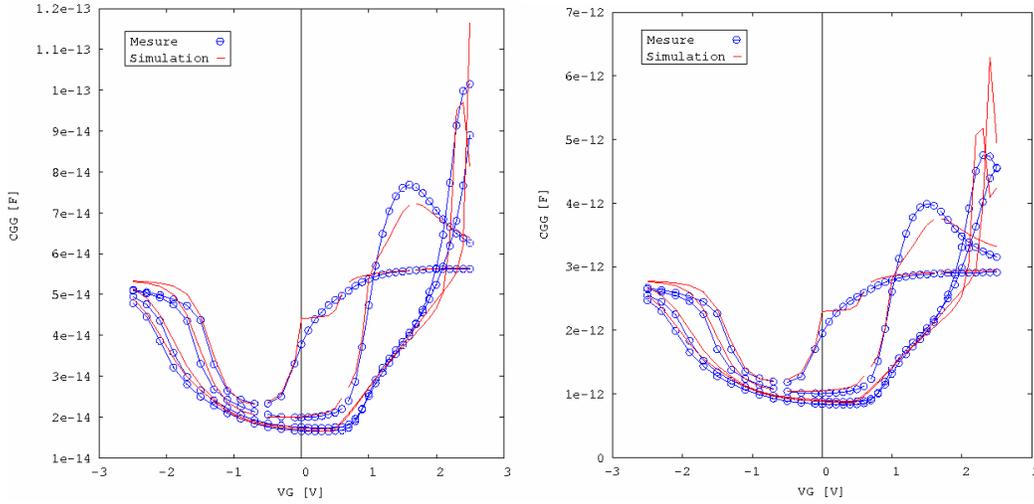


Figure 3.22 : Comparaison de la capacité C_{gg} mesurée et simulée pour $W=20$ (a) et $1040\mu\text{m}$ (b)

D'un autre côté, les Figure 3.23 et Figure 3.24 représentent les valeurs mesurées et simulées de f_{max} (cf. section I.3.3.b)) et de f_t (cf. section I.3.3.a)) pour un LDMOS sur SOI.

On constate que la simulation arrive à bien reproduire la mesure pour les deux fréquences.

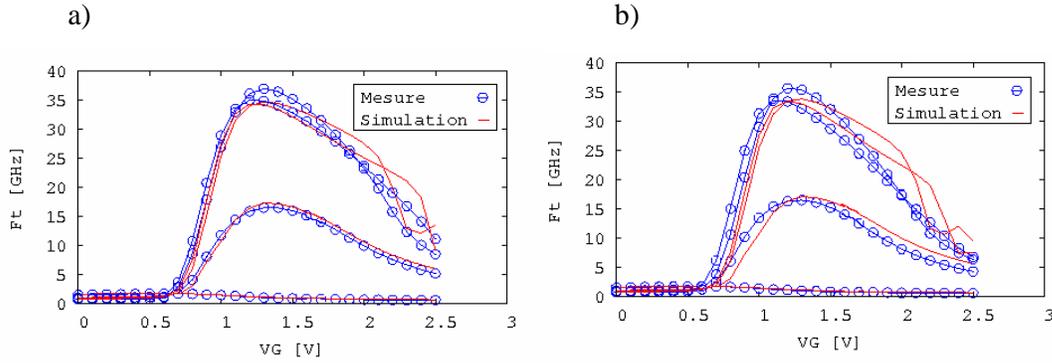


Figure 3.23 : Comparaison de f_t mesurée et simulée pour $W=20\mu\text{m}$ (a) et $1040\mu\text{m}$ (b)

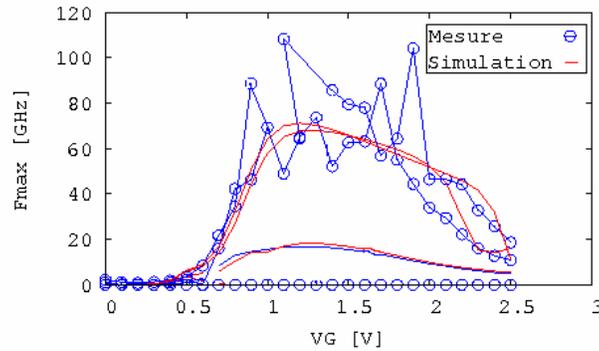


Figure 3.24 : Comparaison f_{max} mesurée et simulée pour un NLDMOS à $W_{poly}=20\mu\text{m}$

3.4.2 Validation en régime grand signal

Lorsque l'amplificateur fonctionne en régime non-linéaire, de nouveaux paramètres d'évaluation grand signal sont à considérer. Les principaux paramètres en fonctionnement grand signal sont :

- La puissance de sortie P_s , définie par :

$$P_s = \frac{1}{2} \Re(V \cdot I^*) \quad (\text{Eq III.30})$$

- Le gain en puissance GP défini par le rapport de la puissance de sortie P_s fournie à la charge sur la puissance d'entrée P_e :

$$G_p = \frac{P_s}{P_e} \quad (\text{Eq III.31})$$

- Le rendement en puissance ajoutée PAE (Power Added Efficiency) qui exprime le pourcentage de puissance de polarisation DC apportée au composant converti en puissance RF. Il est défini par :

$$\eta_{PAE} = \frac{P_s - P_e}{P_{DC}} \quad (\text{Eq III.32})$$

Par la suite, on trace ces différentes caractéristiques grand signal dans le cas un transistor SOI. On a pu avoir des mesures grand signal du LDMOS sur SOI sur des dimensions proches de l'application de l'amplificateur de puissance final avec $W=1,1\text{mm} \times 0,7\text{mm}$.

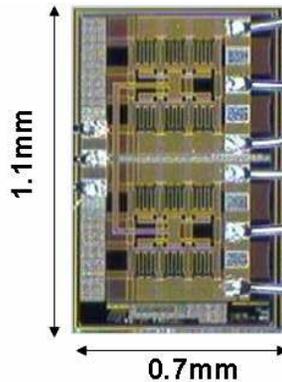


Figure 3.25 : Vue layout d'cellule de puissance utilisée dans la conception d'un amplificateur de puissance

Les caractéristiques du régime grand signal sont : le gain en puissance G_p , la puissance de sortie P_s et la puissance ajoutée PAE, qui sont tracés pour des fréquences allant jusqu'à 900

MHz et pour une puissance injectée P_e variant de -15 à 30dBm (Figure 3.26) : la comparaison entre le modèle extrait et les mesures est présentée. On peut constater que le modèle est précis, y compris à forte puissance d'entrée lorsque le gain chute.

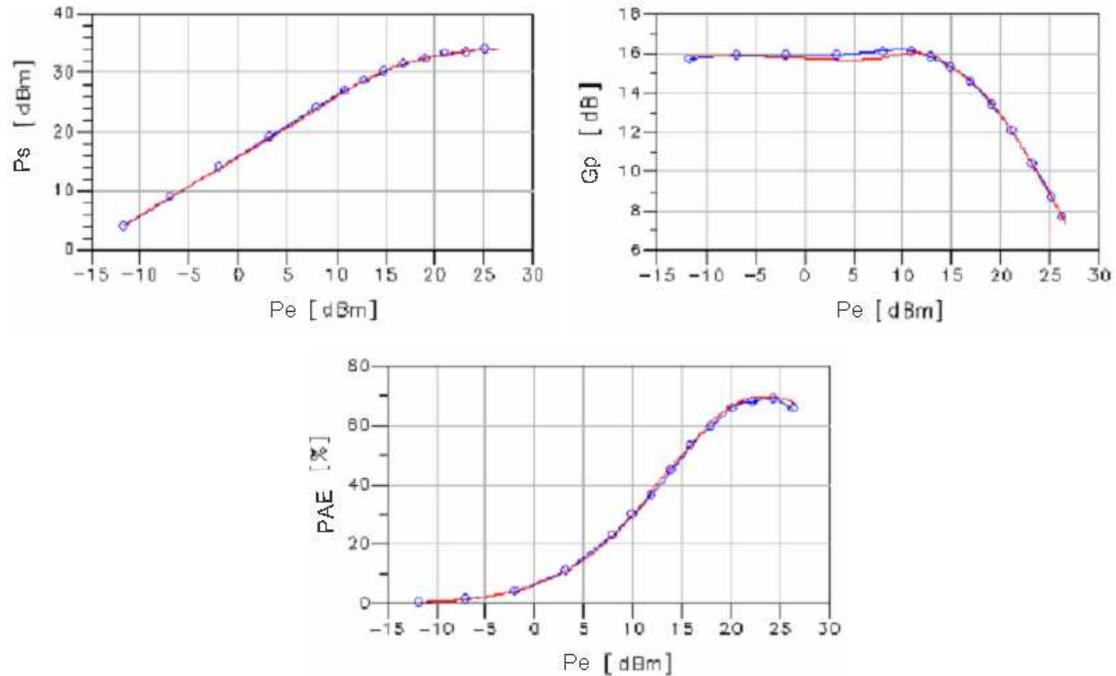


Figure 3.26 : Comparaison des caractéristiques grand signal mesurées et simulées d'un transistor SOI en technologie 130 nm à 900MHz, $V_{dd}=3,6V$ et $I_d=155mA$, $W=1,1mm \times 0,7 mm$

3.5 Conclusion du chapitre

Ce chapitre fait le point sur la méthode d'extraction des éléments RF. En effet, une méthode d'extraction des éléments RF du transistor LDMOS sur SOI était établie, reposant sur la méthode utilisée pour le transistor MOS classique.

La méthode consiste à définir un schéma équivalent présentant les effets physiques par des composants électriques. Puis, à l'aide des mesures des paramètres S, chaque élément est calculé.

Pour isoler chaque élément, il faut se placer dans des régimes spécifiques et utiliser une méthode d'épluchage ou de correction.

Dans ce travail, cette méthode a été appliquée pour extraire la résistance de la grille et les capacités extrinsèques C_{gd} et C_{gs} . L'objectif était de valider cette méthode en se basant sur la simulation du macro-modèle ST dédié au transistor LDMOS sur SOI. Grâce à une comparaison entre les lois définissant ces éléments dans le macro-modèle et la simulation, on constate que l'étape de la correction des paramètres Y est très importante, plus particulièrement lors l'extraction de la résistance de grille. En effet, l'extraction de la résistance de grille dépend des valeurs des impédances d'accès.

Les résultats montrent que la procédure d'extraction et de correction présentée dans ce travail améliore beaucoup l'extraction des paramètres du modèle et garantit une bonne reproduction de la mesure.

CHAPITRE 4
EVALUATION DU MODELE COMPACT STANDARD HiSIM_HV EN
REGIME STATIQUE

4.1 Introduction

Aujourd'hui les dispositifs MOSFET à haute tension (MOS HV), par exemple, le MOS à drain extension (DEMOS) et le LDMOS, sont couramment utilisés dans de nombreuses applications telles que l'automobile, la gestion de l'alimentation et les produits électroniques grand public. Par conséquent, une modélisation précise de ces transistors MOS HV est nécessaire. Les principaux défis à relever sont la modélisation précise en DC et en AC, ainsi qu'une modélisation physique de certains phénomènes caractéristiques observés dans les transistors haute tension. Chaque utilisateur adapte les modèles des MOS HV selon le procédé et la technologie utilisés, ainsi que selon les applications demandées.

Un important effort a été fait par un certain nombre d'instituts de recherche et d'industriels pour développer des modèles physiques de transistors haute tension. Le conseil des modèles compact (CMC) a ainsi réussi à standardiser cette modélisation en mettant en place un modèle compact dédié au transistor MOS haute tension : ce standard est nommé HiSIM_HV.

L'objectif de ce chapitre est d'évaluer le modèle HiSIM_HV en le comparant avec le macro-modèle de STMicroelectronics.

Dans ce chapitre, nous présentons une brève évaluation du compact modèle HiSIM_HV en régime statique. Nous allons présenter les différentes équations qui modélisent les caractéristiques du transistor haute tension en régime statique. Ainsi, tout au long de ce chapitre les performances du modèle HiSIM_HV sont comparées à celles du macro-modèle du transistor haute tension utilisé par STMicroelectronics Crolles.

4.2 Méthodes de modélisation des transistors MOS de puissance

Il existe quatre méthodes principales de modélisation des transistors MOS de puissance dans les simulateurs :

- La modélisation type commutateur : on modélise le transistor de puissance par un commutateur contrôlé : fermé quand le transistor est à l'état bloqué et ouvert quand il est à l'état passant ; c'est une méthode simple et rapide mais qui manque de précision.

- La modélisation de type code, sous forme d'une sous-routine écrite en langage de programmation, qui décrit les équations du transistor.
- La modélisation avec des modèles intrinsèques (compacts) : ces modèles décrivent le comportement électrique des composants actifs et passifs dans un circuit. Ils sont caractérisés par leur rapidité mais, dans certains cas, ils sont insuffisants pour modéliser certains effets spécifiques au transistor MOS de puissance.
- La macro-modélisation : cette méthode utilise un circuit électrique pour la description du dispositif. Elle utilise les modèles compacts, en plus de nouveaux sous-circuits, pour modéliser certains effets physiques non pris en compte par le modèle compact. Il existe deux types de macro-modélisation : la macro-modélisation structurelle utilisant des composants standards (résistances, capacités, diodes ...etc.) et la macro-modélisation de type comportementale, qui modélise les équations mathématiques du composant en utilisant des sources de tension et de courant contrôlées.

4.2.1 Le macro-modèle : modèle de STMicroelectronics

Un modèle représente généralement un compromis entre les aspects de simplicité et de complexité, les notions physiques et empiriques, le nombre d'effets inclus, le nombre de paramètres, l'adaptabilité aux diverses technologies, et enfin, l'efficacité de calcul. De nombreux groupes dans le monde ont tenté de modéliser les différentes architectures de transistors MOS HV en utilisant différentes approches. La plupart de ces modèles sont composés de sous-circuits : les configurations des sous-circuits proposés pour la modélisation des transistors DMOS sont nombreuses. Plusieurs dispositifs et niveaux d'approximation ont été utilisés. Les modèles présentés sont basés pour la plupart sur un transistor MOS intrinsèque "classique" auquel des composants sont ajoutés en série pour simuler la région de drift ; on peut trouver, par exemple :

- des résistances [Poch76] ("spreading resistances", résistances différentielles) (Figure 4.1: a)
- des transistors JFET [Sun80] (Figure 4.1: b)
- des dispositifs avec des lois courant-tension.

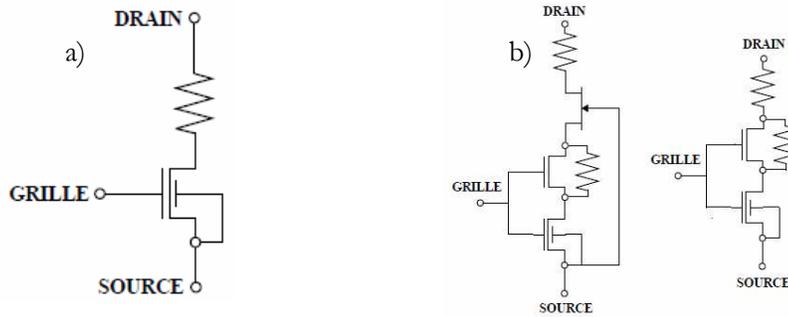


Figure 4.1 : Exemple de macro-modèle de MOS HV : a) Circuit équivalent avec résistance indépendante de la tension de grille. b) Deux solutions circuits pour les dispositifs DMOS vertical (gauche) et latéral (droite).

D'autres modèles, avec une approche de type sous-circuits, n'utilisent pas des dispositifs classiques comme des résistances ou des transistors à jonction, mais implémentent directement des équations courant-tension obtenues en étudiant le comportement physique des DMOS. D'autres modèles encore utilisent des relations empiriques. Claessen et Van Der Zee [Clas86] ont proposé un modèle de DMOS latéral composé de deux transistors MOS en série et deux éléments qui décrivent le transport dans la couche épitaxiée (Figure 4.2).

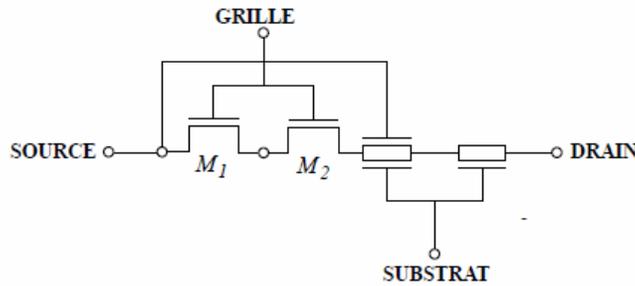


Figure 4.2 : Sous-circuit proposé par Claessen et Van der Zee avec deux transistors MOS pour tenir compte du dopage du canal et deux composants parasites qui représentent la zone épitaxiée

Afin d'assurer la flexibilité de la construction et la facilité de convergence des simulations électriques, STMicroelectronics utilise une approche de type "sous-circuits" pour modéliser le transistor LDMOS haute tension.

En raison de la large gamme de polarisations dans laquelle les transistors MOS haute tension sont habituellement utilisés (0-20V sur la tension de drain dans notre cas) et de la constitution physique de la zone active, certaines caractéristiques sont requises pour le modèle du MOSFET, en particulier pour la zone de canal.

Pour la modélisation de la zone de canal, on utilise le modèle public BSIM3SOI. Celui-ci ne permet pas de prendre en compte l'inhomogénéité du dopage du canal. D'autres composants sont rajoutés pour décrire le transport de la sortie du canal à l'électrode de drain (Figure 4.3).

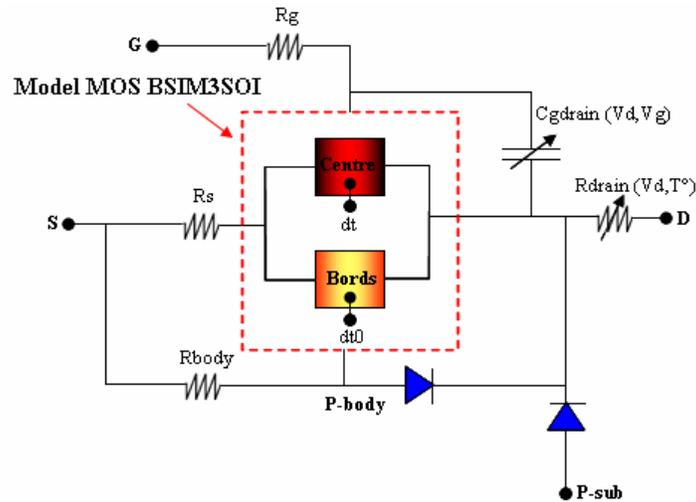


Figure 4.3 : Macro-modèle simplifié utilisé par STMicroelectronics pour modéliser le transistor LDMOS

4.2.2 Modèle compact du MOS haute tension : HiSIM-HV

Les modèles compacts sont généralement disponibles dans les simulateurs de circuits standards. Ces modèles contiennent d'une part des expressions basées sur la physique et d'autre part un certain degré d'empirisme. Ces modèles disposent de plusieurs paramètres qui permettent de les adapter aux différentes technologies, dans le but de décrire correctement les caractéristiques électriques du composant.

Actuellement, le modèle compact peut être basé sur :

- la tension de seuil,
- le potentiel de la surface : HiSIM_HV,
- la charge.

Concernant les MOS haute tension, on a assisté ces dernières années à une augmentation du nombre de modèles disponibles, chacun comprenant des milliers de paramètres et des noms « énigmatiques » comme BSIM, EKV, PSP ou MM20 [MM20]. Dernièrement, HiSIM_HV [Kim90] [Kim91] [Vic95].

[Hal04] a été élu modèle standard des MOS HV car il répondait aux normes du CMC. D'un point de vue industriel, une question se pose immédiatement : y-a-t-il réellement des

différences entre ces différents modèles ? La réponse est, évidemment, oui ; il y a des différences de deux types : premièrement, les différents modèles utilisent différentes approches pour modéliser et caractériser la physique derrière le silicium; on se trouve avec des modèles mathématiques différents. En outre, ces différents modèles peuvent même rendre compte d'effets différents. La seconde différence vient du fait qu'il existe des tests divers et variés qui vérifient la validité d'un modèle.

4.2.2.1 Présentation du modèle compact HiSIM-HV

HiSIM_HV est un modèle compact public dédié aux transistors MOS haute tension. Il a été développé à partir du modèle pour le MOS standard HiSIM (Hiroshima-university STARC IGFET Model) par l'université de Hiroshima. HiSIM_HV est considéré comme le principal modèle compact numérique disponible à l'heure actuelle pour la modélisation des transistors haute tension. C'est un modèle basé sur le potentiel de surface, dans lequel une nouvelle solution a été mise en place dans le but de réduire le temps de simulation imputé à la résolution itérative de l'équation de Poisson dans les zones de drain et de source.

Il est ainsi basé sur la répartition des charges comme tous les autres modèles basés sur le potentiel de surface, mais il n'utilise pas la linéarisation de l'inversion de la densité de charges en fonction de ϕ_s employée dans les modèles MM11 et PSP [Galu10].

Le grand avantage des modèles basés sur le potentiel de surface est la description homogène, ou bien unifiée, des caractéristiques du composant pour tous les points de polarisation. HiSIM_HV est conçu pour les transistors haute tension symétriques et non symétriques. En appliquant cette approche du potentiel de surface sur le canal graduel du MOS haute tension du côté de la source et du drain, il décrit les caractéristiques du composant.

4.3 Evaluation en régime DC des modèles HiSIM_HV et macro-modèle de STMicroelectronics

Cette partie présente les différentes évaluations faites pour le modèle compact HiSIM_HV : nous mettons l'accent sur les effets physiques prédominants pour le transistor MOS haute tension.

Les caractéristiques du modèle HiSIM_HV et le macro modèle de STMicroelectronics sont présentées pour trois structures de MOS haute tension : le drain-extension avec la technologie 45nm, le NLD MOS sur substrat massif avec la technologie 250nm et puis le NLD MOS sur SOI avec la technologie 130nm.

4.3.1 Modèle de mobilité

4.3.1.1 Macro-modèle de STMicroelectronics

La mobilité des porteurs dans un dispositif diffère de la mobilité μ_0 mesurée dans le volume du silicium en l'absence de contrainte extérieure. En effet, plusieurs paramètres, parmi lesquels le champ électrique et la tension de drain, affectent le déplacement des porteurs au sein du transistor MOS. Les variations de cette grandeur jouent un rôle majeur dans l'expression du courant de sortie.

Le modèle compact BSIM3SOI, qui est au cœur du macro-modèle de référence, propose différents types de modèles de mobilité. Dans le cas du LDMOS, on a choisi celui-ci (Eq IV.1) :

$$\mu_{eff} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff}) \left(\frac{V_{gsteff} + 2V_{th}}{T_{ox}} \right) + U_b \left(\frac{V_{gsteff} + 2V_{th}}{T_{ox}} \right)^2} \quad (\text{Eq IV.1})$$

Dans ce modèle, la mobilité dépend de la tension de grille V_{gs} , de la tension de seuil V_{th} , de l'épaisseur de l'oxyde T_{ox} et de la tension Body-Source V_{bseff} . U_a , U_b et U_c sont des paramètres du modèle BSIM3.

Ce modèle prend en compte la variation de la mobilité avec le champ électrique verticale mais il n'est pas basé sur une loi physique.

▪ **Modèle compact HiSIM_HV**

Le modèle HiSIM_HV décrit la mobilité comme la somme de trois composantes :

$$\frac{1}{\mu_0} = \frac{1}{\mu_{CB}} + \frac{1}{\mu_{PH}} + \frac{1}{\mu_{SR}} \quad (\text{Eq IV.2})$$

$$\mu_{CB}(\text{Coulomb}) = MUECB0 + MUECB1 \frac{Q_i}{q \times 10^{11}} \quad (\text{Eq IV.3})$$

$$\mu_{PH}(\text{phonon}) = \frac{M_{uephonon}}{E_{eff}^{MUEPH0}} \quad (\text{Eq IV.4})$$

$$\mu_{SR}(\text{surface roughness}) = \frac{MUESR1}{E_{eff}^{M_{uesurface}}} \quad (\text{Eq IV.5})$$

Avec

$$M_{uephonon} = MUEPH1 \cdot \left(1 + \frac{MUEPHL}{(L_{gate} \times 10^4)} \right) \quad (\text{Eq IV.6})$$

Et

$$M_{uesurface} = MUESR0 \cdot \left(1 + \frac{MUESRL}{(L_{gate} \times 10^4)^{MUESLP}} \right) \quad (\text{Eq IV.7})$$

Q_i et E_{eff} sont la charge d'inversion et le champ effectif respectivement et $MUECB0$, $MUECB1$, $MUESR1$, $MUEPH0$, $MUEPH1$, $MUESR0$, $MUEPHL$, $MUESRL$ sont de paramètres du modèle HiSIM_HV.

Cette formulation est beaucoup plus physique que celle utilisée dans le macro-modèle ST, puisqu'elle identifie clairement les phénomènes qui limitent la mobilité : collision coulombienne, avec les phonons, et l'interaction des porteurs avec l'interface grille/canal.

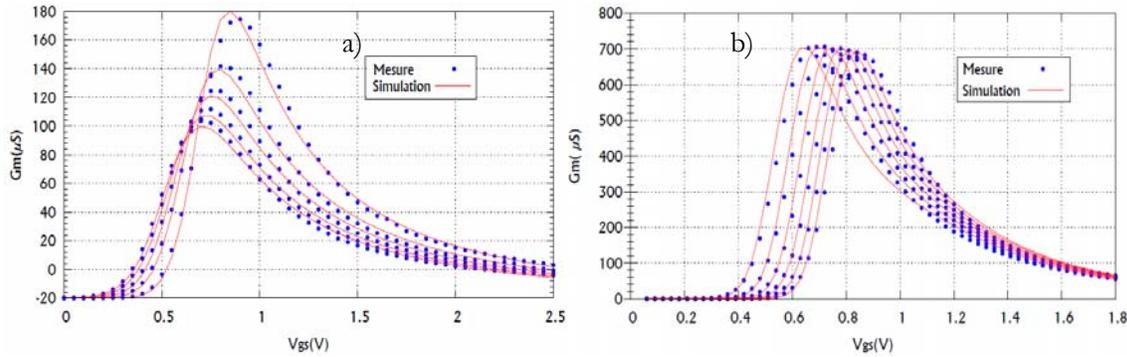


Figure 4.4 : a) Caractéristique $G_m(V_{gs})$ mesurée et simulée avec la macro-modèle, d'un NLD MOS sur SOI en 130nm à $V_d=0.1V$ pour une température variant entre $25^\circ C$ et $170^\circ C$. $W_{poly}=20\mu m$, $N_{source}=1$. b) Caractéristique $G_m(V_{gs})$ mesurée et simulée avec HiSIM_HV pour différentes valeurs de V_b d'un drain extension en 45nm. $W_{active}=10\mu m$, $L_{poly}=0.2\mu m$ et $T=25^\circ C$.

La Figure 4.4 présente les variations de la transconductance G_m mesurée et simulée en fonction de V_{gs} d'un NLD MOS sur SOI en 130nm simulé avec le macro-modèle de référence (Figure 4.4 : a) et celle d'un transistor à extension de drain en 45nm simulée avec HiSIM_HV (Figure 4.4 : b). On constate que les deux modèles (HiSIM_HV et le macro-modèle de référence) reproduisent bien la variation en de la transconductance.

4.3.1.2 Dopage graduel dans le canal

L'effet de dopage graduel dans le canal est propre aux dispositifs LDMOS. Il résulte de la différence entre la diffusion de la région de Body et de celle de la source. En effet, le dopage n'est pas uniforme au sein du canal : il est plus élevé côté source que côté drain.

Cela se traduit électriquement par une modification du comportement du dispositif en inversion modérée par rapport à un dispositif standard. Ce comportement est équivalent à celui de plusieurs MOS en série.

- **Macro-modèle de STMicroelectronics**

Le macro-modèle de STMicroelectronics s'appuie sur la littérature qui propose des modèles appelés segmentés ou distribués du canal, avec deux MOS en série présentant un dopage et une tension de seuil différents, le transistor le plus éloigné de la source (MOS2) ayant un dopage et une tension de seuil plus faibles que l'autre transistor (MOS1). [Jan99] [Can07] (Figure 4.5).

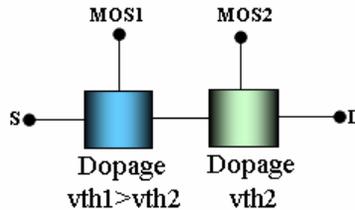


Figure 4.5 : Modélisation du canal graduel avec deux transistors MOS en série

- **Modèle compact HiSIM_HV**

Les lois de modélisation du canal graduel semblent a priori absentes dans la documentation de HiSIM_HV. Si l'on se réfère d'ailleurs à cette publication sur HiSIM_HV [Yoko08], on peut noter que la validation du modèle du LDMOS à partir de simulations TCAD est réalisée uniquement dans le cas idéal d'un dopage du canal constant.

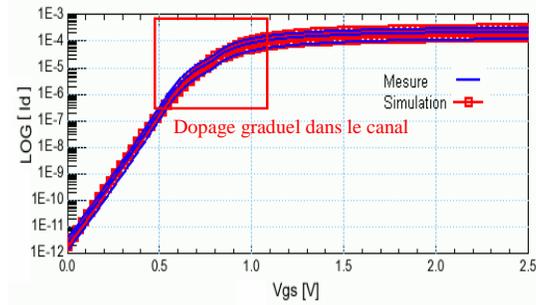


Figure 4.6 : Caractéristique du $\log (I_d(V_{gs}))$ mesurée et simulée d'un NLD MOS sur substrat massif $W_{active}=10\mu\text{m}$, $20\mu\text{m}$ et $30\mu\text{m}$ et $L_{poly}=0.4\mu\text{m}$.

La Figure 4.6 montre bien que cet effet n'est pas très bien modélisé puisque la transition entre les deux dopages n'est pas correctement reproduite.

4.3.1.3 L'auto-échauffement

- **Macro-modèle de STMicroelectronics**

Pour prendre en compte le phénomène de l'auto-échauffement, on utilise le modèle (Figure 2.48) déjà mis en place pendant ce travail de thèse et qui est décrit dans le chapitre 2.

- **Modèle compact HiSIM_HV**

Le modèle HiSIM_HV modélise l'auto-échauffement en utilisant le réseau thermique de la Figure 4.7 ; le nœud thermique est généré automatiquement dans le simulateur.

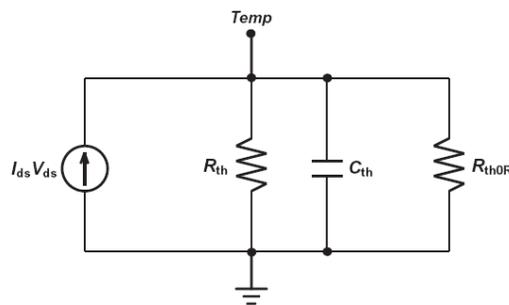


Figure 4.7 : Schéma équivalent du réseau thermique dans HiSIM_HV [Hisi02]

Au début, le modèle reproduit les caractéristiques du dispositif étudié sans auto-échauffement puis il calcule analytiquement la valeur de la température en utilisant l'équation (Eq IV.8). Le modèle crée alors le nœud thermique et recalcule enfin les paramètres en tenant compte de la température calculée.

$$T = T + R_{th} \cdot I_{ds} \cdot V_{ds} \quad (\text{Eq IV.8})$$

La résistance thermique utilisée dans l'équation (Eq IV.8) est calculée par HiSIM_HV, avec l'expression de (Eq IV.9). Dans cette expression, on retrouve directement la variation de Rth en fonction de nombre de doigts de la grille NF, de la largeur de grille W_{gate} et de la largeur effective de grille W_{eff} . En revanche, il n'y a pas d'expression permettant de modéliser Rth en fonction de la longueur de la grille. La capacité thermique est modélisée, elle, en fonction de la largeur effective de la grille W_{eff} (Eq IV.10).

$$R_{th} = \frac{RTHO}{W_{eff}} \cdot \left(\frac{1}{NF^{RTHONF}} \right) \left(1 + \frac{RTHOW}{(W_{gate} \cdot 10^4)^{RTHOWP}} \right) \quad (\text{Eq IV.9})$$

$$C_{th} = CTHO \cdot W_{eff} \quad (\text{Eq IV.10})$$

HiSIM_HV rajoute au réseau thermique classique (Figure 4.7) une autre quantité R_{THOR} (dans la version de HiSIM_HV 1.0.2) pour modéliser la dissipation de la température (Eq IV.11) :

$$R_{th} = \frac{RTHOR}{TEMP^3} \quad (\text{Eq IV.11})$$

Dans la version 1.1.0 de HiSIM_HV, cet effet est modélisé par l'équation (Eq IV.12) tenant en compte de la répartition de la puissance en fonction de longueur de zone de drift (Eq IV.13).

$$T = T + R_{th} \cdot I_{ds} \cdot V'_{ds} \quad (\text{Eq IV.12})$$

$$V'_{ds} = V_{dsi} + POWART (V_{ds} - V_{dsi}) \quad (\text{Eq IV.13})$$

Où $POWRAT$ est un paramètre du modèle. Le potentiel de nœud extérieur est représenté par V_{ds} et le potentiel de nœud interne dans région du drift V_{dsi} .

Pour valider ce modèle de Rth, on a comparé la mesure d'un NLDMOS sur SOI avec la simulation du modèle HiSIM_HV. Les résultats de la Figure 4.8 : b confirment que ce modèle d'auto-échauffement permet de bien reproduire la mesure comme le macro-modèle de référence.

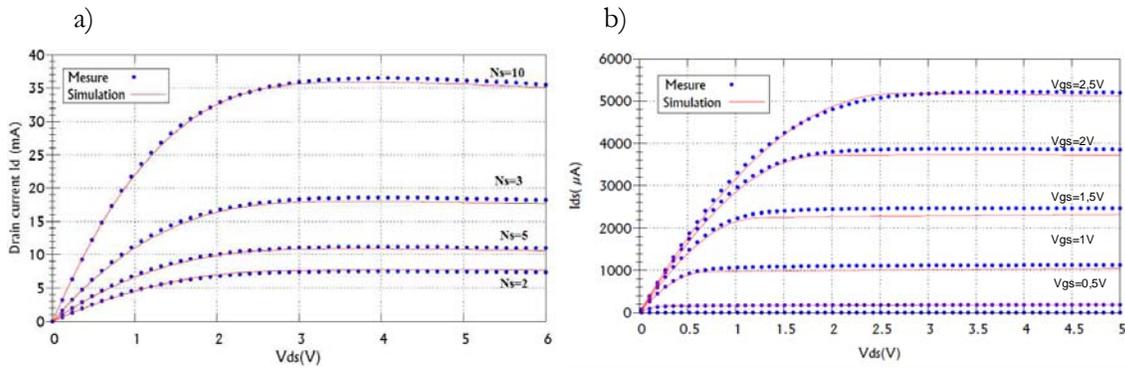


Figure 4.8 : a) Courbe $I_d(V_{ds})$ mesurée et simulée avec le macro-modèle d'un LDMOS sur SOI à $V_{gs}=2.5V$ pour N_{source} varie entre 2 et 10 sources. b) Caractéristique $I_d(V_d)$ mesurée et simulée avec HiSIM_HV d'un LDMOS sur SOI. $W_{active}=10\mu m$, $L_{poly}=0.4\mu m$ et $T=25^\circ C$

4.3.1.4 La quasi-saturation

- **Macro-modèle de STMicroelectronics**

La quasi-saturation apparaît lorsque de fortes polarisations sont appliquées sur le drain. Ce phénomène est généré dans le drain incluant la couche d'épitaxie ou le caisson suivant le cas. Pour modéliser ce phénomène, le macro-modèle ST utilise une résistance non-linéaire en série avec un modèle compact MOS BSIM3SOI.

Le travail présenté au chapitre 2 montre que pour modélisation de la région de triode (début de la saturation), il est important de chauffer la résistance de drain R_d à la température d'auto-échauffement du transistor DMOS (Figure 4.9).

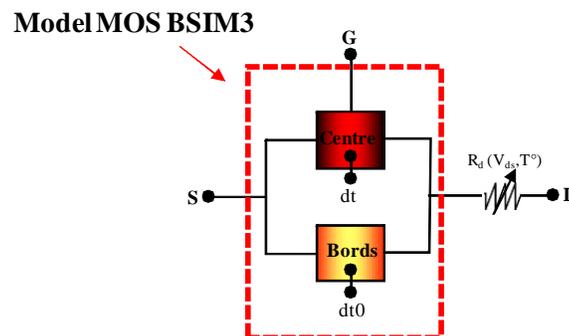


Figure 4.9 Modélisation de la quasi-saturation grâce à une résistance non-linéaire R_d

La modélisation de la résistance de drain est basée sur l'analyse TCAD et la modélisation du transistor MOS standard. La résistance de drain R_d est donc modélisée par l'équation suivante (Eq IV.14):

$$R_d = r_{dd} \cdot \left(1 + \frac{f(V(R_d))}{V_{driftsat}} \right) \quad (\text{Eq IV.14})$$

En utilisant les équations de lissage disponible dans BSIM3, on obtient son expression finale :

$$R_d = r_{dd} \cdot \left(1 + \frac{\text{Hyp2}(\sqrt{V(R_d)^2 + 1e-06}, 50, 0.1)}{V_{driftsat}} \right) \quad (\text{Eq IV.15})$$

Avec

$$\text{Hyp2}(x, x_0, e) = (x - \text{Hyp}(x - x_0, e)) \quad (\text{Eq IV.16})$$

Et

$$\text{Hyp}(x, e) = \frac{x + \sqrt{x^2 + 4e^2}}{2} \quad (\text{Eq IV.17})$$

▪ Modèle compact HiSIM_HV

En HiSIM_HV la résistance de la zone de drift R_{drift} est modélisée par la résolution de l'équation du Poisson dans le canal du MOS, tout en prenant compte de l'effet de la résistance dans la zone de drift. La résistance R_{drift} est une combinaison des trois fonctions F1, F2 et F3 qui modélisent cette résistance en fonction des tensions de polarisation V_{ds} , V_{bs} et V_{gs} .

On a :

$$R_{drift} = (R_d + V_{ds} \cdot R_{DVD}) \left(1 + RDVG11 - \frac{RDVG11}{RDVG12} \cdot V_{gs} \right) \cdot (1 - V_{bs} \cdot RDVB) \quad (\text{Eq IV.18})$$

Avec :

$$R_{drift} = F(V_{ds}) \cdot (1 + F_2(V_{gs})) \cdot (1 - F_3(V_{bs})) \quad (\text{Eq IV.19})$$

$$R_d = \frac{R_{d0}}{W_{eff}} \left(1 + \frac{RDS}{(W_{gate} \cdot 10^4 \times L_{gate} \cdot 10^4)^{RDSP}} \right) + RSH \cdot NRD \quad (\text{Eq IV.20})$$

Et :

$$R_{d0} = (RD + R_{d0, temp}) f_1 \cdot f_2 \quad (\text{Eq IV.21})$$

F1 présente la variation de R_{drift} en fonction de V_{ds} , elle prend en compte la valeur de la résistance de drain R_d , ainsi que la dépendance de cette dernière en fonction de V_{ds}

représentée par le paramètre R_{DVD} . Dans l'expression de R_d , on retrouve la dépendance géométrique de la grille (L_{gate} , W_{gate}) et des paramètres modèle RDS et RDSP, permettant la modélisation des petites géométries. On trouve aussi la résistance de la zone de diffusion côté drain RSH.

A partir de l'expression de l'équation (Eq IV.20), on peut remarquer que R_d dépend de $R_{d0,temp}$ qui traduit la dépendance de R_d en fonction de la température et qui est définie dans HiSIM_HV par l'expression suivante :

$$R_{d0,temp} = RDTEMP1 \cdot (T - TNOM) + RDTEMP2 \cdot (T - TNOM)^2 \quad (\text{Eq IV.22})$$

Et

$$R_{DVD} = \frac{RDVD + R_{DVD,temp} \cdot \exp(-RDVDL \times (L_{gate} \cdot 10^4)^{RDVDLP})}{W_{eff}} \cdot \left(1 + \frac{RDS}{(W_{gate} \cdot 10^4 \times L_{gate} \cdot 10^4)^{RDSP}} \right) + RSH + NRD \quad (\text{Eq IV.23})$$

Avec

$$R_{dvd,temp} = RDVDTEMP1 \cdot (TEMP - TNOM) + RDVDTEMP2 \cdot (TEMP^2 - TNOM^2) \quad (\text{Eq IV.24})$$

La dépendance de la résistance en fonction de V_{ds} (Eq IV.23) prend aussi en compte la dépendance en fonction de la température $R_{dvd,temp}$, ainsi que les longueurs de la zone de drift (LDRIFT1, LDRIFT2) (Eq IV.25) (Eq IV.26) et de la zone d'overlap (Eq IV.27) (LOVERLD).

$$f_1(L_{drift1}) = \frac{LDRIFT1}{1\mu m} \cdot RDSL P1 \cdot RDICT1 \quad (\text{Eq IV.25})$$

$$f_2(L_{drift2}) = \frac{LDRIFT2}{1\mu m} \cdot RDSL P2 \cdot RDICT2 \quad (\text{Eq IV.26})$$

$$f_3(L_{over}) = 1 + \left(RDOV11 - \frac{RDOV11}{RDOV12} \right) \cdot \frac{LOVERLD}{1\mu m} + (1 - RDOV13) \cdot \frac{LOVERLD}{1\mu m} \quad (\text{Eq IV.27})$$

La Figure 2.50 montre que l'utilisation d'une expression non-linéaire de la résistance de drain dans le macro-modèle de référence est très efficace pour reproduire le comportement d'un NLD MOS dans le régime de quasi-saturation. Ainsi, on voit bien l'impact de l'échauffement de la résistance de drain sur les performances du modèle.

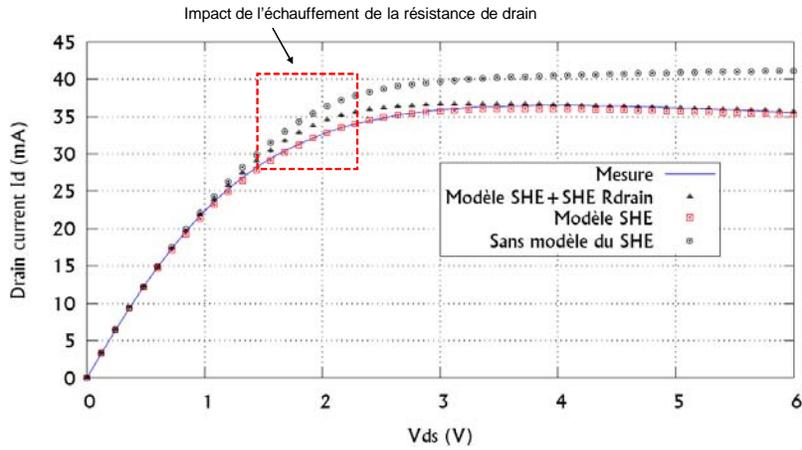


Figure 4.10 : Courbe de $I_d(V_d)$ mesurée et simulée avec le macro-modèle pour un NLD MOS à $W_{poly}=200\mu m$, $N_{source}=10$, $V_{gs}=2.5V$

La Figure 4.10 présente les caractéristiques de transfert et de sortie simulées par HiSIM_HV et mesurées pour un NLD MOS sur substrat massif. On remarque que le modèle de la résistance de drain reproduit bien la mesure.

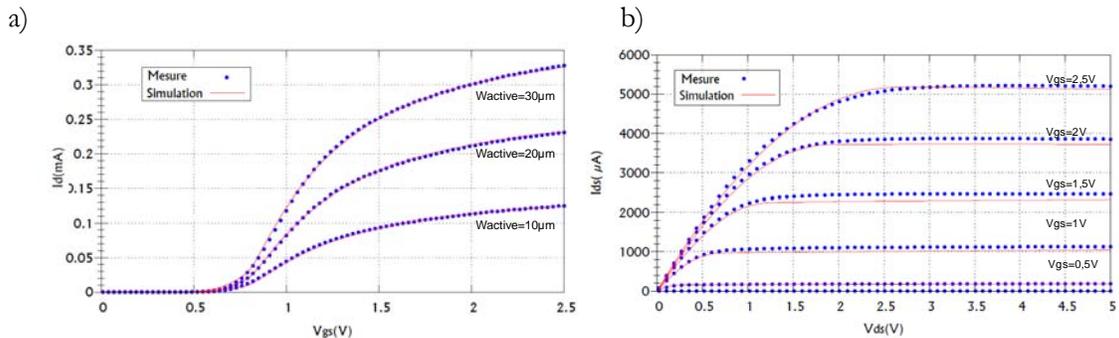


Figure 4.11 : a) Caractéristiques de transfert $I_d(V_{gs})$ mesurées et simulées d'un NLD MOS sur substrat massif. $W_{active}=10\mu m$, $20\mu m$ et $30\mu m$. b) Caractéristiques de sortie $I_d(V_{ds})$ mesurées et simulées d'un MOS à drain extension en technologie 45nm, $W_{poly}=10\mu m$, $L_{poly}=0,2\mu m$ et $V_{gs}=[0V, 0,5V, 1V, 1,5V, 2V, 2,5V]$.

4.3.1.5 Les diodes de jonction

- **Macro-modèle de STMicroelectronics**

Pour décrire le comportement statique et dynamique des diodes formées par les jonctions de source, drain ou caisson-substrat des dispositifs MOS, on utilise le modèle JUNCAP. Ce modèle public a été développé par Philips Electronics. Il est limité aux cas de polarisation inverse de ces jonctions. Les courants de fuite et les capacités sont modélisés au moyen

d'équations de charge. Trois contributions différentes sont prises en compte dans le modèle et calculées séparément : une surfacique, une périmétrique et une dernière pour la jonction LDD/caisson située sous la grille.

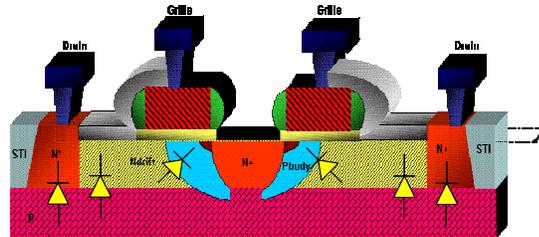


Figure 4.12 : Les diodes du transistor LDMOS

Pour chaque contribution, les courants de diffusion de porteurs et de génération sont implémentés, chacun avec ses propres dépendances en température et tension.

- **Modèle compact HiSIM_HV**

HiSIM_HV modélise les différentes diodes et jonctions en se basant sur les équations du modèle des diodes dans BSIM3v3 [BSIM3], avec un certain nombre de modifications.

Dans BSIM3, le modèle des diodes de jonction correspond à des jonctions symétriques, c'est-à-dire que la jonction Drain-Bulk est équivalente à la jonction Source-Bulk. Dans le cas des transistors de puissance, on ne peut pas utiliser directement ce modèle de jonction, du fait de la dissymétrie de certains transistors de puissance : par exemple, la dissymétrie des transistors DMOS nécessite la modification du modèle HiSIM_HV.

4.4 Conclusion du chapitre

Lors de ce chapitre, nous avons discuté deux différents modèles mis en place pour modéliser le transistor MOS haute tension : un modèle de type « sous-circuits » et un modèle compact.

A partir de cette étude, nous avons comparé le macro-modèle utilisé par STMicroelectronics et le modèle compact HiSIM_HV qui est considéré comme le premier modèle compact dédié au transistor MOS tension. Ainsi, nous avons pu tester le modèle HiSIM_HV des transistors LDMOS et des transistors MOS haute tension asymétriques (transistor MOS à extension de drain).

Les mesures, effectuées sur différentes structures de test représentant différentes technologies et architectures de transistors MOS haute tension, nous ont permis de valider et évaluer le comportement en régime DC du modèle HiSIM_HV et de le comparer avec la macro-modèle utilisé par STMicroelectronics. L'étude réalisée permet de déduire qu'en régime statique, HiSIM-HV présente une approche de modélisation équivalente à l'approche macro-modèle, même si le dopage graduel du canal ne semble pas pris en compte dans HiSIM_HV.

Les effets spécifiques liés à la résistance de drain (notamment la quasi-saturation) ainsi que l'auto-échauffement sont bien pris en compte. Le fait d'utiliser un modèle compact permet d'obtenir rapidement une modélisation de dispositifs haute tension. Ainsi, on n'a pas à se soucier de la définition des éléments du macro-modèle. Néanmoins, pour confirmer la validité de ce modèle et le compléter, il est important de l'évaluer en régime dynamique (simulation grand signal notamment) : en effet, c'est en général dans ce régime que les macro-modèles sont difficiles à converger.

CONCLUSIONS

Le contexte de cette thèse était de répondre aux problématiques liées à la modélisation des transistors MOS haute tension. L'objectif principal était de contribuer à la modélisation des transistors MOS haute tension utilisées dans les technologies « Smart Power » et de présenter les résultats les plus pertinents issus des investigations menées sur la mise en place de modèles dédiés aux différents comportements physiques spécifiques à ces dispositifs. Pour y répondre, notre première contribution, décrite dans le deuxième chapitre, a été de caractériser le phénomène de l'auto-échauffement et de proposer un modèle qui reproduit précisément ce phénomène physique basé sur un modèle complet prenant en compte les deux types d'échauffement : l'échauffement intrinsèque et le couplage thermique entre les sources du transistor. Pour cela, deux types de modélisation ont été utilisés : une basée sur la mesure et une deuxième basée sur la modélisation.

La modélisation basée sur la simulation nécessite, dans un premier temps, une étape de caractérisation. Pour cela, des structures de test innovantes ont été mises en place et ont permis d'avoir accès aux principaux paramètres physiques qui régissent le phénomène de l'auto-échauffement, avec pour finalité modéliser les deux comportements thermiques.

En outre, il s'est révélé qu'un modèle d'auto-échauffement basé sur les deux modèles thermiques (intrinsèque et couplage thermique) permet d'obtenir des meilleurs résultats. En outre, ce modèle, qui fait la distinction entre les sources latérales du transistor proches de l'isolation et les sources centrales, permet une bonne représentation de la répartition de la chaleur pour les différentes géométries du transistor. Ce résultat est très important, notamment dans le cas des amplificateurs de puissance qui utilisent des cellules de puissance composées de dispositifs multi-doigts puisque cette approche de modélisation permet d'obtenir des résultats valables pour les petites et les grandes cellules de puissance ; en outre, elle peut être adaptée aux dispositifs étudiés (MOS standard, bipolaire ...etc.).

La modélisation de l'auto-échauffement basée sur la simulation est indépendante de la mesure et permet de pouvoir prédire le comportement thermique en fonction des variations géométriques. Un outil basé sur la génération du réseau thermique du transistor a été mis en place. Grâce au travail réalisé, l'outil GenSHE_modifié a permis d'extraire automatiquement, en fonction des paramètres technologiques et géométriques, les résistances thermiques et les coefficients de couplage du transistor MOS haute tension, ainsi que de visualiser la répartition de la chaleur en profondeur. Cet outil peut très bien être utilisé d'une façon générale pour tous les dispositifs où le phénomène d'auto-échauffement est présent : il peut ainsi être appliqué à plusieurs technologies. Il présente aussi des résultats très prometteurs pour la caractérisation de l'auto-échauffement au niveau des circuits.

Dans le troisième chapitre, une méthode d'extraction des parasites RF dans le transistor MOS haute tension a été mise en place. L'idée était d'appliquer et adapter une méthode d'extraction utilisée dans le cas du MOS standard au cas du transistor MOS haute tension. On s'est intéressé, dans un premier temps, à la validation de cette méthode en l'appliquant à l'extraction des paramètres parasites du modèle disponibles dans le macro-modèle de STMicroelectronics. Cela a permis d'extraire les paramètres du modèle spécifiques que sont la résistance de la grille et les capacités Grille-Drain et Grille-Source. Grâce à cette étude, la méthode d'extraction est bien validée par la simulation. Il reste maintenant, son application pour extraire tous les parasites RF (intrinsèques et extrinsèques) ainsi qu'à l'appliquer à la mesure.

Finalement, nous avons terminé cette thèse par une évaluation du modèle compact standard HiSIM_HV dédié au transistor MOS haute tension. Ce modèle standard a été comparé au macro-modèle utilisé par STMicroelectronics. Cette évaluation était basée sur une discussion des différentes équations modélisant les phénomènes spécifiques à ce type de transistor en régime statique. L'évaluation a été validée par la mesure de différentes architectures de transistors MOS haute tension issus de plusieurs technologies : le NLDMOS en technologie 250nm sur substrat massif, le NLDMOS en 130nm sur SOI et le transistor à extension de drain en technologie 45nm.

Les résultats sont assez prometteurs et confirment que le modèle HiSIM_HV, modélise bien la majorité des effets statiques propres au transistor MOS haute tension. Il reste à l'évaluer dans le régime dynamique pour conclure s'il est réellement un bon candidat pour la modélisation compacte de ce type de dispositifs.

REFERENCES BIBLIOGRAPHIQUES

- [ACM95] A. I. A. Cunha et al, “*An explicit physical model for the long-channel MOS transistor including small-signal parameters*”,
Solid-State Electronics, vol. 38, N° 11, pp. 1945-1952, November 1995.
- [And10] L. Andia et al, “*A 3.7GHz 130nm CMOS-SOI class E RF power amplifier*”,
Sarnoff Symposium, 2010 IEEE, 2010, Page(s): 1- 4.
- [Ang’04] C. Anghel, R. Gillon, “*Self-Heating Characterization and Extraction Method for Thermal Resistance and Capacitance in HV MOSFETs*”,
IEEE Electron device letters, Vol 25 N°.3, March 2004.
- [Ang03] C. Anghel et al, “*New Method for Temperature-Dependent Thermal Resistance and Capacitance Accurate Extraction in DMOS Transistors*”,
Technical Digest of IEEE International Electron Device Meeting, IEDM 2003, Washington DC, pp. 561 - 564, Décembre 2003.
- [Ang04] C. Anghel, “*High voltage devices for standard Mos technologies characterisation and modelling*”, Thèse Lausanne, EPFL 2004
- [Arnold94] E. Arnold et al, “*Comparison of Self-Heating Effects in Bulk-Silicon and SOI High-Voltage Devices*”, IEDM 1994.
- [Art05] A. Aarts et al, “*A. surface-potential-based high-voltage compact LDMOS transistor model*”, IEEE Trans. Electron Dev., vol.52, pp. 999, 2005.
- [Axe05] D. Axelrad, “*Application des technologies CMOS sur SOI aux Fonctions d’Interface des Liens de Communication Haut Débit (> 10Gbit/s)*”,
Thèse de Doctorat de l’Institut National Polytechnique de Grenoble, 2005.
- [Bata05] E. Batail, “*Modélisation des capacités dans les dispositifs avancés*”,
Rapport de projet de fin d’études, juillet 2005.
- [BatST] http://www.st.com/stonline/products/families/power_management
- [Beck05] H. Beckrich-Ros, “*Contribution à la modélisation et la caractérisation de transistors bipolaires de puissance intégrés dans une filière BICMOS submicronique*”,
Thèse de Doctorat de l’Université de Bordeaux1, Novembre 2006.
- [Ben05] H.S. Bennett et al, “*Device and Technology Evolution for Si-Based RF*”,
IEEE Transactions on Electron Devices, vol. 52, N°. 7, pp. 1235-1258, Jul. 2005.
- [Ber90] M. Berroth et R. Bosch, “*Broad-Band Determination of the FET Small- Signal Equivalent Circuit*”,

- IEEE Transactions on Microwave Theory and Techniques, vol. 38, N°. 7, pp. 891-895, Jul. 1990.
- [Bieb98] C. E. Bieber et al, “*A non-linear microwave MOSFET model for spice Simulators*”,
IEEE Trans. Microwave Theory Tech., vol. 46, N°. 5, pp. 604-610, 1998.
- [Bou2] E. Bouhana, “*Analyse du comportement petit signal du transistor MOS : contribution à une nouvelle approche d’extraction et de modélisation pour des applications RF*”,
Présentation de thèse pour obtenir le Doctorat de l’Université des Sciences et Technologies de Lille 2007.
- [Bou7] E. Bouhana, “*Analyse du comportement petit signal du transistor MOS : contribution à une nouvelle approche d’extraction et de modélisation pour des applications RF*”,
Thèse pour obtenir le Doctorat de l’Université des Sciences et Technologies de Lille 2007.
- [Bra01] A. Bracale, “*Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes*”,
Thèse de Doctorat de l’Université des Sciences et Technologies de Lille, spécialité électronique, 2001.
- [Bsi01] BSIM 4.2 Manual, Univ. of California, Berkeley, Apr. 2001.
[Online]. Available: [Http://www-device.eecs.berkeley.edu/.bsim](http://www-device.eecs.berkeley.edu/.bsim)
- [BSIM] BSIM3SOI. [Online]. Disponible: <http://www-device.eecs.berkeley.edu>
- [BSIM3] BSIM3, version 3.0 manual, Department of Electrical Engineering and Computer Science, University of California, Berkeley CA, 1996.
- [BSIM4] BSIM 4.2 Manual, Univ. of California, Berkeley, Apr. 2001. [Online].
Available : <http://www-device.eecs.berkeley.edu/.bsim>
- [Buch99] M. Bucher et al, The EPFL.EKV MOSFET model, version 2.6,. EPFL, Tech.Rep., 1999. [Online]. Available: http://www.ep_.ch/ekv/
- [Can06] A. Canepari, “*Macro-modélisation des structures MOS “haute tension” intégrées avec prise en compte de l’auto-échauffement*”,
Thèse de Doctorat de L’INSA de Lyon, 2006
- [Can07] A. Canepari et al, “*Improved Test Structure for Thermal Resistance Scaling Study in Power Devices*”,
Microelectronic Test Structures, 2007. ICMTS '07. Page(s): 222 - 225

- [Celo07] D. Celo et al, “*Algorithmic Approach for Thermal Port Definition*”,
IEEE Transactions on, , vol. 30, N°. 3 , Aug 2007
- [Cet88] A. Cetner, “*A simple formula for two-dimensional capacitance*”,
Solid State Electron. vol. 31, pp. 973-974, 1988.
- [Cez00] N. Cézac, et al “*A new generation of power unipolar devices: the concept of the Floating Islands MOS Transistor (FLIMOST)*”,
Proceedings ISPSD’2000 (Toulouse), pp. 69-72.
- [Chau07] Y S. Chauhan et al, “*Compact modeling of lateral non uniform doping in high-voltage MOSFETs*”,
IEEE Trans. Electron Dev., vol.54, p. 1527, 2007.
- [Chen01] Y. Cheng et M. Matloubian, “*High Frequency Characterization of Gate Resistance in RF MOSFETs*”,
IEEE Electron Device Letters, vol. 22, N°. 2, pp. 98-100, Feb. 2001.
- [Chen07] C. Cheng et al, “*Impact of Self-Heating Effect on Hot Carrier Degradation in High-Voltage LDMOS*”, pp. 881–884, IEEE 2007
- [Civ09] G. Civrac “*Vers la réalisation de composante haute tension, forte puissance sur diamant CVD. Développement des technologies associées*”,
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 2009.
- [Clas86] H. R. Claessen and P. Van Der Zee, “*An Accurate DC Model for High Voltage Lateral DMOS Transistors Suited for CACD*”,
IEEE Trans. Electron Dev., vol. ED-33 N°. 12, pp. 1964-1970, 1986.
- [CMC] Compact Model Council. Webpage available: <http://www.eigroup.org/cmc/>
- [Cur84] W.R. Curtice et R.L. Camisa, “*Self-Consistent FET Models for Amplifier Design and Device Diagnostics*”,
MTT-S International Microwave Symposium Digest, vol. 84, N°. 1, pp. 427-429, May 1984.
- [Dam03] G. Dambrine et al, “*What are the limiting parameters of deep submicron MOSFETs for high frequency applications?* ”,
IEEE Electron Device Letters, vol. 24, N°. 3, pp. 189-191, Mar. 2003.
- [Dam88] G.Dambrine et al, “*A new method for determining the FET small-signal equivalent circuit*”,
IEEE Transactions on Microwave Theory and Techniques, vol. 36, N°. 7, pp. 1151-1159, Jul. 1988.

- [Dan02] F. Danneville et G.Dambrine, “*Noise Modelling and Measurement Techniques in Deep Submicron Silicon on Insulator Devices, in Noise and Fluctuations Control in Electronics Devices*”, American Scientific Publishers, 2002, pp. 355-366.
- [Diam82] F. Diamand et M. Laviron, “*Measurement of the Extrinsic Series Elements of a Microwave Mesfet Under Zero Current Conditions*”, 12th European Microwave Conference, pp. 451-456, Oct. 1982.
- [Efl94] T. Efland, “*Lateral DMOS structure development for advanced power technologies*”, Technical Journal, vol. 11, n°2, p.10-23, 1994.
- [EKV] EKV Compact Model. Available: <http://legwww.epfl.ch/ekv/>
- [ELM77] Y. A. El-Mansy and A. R. Boothroyd, “*A simple two-dimensional model of IGFET operation in the saturation region*”, IEEE Trans. Electron Dev, vol. ED-24, pp. 241-253, 1977.
- [Enz00] C. Enz et Y. Cheng, “*MOS transistor modeling for RF IC design*”, IEEE Journal of Solid-State Circuits, vol. 35, N°. 2, pp. 186-201, Feb. 2000.
- [Enz99] C. C. Enz et Y. Cheng, “*Issues in RF MOS transistors modelling*”, Proc. 8th Workshop on Advances in Analog Circuit Design (AACD'99), Opio, France, Mar. 1999, pp. 108.111.
- [FarZ76] B. Farzan et al “*Depletion V-Groove MOS (VMOS) Power Transistors*”, Solid State Electronics, Vol. 19, N°4, p. 297-306, 1976.
- [Fur01] M. Furno “*Modélisation électrique du comportement statique d'un transistor DMOS vertical*”, Rapport de stage de fin d'étude 2001
- [Gal08] A. Galadi “*Etudes propriétés physiques et nouvelle modélisation SPICE des transistors FLIMOS de puissance*”, Thèse de Doctorat de l'Université Paul Sabatier, Toulouse, 2008.
- [Galu10] C. Galup-Montoro et M.C. Schneider “*CMOS Analog Design Using All-Region MOSFET Modeling*”, pp 456-457 Cambridge University Press. Février 2010.
- [Gild06] G. Gildenblat et al, “*PSP: An advanced surface-potential-based MOSFET model for circuit simulation*”, IEEE Trans. Electron Dev., vol. 53, N°. 9, pp. 1979-1993, Sep. 2006.

- [Giry01] A. Giry “*Etude des potentialités des technologies CMOS avancées pour les radiofréquences : Application aux amplificateurs de puissance*”,
Thèse de Doctorat de l’Institut National Polytechnique de Grenoble, 2001.
- [Gre05] C. Grellu, “*Intégration de transistors haute tension en technologie CMOS 0,13 μ m pour la gestion d’énergie des systèmes portables*”,
Thèse de Doctorat de l’INSA, Lyon 2005.
- [Guo93] J.-C. Guo et al, “*An accurate decoupled C.V method for characterizing channel and overlap capacitances of miniaturized MOSFET* ”,
Proc. VLSITSA, 1993, pp. 256.260.
- [Hal04] N. V. T. D’Halleweyn “*MOOSE: A physically based compact DC model of SOI LDMOSFETs for analogue circuit simulation*”,
IEEE.T. Comput, Aid.D., vol.23, p. 1399,2004.
- [He03] J. He, X et al, “*An advanced surface-potential-plus MOSFET model* ”,
Workshop on Compact Modeling, 2003, pp. N/A.
- [Hisi01] H. J. Mattausch et al, “*HiSIM: The first complete drift-diffusion MOSFET model for circuit simulation*”,
Proc. IEEE Int. Conf. Solid-state and Integrated Circuit Technology, 2001, pp. 861.866.
- [Hisi02] M. Miura-Mattausch et al, “*HiSIM: Self-consistent surface-potential MOS-Model valid down to sub-100nm technologies*”,
Proc. 5th Int. Conf. on Modelling and Simulation of Microsystems (MSM), 2002.
- [HiSIM] HiSIM-HV1.0.1 Users’ Manual, Hiroshima University and STARC, 2008.
- [Hisw] www.ufocom.eu/pages/v_fr/m_sciences/Transistors/Histoire_transistors.htm
- [Hniki’09] S.Hniki et al, “*Thermal effects modeling of multi-fingered MOSFETs based on new specific test structures*”,
ESSDERC, Septembre 2009 Athènes.
- [Hniki09] S.Hniki et al, “*New self heating structures for thermal coupling modeling on multi-fingered SOI power devices*”,
ISPSD2009, Barcelona, Spain, June2009.
- [Hof63] S.R. Hofstein, et al “*The Silicon Isolated-Gate Field Effect Transistor*”,
Proc IEEE, Vol. 51, pp. 1190-1202, 1963.
- [Hoss06] Md M. Hossain et al, “*Adjacent Device Thermal Effects Modeling and Characterization in Dielectrically Isolated Bipolar Technology*”,

- IEEE 2006.
- [Hun60] J. K. Hunton, “*Analysis of Microwave Measurement by Means of Signals Flow Graphs*”,
IRE Transactions on Microwave Theory and Techniques, vol.8, 2, pp.1960.
- [Jan99] J. Jang, et al, “*Circuit Model for Power LDMOS including Quasi-Saturation*”,
Proc. SISPAD,1999, pp.15-18.
- [Jen97] K. A. Jenkins et al, “*Characteristics of SOI FETs under pulsed conditions*”,
IEEE Trans. Electron Devices, vol. 44, pp.1923–1930, Nov. 1997.
- [Jin01] W. Jin et al, “*SOI thermal impedance extraction methodology and its significance for circuit simulation*”,
IEEE Trans. Electron Devices, vol. 48, pp. 730–736, Apr. 2001.
- [Joy70] R.C. Joy et E.S. Schlig, “*Thermal Proprieties of Very Fast Transistors*”,
IEEE Trans. On Electron Devices, vol.ED-17, N°.8, pp.586-594, 1970.
- [Kim90] Y. S. Kimand, J. G. Fossum, “*Physical DMOS Modeling for High-Voltage IC CAD*”,
IEEEET. Electron Dev., vol. 37, p.797, 1990.
- [Kim91] Y S. Kim et al, “*New physical insights and models for high-voltage LDMOS TICCAD*”,
IEEE T. Electron Dev., vol.38, p. 1641, 1991.
- [Klei97] P. Klein, “*A Compact-Charge LDD-MOSFET Model*”,
IEEE Transactions on Electron Devices, vol. 44, N°. 9, 1997.
- [Kol95] V. Kol'dyaev et al, “*Characterisation of the overlap capacitance of submicron LDD MOSFETs*”,
Proc. ESSDERC, 1995, pp. 757.760.
- [Kole00] T. M. Kole, “*A comparative study of thermal measurements techniques currently available to the semiconductor industry*”,
GaAs Reliability Workshop, 2000, pp. 79-98.
- [Kou99] P. Kouakou “*Etude physique des non-linéarités dans les transistors MOS de puissance radiofréquences*”,
Thèse de Doctorat de l'Université Paul Sabatier, Toulouse, 1999.
- [Kur65] K. Kurokawa, “*Power Waves and the Scattering Matrix*”,
IEEE Transactions on Microwave Theory and Techniques, vol. pp. 194-202, 1965

- [Liou94] J.J. Liou et L.L. Liou, “*Analytical model for the AlGaAs/GaAs multiemitter finger HBT including self-heating and thermal coupling effects*”, IEEE Proc.-Circuits Devices Syst., Vol. 141, N°. 6, December 1994.
- [LisaT94] Su Lisa T. et al, “*Measurement & Modeling of Self-Heating in SOI MOSFETs*”, IEEE Transaction on Electron Devices, Vol 41 Jan 1994, Pg 69-75.
- [Lit01] A. Litwin, “*Overlooked interfacial silicide-polysilicon gate resistance in MOS transistors*”, IEEE Transactions on Electron Devices, vol 48, N°. 9, pp. 2179-2181, Sept. 2001.
- [Liu95] W. Liu, “*Thermal Coupling in 2-Finger Heterojunction Bipolar Transistors*”, IEEE Transaction on Electron Devices, Vol . 42, N°. 6, June 1995.
- [Liu98] W. Liu et al, BSIM3v3.2 MOSFET model. Users' manual, Univ. of California, Berkeley, 1998.
[Online]. Available: <http://www-device.eecs.berkeley.edu/.bsim>
- [Lop02] D. Lopez “*Intégration dans un environnement de simulation circuit d'un modèle électrothermique de transistor bipolaire à hétérojonction issu de simulations thermique tridimensionnelles*”, Thèse de Doctorat de l'Université de Limoges, Juin 2002.
- [Lov94] D. Lovelace et al, “*Extracting small-signal model parameters of silicon MOSFET transistors*”, IEEE MTT-S International Microwave Symposium Digest, vol. 2, pp. 865-868, May 1994.
- [Lud02] A.W. Ludikhuizen, “*Lateral 10-15 V DMOST with very low 6 mohm.mm/sup 2/ on resistance*”, The 14th International Symposium on Power Semiconductor Devices and ICs, 2002, Santa Fe. 4-7 Juin 2002, page(s) 301-304.
- [Mans05] Pierre Marie Mans, rapport de stage “*Simulation des effets thermiques dans un transistor LDMOS en technologie SOI*”, Master 2 Micro-Nano Electronique de Grenoble Option Physique des Composants et Matériaux page 30. 2005.
- [Mautry90] P.G. Mautry et al, “*Investigation of self-heating in VLSI and ULSI MOSFETs*”, Proc. ICMTS, 1990, pp.221-226.
- [McDaid91] L.J. McDaid et al, “*Monitoring the Temperature Rise in SOI Transistors by Measurement of Leakage Current*”,

- Proc. of IEEE Int. SOI Conference, pp. 28 – 29, 1-3 Oct. 1991.
- [Meeks92] D. Meeks, “*Fundamentals of heat transfer in a multilayer system*”,
Microwave Journal, v35 n1, January 1992, Pages: 165-172.
- [Mer79] G.Merckel, “*Contribution à l’Analyse Physique du transistor M.O.S. dans son évolution vers les Microstructures*”,
Thèse de Doctorat d’Etat, Université Scientifique et Médicale, I.N.P, Grenoble, 1979.
- [Mit00] J. Mitros et al. “*High-Voltage Drain Extended MOS Transistors for 0.18 μ m Logic CMOS Process*”,
Solid-State Device Research Conference, 2000. Page(s) : 376 – 379.
- [MM02] M. Pellela et al, “*On the performance advantage of PDISOI CMOS with floating bodies*”,
IEEE Transactions on Electron Devices, Vol 49 Jan 2002, Pg 96 - 104.
- [Mm02] M.M. Pellela et al “*On the performance advantage of PDISOI CMOS with floating bodies*”,
IEEE Transactions on Electron Devices, Vol 49 Jan 2002, Pg 96 - 104.
- [MM11] D. B. M. Klaassen et al, “*The MOS model, level 1101*”,
Philips Research Laboratories, 2002.
[Online]. Available: <http://www.semiconductors.philips.com/philipsmodels/mosmodels/model11>
- [MM20] http://www.nxp.com/models/hv_models/modeI20/.
- [MM9] MM9 Model, Philips Semiconductors, 2001.
[Online]. Available : <http://www.semiconductors.philips.com/philipsmodels/mosmodels>
- [Mol06] E. Mollick, “*Establishing Moore's Law*”,
Annals of the History of Computing, IEEE, volume: 28, Issue: 3 Year: 2006,
Page(s): 62 - 75
- [Mor07] F. Morancho, et al “*Physique et modélisation des composants et des circuits intégrés de puissance*”, Lavoisier 2007.
- [Mor96] F. Morancho, “*Le transistor MOS de puissance à tranchées : modélisation et limites de performances*”,
Thèse de doctorat, Université Paul Sabatier de Toulouse, décembre 1996.
- [Morhi] <http://histoire-du-micro-processeur.skynetblogs.be/archive/2005/06/index.html>
- [MOSK] MOS-AK Modeling and Parameter Extraction Group.

- Webpage available: <http://www.mos-ak.org>
- [Mul06] D. Muller Thèse “*Optimisation des potentialités d’un transistor LDMOS pour l’intégration d’amplificateur de puissance RF sur silicium*”,
Thèse de doctorat, Université de Limoges Octobre 2006.
- [Nak08] A. Nakagawa, et al “*Silicon limit electrical characteristics of power devices and Ics*”,
IET Seminar Digests, vol. 2008, pp. 25-32, 2008.
- [Nam03] S. W. Nam et al, “*Johnson Noise Thermometry Measurements Using a Quantized Voltage Noise Source for Calibration*”,
IEEE Transactions on instrumentation and measurement, 2003, Volume 52, N° 2, pp. 550-554.
- [Poch76] M. D. Pocha and R. W. Dutton, “*A Computer-Aided Design Model for High-Voltage Double Diffused MOS (DMOS) Transistors*”,
IEEE Journal Solid- State Circuits, vol. SC-11, N° 5, pp. 718-726, 1976
- [Pog03] D. Pogany et al, “*Single-shot Nanosecond thermal imaging of semiconductor devices using absorption measurements*”,
IEEE transactions on device and materials reliability, vol. 3, N° 3, September 2003.
- [Pré03] F. Prégaldiny, “*Étude et modélisation du comportement électrique des transistors MOS fortement submicronique*”,
Thèse de doctorat de l’université Louis Pasteur -Strasbourg I Décembre 2003
- [R.J.T92] R. J. T. Bunyan et al, “*Use of Noise Thermometry to Study the Effects of Self-Heating in Submicrometer SOI MOSFET’s*”,
IEEE Electron Device Letters, 1992, Volume 13, N° 5, pp. 279-281.
- [Ras97] J.-P. Raskin et al, “*Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of SOI MOSFET’s*”,
IEEE Microwave and Guided Wave Letters, vol. 7, pp. 408-410, 1997.
- [Ras98] J.P. Raskin et al, “*Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling*”,
IEEE Transaction on Electron Device, vol. 45, pp. 1017-1025, 1998.
- [Red93] W. Redman-White et al, “*Direct extraction of MOSFET dynamic thermal characteristics from standard transistor structures using small signal measurements*”,
IEEE Electron Device Letters, vol. 29, N° 13, pp. 1180–1181, 1993.

- [Rey'04] M. Reyboz et al, "*Compact Modeling of the Self-Heating Effect in 120nm Multifinger Body-Contacted SOI MOSFET for RF Circuits*",
IEEE International SOI Conference, 2004, pp.159-161.
- [Rey04] M. Reyboz, "*Etude de l'auto-échauffement dans les structures de MOSFETS SOI Multi-doigt Sub-130nm dédiés aux applications RF*",
Rapport de stage au CEA LETI Grenoble, 2004, pp. 44-47.
- [Rieh02] J.-S. Rieh et al, "*Structural Dependence of the Thermal Resistance of Trench-Isolated Bipolar Transistors*",
Proceedings BCTM 2002, September 2002, Pages: 100-103.
- [Ross97] P. Rossel et al "*Avalanche characteristics of MOS transistors*",
Proceedings 21st International Conference on Microelectronics, Vol n°1, pp. 371-381, 1997.
- [Sch82] R. Schrivastava et K. Fitzpatrick, "*A simple model for the overlap capacitance of a VLSI MOS device*",
IEEE Trans. Electron Devices, vol. 29, N°. 12, pp. 1870-1875, 1982.
- [Sch98] F. Schuler et al, "*Source-drain-C (V)-behaviour of short channel LDD MOSFETs*",
Proc. ESSDERC, 1998, pp. 108-111.
- [Shan04] L. Shang et al, "*Thermal Modeling, Characterization and Management of On-chip Networks*",
Proceeding MICRO-37 2004, Decembre 2004, Pages: 67-78.
- [Shar84] D.K. Sharma et K.V. Ramanathan, "*Modelling Thermal Effects on MOS I-V Characteristics*",
IEEE Electron Device Letters, Vol. EDL-4, N°.10, pp.362 – 364, 1983.
- [She92] K. Shenai, "*Optimized Trench MOSFET Technologies for Power Devices*",
IEEE Transactions on Electron Devices, tome 39, N° 6, p. 1435–1443, 1992.
- [Sho51] W. Shockley, et al, "*p-n Junction Transistors*",
Phys. Rev. Vol. 83, pp. 151-162, 1951
- [Sho52] W. Shockley, "*Unipolar Field - Effect Transistors*",
Proc. IRE, Vol. 40, pp. 1365-1376, 1952.
- [Sigg72] H.J. Sigg et al "*D-MOS Transistor for Microwave Applications*",
IEEE Transactions On Electron Devices, Vol. 19, N°2, p.45-53, 1972.
- [Sil03] A, Siligaris et al, "*A new Empirical Nonlinear Model for Sub-250nm Channel MOSFET*",
IEEE Microwave and Wireless Components Letters, vol. 13, 2003.

- [Sil04] A. Siligaris, “*Modélisation grand signal de MOSFET en hyperfréquences : application à l’étude des non linéarités des filières SOI*”,
Thèse de Doctorat de l’Université des sciences et Technologiques de Lille, spécialité microondes et micro technologie, 2004.
- [Skad03] K. Skadron et al, “*Temperature-Aware Micro-architecture*”,
Computer Architecture, 2003. Proceedings. 30th Annual International Symposium on Digital, Page(s): 2-13.
- [Sme90] T. Smedes et F. M. Klassen, “*Effects of the lightly doped drain configuration on capacitance characteristics of submicron MOSFET’s*”,
Proc. IEEE Int. Electron Devices Meeting (IEDM), 1990, pp. 197.200.
- [Sob00] S. Sobhani, et al., “*High Density, Sub 10mOhm RDSon 100Volt N-Channel FETs for automotive Applications*”,
Proceedings of the ISPSD’2000 Conference, p. 273–276, Toulouse, France, Mai 2000.
- [Strick59] P.R. Strickland, “*The Thermal Equivalent Circuit of a Transistor*”,
IBM Journal of Research and Development, vol.3, N°.1, pp.35-45, 1959.
- [Su’94] L. T. Su, et al “*SPICE model and parameters for fully-depleted SOI MOSFETs including self-heating*”,
IEEE Electron Device Letter, vol. 15, pp. 374–376, Oct. 1994.
- [Su94] L.T. Su, et al “*Measurement and modeling of self-heating in SO NMOSFET’s*”,
IEEE Transactions on Electron Devices, 1994, vol.41, N° 1, pp.69-75.
- [Su94] L. T. Su et al “*Measurement and modeling of self-heating in SOI nMOSFETs*”,
IEEE Trans. Electron Devices, vol. 41, pp. 69–75, Jan. 1994.
- [Suli06] P.Y. Sulima, “*Contribution à la modélisation analytique tridimensionnelle de l’auto-échauffement dans les transistors bipolaires à hétérojonction de type Si/SiGe*”, Thèse de l’Université Bordeaux I, Décembre 2005.
- [Sun80] S. C. Sun and J. D. Plummer, “*Modeling of the On-Resistance of LDMOS, VDMOS and VMOS Power Transistors*”,
IEEE Trans. Electron Dev., vol. ED-27, N°. 2, pp. 356-357, 1980.
- [Suz99] K. Suzuki, “*Parasitic capacitance of submicrometer MOSFET’s*”,
IEEE Trans. Electron Devices, vol. 46, N°. 9, pp. 1895.1900, 1999.
- [Sze81] S.M. Sze “*Physics of Semiconductor Devices*”,
(2ième Edition).Taipei: John Wiley & sons, 1981.

- [Tam83] A. T. Tamer et al. “*Numerical Comparison of DMOS, VMOS and UMOS Power Transistors*”,
IEEE Transactions On Electron Devices, Vol. 30, N°1, p. 73-76, 1983.
- [Tenb96] B.M. Tenbroek et al, “*Self-Heating Effects in SOI MOSFETs and Their Measurement by Small Signal Conductance Techniques*”,
IEEE Trans.on Electron Devices, Vol.43, N°.12, pp.2240–2248, 1996.
- [Tol02] C. Tolksdorf, et al “*The vertical concept of power MOSFETs*”,
Materials Science and Engineering B, 2002, vol. 89, page(s) 439-443.
- [Tri99] M. Trivedi, K. Shenai, “*Comparison of RF performance of vertical and lateral DMOSFET*”,
The 11th International Symposium on Power Semiconductor Devices and ICs, 1999, Toronto, Ont. 26-28 Mai 1999, page(s) 245-248
- [Tsi99] Y. Tividis, “*Operation and Modeling of the MOS Transistor*”,
Oxford University Press, Second Edition, 1999.
- [Van01] M.Vanmacketlberg, “*Contribution à la caractérisation hyperfréquence de composant MOSFET en vue de la conception de fonction intégrées pour des applications en gamme millimétrique*”,
Thèse de l’Université des Sciences et Technologies de Lille, spécialité électronique, 2001
- [Vic95] J. Victory et al, “*Application of the MOS charge-sheet model to non uniform doping along the channel*”,
Solid State Electron, vol. 38, p. 1497, 1995.
- [Wach90] G. Wachutka, “*Rigorous Thermodynamic Treatment of Heat Generation and Conduction in Semiconductor Device Modeling*”,
IEEE Transactions on Computer-Aided Design, vol. 9, N° 11, November 1990
- [Waki00] N. Wakita et N. Shigyo, “*Verification of overlap and fringing capacitance models for MOSFET's*”,
Solid-State Electron, vol. 44, pp. 1105.1109, 2000.
- [Walk02] D.J.Walkey et al, “*Equivalent Circuit Modelling of Static Substrate Thermal Coupling Using VCVS Representation*”,
IEEE Journal of solid-state circuits, Vol 37 N°.9, September 2002.
- [Walk96] D.J.Walkey et al, “*A thermal design methodology for multifinger bipolar transistor structures*”,
IEEE Transaction on Electron Devices, Vol. ED-33, N°.11, pp.1710-716, 1996.

- [Woo96] A. Wood, et al “*High performance Silicon LDMOS technology for 2 GHz RF power amplifier application*”,
IEDM’96, pp 87-90, San Francisco (CA), pp. 8-11, December, 1996.
- [Xiu04] K. Xiu, M. Ketchen “*Hierarchical thermal modelling for SOI technology*”,
20thIEEE SEMI-THERM Symposium, 2004.
- [YASH91] N. Yasshuda et al, “*Analytical Device Model of SOI MOSFETs Including Self-Heating Effect*”,
Jap. Journal of Applied Physics, Vol.30, N°. 12B, pp. 3677 – 3684, 1991.
- [Yoko08] M. Yokomichi et al, “*Laterally diffused metal oxide semiconductor model for device and circuit optimization*”,
Jpn, J. Appl. Phys., vol.47, p. 2560, 2008.
- [You61] D. C. Youla, “*On Scattering Matrices Normalized to Complex Port Numbers*”,
Proceeding of the IRE, vol.49, 7, pp.1961.
- [Yun99] Chan-Su Yun et al, “*Static and dynamic thermal characteristics of IGBT power modules*”, 1999, Page(s): 37 – 40.
- [Zun80] M. G. Zuniga “*Le transistor MOS de puissance : la relaxation thermiques et les effets liés à la configuration NN^+ du drain*”,
Thèse de Doctorat de l’Université Paul Sabatier, Toulouse, 1980.

ANNEXES

Annexe I : Méthode d'épluchage

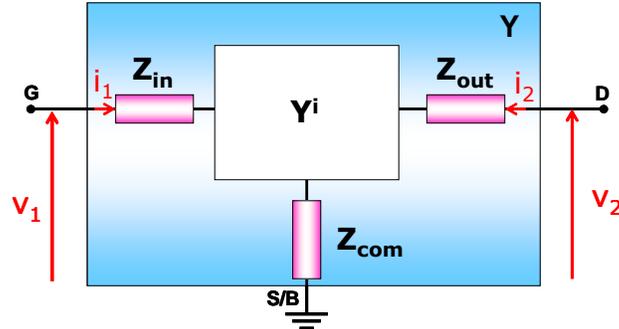


Figure 3.27 : Schéma utilisé dans la procédure de l'épluchage

$$\mathbf{K} = \begin{pmatrix} 1 + Y_{11}^i \cdot A + Y_{12}^i \cdot C & Y_{11}^i \cdot B + Y_{12}^i \cdot D \\ Y_{21}^i \cdot A + Y_{22}^i \cdot C & 1 + Y_{21}^i \cdot B + Y_{22}^i \cdot D \end{pmatrix} \quad (\text{Eq III.33})$$

$$\begin{pmatrix} i_1^i \\ i_2^i \end{pmatrix} = \underbrace{[[Y^i] \cdot M + I_b]^{-1}}_{\mathbf{K}} \cdot [Y^i] \begin{pmatrix} V_1 \\ V_2 \end{pmatrix} \quad (\text{Eq III.34})$$

$$\mathbf{M} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \quad (\text{Eq III.35})$$

Inverse de la matrice M

$$\mathbf{M}^{-1} = \frac{1}{D} \begin{pmatrix} A & -B \\ -C & D \end{pmatrix} \quad (\text{Eq III.36})$$

$$\mathbf{K}^{-1} = \frac{1}{D} \begin{pmatrix} 1 + Y_{21}^i \cdot A + Y_{12}^i \cdot C & -Y_{11}^i \cdot B - Y_{12}^i \cdot D \\ -Y_{21}^i \cdot B - Y_{22}^i \cdot D & 1 + Y_{11}^i \cdot A + Y_{12}^i \cdot C \end{pmatrix} \quad (\text{Eq III.37})$$

$$\mathbf{K}^{-1}\mathbf{Y} = \frac{1}{\mathbf{D}} \begin{pmatrix} \mathbf{E} & \mathbf{F} \\ \mathbf{G} & \mathbf{H} \end{pmatrix} \quad (\text{Eq III.38})$$

$$[\mathbf{Y}] = \frac{1}{\mathbf{D}} \begin{bmatrix} \mathbf{Y}_{11}^i + (\mathbf{Z}_{\text{out}} + \mathbf{Z}_{\text{com}})\Delta\mathbf{Y}^i & \mathbf{Y}_{12}^i - \mathbf{Z}_{\text{com}}\Delta\mathbf{Y}^i \\ \mathbf{Y}_{21}^i - \mathbf{Z}_{\text{com}}\Delta\mathbf{Y}^i & \mathbf{Y}_{22}^i + (\mathbf{Z}_{\text{in}} + \mathbf{Z}_{\text{com}})\Delta\mathbf{Y}^i \end{bmatrix} \quad (\text{Eq III.39})$$

$$\mathbf{D} = 1 + \mathbf{Z}_{\text{in}} \mathbf{Y}_{11}^i + \mathbf{Z}_{\text{out}} \mathbf{Y}_{22}^i + \mathbf{Z}_{\text{com}} \Sigma \mathbf{Y}^i + \Sigma \mathbf{Z}^2 \Delta\mathbf{Y}^i \quad (\text{Eq III.40})$$

$$\Delta\mathbf{Y}^i = \mathbf{Y}_{11}^i \mathbf{Y}_{22}^i - \mathbf{Y}_{12}^i \mathbf{Y}_{21}^i \quad (\text{Eq III.41})$$

$$\Sigma \mathbf{Y}^i = \mathbf{Y}_{11}^i + \mathbf{Y}_{12}^i + \mathbf{Y}_{21}^i + \mathbf{Y}_{22}^i$$

PUBLICATIONS

Publications

- “*Etude de l’auto-échauffement dans les transistors hautes tensions multi-doigts en technologie 250nm et 130nm*”

S. Hniki, G. Bertrand, F. Morancho, S. Ortolland, M. Minondo, B. Rauber, H. Jaouen
Journées Nationales du Réseau Doctoral en Microélectronique (JNRDM),
Mai 2009, Lyon.

- “*New self heating structures for thermal coupling modeling on multi-fingered SOI power devices*”

S. Hniki, G. Bertrand, F. Morancho, S. Ortolland, M. Minondo, B. Rauber, C. Raynaud,
A. Giry, O. Bon, H. Jaouen
International Symposium on Power Semiconductor Devices and ICs (ISPSD),
Juin 2009, Barcelone.

- “*Thermal effects modeling of multi-fingered MOSFETs based on new specific test structures*”

S. Hniki, G. Bertrand, S. Ortolland, M. Minondo, B. Rauber, C. Raynaud, A. Giry, O. Bon,
H. Jaouen, F. Morancho
European Solid-State Device Research Conference (ESSDERC),
Septembre 2009, Athènes.

- “*Multi-fingered LDMOS thermal analysis based on a distributed thermal network*”

S. Hniki, G. Bertrand, A. Canepari, M. Minondo, H. Jaouen, F. Morancho
International Conference on Solid State Devices and Materials (SSDM),
Septembre 2010, Tokyo.

- “*Thermal Effects Modeling and Characterization of NLD MOS on SOI using distributed thermal network*”

S. Hniki, G. Bertrand, A. Canepari, M. Minondo, H. Jaouen, F. Morancho
European Solid-State Device Research Conference (ESSDERC),
Septembre 2010, Seville.

SUMMARY:

In recent decades, power integrated circuits have experienced very significant growth. Today the regulation and distribution of electrical energy are crucial. The reduction of the dimensions and the need for power highlighted the need for efficient structures. Technology "smart power" has been developed to meet these demands. This technology uses high voltage devices, offering new solutions through its unique characteristics at high voltages and currents. The behavior of these devices is accompanied by the appearance of many phenomena. An accurate modeling of these phenomena is needed to replicate its physical behavior.

The objective of this thesis is to improve modeling and to establish a good method of extracting physical parameters related to HV MOS. This thesis has been mainly devoted to modeling the phenomenon of self-heating: development of test structure, modeling of thermal coupling between the sources of transistor, development tool for generating the thermal network.

This thesis also looks at the definition of a method for extracting RF noise in the high-voltage transistor including extrinsic gate resistance and capacity C_{gs} and C_{gd} . Finally, the last part of the thesis presents a brief assessment of compact HiSIM_HV dedicated to HV MOS and compares it with the macro model used by STMicroelectronics.

The results presented in this thesis have been validated by comparison with different measures on SOI technology and solid substrate.

AUTEUR : Saâdia HNIKI

TITRE : Contribution à la modélisation des dispositifs MOS haute tension pour les circuits intégrés de puissance applications ("Smart Power")

DIRECTEUR DE THESE : Frédéric Morancho

LIEU ET DATE DE SOUTENANCE : le 21 Décembre 2010, à Toulouse

RESUME :

Au cours des dernières décennies, les circuits intégrés de puissance ont connu une croissance très importante. Aujourd'hui la régulation et distribution d'énergie électrique jouent un rôle crucial. La réduction constante des dimensions ainsi que le besoin en densité de puissance de plus en plus élevée ont mis en évidence la nécessité de structures toujours plus performantes. La technologie "smart power" a été développée pour satisfaire ces demandes. Cette technologie utilise les dispositifs DMOS, offrant de nouvelles solutions grâce à ses caractéristiques uniques forte tension et fort courant. Le fonctionnement de ces dispositifs est accompagné par l'apparition de nombreux phénomènes. Une bonne modélisation permet de rendre compte de ces phénomènes et prédire le comportement physique du transistor avant sa production.

L'objectif de cette thèse était donc d'améliorer la modélisation et de mettre en place une méthode d'extraction de certains paramètres physiques liés au fonctionnement du MOS HV (High Voltage). Cette thèse a été principalement dédiée à la modélisation du phénomène de l'auto-échauffement et à la définition d'une méthode d'extraction des parasites RF dans les transistors MOS et, enfin, à la comparaison du macro-modèle utilisé par STMicroelectronics avec le modèle compact HiSIM_HV dédié au MOS HV. Pour cela, il était essentiel de mettre en place des nouvelles procédures de modélisation et d'extraction et de dessiner des structures de test spécifiques.

Les résultats présentés dans cette thèse ont été validés par différentes comparaisons avec les mesures en technologies sur SOI et sur substrat massif.

MOTS-CLES :

Modélisation, transistor MOS de puissance, structures de test, auto-échauffement, RF, modèle compact, HiSIM-HV, amplificateur de puissance, réseau thermique.

DISCIPLINE ADMINISTRATIVE :

Génie Electrique, Electronique et Télécommunications

INTITULE ET ADRESSE DE L'U.F.R. OU DU LABORATOIRE :

Université de Toulouse, LAAS-CNRS

7, avenue du Colonel Roche

31077 Toulouse Cedex 4