



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par *l'Université Toulouse III - Paul Sabatier*  
Discipline ou spécialité : *Génie Electrique*

---

Présentée et soutenue par *Van Hai NGUYEN*  
Le 24 Novembre 2010

Titre :

*Etude et caractérisation d'une nouvelle connectique adaptée à l'intégration tridimensionnelle pour l'électronique de puissance*

---

### JURY

*M. Thierry PARRA, Professeur à l'Université Toulouse III, Président du jury*  
*M. François COSTA, Professeur au SATIE, Rapporteur*  
*M. François FOREST, Professeur à l'Université Montpellier II, Rapporteur*  
*M. Michel MERMET-GUYENNET, Docteur-Ingénieur, ALSTOM TRANSPORT, Membre du jury*  
*M. Pierre DUBOUIX, Professeur à l'Université Toulouse III-Paul Sabatier, Membre du jury*  
*M. Philippe CASTELAN, Maître de conférences à l'Université Toulouse III, Directeur de thèse*  
*M. Zoubir KHATIR, Directeur de recherche au CNRS, INRETS, Co-directeur de thèse*

---

**Ecole doctorale :** *Génie Electrique, Electronique, Télécommunications: du système au nano système*

**Unité de recherche :** *Laboratoire Plasma et Conversion d'Energie (UMR 5213)*

**Directeur(s) de Thèse :** *M. Philippe CASTELAN directeur de thèse*

*M. Zoubir KHATIR co-directeur de thèse*

**Rapporteurs :** *MM. François FOREST et François COSTA*

*A ma famille, à mes amis*



## Remerciements

Les travaux présentés dans ce mémoire ont été effectués au sein de l'équipe Matériaux Diélectriques pour la Conversion d'Énergie (MDCE) du Laboratoire Plasma et Conversion d'Énergie (LAPLACE). Ils ont été et sont toujours le fruit d'une collaboration étroite entre le Laboratoire LAPLACE et l'INRETS (Institut National de Recherche sur les Transport et leur Sécurité).

Je voudrais tout d'abord exprimer mes profonds remerciements à Monsieur Philippe Castelan, Directeur de thèse, maître de conférences à l'Université Paul Sabatier, Toulouse III, pour sa disponibilité à toute épreuve, sa rigueur scientifique et ses savoirs faire qui m'ont aidé à réaliser ces travaux. Je lui adresse ma gratitude la plus sincère pour son aide, sa générosité et sa tolérance me permettant de surmonter les moments difficiles dans la vie quotidienne.

Mes sincères remerciements vont également à Monsieur Zoubir Khatir, co-Directeur de thèse, Directeur de recherche au Laboratoire des Nouvelles Technologies de l'INRETS, pour sa forte implication, nos nombreuses discussions fructueuses, et pour m'avoir fait bénéficier des moyens de l'INRETS et de sa compétence pour réaliser les tests de vieillissement.

Je remercie vivement Monsieur Thierry Lebey, Directeur de recherche au CNRS, de m'avoir fait confiance, de m'avoir permis de travailler sur un sujet très intéressant. Je le remercie pour son soutien tout au long de ces trois années qui a été déterminant dans l'aboutissement de ce travail.

J'exprime ma profonde reconnaissance à Monsieur François Costa, Professeur à l'IUFM de Créteil et à Monsieur François Forest, Professeur à l'Université Montpellier II, pour avoir accepté prendre en charge la lecture de mon mémoire et d'en être les rapporteurs. Merci de l'intérêt qu'ils ont porté à mon travail.

Je remercie Monsieur Thierry Parra, Professeur à l'Université Toulouse III-Paul Sabatier, d'avoir accepté de présider le jury de la thèse.

Je m'adresse également mes profonds remerciements à Monsieur Michel Mermet-Guyenet, Directeur du laboratoire PEARL, de m'avoir permis accès aux moyens de la plateforme, de sa gentillesse d'avoir accepté de participer au jury de thèse.

Je remercie Monsieur Pierre Dubouix, Professeur à l'Université Toulouse III-Paul Sabatier, qui nous a fait honneur d'examiner notre travail.

Je tiens à remercier Monsieur Christian Laurent, Directeur du laboratoire LAPLACE et en particulier Monsieur Jean-Pascal Cambronne, responsable du groupe de recherche MDCE et les permanents de l'équipe (Mlles Marie-Laure Locatelli et Céline Combettes, MM. Vincent Bley, David Malec, Sorin Dinculescu, Pierre Bidan, Zarel

Valdez-Nava et Sombel Diahham), de m'avoir accueilli, de leurs encouragements, de leurs soutiens et de l'excellente ambiance de travail générée par les membres de l'équipe.

Je ne peux ici oublier de remercier Monsieur Philippe Lasserre, Ingénieur de recherche au Laboratoire PEARL pour son excellent accueil à Tarbes. Merci pour le temps qu'il m'a consacré, et pour sa contribution à une part importante du travail expérimental de ces travaux.

Un grand merci aux deux « Benoîts » de la plateforme « Caractérisation des Matériaux » du LAPLACE pour leur grande disponibilité, et pour leur expérience. Toute ma gratitude et ma sympathie s'adresse à Monsieur Benoît Schlegel pour son humour et les connaissances qu'il a partagées durant ces trois années. Merci aussi à M. Benoît Lantin pour m'avoir formé à la microscopie à balayage et également pour les mesures effectuées.

Un grand merci à deux électro-chimistes, mes chers Hưng et Ludovic, pour leurs nombreuses discussions, les pauses de cafés et les conférences que nous avons fait ensemble.

Merci à mes compagnons du bureau (Michaël, Fatiha, Rabih, Elyse, Cyrille), à mes amis (Tomer, Mireille, Thomas, Axel, Flavien, Samir, Fabrice, Nadine, Sonia, Mustapha, Bertrand, Mandana, Richard, François...) de votre sympathie et de vos soutiens quotidiens. Je vous exprime toute mon amitié.

Je tiens à remercier les membres du groupe des ingénieurs vietnamiens en génie électrique à Toulouse « AEETLSE » (Anh Đình Quang, anh Doanh, anh Đức, anh Quân, anh Hải sát thủ, bạn Hoàn, bạn Ngoan, Hải Bạc, Tùng, Linh, Quang, Trùng, Dương, Linh, Trung, anh Bình, Dũng, Dương...) d'avoir partagé des moments agréables et de m'avoir aidé à surmonter les moments difficiles.

Je n'oublie pas de remercier Monsieur Bùi Ái, Monsieur Hoàng Phát, Monsieur Hoàng Giám pour leur gentillesse, leurs conseils et de leurs soutiens depuis mon stage de master au LAPLACE.

Un grand merci à mon amie proche Thu Hương de petites histoires de la vie quotidienne qu'elle raconte, de ses encouragements, de ses soutiens.

A douze heures de vol, ma famille me soutient de loin. Leurs sourires sont toujours là dans mon cœur. Merci de m'avoir fait apparaître au monde humain et de m'avoir amené au monde de la science.

## Table des matières

<b>Table des matières .....</b>	<b>7</b>
<b>Table des figures.....</b>	<b>10</b>
<b>Liste des tableaux.....</b>	<b>14</b>
<b>INTRODUCTION GENERALE .....</b>	<b>16</b>
<b>Chapitre 1. La connexion en électronique de puissance : Problématique et État de l’Art.....</b>	<b>19</b>
<b>1.1. Introduction .....</b>	<b>20</b>
<b>1.2. La constitution d’un module de puissance.....</b>	<b>20</b>
<b>1.3. Technologie planaire “<i>wire bonding</i>” .....</b>	<b>21</b>
1.3.1. Connexion par fils de bonding .....	21
1.3.2. Fixation de la puce sur le substrat par brasure.....	23
<b>1.4. Nouvelles architectures, concepts pour l’intégration 3D .....</b>	<b>29</b>
1.4.1. Contact brasé.....	30
1.4.2. Contact avec des pistes électrodéposées.....	32
1.4.3. Contact press pack.....	33
1.4.4. Remarques sur la conception des modules de puissance 3D.....	34
<b>1.5. Interconnexion par enchevêtrement de nano fils conducteurs.....</b>	<b>35</b>
1.5.1. Nano tubes de Carbone : .....	36
1.5.2. Nano fils polymères : .....	38
1.5.3. Nano fils métalliques : .....	39
<b>Chapitre 2. Étude et Réalisation d’une nouvelle connectique par enchevêtrement de nano poteaux. ....</b>	<b>42</b>
<b>2.1. Introduction .....</b>	<b>43</b>
<b>2.2. Dépôt de nano poteaux en bain électrolytique acide : des structures hétérogènes.....</b>	<b>54</b>
2.2.1. Réflexions sur le dépôt des poteaux et solutions envisagées.....	54

2.2.2. Choix du bain électrolytique pour dépôt en milieu acide.....	55
2.2.3. Choix des membranes pour dépôt en milieu acide.....	55
2.2.4. Choix de la température pour dépôt en milieu acide.....	58
2.2.5. Choix de la forme d'onde du courant pour dépôt en milieu acide.....	58
<b>2.3. Morphologies des nano structures obtenues.....</b>	<b>60</b>
2.3.1. Diamètre des poteaux .....	60
2.3.2. Longueur des poteaux .....	62
2.3.3. Formation de bulles lors d'un dépôt électrolytique en courant continu.....	66
2.3.4. Degré d'inhomogénéité .....	68
2.3.5. Influence des paramètres du dépôt.....	70
<b>2.4. Assemblage de structures de nano poteaux hétérogènes. ....</b>	<b>73</b>
2.4.1. Assemblage entre deux structures court et court. ....	73
2.4.2. Assemblage entre deux structures moyennes. ....	74
2.4.3. Assemblage entre deux structures mixtes : moyen et court.....	75
2.4.4. Assemblage entre deux structures longues. ....	76
<b>2.5. Conclusion.....</b>	<b>78</b>
<b>Chapitre 3. Mise en œuvre de la technologie nano scratch. Application à des composants de puissance.....</b>	<b>80</b>
<b>3.1. Introduction .....</b>	<b>82</b>
<b>3.2. Layout des composants de puissance IGBTs utilisés .....</b>	<b>82</b>
<b>3.3. Système de pression .....</b>	<b>84</b>
3.3.1. La presse Specac .....	84
3.3.2. Choix méthode de pressage .....	85
3.3.3. Améliorations du système de pressage.....	87
3.3.4. Évaluation de l'homogénéité du champ de pression.....	89
<b>3.4. Caractérisation électrique des IGBTs.....</b>	<b>92</b>
3.4.1. Dispositif expérimental utilisé pour les mesures électriques.....	93
3.4.2. Pression maximale admissible .....	96
3.4.3. Autres contrôles de l'intégrité de la puce .....	100
<b>3.5. Assemblage d'un IGBT à un substrat DBC par nano scratch .....</b>	<b>101</b>
3.5.1. Dépôt en face arrière d'une puce. ....	101
3.5.2. Assemblage d'une puce sur un substrat DBC.....	107
<b>3.6. Caractérisation mécanique des assemblages nano scratch.....</b>	<b>109</b>
3.6.1. Principe des tests de cisaillement et de traction.....	111
3.6.2. Étude de la tenue mécanique en cisaillement des assemblages pour différentes longueurs de nano-poteaux .....	113

---

3.6.3. Influence de la pression d'assemblage sur la force de cisaillement provoquant rupture des assemblages. ....	121
3.6.4. Étude de la tenue mécanique en cisaillement des assemblages en température. .	122
3.6.5. Tenue mécanique en traction des assemblages.....	124
<b>3.7. Caractérisation de la performance électrique de la liaison .....</b>	<b>125</b>
3.7.1. Assemblage entre les morceaux de cuivre.....	126
3.7.2. Assemblage entre les morceaux Cu et un DBC alumine.....	132
<b>3.8. Caractérisation thermomécanique (cyclage passif).....</b>	<b>133</b>
3.8.1. Profil de température .....	134
3.8.2. Résultat de test cyclage passif.....	135
<b>3.9. Dépôt de nano scratches en face avant de composants actifs. ....</b>	<b>142</b>
3.9.1. Photolithographie .....	143
3.9.2. Découpe de la membrane .....	145
3.9.3. Test de solution de protection.....	146
3.9.4. Processus de dépôt sur la face avant de la puce IGBT.....	147
3.9.5. Optimisation du procédé :.....	150
<b>3.10.Conclusion .....</b>	<b>158</b>
<b>CONCLUSION GENERALE.....</b>	<b>159</b>
<b>Références bibliographiques personnelles .....</b>	<b>161</b>
<b>Références bibliographiques .....</b>	<b>162</b>
<b>Annexes .....</b>	<b>170</b>
Annexe 1. Traitement d'image avec le logiciel Image J.....	170
Annexe 2. Préparation des substrats .....	171
Annexe 3. Program de pilotage du Keithley 2612 A « pulse I mesure V ».....	173

## Table des figures

<b>Figure 1.1</b> : module d'électronique de puissance standard avec la semelle <sup>[INRETS]</sup> .....	21
<b>Figure 1.2</b> : vue en 3D d'un module planaire 3,3 kV, 1200 A <sup>[CAS 07]</sup> , cité par E.Vagnon 2009 <sup>[VAG 08]</sup> .....	21
<b>Figure 1.3</b> : fils de <i>bonding</i> fixé par <i>wedge bonding</i> (a) et <i>ball bonding</i> (b) sur les métallisations des composants actifs <sup>[RAME]</sup> .....	22
<b>Figure 1.4</b> : processus de fabrication d'un substrat céramique en Al <sub>2</sub> O <sub>3</sub> (a), en AlN (b) métallisé cuivre <sup>[SCHU 06]</sup> .....	23
<b>Figure 1.5</b> : substrat DCB avec des <i>dimples</i> : vue de dessus (a) et vue en coupe (b) <sup>[SCHU 03]</sup> .....	24
<b>Figure 1.6</b> : exemple de profil de refusion d'un alliage 92,5Pb/5Sn/2,5Ag – Brasure puce/DBC (Alstom Pearl). .....	26
<b>Figure 1.7</b> : croissance de “Zinc whisker” <sup>[BRU 04]</sup> .....	27
<b>Figure 1.8</b> : assemblage par TLPB <sup>[IME 07]</sup> .....	29
<b>Figure 1.9</b> : assemblage par LJTT <sup>[DUP 06]</sup> .....	29
<b>Figure 1.10</b> : technologie <i>direct solder interconnection</i> <sup>[BAI 04]</sup> .....	30
<b>Figure 1.11</b> : structure de module <i>Metal Posts Interconnected Parallel Plate Structure (MPIPPS)</i> <sup>[XIA 09]</sup> .....	30
<b>Figure 1.12</b> : <i>Dimple array solder joint technique</i> <sup>[WEN 01]</sup> .....	30
<b>Figure 1.13</b> : technologie <i>Solder Bump</i> (Alstom-Pearl) <sup>[CAS 09]</sup> .....	31
<b>Figure 1.14</b> : fissure typique des joints de brasures dans les technologies : .....	31
<b>Figure 1.15</b> : module de puissance IPEM ( <i>Integrated Power Electronics Module</i> ) utilisant .....	32
<b>Figure 1.16</b> : module de puissance utilisant la technologie <i>Power Overlay</i> <sup>[LUI 01]</sup> .....	33
<b>Figure 1.17</b> : boîtier press pack (photographie ABB) <sup>[MEN 08]</sup> .....	33
<b>Figure 1.18</b> : cellule de commutation technologie Press Pack <i>G2Elab</i> <sup>[VAG 08]</sup> .....	34
<b>Figure 1.19</b> : schéma présentant assemblage des nano crosses, déterminant la distance, la direction de la force d'ouverture Fo, force de fermeture Fc ; images de (7,0) nano crosses (hooks) pendant l'ouverture et fermeture de l'assemblage en fonction de la distance x. La zone en couleur grise est l'hystérésis, représente l'énergie dissipée durant le cycle d'ouverture et de fermeture <sup>[BER 03]</sup> .....	36
<b>Figure 1.20</b> : assemblage nano scratch par nano tube de carbone <sup>[YUN 09]</sup> .....	37
<b>Figure 1.21</b> : les formes spéciales des nano tubes de carbone favorisant l'accrochage nano velcro <sup>[BER 03, LAU 05, JIN]</sup> .....	38
<b>Figure 1.22</b> : assemblage «nano scratch » avec les nano fils en polymère alignés <sup>[BAS 05]</sup> .....	39
<b>Figure 1.23</b> : assemblage «nano scratch » avec les nano fils en or non alignés <sup>[ASC 06]</sup> .....	40
<b>Figure 2.1</b> : assemblage « nano scratch » .....	43
<b>Figure 2.2</b> : profil du courant pulsé .....	45
<b>Figure 2.3</b> : principe de l'électrodéposition des nano fils en cuivre, P. L. Taberna <sup>[TAB 06]</sup> .....	45
<b>Figure 2.4</b> : nano structure ordonnée avec une longueur de poteaux (2-3 μm) <sup>[LUAN 010]</sup> : .....	46
<b>Figure 2.5</b> : micrographes de nano poteaux en cuivre : (a) nano poteaux “moyens” (10-15 μm), (b) nano poteaux “longs” (quelques dizaines de μm) <sup>[LUAN 08]</sup> .....	47
<b>Figure 2.6</b> : vue d'un assemblage non réussie de nano poteaux (15 μm) .....	47
<b>Figure 2.7</b> : vue de nano structures longues (60μm) <sup>[LUAN 010]</sup> .....	48
<b>Figure 2.8</b> : assemblage des nano poteaux conique <sup>[LUAN 08]</sup> .....	49
<b>Figure 2.9</b> : dépôt avec une membrane bouchée par des molécules complexes .....	50

<b>Figure 2.10</b> : nano poteaux en or électro déposés. bouchage des pores par des microbilles en polystyrène <sup>[BAN 08]</sup> .....	50
<b>Figure 2.11</b> : nano poteaux en cuivre fabriqués avec une membrane en polycarbonate <sup>[LUAN 010]</sup> .....	51
<b>Figure 2.12</b> : principe de procédé de fabrication directe des nano fils en cuivre sur Si <sup>[LUAN 010]</sup> .....	52
<b>Figure 2.13</b> : image MEB de la fabrication de la membrane sur le support Silicium par anodisation : (a) vue en tranche, (b) vue en surface <sup>[LUAN 010]</sup> .....	52
<b>Figure 2.14</b> : micrographie d'une membrane AAO ayant 200 nm de diamètre de pore : (a) face avant, (b) face arrière .....	56
<b>Figure 2.15</b> : nano fils obtenus avec la membrane 100 nm .....	56
<b>Figure 2.16</b> : micrographie de la structure des pores à l'intérieur d'une membrane 200 nm. ....	57
<b>Figure 2.17</b> : micrographie de la structure des pores des membranes 100 nm .....	57
<b>Figure 2.18</b> : exemple de dépôt avec une forte densité de courant.....	59
<b>Figure 2.19</b> : exemple de dépôt avec un courant continu ayant une densité $J = 6,66 \text{ mA/cm}^2$ .....	59
<b>Figure 2.20</b> : vue des dépôts courts : (a) vue de haut d'une nano structure court, (b) vue de côté d'une nano structure courte.....	61
<b>Figure 2.21</b> : mesure du diamètre des nano poteaux .....	62
<b>Figure 2.22</b> : mesure de la longueur des nano fils.....	63
<b>Figure 2.23</b> : hauteur maximale moyenne en fonction de la durée de dépôts .....	64
<b>Figure 2.24</b> : formation de la semelle en cuivre .....	65
<b>Figure 2.25</b> : clairières dues à la formation de grosses bulles d'hydrogène .....	67
<b>Figure 2.26</b> : les nano bulles induisent une dispersion de la longueur des nano fils électrodéposés : (a) vue de loin, (b) vue de près.....	68
<b>Figure 2.27</b> : degré d'inhomogénéité des nano structures obtenues.....	69
<b>Figure 2.28</b> : comparaison de la morphologie des nano structures obtenues dans différents bains électrolytique basique et acide .....	70
<b>Figure 2.29</b> : la dépendance de l'efficacité du courant moyen pour la réaction d'émission de l'hydrogène ( $\text{H}_2$ ) de la quantité de charge utilisée via l'électrodéposition de cuivre dans l'électrolyte contenant cuivre sulfate 0,15 molaire avec l'acide sulfurique 0,5 molaire à différentes températures et différents surpotentiels de 650 mV et de 800 mV <sup>[NIK 07]</sup> .....	71
<b>Figure 2.30</b> : comparaison de la morphologie des nano structures obtenues à différente température de dépôt : 72	
<b>Figure 2.31</b> : comparaison de la morphologie des nano structures obtenues à différente courant électrolytique: 72	
<b>Figure 2.32</b> : assemblage de deux nano structures courtes : (a) vue d'une structure courte (2-3 $\mu\text{m}$ ), (b) assemblage entre deux structures courtes.....	74
<b>Figure 2.33</b> : vue d'une structure de nano poteaux moyens .....	74
<b>Figure 2.34</b> : assemblage entre deux nano structures moyennes : (a) configuration de l'échantillon, (b) assemblage au lieu 1, (c) assemblage au centre de l'échantillon lieu 2, (d) vue éloignée de l'assemblage. ....	75
<b>Figure 2.35</b> : assemblage mixte entre des nano structures moyenne et courte .....	76
<b>Figure 2.36</b> : vue des nano poteaux longs formant des paquets. ....	76
<b>Figure 2.37</b> : vue de nano poteaux très longs .....	77
<b>Figure 2.38</b> : formation des cristallites de cuivre .....	77
<b>Figure 3.1</b> : transistor bipolaire à grille isolée (IGBT) : (a) schéma électrique équivalent simplifié <sup>[BOY 08]</sup> , (b) structure de l'IGBT de type NPT (non punch-through) <sup>[COR]</sup> .....	82
<b>Figure 3.2</b> : micrographie de la métallisation creusée dans la passivation de la puce IGBT.....	83
<b>Figure 3.3</b> : micrographie des anneaux de garde d'un IGBT Infineon 1700V.....	84
<b>Figure 3.4</b> : assemblage d'une puce sur un substrat .....	86

<b>Figure 3.5</b> : dispositif de pressage : (a) rotule montée sur la mâchoire supérieure, (b) mâchoire inférieure instrumentée de la presse. ....	87
<b>Figure 3.6</b> : système de pressage complet : presse munie des mâchoires .....	88
<b>Figure 3.7</b> : vue d'un film Pacopad après pressage .....	88
<b>Figure 3.8</b> : amélioration du système de pressage avec un guidage .....	89
<b>Figure 3.9</b> : structure du Film Fuji Prescale HS / exemple d'une mesure. ....	90
<b>Figure 3.10</b> : cartographie de pression pour du film prescale HS .....	90
<b>Figure 3.11</b> : répartition de la pression en face avant (a) et arrière (b) d'une puce <sup>[LUAN 010]</sup> .....	91
<b>Figure 3.12</b> : dispositif de répartition de la pression complet : image de la force appliquée en face avant (a) et en face arrière (b). ....	91
<b>Figure 3.13</b> : modèle dynamique d'une puce IGBT. ....	93
<b>Figure 3.14</b> : mesure de la capacité de la couche d'oxyde de grille. ....	94
<b>Figure 3.15</b> : principe de mesure $I_{ce}$ en fonction de $V_{ce}$ de l'IGBT. ....	95
<b>Figure 3.16</b> : mesure du courant de fuite $I_f = f(V_{ce}, V_{ge} = 0)$ . ....	96
<b>Figure 3.17</b> : capacité Ciss d'une puce IGBT vierge. ....	96
<b>Figure 3.18</b> : $C_{ISS}$ en fonction de $V_{ge}$ d'IGBTs ayant été pressés. ....	97
<b>Figure 3.19</b> : assemblage IGBT/DBC par brasure pour des tests électriques. ....	97
<b>Figure 3.20</b> : mesure $I_{ce} = f(V_{ce}, V_{ge} = 15 \text{ V})$ des IGBTs pour différentes pressions .....	98
<b>Figure 3.21</b> : courant de fuite $I_{fce} = f(V_{ce}, V_{ge} = 0 \text{ V})$ des IGBT pressés à différentes pressions .....	98
<b>Figure 3.22</b> : caractérisation en statique des puces IGBTs pressées dans la plage .....	99
<b>Figure 3.23</b> : courant de fuite $I_{fce} = f(V_{ce}, V_{ge} = 0 \text{ V})$ des IGBTs pressés dans la plage .....	99
<b>Figure 3.24</b> : anneaux de garde des puces après des traitements (dépôt électrolytique et pressage à froid) : (a) au bord, (b) au coin de la puce. ....	100
<b>Figure 3.25</b> : déformation plastique de la métallisation en aluminium des puces IGBTs sous l'effet de la pression : (a) vue de loin, (b) vue de près. ....	100
<b>Figure 3.26</b> : la tournette utilisée. ....	104
<b>Figure 3.27</b> : dépôt de la résine sur la face avant de la puce : puce nue (à gauche) et puce avec la résine AZ5214E (à droite) .....	104
<b>Figure 3.28</b> : dépôt sur la face arrière de la puce .....	106
<b>Figure 3.29</b> : vue d'un dépôt sur la face arrière d'une puce. ....	107
<b>Figure 3.30</b> : assemblage face arrière d'un IGBT sur un DBC. ....	108
<b>Figure 3.31</b> : mesure $I = f(V_{ce}, V_{ge} = 15 \text{ V})$ sur des assemblages IGBT/DBC par brasure et par nano scratch. ....	108
<b>Figure 3.32</b> : mesure du courant de fuite $I = f(V_{ce}, V_{ge} = 0 \text{ V})$ sur des assemblages par brasure et par nano scratch. ....	108
<b>Figure 3.33</b> : défaillance au niveau des fils de <i>bonding</i> : (a) fissure sous pied des fils de <i>bonding</i> <sup>[RAM]</sup> , (b) décollement d'un fil de <i>bonding</i> après cyclage thermique <sup>[SMET 08]</sup> .....	110
<b>Figure 3.34</b> : influence de la présence d'une couche de protection en polyimide <sup>[CIA 00]</sup> .....	110
<b>Figure 3.35</b> : fissure de la brasure puce/substrat sous effet des cycles thermiques <sup>[HANS 07]</sup> .....	111
<b>Figure 3.36</b> : principe de test de cisaillement .....	112
<b>Figure 3.37</b> : principe de test de traction .....	112
<b>Figure 3.38</b> : comportement mécanique des assemblages : (a) Si 45 x DBC 45, (b) Si 60 x DBC 60. ....	113
<b>Figure 3.39</b> : comportement mécanique des assemblages : (a) (Si 15/DBC 15), (b) (Si 15/DBC 60) .....	114
<b>Figure 3.40</b> : comportement des assemblages : (a) (IGBT 30/DBC 30), (b) (IGBT 45/ DBC 15). ....	116
<b>Figure 3.41</b> : comparaison entre la tenue mécanique d'un scratch et celle d'une brasure. ....	116

<b>Figure 3.42</b> : vue d'un DBC (a) et d'un morceau de silicium (b) après l'arrachage. ....	117
<b>Figure 3.43</b> : nano poteaux : (a) avant pressage, (b) après pressage .....	117
<b>Figure 3.44</b> : des grains sont visibles dans les zones noires (figure 3.42) et nulle part ailleurs dans les nano structures après arrachage .....	118
<b>Figure 3.45</b> : troncs des nano poteaux sur un morceau de silicium arraché .....	118
<b>Figure 3.46</b> : zone pressée par la couche massive en cuivre du morceau Silicium .....	119
<b>Figure 3.47</b> : micrographe d'une structure moyenne après arrachage.....	119
<b>Figure 3.48</b> : micrographe des nano structures d'une liaison "long/court" après arrachage : (a) une structure "long" sur un DBC, (b) une structure "court" sur un morceau de Si.....	120
<b>Figure 3.49</b> : nano poteaux "moyen" avant assemblage .....	120
<b>Figure 3.50</b> : nano structures après l'arrachage : (a) sur DBC 30, (b) sur IGBT 30 .....	121
<b>Figure 3.51</b> : comportement des assemblages "moyen"/"moyen" assemblés avec une force de 20 KN.....	121
<b>Figure 3.52</b> : résistance au cisaillement des assemblages nano scratch en fonction de la température.....	123
<b>Figure 3.53</b> : rupture en cisaillement des assemblages .....	123
<b>Figure 3.54</b> : rupture en cisaillement des assemblages à 100°C.....	123
<b>Figure 3.55</b> : rupture en cisaillement des assemblages à 80°C.....	123
<b>Figure 3.56</b> : tenue mécanique en traction des assemblages nano scratch .....	124
<b>Figure 3.57</b> : principe de la mesure de la résistivité des colles <sup>[SU 06]</sup> .....	125
<b>Figure 3.58</b> : prototype pour la mesure de résistivité des nano poudre d'argent frittées <sup>[BAI 07]</sup> .....	125
<b>Figure 3.59</b> : deux types d'assemblage entre les morceaux de cuivre par brasure et nano scratch (prototype 1).....	126
<b>Figure 3.60</b> : assemblage entre morceau de cuivre par nano scratch (a) morceaux de cuivre avant assemblage (b) assemblage Cu/Cu par nano scratch (prototype 1). .....	127
<b>Figure 3.61</b> : micrographe de l'interface nano scratch en fonction de la pression moyenne appliquée. ....	128
<b>Figure 3.62</b> : principe de mesure de la résistance de contact .....	129
<b>Figure 3.63</b> : mesure diagonale. ....	130
<b>Figure 3.64</b> : mesure en perpendiculaire: les points mis au bord (a) et au milieu (b) .....	130
<b>Figure 3.65</b> : structure des échantillons modifiés (prototype 2). ....	130
<b>Figure 3.66</b> : mesure 4 points sur la tranche d'un assemblage des morceaux de cuivre épais (prototype 3) .....	131
<b>Figure 3.67</b> : résistance de contact de l'assemblage nano scratch en fonction de la pression.....	131
<b>Figure 3.68</b> : mesure 4 points sur les assemblages entre des morceaux de cuivre avec un substrat alumine par brasure et nano scratch : (a) lieu 1, (b) lieu 2. ....	132
<b>Figure 3.69</b> : variations thermiques imposées à un dispositif électronique embarqué <sup>[BOU 08]</sup> .....	133
<b>Figure 3.70</b> : profil de température des cycles (-50/140°C).....	135
<b>Figure 3.71</b> : profil de température des cycles (-50°C/150°C).....	135
<b>Figure 3.72</b> : comportement des DBC lors de la mise en compression : (a) assemblage Cu/DBC et (b) assemblage IGBT/DBC.....	137
<b>Figure 3.73</b> : caractérisation électrique de l'assemblage IGBT/DBC référence IGBT/DBC NS 13 n°1 : (a) capacité Ciss, (b) courant de fuite, (c) mesure V(I) .....	138
<b>Figure 3.74</b> : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 54 n°1 : (a) capacité Ciss, (b) courant de fuite, (c) mesure V(I) .....	138
<b>Figure 3.75</b> : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 13 n°2 : (a) capacité Ciss, (b) courant de fuite, (c) mesure V(I) .....	139
<b>Figure 3.76</b> : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 80 n°1 : (a) mesure Ciss, (b) courant de fuite, (c) mesure I(V).....	139

<b>Figure 3.77</b> : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 26 n°1 : (a) mesure Ciss, (b) courant de fuite, (c) mesure I(V).....	140
<b>Figure 3.78</b> : caractérisations électriques de l'assemblage référence IGBT/DBC BR n°2 : (a) mesure Ciss, (b) courant de fuite, (c) mesure V(I).....	140
<b>Figure 3.79</b> : caractérisations électriques de l'assemblage référence IGBT/DBC NS 80 n°2 : (a) mesure C <sub>iss</sub> , (b) courant de fuite, (c) mesure V(I).....	141
<b>Figure 3.80</b> : caractérisations électriques de l'assemblage référence IGBT/DBC NS 54 n°2 : (a) mesure Ciss, (b) courant de fuite, (c) mesure V(I).....	141
<b>Figure 3.81</b> : découpe d'une membrane à l'acide. ....	145
<b>Figure 3.82</b> : micrographe d'une nano structures déposée en face arrière d'un IGBT avec une découpe carrée d'une membrane AAO .....	146
<b>Figure 3.83</b> : dépôt en face arrière avec protection par 3 films PM275 : (a) après dépôt électrolytique, (b) après dissolution de la membrane AAO. ....	147
<b>Figure 3.84</b> : étapes de préparation d'un échantillon pour dépôt électrolytique sur ses deux faces.....	148
<b>Figure 3.85</b> : échantillon préparé pour le dépôt face avant et face arrière : (a) face avant, (b) face arrière.....	148
<b>Figure 3.86</b> : les étapes du dépôt électrolytique de nano poteaux sur les deux faces d'un composant.....	150
Figure 3.87 : montage de dépôt électrolytique des métallisations épaisses.....	151
<b>Figure 3.88</b> : puce avec métallisations épaisses (grille, émetteurs) sur lesquelles sont déposés des nano poteaux. ....	152
<b>Figure 3.89</b> : profil de la nouvelle métallisation de l'IGBT par rapport au niveau de la surface de la passivation. ....	152
<b>Figure 3.90</b> : nano poteaux déposés sur la métallisation épaisse. ....	152
<b>Figure 3.91</b> : mesure du profil de surface des métallisations électrodéposées par rapport au niveau de la surface du film sec PM275. ....	153
<b>Figure 3.92</b> : profils de la surface des plots de cuivre électrodéposés : .....	155
<b>Figure 3.93</b> : face avant de la puce obtenue après des traitements.....	156
<b>Figure 3.94</b> : 4 émetteurs électrodéposés muni des nano poteaux .....	156
Figure 3.95 : plot de cuivre électrodéposé sur la grille .....	156
<b>Figure 3.96</b> : nano poteaux électrodéposés sur un plot de cuivre.....	157
<b>Figure 3.97</b> : image de la face arrière après le dépôt électrolytique.....	157

## Liste des tableaux

<b>Tableau 1.1</b> : caractéristiques physiques des céramiques utilisés dans la réalisation des modules de puissance <sup>[LEP 03, DAG 05, KYOC 05, BOU 08]</sup> .....	25
<b>Tableau 1.2</b> : Quelques alliages sans plomb et leurs caractéristiques <sup>[POU, AND 05, GUE 02, CHEN 07]</sup> .....	28
<b>Tableau 1.3</b> : assemblages « nano scratch » en polyimide et NTCs <sup>[LUAN 010]</sup> .....	40
<b>Tableau 2.1</b> : Composition du bain électrolytique <sup>[LUAN 010]</sup> .....	44
<b>Tableau 2.2</b> : Comparatif des caractéristiques entre une membrane alumine et une en polycarbonate .....	51
<b>Tableau 2.3</b> : Composition du bain électrolytique acide : .....	55
<b>Tableau 3.1</b> : Caractérisation des puces IGBT.....	83
<b>Tableau 3.2</b> : différentes type du film Prescale.....	89
<b>Tableau 3.3</b> : paramètre du procédé de dépôt de la résine AZ 5214E.....	104

---

<b>Tableau 3.4 :</b> tenue des matériaux dans l'environnement chimique du procédé de dépôt des nano poteaux.....	105
<b>Tableau 3.5:</b> récapitulatif des différents types d'échantillons utilisés : .....	113
<b>Tableau 3.6 :</b> récapitulatif des tests effectués .....	122
<b>Tableau 3.7 :</b> épaisseur de l'assemblage nano scratch en fonction de la pression appliquée :.....	127
<b>Tableau 3.8 :</b> résultat des mesures de la résistance de contact sur les scratches :.....	129
<b>Tableau 3.9 :</b> valeur de la résistance en fonction du positionnement des pointes (prototype 2). .....	131
<b>Tableau 3.10 :</b> résistance de contact des assemblages Cu massif / DBC alumine. ....	132
<b>Tableau 3.11:</b> comparatif de la résistance de contact en $\Omega$ (4 pointes) de différentes technologies : .....	132
<b>Tableau 3.12:</b> tableau de synthèse des échantillons .....	134
<b>Tableau 3.13 :</b> paramètres du procédé de la mise en œuvre de la résine AZ5214E pour l'électrodéposition d'une couche de métallisation épaisse.....	144
<b>Tableau 3.14 :</b> mise en œuvre du film PM275 : .....	145

## INTRODUCTION GENERALE

L'électronique de puissance d'aujourd'hui s'inscrit dans un contexte environnemental où l'économie d'énergie est au centre des préoccupations. L'électronique, de plus en plus souvent embarquée, est confrontée à une demande pressante de réduction du volume, du poids et du coût des convertisseurs tout en maintenant un niveau de fiabilité élevé. Ces contraintes imposent des améliorations profondes de la structure des modules de puissance.

Actuellement, l'intégration planaire 2D basée sur des connexions via des fils de *bonding* en face avant et l'assemblage des composants avec des substrats par brasure, atteint ses limites. Avec l'augmentation des fréquences l'inductance parasite induite par ce design est responsable de perturbations électromagnétiques dans la maille de commutation qui ne sont plus négligeables. Par ailleurs, l'augmentation des contraintes environnementales –à proximité du convertisseur avec les actionneurs par exemple– mais aussi l'augmentation des fréquences augmentent la température globale des systèmes. Le transfert de la chaleur doit donc être aussi efficace que possible, or la géométrie planaire n'offre qu'une direction pour évacuer celle-ci ce qui conduit, entre autre, à l'existence de problèmes thermomécaniques au niveau des brasures.

L'intégration 3D permet d'améliorer simultanément les performances électriques (réduction des inductances et résistances parasites) et les performances thermiques (en autorisant un refroidissement double face).

Dans ce contexte de passage d'une structure bidimensionnelle vers une structure tridimensionnelle les technologies d'assemblage et d'interconnexion jouent un rôle fondamental. Les technologies d'interconnexion 3D actuelles utilisent des cales (*dimples, bumps, posts*), ou bien des métallisations épaisses pour remplacer les fils de *bonding* en face avant. Les méthodes d'assemblage des interfaces sont la brasure, LTJT (*Low Temperature Joining Technique*) et TLPB (*Transient Liquid Phase Bonding*) ou tout simplement en assurant un maintien mécanique par mise en compression (*Press Pack*). Cependant, ces technologies présentent certains inconvénients : procédé de mise en œuvre complexe, coûteux, limitations intrinsèques de la méthode d'assemblage et une fiabilité restant encore à démontrer dans une majorité de cas, notamment si les contraintes sont sévères.

Dans le cadre de cette étude, nous proposons une solution d'assemblage innovante à base d'enchevêtrement de nano poteaux de cuivre élaborés par voie électrolytique. Le principe réside en une structure constituée de deux surfaces métalliques sur lesquelles sont électro-déposées des nano poteaux de cuivre. L'assemblage des composants se réalise par compression à froid jusqu'à interpénétration et enchevêtrement des nano poteaux créant ainsi une liaison électrique, thermique et mécanique.

Cette méthode d'assemblage semble être un candidat potentiel pour répondre aux problématiques soulevées ci-dessus. Ainsi, elle devrait permettre d'imaginer des structures de *packaging 3D* compactes ayant d'assez bonnes performances électriques, thermiques et thermomécaniques.

La principale contribution de ce travail consiste en l'étude et l'amélioration du procédé de fabrication de cette connectique et en sa caractérisation en vue d'une application dans une nouvelle structure de *packaging* tridimensionnelle pour l'électronique de puissance. En conséquence, l'organisation de ce document sera la suivante :

Après un bref rappel de la problématique, le premier chapitre présente succinctement un état de l'art des technologies d'interconnexion existantes. À chaque fois, les atouts et les faiblesses des solutions présentées sont mis en avant tant du point de vue électrique et thermique que thermomécanique. La dernière partie de ce chapitre présente rapidement l'intérêt de la solution *nano scratch* et un bref aperçu de son développement technologique actuel pour trois types de matériaux : des nano fils polymère, des nano tubes de carbone et des nano fils métalliques.

Le deuxième chapitre, présente la solution d'interconnexion à base de nano fils de cuivre. L'étude, dans une première phase, porte sur l'optimisation du dépôt de nano fils en fonction de l'objectif recherché, ainsi, l'homogénéité et la densité des dépôts sont deux des paramètres les plus étudiés. Enfin l'étude porte sur la protection des composants pour qu'ils n'aient pas à souffrir de la mise en œuvre du procédé de dépôt.

Le dernier chapitre, présente la mise en œuvre de cette technologie avec des composants de puissance. Après avoir qualifié et amélioré les performances du système de mise en pression pour l'assemblage, le comportement électrique des composants de puissance ayant subi des opérations de pressage est étudié afin de valider et d'optimiser le procédé. Des assemblages

entre la face arrière d'un IGBT et un DBC sont ensuite réalisés et testés électriquement et mécaniquement. Les résultats de ces caractérisations ont été utilisés pour optimiser les conditions de dépôt dans une démarche itérative. Enfin, un début d'étude du comportement de la connexion en cyclage thermique est rapidement présenté.

Dans ce même chapitre, une technique permettant le dépôt en face avant des composants est présentée permettant d'envisager une nouvelle structure de *packaging 3D* constitué d'un assemblage double face DBC/IGBT/DBC par nano scratch de fils de cuivre.

Enfin, une brève conclusion et la présentation de quelques perspectives raisonnablement envisageables –simplification des technologies press pack par exemple– clôt ce document.

# Chapitre 1. La connexion en électronique de puissance : Problématique et État de l'Art.

## Table des matières

<b>Chapitre 1. La connexion en électronique de puissance : Problématique et État de l'Art.....</b>	<b>19</b>
<b>1.1. Introduction .....</b>	<b>20</b>
<b>1.2. La constitution d'un module de puissance.....</b>	<b>20</b>
<b>1.3. Technologie planaire “<i>wire bonding</i>” .....</b>	<b>21</b>
1.3.1. Connexion par fils de bonding.....	21
1.3.2. Fixation de la puce sur le substrat par brasure.....	23
1.3.2.1. <i>Les substrats isolants</i> .....	23
1.3.2.2. <i>Les brasures et les technologies alternatives</i> .....	25
<b>1.4. Nouvelles architectures, concepts pour l'intégration 3D .....</b>	<b>29</b>
1.4.1. Contact brasé.....	30
1.4.2. Contact avec des pistes électrodéposées.....	32
1.4.3. Contact press pack.....	33
1.4.4. Remarques sur la conception des modules de puissance 3D.....	34
<b>1.5. Interconnexion par enchevêtrement de nano fils conducteurs.....</b>	<b>35</b>
1.5.1. Nano tubes de Carbone :.....	36
1.5.2. Nano fils polymères : .....	38
1.5.3. Nano fils métalliques :.....	39

## 1.1. Introduction

L'électronique de puissance est actuellement soumise à une demande pressante de réduction des coûts et d'augmentation des performances des convertisseurs. Pour pouvoir répondre à ces demandes, il faut des améliorations profondes dans la conception des structures des modules et dans la technologie de fabrication. L'intégration tridimensionnelle est une voie prometteuse qui permet d'améliorer simultanément les performances électriques (par exemple, la réduction des inductances et résistances parasites) et les performances thermiques (par exemple en permettant d'envisager un refroidissement double face).

Après avoir décrit brièvement la structure d'un module de puissance standard, il sera présenté les problématiques actuelles des structures de *packaging* planaire (bidimensionnelles) suivit d'un état de l'art des solutions d'interconnexion 3D en faisant ressortir les points de blocage actuels de ces technologies.

Ainsi, il sera montré que pour la conception d'une structure tridimensionnelle, les technologies d'assemblage et d'interconnexion jouent un rôle fondamental. Ceci explique la recrudescence actuelle des recherches sur les technologies d'interconnexion à base de nano fils qu'ils soient en polymère, en nano tubes de carbones ou en métal. La fin de ce chapitre présente un bref aperçu du développement actuel de ces technologies.

## 1.2. La constitution d'un module de puissance

Actuellement la conversion de l'énergie électrique d'une forme à une autre s'effectue quasi exclusivement avec des convertisseurs statiques intégrés à base de transistors MOS (*Métal Oxyde Semi-conducteur*) ou d'IGBT (*Insulated Gate Bipolar Transistor*) et de diodes.

Chaque fabricant utilise ses propres méthodes pour concevoir et réaliser la structure interne des modules de conversion. Néanmoins, un embryon de standardisation de la conception des modules de puissance existe déjà. La figure 1.1 présente les différents éléments d'une structure standard planaire (toutes les puces sont coplanaires) qui est la plus fréquente dans ce domaine. D'autres architectures existent et seront abordées en détail ultérieurement.

Cette structure (fig 1.1) est constituée d'un empilement de différents matériaux. Le premier niveau est constitué des puces généralement à base de silicium (Si) qui est la partie active du module. Dans ces structures planes, l'interconnexion des puces avec le circuit électrique externe est réalisé à l'aide de fils de *bonding* par la face supérieure (face avant) et à l'aide de

brasures sur le substrat isolant métallisé par la face inférieure (ou face arrière). Ce substrat céramique métallisé est généralement en  $Al_2O_3$  ou  $AlN$ . La céramique supporte des pistes conductrices reliant les puces entre elles. Elle assure à la fois une isolation électrique entre les puces et les supports sur lesquels le module est fixé et une évacuation de la chaleur dissipée par les puces vers un système refroidisseur (en général une semelle plus un radiateur à ailettes). L'ensemble est encapsulé dans un gel de silice et puis protégé par un boîtier en plastique.

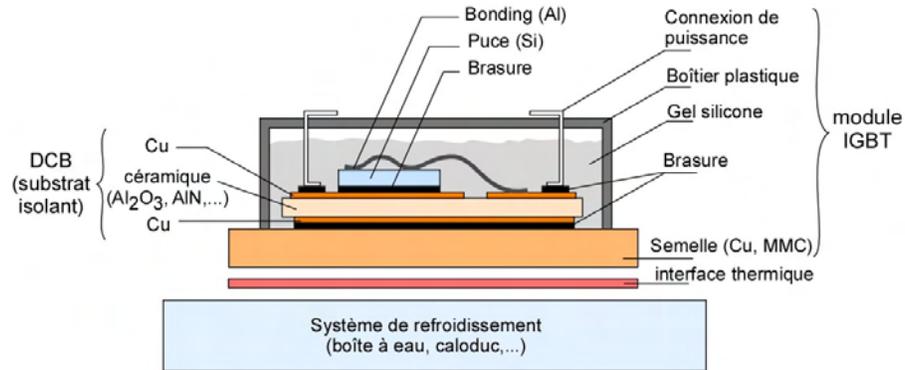


Figure 1.1 : module d'électronique de puissance standard avec la semelle <sup>[INRETS]</sup>

### 1.3. Technologie planaire “*wire bonding*”

Cette technologie de connexion actuellement la plus utilisée en électronique de puissance est schématisée ci-dessous :

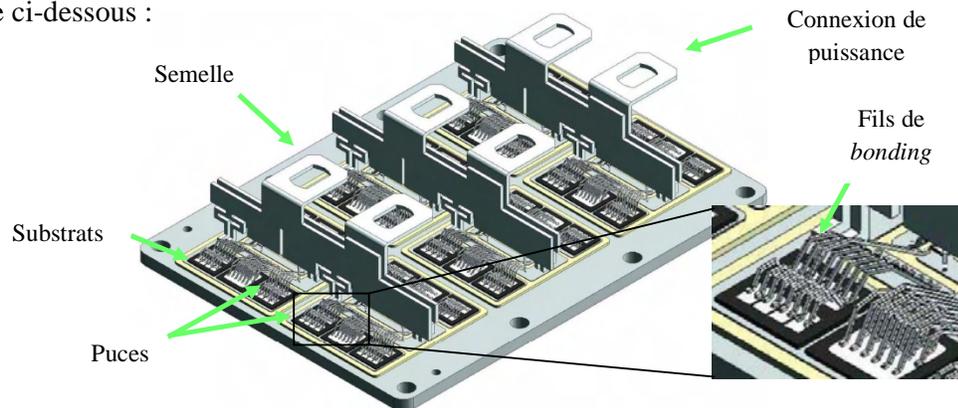


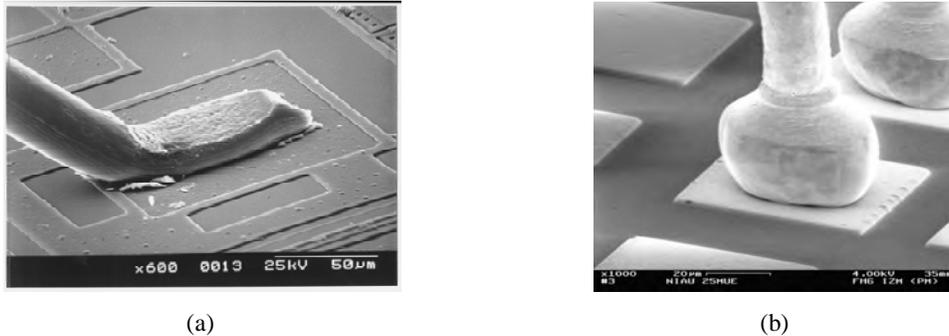
Figure 1.2 : vue en 3D d'un module planaire 3,3 kV, 1200 A <sup>[CAS 07]</sup>, cité par E.Vagnon 2009 <sup>[VAG 09]</sup>

#### 1.3.1. Connexion par fils de bonding

Les fils de *bonding* utilisés pour réaliser les interconnexions sur la face avant des puces ont des diamètres variant en fonction de la puissance transférée. Typiquement leur diamètre va de  $100\mu m$  à  $500\mu m$  <sup>[WEN 99]</sup>. Les fils de *bonding* sont généralement en aluminium (Al) associé,

dans une proportion de quelques ppm, à des alliages contre la corrosion de l'aluminium (nickel,...), et pour le durcissement de l'aluminium (silicium et magnésium). Ces fils sont parfois en or (Au).

Deux techniques à la fois matures et fiables sont couramment utilisées pour la mise en œuvre du *bonding* à savoir le *wedge bonding* et le *ball bonding*. Le diamètre des fils de *bonding* étant faible ils sont montés en parallèle (fig 1.2) pour permettre le passage des courants forts afin de limiter l'effet d'auto échauffement.



**Figure 1.3** : fils de *bonding* fixé par *wedge bonding* (a) et *ball bonding* (b) sur les métallisations des composants actifs [RAME]

Bien que ces technologies soient matures et d'un coût raisonnable, elles présentent actuellement des limites.

Electricquement, les fils de *bonding* présentent une grande inductance parasite comprise entre 15nH et 30nH. Cette inductance entraîne des surtensions au niveau des interrupteurs lors du *turn off* qui peut endommager ces derniers et provoque des perturbations de leur signal de commande [MEN 08]. De plus, le couplage électromagnétique existant entre les fils de *bonding* mis en parallèle pour accroître le courant, induit une distribution déséquilibrée de ceux-ci [XIN 99]. Par conséquent, un courant important passant par des fils de *bonding* peut créer des points chauds pouvant entraîner leur fusion causant ainsi la défaillance du module entier.

Les fils de *bonding* ne sont pas des éléments régulant les échanges thermiques. L'évacuation des calories dans la technologie *wire bonding* s'effectue en grande partie par la face arrière au travers de la brasure. Or il est difficile de garantir une homogénéité thermique sur une grande surface assemblée et n'importe quel déséquilibre thermique provoque inévitablement une contrainte supplémentaire pouvant conduire à la défaillance des composants [MER 08].

Face à la demande pressante d'augmenter la densité de puissance, le refroidissement simple face atteint rapidement ses limites. La solution du refroidissement double face s'impose naturellement pour les systèmes de puissance intégrés [SCHU 08].

### 1.3.2. Fixation de la puce sur le substrat par brasure

L'assemblage face arrière de la puce sur la métallisation d'un substrat est souvent réalisé par brasure. Cet assemblage joue un rôle important du fait qu'il assure de nombreuses fonctions : jonction électrique, mécanique mais également thermique (évacuation de la chaleur émise par les puces actives). Ce qui suit présente les différents éléments de cet assemblage.

#### 1.3.2.1. Les substrats isolants

Les substrats des modules de puissance assurent l'isolation électrique entre les puces actives du module et le support sur lequel est placé ce dernier. Ils sont généralement en céramique, (en général une alumine ( $\text{Al}_2\text{O}_3$ ) ou un nitrure d'aluminium ( $\text{AlN}$ )) et sont métallisés sur les deux faces par de fines couches de cuivre (200-300  $\mu\text{m}$ ). Cette structure est couramment appelée DBC pour *Direct Bonded Copper*. La métallisation est déposée directement sur la céramique et l'accroche mécanique est réalisée en portant l'ensemble à une température proche de la température de fusion du cuivre (1065-1085°C) [SCHU 03]. Le fait de porter l'ensemble à une telle température permet d'assurer une liaison mécanique très forte (>50  $\text{N}/\text{cm}^2$ ) entre la céramique et les métallisations [SCHU 00]. La réalisation des substrats DBC  $\text{Al}_2\text{O}_3$  est décrite figure 1.4a. Ainsi qu'il est présenté dans la figure 1.4b, la réalisation des substrats DBC à base d' $\text{AlN}$  nécessite une étape préliminaire d'oxydation de la céramique pour créer une couche d'alumine permettant l'adhésion [SCHU 00, NING 03].

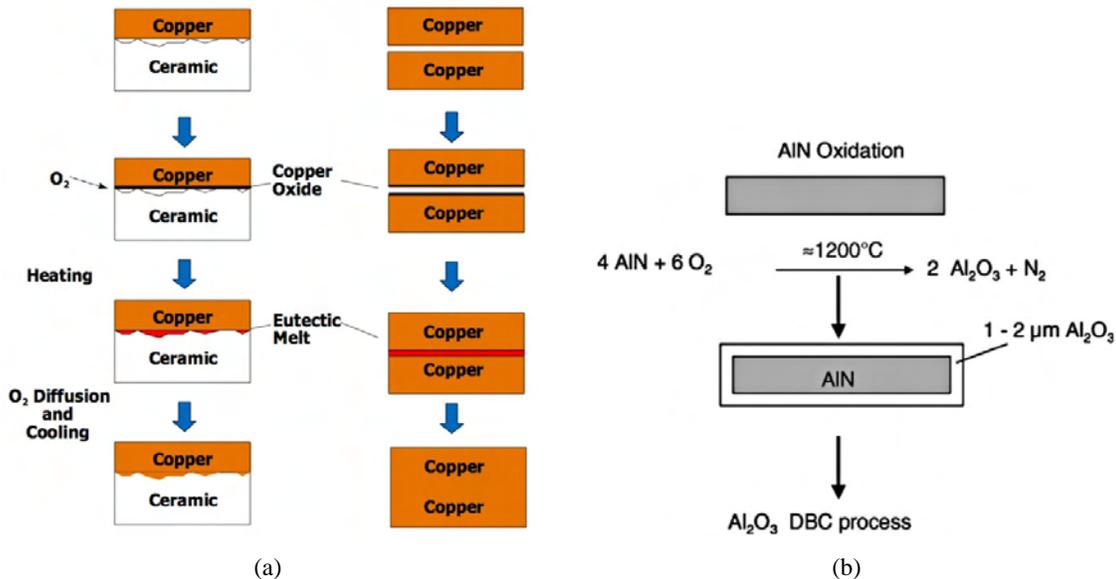
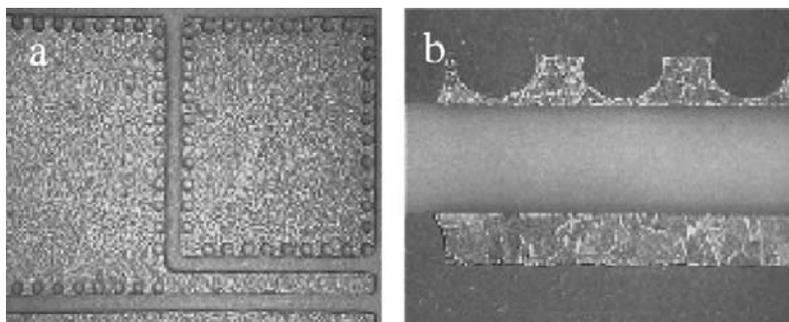


Figure 1.4 : processus de fabrication d'un substrat céramique en  $\text{Al}_2\text{O}_3$  (a), en  $\text{AlN}$  (b) métallisé cuivre [SCHU 06]

Les DBC sont des substrats hétérogènes qui peuvent subir une fatigue thermomécanique. Des fissures peuvent apparaître aux coins des métallisations et se propager dans le substrat

céramique sous la métallisation. La réalisation de structure de type « *dimples* » (cf. fig 1.5) sur des bords du cuivre est l'une des différentes manières de réduire ces contraintes mécaniques, et de retarder l'apparition de fissures.



**Figure 1.5 :** substrat DCB avec des *dimples* : vue de dessus (a) et vue en coupe (b) <sup>[SCHU 03]</sup>

Afin de limiter ces fractures de fatigue, il a été envisagé d'utiliser d'autres métaux ou d'autres substrats céramiques.

Ainsi, il est possible de réaliser des substrats métallisés avec de l'aluminium. Ce métal présente une limite élastique plus faible que celle du cuivre et il a une plus grande plasticité. On parle alors de technologie *Direct Aluminum Bonding*, (DAB). Ces métallisations aluminium imposent moins de contraintes mécaniques sur la céramique et limitant ainsi les risques d'apparition des fissures <sup>[DUP 06]</sup>.

Des substrats céramiques à base de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ) qui a une très bonne tenue mécanique, ont aussi été développés. Ce dernier type de technologie améliore la résistance aux contraintes cycliques d'origine thermomécanique de grande amplitude. Ainsi, un substrat de type AMB (*Active Metal Bonding*) basé sur du  $\text{Si}_3\text{N}_4$ , pourrait être porté directement sur le dissipateur thermique sans fragiliser l'ensemble. L'assemblage des métallisations en cuivre (200  $\mu\text{m}$ -500 $\mu\text{m}$ ) sur la céramique  $\text{Si}_3\text{N}_4$  se réalise par la brasure Ti/Ag/Cu <sup>[KYO 05]</sup>.

En laboratoire des tests visant à utiliser des substrats à base de diamant ont été menés. La grande conductivité thermique théorique du diamant : 2000 W/ m.K. pour le diamant naturel et entre 700-1600 W/ m.K pour le diamant synthétique réalisé en CVD (*Chemical Vapor Deposition*) devrait permettre une très bonne évacuation de chaleur <sup>[BRO 96]</sup>

Il est aussi envisageable d'utiliser comme substrat des matériaux organiques déposés sur une métallisation (en aluminium ou bien en cuivre) de plusieurs millimètres d'épaisseur faisant office de semelle (Substrats Métalliques Isolés). L'interface isolante est constituée d'une

résine de verre époxy ou une résine époxy chargé de céramique, ou encore polyimide permettant une utilisation à des températures proches de 200°C [LUAN 010]. Malgré un procédé de mise en œuvre simple et un coût acceptable, les substrats SMI sont difficilement utilisables dans les environnements où les contraintes thermiques sont importantes notamment si les variations thermiques sont de forte amplitude. Ces solutions sont réservées aux applications de faible puissance.

**Tableau 1.1** : caractéristiques physiques des céramiques utilisés dans la réalisation des modules de puissance [LEP 03, DAG 05, KYO 05, BOU 08]

	Al <sub>2</sub> O <sub>3</sub>	AlN	BeO(*)	Si <sub>3</sub> N <sub>4</sub>	Diamant
Densité (g/cm <sup>3</sup> )	3,3-4,0	3,2-3,3	3	3,2-3,3	-
Coefficient de dilatation thermique (50-400°C [x 10 <sup>-6</sup> /K])	7,5	4,8	9	3,2	1,2
Conductivité thermique (W/m.K)	13-25	140-200	200-250	30-110	2000
Résistance à la flexion (MPa)	480-520	340-450	200-250	580-1140	-
Résistance à la rupture (MPa.m <sup>1/2</sup> )	3,8-4,4	3,1-3,6	--	3,7-8,0	-
Module de Young (GPa)	300-400	310	300-350	290-320	1140
Constante diélectrique	9,0-9,5	8,6	6,7	10,3	
Coefficient de perte (tanδ)[x10 <sup>-3</sup> ]	0,7-2,0	0,5	0,2-0,4	14,3	-
Tension de claquage (kV)	>22	>25	>20	>15	-

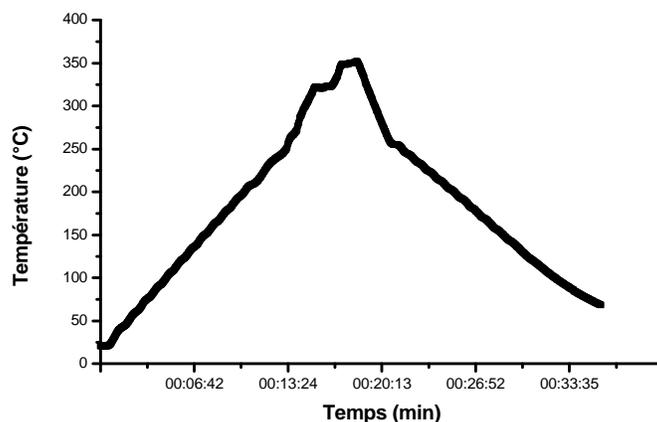
(\*) L'oxyde de béryllium est actuellement interdit pour des raisons sanitaires.

### 1.3.2.2. Les brasures et les technologies alternatives

La brasure est utilisée à la fois pour fixer la puce sur le substrat et pour reporter le substrat sur un socle. La connectique externe de puissance peut aussi être assemblée sur le support du module par brasure.

L'opération de brasage est réalisée à travers différentes étapes :

- Dépôt de pâte à braser entre les deux éléments par sérigraphie ou avec une dispenseuse.
- Refusion de l'ensemble suivant un profil adapté à une température au moins égale à la température « *liquidus* » de l'alliage. Le contrôle du profil de refusion permet de limiter la formation d'intermétalliques qui fragilisent la brasure (figure 1.6).
- Refroidissement jusqu'à température ambiante.



**Figure 1.6 :** exemple de profil de refusion d'un alliage 92,5Pb/5Sn/2,5Ag – Brasure puce/DBC (Alstom Pearl).

L'indicateur fondamental pour le choix de l'alliage est la température maximale d'utilisation qui doit respecter un ratio de 0,8 vis-à-vis de la température de brasage (en Kelvin). L'alliage binaire ou tertiaire utilisé pour réaliser des brasures doit satisfaire à plusieurs critères qui sont [CIA 02, GUE 05] :

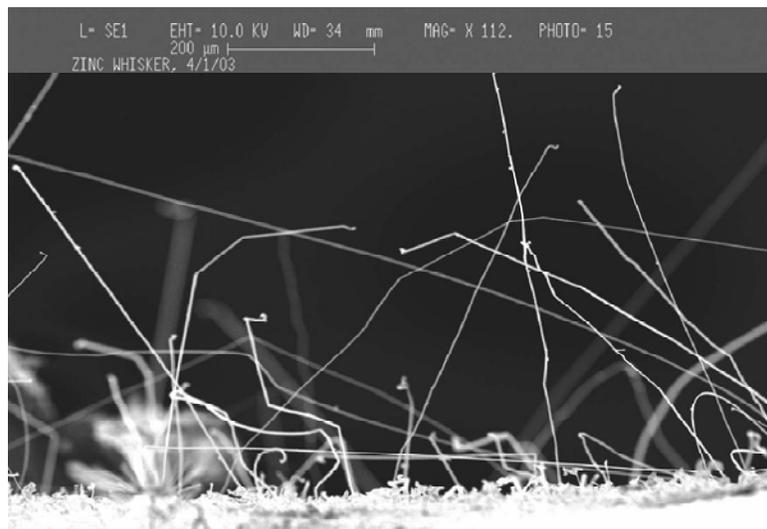
- Bonne mouillabilité des différents matériaux (argent, cuivre, or, AlSiC...).
- Faible résistivité électrique.
- Bonne conductivité thermique.
- Bonne tenue mécanique de la brasure (module d'Young et limite d'élasticité élevé)
- Coefficient de dilatation thermique proche de ceux des composants et des substrats.

L'alliage le plus souvent utilisé pour la brasure est le composé étain/plomb, et particulièrement le 63Sn/37Pb dont la température de fusion est modérée (183°C). Cette brasure présente des caractéristiques très intéressantes (tableau 1.2) mais la température de fonctionnement est limitée par la température de refusion relativement faible : 130°C. D'autres alliages à forte teneur en plomb sont apparus tels que Sn5/Pb95 dont la température "liquidus" est de 312°C [KOM].

Le plomb est un élément nocif pour la santé humaine, aussi est-il interdit dans les composants électroniques. En Europe, l'interdiction d'utiliser du plomb a été publiée dans deux directives : le W.E.E.E *Waste Electrical and Electronic Equipment* et R.O.H.S : *Restriction Of Hazardous Materials* [PUT 07]. De telles directives ont aussi été établies dans d'autres pays : par le NEMI (*National Electronics Manufacturing Initiative*) pour les USA et JEITA (*Japan Electronics Industries Association*) pour le Japon.

De nombreux projets de recherche (citons le *High Density Packaging Users Group (HDPUG)*, le *National Center for Manufacturing Sciences (NCMS)*, le *National Institute for Standard and Technology (NIST)*, l'*International Electronics Manufacturing Initiative (iNEMI)* et le *Japan Electronic Industry Development Association (JEIDA)*...) cherchent des alliages sans plomb. Des alliages tels que : Sn-Ag, Sn-Ag-Cu et d'autres alliages contenant des éléments tels que Sn, Ag, Cu, Bi, In, et Zn sont présentés comme candidats potentiels pour remplacer la brasure standard 63Sn-37Pb. Quelques alliages étain-argent-cuivre (SAC) ont été proposés par les industriels : 96,5Sn-3,0Ag-0,5Cu (SAC 305) au Japon, 95,5Sn-3,8Ag-0,7Cu (SAC 387) en Europe, 95,5Sn-3,9Ag-0,6Cu (SAC 396) aux Etats-Unis <sup>[MA 09]</sup>. La famille SAC répond aux principaux critères exigés : la mouillabilité est bonne, le point de fusion est plus faible que les alliages Sn/Ag ou Sn/Cu et la résistance à la fatigue est, elle aussi, bonne <sup>[DUD 04, GAN 05, SOP 010]</sup>.

L'inconvénient des brasures sans plomb réside dans le coût élevé de la matière première. De plus, l'augmentation de la température de fusion rend le procédé plus coûteux. Enfin, le problème lié à la croissance de trichites (*Whiskers*) n'est pas encore complètement résolu. Il se produit, en effet, un phénomène de croissance monocristalline de l'étain créant des « cheveux » (fils) qui peuvent atteindre quelques millimètres de long et de 1 à 6  $\mu\text{m}$  de diamètre engendrant des court circuits <sup>[BRU 04, FUK 06, REY 010]</sup>.

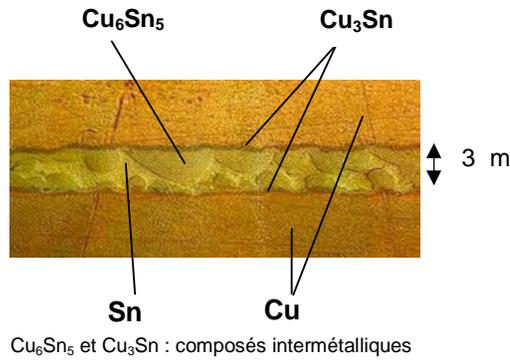


**Figure 1.7:** croissance de «Zinc whisker» <sup>[BRU 04]</sup>

**Tableau 1.2 :** Quelques alliages sans plomb et leurs caractéristiques [POU, AND 05, GUE 02, CHEN 07]

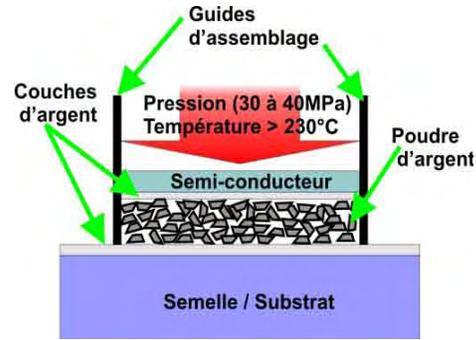
Alliage	Tem. Fusion (°C)	CTE (10 <sup>-6</sup> /°C)	Résistivité (μΩ-cm)	Con. Therm. (W/m.K)	Mod. de Young (GPa)	Avantages	Inconvénients
SnPb37	183	24,7	14,5	50	39	Faible coût, bonne mouillabilité, bonne fiabilité, simplicité de fabrication	Contient du plomb
SnAg3,5	221	30	10-15	33	50	Bonne résistance à la fatigue	Coût élevé
SnCu0,7	227	-	10-15	53	-	Relativement économique [HAN 07]	Mauvaise mouillabilité, faible résistance à la fatigue
SnAg4Cu0,5	217	23	10-15	55	-	Bonne mouillabilité, Bonne résistance mécanique	Risque de formation d'alliages intermétalliques
SnBi58	138	15	30-35	-	-	Bonne résistance mécanique	Le Bi est un sous produit du raffinage du Pb
Sn-Zn9	199	-	10-15	-	-	Point de fusion proche de 183°C. Faible coût, Excellentes propriétés mécaniques, Disponibilité facile	Oxydation [GUE 05, MA 09, HUA 09]
Sn(3-4,7) Ag(0,5-1,7) Cu	215-219	-	-	-	-	Disponibilité Bonne mouillabilité Bonne résistance mécanique et thermo-mécanique	Formation de composés CuS Coût élevé

Des travaux en cours montrent qu'il est possible de remplacer le procédé de brasage par une technique de « soudure » par phase transitoire *Transient Liquid Phase Bonding* (TLPB). Le principe consiste à utiliser une couche de métal ayant une faible température de fusion (tel l'étain ou l'indium) déposée sur les deux surfaces à assembler (l'or de préférence). L'ensemble est porté sous pression à température supérieure à la température de fusion de l'étain ou l'indium jusqu'à la formation d'alliages intermétalliques créant ainsi la liaison. Ce type d'assemblage est intéressant car la température de refusion est au-delà de 300°C autorisant ainsi le fonctionnement du système à haute température [WEL 05, ALH 010].



Cu<sub>6</sub>Sn<sub>5</sub> et Cu<sub>3</sub>Sn : composés intermétalliques

**Figure 1.8** : assemblage par TLBP <sup>[IME 07]</sup>



**Figure 1.9** : assemblage par LTJT <sup>[DUP 06]</sup>

L'assemblage puce/substrat peut aussi être réalisé par LTJT (*Low Temperature Joining Technique*). Cette technique, utilisant de la poudre d'argent, a été proposée essentiellement pour des applications ayant une température de fonctionnement ( $>200^{\circ}\text{C}$ ) trop élevée pour des brasures sans plomb. Quelques binaires de l'or répondent plus ou moins à cette exigence thermique mais leurs coûts sont souvent élevés et la fiabilité n'est pas garantie à cause de la formation d'alliages intermétalliques. Cet assemblage LTJT s'effectue dans une atmosphère contrôlée, à une température inférieure à  $250^{\circ}\text{C}$  et sous pression (entre trente et quarante méga-Pascals). Les performances électriques et thermiques des liaisons LTJT malgré leur nature poreuse sont supérieures à celles des brasures traditionnelles. À titre de comparaison, la conductivité thermique et la résistivité électrique typique des liaisons LTJT sont respectivement de  $250\text{W/m.K}$  et  $1,59\ \mu\Omega.\text{cm}$  contre  $51\ \text{W/m.K}$  et  $14,9\ \mu\Omega.\text{cm}$  pour une brasure à base de Sn63/Pb37. Par ailleurs, cette technologie peut fonctionner jusqu'à  $300^{\circ}\text{C}$ . Des essais ont montré que la durée de vie d'un assemblage LTJT serait vingt fois supérieure à celle d'un assemblage brasé <sup>[DUP 06, WAN 07]</sup>.

La pression utilisée lors de l'assemblage LTJT peut dégrader les composants actifs. Il est possible d'abaisser la pression en augmentant la finesse des poudres d'argent (entre 10 nm et 30 nm). L'utilisation de « nanopoudres » a donné naissance à une nouvelle technologie appelée LTPST (*Low Temperature and Pressureless Sintering Technology*) <sup>[LU 07]</sup>. Cependant, la diminution de la pression se fait au détriment d'une augmentation de la température d'assemblage ( $\approx 280^{\circ}\text{C}$  contre  $200^{\circ}\text{C}$ ).

## 1.4. Nouvelles architectures, concepts pour l'intégration 3D

Le tout électronique conduit à augmenter la compacité des modules de puissance tout en accroissant leur fiabilité. Cette évolution antagoniste est confrontée à des problèmes d'ordre électrique et thermique ainsi que nous l'avons vu plus haut. Une piste prometteuse permettant

d'augmenter la fiabilité tout en réduisant la taille des convertisseurs est l'intégration tridimensionnelle. L'exploitation de la troisième dimension permet d'améliorer les propriétés électromagnétiques (résistance électrique, inductances parasites) et thermiques en permettant un refroidissement double face. Toutefois, l'utilisation de la troisième dimension n'est possible que grâce à de nouvelles architectures de module de puissance et à une connectique adaptée. Avant de présenter la solution de connexion qui fait l'objet de nos travaux il est présenté un état de l'art succinct des solutions d'interconnexion existantes. À chaque fois les atouts et les faiblesses des solutions présentées seront mis en avant tant du point de vue électrique, que thermique et thermomécanique.

### 1.4.1. Contact brasé

La première idée a été d'adapter l'existant, à savoir la brasure à la connectique tridimensionnelle. Différentes technologies d'interconnexion ont ainsi été proposées : le brassage double face (*direct solder*) [BAI 04], l'utilisation de brasures sur une face et de *bumps* brasés sur l'autre (*metal bumps*) [MER 08] ou encore de brasure sur une face et les *dimples* brasés sur l'autre face [WEN 01]. Certains proposent d'intercaler des plots en cuivre massif (*MPIPPS*) mais cela conduit à multiplier les brasures, chaque plot devant être fixé d'un côté au composant et de l'autre au substrat, avec la brasure sur la face arrière on arrive à trois brasures pour un assemblage, multipliant ainsi les risques de défaillance [XIA 09].

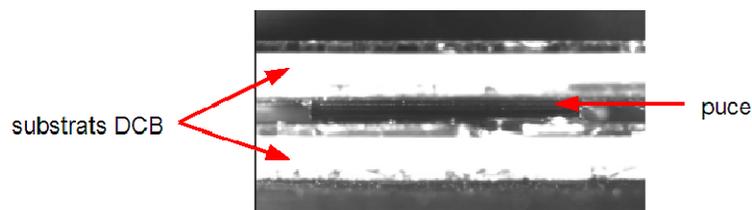


Figure 1.10 : technologie *direct solder interconnection* [BAI 04]

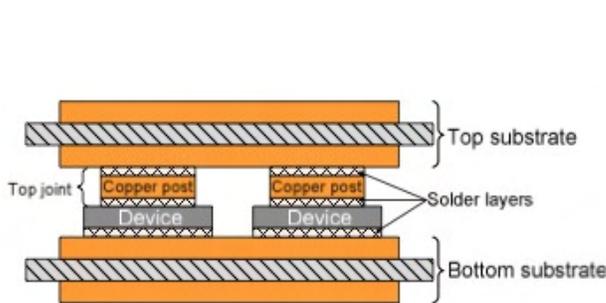


Figure 1.11 : structure de module *Metal Posts Interconnected Parallel Plate Structure (MPIPPS)* [XIA 09]

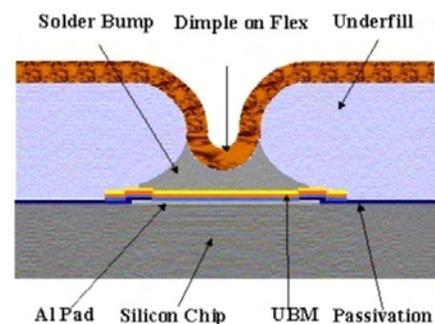
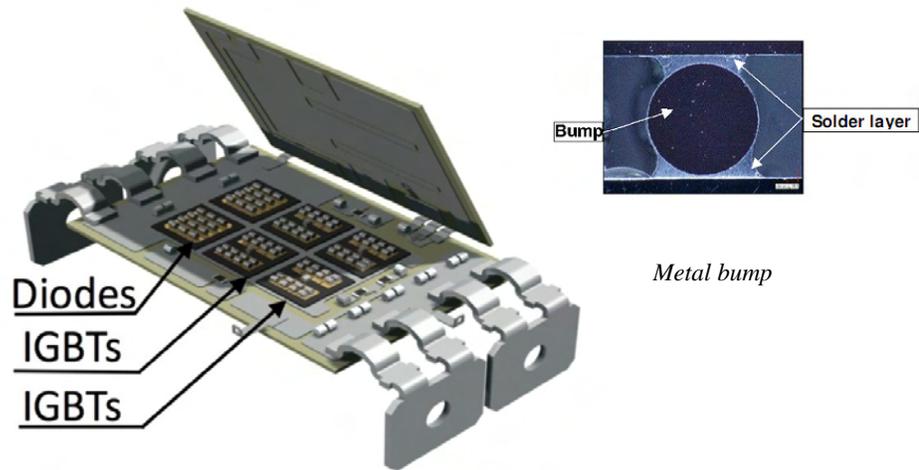


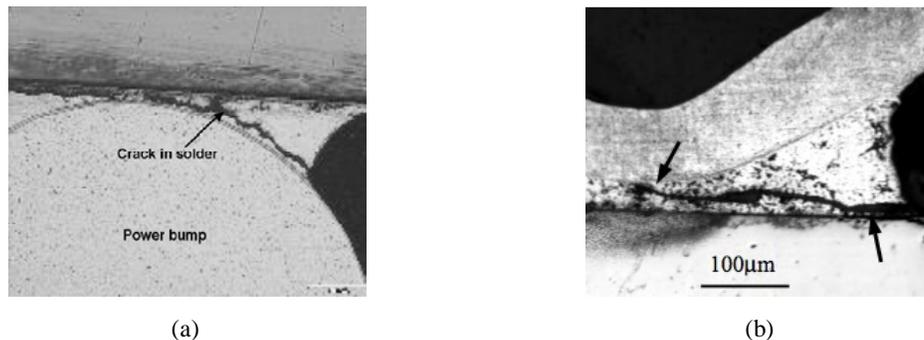
Figure 1.12 : *Dimple array solder joint technique* [WEN 01]



**Figure 1.13 :** technologie *Solder Bump* (Alstom-Pearl) <sup>[CAS 09]</sup>

Ces techniques permettent d'imaginer des nouvelles architectures 3D des modules de puissance en offrant une grande compacité, une diminution des pertes électriques et, surtout, en permettant d'envisager un refroidissement double face. A contrario, l'utilisation de joints de brasures reste un problème majeur en cas de cyclage thermique (variations de température de forte amplitude). Ceci est particulièrement vrai pour la technologie *Direct solder* à cause de la surface de la brasure qui est grande.

La technologie *Dimple solder* offre un meilleur comportement thermomécanique que les deux autres grâce à la flexibilité du film de cuivre. Cet avantage est tempéré par la complexité du procédé de fabrication. Actuellement, seule la technologie *Metal bumps* autorise une fiabilité suffisante pour passer à l'échelle de la production industrielle <sup>[SOL 07]</sup>. Par contre, des études de fiabilité montrent que les joints de brasure subissent de grandes contraintes thermomécaniques lors de la refusion de l'assemblage ou durant des cyclages thermomécaniques. Ces contraintes sont localisées généralement au coin du joint de brasure <sup>[MEN 06]</sup>. L'optimisation de la forme des *bumps* <sup>[MEN 08]</sup>, des *dimples* <sup>[WEN 01]</sup> et des *posts* <sup>[XIA 09]</sup> permet de régler en partie le problème.

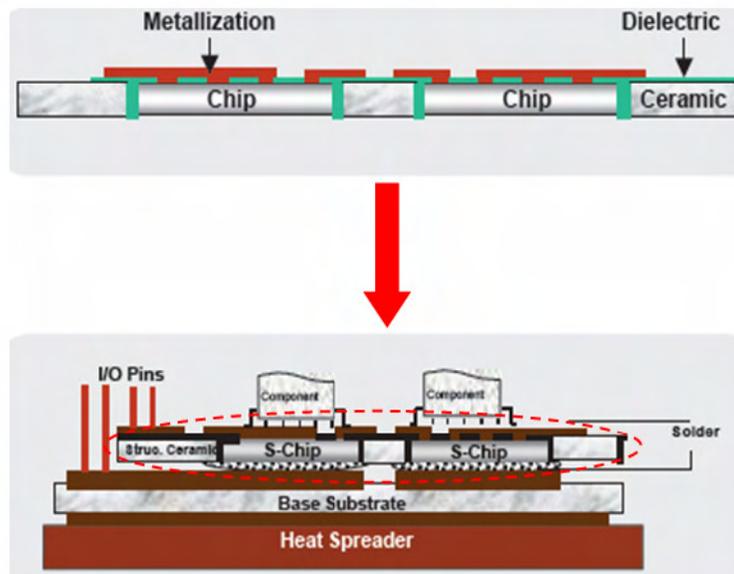


**Figure 1.14:** fissure typique des joints de brasures dans les technologies : *solder bumps* (a) <sup>[SOL 07]</sup> et *dimple solder* (b) <sup>[WEN 02]</sup>

Parce qu'elles repoussent la température limite de fonctionnement, les technologies LTJT et TLPB sont utilisés pour remplacer la brasure dans les structures tridimensionnelles (projets : HERMES, 3DPHI <sup>[MEN 08]</sup>). Si ces techniques offrent de meilleurs résultats en termes de fiabilité (LTJT), elles apportent des contraintes nouvelles et spécifiques. Par exemple, ces deux technologies permettent une prise de contact de faible épaisseur, ce qui offre de bonnes performances électriques et thermiques, mais ceci pose problème lorsque l'on veut intégrer des puces d'épaisseur différentes dans un même module : l'utilisation de cales est alors quasiment inévitable (cas typique d'une intégration IGBT/Diode).

#### 1.4.2. Contact avec des pistes électrodéposées

Les technologies *Embedded Power* et *Power Overlay* ont des pistes de grande surface sur la face avant permettant de réduire la résistance et l'inductance parasite jusqu'à 3nH. Ceci est à comparer aux mêmes inductances en technologie *bondings* : entre 15 et 30 nH. Ces deux technologies permettent une grande compacité favorisant l'intégration 3D. Néanmoins la face arrière des puces utilise la brasure comme technologie d'assemblage. Les contraintes thermomécaniques existant à cet endroit là n'ont donc pas été annulées.



**Figure 1.15** : module de puissance IPEM (*Integrated Power Electronics Module*) utilisant la technologie *Embedded Power* <sup>[WYK 05]</sup>

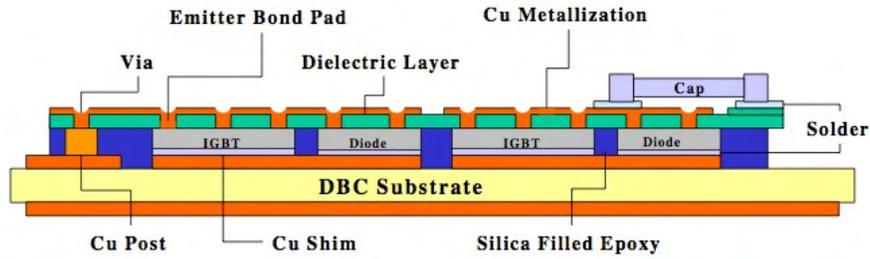


Figure 1.16 : module de puissance utilisant la technologie *Power Overlay* <sup>[LUT01]</sup>

### 1.4.3. Contact press pack

Lorsque les brasures ne peuvent être utilisées à cause des contraintes thermomécaniques, des solutions de reprise en contact sans brasures sont souvent mises en œuvre. La technologie *press pack* présente une grande fiabilité. La particularité de cette technologie réside dans l'utilisation de matériaux innovants et de contacts de type pressé. Si l'on met deux interfaces métalliques en contact il y a dans la majorité des cas moins de 1% de la surface en réel contact physique, le reste est une structure métal/couche interstitielle d'air/métal <sup>[HAQ 99]</sup>. Ainsi les propriétés électriques et thermiques du contact pressé ne sont satisfaisantes que d'une part, par le choix de matériaux compatibles et d'autre part, par l'optimisation des paramètres de pressage. Cette technologie, assez ancienne, date des années 1970 cependant la composition des couches tampons en molybdène reste encore sous brevet. Mécaniquement cette technologie impose l'existence d'un système de maintien de la pression d'assemblage (environ 135kN) et de refroidissement robustes, et est destiné à des applications de forte puissance (> 1 MW).

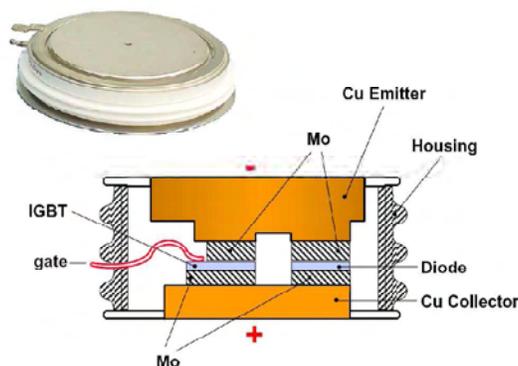
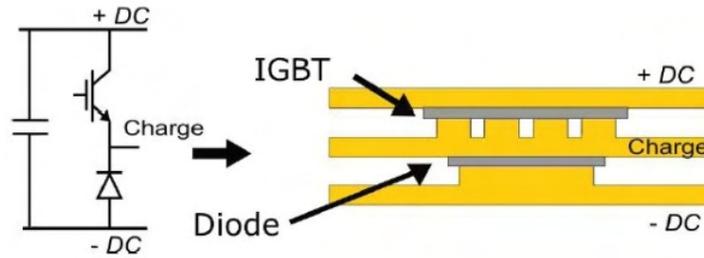


Figure 1.17 : boîtier Press pack (ABB) <sup>[MEN 08]</sup>

Le laboratoire *G2ELab* développe (figure 1.18) une technologie similaire pour les applications de petite et moyenne puissance : quelques dizaines de kW <sup>[VAG 08]</sup>. La structure du module dispose les composants les uns sur les autres.

Deux objectifs sont visés par cette technologie : le premier consiste à diminuer l'inductance parasite ce qui, en diminuant les surtensions et les perturbations au niveau de l'interrupteur de puissance, permet un fonctionnement haute fréquence ; le deuxième consiste à réduire la force appliquée nécessaire à la réalisation de l'assemblage ce qui simplifie la mise en œuvre. La modélisation, par éléments finis, montre une inductance parasite faible 0,86nH <sup>[VAG 08]</sup>. Des mesures des résistances de contact, électrique et thermique, d'un assemblage Al/Cu, ont été effectuées pour une force de pression comprise entre 50N et 1kN. Celles-ci montrent que les résistances de contact électrique et thermique diminuent lorsque la force augmente. À partir d'une force de 400N, on peut remarquer que les résistances de contact électrique et thermique ne varient que très légèrement. Pour une force de 1kN, on obtient une résistance de contact thermique de 0,15°C. cm<sup>2</sup>/W et une résistance électrique de contact de 0,2 mΩ.cm<sup>2</sup> <sup>[VAG 08]</sup>. Ces faibles valeurs montrent qu'avec un contact pressé, le contact réalisé est de bonne qualité. En revanche, la fiabilité de ce dernier reste encore à étudier.



**Figure 1.18** : cellule de commutation technologie Press Pack *G2ELab* <sup>[VAG 08]</sup>

#### 1.4.4. Remarques sur la conception des modules de puissance 3D

Les technologies tridimensionnelles (3D) sont développées de manière pragmatique à partir de l'existant : des technologies bidimensionnelles (2D). À titre d'exemple, les puces ont très souvent une face avant métallisée à l'aluminium et sont prêtes pour un assemblage par des fils de *bonding*, pas pour un brasage. L'élaboration de ces technologies 3D impose donc des étapes supplémentaires afin d'adapter les technologies actuelles dédiées à l'intégration 2D dans une nouvelle structure 3D.

De plus, les puces de nature diverses : diodes, IGBT... ont des épaisseurs différentes, elles doivent être traitées par une métallisation spécifique (pulvérisation cathodique, évaporation sous vide) pour pouvoir être connectées avec les autres éléments du module. Très souvent il faut en plus rajouter des cales (*bumps, posts*).

Notons aussi que la conception 3D doit tenir compte de la géométrie des puces. Les composants de puissance ont souvent la métallisation des émetteurs dans une fosse. De même, les bordures d'isolant à la périphérie de la puce sont en relief par rapport aux métallisations (anneaux de garde). Ces reliefs rendent la prise de contact en face avant plus délicate qu'en face arrière. Les solutions d'interconnexion utilisées (*bumps, posts*) doivent enfin satisfaire certains critères géométriques (entre autre la hauteur) pour ne pas dégrader la tenue en tension des composants. Ainsi, quelque soit le procédé utilisé pour la connexion, il doit tenir compte de ces caractéristiques géométriques. Cet aspect sera détaillé plus avant dans les parties portant sur l'assemblage des composants par la technologie *nano scratch*.

Enfin, et ceci peut être considéré comme handicapant pour la plupart des technologies 3D, la majorité de ces solutions utilise de la brasure. Cette dernière constitue un élément faible de l'assemblage en étant une des sources de défaillance des modules sous l'effet des contraintes thermomécaniques. Elle présente également une limite thermique pour les applications haute température. D'où l'intérêt actuel porté au développement de nouvelles méthodes d'assemblages qui pourraient permettre de repousser ces limites.

## 1.5. Interconnexion par enchevêtrement de nano fils conducteurs

Dans cette partie est présenté un mode d'assemblage basé sur l'enchevêtrement de nano fils qui pourrait être un candidat potentiel pour remplacer la brasure. Le principe de cette méthode réside dans une structure composée de deux surfaces dont au moins l'une des deux porte une structure de nano fils. L'assemblage se réalise par compression à froid des deux parties jusqu'à interpénétration des structures de nano fils créant ainsi une liaison électrique, thermique et mécanique (ETM). Le mécanisme d'adhésion résulte de l'activité des forces intermoléculaires (Van der Waals) et surtout de l'enchevêtrement des nano fils.

Cette technologie pourrait amener de nombreux avantages :

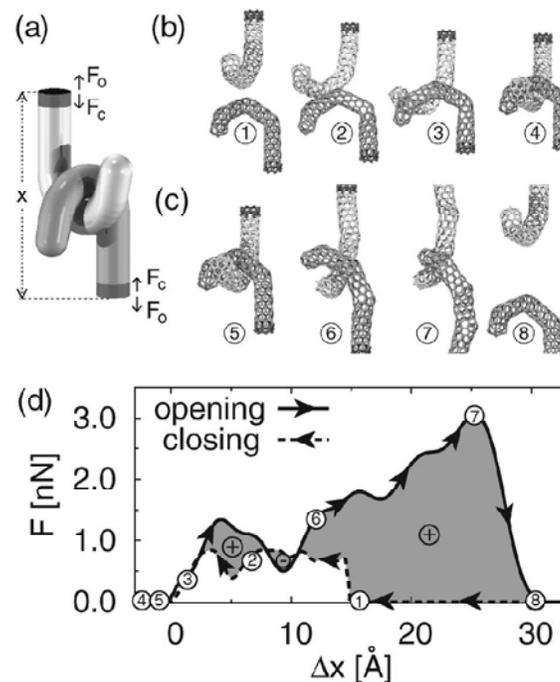
- La taille nanométrique des connectiques permet d'augmenter le nombre de connecteurs par unité de surface, ce qui réduit la taille des circuits annexes améliorant ainsi le temps de transfert particulièrement important dans les systèmes microélectroniques <sup>[ASC 06]</sup>.

- La « soudure » est réalisée par une simple mise en pression à température ambiante ce qui permet de réduire les étapes technologiques classiques coûteuses utilisées dans la chaîne de brasage : la préparation de pâtes à braser, la refusion de la brasure.
- On peut mettre en œuvre les avancées des sciences des matériaux. Ainsi, on a le choix des matériaux pour avoir une liaison ETM ayant les bonnes propriétés : mécaniquement robuste, électriquement, thermiquement très conductrice. On pourrait ainsi envisager de résoudre le problème thermique et thermomécanique inhérent à la brasure.
- Enfin et surtout, cette technologie est compatible avec l'intégration 3D qui est actuellement envisagée comme l'avenir de l'électronique de puissance.

De nombreux travaux sont en cours au niveau international, ils montrent la faisabilité de ce type de connectique.

Nous présentons, dans ce qui suit, un aperçu technologique d'une telle technologie pour trois types de matériaux : des nano fils polymère, des nano fils métallique et des nano tubes de carbone.

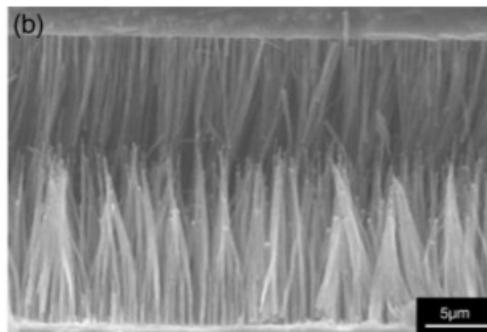
### 1.5.1. Nano tubes de Carbone :



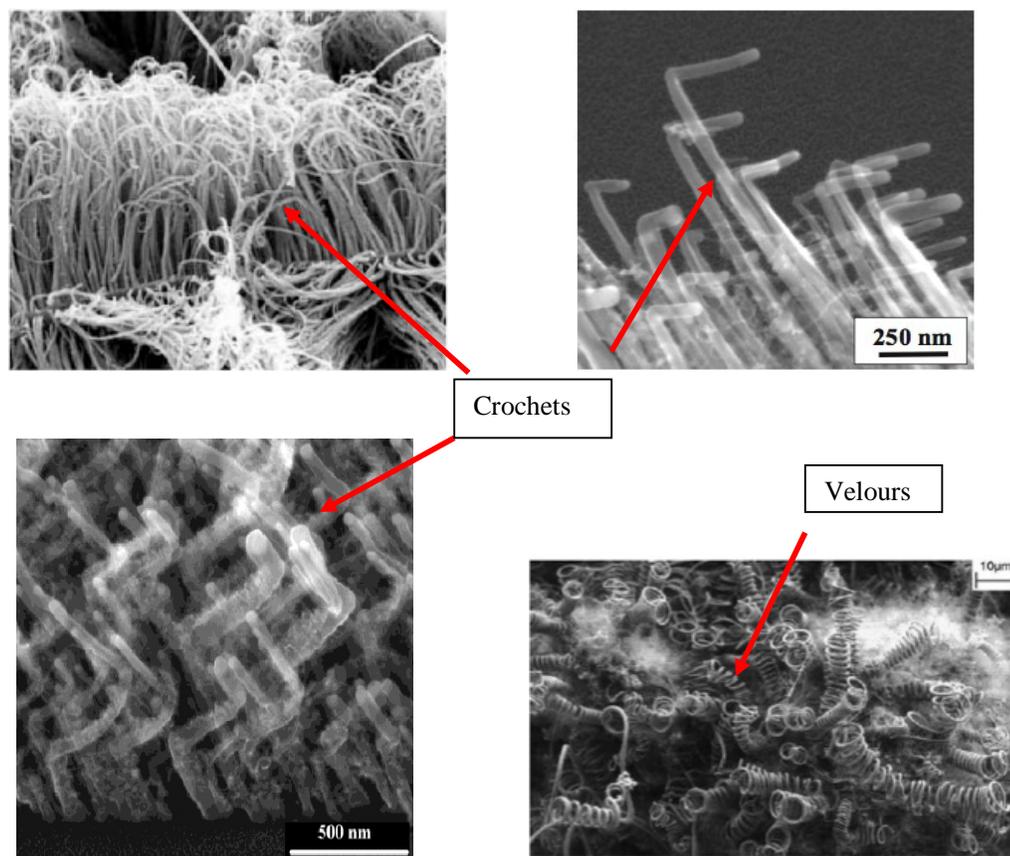
**Figure 1.19** : schéma présentant assemblage des nano crosses, déterminant la distance, la direction de la force d'ouverture  $F_o$ , force de fermeture  $F_c$  ; images de (7,0) nano crosses (hooks) pendant l'ouverture et fermeture de l'assemblage en fonction de la distance  $x$ . La zone en couleur grise est l'hystérésis, représente l'énergie dissipée durant le cycle d'ouverture et de fermeture <sup>[BER 03]</sup>.

Berber et al. ont rapporté que les structures de nano-velcro en nano tubes de carbone offrent des avantages significatifs par rapport à des adhésifs conventionnels y compris une stabilité en température jusqu'à 4000K et une aptitude à l'auto-réparation en cas de cisaillement local [BER 03]. En étudiant des processus à l'échelle atomique pendant la fermeture et ouverture, ils montrent que la jonction nano velcro serait plutôt ductile que fragile et tout en possédant une grande résistance. Celle-ci conserve son intégrité après des cycles ouverture et fermeture répétés. La limite de rupture d'une jonction nano velcro pourrait atteindre 3 GPa, plus grand que la plupart des solides [BER 03].

Récemment, K.P.YUNG *et al* [YUN 09] rapportent l'élaboration de nano tubes de carbone, ayant 15 $\mu$ m de hauteur et 200 nm de diamètre, déposés verticalement par *Plasma Enhanced Chemical Vapor Deposition* (PECVD) à 800°C sur deux substrats recouverts d'une couche de nickel jouant le rôle de catalyseur. L'assemblage est ensuite réalisé par mise en compression sous une force variant de 0,03 g à 3,00003 kg avec l'assistance d'alignement optique. Les résultats obtenus montrent qu'un assemblage « recyclable » (50 cycles attachement/arrachage) peut être réalisé à l'aide de ce procédé sans abîmer les nano tubes de carbone. Une mesure comparative de la résistance de contact montre également que le contact fabriqué présente une résistance plus faible que celle d'un contact par adhésif d'argent. Toutefois, aucune propriété mécanique de ce type d'assemblage n'est présentée.



**Figure 1.20 :** assemblage nano scratch par nano tube de carbone [YUN 09]



**Figure 1.21** : les formes spéciales des nano tubes de carbone favorisant l'accrochage nano velcro <sup>[BER 03, LAU 06, JIN]</sup>.

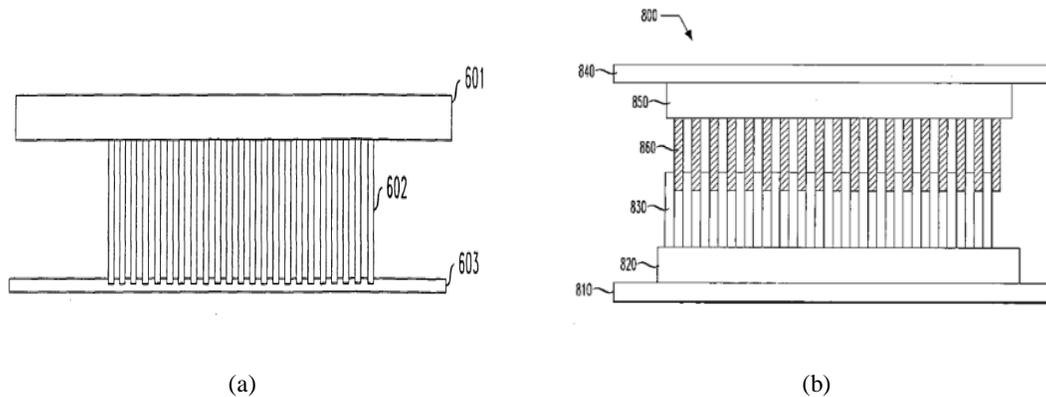
Les nano tubes de carbonnes sont séduisant. Ils offrent des propriétés électro- et thermo-mécanique assez incroyables : la limite d'élasticité est de l'ordre de 45 (Gpa), la densité limite de courant admissible est de l'ordre du giga-Amprère par centimètre carré, la conductivité thermique de l'ordre de  $6000 \text{ W.m}^{-1}.\text{K}^{-1}$ . De plus, l'assemblage des nano tubes de carbone ayant la forme d'un crochet d'un coté et d'un velour de l'autre (figure 1.21) est intéressante car semblable aux assemblages de type velcro aux propriétés bien connues.

Toutefois, cet optimisme est à modérer. Les nano tubes de carbone sont synthétisés par CVD - ou autre méthode- dans un environnement qui s'avère difficile pour les technologies à semi-conducteurs. La synthèse à lieu à très haute température : de 500 à 800°C. Enfin, et surtout, ils sont toxiques pour la santé humaine.

### 1.5.2. Nano fils polymères :

Un brevet déposé par LUCENT TECHNOLOGIES aux Etat Unis montre un assemblage de type « nano scratch » où la nano structure est déposée sur au moins une surface polymère

flexible (figure 1.22 (a)) ou sur les deux (figure 1.22 (b)). Les nano fils (200 nm de diamètre et 2  $\mu\text{m}$  de hauteur) en polymère sont élaborés par une attaque chimique sélective ou photolithographie et ensuite recouverts par une couche de métal noble (Au) pour assurer la fonction conducteur électrique et thermique. L'assemblage de ces structures s'effectue à température ambiante sur une section de l'interface de 10  $\mu\text{m}$  <sup>[BAS 05]</sup>. La croissance sélective est compliquée, l'obtention d'une connexion conductrice coûteuse (utilisation d'or) et la méthode nécessite un alignement à l'échelle nanométrique.



**Figure 1.22 :** assemblage « nano scratch » avec les nano fils en polymère alignés <sup>[BAS 05]</sup>

### 1.5.3. Nano fils métalliques :

Une autre approche, plus simple, est rapportée par le Fraunhofer Institut (Allemagne). L'institut a réalisé des assemblages de type *nano scratch* avec des nano structures en or (figure 1.23) électrodéposées au travers d'une membrane poreuse en polycarbonate. La mise en compression s'effectue à la température ambiante sous une pression assez importante (de 3 à 100 MPa). La connexion est obtenue par la déformation mécanique et inter-digitation « aléatoire » de deux nano structures. Il est clair que la densité des nano structures créés dépend directement de la densité des pores de la membrane en polycarbonate.

L'interpénétration des nano structures se fait de façon aisée car il existe des espaces entre les nano poteaux avant assemblage. L'augmentation de la pression appliquée permet de rapprocher les deux surfaces que l'on souhaite assembler et de régler la porosité de l'assemblage. La question de l'influence de la densité de poteaux et de la pression d'assemblage est une des questions les plus étudiées actuellement.

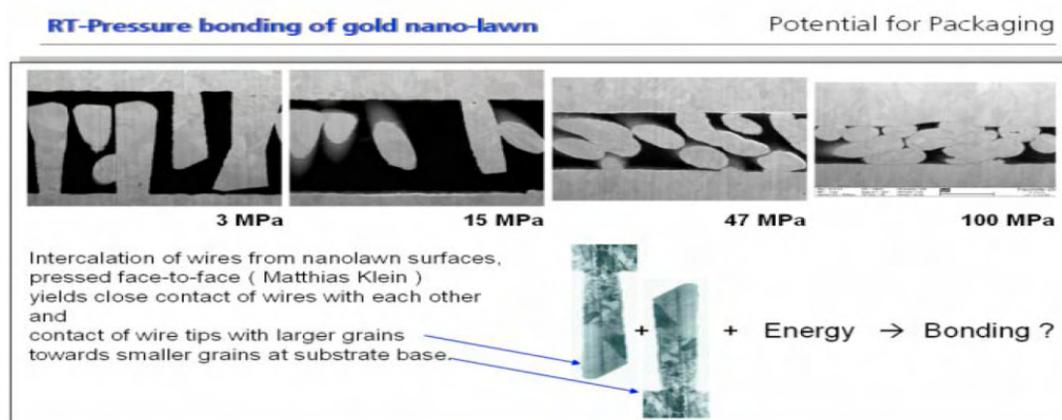


Figure 1.23 : assemblage « nano scratch » avec les nano fils en or non alignés [ASC 06]

La technologie *nano scratch* se présente comme une méthode d'assemblage innovante qui peut être une candidate potentielle pour remplacer la brasure classique

Tableau 1.3 : assemblages « nano scratch » en polyimide et NTCs [LUAN 010]

Nano structure	Poly-imide	NTCs
Technologie utilisée	Dépôt sur substrat en Si par nano lithographie et synthèse de polymère	Synthèse par dépôt CVD à haute température
Densité	$10^7/\text{cm}^2$	$7.10^{11}/\text{cm}^2$
Adhésion (sur substrat de verre)	$3\text{N}/\text{cm}^2$ pour force de 50N	$11,7\text{N}/\text{cm}^2$ sur une surface de $4\text{mm}^2$ de contact
Remarques	- Adhésion indépendante de la force appliquée	- Assemblage « recyclable » (nano-velcro) - Incompatibilité avec grande surface ( $>20\text{mm}^2$ )

Le Laboratoire LAPLACE a développé en son sein cette technologie qui a déjà fait l'objet de précédents travaux publiés par M. LUAN Quoc Hung.

Toutefois la technologie *nano scratch* n'a pas encore fait ses preuves. De nombreuses difficultés restent à surmonter. La technologie doit respecter les contraintes imposées par semi-conducteur (Si ou SiC) et le substrat (céramique, PCB), par exemple : la limite thermique des matériaux de passivation et de métallisation ; la limite mécanique du silicium qui est un matériau fragile, de même pour la céramique du substrat. Si l'on veut améliorer la

tenue thermomécanique des assemblages, alors il est nécessaire d'avoir une compatibilité des matériaux au sein du module de puissance.

Le chapitre à venir présente un procédé envisagé comme une solution possible à ces difficultés. Il consiste en l'amélioration d'un procédé de dépôt de nano fils de cuivre pour réaliser une nouvelle connectique adaptée à l'intégration tridimensionnelle.

## **Chapitre 2. Étude et Réalisation d'une nouvelle connectique par enchevêtrement de nano poteaux.**

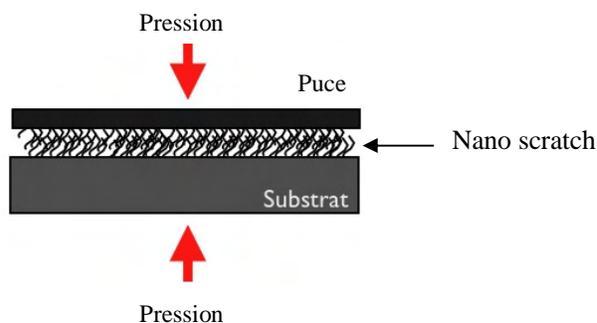
### **Table de matières**

<b>Chapitre 2. Étude et Réalisation d'une nouvelle connectique par enchevêtrement de nano poteaux. ....</b>	<b>42</b>
<b>2.1. Introduction .....</b>	<b>43</b>
<b>2.2. Dépôt de nano poteaux en bain électrolytique acide : des structures hétérogènes.....</b>	<b>54</b>
2.2.1. Réflexions sur le dépôt des poteaux et solutions envisagées.....	54
2.2.2. Choix du bain électrolytique pour dépôt en milieu acide.....	55
2.2.3. Choix des membranes pour dépôt en milieu acide.....	55
2.2.4. Choix de la température pour dépôt en milieu acide.....	58
2.2.5. Choix de la forme d'onde du courant pour dépôt en milieu acide.....	58
<b>2.3. Morphologies des nano structures obtenues.....</b>	<b>60</b>
2.3.1. Diamètre des poteaux .....	60
2.3.2. Longueur des poteaux .....	62
2.3.3. Formation de bulles lors d'un dépôt électrolytique en courant continu.....	66
2.3.4. Degré d'inhomogénéité .....	68
2.3.5. Influence des paramètres du dépôt.....	70
2.3.5.1. Composition du bain électrolytique et du pH.....	70
2.3.5.2. Influence de la température.....	71
2.3.5.3. Effet du courant électrolytique .....	72
<b>2.4. Assemblage de structures de nano poteaux hétérogènes. ....</b>	<b>73</b>
2.4.1. Assemblage entre deux structures court et court. ....	73
2.4.2. Assemblage entre deux structures moyennes. ....	74
2.4.3. Assemblage entre deux structures mixtes : moyen et court.....	75
2.4.4. Assemblage entre deux structures longues.....	76
<b>2.5. Conclusion.....</b>	<b>78</b>

## 2.1. Introduction

Afin de répondre au nécessaire développement d'une connectique adaptée à l'intégration tridimensionnelle, nous avons proposé au chapitre précédent un procédé développé au sein du laboratoire mettant en œuvre une connexion par nano-scratch.

Dans ce chapitre nous présentons sommairement la technologie utilisée et nous insisterons sur les améliorations que nous y avons apporté.



**Figure 2.1 :** assemblage « nano scratch »

Le principe d'assemblage par nano-scratch réside en une nano structure constituée de deux surfaces métalliques sur lesquelles sont électrodéposés des nano fils conducteurs. L'interconnexion est obtenue par pressage des surfaces l'une contre l'autre, l'interpénétration et l'enchevêtrement des nano fils créant une liaison électrique, thermique et mécanique.

Les premières études menées au sein du laboratoire par M. LUAN Quoc Hung <sup>[LUAN 010]</sup> en complément à ceux de Fraunhofer <sup>[ASC 06]</sup>, de Motorola <sup>[CHI 07]</sup>, ont montré le potentiel de cette technologie. Afin d'améliorer le procédé nous avons identifié un certain nombre de contraintes pour lesquelles nous proposons une réponse ou un début de réponse.

La technologie mise en œuvre répond déjà partiellement aux contraintes économiques. En effet, la méthode de dépôt électrolytique –solution déjà peu onéreuse– utilise des membranes commerciales utilisées pour la nano filtration de l'eau. Ces membranes jouent le rôle de «moule» pour fabriquer les nano fils en cuivre. Compte tenu de la large diffusion de ces membranes leur coût est modéré.

Dans ce qui suit, nous faisons apparaître les contraintes que nous avons été amené à prendre en compte dans cette étude.

✚ *Les paramètres du procédé de fabrication des nano fils de cuivre.*

**Membrane en alumine :** Les membranes utilisées ont des pores cylindriques, ordonnés, réguliers et perpendiculaires au plan de la membrane. La densité de pores est élevée ( $10^9$  pores/cm<sup>2</sup>). Ces paramètres sont susceptibles d'être modifiés en contrôlant le procédé d'anodisation d'aluminium, toutefois nous ne produisons pas de membrane particulière –cela augmenterait le coût–. Nous avons donc été amené à choisir parmi les membranes d'alumine commercialisées sous la dénomination (AAO) celle qui nous convenait le mieux. Notre choix s'est fait sur une gamme de membranes de 60µm d'épaisseur, trois tailles de pores sont disponibles de 20, 100, 200 nm, et elles ont une porosité allant de 25 à 50 %, ce qui équivaut à une densité de pore de  $10^9$ /cm<sup>2</sup>.

**Bain électrolytique :** Le procédé utilise un bain électrolytique spécifique à la base de sulfate de cuivre, de sulfate d'ammonium (NH<sub>4</sub>)<sub>2</sub>SO<sub>4</sub> et d'un additif (DETA (di-éthylène tri-amine) augmentant la conductivité du bain. La composition du bain d'électrodéposition des nano fils en cuivre est donnée dans le tableau 2.1.

**Tableau 2.1 :** Composition du bain électrolytique <sup>[LUAN 010]</sup>.

Produit	Concentration	Forme
CuSO <sub>4</sub> .5H <sub>2</sub> O	100g/l	Poudre
(NH <sub>4</sub> ) <sub>2</sub> SO <sub>4</sub>	20g/l	Poudre
DETA (di éthylène tri amine)	80ml/l	Liquide

**Courant électrolytique :** On utilise un courant pulsé à deux niveaux de densité de courant pour homogénéiser le dépôt des nano fils. Le durée à courant faible permet aux ions de migrer par diffusion ce qui garanti une composition constante du bain. L'effet est l'obtention d'une nano structure régulière. Les densités de courant retenues sont :

$$J_{c1} = -2 \text{ mA/cm}^2 \text{ pour une durée } T_{c1} = 250 \text{ ms.}$$

$$J_{c2} = -30 \text{ mA/cm}^2 \text{ pour une durée } T_{c2} = 50 \text{ ms.}$$

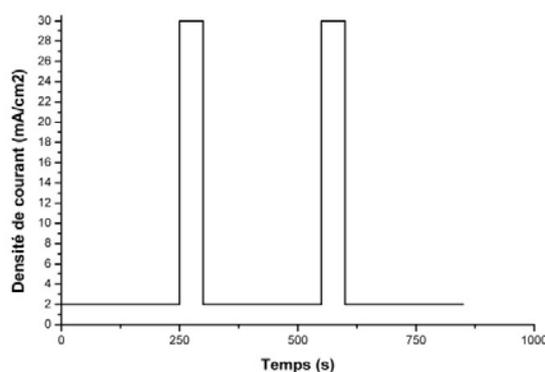


Figure 2.2 : profil du courant pulsé

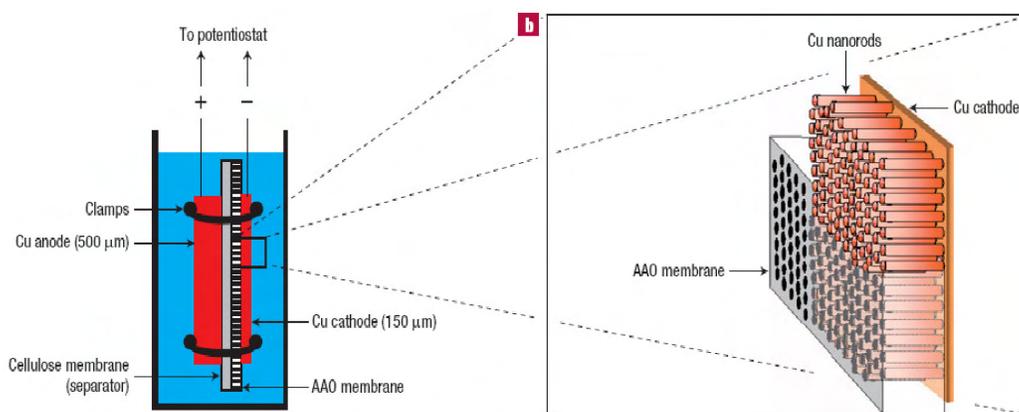


Figure 2.3 : principe de l'électrodéposition des nano fils en cuivre, P. L. Taberna [TAB 06]

La cathode (des morceaux de cuivre massif pouvant être la métallisation du substrat DBC, ou la métallisation d'une puce) est d'abord polie avec des papiers SiC 1200, 2400, 4000 (standard FEPA) et puis avec les disques en tissu mouillés et des suspensions diamantées de 9, 3, 1 et 0,4 µm. La membrane nano poreuse AAO est posée sur la face polie. Deux films de cellulose poreuse (diamètre du pore 20 µm, épaisseur 215 µm) assurent le calage entre la membrane et l'anode en cuivre de haute pureté. Il est important de mouiller les films de cellulose et la membrane avec de l'électrolyte pour obtenir un dépôt homogène sur toute la surface.

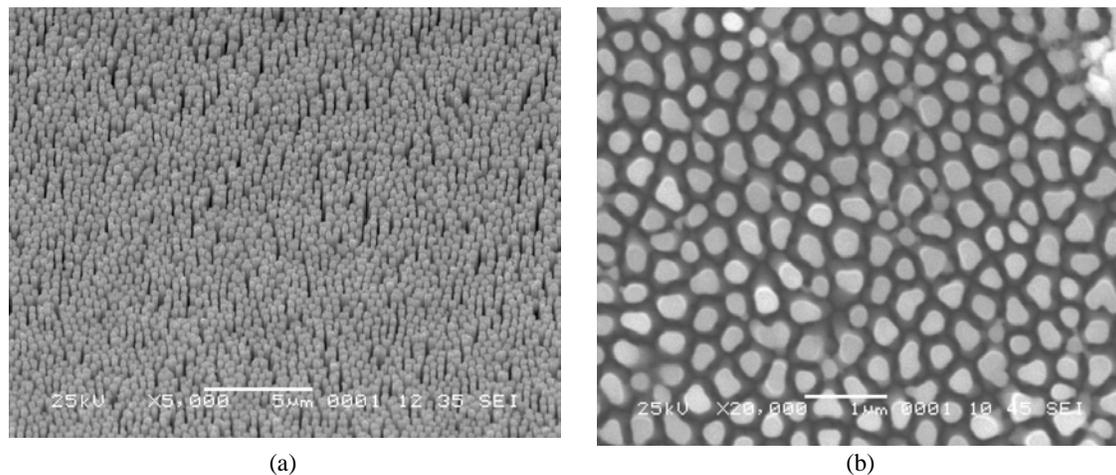
Un système de pinces presse sur l'ensemble par intermédiaire de deux plaques en téflon qui maintiennent ainsi la membrane en contact avec la cathode.

À l'aide d'une alimentation Keithley 2612A, pilotée par ordinateur, le courant ayant la forme et l'intensité désirée est appliqué aux électrodes.

Sous l'effet du champ électrique, les ions de cuivre migrent via les pores et se déposent sur la cathode. Après électrodéposition, l'échantillon est sorti de l'électrolyte puis trempé dans une solution de soude molaire à 80 °C pendant 30s pour dissoudre la membrane d'alumine.

✚ *Résultats de dépôts obtenus :*

Les premiers dépôts ont été effectués sur les pastilles de cuivre carrées de 14 mm de côté épaisses d'1mm (cathode de même nature que le matériau déposé) afin de faciliter la manipulation.

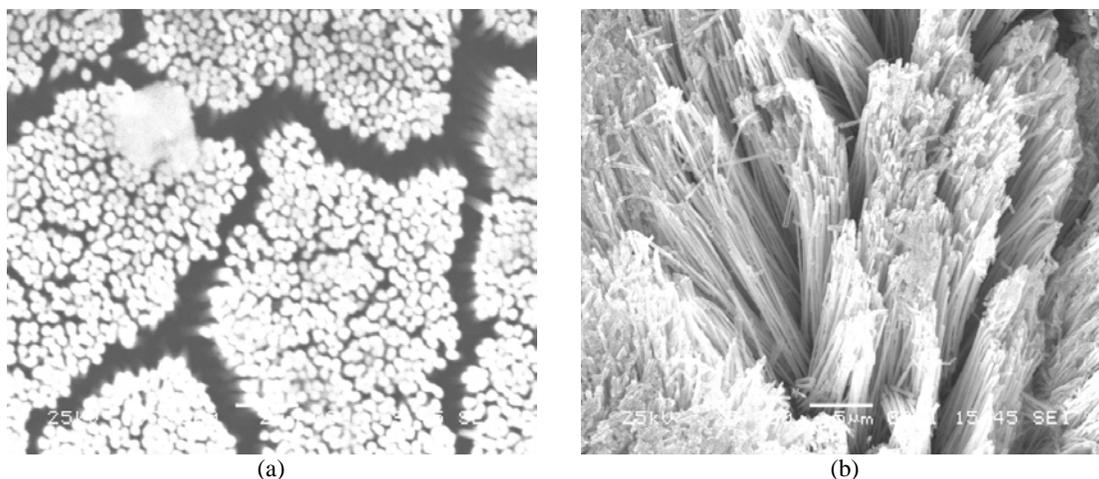


**Figure 2.4 :** nano structure ordonnée avec une longueur de poteaux (2-3  $\mu\text{m}$ ) <sup>[LUAN 08]</sup> :

(a) vue inclinée 45 °, (b) vue du dessus

Les micrographes 2.3 et 2.4 montrent des nano poteaux courts (2-3  $\mu\text{m}$ ) qui présentent une bonne uniformité. Cette organisation régulière résulte de l'emploi d'un procédé spécifique en termes de composition du bain et de forme d'onde du courant utilisé.

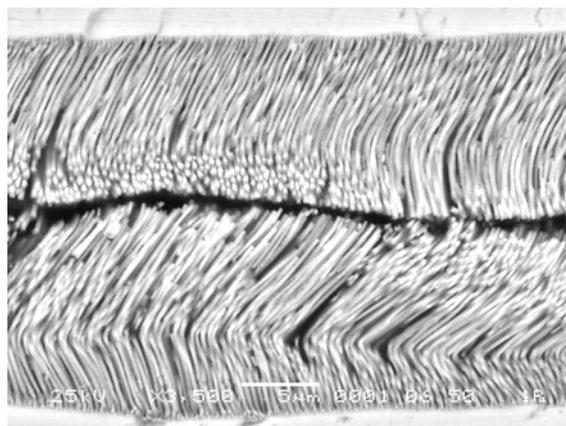
Des résultats similaires ont été obtenus pour un dépôt de longue durée. On constate que dans ce cas, les poteaux forment des paquets, un peu comme des épis. Le facteur de forme (ratio entre la longueur et le diamètre) est trop élevé ce qui fait que les poteaux se couchent et s'agglutinent. On peut constater ici que le temps de dépôt joue, évidemment, un rôle important sur la morphologie des poteaux.



**Figure 2.5 :** micrographes de nano poteaux en cuivre : (a) nano poteaux “moyens” (10-15  $\mu\text{m}$ ), (b) nano poteaux “longs” (quelques dizaines de  $\mu\text{m}$ )<sup>[LUAN08]</sup>.

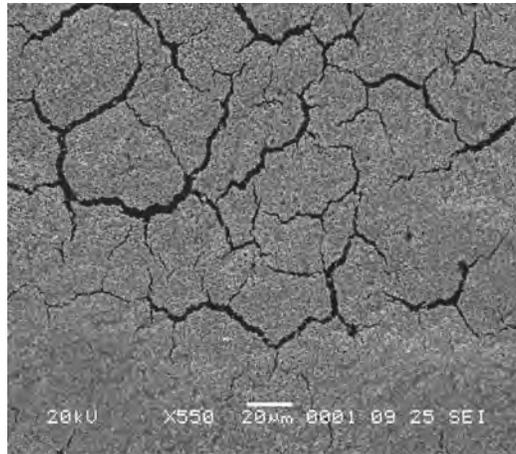
#### Problèmes de densité des nano poteaux et solutions

La première tentative pour réaliser un assemblage par enchevêtrement de nano fils utilisait des poteaux d'environ 15 $\mu\text{m}$ . Ce ne fut clairement pas une réussite comme le montre la figure 2.6. Malgré l'importance de pression appliquée ( $P = 100 \text{ MPa}$ ) il n'y eut pas d'interpénétration et par conséquent pas de liaison. La valeur du facteur de forme d'une part et l'importance de la densité des nano fils d'autre part sont clairement la cause de l'échec de la jonction.



**Figure 2.6 :** vue d'un assemblage non réussi de nano poteaux (15  $\mu\text{m}$ )

Des observations au microscope électronique à balayage (MEB) montrent que les nano fils de longueur supérieure à 15  $\mu\text{m}$ , s'agglomèrent et forment des paquets. De telles longueurs rendent impossible la réalisation de l'assemblage (figure 2.7).



**Figure 2.7 :** vue de nano structures longues (60µm) <sup>[LUAN 010]</sup>.

Des nano poteaux courts 2-3µm (figure 2.4) élaborés dans ce bain sont parfaitement perpendiculaire à la surface et ne s'agglomèrent pas. Tout ceci semble plus favorable pour ce type d'assemblage. Mais la densité des nano fils courts est toujours élevée ce qui empêche l'interpénétration des poteaux. D'autant que ces poteaux courts sont rigides.

La longueur des poteaux est certes importante pour l'assemblage mais c'est essentiellement le problème de la densité qui doit être tout d'abord réglé avant de pouvoir envisager un assemblage.

Nous nous sommes donc d'abord attachés à résoudre le problème de la densité de poteaux déposés qui est trop élevée. Des solutions qui nous paraissent prometteuses ont été testées et/ou envisagées telles l'obturation partielle les pores de la membrane, l'utilisation de membranes moins poreuses...

#### *Densité de nano-poteaux, des solutions.*

Les solutions présentées ici ont toutes donné des résultats, plus ou moins probants, mais dans chaque cas il a été possible de réaliser une liaison. Nous en avons utilisé certaines parfois avec succès.

#### *Amincissement des nano poteaux par attaque chimique*

L'objectif visé est de modifier la forme des nano-poteaux par une attaque chimique. Les nano poteaux ont été immergés dans une solution agressive d'acide sulfurique H<sub>2</sub>SO<sub>4</sub> dilué 0,1 M et de peroxyde d'hydrogène H<sub>2</sub>O<sub>2</sub> pendant 2 minutes.



La surface des poteaux en cuivre est tout d'abord oxydée par l'oxygène de l'eau oxygénée puis la couche d'oxyde est dissoute par l'acide. L'attaque chimique est plus forte au sommet des poteaux qu'à leur pied en raison de la diminution de la concentration des oxydants au pied des poteaux, ceux-ci ayant déjà réagi avec leur sommet. Cela conduit à des poteaux ayant une forme conique favorable à l'interpénétration lors de l'assemblage.

Nous constatons que l'attaque chimique est la solution à préférer pour les structures courtes (2 à 3  $\mu\text{m}$  de hauteur). C'est une solution intéressante car elle permet de conserver la densité initiale des poteaux ce qui est important pour la qualité des contacts électriques et thermiques de l'assemblage. Toutefois, il est difficile d'assurer une attaque homogène sur toute la surface.

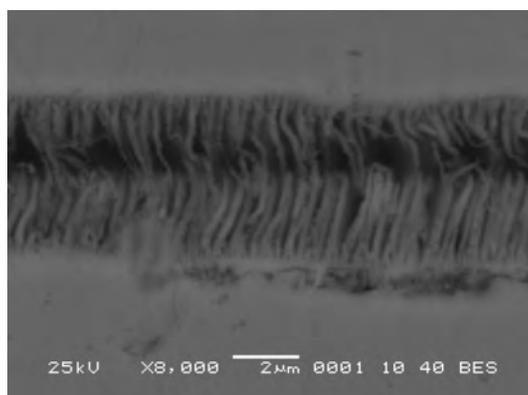


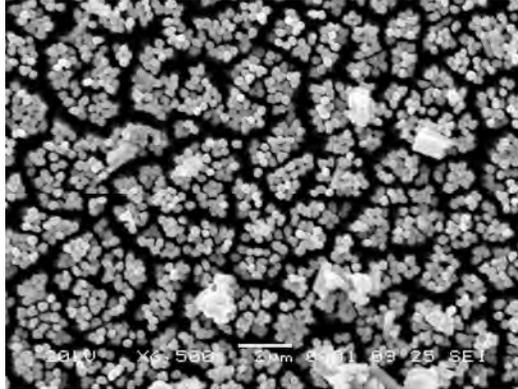
Figure 2.8 : assemblage des nano poteaux conique [LUAN 08]

#### ❖ *Obturation partielle des nano pores de la membrane AAO*

L'obturation des nano pores de la membrane peut se faire de différentes manières. Des essais ont été menés avec des nano particules solides [BAN 08] ou des molécules complexes comme nous le verrons plus loin. L'objectif de cette méthode est de créer une barrière non-conductrice qui empêche la migration des ions  $\text{Cu}^{2+}$  vers la cathode.

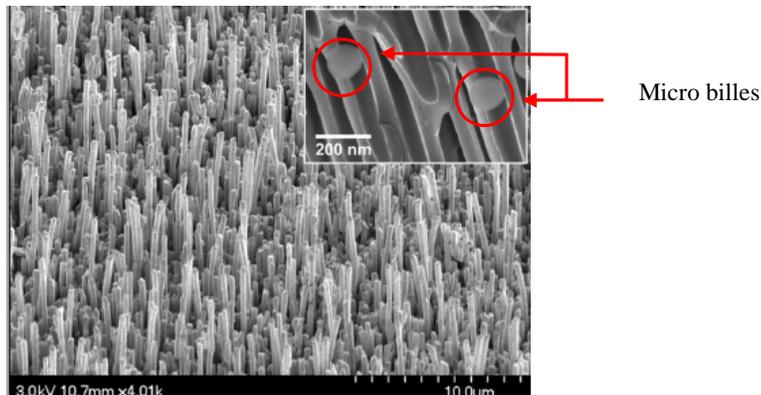
Le premier essai a consisté à boucher les membranes par des molécules alcalines. La membrane d'alumine a été trempée dans une solution de soude molaire. Elle a été laissée sécher à température ambiante. La membrane a été ensuite utilisée pour un dépôt de cuivre pendant 30mn. L'idée est que l'attaque de la soude adsorbe des ions  $\text{Na}^+$  en surface de la membrane ce qui permet de créer des zones de pH élevé lors de l'électrolyse susceptibles de

former les précipités de cuivre hydroxyde à partir des ions complexes de cuivre du bain basique [YOU 06]. Ces précipités bouchent partiellement les pores de la membrane pendant l'électrodéposition diminuant ainsi la densité de nano poteaux.



**Figure 2.9 :** dépôt avec une membrane bouchée par des molécules complexes.

Comme le montre le micrographe 2.9 la densité des nano poteaux n'a pas beaucoup changée. L'estimation avec le logiciel « image J » (cf. annexe 1) de la densité des poteaux donne  $10^9$  poteaux/cm<sup>2</sup> et le rapport entre la surface des poteaux et la surface totale est de 51%.



**Figure 2.10 :** nano poteaux en or électro déposés.  
Bouchage des pores par des microbilles en polystyrène [BAN 08].

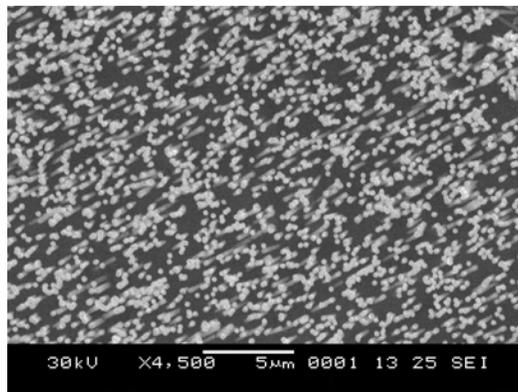
Ramin Banan-Sadeghian présente une autre méthode pour boucher la membrane en utilisant des microbilles de polystyrène [BAN 08]. La membrane a été trempée dans une suspension de polystyrène PS (0,05% massique) puis séchée à l'air ambiant. La figure 2.10 montre un dépôt d'or effectué avec une densité de courant d'1 mA/cm<sup>2</sup> durant 8 h dans une solution d'or OROTEMP [INC].

❖ *Utilisation de membranes ayant une densité de pores moindre.*

Dans la littérature, la membrane polycarbonate (PC) est beaucoup utilisée pour la synthèse de nano fils métalliques [HUL 97, MO 08, ENC 06, MOT 05, PAN 05]. Par rapport à des membranes alumines, les membranes polycarbonates présentent une structure moins ordonnée, une densité et porosité plus faible (tableau 2.2). Elles pourraient être utilisées comme solution alternative aux membranes en alumine de notre procédé. Toutefois, elles ont le désavantage de n'avoir pas les poteaux perpendiculaires à la surface de dépôt.

**Tableau 2.2 :** Comparatif des caractéristiques entre une membrane alumine et une en polycarbonate

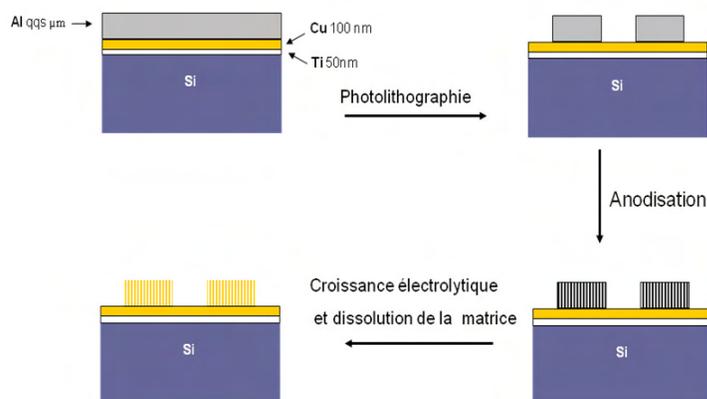
Membrane	Alumine	Polycarbonate
Diamètre pore ( $\mu\text{m}$ )	0,02 – 0,2	0,01 - 20
Epaisseur ( $\mu\text{m}$ )	60	7 - 20
Porosité (pores/ $\text{cm}^2$ )	$10^9$ - $10^{11}$	$10^5$ – $6.10^8$
Température max ( $^{\circ}\text{C}$ )	400	140



**Figure 2.11 :** nano poteaux en cuivre fabriqués avec une membrane en polycarbonate [LUAN 010].

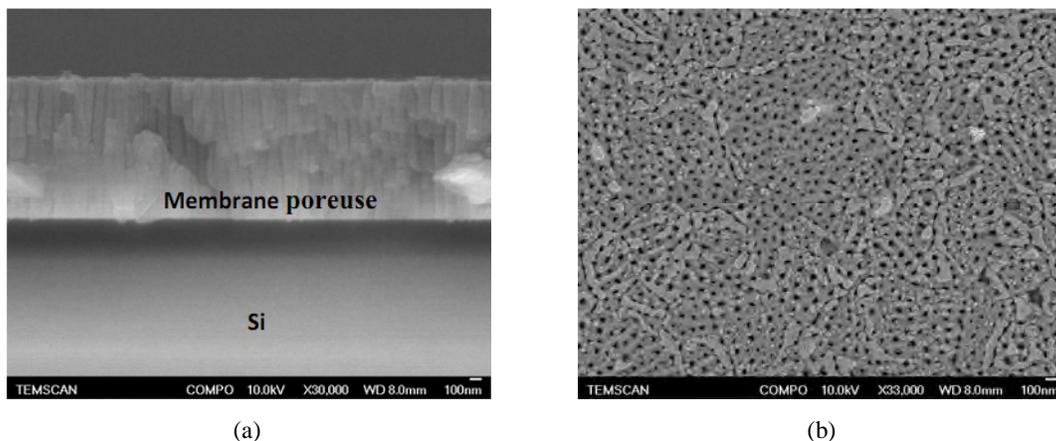
❖ *Fabrication d'une membrane de porosité contrôlée par anodisation d'aluminium*

Il est possible dans certaines conditions d'anodisation spécifiques, d'obtenir des membranes d'alumine poreuses et de contrôler cette porosité [FUR 89, JES 98, MAS 95, COZ 07, LEE]. Nous avons envisagé de fabriquer des membranes ayant une porosité contrôlée directement sur un substrat en silicium et faire croître par la suite des nano fils métalliques par électrodéposition.



**Figure 2.12** : principe de procédé de fabrication directe des nano fils en cuivre sur Si [LUAN 010]

La faisabilité de la fabrication des membranes sur un support en silicium est démontrée [NGUY 09, LUAN 010]. Les travaux de contrôle de la porosité de la membrane et la croissance des nano fils sont à envisager. Toutefois, nous recherchons une solution à faible coût qui utilise des membranes existantes. Dans cet objectif, nous avons décidé de ne pas explorer cette voie pour l'instant.



**Figure 2.13** : image MEB de la fabrication de la membrane sur le support Silicium par anodisation : (a) vue en tranche, (b) vue en surface [LUAN 010]

Au final après de nombreux essais, l'attaque chimique est la méthode qui a donné les meilleurs résultats pour traiter le problème de la trop grande densité de poteaux. Pour l'assemblage nano scratch, c'est une méthode intéressante du fait qu'elle ne change pas la densité initiale des nano poteaux mais seulement leur taille et leur forme.

La membrane polycarbonate pourrait aussi être utilisée comme solution alternative.

Les autres solutions n'ont pas été retenues pour des raisons de coût ou de trop grande complexité technologique.

✚ *Contraintes liées au PH du bain de dépôt électrolytique.*

L'objectif est de remplacer les connectiques conventionnelles (*i.e.* les fils de *bonding*, brasures...) par une connectique à base de nano scratch. Pour cela, il faut faire croître des nano poteaux de cuivre sur les métallisations des composants de puissance. Le procédé nécessite plusieurs étapes successives : dépôt dans un milieu spécifique (bain basique avec le PH = 10,5 à 60°C), amincissement des nano poteaux par attaque chimique (bain d'acide et de peroxyde d'hydrogène), et, enfin, dissolution de la membrane dans une solution oxydante (NaOH molaire à 80°C). Toutes ces étapes peuvent éventuellement contaminer, voire détruire les électrodes en métal des composants. Afin de conserver leur intégrité, il est nécessaire de protéger ces électrodes en les isolant de l'agression de l'environnement chimique lors du dépôt. La méthode utilisée pour protéger les électrodes doit répondre aux critères suivants : mise en œuvre aisée (dépôt, enlèvement), stabilité chimique, bonne résistance aux agressions chimiques (bain électrolytique pH= 10,5 à 60°C).

En microélectronique, lorsque l'on fabrique des micro dispositifs, la majeure partie des procédés (gravure, métallisation etc.) utilisent des moules à base de résines polymère fabriqués par photolithographie. Cette technique est facile à mettre en œuvre. Elle consiste à déposer une couche mince de résine à la tournette. La résine, selon sa nature, (positive, négative ou réversible) est insolée, développée puis enlevée par des solutions spécifiques qui n'attaquent pas les métallisations en aluminium.

Malheureusement, il existe peu de résines résistant à un environnement fortement basique et le pH de nos solutions est 10,5. Par contre, un grand nombre de travaux, citons ceux de G. Troussier <sup>[TROU 04]</sup>, L. Ménager <sup>[MEN 08]</sup>, Georges C. Lo <sup>[LO 04]</sup> présentent variété de solutions de protection et de revêtement de surface : résine réversible AZ5214E, film sec PM275, résine négative SU-8, qui résistent bien aux solutions acides. La disponibilité de deux de ces méthodes de protection, à savoir la résine AZ5214E et le film PM275, au laboratoire, ainsi que l'importance des connaissances acquises sur cette résine et ce film lors du développement des micro-poteaux <sup>[MEN 08]</sup> nous a conduit à envisager de modifier le bain électrolytique utilisé pour les dépôts. Ainsi, au lieu d'utiliser un bain basique ainsi que l'a fait LUAN Quoc Hung <sup>[LUAN 010]</sup>, nous avons utilisé un bain électrolytique acide.

Le passage en milieu acide nous permet de résoudre très simplement le problème du masquage des résines de protection pour protéger les métallisations des composants de

puissance. C'est le développement de ce nouveau procédé qui est détaillé au paragraphe suivant.

## **2.2. Dépôt de nano poteaux en bain électrolytique acide : des structures hétérogènes**

### **2.2.1. Réflexions sur le dépôt des poteaux et solutions envisagées**

Si le passage au bain acide permet de résoudre les difficultés rencontrées pour protéger les métallisations de l'attaque par le bain électrolytique, il ne règle pas le problème de la trop grande densité des nano poteaux. Rappelons ici que nous cherchons à diminuer, en première approche, cette densité pour permettre l'interpénétration des poteaux. La densité trop élevée est donc un problème. Toutefois, la forte densité de poteaux est aussi atout. Qui dit forte densité de poteaux dit forte densité de contacts et par conséquent dit, *a priori*, une meilleure conductivité qu'elle soit électrique ou thermique, ainsi qu'une meilleure tenue mécanique.

L'amincissement des nano poteaux par attaque chimique qui a été mise au point par LUAN Quoc Hung <sup>[LUAN 010]</sup> reste utilisable et c'est la solution à préférer pour les nano structures courtes (2-3 $\mu\text{m}$ ), mais celles-ci ont une mauvaise tenue mécanique comme nous le verrons ultérieurement. Par contre, l'attaque chimique des nano poteaux exige des solutions parfois compliquées pour que l'acide sulfurique dilué et le peroxyde d'hydrogène entrent dans l'espace existant entre des poteaux de taille nano métrique et corrodent une partie de ceux-ci. De plus, l'homogénéité de l'attaque sur une grande surface est aussi une question délicate.

Il n'en reste pas moins que jusqu'à présent l'attaque chimique était nécessaire pour permettre un bon enchevêtrement des poteaux.

Or, l'objectif est l'interpénétration de poteaux, aussi avons-nous eu l'idée suivante : plutôt que de faire des poteaux très longs et de devoir ensuite les raccourcir et affiner leur forme par une attaque chimique complexe, utilisons des dépôts dissymétriques. Ainsi, sur une face nous ferons pousser des poteaux longs et sur une autre face des poteaux courts ou de taille moyenne.

L'avantage de cette approche, si elle donne les résultats escomptés, est qu'elle supprime l'étape de l'attaque acide des poteaux simplifiant ainsi le procédé.

Nous avons donc deux pistes pour améliorer le procédé, nous avons d'abord mis au point le procédé de dépôt en milieu acide : choix du bain électrolytique, choix des membranes, choix de température et forme du courant utilisé.

### 2.2.2. *Choix du bain électrolytique pour dépôt en milieu acide.*

Dans un premier temps et afin de bénéficier de l'expérience acquise au laboratoire, nous avons employé les bains électrolytiques utilisés pour la fabrication des micro-poteaux utilisés pour réaliser une nouvelle connectique pour l'intégration 3D [MEN 08]. Il s'agit d'un électrolyte à la base de sulfate de cuivre dans un environnement fortement acide (32ml/l acide sulfurique à 95%).

**Tableau 2.3 :** Composition du bain électrolytique acide :

Produit	Concentration	Forme
Sulfate de cuivre penta hydrate ( $\text{CuSO}_4 \cdot 5\text{H}_2\text{O}$ )	220 g/l	Poudre
Acide sulfurique ( $\text{H}_2\text{SO}_4$ )	32 ml/l	Liquide
Acide chlorhydrique (HCl)	0,2 ml/l	Liquide
Des agents brillanters, nivelant Rubin T200 :		
Rubin T200 A	2 ml/l	Liquide
Rubin T200 G	8 ml/l	Liquide
Rubin T200 E	2 ml/l	Liquide

Le sulfate de cuivre prodigue les ions de cuivre qui se déposent sur la cathode durant l'électrodéposition. L'acide sulfurique augmente la conductivité, la mouillabilité de l'électrolyte et réduit la polarisation des électrodes [BAD, GAO 05]. Les additifs servent à améliorer l'uniformité du dépôt produit.

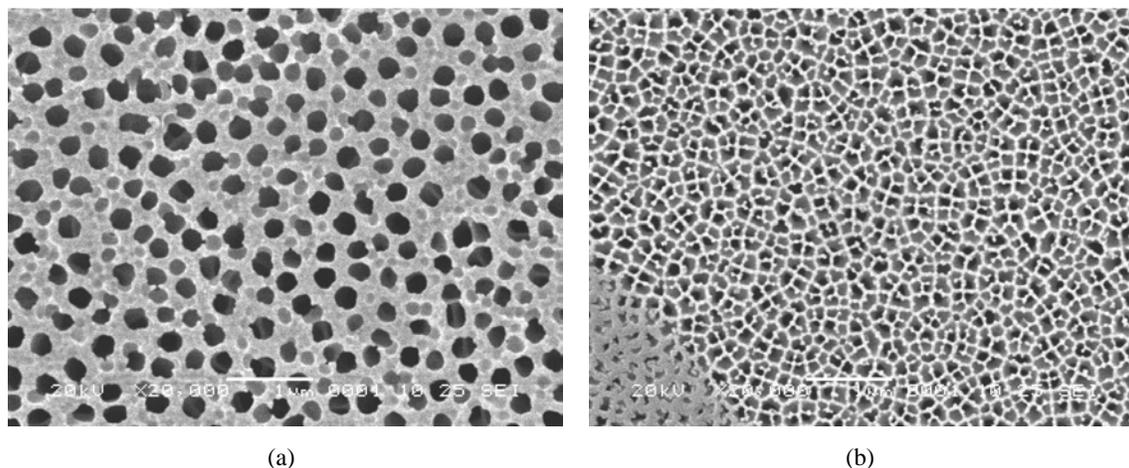
### 2.2.3. *Choix des membranes pour dépôt en milieu acide*

*A priori*, nous n'avons pas de raisons de ne pas utiliser les mêmes membranes que celles utilisées en milieu basique. Nous avons toutefois qualifié les membranes à notre disposition : des membranes AAO utilisées pour la nano filtration de l'eau ayant des pores de 200, 100 et 20nm.

La structure des membranes est asymétrique (figure 2.14) à cause du procédé de fabrication. La face avant est mise en contact avec la surface sur laquelle les nano-poteaux croissent. Cette face présente des ouvertures de conduits traversant perpendiculairement la membrane de diamètre assez grand, mais ce diamètre diminue au fur et à mesure que le conduit traverse la membrane. À partir d'une certaine profondeur, le diamètre de ces conduits devient uniforme

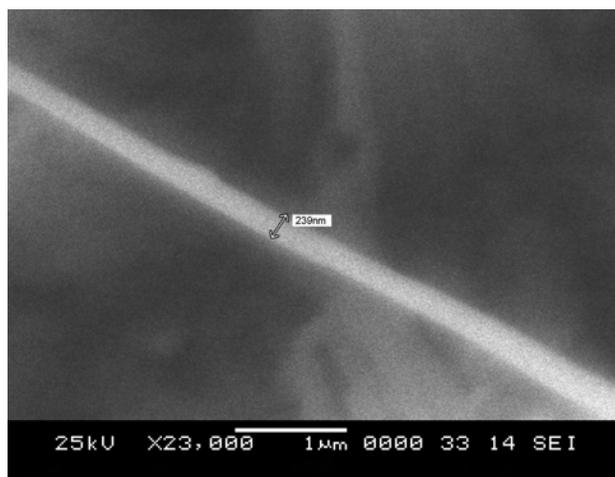
ainsi que le montre la figure 2.16.

Les membranes d'alumine sont hydrophiles ce qui assure une bonne mouillabilité des solutions dans les nano pores. La structure de l'AAO, est considérée stable avec la température dans des solvants inorganiques. Cette structure a des pores uniformes et parallèles entre eux. Ces pores sont perpendiculaires à la surface. Elle correspond à une matrice idéale pour les nano poteaux.



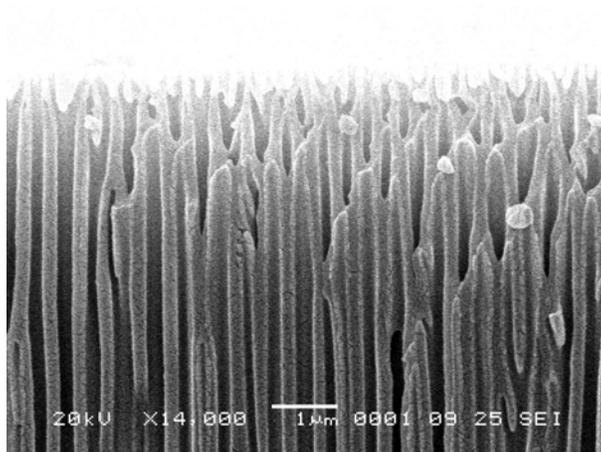
**Figure 2.14** : micrographe d'une membrane AAO ayant 200 nm de diamètre de pore : (a) face avant, (b) face arrière

Lors de cette étude (croissance des nano poteaux en milieu acide) les trois types de membranes ont été utilisés. Les dépôts avec ces membranes donnent des résultats surprenants. Le diamètre des poteaux déposés sont les mêmes quelque soit le type de membrane utilisé : 200 nm.

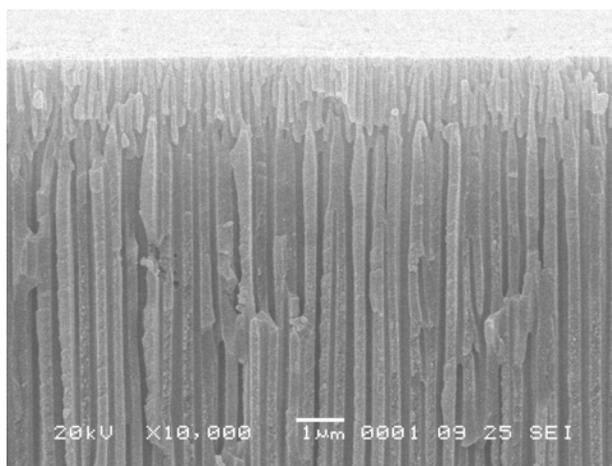


**Figure 2.15** : nano fils obtenus avec la membrane 100 nm

L'observation microscopique montre qu'il existe une faible épaisseur localisée à la surface de la membrane ayant des pores au diamètre annoncé de 100 ou 20 nm, dans le reste de l'épaisseur de la membrane le diamètre est de 200nm (voire plus en face avant). Dans une application de filtrage ce profil de pores est suffisant, par contre dans nos applications cela nous limite à un seul diamètre pour nos nano poteaux. C'est la raison pour laquelle les membranes de 100 ou 20nm ne sont pas beaucoup utilisées dans notre étude.



**Figure 2.16 :** micrographe de la structure des pores à l'intérieur d'une membrane 200 nm.



**Figure 2.17 :** micrographe de la structure des pores des membranes 100 nm

Enfin, nous avons déjà fait le choix de ne pas utiliser les membranes en polycarbonate à cause de leur trop faible densité de nano pores (de  $10^5$  à  $6.10^8$  pores/cm<sup>2</sup>).

Finalement, la quasi totalité de l'étude utilisera des membranes AAO ayant des pores de 200nm de diamètre.

#### **2.2.4. Choix de la température pour dépôt en milieu acide**

D'un point de vue économique, il est plus intéressant d'effectuer les dépôts électrolytiques à basse température. Néanmoins l'augmentation de la température est signalée améliorer la vitesse de dépôt [LUAN 010]. De plus, et surtout, les travaux de M.E. Toimil Molares [MOL 011] montrent que la cristallographie des nano fils de cuivre déposés change avec la température. À température ambiante les nano fils déposés ont une structure polycristalline ayant des grains fins. Avec l'augmentation de la température la taille des grains augmente progressivement jusqu'à obtenir des monocristaux pour un bain à 60 ° C.

#### **2.2.5. Choix de la forme d'onde du courant pour dépôt en milieu acide**

Le courant joue un rôle important sur les phénomènes physico-chimiques qui se produisent dans le bain électrolytique. Dans de nombreux travaux l'importance de la forme d'onde du courant, de son amplitude et de sa nature (pulsé, constant<sup>1</sup>...) sur l'uniformité des nano structures est mise en avant. Selon Nathan J. Gerein et al [GER 05], l'utilisation d'une densité de courant électrolytique pulsé de grande amplitude ( $\approx 70 \text{ mA/cm}^2$ ) et de haute fréquence (200 Hz) permet de garder une vitesse de croissance constante et de remplir les nano pores des membranes de façon homogène. Pour Sauer et al [SAU 02], l'uniformité de la croissance pourrait être atteinte par l'utilisation d'un courant pulsé de densité relativement forte ( $15 \text{ mA/cm}^2$ ).

Généralement, pour les dépôts électrolytiques en courant continu (dépôt DC) avec une membrane poreuse, une faible densité du courant ( $0,1-1 \text{ mA/cm}^2$ ) favorise la formation de nano fils « compacts » tandis qu'une densité importante ( $20-300 \text{ mA/cm}^2$ ) renforce la vitesse de croissance et favorise la formation de nano tubes [YOO 04] qui ne sont pas souhaitables : la résistance mécanique de ces nano tubes n'est pas compatible avec l'application visée.

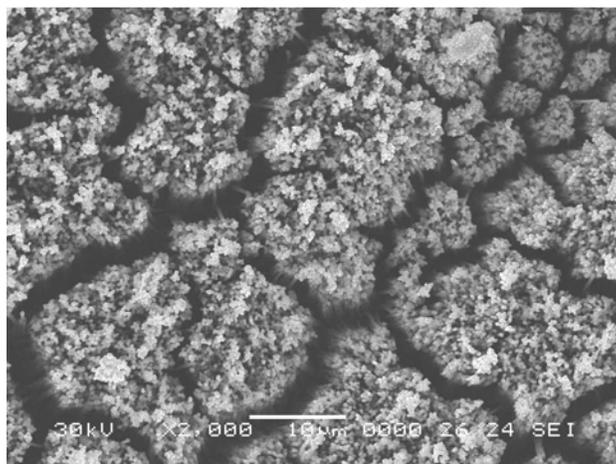
Nous avons d'abord étudié les dépôts obtenus avec le même courant que celui utilisé pour les bains basiques et ce afin de qualifier le bain basique par rapport à une référence connue. La forme d'onde que nous avons utilisée est celle décrite à la figure 2.2 de ce chapitre.

Par la suite nous avons étudié d'autres formes de courant. Le courant constant est souvent considéré comme donnant des dépôts de moins bonne qualité si l'on considère l'uniformité du dépôt. L'utilisation du courant constant devrait donc permettre de créer des nano structures hétérogènes. Mais quelle intensité choisir en régime constant ? L'image suivante présente une

---

<sup>1</sup> Notons que le courant pulsé est continu au sens où il ne change pas de signe. Par opposition le courant constant est un courant dont l'amplitude est constante au cours du temps, donc monopolaire.

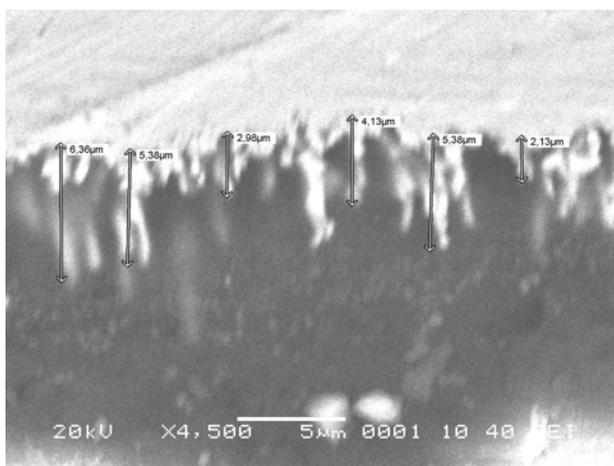
nano structure obtenue avec un courant constant de densité égale à  $20 \text{ mA/cm}^2$ . Le dépôt a duré 45 minutes à une température de  $60^\circ\text{C}$ . Les nano-fils croissent très vite et forment de gros paquets. La forte croissance des nano poteaux complique donc le contrôle de la morphologie des nano structures.



**Figure 2.18** : exemple de dépôt avec une forte densité de courant

De façon à éviter ce type de morphologie qui ne convient à nos applications, le courant choisi doit être limité. Nous avons choisi d'utiliser une densité de courant égale au courant pulsé moyen (composante continue du courant pulsé) soit :

$$J_{\text{retenu}} = \frac{J_1 \cdot T_1 + J_2 \cdot T_2}{T_1 + T_2} = 6,66(\text{mA} / \text{cm}^2) \quad (2.3)$$



**Figure 2.19** : exemple de dépôt avec un courant continu ayant une densité  $J = 6,66 \text{ mA/cm}^2$

Les dépôts obtenus présentent une grande dispersion des longueurs des poteaux, mais le

procédé reste contrôlable. C'est cette intensité de courant qui a été retenue pour la suite de nos travaux. Cette intensité présente de plus l'avantage de pouvoir comparer les quantités de matière déposée puisqu'à durée égale la quantité de courant est la même que l'on utilise du courant pulsé ou constant.

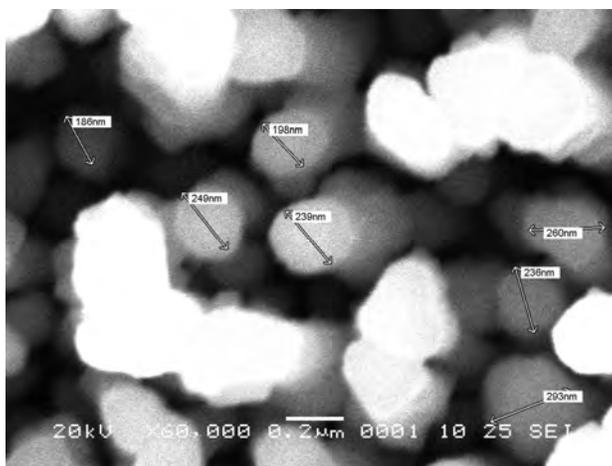
## **2.3. Morphologies des nano structures obtenues**

La fiabilité du système multi-contact formé par pressage de deux nano structures dépend forcément des dimensions des poteaux. Si le diamètre et la longueur des poteaux sont des facteurs importants, l'homogénéité de ces dimensions ne l'est pas moins.

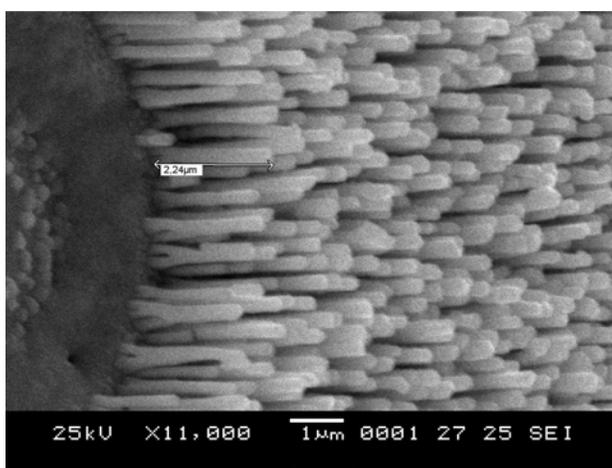
De même, la cristallographie du cuivre déposé (fixée en grande partie par le courant ou tension de dépôt [BEN 01, GER 05, NGUY, ING 09], les additifs [RAD 010, CHO 09], la température de dépôt [NIK 07]) est aussi un paramètre important qui, forcément, influence le comportement mécanique de l'assemblage. Afin de simplifier cette étude, et compte tenu du grand nombre de paramètres déjà considérés cet aspect n'est pas pris en compte ici. Une campagne de dépôt avec différentes conditions expérimentales, respectant le cadre décrit ci-dessus, a été réalisée afin d'étudier l'influence des paramètres de dépôt sur la morphologie des nano structures obtenues. L'objectif de cette campagne est d'identifier de façon qualitative des morphologies susceptibles de réaliser des accrochages de bonne qualité. La suite présente les caractéristiques des nano structures obtenues.

### **2.3.1. Diamètre des poteaux**

Ce facteur est essentiellement dicté par la structure des pores des membranes utilisées. Le diamètre observé des poteaux varie de 200 à 400 nm. La base des pores de la membrane AAO est conique ou en « tronc d'arbre », en conséquence la racine des poteaux longs présente ce type de forme et les poteaux courts ont soit une forme conique soit une forme en tronc d'arbre ainsi que le montre le micrographe suivant :



(a)



(b)

**Figure 2.20** : vue des dépôts courts : (a) vue de haut d'une nano structure court, (b) vue de côté d'une nano structure courte

Afin de pouvoir visualiser le pied des poteaux, certains défauts ont été introduits sur la surface de dépôt, ce qui laisse après dépôt une « clairière » propice aux mesures.

Le diamètre des pieds des poteaux atteint par endroit 380nm. Par contre le haut des poteaux présente un diamètre uniforme d'environ 230nm. Cette valeur est aussi la plus fréquente en terme diamètre de poteaux.

Cette forme conique peut sembler gênante, il n'en n'est *a posteriori* rien. En effet, l'élargissement de la base devrait favoriser les échanges thermiques et électriques, de même le diamètre s'élargissant, la rigidité des poteaux croit à l'approche de la surface, ce qui devrait favoriser la flexion des sommets et la formation de crochets favorables à la bonne tenue

mécanique des liaisons. Cette forme devrait être avantageuse par rapport à la forme "cigarette" des nano fils en polycarbonate que l'on trouve souvent dans la littérature [MOT 05, SCH 97].

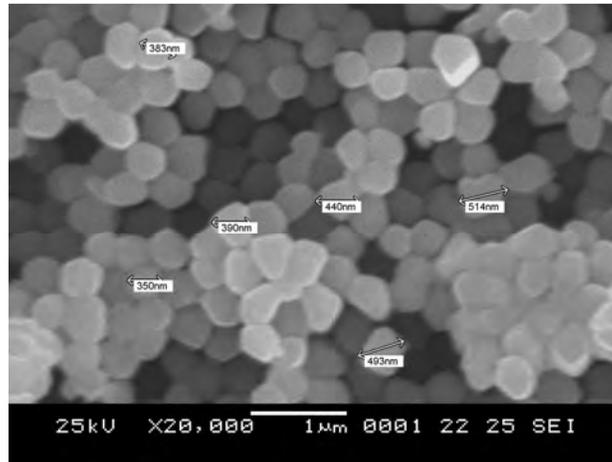


Figure 2.21 : mesure du diamètre des nano poteaux

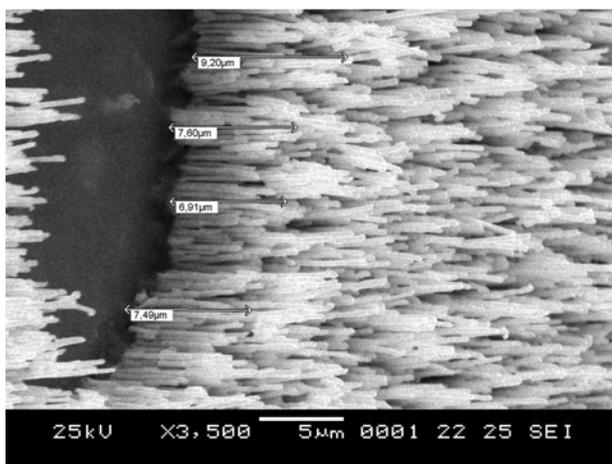
Notons que quelques poteaux avec un diamètre assez grand : 340 voire plus de 400 nm ont également été observés. Ceci peut être dû à la fusion de deux poteaux à cause de perforation latérale dans la membrane plus haut dans l'épaisseur de celle-ci.

### 2.3.2. Longueur des poteaux

La longueur des poteaux est, d'évidence, un paramètre important pour leur interpénétration. La membrane étant choisie, c'est le seul paramètre à notre disposition pour fixer le facteur de forme des poteaux. Or, ce facteur de forme est de première importance dans la qualité des liaisons réalisées. Jusqu'à présent, l'expérience montre que les structures longues et uniformes ( $>15 \mu\text{m}$ ) rendent difficile, voire impossible, l'assemblage en empêchant toute interpénétration des fils des deux surfaces assemblées [LUAN 010]. Expérimentalement la longueur permettant les meilleurs assemblages pour des structures uniformes avait été évaluée à de 2-3  $\mu\text{m}$  avec une étape attaque chimique supplémentaire afin diminuer/affiner la taille des poteaux [LUAN 010].

Pour les structures hétérogènes fabriquées en bain acide, comme toutes les longueurs de poteaux ne sont pas mesurables (rappelons que la densité de poteaux est de  $10^9/\text{cm}^2$ ), nous avons choisi d'utiliser un paramètre de forme pour commencer l'étude quitte à affiner ce paramètre ultérieurement. Ce paramètre consiste à mesurer les longueurs des poteaux les plus

longs de plusieurs paquets et de calculer la moyenne de ces valeurs. Ce choix peut être critiquable, mais il a l'avantage de donner un indicateur simple, mesurable et qui s'est finalement avéré fiable, que l'on peut rattacher aux dépôts de longueur homogène obtenus en courant pulsé.



**Figure 2.22** : mesure de la longueur des nano fils

L'échantillon est incliné de 45°. La mesure s'effectue à l'aide d'un outil de traitement d'image du logiciel de pilotage du Microscope Electronique à Balayage de type JEOL JSM-6060LV.

La longueur de poteaux reflète la quantité de matière déposée qui résulte de l'action du courant en fonction de temps. Nous pouvons toujours contrôler la longueur en jouant sur la durée du dépôt. Ceci pourrait être suffisant pour réaliser des nano structures ayant les longueurs souhaitées.

Néanmoins, nous pouvons avoir des informations supplémentaires sur les conditions du dépôt en calculant la longueur théorique des nano poteaux déduite de la loi de Faraday.

Selon la loi de Faraday (équation 2.4), la quantité de matière déposée est proportionnelle à la charge transférée :  $Q = I.t$

$$m_d = \frac{A_m}{nF} . I.t \quad (2.4)$$

Elle fait intervenir la masse atomique du matériau  $A_m$  (en  $\text{g. mol}^{-1}$ ),  $n$  le nombre d'électrons nécessaires pour réduire l'ion du matériau déposé et de la constante de Faraday  $F = 96487$

$C \cdot \text{mol}^{-1}$  ( $F = N_A \cdot e$  :  $N_A$  nombre d'Avogadro =  $6,02217 \cdot 10^{23} \text{ mol}^{-1}$  ;  $e = 1,60219 \cdot 10^{-19} \text{ C}$ ).

La figure 2.23 montre la relation entre la valeur moyenne de la hauteur maximale des poteaux et la durée de dépôt. La droite représente la croissance théorique selon la loi de Faraday. Elle est établie pour une porosité de 40% de la membrane et pour un courant constant de 12,23 mA correspondant au courant à appliquer pour avoir, compte tenu de la surface de dépôt, la densité de courant choisie plus haut. La valeur de 40% a été obtenue par traitement d'image d'un micrographe.

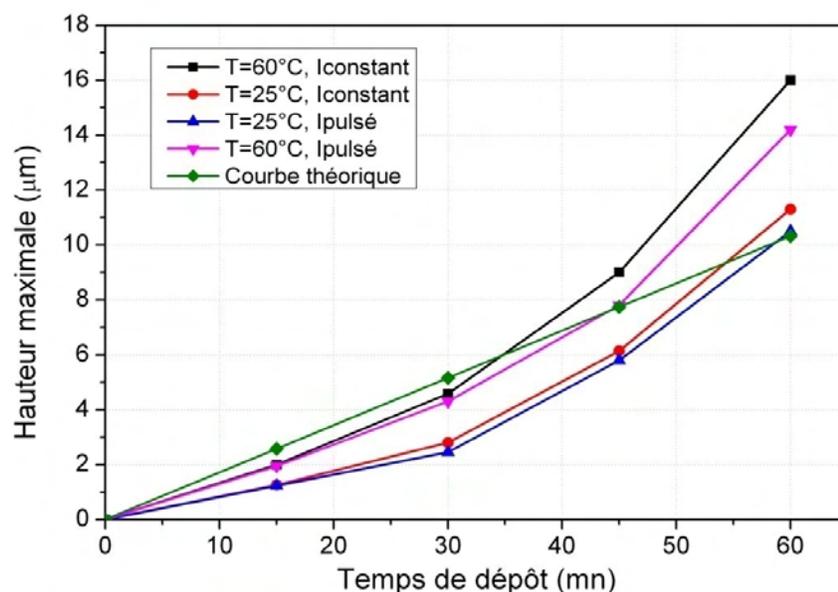


Figure 2.23 : hauteur maximale moyenne en fonction de la durée de dépôts

Nous constatons qu'au début, la courbe théorique se positionne au-dessus des courbes expérimentales, qu'il s'agisse de courant constant ou pulsé. Autrement dit, il y a une quantité de cuivre qui se dépose quelque part mais pas dans les pores de la membrane.

Nous pensons qu'à cause des défauts de rugosité de la surface des échantillons la membrane n'adhère pas totalement à la surface. Par conséquent en début de dépôt il se forme une semelle mince un peu comme un ré-agréage qui met à niveau l'ensemble de la surface de l'électrode jusqu'à atteindre la membrane. À partir de ce moment-là, le poteau commence sa croissance à travers la matrice qu'est la membrane. Ce phénomène consomme du cuivre ce qui limite la croissance des nano poteaux au sein des nano pores au début du dépôt, expliquant ainsi le fait que les courbes soient en dessous de la courbe théorique. Ce phénomène peut être observé sur le micrographe 2.24.

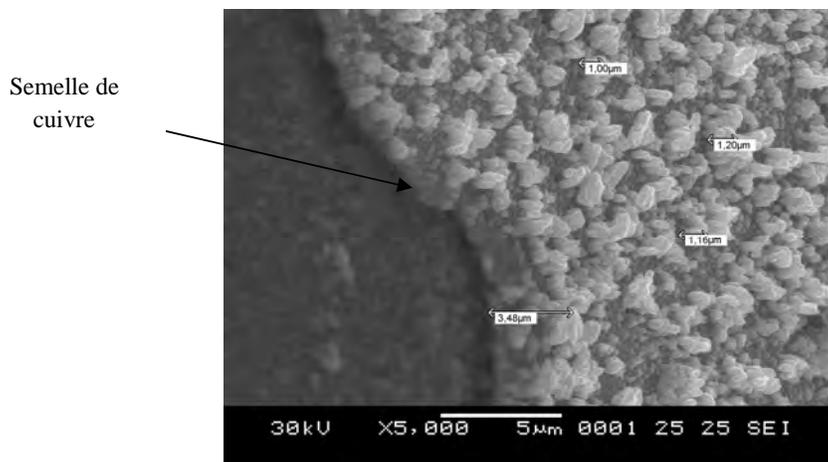


Figure 2.24 : formation de la semelle en cuivre

À partir d'un certain temps de dépôt variant suivant la forme d'onde du courant, la courbe théorique passe au-dessous des courbes expérimentales. Cela veut dire qu'en général la vitesse de croissance dans les pores est plus grande que celle prédite par la loi de Faraday. Ceci est attendu car nous comparons la valeur moyenne maximale des nano poteaux à une quantité de matière. Il est clair que l'indicateur choisi ne reflète pas la quantité de matière déposée : nous calculons une moyenne de valeur maximales et non une moyenne des longueurs. Notre indicateur est donc naturellement « optimiste ».

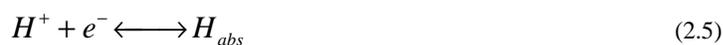
Toutefois, en calculant la quantité de matière déposée au travers des poteaux de longueur maximale utilisés pour la détermination de notre indicateur nous pouvons calculer la densité de courant à appliquer pour obtenir ces longueurs à partir de la loi de Faraday. Or dans chaque cas, cette densité de courant est supérieure à la densité courant réellement appliquée. À titre d'exemple de calcul, considérons des dépôts à 60°C avec un courant constant. Entre  $t=45\text{min}$  et  $t=60\text{min}$  la variation de la longueur des poteaux est de  $L_1 = 7,0 \mu\text{m}$ . Le diamètre des poteaux est constant et vaut  $D = 200 \text{ nm}$ . La quantité de matière nécessaire est calculée  $m_{L_1} = (\pi \cdot D^2 / 4) \cdot L_1 \cdot d_{\text{Cu}} = 1,9606 \text{ pg}$  (masse volumique du cuivre  $d_{\text{Cu}} = 8920 \text{ kg/m}^3$ ). Selon la loi de Faraday, le courant constant théorique pour déposer cette masse en 15 minutes est  $I_1 = 6,6038 \cdot 10^{-12} \text{ A}$ . La membrane ayant une porosité de 40%, la surface totale de dépôt est de  $S_{\text{dépôt}} = 0,784 \text{ cm}^2$ . Par conséquent nous sommes amenés à conclure que durant ces 15 mn, et pour ces poteaux, l'intensité utilisée est de 23,3 mA ce qui est supérieur à celle réellement appliquée (12,3 mA).

Afin d'expliquer ce phénomène nous pouvons émettre deux hypothèses :

- 1) Les diamètres de pores diminuent au fur et à mesure que l'on avance dans l'épaisseur de la membrane, ce qui entraîne que le dépôt se produit dans une section plus petite entraînant une longueur plus élevée qu'attendue. Si cette hypothèse est plausible, elle ne tient pas lorsque l'on observe le profil pores dans l'épaisseur de la membrane au MEB : le diamètre reste constant. Cette hypothèse peut donc être rejetée.
- 2) Les dépôts ne se produisent pas sur la totalité des nano pores. Certains pores sont obturés par un phénomène de bullage (généralement formation de bulles d'hydrogène par électrolyse de l'eau). Le dépôt se produit alors uniquement dans les pores ouverts. En effectuant un simple ratio on trouve qu'à 60 minutes de dépôt environ 52,3% des pores sont ouverts. Des calculs similaires suggèrent que 82,3 % des pores soient ouverts à 45 minutes. Puisque la surface réelle de dépôt diminue, la vitesse de croissance des poteaux dans les pores ouverts augmente. Cette hypothèse semble confirmée par la dispersion de la longueur des poteaux obtenus toute la surface de dépôt.

### 2.3.3. Formation de bulles lors d'un dépôt électrolytique en courant continu

On constate sur les échantillons plus de clairières qu'il n'en n'avait été introduit, ces clairières supplémentaires pourraient être causées par le phénomène de bullage. Selon *Volmer-Heyrovsky* <sup>[MIS 07]</sup>, la réduction des ions  $H^+$  génère des bulles d'hydrogène. Le mécanisme peut être décrit comme suit :



L'hydrogène produit forme de bulles de gaz.

Si le phénomène de bullage existe durant tout dépôt électrolytique, il est nettement plus marqué en début de dépôt. Ainsi, la formation de bulles à l'interface métal/membrane peut obturer les pores créant des zones sans dépôt. Ce type de bulles est souvent de taille micrométrique ce qui correspond à la dimension des clairières observées.

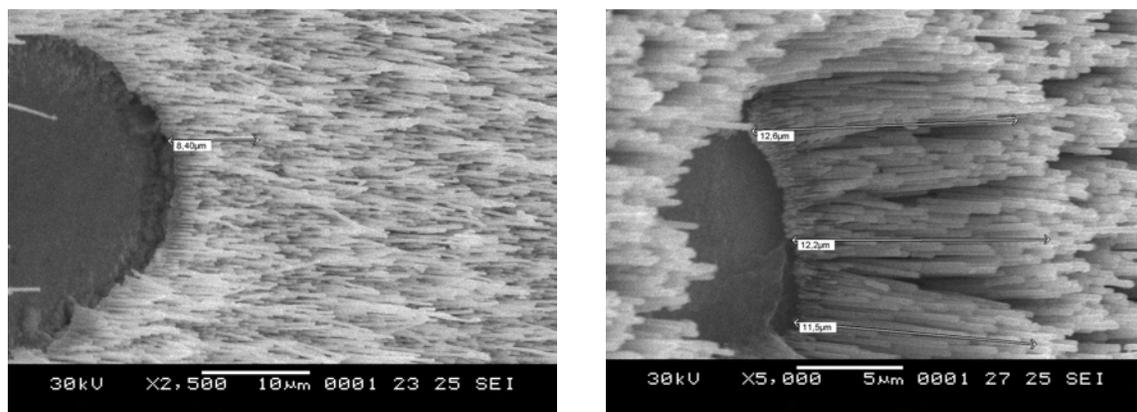
Par la suite, il peut se former des nano-bulles de gaz à l'intérieur des pores, ces bulles peuvent obstruer ceux-ci. Elles constituent une barrière empêchant la migration des ions de  $Cu^{+2}$  vers la cathode, qui est le sommet des nano poteaux, sur lequel les ions sont réduits pour former un réseau cristallin. Par conséquent, jusqu'à ce que la nano-bulle soit évacuée, le pore est bouché

et le dépôt n'a plus lieu à cet endroit.

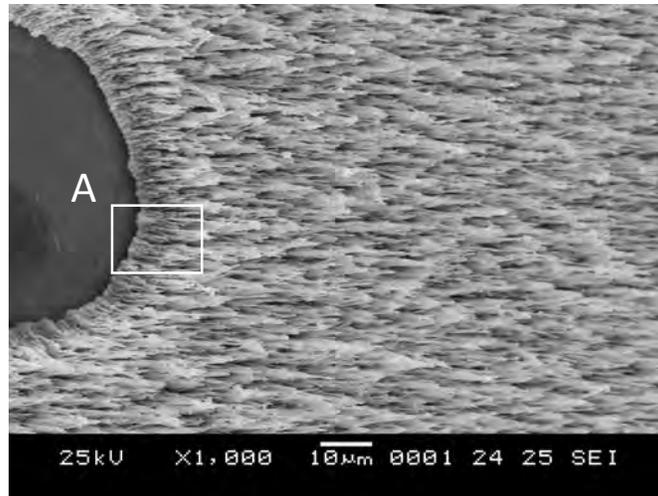
L'utilisation d'un courant pulsé réduisant fortement la formation de bulles assure une meilleure uniformité des dépôts. C'est ce qui a été observé expérimentalement.

L'émission de gaz (micro bulles) a pu être observée visuellement. Si l'on applique une forte densité de courant (par exemple  $16 \text{ mA/cm}^2$ ) les bulles sont nettement visibles.

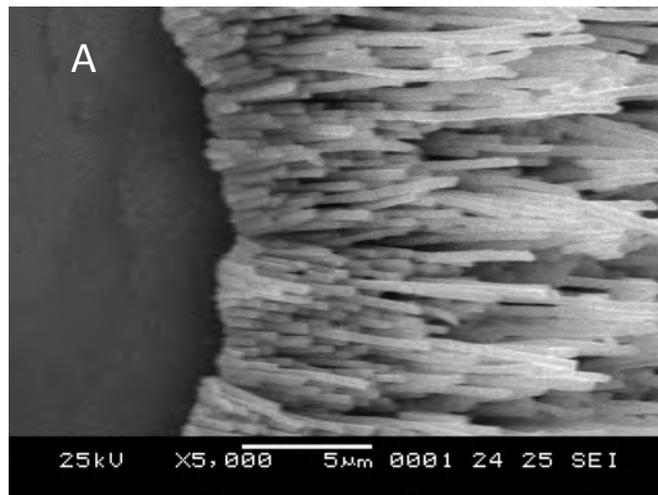
Nous avons alors essayé de fabriquer des bulles de façon artificielle dans la membrane avant le dépôt afin de boucher une partie de ses pores dans le but de réduire la densité des nano structures obtenues. Cette expérience a été peu concluante.



**Figure 2.25 :** clairières dues à la formation de grosses bulles d'hydrogène



(a)



(b)

**Figure 2.26** : les nano bulles induisent une dispersion de la longueur des nano fils électrodéposés : (a) vue de loin, (b) vue de près.

La figure 2.26.b fait apparaître la grande dispersion de la longueur des poteaux obtenus. Ceci signifie que les bulles évoluent en quantité et en dimension en fonction de la durée de dépôt et de la forme d'onde du courant de dépôt.

#### 2.3.4. Degré d'inhomogénéité

Pour caractériser la dispersion de la longueur des nano structures, nous avons *arbitrairement* défini un paramètre, noté D, comme étant le rapport en pour-cent de l'écart entre la hauteur

maximale moyenne et la hauteur minimale moyenne à la hauteur maximale moyenne.

$$D = \frac{\overline{H_{\max}} - \overline{H_{\min}}}{\overline{H_{\max}}} \cdot 100 \quad (2.7)$$

Ce paramètre D est un indicateur qui s'est révélé important pour prévoir *a priori* si l'obtention d'un assemblage sera aisée ou non. Les structures ayant degré d'inhomogénéité important étant considérées comme plus favorables pour l'assemblage.

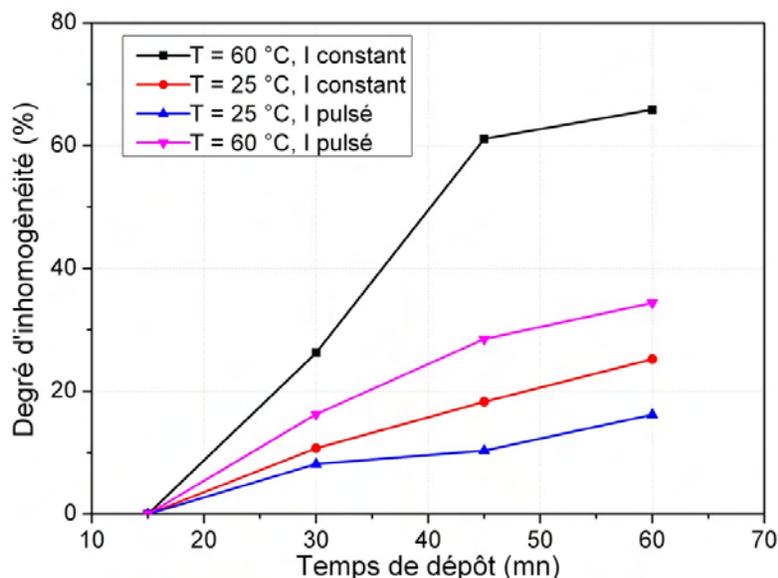


Figure 2.27 : degré d'inhomogénéité des nano structures obtenues

La rugosité de la surface (quelques centaines de nano mètres) sur laquelle ont lieu nos dépôts fausse la mesure de longueur des poteaux. Ainsi l'estimation du degré d'homogénéité n'est forcément qu'une information qualitative.

On considère que les dépôts à durée courte 15 mn donnent des structures homogènes. L'estimation du degré d'inhomogénéité devient plus précise pour des durées longues (plus de 30 mn). Le degré d'inhomogénéité augmente avec la durée des dépôts en raison de la formation des bulles d'hydrogène qui est aléatoire.

Pour une même durée de dépôt le paramètre D varie en fonction des conditions du dépôt : température et forme de courant électrolytique.

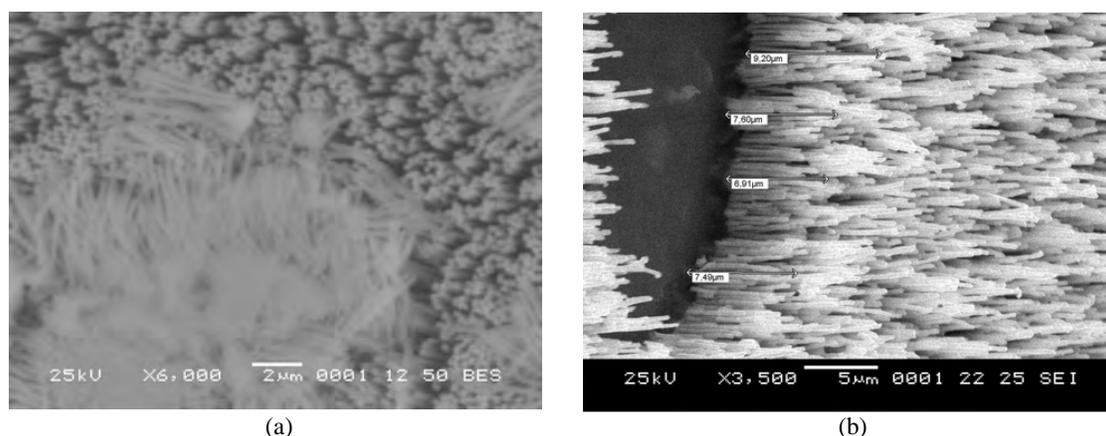
On constate qu'*a priori* les conditions les plus favorables à l'obtention de dépôts ayant une grande dispersion de taille des poteaux sont une température de bain égale à 60° et un courant constant.

### 2.3.5. Influence des paramètres du dépôt.

#### 2.3.5.1. Composition du bain électrolytique et du pH

L'étude de l'influence de la composition du bain sur les dépôts est complexe à cause du nombre de paramètres à prendre en compte. La nature du métal à déposer, la composition du bain, son pH sont autant de paramètres à prendre en compte.

Il a toutefois été possible de remarquer que de manière générale la quantité de cuivre déposée est plus importante avec un pH acide qu'avec un pH basique à composition de bain identique. Ainsi la longueur maximale moyenne des poteaux est de 7-8  $\mu\text{m}$  en pH acide et de 2 $\mu\text{m}$  en pH basique (durée : 45 minutes,  $T=60^\circ\text{C}$ , I pulsé, composition de bain identique). La différence est probablement liée à l'efficacité du bain qui augmente en pH acide. En effet, le courant électrolytique ne sert pas seulement à réduire l'ion  $\text{Cu}^{2+}$  mais aussi d'autres ions en pH basique (y compris l'ion  $\text{H}^+$ ).



**Figure 2.28** : comparaison de la morphologie des nano structures obtenues dans différents bains électrolytiques basique et acide

(a) basique- 60-45- Ipulse (D= 0%,  $H_{\text{max}} = 2-3 \mu\text{m}$ )

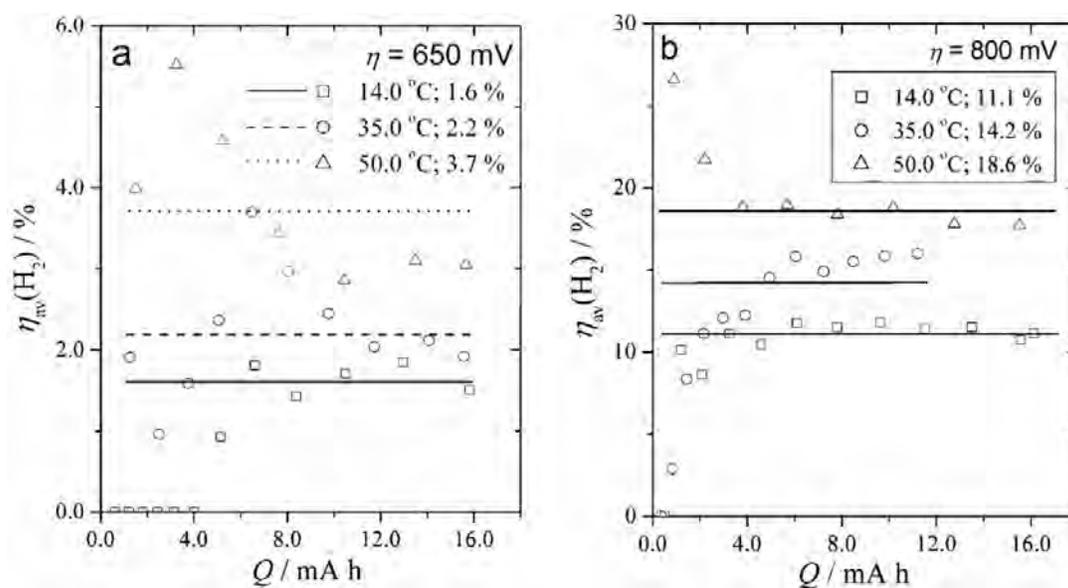
(b) acide-60-45-Ipulse (D= 28%,  $H_{\text{max}} = 7-8 \mu\text{m}$ )

On remarque sur la figure 2.28 l'effet du pH sur la morphologie du dépôt. Le pH acide est clairement un facteur d'inhomogénéité. Qualitativement, l'augmentation du pH diminue la concentration d'ions  $\text{H}^+$  et par conséquent la formation de gaz  $\text{H}_2$ , donc de bulles. Le fait que l'on soit passé d'un bain électrolytique basique  $\text{pH} = 10,5$  à bain acide  $\text{pH} \approx 1$  entraîne de grosses modifications aux dépôts obtenus.

### 2.3.5.2. Influence de la température

À même courant électrolytique, composition de bain et pH, les nano fils les plus longs sont obtenus à la température la plus élevée. Comme cela était prévisible le rendement du dépôt est plus élevé à haute température du fait de l'augmentation de la mobilité des ions. Ceci corrobore les résultats obtenus en bain basique.

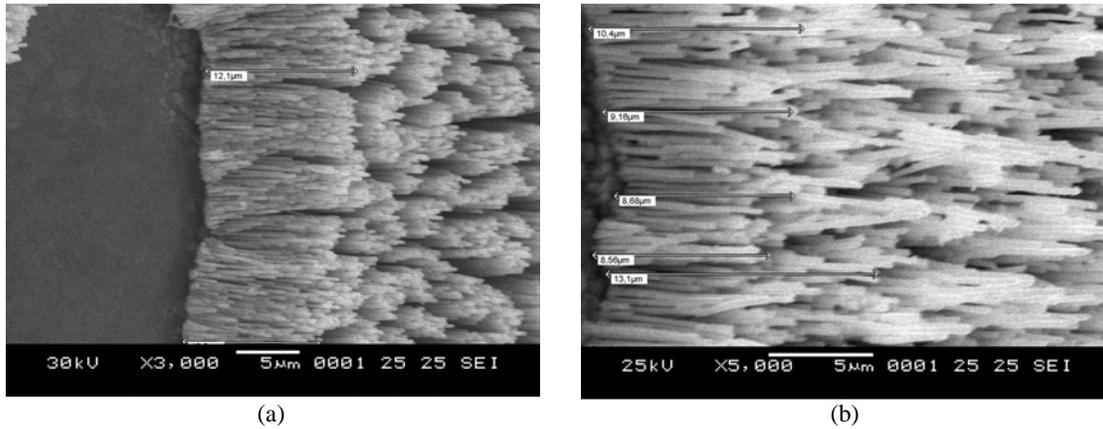
Il est aussi possible d'inférer que le bullage est la cause de cette augmentation de la vitesse de dépôt. Si l'on admet que la quantité de cuivre déposée est la même à 60°C et à 25°C, la valeur moyenne de la longueur maximale des nano poteaux est plus élevée à 60°C à cause de l'augmentation de la dispersion des longueurs des poteaux à 60°C. Il est confirmé que la température accroît le phénomène de bullage ce qui accroît l'inhomogénéité des dépôts. Ceci corrobore les travaux de Nebojsa D.Nikolic [NIK 07]



**Figure 2.29 :** la dépendance de l'efficacité du courant moyen pour la réaction d'émission de l'hydrogène ( $H_2$ ) de la quantité de charge utilisée via l'électrodéposition de cuivre dans l'électrolyte contenant cuivre sulfate 0,15 molaire avec l'acide sulfurique 0,5 molaire à différentes températures et différents surpotentiels de 650 mV et de 800 mV [NIK 07]

Toutefois, le même phénomène d'accélération de la croissance des poteaux est aussi observé en bain basique. Par conséquent, il est raisonnable de penser que les deux phénomènes se conjuguent sans qu'il soit possible, à moins d'une étude hors de propos ici, de distinguer l'influence de la température de celle de la forme d'onde du courant.

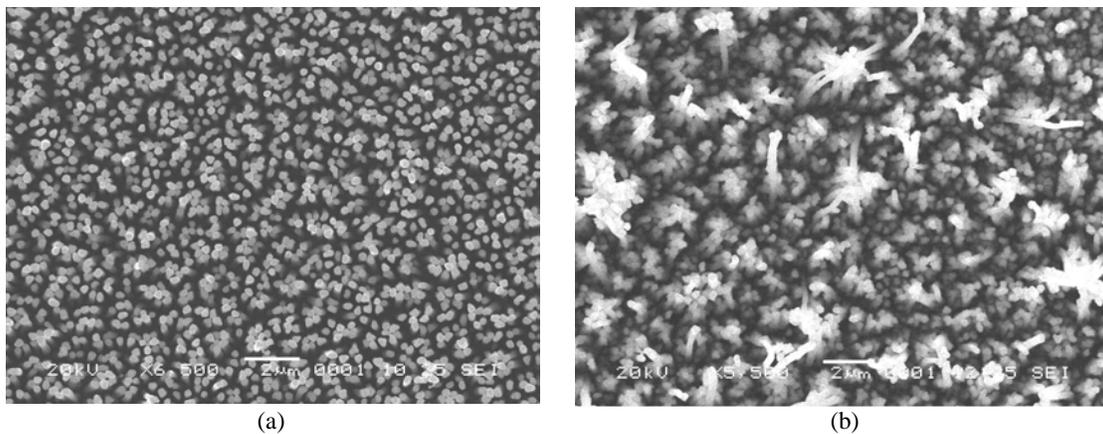
De même, nous n'avons pas mené de mesures à plus haute température et ce de manière délibérée. En effet, un des objectifs est de garder au procédé un coût modéré, augmenter la température augmente considérablement les coûts.



**Figure 2.30** : comparaison de la morphologie des nano structures obtenues à différente température de dépôt :

- (a) acide,  $T = 25^{\circ}\text{C}$ ,  $t = 60$  mn, courant pulsé ( $D = 16\%$ ,  $H_{\text{max}} = 10 \mu\text{m}$ )
- (b) acide,  $T = 60^{\circ}\text{C}$ ,  $t = 60$  mn, courant pulsé ( $D = 34\%$ ,  $H_{\text{max}} = 14 \mu\text{m}$ )

### 2.3.5.3. Effet du courant électrolytique



**Figure 2.31** : comparaison de la morphologie des nano structures obtenues à différente courant électrolytique:

- (a) acide,  $T = 25^{\circ}\text{C}$ ,  $t = 30$  mn, courant pulsé ( $D = 10\%$ ,  $H_{\text{max}} = 2,5 \mu\text{m}$ )
- (b) acide,  $T = 25^{\circ}\text{C}$ ,  $t = 30$  mn, courant constant ( $D = 18\%$ ,  $H_{\text{max}} = 3 \mu\text{m}$ )

Afin de pouvoir comparer l'effet de la forme d'onde du courant sur les dépôts, nous avons réalisé des dépôts à basse température (pour diminuer l'impact de celle-ci sur les dépôts). L'observation des micrographes de la figure 2.31 fait ressortir une plus grande dispersion de la taille des poteaux : poteaux plus grands se regroupant en paquets avec autour des poteaux plus petits.

Le courant pulsé avec deux niveaux d'intensités permet de ralentir le dépôt lorsque le courant est à son niveau bas. Ce faisant, les ions de cuivre dissous à l'anode ont le temps nécessaire pour migrer dans l'électrolyte et assurer une concentration en ion  $\text{Cu}^{2+}$  quasi constante. En conséquence cette plus grande homogénéité de la concentration des ions dans le bain entraîne une plus grande homogénéité de dépôt.

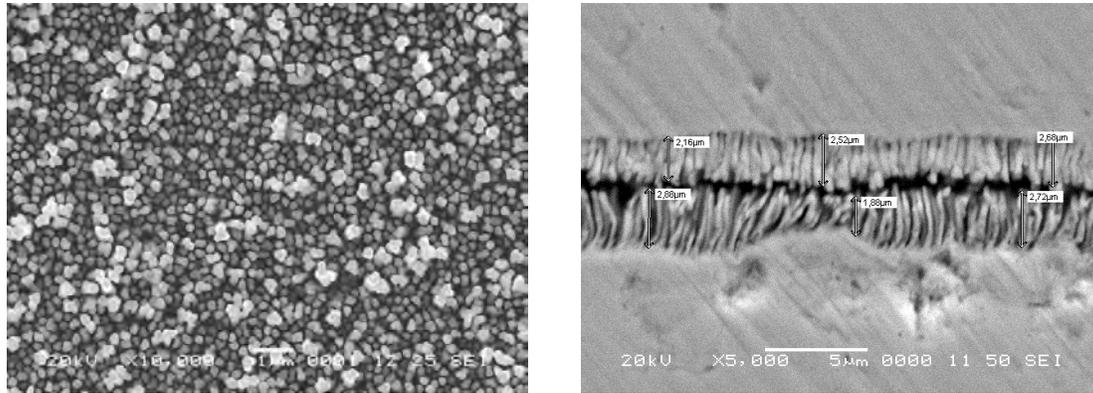
## **2.4. Assemblage de structures de nano poteaux hétérogènes.**

Pour simplifier la lecture, nous avons réparti les nanostructures en trois grandes catégories : les dépôts "courts", "moyens" et "longs" suivant la longueur des poteaux déposés.

Afin de mettre en évidence l'intérêt des structures hétérogènes nous présentons ici quelques assemblages entre des pastilles de cuivre massif. Les pastilles de cuivre sont des carrées de 14mm de côté et d'épaisseur 1mm. Des dépôts sont réalisés sur une face de ces pastilles, elles sont ensuite assemblées directement sans aucune autre étape supplémentaire. L'assemblage est ensuite encapsulé dans une résine d'époxy afin d'être protégé des contraintes mécaniques lors de la coupe à la scie diamantée. Avant passer au MEB, les interfaces ont été polies pour faciliter l'observation.

### **2.4.1. Assemblage entre deux structures court et court.**

Bien que les structures courtes ne soient pas homogènes, l'assemblage direct entre des structures de ce type ne semble pas possible. Il existe bien des poteaux longs, mais ils sont très éloignés les uns des autres. Ces structures donc ne sont pas appropriées pour une bonne interdigitation à moins de rajouter une étape d'attaque chimique de la périphérie des nano poteaux pour les amener à avoir une forme conique. C'est la solution qui a été utilisée pour assembler les nano structures élaborées en bain basique. Ce type d'assemblage impose d'avoir une rugosité de surface faible pour que les deux structures se touchent sur une surface assez grande.



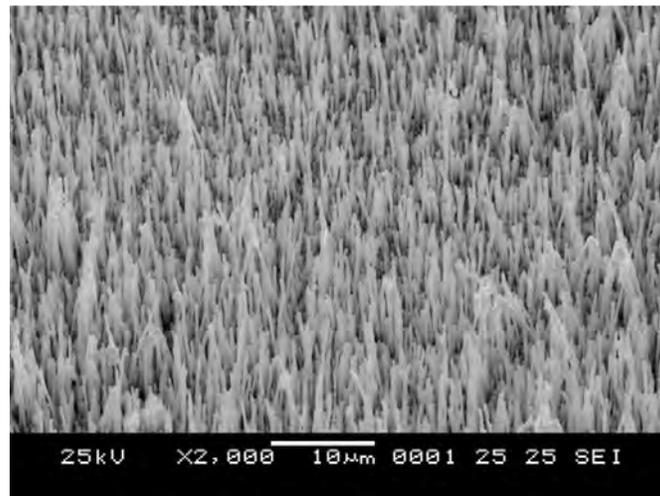
(a)

(b)

**Figure 2.32** : assemblage de deux nano structures courtes : (a) vue d'une structure courte (2-3  $\mu\text{m}$ ), (b) assemblage entre deux structures courtes.

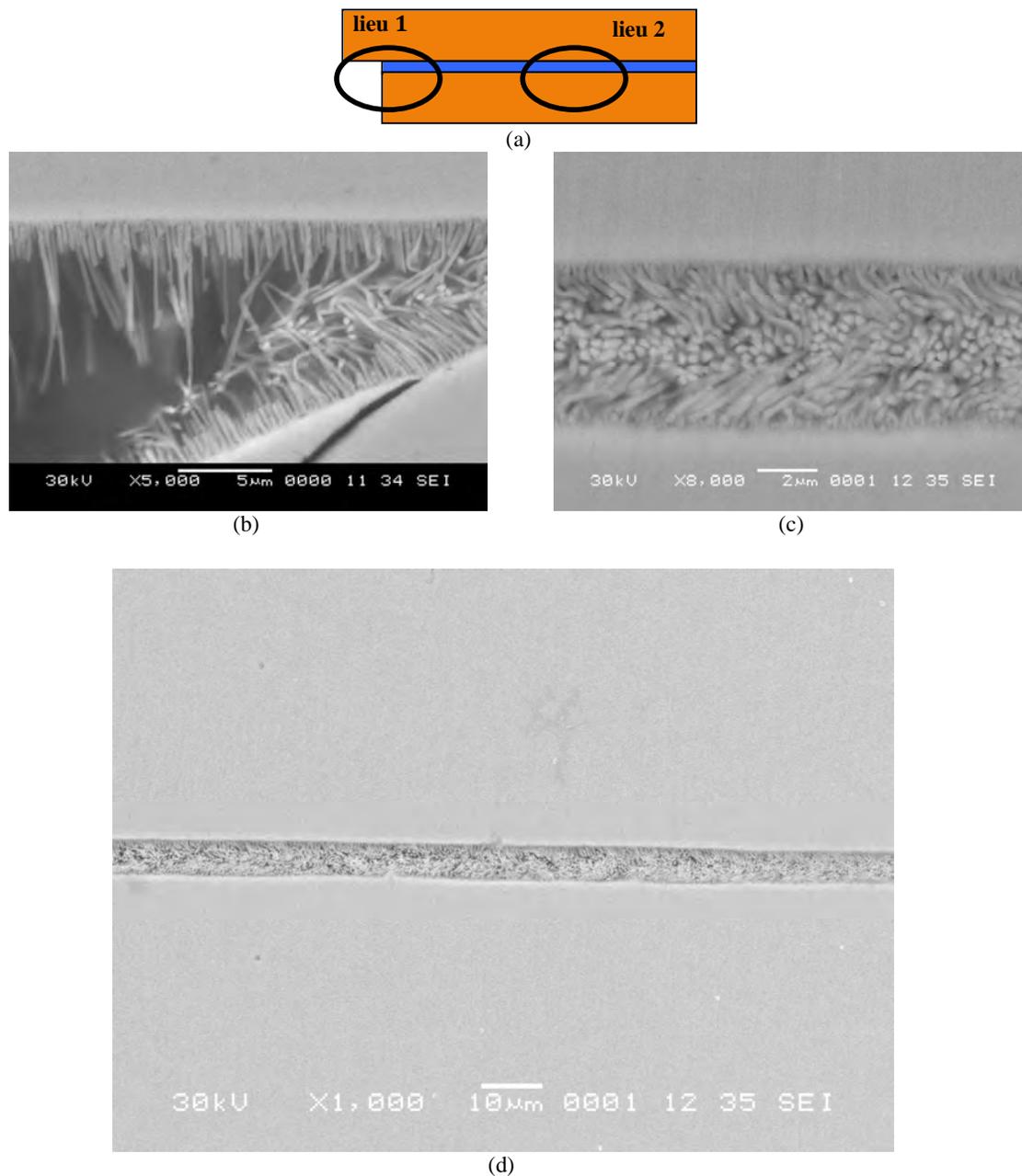
#### 2.4.2. Assemblage entre deux structures moyennes.

Les structures nano poteaux dits moyennes ( $\approx 10 \mu\text{m}$  : durée de dépôt de 45 min,  $T = 60^\circ\text{C}$ , courant constant) se caractérisent par une grande dispersion de la longueur des poteaux qui semble favorable pour un assemblage de type nano scratch.



**Figure 2.33** : vue d'une structure de nano poteaux moyens

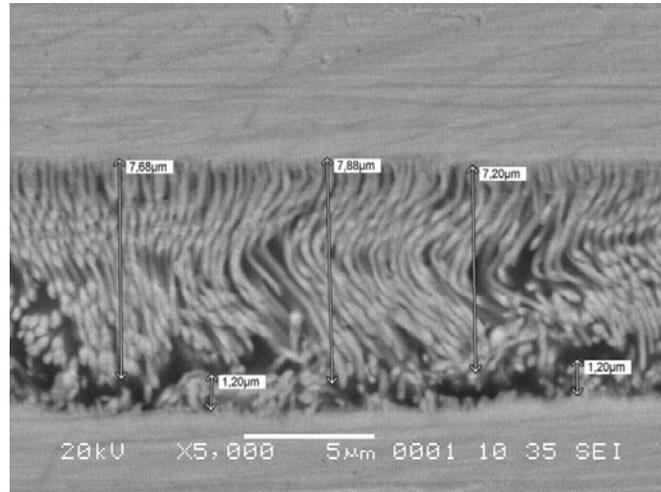
La figure 2.34 présente un tel assemblage observé en deux lieux schématisés sur le diagramme au dessus des micrographes. Les nano poteaux s'interpénètrent et s'enchevêtrent pour créer une liaison



**Figure 2.34 :** assemblage entre deux nano structures moyennes : (a) configuration de l'échantillon, (b) assemblage au lieu 1, (c) assemblage au centre de l'échantillon lieu 2, (d) vue éloignée de l'assemblage.

#### 2.4.3. Assemblage entre deux structures mixtes : moyen et court.

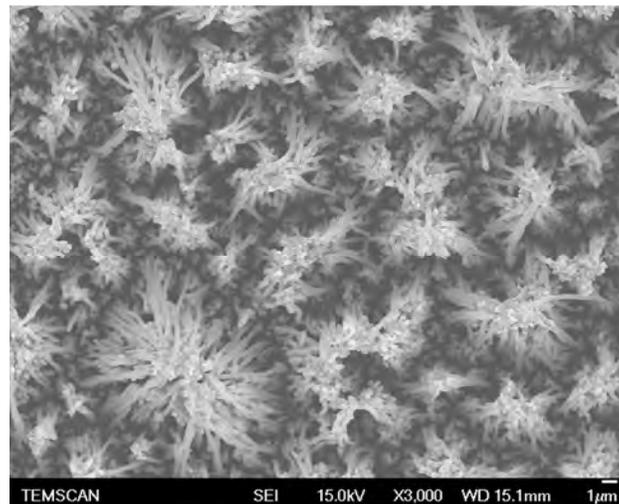
Des assemblages mixte entre une nano structure courte et une moyenne sont possibles comme le montre la micrographie 2.35.



**Figure 2.35** : assemblage mixte entre des nano structures moyenne et courte

#### 2.4.4. Assemblage entre deux structures longues.

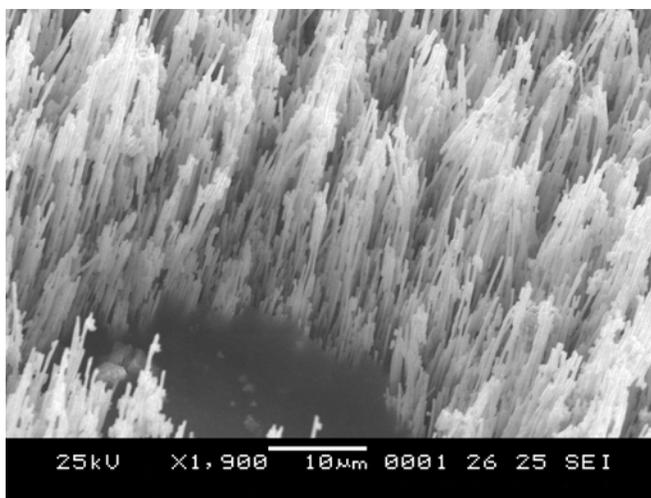
Dans le cas des structures longues les fils finissent par fusionner et former des paquets qui pourraient s'interdigiter. Aucune découpe de ce type d'assemblage n'a été faite mais les tests mécaniques montrent que cette accroche est possible et donne d'assez bons résultats.



**Figure 2.36** : vue de nano poteaux longs formant des paquets.

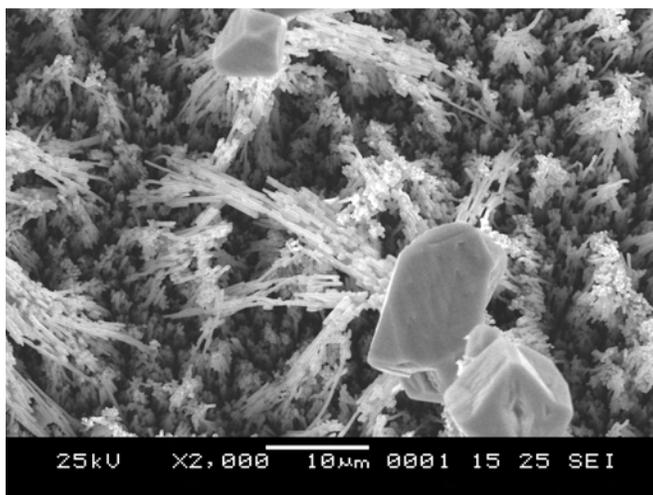
Plusieurs raisons font que les structures trop longues nous *paraissent* moins intéressantes. Du point de vue économique, le coût de production augmente avec le temps de dépôt. Ensuite, l'assemblage obtenu sera plus épais, cette épaisseur importante est certes avantageuse car plus résistante aux contraintes thermomécaniques, mais cela augmente la résistance électrique et thermique de la connexion. Enfin et surtout, la longueur devient un problème lorsque les poteaux s'agglomèrent en paquets et que de façon aléatoire, deux paquets sont rapprochés

l'un de l'autre sans pouvoir s'interpénétrer. Localement une contrainte résiduelle importante subsiste après "l'assemblage".



**Figure 2.37 :** vue de nano poteaux très longs

Techniquement, la longueur des poteaux est limitée. Le bouchage de la membrane entraîne des fortes croissances locales. La longueur des poteaux dans quelques pores augmente très vite en dépassant l'épaisseur de la membrane. Le bout de ces poteaux qui voit l'électrolyte forme des germes pour la croissance de cristallites. Le dépôt se produit alors quasi exclusivement à ces endroits et consomme beaucoup de cuivre.



**Figure 2.38 :** formation des cristallites de cuivre

## 2.5. Conclusion

Dans le but de réaliser une nouvelle connectique multifonctionnelle mécanique, électrique, il avait été développé un procédé de dépôt de nano poteaux en cuivre utilisant une solution basique. Cette méthode conduit à des nano structures déposées homogènes en taille.

Nous avons constaté que la densité des poteaux déposés était trop élevée à cause de la densité de pores de la membrane ce qui était handicapant pour un assemblage "nano scratch".

Des solutions ont été étudiées afin de réduire cette densité : attaque chimique des extrémités des poteaux, obturation de la membrane –polystyrènes, molécules alcalines, bullage–, utilisation des membranes moins poreuses, fabrication de membranes offrant ainsi un contrôle de la densité de pores...

Ces méthodes ont donné des résultats intéressants, toutefois elles ne règlent pas un problème qui est externe à la méthode de dépôt, mais qui est de première importance pour l'application visée : assembler des puces sur un DBC. En effet, l'utilisation d'un bain fortement basique (pH = 10,5) limite le nombre de solutions de protection des métallisations des puces.

Pour répondre à cette difficulté nous avons mis au point une méthode de dépôt en bain acide en raison de la disponibilité de solutions de protection technologiquement maîtrisées : les résines SU8, AZ5214E et le film FM275, permettent de protéger les métallisations de façon fiable.

De même pour répondre au problème de la densité trop élevée de poteaux pour un assemblage, nous avons choisi de provoquer volontairement un phénomène de bullage en utilisant un courant constant créant ainsi des dépôts hétérogènes en taille, ce qui permet de contourner la difficulté.

Une étude de la croissance des nano structures dans ce nouveau milieu montre que les nano structures alors obtenues sont hétérogènes, et en paramétrant les conditions de dépôt, nous pouvons produire des structures hétérogènes dont le degré d'hétérogénéité est contrôlé. Celle-ci semble faciliter l'interpénétration et l'enchevêtrement des structures.

La faisabilité de connectiques à base de structures hétérogènes a été démontrée. Le chapitre à venir présente la mise œuvre de ces structures pour réaliser un assemblage de composants de puissance sur un DBC et la caractérisation partielle de ces assemblages.

## **Chapitre 3. Mise en œuvre de la technologie nano scratch. Application à des composants de puissance.**

### **Table de matières**

<b>Chapitre 3. Mise en œuvre de la technologie nano scratch. Application à des composants de puissance.....</b>	<b>80</b>
<b>3.1. Introduction .....</b>	<b>82</b>
<b>3.2. <i>Layout</i> des composants de puissance IGBTs utilisés .....</b>	<b>82</b>
<b>3.3. Système de pression .....</b>	<b>84</b>
3.3.1. La presse Specac .....	84
3.3.2. Choix méthode de pressage .....	85
3.3.3. Améliorations du système de pressage.....	87
3.3.4. Évaluation de l'homogénéité du champ de pression.....	89
<b>3.4. Caractérisation électrique des IGBTs.....</b>	<b>92</b>
3.4.1. Dispositif expérimental utilisé pour les mesures électriques.....	93
3.4.1.1. <i>Capacité d'entrée de l'IGBT</i> .....	93
3.4.1.2. <i>Mesure <math>I_c = f(V_{ce}, V_{ge})</math></i> .....	94
3.4.1.3. <i>Mesure du courant de fuite <math>I_f = f(V_{ce}, V_{ge} = 0)</math></i> .....	95
3.4.2. Pression maximale admissible .....	96
3.4.3. Autres contrôles de l'intégrité de la puce .....	100
<b>3.5. Assemblage d'un IGBT à un substrat DBC par nano scratch .....</b>	<b>101</b>
3.5.1. Dépôt en face arrière d'une puce. ....	101
3.5.1.1. <i>Couche d'accrochage</i> .....	102
3.5.1.2. <i>Solution de protection</i> .....	103
3.5.1.3. <i>Dépôt sur la face arrière</i> .....	106
3.5.2. Assemblage d'une puce sur un substrat DBC.....	107
<b>3.6. Caractérisation mécanique des assemblages nano scratch.....</b>	<b>109</b>
3.6.1. Principe des tests de cisaillement et de traction.....	111
3.6.2. Étude de la tenue mécanique en cisaillement des assemblages pour différentes longueurs de nano-poteaux .....	113
3.6.3. Influence de la pression d'assemblage sur la force de cisaillement provoquant rupture des assemblages. ....	121
3.6.4. Étude de la tenue mécanique en cisaillement des assemblages en température. .	122

3.6.5. Tenue mécanique en traction des assemblages.....	124
<b>3.7. Caractérisation de la performance électrique de la liaison .....</b>	<b>125</b>
3.7.1. Assemblage entre les morceaux de cuivre.....	126
3.7.2. Assemblage entre les morceaux Cu et un DBC alumine.....	132
<b>3.8. Caractérisation thermomécanique (cyclage passif).....</b>	<b>133</b>
3.8.1. Profil de température .....	134
3.8.2. Résultat de test cyclage passif.....	135
<b>3.9. Dépôt de nano scratches en face avant de composants actifs. ....</b>	<b>142</b>
3.9.1. Photolithographie .....	143
3.9.2. Découpe de la membrane .....	145
3.9.3. Test de solution de protection .....	146
3.9.4. Processus de dépôt sur la face avant de la puce IGBT .....	147
3.9.5. Optimisation du procédé :.....	150
<b>3.10. Conclusion .....</b>	<b>158</b>

### 3.1. Introduction

Nous avons désormais la possibilité de déposer des nano poteaux ayant la hauteur que l'on désire sans endommager les éventuelles métallisations des échantillons. Afin de tester la méthode d'accrochage dans des conditions aussi proches que possible des conditions réelles, nous avons effectué des dépôts sur des composants de puissance.

Des dépôts électrolytiques de nano poteaux de cuivre ont été réalisés en face arrière d'IGBT en vue de leur assemblage sur des DBC. Nous présenterons les difficultés rencontrées lors de l'assemblage des composants de puissance et les solutions mises en œuvre pour les contourner.

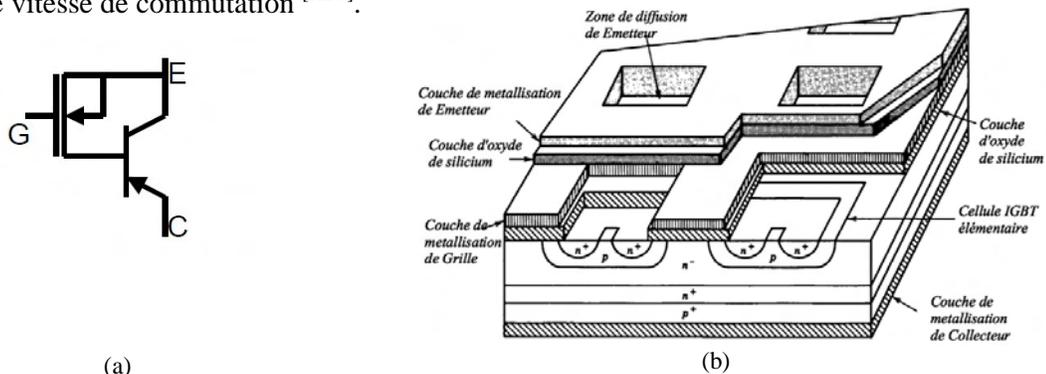
Nous avons caractérisé électriquement les IGBT et les assemblages. De même des mesures optiques ont été mises en œuvre afin déterminer la pression maximale admissible que peuvent supporter les puces IGBT en notre possession.

Nous avons caractérisé mécaniquement les assemblages, et nous avons soumis ceux-ci à des cyclages thermiques.

Enfin, nous présenterons une nouvelle technique permettant d'utiliser un assemblage nano scratch en face avant de composants.

### 3.2. Layout des composants de puissance IGBTs utilisés

Les IGBTs sont très utilisés actuellement dans les convertisseurs de moyenne puissance en raison de leur faible résistance série en conduction et de leurs excellentes propriétés en commutation : commande facile, large aire de sécurité, aptitude à supporter de forts courants, grande vitesse de commutation <sup>[REC]</sup>.



**Figure 3.1** : transistor bipolaire à grille isolée (IGBT) : (a) schéma électrique équivalent simplifié <sup>[BOY 08]</sup>, (b) structure de l'IGBT de type NPT (non punch-through) <sup>[COR]</sup>.

Les IGBT ont une grille constituée de couches d'oxyde très minces se situant généralement sur la face avant des puces. Ces grilles sont *a priori* très sensibles aux contraintes mécaniques. Pour ces raisons les IGBTs ont été choisis dans l'étude de la mise en œuvre de la technologie nano scratch : si l'assemblage avec des composants fragiles est possible, l'assemblage avec des composants moins sensibles sera *a priori* validé.

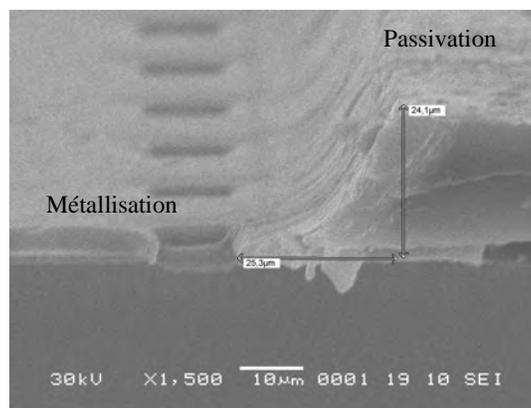
**Tableau 3.1** : Caractérisation des puces IGBT.

Caractéristiques	IGBT Infineon 1700 V
Dimension	13,56 x 13,56 mm Épaisseur : 320 $\mu\text{m}$
Métallisation de la face avant (Emetteurs et Grilles)	3200nm Al Si 1%
Métallisation de la face arrière (Collecteur)	1400 nm Ni Ag

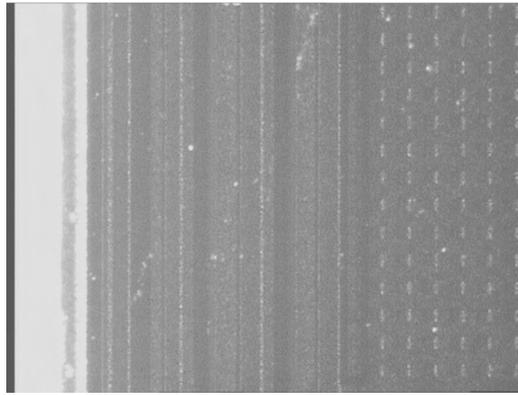
L'IGBT étudié comporte 8 plots d'émetteurs et un plot de grille en face avant tous métallisés à l'aluminium. Il s'agit d'une métallisation en dépression de 24  $\mu\text{m}$  par rapport à la surface de la puce. Cette structure est typique pour les composants de puissance haute tension afin d'éviter le phénomène de contournement.

Les trois anneaux de garde de l'IGBT qui se trouvent à la périphérie de l'IGBT, sont couverts d'une couche de passivation. Cela crée un relief de 3 $\mu\text{m}$  par rapport à la surface de l'IGBT.

Le collecteur sur la face arrière est une métallisation en Ni/Ag.



**Figure 3.2** : micrographie de la métallisation creusée dans la passivation de la puce IGBT



**Figure 3.3 :** micrographe des anneaux de garde d'un IGBT Infineon 1700V.

Les propriétés géométriques, chimiques des métallisations, des passivations, des anneaux de garde demandent des adaptations du procédé de dépôt et du pressage que nous allons présenter ci-après.

### **3.3. Système de pression**

L'assemblage des composants de puissance sur un substrat céramique est réalisé par mise en compression à température ambiante. La phase de mise en pression joue un rôle essentiel : la pression appliquée ne doit pas mettre en question l'intégrité de la puce, mais elle doit assurer de bonnes propriétés mécaniques, électriques, et thermiques à l'assemblage.

Nous avons utilisé une presse, disponible au laboratoire, et nous avons été amené à compléter le dispositif par des systèmes de guidage, de calibrage, de rattrapage des décentrages et de répartition de la pression. C'est ce système que nous allons décrire dans ce qui suit.

#### **3.3.1. La presse Specac**

Nous avons à notre disposition une presse manuelle hydraulique de marque EUROLABO modèle SPECAC 25011. La partie mobile de la presse (piston hydraulique) est classiquement en bas, le pompage permettant la montée du piston et le pressage de l'échantillon est obtenu par action sur un levier. La mesure de la pression se fait sur un manomètre. Des plateaux chauffants, régulés par contrôleur, peuvent également être utilisés comme supports de la presse. Ils permettent le pressage et maintien sous pression à des températures allant de l'ambiante à 300°C.

Pour les faibles pressions, des kits de conversion (0 – 1 tonne, 0 – 2 tonnes, ou 0 – 5 tonnes)

peuvent être adaptés pour un réglage précis de la force appliquée via un deuxième manomètre monté en parallèle du manomètre standard (15 – 25 tonnes), des molettes d'ouverture ou de fermeture permettent d'utiliser l'un ou l'autre des manomètres. Il est à noter que l'affichage du manomètre est en tonnes. Une conversion d'unité (tonnes vers Pascals) est donc nécessaire. La force étant appliquée à des échantillons de surfaces différentes il n'est pas possible de graduer en pression directement le manomètre.

Afin d'avoir une valeur précise de la force exercée sur des échantillons mis sous pression lors de la phase d'assemblage nous avons étalonné le manomètre de la presse. Comme il existe inévitablement des pertes de charge lors du fonctionnement, le manomètre de la presse ne peut pas donner la valeur exacte de la force appliquée. Pour cela, nous avons utilisé une jauge fonctionnant par extensométrie. Tout d'abord, un capteur de force est calibré jusqu'à 20kN ( $\approx$  2 tonnes) par un système de mesure utilisant des charges calibrées. Puis, l'étalonnage de la presse (affichage du manomètre) est réalisé (figure 3.3). On peut constater l'existence d'un décalage entre la valeur de pression affichée par le manomètre et celle qui est mesurée par le capteur. La mesure est effectuée en pression croissante puis décroissante ce qui permet de mettre en évidence l'existence d'un léger phénomène d'hystérésis. Ce dernier devra être pris en compte lors de l'assemblage des composants de puissance, le réglage précis de la force à appliquer devant être obtenu en pressions croissante uniquement.

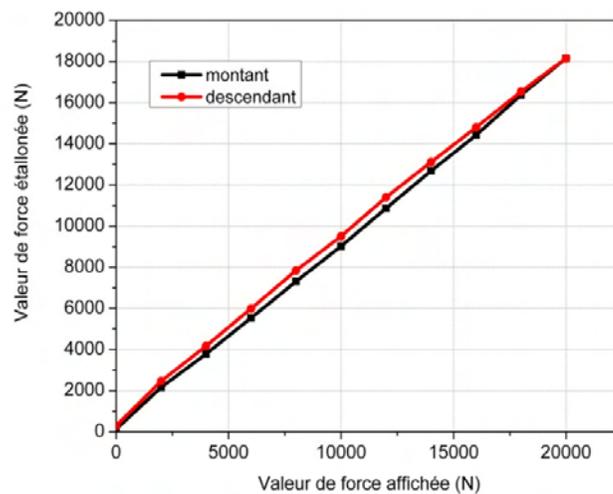


Figure 3.3 : courbe d'étalonnage de la presse Specac

### 3.3.2. Choix méthode de pressage

La qualité de l'assemblage découle de la façon dont la contrainte mécanique est appliquée aux deux surfaces déposées. De manière générale, cette force est un vecteur :  $\vec{F}_{avant}$  résultant de l'application d'un champ de forces et l'on a :

$$\vec{F}_{avant} = \int P_i \cdot d\vec{S}_i \quad (3.1)$$

Où  $P_i$  est la pression locale et  $d\vec{S}_i$  un élément de surface. Ce vecteur varie au cours du temps lors de la montée en charge (le pompage hydraulique). En négligeant les déformations plastiques des matériaux composant la puce, on peut écrire que la force appliquée en face avant sera transmise à la face arrière pour effectuer l'assemblage.

$$\vec{F}_{arrière} = \vec{F}_{avant} \quad (3.2)$$

L'assemblage des composants est un processus qui consomme une de l'énergie, celle-ci (notée ci-dessous A), est considérable pour faire s'interpénétrer les deux systèmes de nano structures et pour déformer des nano-poteaux afin de former des crochets de type « velcro ».

$$A = \int \vec{F}_{arrière} \cdot d\vec{x} \quad (3.3)$$

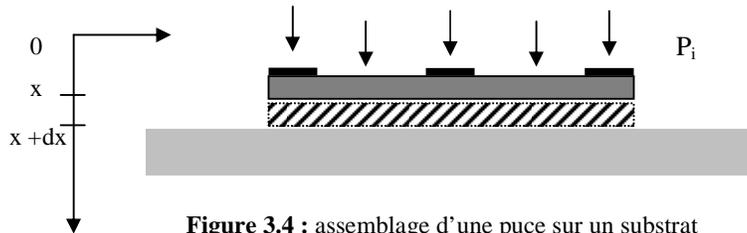


Figure 3.4 : assemblage d'une puce sur un substrat

Dans le cas qui nous concerne, le pressage est unidirectionnel. Par conséquent il est possible, en première approximation, de confondre toutes les composantes de la force appliquée en une seule direction et d'utiliser une expression scalaire de la force. En ce cas, l'énergie consommée sur la face arrière est proportionnelle à la force appliquée sur la face avant du composant.

Afin d'éviter tout phénomène de cisaillement et de flexion lors de l'assemblage le choix a été fait d'appliquer la pression à l'ensemble de la face avant de la puce. On pourrait être tenté de n'appliquer la pression que sur des zones peu sensibles en évitant d'appuyer sur les anneaux de garde ou la grille par exemple. Compte tenu du fait que l'énergie à fournir pour assurer l'assemblage est une constante, diminuer la zone d'appui de la force augmente la pression localement ce qui conduirait à des champs de pression inhomogènes très importants créant des gradients de pressions élevés pouvant causer la rupture mécanique des puces ou de la structure de celles-ci. Or, la couche d'oxyde de grille est très mince et est fragile.

### 3.3.3. Améliorations du système de pressage

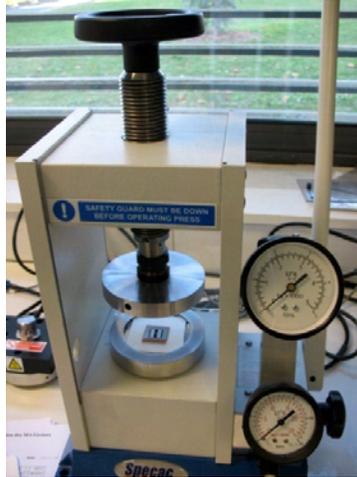
Lors des premiers essais pour accrocher un IGBT sur un substrat DBC, la force appliquée était de 20 kN appliqués sur la surface de la puce qui est de 1,84 cm<sup>2</sup>. Ce qui donne une pression moyenne de 108 MPa.

Ces essais n'ont pas été concluants même si une forte adhérence a été obtenue entre la puce et le substrat : les puces et les substrats DBC étaient fracturés en de nombreux endroits. Ce phénomène peut être expliqué par plusieurs causes : décentrage de la puce par rapport à l'axe de la presse, mauvais contact entre les mâchoires et la puce induisant une mauvaise répartition de la pression, contraintes mécaniques appliquées trop élevées dépassant la résistance des matériaux de l'assemblage.

À titre d'information, la tenue mécanique des substrats AlN est de l'ordre 300 MPa en flexion, de 250 MPa en traction et est supérieure à 2 GPa en compression. L'article de M. Usui <sup>[USU 05]</sup> montre que la puce peut fonctionner sous contrainte mécanique sévère : 500 MPa en compression, 275 MPa en traction. Afin d'améliorer l'homogénéité du champ de pression appliqué de nouvelles mâchoires en acier haute dureté, pour éviter les déformations (flexions...), ont été adaptées à la presse. De plus, afin de rendre la pression uniquement axiale, une rotule à pied en acier cémenté S300 a été montée sur la mâchoire supérieure. Ce dispositif a pour but de créer un degré de liberté supplémentaire, le jeu obtenu permettant de corriger les défauts d'alignement de l'axe de la presse avec l'axe du support inférieur.

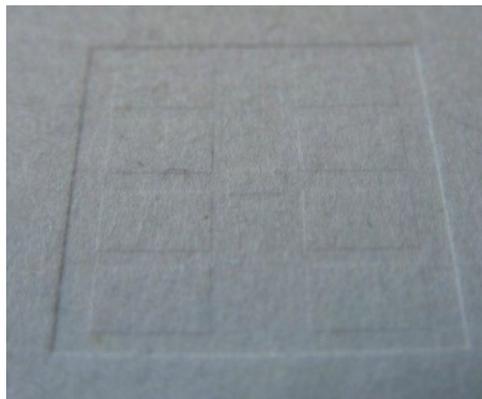


**Figure 3.5 :** dispositif de pressage : (a) rotule montée sur la mâchoire supérieure, (b) mâchoire inférieure instrumentée de la presse.



**Figure 3.6 :** système de pressage complet : presse munie des mâchoires

La face avant des puces possède un relief « complexe ». Lors de l'assemblage, la mâchoire supérieure de la presse entre donc en contact avec la partie la plus haute des puces, c'est-à-dire les anneaux de garde ou la passivation, mais non avec les métallisations qui couvrent 34% de la surface de la puce parce qu'elles sont en creux par rapport à celle-ci. En ce cas le gradient de pression est suffisant pour microfissurer la puce la rendant non fonctionnelle. Pour résoudre cette difficulté, des films répartiteurs de pression sont placés sur l'échantillon. Ces films peuvent être facilement déformés ce qui permet d'appliquer une pression quasi uniforme sur toute la surface de l'échantillon y compris les métallisations des émetteurs. La figure 3.7 montre l'image d'un film après pressage : l'empreinte des plots de prise de contact des émetteurs est nettement visible.



**Figure 3.7 :** vue d'un film Pacopad après pressage

Nous utilisons, de plus, des éléments de guidage en clinquant (250  $\mu\text{m}$  d'épaisseur) pour

positionner les puces (320 μm d'épaisseur) par rapport au DBC. Ils permettent de compenser le vide autour de la puce et de favoriser un pressage homogène sur toute la surface du substrat céramique. Ils contribuent également à éviter un renforcement local de la pression.

Grâce à tous ces systèmes le champ de pression est quasi uniforme à l'intérieur des mâchoires. C'est ce que nous avons vérifié en mesurant ce champ de pression.

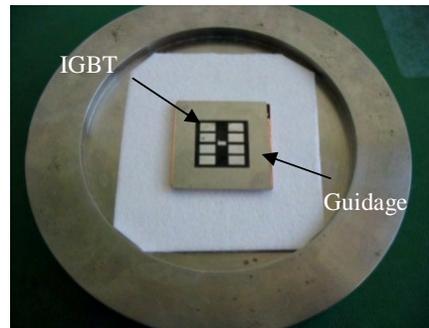


Figure 3.8 : amélioration du système de pressage avec un guidage

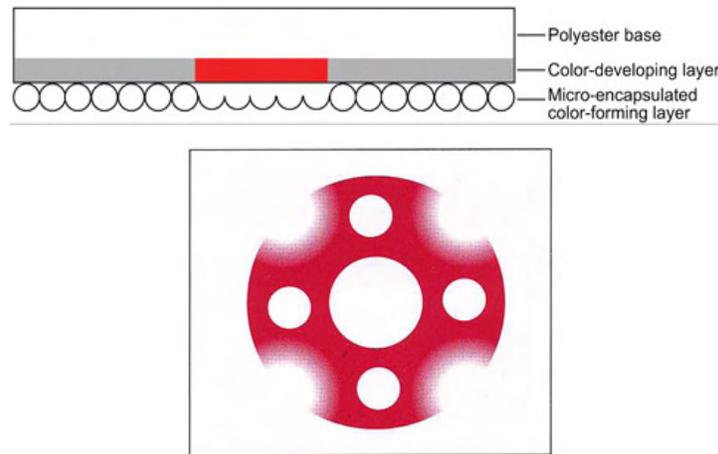
### 3.3.4. Évaluation de l'homogénéité du champ de pression.

Afin d'évaluer l'homogénéité du champ de pression nous avons utilisé les films de détection de pression Fuji Prescale. Ces films sont destinés à la mesure des pressions de contact, ils sont constitués de microcapsules de colorant réparties dans une matrice en polyester. Lorsqu'une pression est appliquée certaines capsules se brisent et laissent une impression de couleur rouge de densité variable en fonction du niveau de pression. Six gammes de mesure sont disponibles allant 0,2 à 300 MPa (tableau 3.2)

Tableau 3.2 : différentes type du film Prescale.

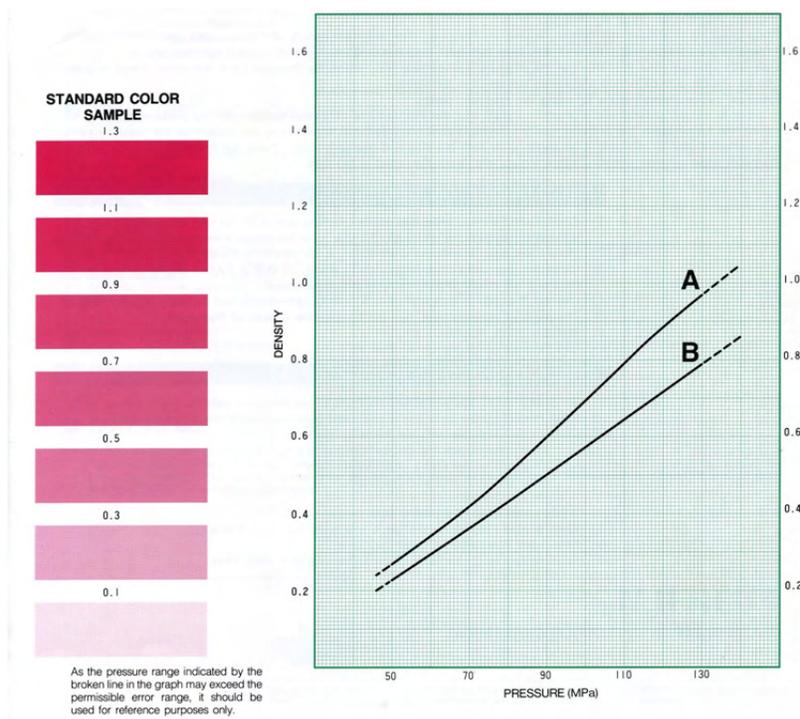
type	Film type	Pressure range[MPa] 1MPa≈10kgf/cm <sup>2</sup> ≈145lbf/in <sup>2</sup>						Product size W(mm)X L(m)
		0,2	0,5/0,6	2,5	10	50	130	
Two-sheet type	Ultra Super Low Pressure(LLW)	■						270X 5
	Super Low Pressure(LLW)		■					270X 6
	Low Pressure(LW)			■				270X 12
	Medium Pressure(MW)				■			270X 12
Mono-sheet type	Medium Pressure(MS)				■			270X 12
	High Pressure(HS)					■		270X 12
	Super High Pressure(HHS)						■	270X 12

Nous utilisons un film de type HS (*High Pressure*) permettant une mesure dans la gamme allant de 50 à 150 MPa. Ce film de type mono-sheet (figure 3.9) est placé à l'endroit où l'on souhaite visualiser la répartition de la pression.



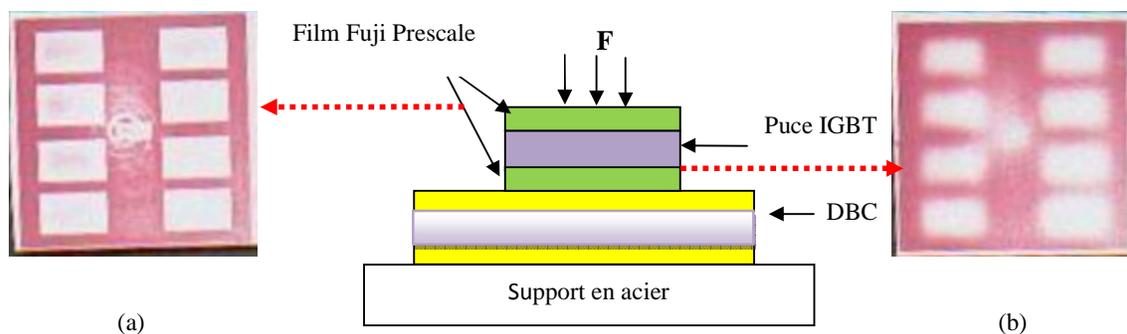
**Figure 3.9 :** structure du Film Fuji Prescale HS / exemple d'une mesure.

Nous avons utilisé le film pour des mesures qualitatives et non quantitatives. Une mesure quantitative est tout à fait réalisable à l'aide d'un abaque (figure 3.10) ou, de façon plus précise, en utilisant un scanner optionnel et un logiciel [LUAN 010].



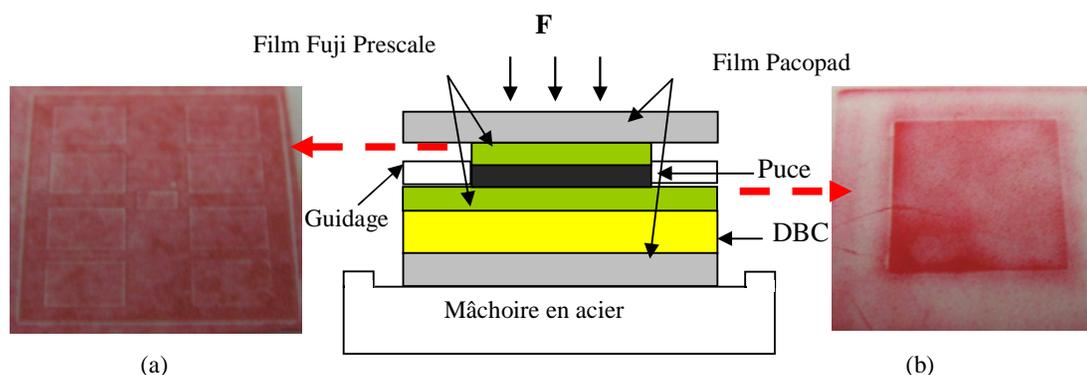
**Figure 3.10 :** cartographie de pression pour du film prescale HS

Nous avons effectué des mesures avec les pressions typiquement utilisées lors des assemblages DBC / composant.



**Figure 3.11** : répartition de la pression en face avant (a) et arrière (b) d'une puce <sup>[LUAN 010]</sup>

Le premier test a pour but de vérifier la répartition de la pression sur l'ensemble de la structure IGBT/DBC. Deux films Fuji Prescale sont utilisés : un est placé sur la face avant et l'autre sur la face arrière de la puce. La force appliquée est constante et égale à 20 kN. Cette force est supérieure à la force moyenne que nous utiliserons pour les assemblages afin de valider le processus avec une marge de sécurité. La figure 3.11 montre une non-homogénéité de la pression exercée sur la face avant de la puce. La force n'est appliquée que sur des zones (en rouge-gris foncé) qui sont en contact avec le support de pressage ce qui correspond aux parties assurant la passivation du composant. L'image de la pression obtenue en face arrière est quasiment la même qu'en face avant, par conséquent, on peut conclure que la force transmise n'est pas répartie par la puce sur l'ensemble de la surface. L'objectif du pressage étant de réaliser des assemblages Puce/DBC en face arrière nous pouvons conclure que cette technique de mise en pression ne permet pas un assemblage performant <sup>[LUAN 010]</sup>.



**Figure 3.12** : dispositif de répartition de la pression complet : image de la force appliquée en face avant (a) et en face arrière (b).

Nous avons ensuite monté tous les systèmes prévus pour améliorer la répartition de la force : rotule à pied, films répartiteurs pacopad et guidage en clinquant d'inox. Deux films détecteurs

de pression ont été placés l'un en face avant l'autre en face arrière de la puce. L'image de la répartition de la pression appliquée, une force de 15 kN qui est la force typiquement utilisée pour effectuer les assemblages nano scratch, est montrée figure 3.12.

On observe une répartition de la pression sur la face avant de la puce quasi-homogène. Seuls les contours des plots métallisés apparaissent avec une pression moindre, ceci tant dû à la taille du rayon de courbure en ces points qui est trop faible pour que papier puisse épouser complètement la forme. Cette homogénéité de la pression est un double avantage. Premièrement, les cellules des transistors élémentaires se situent sous les plots des émetteurs mais aussi sous la zone passivée : une pression homogène permet d'éviter l'apparition de contraintes en flexion qui seraient supportées par les couches de l'oxyde de grille qui sont très minces.

Ensuite, une force homogène en face avant se traduit par une pression homogène en face arrière de la puce. L'homogénéité de la pression en face arrière est nécessaire pour l'obtention d'une connectique ayant des propriétés électriques, thermiques et mécaniques identiques sur toute la surface. Dans l'infirmative, on peut d'ores et déjà envisager la présence de points chauds et la concentration de contraintes mécaniques résiduelles à l'interface nano scratch de l'assemblage.

L'observation des films Prescale permet de valider les techniques mises en œuvre pour homogénéiser la pression. Afin d'avoir une validation complète du processus d'assemblage des tests électriques sur des assemblages IGBT/DBC par nano scratch ont été effectués. Dans ce qui suit, nous présentons les tests électriques mis en œuvre et les résultats obtenus.

### **3.4. Caractérisation électrique des IGBTs**

L'objectif de ces caractérisations est de vérifier le comportement électrique des composants de puissance ayant subi les traitements pour un assemblage nano scratch : dépôt électrolytique et/ou application de la pression.

Pour mémoire, le traitement chimique correspond à un dépôt électrolytique en milieu fortement acide à 60°C suivi de la dissolution de la membrane AAO dans une solution de soude molaire à 80°C. Ces traitements peuvent endommager les métallisations et les résines de passivation. De même les contraintes mécaniques peuvent endommager les oxydes de grille, les résines de passivation, le cristal de silicium, les anneaux de garde de la puce. Tous ces défauts se traduisent par des changements du comportement électrique de la puce. La mesure des paramètres électriques devrait permettre d'avoir une assez bonne idée de

l'intégrité des composants.

Dans une seconde approche, nous essayons, au travers de ces mesures, de déterminer la cause d'éventuelles défaillances afin déterminer quelle étape du procédé aurait provoqué le défaut.

### 3.4.1. Dispositif expérimental utilisé pour les mesures électriques

#### 3.4.1.1. Capacité d'entrée de l'IGBT

L'oxyde de grille ( $\text{SiO}_2$ ) a une épaisseur de l'ordre quelques centaines d'Ångström ( $10^{-10}\text{m}$ ). *A priori*, c'est cette couche qui est la plus fragile, c'est pourquoi c'est la mesure des propriétés diélectriques de cette couche d'oxyde qui a constitué la base pour étudier l'effet de la contrainte mécanique sur le fonctionnement de l'IGBT. En ce qui concerne les contraintes chimiques du procédé c'est la mesure de la capacité MOS (Métal Oxyde Semi-conducteur) dont fait partie la métallisation à l'aluminium des émetteurs qui pourrait éventuellement varier si elle est dégradée lors de la phase d'élimination de la membrane. Pour vérifier l'intégrité de ces éléments nous avons mesuré la capacité de la structure MOS.

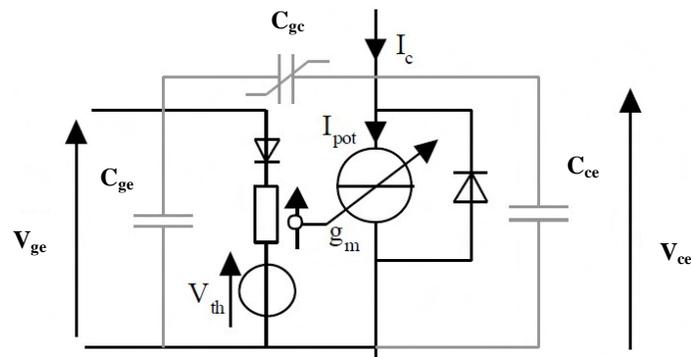


Figure 3.13 : modèle dynamique d'une puce IGBT.

En théorie :

$$C_{iss}(V_{ge}) = C_{ge}(V_{ge}) + C_{gc}(V_{gc}) \quad (3.4)$$

Les mesures de capacité en fonction de la tension  $-C(V)-$  ont été effectuées avec un pont d'impédance HP4284A la prise de contact s'effectuant sous pointes coaxiales SCA-50. Le spectromètre d'impédance a une résolution de 0,01 fF ce qui devrait permettre de détecter d'éventuels changements de la capacité si la création de fissures à l'intérieur de la couche d'oxyde ou bien les dégradations de la métallisation modifient cette valeur. La figure 3.14 montre le principe de la mesure :

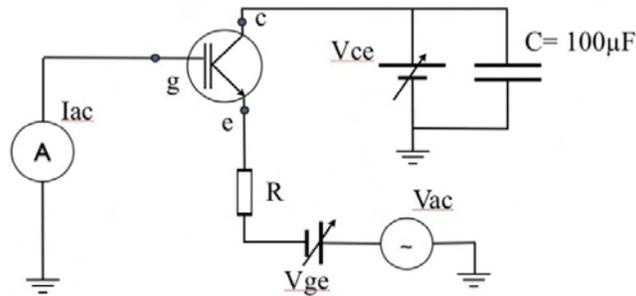


Figure 3.14 : mesure de la capacité de la couche d'oxyde de grille.

Lors de la mesure, la tension  $V_{ge}$  varie de -10 V à 10 V avec un pas de  $\pm 0,5$  V, la gamme de tension est parcourue plusieurs fois en tensions croissantes et décroissantes. Pour une tension  $V_{ge}$  donnée, on superpose un signal alternatif de faible amplitude (0,01 V) qui entraîne une légère variation de la charge à la surface de silicium. Cette variation rend possible la mesure des capacités de la surface du silicium. Une capacité de découplage  $C$  de  $100\mu\text{F}$  permet de court-circuiter l'alternatif. La fréquence de mesure est d'1MHz.

#### 3.4.1.2. Mesure $I_c = f(V_{ce}, V_{ge})$

Lorsqu'on applique sur l'électrode de grille de l'IGBT une tension supérieure à la tension de seuil du composant, la conductivité de la région d'inversion dans le canal sous la grille du MOS devient très élevée, et le composant devient passant. Dans ces conditions, les caractéristiques de transfert direct I-V sont similaires à celles d'une diode P-i-N en série avec un MOSFET. La chute de tension à l'état passant de l'IGBT peut alors être modélisée comme étant la somme des tensions aux bornes de la diode et du MOSFET

La caractérisation électrique statique est celle du courant collecteur émetteur  $I_{ce}$  en fonction de la tension de commande  $V_{ge}$  à température ambiante. Pour obtenir la caractéristique  $I_{ce}$  en fonction de  $V_{ce}$ , un traceur Tektronic 371A est utilisé. Celui-ci assure les fonctions suivantes :

- Il pilote la tension de commande  $V_{ge}$
- Il impose un courant  $I_{ce}$  impulsionnel ( $250\mu\text{s}$ ) pour éviter l'auto-échauffement de la puce.
- Il mesure de la chute de tension  $V_{ce}$  .

D'autres mesures, utilisant un Keithley 2612A capable de délivrer un courant de 20A en mode pulsé (cf. programme de pilotage en annexe), ont été effectuées. Ces mesures se font sous pointe, deux pointes sont utilisées pour polariser la grille, deux autres pointes servent à la

mesure de la tension  $V_{ce}$  –mesurée à l’aide du Keithley 2612A– et du courant  $I_{ce}$ .

Des mesures en court circuit avec le même protocole permettent de calibrer le montage et de s’affranchir des chutes de tension imposées par le câblage et des pointes de contact.

La caractéristique statique courant-tension  $I_{ce}$  en fonction des tensions  $V_{ce}$  et  $V_{ge}$  est le résultat d’une combinaison assez complexe des phénomènes qui se produisent dans la structure du semi-conducteur : formation du canal, injection des porteurs, etc. Elle représente l’état de fonctionnement de l’ensemble des cellules élémentaires mises en parallèle. Ce type de mesure est un indicateur important largement utilisé dans les études de vieillissement des modules de puissance [USU 05, SMET 08, SCH 02, KHO 07]. Le contrôle de l’évolution de la chute de tension directe aux bornes des modules lors du passage de courants forts permet de révéler certaines dégradations du module : état de la métallisation des émetteurs, état des fils de *bonding*, déformations du réseau cristallin dues à la contrainte mécanique externe [USU 05, SMET 08, SCH 02, KHO 07].

La figure 3.15 montre le principe de la mesure de la tension  $V_{ce}$  en fonction du courant  $I_{ce}$  d’un IGBT.

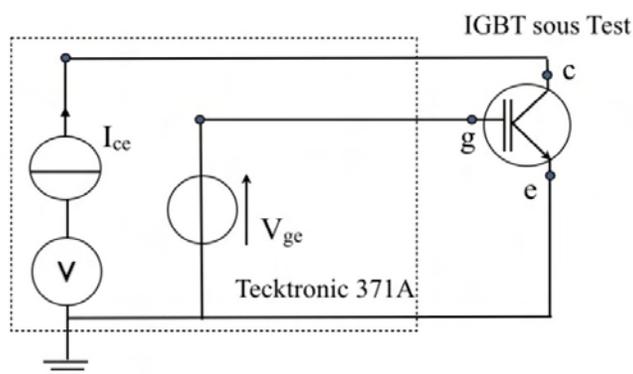


Figure 3.15 : principe de mesure  $I_{ce}$  en fonction de  $V_{ce}$  de l’IGBT

#### 3.4.1.3. Mesure du courant de fuite $I_f = f(V_{ce}, V_{ge} = 0)$

Si la grille et l’émetteur sont mis en court-circuit, l’IGBT est bloqué. Néanmoins, il subsiste un très faible courant qui passe à travers l’IGBT. Ce courant de fuite  $I_f$  circule entre le collecteur et l’émetteur. Il est sensible à la présence de fissures dans le réseau polycristallin, à la dégradation des passivations ou des terminaisons.

Pour mesurer le courant de fuite, nous utilisons une source de tension HCN 3500V qui polarise l’IGBT bloqué ( $V_{ge} = 0V$ ). La mesure de courant s’effectue avec un Keithley 2410.

Le principe de mesure est présenté dans la figure 3.16 :

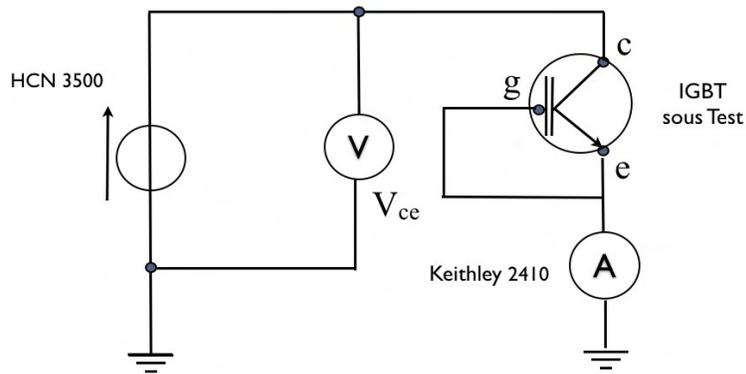


Figure 3.16 : mesure du courant de fuite  $I_f = f(V_{ce}, V_{ge} = 0)$

### 3.4.2. Pression maximale admissible

Afin de déterminer  $P_{max}$  la pression maximale que peut supporter une puce lors de l'assemblage sans dégradation, une série de mesures des caractéristiques électriques d'IGBT a été effectuée.

La capacité  $C_{iss}$  des puces a été mesurée sur une série d'échantillons avant, puis après mise en pression. On trouve une bonne reproductibilité de la mesure sur toutes les puces avant pressage comme présente la figure 3.17. Les puces sont pleinement fonctionnelles.

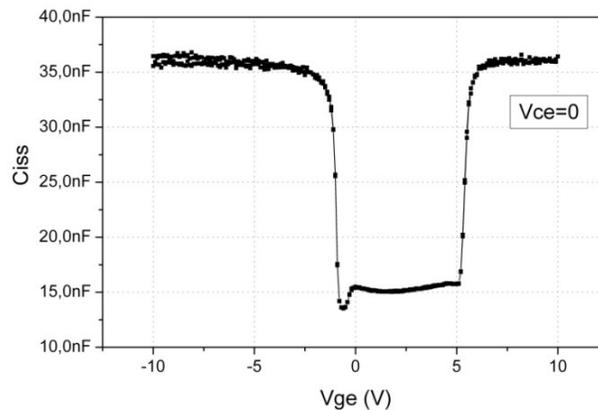
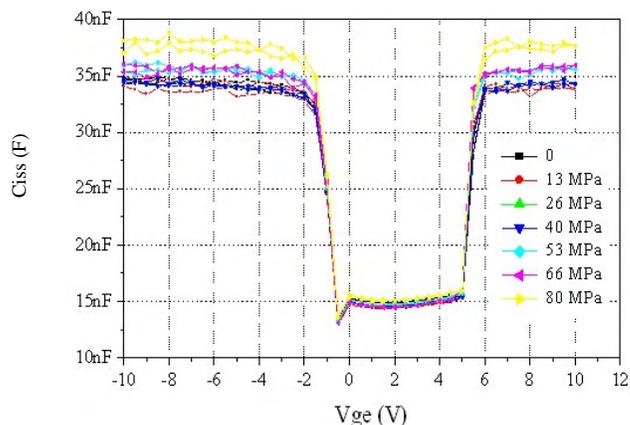


Figure 3.17 : capacité  $C_{iss}$  d'une puce IGBT vierge.

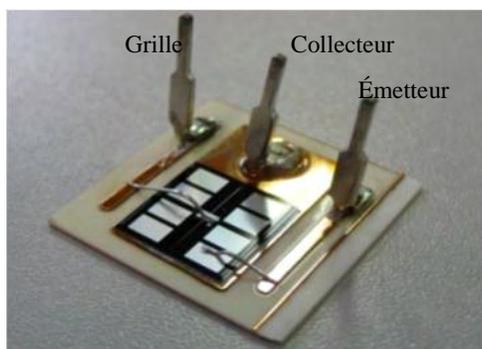
Les puces ont été pressées à différentes pressions (13, 26, 40, 53, 66, 80 MPa) avec le système de pressage uniaxial muni de la rotule à pied, des films répartiteur de pression et du guidage avec un clinquant en inox. La comparaison des valeurs et formes des courbes obtenues

permettent de conclure que dans cette plage de pression il n'y a pas de changement de caractéristique électrique de l'oxyde de grille. Il est important de préciser que les valeurs de pression figurées sur les courbes sont les valeurs moyennes calculées en divisant la force appliquée par la surface de la puce soit  $1,84 \text{ cm}^2$ .



**Figure 3.18 :**  $C_{iss}$  en fonction de  $V_{ge}$  d'IGBTs ayant été pressés

La mesure de  $C_{iss}$  ne permet toutefois pas de conclure que le composant est resté fonctionnel. Pour ce faire des IGBT ayant été mis sous pression ont été brasés (par une brasure traditionnelle 92.5Pb 5Sn 2.5Ag) sur du substrat DBC en alumine ( $650 \mu\text{m}$ ). Le DBC a été poli « miroir » jusqu'à  $1 \mu\text{m}$  (grain de la suspension diamantée) et puis traité sous plasma PL d'argon et d'oxygène à froid ( $25^\circ\text{C}$ ) avant assemblage par brasure. Rappelons ici que ces opérations ne sont pas nécessaires dans le cadre d'une fixation nano-scratch, elles n'ont d'autre but que d'avoir un point de référence connu. Le fonctionnement ou la défaillance d'une puce attachée au DBC par un nano scratch à cette étape ne permettrait pas de conclure. Le brasage des puces a été effectué au laboratoire PEARL/ALSTOM.



**Figure 3.19 :** assemblage IGBT/DBC par brasure pour des tests électriques

La grille et un des émetteurs de l'IGBT sont connectés par fils de *bonding* soudés par ultrasons avec des pistes gravées sur le DBC sur lesquelles des plots métalliques ont été brasés afin de faciliter la connexion électrique avec les appareils de mesure. La figure 3.19 montre l'échantillon préparé pour des tests électriques. Les mesures  $I = f(V_{ce}, V_{ge}=15V)$  ont ensuite effectués jusqu'à 25A sur toutes les puces traitées. Notons ici que ce courant est très supérieur au courant nominal (puce de catégorie 100A sur 8 plots d'émetteur, soit 12,5A par émetteur) ce qui explique l'importance de la tension VCE.

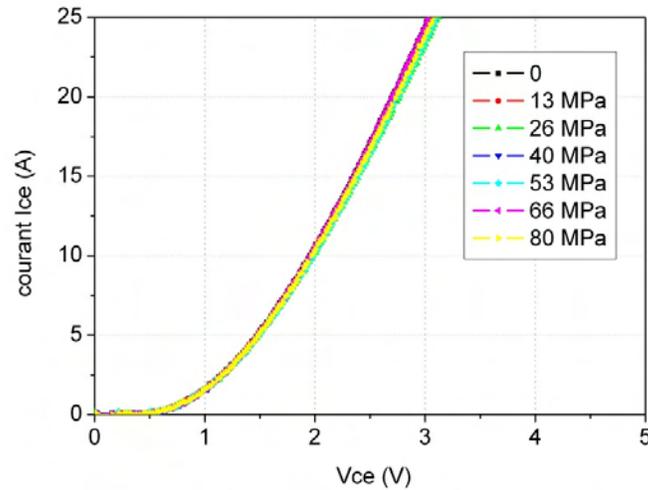


Figure 3.20 : mesure  $I_{ce} = f(V_{ce}, V_{ge} = 15 V)$  des IGBTs pour différentes pressions

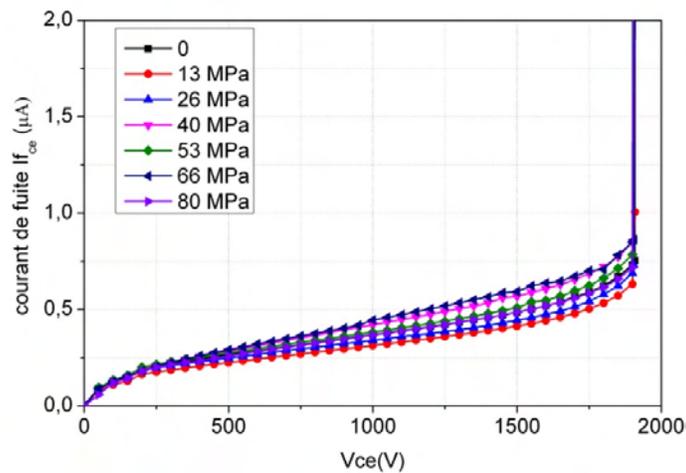


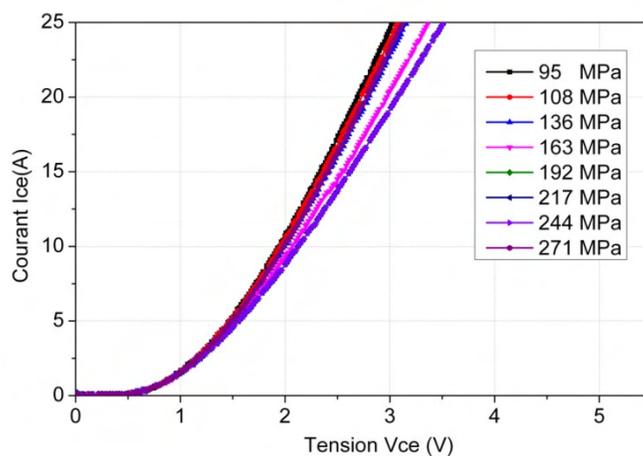
Figure 3.21 : courant de fuite  $I_{f_{ce}} = f(V_{ce}, V_{ge} = 0 V)$  des IGBT pressés à différentes pressions

Les courbes obtenues sont quasiment identiques, il n'y a pas de changement de comportement électrique après application de la pression. Celle-ci pourrait atteindre jusqu'à 80 MPa (avec notre procédé assurant une pression quasi-statique) sans endommager les composants de puissance. D'autres mesures similaires suggèrent que les puces pourraient supporter 271 MPa

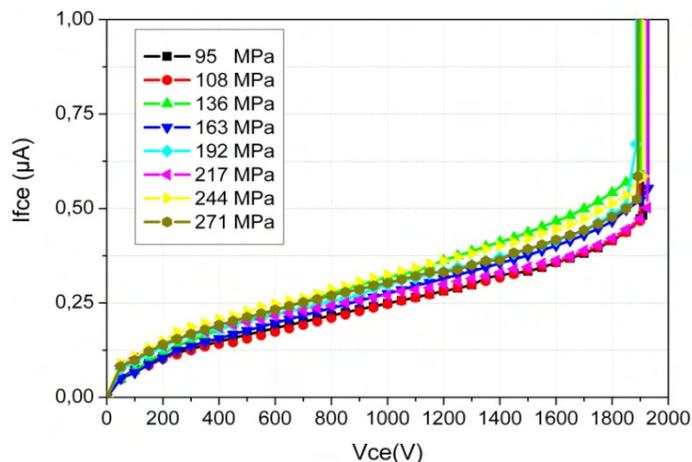
sans dommages (cf figures 3.22 et 3.23). L'assemblage ne nécessitant que 80 MPa la marge de sécurité est largement suffisante.

Sur courbe 3.21 est représentée l'évolution de la tension d'avalanche en fonction de la pression ayant été appliquée aux IGBT. Nous constatons que cette tension n'est pas corrélée avec la pression appliquée : elle est moindre pour une puce pressée à 80 MPa que pour une puce pressée à 40 MPa, et dans tous les cas, elle est conforme à celle annoncée par le constructeur. Par conséquent nous pouvons conclure que la pression appliquée n'influe pas sur ce paramètre.

De plus cette mesure nous permet aussi de vérifier que le fait de presser sur les anneaux de garde ne modifie pas leur efficacité. Les mesures ont été réalisées dans un milieu diélectrique liquide représentatif des diélectriques d'encapsulation couramment utilisés.



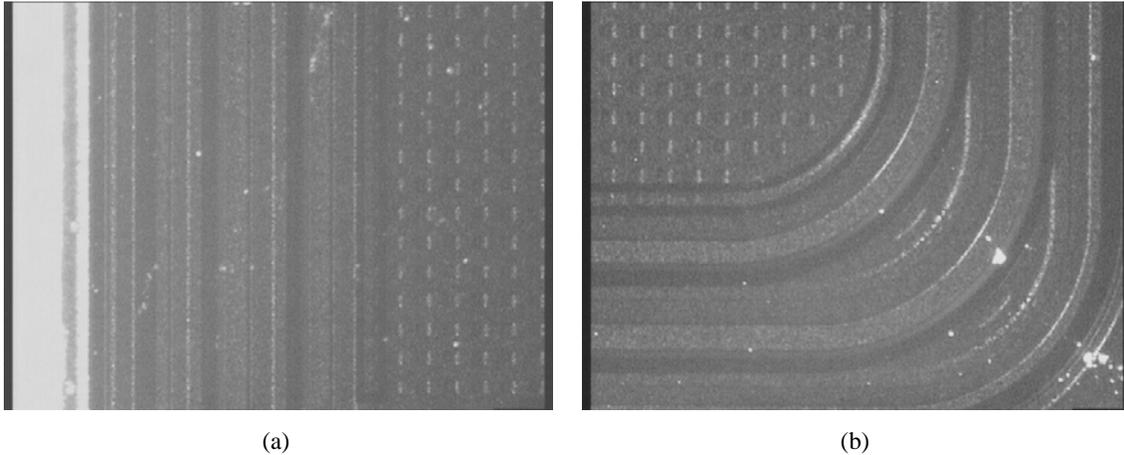
**Figure 3.22** : caractérisation en statique des puces IGBTs pressées dans la plage de fortes contraintes mécaniques (95 – 271 MPa).



**Figure 3.23** : courant de fuite  $I_{f_{ce}} = f(V_{ce}, V_{ge} = 0 \text{ V})$  des IGBTs pressés dans la plage de fortes contraintes mécaniques (95-271 MPa).

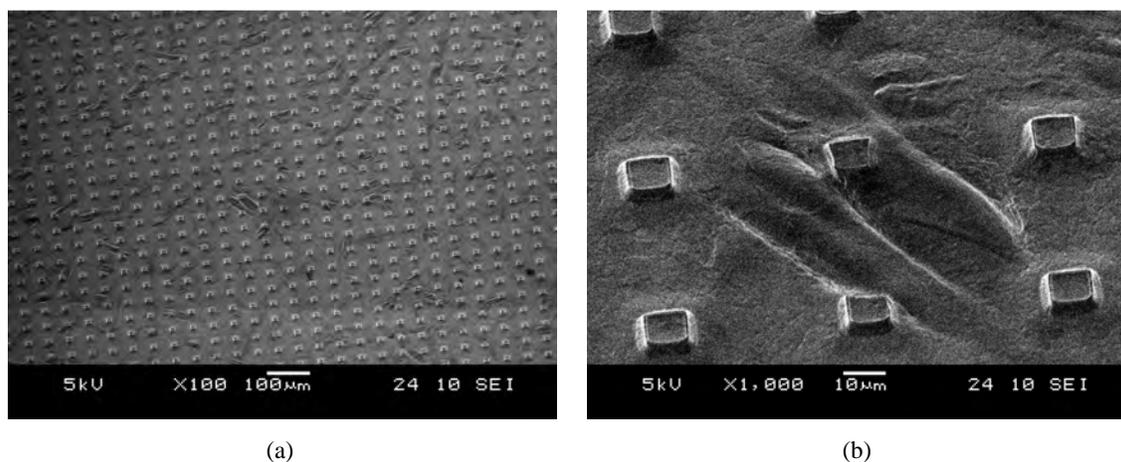
### 3.4.3. Autres contrôles de l'intégrité de la puce

Nous avons complété les tests électriques par une observation des IGBT après mise sous pression ou dépôt de nano fils. Nous avons observé les zones protégées de l'attaque chimique et les zones pressées au binoculaire et au Microscope Électronique à Balayage (MEB).



**Figure 3.24 :** anneaux de garde des puces après des traitements (dépôt électrolytique et pressage à froid) : (a) au bord, (b) au coin de la puce.

Il y a pas de changements particuliers entre une puce vierge et une puce traitée au niveau de la passivation et des anneaux de garde. Par contre, dans certaines gammes de pression, on observe des déformations plastiques locales des métallisations de la face avant : les émetteurs et la grille métallisés à l'aluminium, comme le montre la figure 3.25:



**Figure 3.25 :** déformation plastique de la métallisation en aluminium des puces IGBTs sous l'effet de la pression : (a) vue de loin, (b) vue de près.

Bien que ces déformations plastiques n'aient pas d'influence directe sur la puce, vu qu'il n'a pas été observé de changement du comportement électrique, ces déformations peuvent éventuellement accélérer le phénomène de reconstruction <sup>[SMET 08]</sup> de la métallisation qui conduisent à l'augmentation de la résistance de la métallisation et à une fiabilité moindre. B. Khong a étudié en 2007 l'effet de la pression sur la cristallographie de la métallisation en aluminium des puces <sup>[KHO 07]</sup>. Il a montré que la pression appliquée au cours du procédé de soudure des fils de *bonding* change la taille des grains d'aluminium. Lorsque ces échantillons subissent des cycles de température, un phénomène de vieillissement se produit plus rapidement à l'endroit où la pression a été appliquée <sup>[KHO 07]</sup>.

Nous avons donc mis en place une méthode de pressage et de fabrication des dépôts de nano structures qui n'endommagent pas les composants de puissance que nous avons à disposition (des puces IGBT 1700V/100A probablement de marque infineon). Dans ce qui suit nous allons réaliser et caractériser des assemblages.

### **3.5. Assemblage d'un IGBT et d'un substrat DBC par nano scratch**

#### **3.5.1. Dépôt en face arrière d'une puce.**

Les puces à notre disposition ont une métallisation en face arrière à base de nickel et d'argent. Contrairement au dépôt de nano poteaux sur les morceaux de cuivre, le dépôt sur ces métallisations en NiAg est plus délicat à réaliser.

Tout d'abord le dépôt de nano poteaux en cuivre sur la métallisation en NiAg nécessite une phase de nettoyage. Nous avons réalisé des dépôts en face arrière avec et sans couche d'accroche. Les pièces en Si pur servant de modèle de composant nécessitent l'utilisation d'une couche d'accroche.

Ensuite, les métallisations à l'aluminium, qui est un élément fortement réducteur, sont instantanément détruites en bain électrolytique fortement acide mais aussi dans le bain de NaOH 1mol à 80°C servant à la dissolution de la membrane. Il faut donc impérativement mettre en place des solutions de protection de la face avant aussi bien lors de l'attaque à la soude que lors du dépôt dans l'électrolyte.

Notons que la polarisation électrique appliquée pour le dépôt protège la face arrière sur

laquelle est effectué le dépôt.

### 3.5.1.1. Couche d'accrochage

L'électrodéposition met en jeu une circulation d'ions métalliques (courant électrolytique). Pour être déposés, ces ions doivent entrer en contact et adhérer à la cathode où ils sont réduits pour former un réseau métallique. Pour cela une couche d'accroche recouvrant le substrat ou bien le silicium de la puce est nécessaire. La couche d'accrochage a un rôle multiple dans notre application :

- Tout d'abord, elle permet une compatibilité chimique entre la nature de l'électrode et l'électrolyte. Ce point sera développé ultérieurement lorsque nous réaliserons des dépôts sur la métallisation en aluminium des émetteurs et de la grille en face avant des puces.
- La couche d'accroche permet, entre autres, de réaliser une interface entre le substrat et le matériau déposé par électrochimie, et de répartir les courants vers l'ensemble des motifs lors du dépôt des nano fils.

Par conséquent l'adhérence de cette couche sur le substrat doit être forte, c'est le premier maillon de nos assemblages. Bien entendu cette couche est inutile pour des composants métallisés au cuivre.

La résistance électrique de cette couche doit être faible afin d'avoir une distribution homogène de courant non seulement pour le fonctionnement de la puce une fois assemblée, mais aussi lors du dépôt sous peine d'avoir des dépôts inhomogènes.

En général, la couche d'accroche se compose d'une couche mince à haute adhérence qui est recouverte d'une couche conductrice plus épaisse (100 nm au minimum). La couche d'adhésion peut être en Ti, Cr, W, Au, Mo, TiN, TaN... [FUL 09, SEH 06, RAB 05, WU 05, GOB 93].

La couche conductrice correspond souvent au métal que l'on souhaite déposer par électrochimie afin de réduire l'effet de décalage des réseaux cristallins (mailles de même dimension) et le stress ainsi créé [GOB 93]. En fonction du procédé de fabrication choisi, différentes combinaisons pourraient être employées comme : Cr/Cu/Cr, Cr/Au, W/Au, Cr/Ag, Ti/Au, Ti/Ni/Pd, Ti/W/Au...

Deux méthodes souvent utilisées pour déposer des couches d'accroche sont l'évaporation sous vide [JIA 92] et la pulvérisation cathodique (*sputtering*) [MEN 08, KIL 08]. Si l'évaporation permet d'avoir une vitesse de dépôt importante (20-30 Å.s<sup>-1</sup> dépôt de Cu), son adhérence est parfois médiocre. *A contrario*, la pulvérisation cathodique permet de déposer la plupart des matériaux avec une vitesse de dépôt plus faible mais la couche mince déposée a, en général, une bonne

adhérence sur le substrat et une bonne homogénéité.

Dans notre étude, c'est la pulvérisation cathodique qui est utilisée pour métalliser des morceaux de silicium ayant les dimensions de la puce pour la mise au point du procédé et pour les tests mécaniques et thermomécaniques. Un dépôt de 50 nm de titane puis de 100nm du cuivre sont effectués successivement tout en gardant l'échantillon sous vide afin d'éviter l'oxydation du titane lors de la remontée en pression par l'oxygène de l'atmosphère.

L'évaporation sous vide, est utilisée pour déposer une couche d'accroche plus épaisse Cr 15nm/Cu 500nm sur la métallisation en aluminium des IGBTs pour les dépôts en face avant. Comme nous n'avons pas prévu de réaliser des tests mécaniques sur la face avant, et que la durée de dépôt par pulvérisation cathodique serait très grande vu les épaisseurs déposées nous avons retenu cette solution. De plus, la surface est plus faible par conséquent la probabilité d'avoir des dépôts inhomogènes est négligeable.

#### *3.5.1.2. Solution de protection*

Afin de faire un dépôt sur la face arrière de la puce, il est nécessaire de déposer une couche de résine de protection sur la face avant. Nous avons retenu la résine AZ5214E pour protéger la face avant des puces contre les agents chimiques lors du dépôt. Cette résine est bien connue dans la fabrication des micros dispositifs par photolithographie. Il s'agit d'une résine positive (novolac) qui devient négative après une étape spécifique appelée "insolation pleine plaque" ou "flood". La résine est compatible avec l'environnement acide du bain de dépôt électrolytique.

L'étalement de résine sur la puce s'effectue par force centrifuge à l'aide d'une tournette. Une goutte de la résine AZ5214E est déposée au centre de l'échantillon qui est ensuite mis en rotation. L'épaisseur finale de la résine est fonction de la viscosité de la résine et de la vitesse de rotation de l'échantillon.

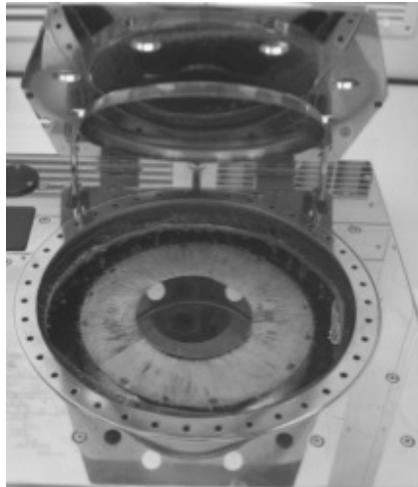


Figure 3.26 : la tournette utilisée.

Le procédé de mise en œuvre retenu pour la résine AZ 5214 E est décrit dans le tableau suivant :

Tableau 3.3 : Procédé de dépôt de la résine AZ 5214E.

Dépôt de la résine AZ5214E	
Dépôt du promoteur d'adhérence HDMS	vitesse 2000 tr. min <sup>-1</sup> pendant 30 s
Dépôt de 2 µm de résine avec la tournette (s)	vitesse 2000 tr. min <sup>-1</sup> pendant 30 s
Premier recuit sur plaque chauffante	110 °C pendant 1 minute
Deuxième recuit sur plaque chauffante	135 °C pendant 2 minutes

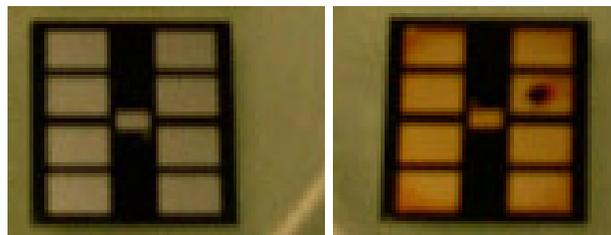


Figure 3.27 : dépôt de la résine sur la face avant de la puce : puce nue (à gauche) et puce avec la résine AZ5214E (à droite)

La dissolution de la membrane s'effectue dans une solution NaOH molaire à 80°C durant 30s. La puce doit être également protégée de l'agression de cet environnement chimique. Or la résine AZ 5214 ne supporte pas cette solution, il n'est donc pas possible de l'utiliser pour protéger la puce durant cette phase du procédé de dépôt des nano fils de cuivre.

La résine AZ nLOF 2000 résiste, elle, aux solutions basiques. Afin de vérifier qu'il est possible de l'utiliser pour nos applications, différents tests de couches minces de cette résine

ont été effectués. Un dépôt de 2µm d'épaisseur est réalisé à la tournette sur des plaquettes de verre. Un premier recuit d'une durée d'une minute à 110°C est effectué systématiquement. Puis, pour améliorer la tenue chimique de la couche de résine, un deuxième recuit d'une durée d'une minute à différentes températures : 150, 200, 250 et 300°C est effectué. Afin de qualifier la protection accordée par la résine, une mesure de l'épaisseur de celle-ci, à l'aide d'un profilomètre, a été effectuée avant puis après attaque de cette protection par un bain de soude molaire à 80°C. L'expérience montre que, seul le second recuit à 300°C permet à la résine de résister à la fois au dépôt des nano poteaux (bain électrolytique acide) et à la dissolution de membrane (soude molaire à 80°C).

Toutefois cette solution est peu intéressante du fait que la deuxième température de recuit est élevée ce qui n'est pas souhaitable pour des composants de puissance. Par ailleurs, retirer la résine AZ nLOF 2000 est difficile, celle-ci a une très bonne adhérence, ce qui risque de conduire à la présence de traces en surface du composant.

D'autres solutions ont également testées :

**Tableau 3.4** : tenue des matériaux dans l'environnement chimique du procédé de dépôt des nano poteaux.

	Résine AZ5214	Film paraffine	Cire	Gomme (Thèse QH.Luan)
Mise en place	Dépôt par tournette	Laminage	Soluble dans trichloréthylène, dépôt par tournette possible, séché à l'air	Liquide, dépôt au pinceau, recuit de 4h à 40°C
Tenue en bain acide (pH≈1)	Bonne	Bonne	Bonne	Bonne
Tenue en bain dissolution (NaOH 1M à 80°C)	Nulle	Nulle	Bonne jusqu'à 60°C	Bonne
Retrait	Aisé	Aisé	Par trichloréthylène	Retrait mécanique aisé

La gomme semble à la lecture du tableau la solution de protection à utiliser, elle convient à la fois lors du bain de dépôt et lors de l'attaque basique pour éliminer la membrane. Toutefois, cette gomme présente l'inconvénient de laisser parfois des traces de gomme sur la surface protégée. De plus, la composition chimique de la gomme n'est pas connue, nous ne savons donc pas si elle interfère avec les multiples composés présents à la surface des puces. Pour éviter ce problème nous utilisons la résine AZ5214E seule lors du dépôt électrolytique, puis la gomme est déposée directement sur la couche résine AZ5214E pour protéger l'ensemble lors

de l'élimination de la membrane à la soude. Le retrait de la résine AZ5214E permet d'enlever toute trace de gomme et de rendre une face avant propre.

### 3.5.1.3. Dépôt sur la face arrière

Une fois la couche de protection de la face avant déposée, il faut mettre en place l'amenée du courant pour le dépôt. Cette amenée se réalise avec un feuillard de cuivre de 35  $\mu\text{m}$  d'épaisseur. Avant procéder au dépôt, la face arrière de la puce est nettoyée avec une solution d'acide fluorhydrique (HF) et d'acide nitrique pour retirer la couche d'oxyde d'argent qui s'est formée à la surface de l'électrode. La puce est rincée à l'eau désionisée puis séchée à l'azote.

On procède alors au dépôt des nano poteaux dans les conditions souhaitées (durée, température, forme d'onde du courant).

On protège la puce de la soude, avant de dissoudre la membrane, avec la gomme. Celle-ci est déposée liquide sur la face avant de la puce, sur la résine AZ5214E, puis est séchée à 40°C pendant 4h dans une étuve. La membrane est ensuite dissoute dans une solution de soude molaire à 80°C durant 30s. La gomme est ensuite enlevée mécaniquement, enfin la résine AZ5214E est enlevée dans un mélange solution AZ 100 et d'eau désionisée (1 volume AZ100 pour 1 volume d'eau) durant 5 minutes.

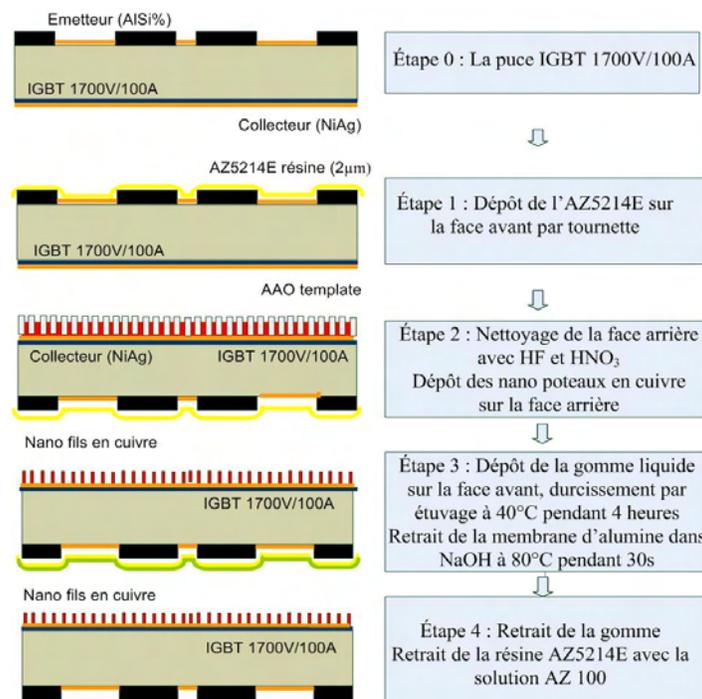
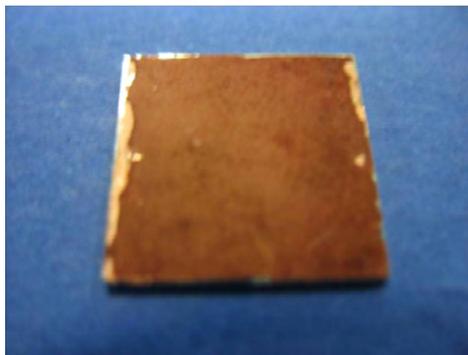


Figure 3.28 : dépôt sur la face arrière de la puce

La figure 3.29 montre un dépôt de nano poteaux sur la face arrière d'une puce.

Il existe une zone à la périphérie où le cuivre se dépose massivement sur quelques microns d'épaisseur ce qui peut gêner l'assemblage non pas seulement à cause de la surépaisseur, mais aussi à cause de l'existence dans le dépôt d'une zone sans nano-poteaux.



**Figure 3.29** : vue d'un dépôt sur la face arrière d'une puce.

### 3.5.2. Assemblage d'une puce sur un substrat DBC

Après avoir adapté le procédé pour que la pression appliquée à l'assemblage et que le dépôt électrolytique sur la face arrière n'endommagent pas la puce, nous nous intéressons à la validation d'un assemblage IGBT/DBC par nano scratch.

Dans ce qui suit, sauf indication contraire, la durée de dépôt des nano poteaux en face arrière de la puce est de 45 minutes. Un système de nano poteaux identique a été déposé sur les DBC. Ceux-ci sont polis avec une suspension diamantée d' $1\mu\text{m}$  et la rugosité des DBC et puces polies est de l'ordre de 5nm (mesure au profilomètre). L'assemblage est réalisé avec une force de 15 kN ce qui correspond à une pression moyenne de 80 MPa. Des fils *bondings* reportent les contacts sur des pistes du DBC sur lesquelles des plots métalliques sont soudés. Les mesures électriques : Ice fonction de  $V_{ce}$  et l'évolution du courant de fuite en fonction de  $V_{ce}$  montrent qu'il n'y a pas de différences notables entre un composant brasé et un composant scratché sur le DBC.

Tout au plus peut-on noter une légère augmentation du courant de fuite, mais cette augmentation reste dans la limite de la dispersion des composants. La figure 3.32 présente un cas extrême.

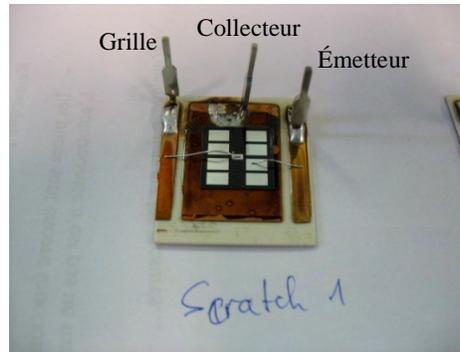


Figure 3.30 : assemblage face arrière d'un IGBT sur un DBC.

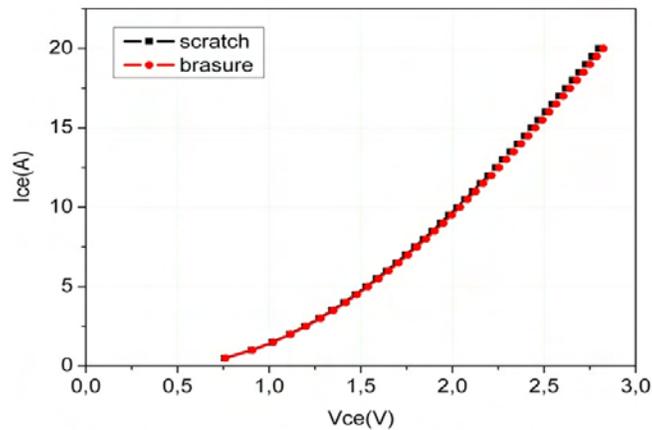


Figure 3.31 : mesure  $I = f(V_{ce}, V_{ge} = 15V)$  sur des assemblages IGBT/DBC par brasure et par nano scratch.

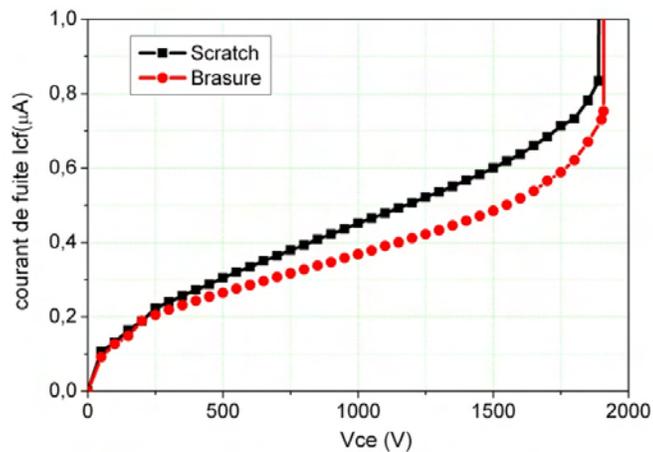


Figure 3.32 : mesure du courant de fuite  $I = f(V_{ce}, V_{ge} = 0V)$  sur des assemblages par brasure et par nano scratch.

En conclusion on peut affirmer que la liaison électrique des composants scratchés est fonctionnelle. Cela n'est, toutefois, pas suffisant pour permettre à cette connectique d'être considérée comme pouvant potentiellement remplacer les brasures. Pour ce faire, il faut aussi

valider la liaison d'un point de vue mécanique et thermomécanique.

De plus nous avons vu que le composant est encore utilisable, mais cela ne nous permet pas de caractériser électriquement la liaison elle même.

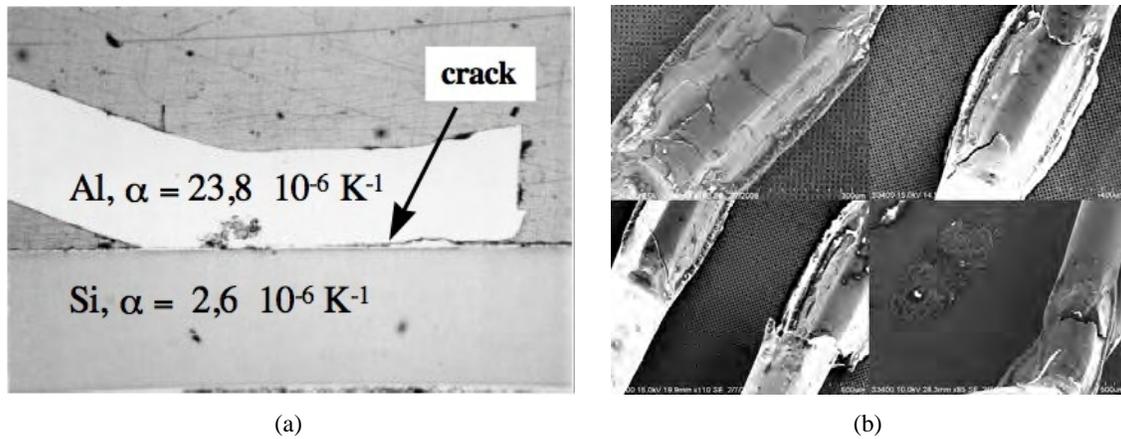
Dans une seconde phase, nous allons donc d'abord caractériser quantitativement la tenue mécanique et la résistivité de la liaison. Ces données sont évidemment de prime importance pour la conception des systèmes.

### 3.6. Caractérisation mécanique des assemblages nano scratch

À l'heure actuelle, la méthode la plus courante pour attacher les composants aux substrats utilise la brasure et le report de contact des fils de *bonding*. Cette méthode est fiable et éprouvée, toutefois il existe nombre de modes de défaillance et nous allons en présenter quelques un ici. Bien entendu, nous espérons que l'assemblage par nano poteaux puisse répondre à certains de ces modes de défaillance, toutefois nous ne pensons pas avoir la solution, mais une nouvelle approche de la connectique qui pourrait permettre de franchir une étape dans progression vers plus de fiabilité.

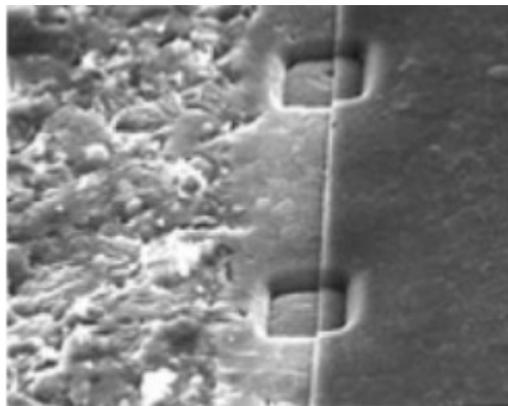
❖ *Rupture de la puce et des substrats* : Ces matériaux, fragiles, sont susceptibles d'être brisés si la soudure dure trop longtemps ou si la pression de soudure est inadaptée. Ces contraintes peuvent créer des micro fissures que les contraintes thermomécaniques subies ultérieurement par la puce durant sa vie peuvent élargir conduisant à la défaillance du composant.

❖ *Dégradation des fils de bonding* : La variation cyclique de température entraîne des contraintes thermomécaniques au niveau des *bondings* dus à la différence de coefficient de dilatation ( $\alpha$ ) des matériaux assemblés : pour l'aluminium  $\alpha_{Al} = 23,8 \cdot 10^{-6} \text{ K}^{-1}$  et pour le silicium  $\alpha_{Si} = 2,6 \cdot 10^{-6} \text{ K}^{-1}$ . Les zones subissant les contraintes maximales se situent là où il y a le moins de degrés de liberté, c'est à dire à l'interface entre le connecteur et la métallisation, et au niveau des coudes situés près des zones de contact avec les métallisations [WEN 99]. Avec le nombre de cycles en température, la défaillance des fils de *bonding* se produisent principalement en ces endroits. La figure 3.33.b présente soulèvement des *bondings* par effet de ressort. Cette dégradation est souvent accompagnée par des craquelures d'autres *bondings*



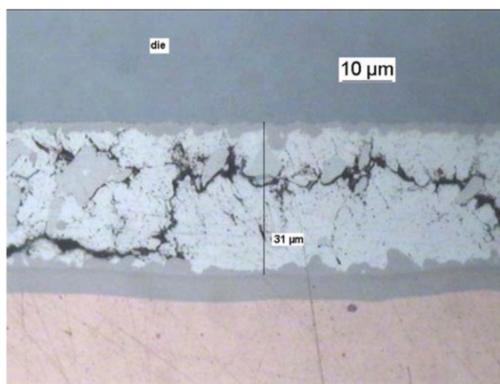
**Figure 3.33 :** défaillance au niveau des fils de *bonding* : (a) fissure sous pied des fils de *bonding* <sup>[RAM]</sup>, (b) écaillage, fissures, fracture, décollement d'un fil de *bonding* après cyclage thermique <sup>[SMET 08]</sup>

❖ *Reconstruction de la métallisation* : Durant le cyclage thermique, des efforts de dilatation et de rétraction sont appliqués aux métallisations. La disparité entre les coefficients d'extension du silicium et de la métallisation ainsi que la rigidité du silicium engendre des efforts dépassant la limite de déformation élastique admissible par le contact métallisation/silicium. Des dislocations et le glissement des grains les uns par rapport aux autres ont pour conséquence l'extrusion de certains grains et la formation de vides (voids) ce qui augmente la résistance électrique de la métallisation. L'importance de ces phénomènes dépend de la température de cyclage des puces. Il est possible en utilisant la passivation de la puce de réduire la déformation de la métallisation <sup>[BOU 08, CIA 00, DUP 06, HAM 01, SMET 08]</sup>. La figure 3.34 présente la déformation d'une métallisation avec (à droite) et sans (à gauche) couche de passivation (ici du polyimide).



**Figure 3.34 :** influence de la présence d'une couche de protection en polyimide <sup>[CIA 00]</sup>

❖ *Fatigue et Fracture de la brasure entre la puce et le substrat* : Comme les fils de *bonding*, un des éléments les plus sensibles au cyclage thermique dans la structure des modules de puissance est la brasure liant la puce au substrat <sup>[HANS 07]</sup>. La fatigue de la brasure se manifeste par la formation de cavités ou l'extension de cavités existant à l'intérieur de la brasure. Les contraintes en cisaillement apparaissant à cause de la différence de coefficient de dilatation thermique entre le silicium et l'alliage utilisé finissent par créer des cavités sous l'effet du cyclage thermique du module durant son fonctionnement. Ces cavités ont un impact négatif sur la conductivité thermique de l'assemblage, l'augmentation de la température des puces entraîne d'autres phénomènes de vieillissement tel que le décollement des faisceaux de *bonding* par exemple.



**Figure 3.35** : fissure de la brasure puce/substrat sous effet des cycles thermiques <sup>[HANS 07]</sup>

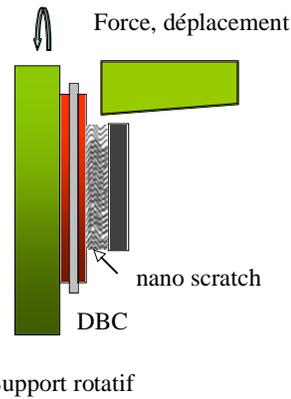
Ces phénomènes induisent aussi une diminution des propriétés mécaniques de la liaison. Une mesure mécanique peut permettre de détecter ces problèmes. Notons toutefois que la majorité des tests est destructif.

### 3.6.1. Principe des tests de cisaillement et de traction

Deux méthodes de tests ont été utilisées pour étudier la tenue mécanique de l'assemblage dans notre étude. Ce sont des tests en cisaillement et en traction.

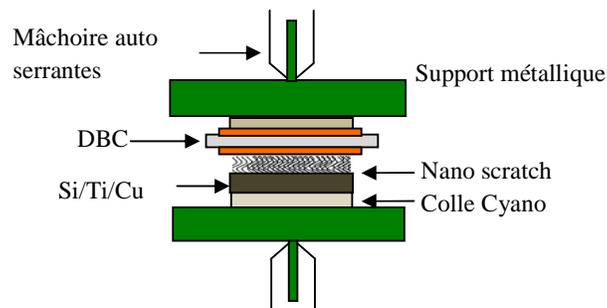
Parmi les méthodes de test de la tenue mécanique en cisaillement, citons les *bend test* <sup>[RIZ 05]</sup>, *lap test* <sup>[COG 05]</sup>, *ring and plug test* <sup>[FOL 00]</sup> et le *shear test* <sup>[CHI 06, CHO 07]</sup>, c'est cette dernière qui a été choisie pour des raisons de disponibilité d'un dispositif expérimental (Instron 5548 micro tester) au laboratoire PEARL/ALSTOM. Dans ce test, une lame se déplace parallèlement à la surface du substrat et cisaille la liaison nano scratch liant le DBC au silicium. Une jauge de

force montée dans le prolongement de la lame permet de mesurer la force appliquée et le déplacement de la lame. L'ensemble est piloté par un micro-ordinateur et le logiciel Merlin.



**Figure 3.36** : principe de test de cisaillement

La vitesse de déplacement de la lame est de 1 mm par minute. Il est possible de fixer la distance maximale que parcourra la lame lors du test. Nous avons choisi une distance de 2mm. Lors de l'essai en cisaillement, le logiciel mesure le déplacement, suivant l'axe vertical de la machine (OZ), pendant la mise en charge et la force appliquée. Le logiciel permet de sauvegarder l'évolution de la force appliquée en fonction du déplacement dans un fichier texte.



**Figure 3.37** : principe de test de traction

Le test en traction est quelque peu différent. L'échantillon (Si/DBC) est collé sur deux supports métalliques permettant à deux mâchoires auto serrantes d'exercer une force de traction sur les supports des deux côtés de l'assemblage. La machine "Multi-test 25-I" munie d'un capteur "LCS load 1000N" permet de mesurer de la force de traction et le déplacement durant l'essai. La vitesse de traction est de 1 mm/minute. Le logiciel est paramétré pour déplacement maximal de 2 mm et une force maximale de 800 N, au delà de ces valeurs le test s'arrête. Les mesures sont là aussi enregistrées dans un fichier texte.

### 3.6.2. Étude de la tenue mécanique en cisaillement des assemblages pour différentes longueurs de nano-poteaux

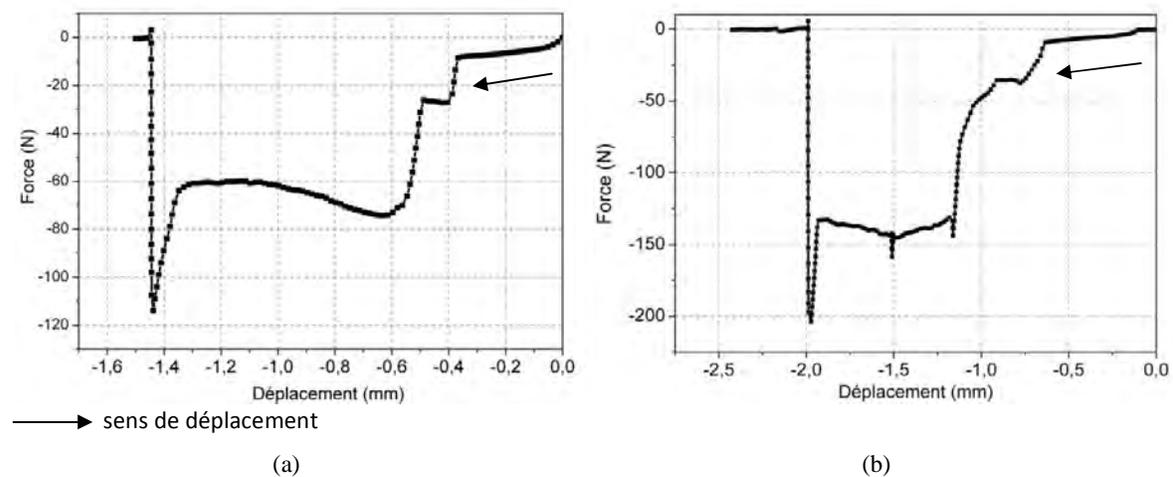
Pour étudier l'influence de la longueur des poteaux sur la tenue mécanique de l'assemblage, des assemblages silicium / DBC ont été réalisés.

Le dépôt des nano poteau sur du silicium nécessite une couche d'accroche qui est composée d'une première couche de Ti (50nm) et d'une couche de Cu (100nm). Les dépôts se font par pulvérisation cathodique sans rupture du vide entre les deux couches. Le dépôt électrolytique des nano poteaux de cuivre sur cette métallisation s'effectue à l'aide d'une amenée de courant par un feuillard en Cu de 35  $\mu\text{m}$  d'épaisseur. La longueur des nano poteaux déposés est contrôlée par la durée du dépôt.

**Tableau 3.5:** récapitulatif des différents types d'échantillons utilisés :

Échantillon	Si15/DBC60	Si15/DBC15	Si60/DBC60	Si45/DBC45	Si30/DBC30
Nom	court/long	très court/très court	long/long	moyen/moyen	court/court
Force d'assemblage appliquée	15kN	15kN	15kN	20kN/15kN	15 kN

Des assemblages IGBT/DBC ont également été testés. Pour ces types d'échantillons, les nano poteaux sont déposés directement sur la métallisation Ni/Ag de la face arrière de la puce préalablement nettoyée par une solution d'acide fluorhydrique et nitrique ( $\text{HF} + \text{HNO}_3$ ).



**Figure 3.38 :** comportement mécanique des assemblages : (a) Si 45 x DBC 45, (b) Si 60 x DBC 60.

Lors des tests en cisaillement le déplacement avant rupture est grand pour les assemblages de type ‘‘long/long’’ et les assemblages ‘‘moyen/moyen’’.

Les courbes sont caractérisées par trois zones représentant trois comportements différents de l'assemblage. Au début, le morceau silicium glisse sur DBC presque sans effort. Ensuite, le

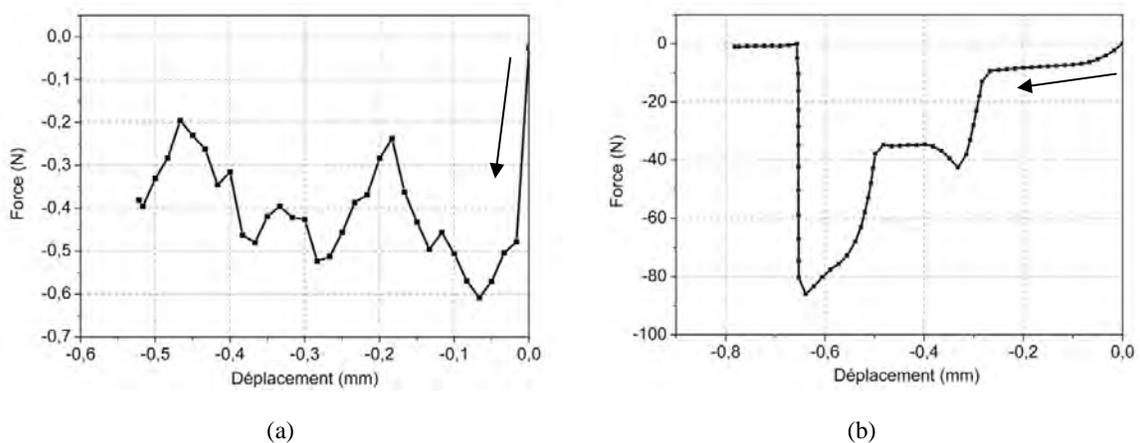
glissement cesse comme s'il existait un point d'ancrage, la force appliquée croit alors très rapidement. L'augmentation de la force appliquée provoque soit une rupture complète de la liaison, soit une rupture partielle. Dans le cas d'une rupture partielle, le glissement reprend jusqu'au prochain point de blocage. On peut estimer que la rupture partielle correspond au désenchevêtrement d'une partie de la liaison par les nano poteaux. Il faut noter que cette rupture partielle ne provoque pas forcément une baisse de la force à appliquer pour provoquer la rupture complète de la liaison.

La force nécessaire pour rompre un assemblage de type "long/long" est d'environ 200 N pour une surface de dépôt de  $2 \text{ cm}^2$ , le déplacement, très important, est d'environ 2mm.

Pour un assemblage de type "moyen/moyen" la force n'est plus que de 120 N toujours pour  $2 \text{ cm}^2$  de dépôt. Le déplacement est moindre, de l'ordre de 1,5mm.

La rupture d'un assemblage "long/court" de  $2 \text{ cm}^2$  ne nécessite plus modestement qu'une force de 80 N (figure 3.39b). Le déplacement obtenu en ce cas est plus faible comparé aux déplacements nécessaires pour les autres assemblages, il est inférieur au millimètre.

En première approche, nous supposons que les structures de longs nano poteaux possèdent un degré d'inhomogénéité important favorable à l'interdigitation des poteaux que ce soit une interpénétration entre poteaux ou entre faisceau de poteaux. De même, nous pensons, même si l'observation n'a pas été possible, qu'il se forme des crochets favorables à la tenue mécanique de la liaison. Par contre la longueur des poteaux rend l'assemblage plus flexible et le déplacement mesuré est très important. Il est possible qu'une puce se déplace de 2mm avant de se décrocher !



**Figure 3.39** : comportement mécanique des assemblages : (a) (Si 15/DBC 15), (b) (Si 15/DBC 60)

La résistance offerte par une liaison de nano poteaux "courts/couts" de  $2 \text{ cm}^2$  au cisaillement

est très faible. Il n’y a presque pas d’accrochage entre deux nano structures de poteaux courts. Nous pensons que plusieurs causes peuvent expliquer cet état de fait :

- Les poteaux sont courts et rigides, peu flexibles, ils ne favorisent pas l’interpénétration,
- vu la densité de poteaux, il ne peut se former des faisceaux de poteaux, il n’y a donc qu’une seule source d’accrochage et non deux comme pour les poteaux longs,
- les poteaux sont très homogènes en longueur, il n’y a aucun point de départ pour favoriser une interpénétration (un peu comme le ferait une glissière de fermeture à glissière).

Dans le cas de poteaux courts, une étape d’attaque chimique complémentaire est absolument nécessaire afin de réduire la densité des poteaux courts et pour leur donner une forme conique (cf. figure 2.8) qui rend le haut des poteaux flexibles et aptes à permettre une bonne interpénétration.

Pour les assemblages IGBT/DBC, l’adhérence de la nano structure déposée sur l’électrode du collecteur qui a été métallisée avec du NiAg est bonne, ce n’est pas elle qui a cédé en premier lors de nos tests.

Contrairement à notre attente ces assemblages présentent des déplacements et des forces à appliquer avant rupture supérieurs à ceux des prototypes Si/DBC. Ainsi un assemblage DBC 30/ IGBT 30 “court/court” a nécessité une force assez importante de 125N et un assemblage DBC45/IGBT15 “moyen/très court” a nécessité une force de 230N les surfaces des composants étant de par  $2 \text{ cm}^2$  comme pour nos échantillons modèles. La forme des courbes de rupture est elle aussi assez différente. Elle ne présente qu’un seul point d’ancrage avant rupture.

Ceci laisse à penser que la couche d’accroche joue un rôle majeur dans la détermination de la force limite avant rupture. De même il semble que la rupture se fasse à un niveau proche de la surface du dépôt de nano poteaux, sans quoi, si les poteaux étaient simplement désenchevêtrés la couche d’accroche ne modifierait pas les valeurs mesurées.

Enfin, il n’a pas été possible, à cause du manque d’échantillons –chaque test est destructif et nécessite un IGBT– de tester des assemblages IGBT/DBC avec toutes les combinaisons de longueur de nano poteaux. Cela n’est pas vraiment limitant puisqu’à partir des remarques précédentes, on peut supposer que la valeur que l’on aurait trouvée soit supérieure aux valeurs obtenues avec les tests Si/DBC.

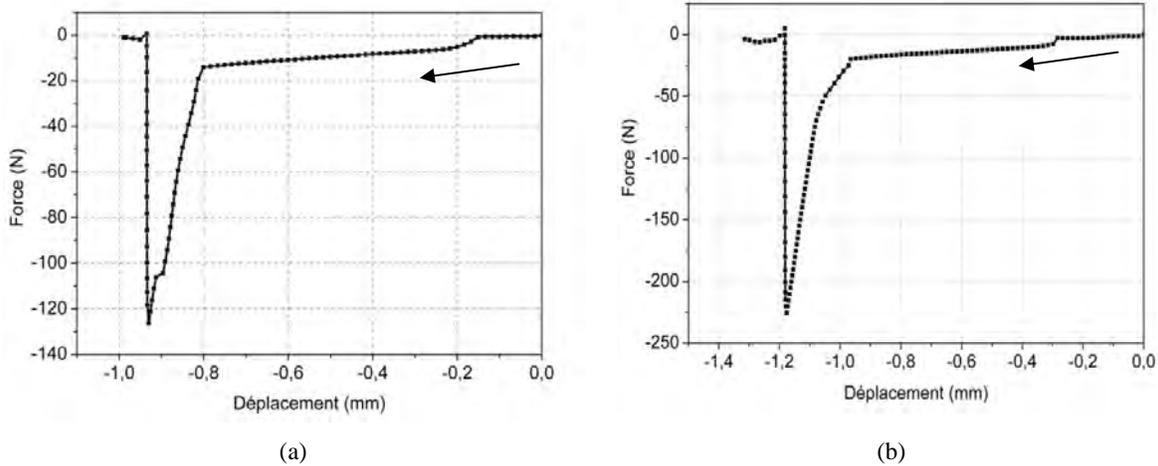


Figure 3.40 : comportement des assemblages : (a) (IGBT 30/DBC 30), (b) (IGBT 45/DBC 15)

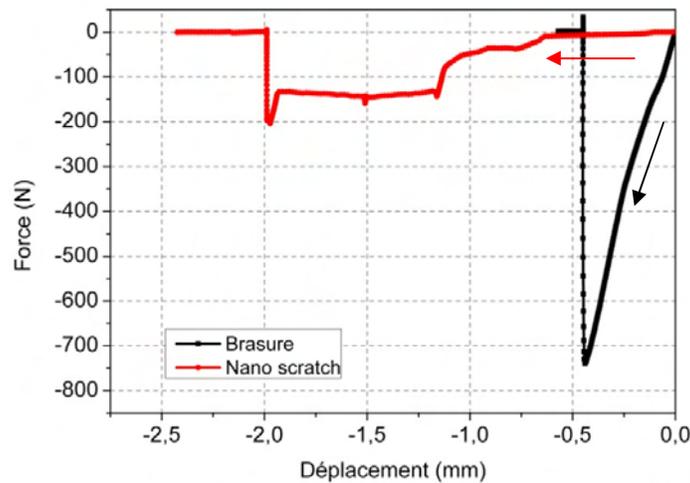
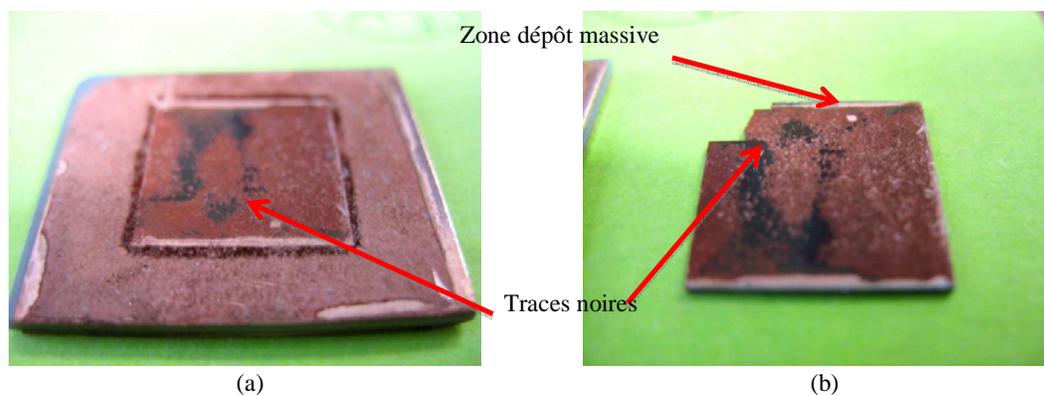


Figure 3.41 : comparaison entre la tenue mécanique d'un scratch et celle d'une brasure.

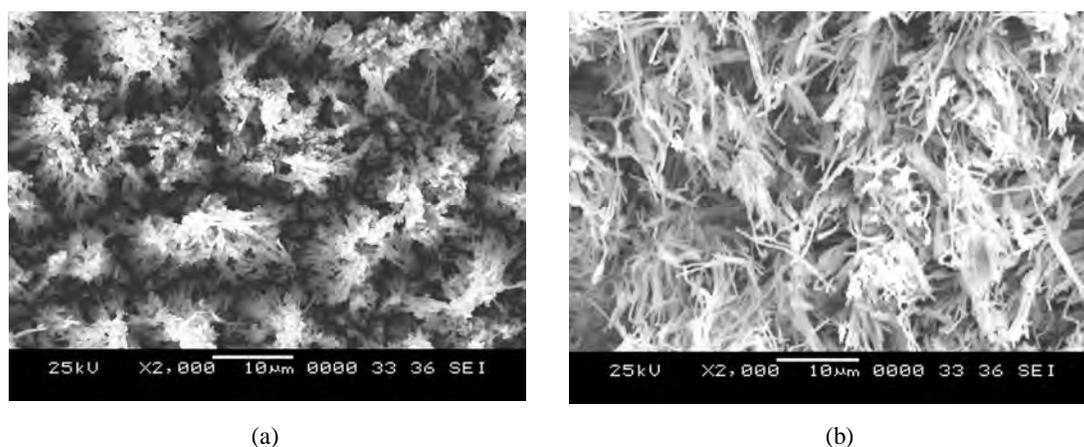
Si l'on calcule l'énergie nécessaire pour rompre une liaison nano scratch et qu'on la compare avec celle nécessaire pour rompre une brasure, on constate que l'énergie est du même ordre de grandeur – il s'agit de la surface sous la courbe –. La rupture de cette liaison nécessite une énergie proche de 143,88 mJ voisine des 155,41 mJ d'une brasure, ce qui est une énergie non négligeable.

Les substrats et les puces/plaques de Si n'ayant pas été totalement détruites lors du test ont été observées au microscope. Cette observation fait apparaître différents comportements selon le type d'assemblage.

La figure 3.42 présente un DBC et un morceau silicium préalablement assemblés par des poteaux de type "long/long" après l'arrachage.

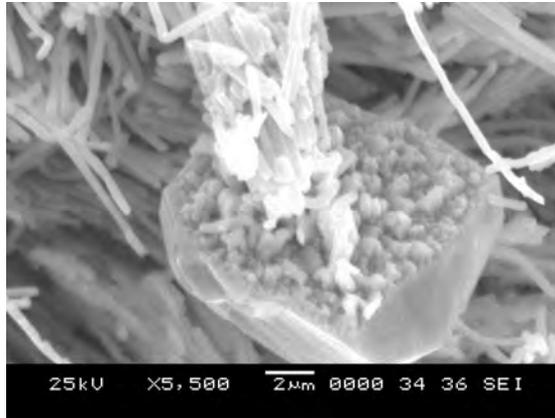


**Figure 3.42 :** vue d'un DBC (a) et d'un morceau de silicium (b) après l'arrachage.

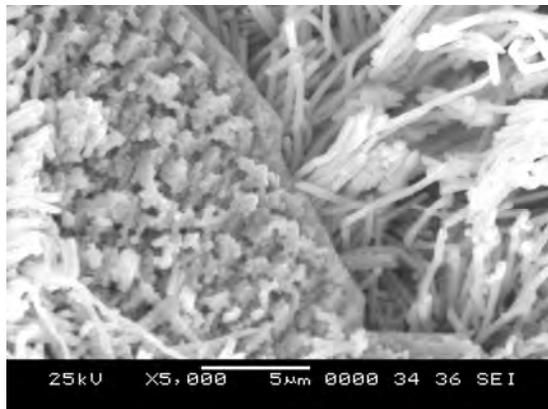


**Figure 3.43 :** nano poteaux : (a) avant pressage, (b) après pressage

Sur le micrographe 3.43.a les nano poteaux “longs” forment des paquets. La force mécanique appliquée lors du pressage entraîne une déformation plastique de ces nano-poteaux. Après arrachage, les paquets de poteaux sont inclinés dans le sens du cisaillement. Des traces noires apparaissent sur le DBC et sur le silicium. Ces traces sont probablement de petits grains de silicium (figure 3.44) arrachés à la plaquette de silicium par le cisaillement. Cette hypothèse est renforcée par le fait que dans la structure de la liaison, il n’y a qu’un seul matériau qui soit noir : le silicium. Par ailleurs, la présence de troncs de nano-poteaux sur les morceaux arrachés démontre que l’accroche entre les deux nano structures est bonne (figure 3.45). Ces arrachages d’une partie du silicium peut aussi expliquer les ruptures partielles observées sur les courbes de cisaillement de l’assemblage de type “long/long”.

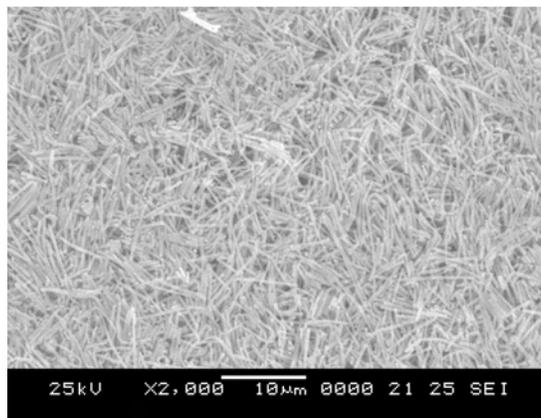


**Figure 3.44 :** des grains sont visibles dans les zones noires (figure 3.42) et nulle part ailleurs dans les nano structures après arrachage



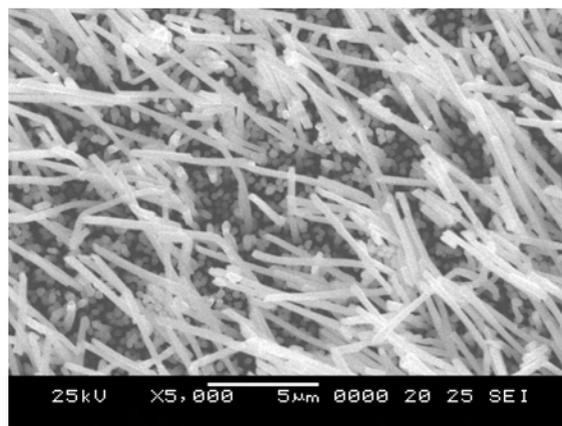
**Figure 3.45 :** troncs des nano poteaux sur un morceau de silicium arraché lors du cisaillement d'un nano scratch.

Ainsi qu'indiqué plus haut, lors du dépôt électrolytique de nano poteaux en face arrière des puces il se forme une couche massive de cuivre à la périphérie de la surface. Lors de l'assemblage, cette couche marque de son empreinte le DBC. Les poteaux sous cette zone sont couchés (figure 3.46) lors de l'assemblage. Dans cette zone l'assemblage n'a pas lieu lors de la mise sous pression, par conséquent la surface réelle de l'assemblage est plus faible qu'attendue, ce qui permet d'affirmer que la force de liaison de la puce sur le DBC est supérieure par unité de surface que celle qui a été mesurée.



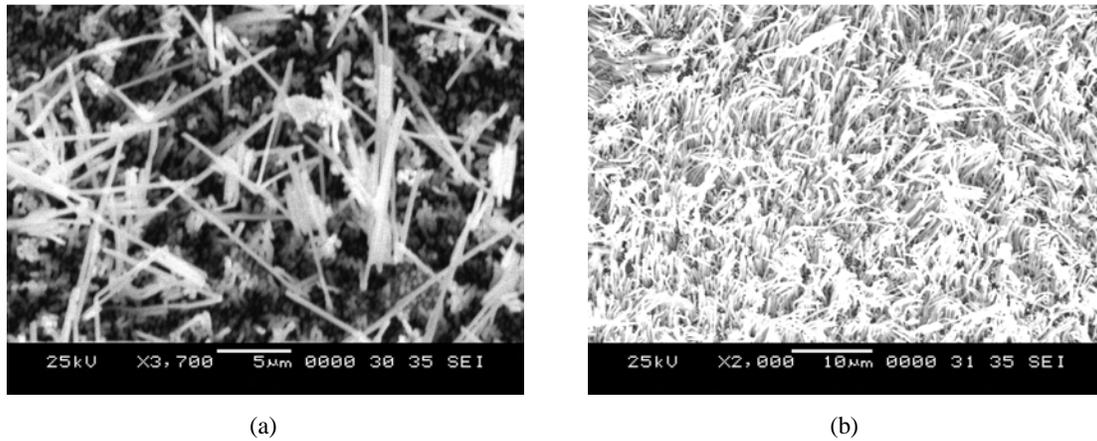
**Figure 3.46 :** zone pressée par la couche massive en cuivre du morceau Silicium

L'observation d'assemblages de type "moyen/moyen", montre qu'en ce cas, l'assemblage se forme par interpénétration des nano poteaux et non par paquets de poteaux. Les poteaux longs –le dépôt est, rappelons-le, hétérogène, il comporte donc des poteaux courts, longs et moyens– des deux côtés glissent les uns sur les autres et s'accrochent entre eux après déformation. Cela procure une autre explication à l'existence de plateaux et de points d'ancrage sur les courbes de cisaillement, couplé avec les phénomènes d'arrachage cela conduit à des courbes de cisaillement de forme très complexe.



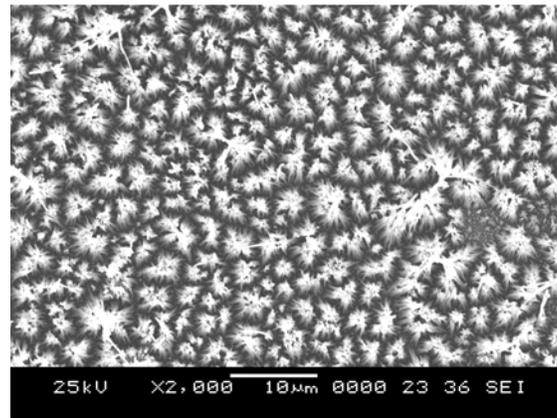
**Figure 3.47 :** micrographe d'une structure moyenne après arrachage

La même proposition peut être faite à partir de l'observation du micrographe d'un arrachage par cisaillement d'une structure "long/courte" (micrographe 3.48).

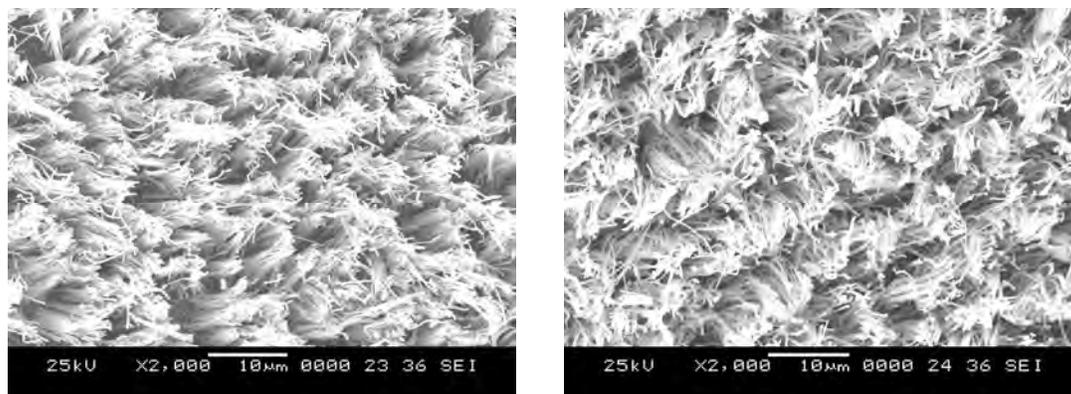


**Figure 3.48 :** micrographe des nano structures d’une liaison “long/court” après arrachage : (a) une structure “long” sur un DBC, (b) une structure “court” sur un morceau de Si.

Ce comportement est totalement différent pour un assemblage entre un DBC et une puce IGBT ou l’accrochage a été réalisé par des paquets de poteaux “courts”. En fait à cause de la non planéité des surfaces le dépôt obtenu était très inhomogène avec des zones ne comportant que des poteaux “très courts” et des zones ne comportant que des poteaux “moyens” ce qui explique la piètre tenue mécanique de cet assemblage et fait ressortir l’importance de l’homogénéité à longue distance dans l’obtention d’une connexion fiable.



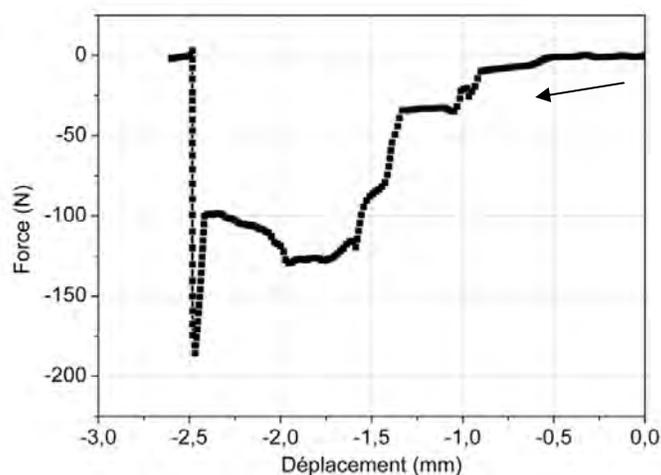
**Figure 3.49 :** nano poteaux “moyen” avant assemblage



(a) (b)  
**Figure 3.50** : nano structures après l'arrachage : (a) sur DBC 30, (b) sur IGBT 30

### 3.6.3. Influence de la pression d'assemblage sur la force de cisaillement provoquant rupture des assemblages.

La figure 3.51 présente le comportement d'un assemblage de type "moyen/moyen" réalisé avec une force plus élevée que celui qui est présenté dans la figure 3.38.a. La force nécessaire pour provoquer la rupture augmente avec la force d'assemblage. Toutefois, l'étude complète de l'influence de la force d'assemblage sur la résistance au cisaillement des liaisons n'a pu être menée à son terme, le nombre d'échantillons testés est trop modeste pour conclure. Ces tests sont destructifs et nécessitent autant d'échantillons que de mesures, la durée d'une telle étude dépasse la durée de ce travail.



**Figure 3.51** : comportement des assemblages "moyen"/"moyen" assemblés avec une force de 20 KN.

Le bilan de cette étude, qui est encore incomplète, est que les assemblages obtenus sont

solides et souples. L'énergie à fournir pour rompre un l'assemblage nano scratch est considérable et est de l'ordre de grandeur de celle nécessaire pour arracher une puce brasée. On peut affirmer que les assemblages entre poteaux de longueur hétérogène sont, *a priori*, plus solides, même si l'étude complète n'a pu être menée. Lors de l'arrachage, la couche d'accroche joue un rôle important. Les poteaux sont solidement liés à cette couche au point de provoquer parfois –probablement suivant la qualité du cristal de silicium– l'arrachement d'une partie du silicium. Toutes ces mesures ont été effectuées à la température ambiante. Or les composants travaillent de plus en plus à des températures relativement élevées. Le laboratoire PEARL/ALSTOM dispose de mâchoires de fixation chauffantes sur la machine Instron 5548, il a donc été possible de procéder à quelques essais d'arrachage par cisaillement en température.

#### 3.6.4. Étude de la tenue mécanique en cisaillement des assemblages en température.

Cette courte étude s'est focalisée sur un seul type d'échantillon afin de n'avoir qu'un seul paramètre à prendre en compte : la température. Les échantillons sont donc tous de type "moyen/moyen".

La gamme de température offerte par l'Instron 5548 va de -50 à +150°C. Ce qui couvre les températures de fonctionnement des composants, actuellement ceux-ci travaillent en charge dans une plage de température allant de 70°C à 125°C. La température basse correspond aux températures rencontrées par les composants embarqués lors de leur mise en service.

Les échantillons ont été réalisés avec les mêmes conditions expérimentales (45 minutes de dépôt avec le courant continu  $J_c = 6,66 \text{ mA/cm}^2$  à 60°C). L'observation au microscope électronique à balayage montre que les nano structures produites ont toutes des caractéristiques comparables.

**Tableau 3.6 :** récapitulatif des tests effectués

Température de test	T <sub>3</sub> =80°C		T <sub>2</sub> =100°C		T <sub>1</sub> = 125°C	
	Réf.	Force mesurée en N pour 2cm <sup>2</sup>	Réf.	Force mesurée en N pour 2cm <sup>2</sup>	Réf.	Force mesurée en N pour 2cm <sup>2</sup>
	E <sub>12</sub>	60	E <sub>5</sub>	90	E <sub>7</sub>	110
	E <sub>1</sub>	80	E <sub>10</sub>	90	E <sub>2</sub>	100
					E <sub>3</sub>	140
Moyen		70		90		116

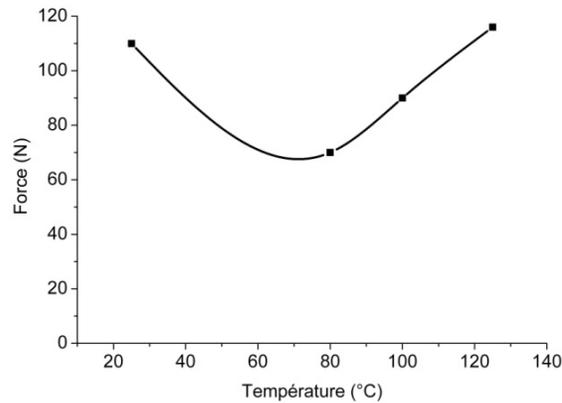


Figure 3.52 : résistance au cisaillement des assemblages nano scratch en fonction de la température

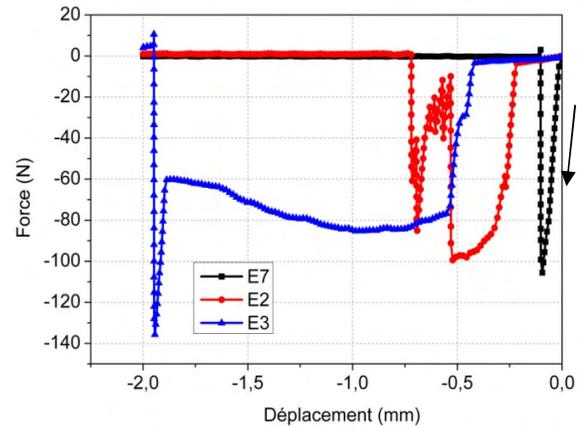


Figure 3.53 : rupture en cisaillement des assemblages à 125°C

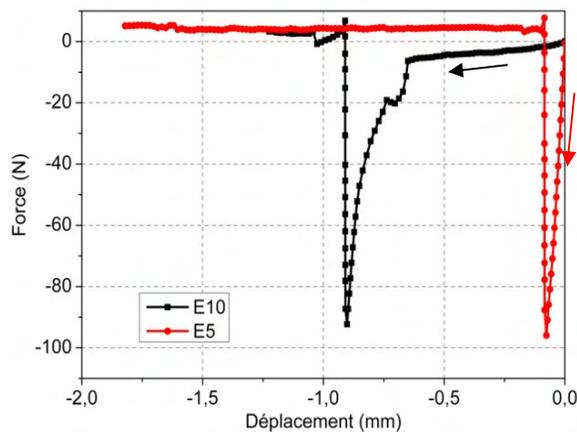


Figure 3.54 : rupture en cisaillement des assemblages à 100°C

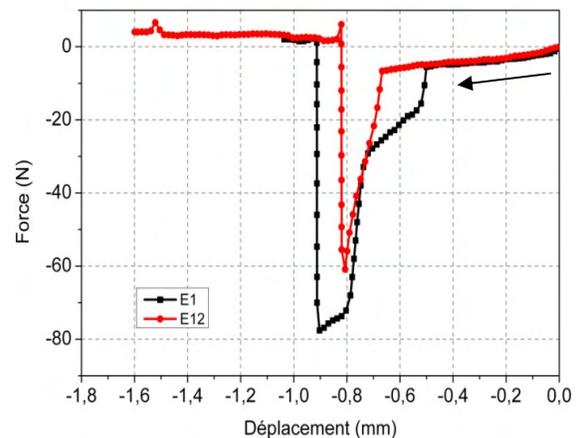


Figure 3.55 : rupture en cisaillement des assemblages à 80°C

Par rapport aux mesures à température ambiante, les tests montrent que la tenue mécanique de l'assemblage est plus faible lorsque l'on augmente la température et que le déplacement avant rupture est réduit.

La mesure n'a été possible que pour cette longueur de nano poteaux. Il n'est pas sûr, même si cela est très probable que le résultat soit le même pour d'autres types d'assemblage.

Il est à remarquer que la force à appliquer diminue mais, qu'en fait, compte tenu de la complexité de l'ensemble de la mesure –qui va de la production des dépôts, à l'assemblage et au test proprement dit– les valeurs mesurées sont dans la barre d'erreur.

En fait, le paramètre ayant le plus changé est la distance parcourue par la puce avant rupture lors du cisaillement. C'est très probablement cette diminution qui explique la légère baisse de la force nécessaire à la rupture.

### 3.6.5. Tenue mécanique en traction des assemblages

Compte tenu du nombre d'échantillons à produire pour mener une étude complète et compte tenu du fait que ce type de contrainte est peu fréquemment rencontrée par les composants dans leur vie réelle, seuls quelques échantillons d'assemblage de type "long/long" ont été testés.

Des nano structures identiques sont déposées sur le DBC et sur un carré de silicium de  $2\text{cm}^2$  avec les conditions expérimentales suivantes : 60 minutes de dépôt, courant continu  $J_c = 6,66 \text{ mA/cm}^2$  à  $60^\circ\text{C}$ . Il s'agit de poteaux de type "long". La force moyenne de traction nécessaire pour provoquer un arrachage carré de Si est de 39 N. La figure 3.56 présente le résultat d'un test des tests effectués :

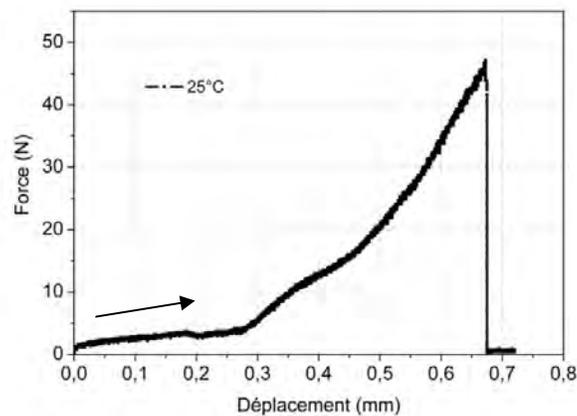


Figure 3.56 : tenue mécanique en traction des assemblages nano scratch

Si la force nécessaire pour provoquer l'arrachage n'est pas exceptionnelle, elle est suffisante pour garantir que le composant accroché au DBC ne partira pas seul sous l'action d'une vibration vu que l'énergie nécessaire pour cisailer les nano-poteaux est de l'ordre de grandeur de celle nécessaire pour cisailer une brasure..

La liaison présente donc des garanties suffisantes pour les applications visées d'un point de vue mécanique. Bien entendu, une étude complète, en balayant la gamme complète des possibilités d'accouplage des types de nano-poteaux, en jouant sur la pression d'assemblage est nécessaire pour pouvoir trancher complètement et définitivement sur le meilleur type de dépôt à utiliser.

De même une étude complète en température des liaisons est importante et doit être menée. Enfin, une étude de la tenue de la liaison aux vibrations est nécessaire.

Pour des raisons de temps, mais aussi de nombre d'échantillons à produire ces études n'ont pu avoir lieu ici.

Si les résultats obtenus sont prometteurs d'un point de vue mécanique, il faut qualifier les nano scratch d'un point de vue électrique, c'est l'objet du paragraphe suivant.

### 3.7. Caractérisation de la performance électrique de la liaison

La valeur de la résistance des connexions est importante pour la conception des systèmes électriques de puissance, le paramètre le plus important pour minimiser cette valeur est la résistivité du matériau assurant la liaison. Aussi le nombre de méthodes de mesures de cette résistivité décrites dans la littérature est-il très important, hors des méthodes génériques, de nombreuses méthodes sont adaptées à des cas particuliers. Ainsi des méthodes spécifiques ont été développées pour mesurer la résistivité de technologies d'assemblage telles que les colles conductrices chargées d'argent ou le frittage par poudre d'argent.

Ces méthodes ne sont pas adaptables à notre type de liaison. Par exemple, si l'on envisage de mesurer la résistivité à l'aide d'une mesure de type "pont" (figure 3.57) ou bien "serpentin" (figure 3.58) faudrait déposer des nano poteaux sur des substrats isolants et puis assembler les deux structures l'une contre l'autre –l'alignement risquant d'être fort complexe à réaliser– pour former la liaison électrique de type "pont" ou bien "serpentin".

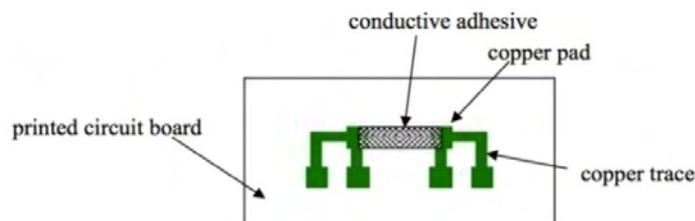


Figure 3.57 : principe de la mesure de la résistivité des colles [SU 06]

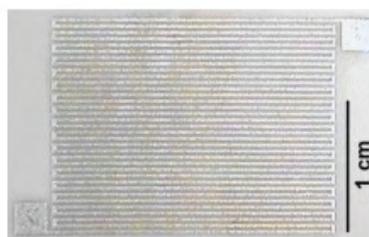


Figure 3.58 : prototype pour la mesure de résistivité des nano poudre d'argent frittées [BAI 07]

Ensuite, la mesure nécessite d'imposer un courant au travers de la liaison et mesurer la chute de tension directe.

En ce cas le passage du courant dans cette structure de mesure serait perpendiculaire aux nano-poteaux, puisque la mesure s'effectue dans la longueur du "pont" ou du "serpentin".

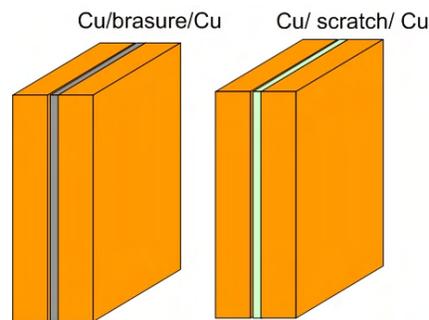
Or, lorsque l'on fait passer le courant au travers d'un assemblage IGBT/DBC le courant est parallèle au sens des poteaux et non perpendiculaire à ceux-ci, dans un milieu aussi hétérogène il semble clair que la résistivité a peu de chance d'être la même quelque soit la direction de parcours du courant. Par conséquent, nous avons dû nous contenter de mesurer des résistances correspondant à des cas aussi proches que possible d'une connexion réelle.

L'objectif étant de caractériser la jonction nano scratch, les échantillons sont réalisés de telle sorte qu'ils permettent de reproduire les conditions expérimentales du procédé de pressage. Les mesures ont été effectuées sur plusieurs types d'échantillons et différentes configurations de mesures afin de trouver méthode la plus pertinente.

Afin d'avoir une référence, deux pièces de cuivre massif ont été brasées, et deux pièces identiques ont été assemblées avec des nano poteaux.

### 3.7.1. Assemblage entre les morceaux de cuivre

Les pièces de cuivre ont été assemblées à différentes pressions et la mesure de la résistance a été effectuée dans de nombreuses configurations. Dans chaque cas, la mesure a été comparée à celle obtenue avec les pièces brasées.

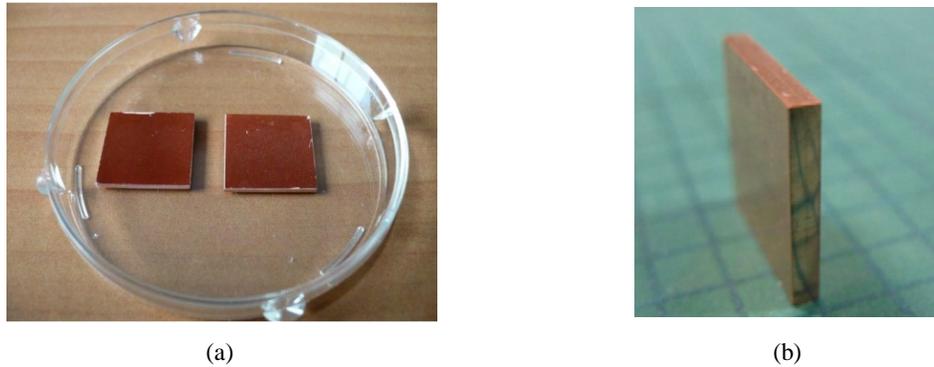


**Figure 3.59** : deux types d'assemblage entre les morceaux de cuivre par brasure et nano scratch (prototype 1)

L'échantillon brasé utilise une brasure 92,5Pb/5Sn/2,5Ag. L'assemblage a été effectué à l'aide d'un four à repassage. L'épaisseur de la brasure a été mesurée égale à 50µm.

Les nano poteaux sont électrodéposés sur les pastilles de cuivre pendant 45 minutes avec un courant continu à 60°C (dépôts type "moyen").

L'assemblage a été réalisé aux pressions suivantes : 26, 40, 53, 66 et 80 MPa.

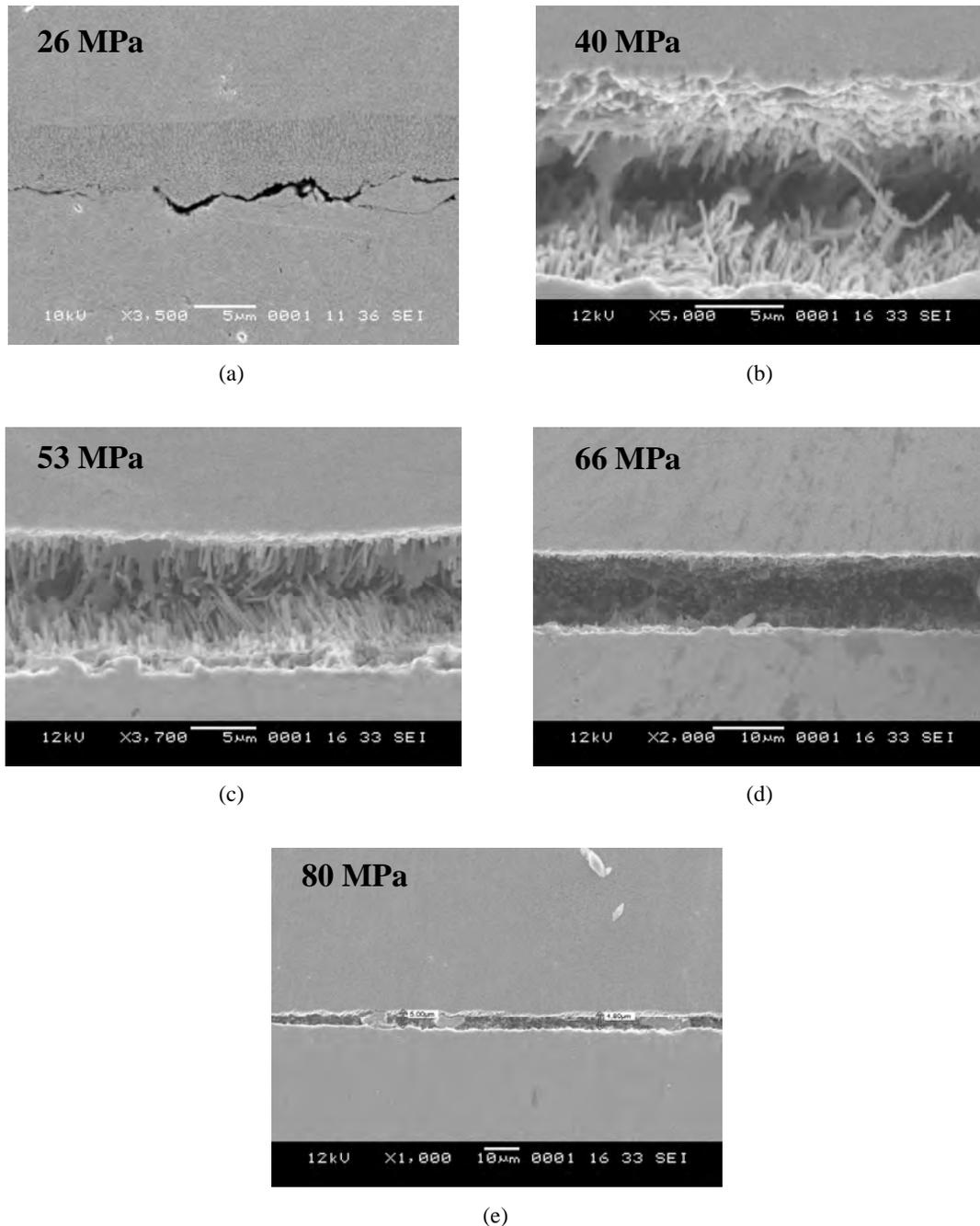


**Figure 3.60 :** assemblage entre morceau de cuivre par nano scratch (a) morceaux de cuivre avant assemblage (b) assemblage Cu/Cu par nano scratch (prototype 1).

**Tableau 3.7 :** épaisseur de l'assemblage nano scratch en fonction de la pression appliquée :

Pression (MPa)	26	40	53	66	80
Épaisseur ( $\mu\text{m}$ ) de l'assemblage	13,2	10,8	10,05	9,076	5

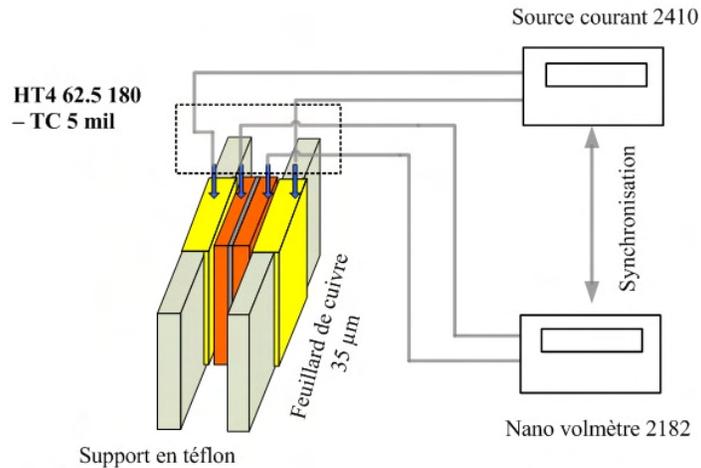
Les quatre faces de l'échantillon assemblé ont été polies "miroir" ce qui autorise la mesure de l'épaisseur de l'interface. Le polissage a été réalisé uniquement dans le sens de la longueur de l'échantillon afin d'éviter d'éventuels courts circuits provoqués par des couches de cuivre qui pourraient être étalées lors d'un polissage perpendiculaire.



**Figure 3.61** : micrographe de l'interface nano scratch en fonction de la pression moyenne appliquée.

La mesure de la résistance a été réalisée par la méthode 4 pointes. La méthode utilise un système de ressorts qui viennent prendre contacts avec l'échantillon. La mesure est réalisée en utilisant un Keithley 2410. Celui-ci impose un courant constant, égal à 1A, traversant deux feuillards de cuivre adhésifs de 35µm d'épaisseur collés sur deux plaquettes en téflon servant de mâchoires pour positionner les échantillons.

La différence de potentiel est mesurée à l'aide d'un nano voltmètre Keithley 2182. La figure 3.62 présente le dispositif expérimental.



**Figure 3.62** : principe de mesure de la résistance de contact

Caractéristiques de la cellule de mesure 4 points utilisée ( réf. : **HT4 62.5 180 – TC 5 mil**)

- HT4 : capable d'acquérir les données jusqu'à 650°C
- 62.5 : espacement entre les pointes = 1,5875 mm
- 180 : pression de contact (g)
- T : tungsten carbide
- C : 2 BNC indépendants avec fils (0,76)
- 5 mil = 125 µm

**Tableau 3.8** : résultat des mesures de la résistance de contact sur les scratches :

Pression (MPa)	26	40	53	66	80
R ( $\Omega$ )	$5 \cdot 10^{-5}$	$2,7619 \cdot 10^{-8}$	$1,40 \cdot 10^{-8}$	$2,24 \cdot 10^{-7}$	$6,917 \cdot 10^{-5}$

Avec une mesure en ligne telle qu'indiquée figure 3.62, la valeur de la résistance mesurée, que ce soit pour l'échantillon brasé ou les échantillons scratchés est très sensible à l'endroit où la mesure est effectuée. Ainsi que l'on place le dispositif de mesure à un bout ou à l'autre de l'échantillon, la valeur mesurée peut varier d'un facteur 1000. Le tableau 3.8 résume les meilleures valeurs trouvées. La meilleure valeur pour l'échantillon brasé est de l'ordre du nano $\Omega$ .

Afin de s'affranchir de cette très grande variabilité d'autres configurations de mesure ont été utilisées, par exemple celle dite en diagonale (figure 3.63). Cette configuration donne des valeurs relativement fiables par rapport à une autre configuration dans laquelle les pointes ont été mises directement sur les feuillards de cuivre (figure 3.62). Les valeurs obtenues cette fois sont de l'ordre  $10^{-5}\Omega$  et  $10^{-6}\Omega$  respectivement pour un scratch et une brasure.

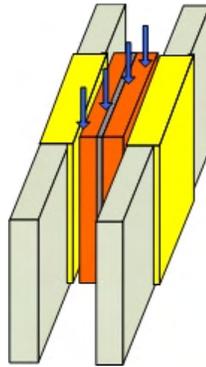


Figure 3.63 : mesure diagonale.

Il n'en reste pas moins que la mesure, même en diagonale, donne des valeurs de la résistance différentes selon le positionnement des pointes. Ainsi les valeurs obtenues sont souvent plus grandes ( $\approx \mu\Omega$ ) sur les bords de l'échantillon qu'au milieu ( $\approx n\Omega$ ).

Cette dispersion des résultats ( $\approx 1000$  fois dans le pire cas) pourrait être expliquée par une dispersion de la qualité du contact entre les mâchoires et l'échantillon, ce problème est illustré figure 3.64 : le trajet du courant n'étant pas le même dans les deux mesures, les résultats ne sont pas comparables.

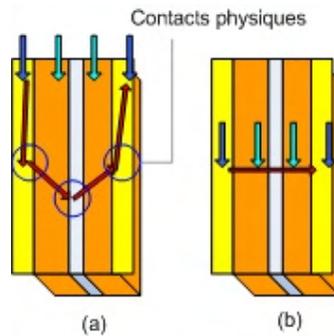


Figure 3.64 : mesure en perpendiculaire: les points mis au bord (a) et au milieu (b)

Afin de palier ce problème, la structure des échantillons a été modifiée. La moitié du feuillard de cuivre a été enlevée sur un côté de l'interface brasure et scratch (cf. figure 3.65).

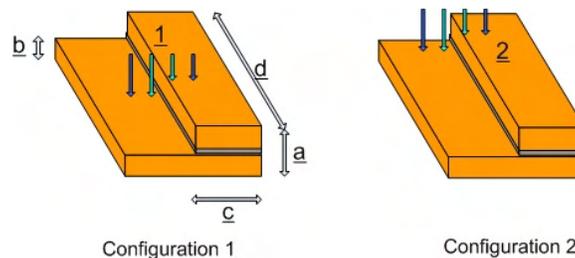


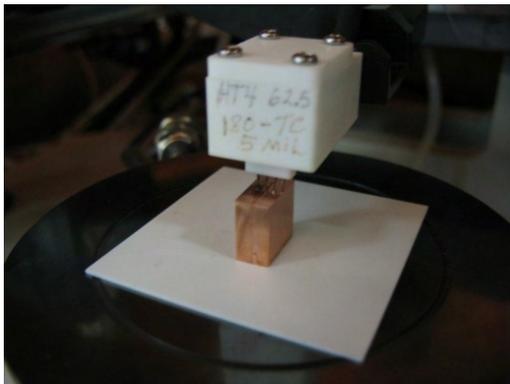
Figure 3.65 : structure des échantillons modifiés (prototype 2).

Les mesures s’effectuent à différents endroits afin de relever l’influence de la configuration géométrique de l’échantillon sur la valeur de la résistance de contact.

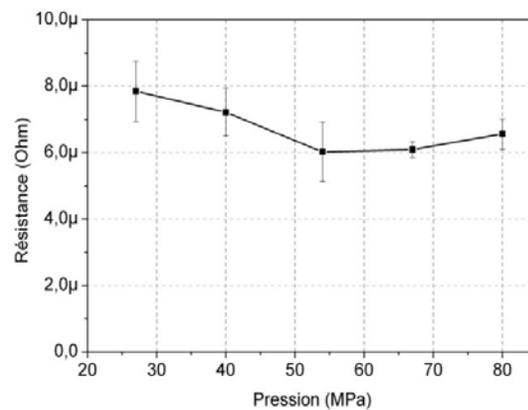
**Tableau 3.9 :** valeur de la résistance en fonction du positionnement des pointes (prototype 2).

Pression (MPa)	40	53	66	80	Brasures
$R_{\text{configuration 1}} (\Omega)$	$1,02199.10^{-5}$	$1,0556.10^{-5}$	$1,005.10^{-5}$	$1,6241.10^{-5}$	$5,76.10^{-6}$
$R_{\text{configuration 2}} (\Omega)$	$1,2606.10^{-5}$	$1,3992.10^{-5}$	$1,066.10^{-5}$	$1,4286.10^{-5}$	X

D’autres mesures ont été effectuées sur des assemblages de pièces de cuivre plus épaisses. L’épaisseur est de 3mm (prototype 3) au lieu de 1mm. Cela permet de laisser plus d’espace pour poser les pointes de mesure directement sur la tranche de l’assemblage au milieu de l’échantillon.



**Figure 3.66 :** mesure 4 points sur la tranche d’un assemblage des morceaux de cuivre épais (prototype 3)



**Figure 3.67 :** résistance de contact de l’assemblage nano scratch en fonction de la pression

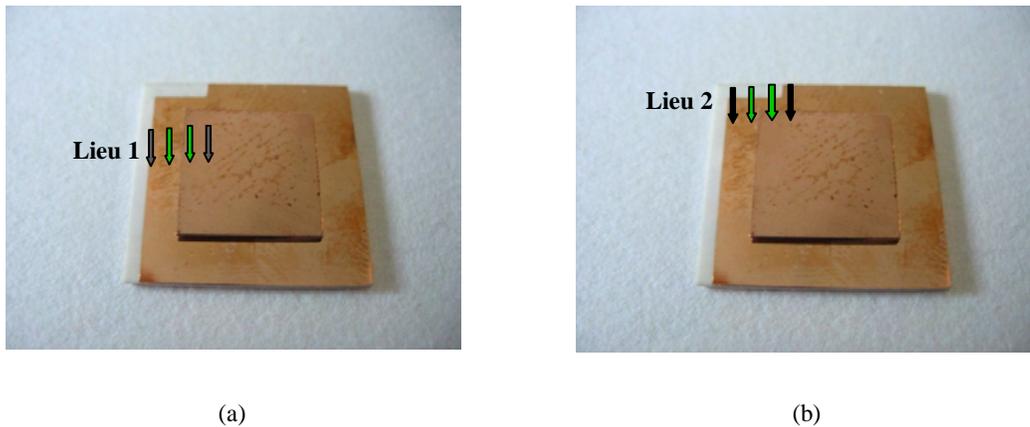
Dans ces conditions la mesure est fiable et la valeur obtenue peut être comparée avec celle obtenue avec une brasure :  $R_{\text{brasure}} = 2,626.10^{-6} \Omega$ .

La résistance de l’assemblage brasé est environ trois fois plus faible que la résistance du même contact scratché. Cette valeur est certes plus élevée, mais elle reste acceptable. Avec un courant de 100A la ddp ne serait que de  $600\mu V$ .

On constate que la résistance diminue avec l’augmentation de la pression d’assemblage, mais jusqu’à un certain point : passé 55 MPa, la résistance augmente, probablement parce que la force appliquée endommage certains poteaux.

Afin d’avoir un test réaliste, on assemble du Cu et un DBC au lieu de deux morceaux de Cu massifs (prototype 4).

### 3.7.2. Assemblage entre les morceaux Cu et un DBC alumine



**Figure 3.68** : mesure 4 points sur les assemblages entre des morceaux de cuivre avec un substrat alumine par brasure et nano scratch : (a) lieu 1, (b) lieu 2.

Une mesure 4 pointes est effectuée sur des prototypes de type 4 en deux endroits (cf. figure 3.68). Cette fois les ordres de grandeur des résistances mesurées sont les mêmes, même si la variabilité de la résistance mesurée reste plus grande dans le cas du scratch.

**Tableau 3.10** : résistance de contact des assemblages Cu massif / DBC alumine.

	Cu/DBC par brasure	Cu/DBC par nano scratch
R mesurée au lieu 1 ( $\Omega$ )	$1,2114 \cdot 10^{-5}$	$1,735 \cdot 10^{-5}$
R mesurée au lieu 2 ( $\Omega$ )	$1,5712 \cdot 10^{-5}$	$1,837 \cdot 10^{-5}$

**Tableau 3.11**: comparatif de la résistance de contact en  $\Omega$  (4 pointes) de différentes technologies :

Technologie	Brasure	Contact Cu/Cu sans assemblage	Nano scratch (bain basique)	Nano scratch (bain acide)
Prototype 1	De l'ordre $10^{-9}$	résultat aléatoire	résultat aléatoire	résultat aléatoire
Prototype 2	$5,76 \cdot 10^{-6}$	$5,10 \cdot 10^{-4}$	$3,14 \cdot 10^{-5}$	$(1,02-1,62) \cdot 10^{-5}$ en fonction de la pression tableau 3.9
Prototype 3	$2,626 \cdot 10^{-6}$	$7,69 \cdot 10^{-5}$	X	$(5-8) \cdot 10^{-6}$ en fonction de la pression figure 3.67
Prototype 4	$1,2114 \cdot 10^{-5}$	$8 \cdot 10^{-4}$	X	$1,7735 \cdot 10^{-5}$

Le bilan de cette étude montre que la mesure est très complexe à réaliser, mais que même s'il n'a pas été possible de mesurer la résistivité de la jonction nano-scratch, la mesure de la résistance montre que celle-ci est du même ordre de grandeur que la résistance d'une brasure. De même, ces mesures ont mis en évidence une des faiblesses de la liaison nano scratch :

l'inhomogénéité intrinsèque des propriétés électriques des jonctions nano scratch. Ainsi les valeurs mesurées au bord de l'échantillon sont souvent plus grandes que celles au centre de l'échantillon abstraction faite du type de prototype utilisé.

Il est intéressant de constater que malgré cette inhomogénéité les composants fonctionnent apparemment normalement. La question de savoir si cette inhomogénéité porte conséquence sur le comportement thermique des jonctions, est l'objet du sous-chapitre à venir.

### 3.8. Caractérisation thermomécanique (cyclage passif).

Les composants subissent dans leur vie des cycles thermiques de plus ou moins grande amplitude. Il faut donc que l'assemblage soit à même de supporter ces cycles ce qui n'est pas la plus petite des contraintes que les composants ont à subir. Les températures subies (cycles passifs) par les composants et leur environnement s'échelonnent de  $-40^{\circ}$  à  $120^{\circ}\text{C}$  dans le cas de l'automobile et, dans le pire des cas, entre  $-55^{\circ}$  et  $200^{\circ}\text{C}$  près d'un réacteur d'avion. De plus la température peut croître ou décroître avec une vitesse pouvant aller jusqu'à  $\pm 10^{\circ}\text{C}/\text{min}$ .

De plus, le passage du courant (il s'agit ici de courants forts) entraîne par effet Joule des échauffements (cyclage actif). Ces derniers sont de plus faible amplitude ils induisent une augmentation de la température de quelques dizaines de degrés seulement mais avec une fréquence bien plus élevée [DUP 06, INRETS].

Les cycles de température, en général, induisent de fortes contraintes thermomécaniques à l'ensemble de modules. À l'interface entre deux matériaux, à cause de la différence de coefficients de dilatation thermique des matériaux (CTE), les contraintes peuvent conduire à la destruction du module de puissance (arrachage des fils de *bonding* par exemple comme vu plus haut).

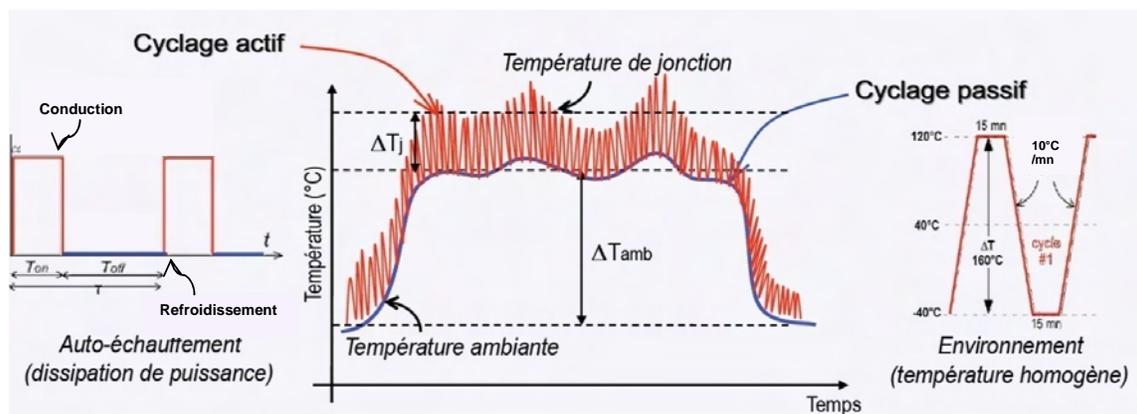


Figure 3.69 : variations thermiques imposées à un dispositif électronique embarqué [BOU08].

La figure 3.69 résume le type de contraintes susceptibles d'être rencontrées par un assemblage : des contraintes statiques, et dynamiques.

Seul le comportement thermomécanique des assemblages nano scratch sous contrainte thermique statique est étudié ici. Six types d'échantillons ont été réalisés, ils sont résumés dans le tableau ci-dessous :

**Tableau 3.12:** tableau de synthèse des échantillons

NS : assemblage par nano scratch ; BR : assemblage par brasure ; les dimensions sont en millimètres

Type d'assemblage	Éléments assemblés	Substrat	Assemblage	Nomenclature
Cu/DBC NS	Cu (13,56x13,56x1) Dépôt nano poteaux : 45 minutes, 60°C, courant continu, $J_c = 6,66 \text{ mA/cm}^2$	DBC $\text{Al}_2\text{O}_3$ 650 $\mu\text{m}$ (24x24) Dépôt nano poteaux : 45 minutes, 60°C, courant continu, $J_c = 6,66 \text{ mA/cm}^2$	Température ambiante $P = 80 \text{ MPa}$	Cu/DBC NS n° 1 Cu/DBC NS n°2
Cu/DBC BR	Cu (13,56x13,56x1), poli miroir jusqu'à 1 $\mu\text{m}$ (la taille de grain de la suspension diamantée) Traitement plasma d'Argon	DBC $\text{Al}_2\text{O}_3$ 650 $\mu\text{m}$ poli miroir jusqu'à 1 $\mu\text{m}$ traitement plasma PL d'Argon à 25°C	Assemblage par brasure 92,5Pb/5Sn/2,5Ag	Cu/DBC BR n°1 Cu/DBC BR n°2
Si/DBC NS	Si (13,56x13,56x0,32) Métallisation Ti 50nm/Cu 100 nm Dépôt nano poteaux 45 minutes, 60°C et courant continu $J_c = 6.66 \text{ mA/cm}^2$	DBC $\text{Al}_2\text{O}_3$ 650 $\mu\text{m}$ poli miroir jusqu'à 1 $\mu\text{m}$ Dépôt nano poteaux 45 minutes, 60°C, courant continu $J_c = 6.66 \text{ mA/cm}^2$	Pression $P_{\text{moyenne}} = 80 \text{ MPa}$	Si/DBC NS n°1 Si/DBC NS n°2
Si/DBC BR	Si (13,56x13,56x0,32) Métallisation Ti 50nm/Cu 100 nm	DBC $\text{Al}_2\text{O}_3$ 650 $\mu\text{m}$ poli miroir jusqu'à 1 $\mu\text{m}$ Traitement plasma PL d'Argon à 25°C.	Assemblage par brasure 92,5Pb/5Sn/2,5Ag	Si/DBC BR n°1 Si/DBC BR n°2
IGBT/DBC NS	IGBT (13,56x13,56x0,32) Métallisation face arrière NiAg Dépôt des nano poteaux 45 minutes, $T = 60^\circ\text{C}$ et $J_c = 6.66 \text{ mA/cm}^2$	DBC $\text{Al}_2\text{O}_3$ 650 $\mu\text{m}$ poli miroir jusqu'à 1 $\mu\text{m}$ Dépôt des nano poteaux : 45 minutes, 60°C, courant continu $J_c = 6,66 \text{ mA/cm}^2$	Pression $P_{\text{moyenne}}$ varie entre 13,9 – 270 (MPa)	IGBT/DBC NS 13 n°1 IGBT/DBC NS 54 n°1 IGBT/DBC NS 13 n°2 IGBT/DBC NS 80 n°1 IGBT/DBC NS 26 n°1 IGBT/DBC NS 80 n°2 IGBT/DBC NS 54 n°2
IGBT/DBC BR	IGBT (13,56x13,56x0,32) Métallisation face arrière NiAg Traitement plasma PL d'Argon à 25°C.	DBC $\text{Al}_2\text{O}_3$ 650 $\mu\text{m}$ Traitement plasma PL d'Argon à 25°C.	Assemblage par brasure 92,5Pb/5Sn/2,5Ag	IGBT/DBC BR n° 1 IGBT/DBC BR n° 2

Exemple de décodage de la nomenclature : IGBT/DBC NS 80 n° 1: assemblage IGBT/DBC par nano scratch à pression 80 MPa, numéro d'échantillon 1.

### 3.8.1. Profil de température

Le test de cyclage passif est réalisé avec le soutien de l'INRETS. Les échantillons sont vieillis

une enceinte climatique. Deux profils de cycles ont utilisés dans ce test de cyclage passif :  
Le profil des 10 premiers cycles était le suivant :  $-50^{\circ}\text{C} / 140^{\circ}\text{C}$  durée d'un cycle de 4h.

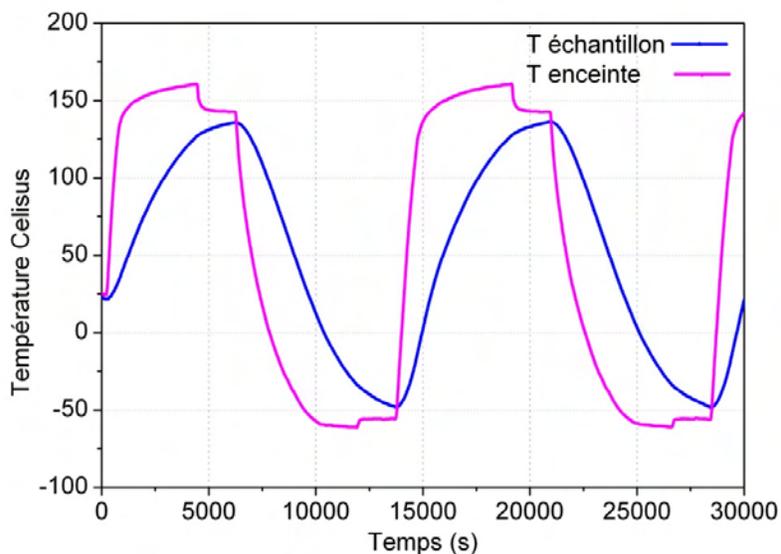


Figure 3.70 : profil de température des cycles ( $-50/140^{\circ}\text{C}$ )

Le profil des 15 cycles suivants était :  $-50^{\circ}\text{C}/150^{\circ}\text{C}$  durée d'un cycle de 4h.

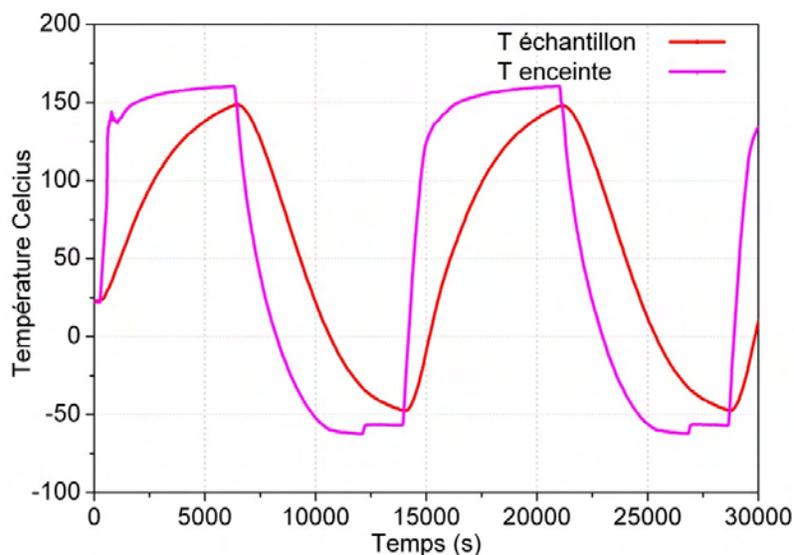


Figure 3.71: profil de température des cycles ( $-50^{\circ}\text{C}/150^{\circ}\text{C}$ )

### 3.8.2. Résultat de test cyclage passif

Après 10 premiers cycles, deux échantillons, des assemblages entre des pièces de Cu et un DBC, se décollent du substrat DBC.

À la fin des 15 cycles supplémentaires les échantillons restant ont tous résisté.

Avant de ré-envoyer les échantillons pour une seconde campagne de cyclage thermique nous les avons caractérisé électriquement. Les mesures électriques effectuées avant cyclage montrent que les échantillons préparés étaient fonctionnels, aucune différence notable n'avait été remarquée entre un composant brasé et un composant nano-scratché.

La mesure de la capacité de l'oxyde de grille est normale, la forme de courbe montre nettement les trois régimes de fonctionnement d'une structure MOS (Métal Oxyde Semi-conducteur) en fonction de la tension de polarisation : accumulation, inversion, déplétion.

Aucun phénomène d'hystérésis dû à un phénomène d'accumulations de charges qui seraient piégées en polarisation continue n'est observé.

Tout confirme le bon fonctionnement de la grille et donc valide les solutions de protection (AZ5214E et la gomme) lors du dépôt électrolytique et lors de la dissolution de la membrane.

Les courants de fuite mesurés à 1000V sont tous faibles : de 350 à 400 nA et ce aussi bien pour les assemblages par brasure que pour les assemblages nano scratch. Seul l'échantillon référencé IGBT/DBC NS 54 n°2 présente un courant de fuite mesuré à 800 nA.

Le tracé des caractéristiques courant-tension montre que les puces supportent un courant de 20A par émetteur. Après avoir soustrait la chute de tension des câblages et des points de contact, la chute de tension directe (à 20A) observée sur la puce semi-conductrice est d'environ 2,5 V.

Après le cyclage passif des assemblages, nous avons observé une importante augmentation du courant de fuite pour la majorité des échantillons toutefois si certains présentent une augmentation très importante d'autres n'ont pas changé.

Les caractéristiques tension/courant  $V(I)$  des assemblages par nano scratch sont fortement dégradées. Certains échantillons ne sont plus aptes à conduire le courant. Pour ces échantillons, nous avons mesuré une chute de tension de 6V –valeur limite de la tension affichée qui est un des paramètres de l'appareil de mesure– quelque soit le courant imposé.

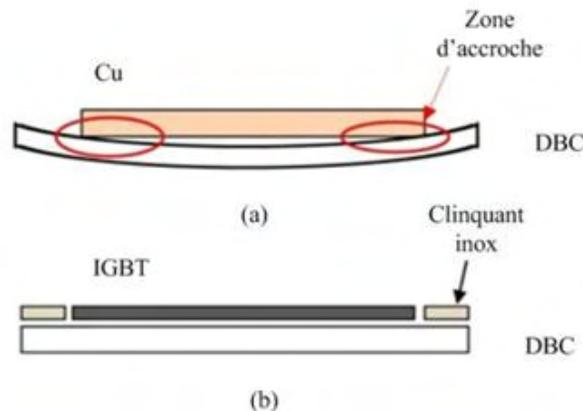
À l'observation, certains assemblages, y compris des échantillons brasés, semblent "vieillis" après le cyclage thermique.

La résistance de contact de ces assemblages augmente fortement soit à cause du vieillissement des puces soit à cause du contact électrique au niveau de la face arrière de la puce.

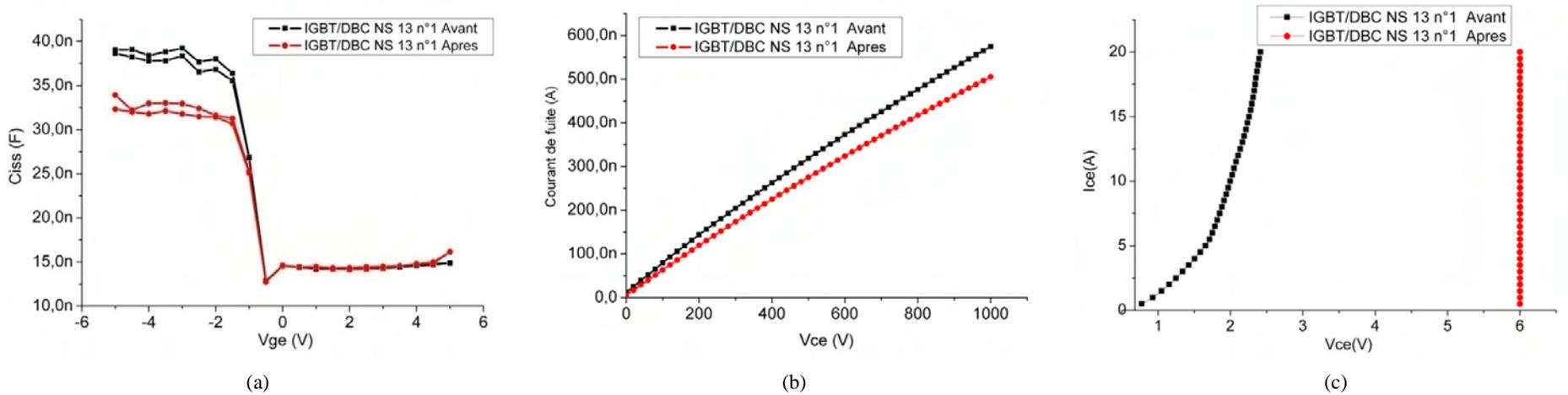
Aucune explication satisfaisante n'a été trouvée. Le dysfonctionnement des composants pourrait être dû à la migration d'espèces chimiques ( $\text{Na}^+$ ,  $\text{Cl}^-$ ) adsorbées lors des multiples traitements auxquels sont soumises les puces. La température élevée durant les cycles thermiques aurait favorisé la diffusion de ces ions au sein de la puce semi-conductrice.

Des mesures complémentaires sont nécessaires pour vérifier l'hypothèse et envisager de comprendre et résoudre ce problème de contamination chimique afin de valider totalement le procédé.

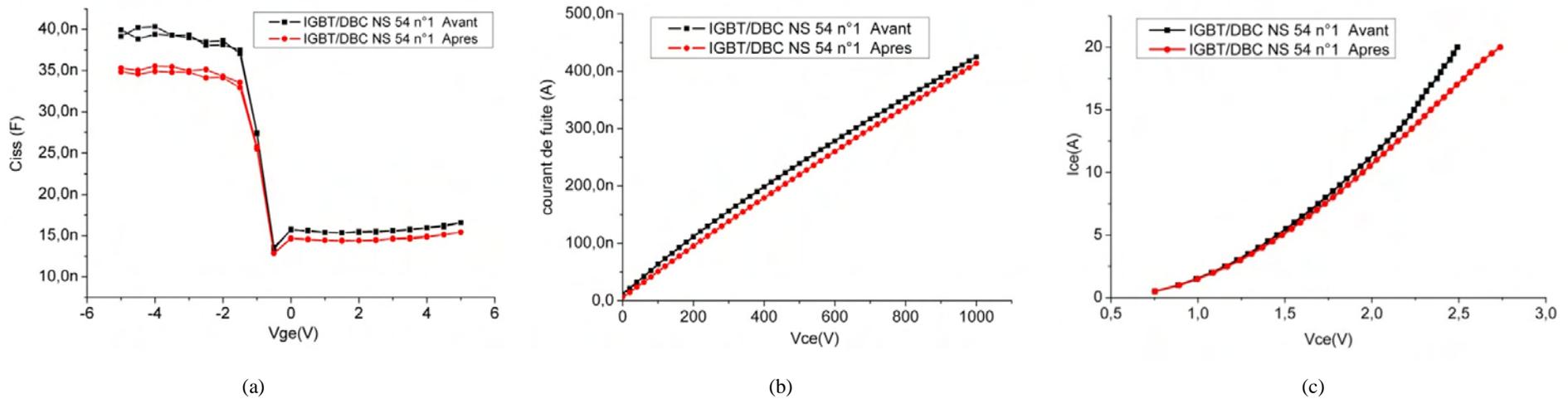
La tenue mécanique de certains assemblages est mauvaise. Le décollement des assemblages Cu / DBC est de prime abord surprenant. *A priori* l'assemblage est plus homogène du point de vue thermomécanique du fait qu'il s'agit d'assembler deux matériaux identiques. En fait la défaillance peut être expliquée par une mauvaise accroche entre les poteaux au centre des échantillons assemblés. Le film répartiteur de pression n'a pas pu homogénéiser la force appliquée sur toute la surface du DBC en raison de l'épaisseur importante des morceaux de cuivre (1 mm). Le DBC a subi lors de l'assemblage une contrainte en flexion importante qui déforme ce dernier de façon exagérée comme le présente la figure 3.72. En conséquence l'accroche ne s'effectue qu'à la périphérie de l'échantillon et non sur toute la surface. Les assemblages entre les IGBTs ou Si sur DBC n'ont pas cette difficulté grâce à l'utilisation du guidage avec une épaisseur similaire à la puce ce qui permet de diminuer les contraintes en flexion. La zone d'accroche dans ce cas est plus importante (quasiment toute la surface de la puce).



**Figure 3.72 :** comportement des DBC lors de la mise en compression : (a) assemblage Cu/DBC et (b) assemblage IGBT/DBC



**Figure 3.73** : caractérisation électrique de l'assemblage IGBT/DBC référence IGBT/DBC NS 13 n°1 : (a) capacité Ciss, (b) courant de fuite, (c) mesure V(I)



**Figure 3.74** : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 54 n°1 : (a) capacité Ciss, (b) courant de fuite, (c) mesure V(I)

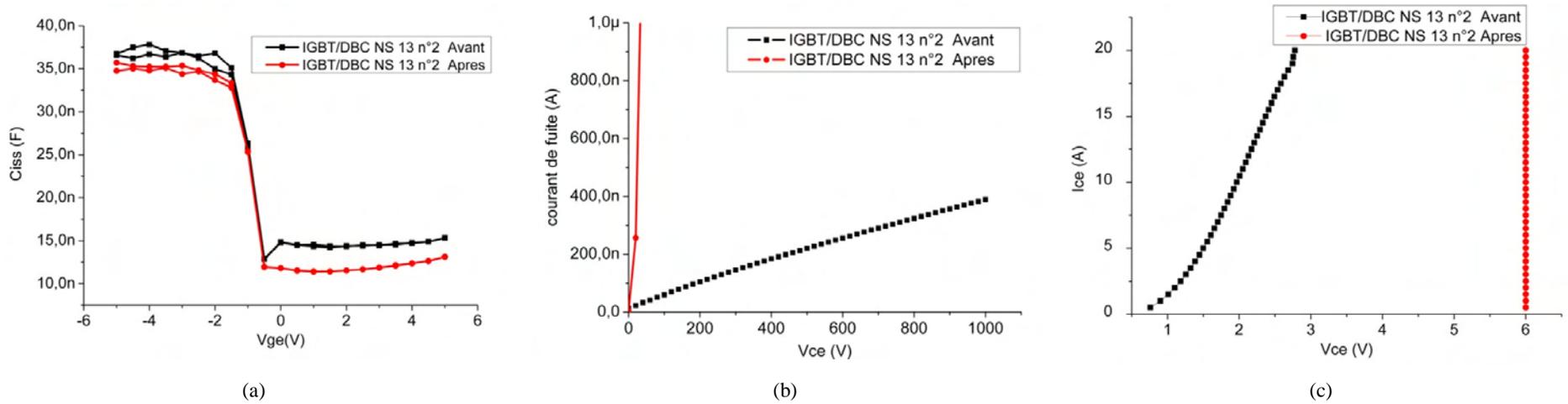


Figure 3.75 : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 13 n°2 : (a) capacité  $C_{iss}$ , (b) courant de fuite, (c) mesure  $V(I)$

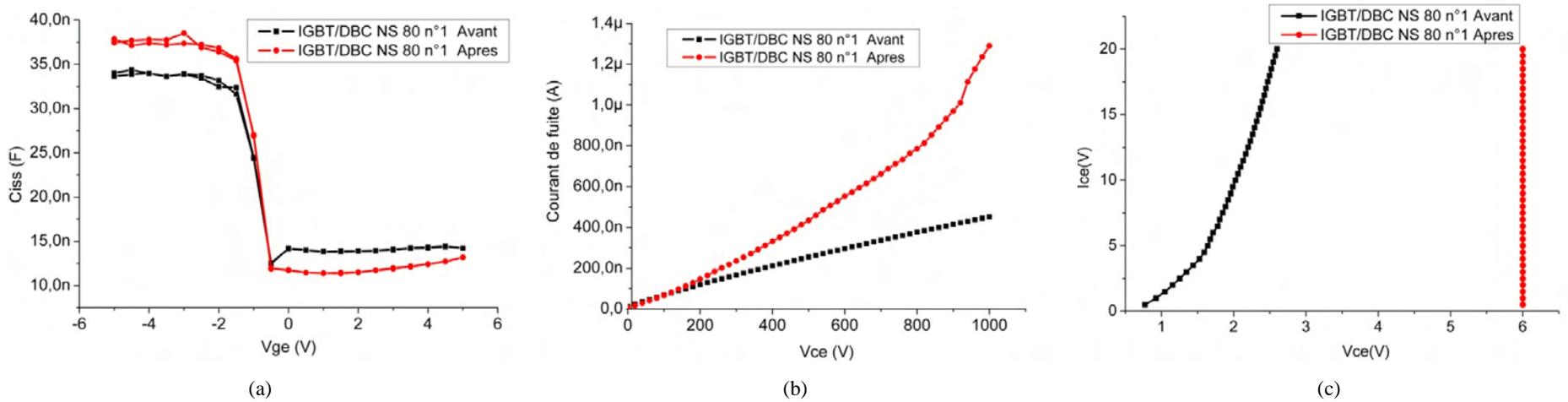


Figure 3.76 : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 80 n°1 : (a) mesure  $C_{iss}$ , (b) courant de fuite, (c) mesure  $V(I)$

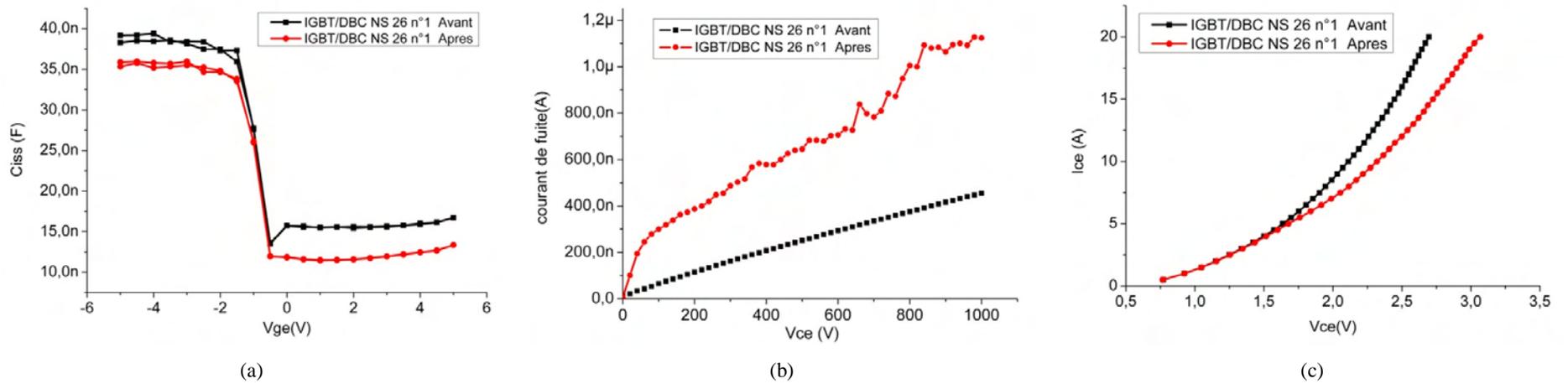


Figure 3.77 : caractérisations électriques de l'assemblage IGBT/DBC référence IGBT/DBC NS 26 n°1 : (a) mesure Ciss, (b) courant de fuite, (c) mesure V(I)

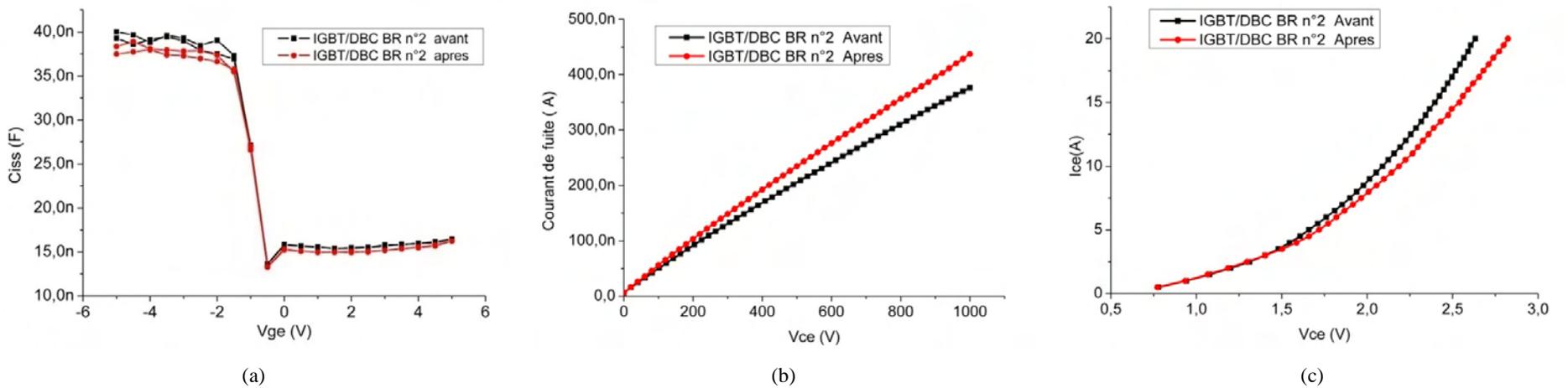
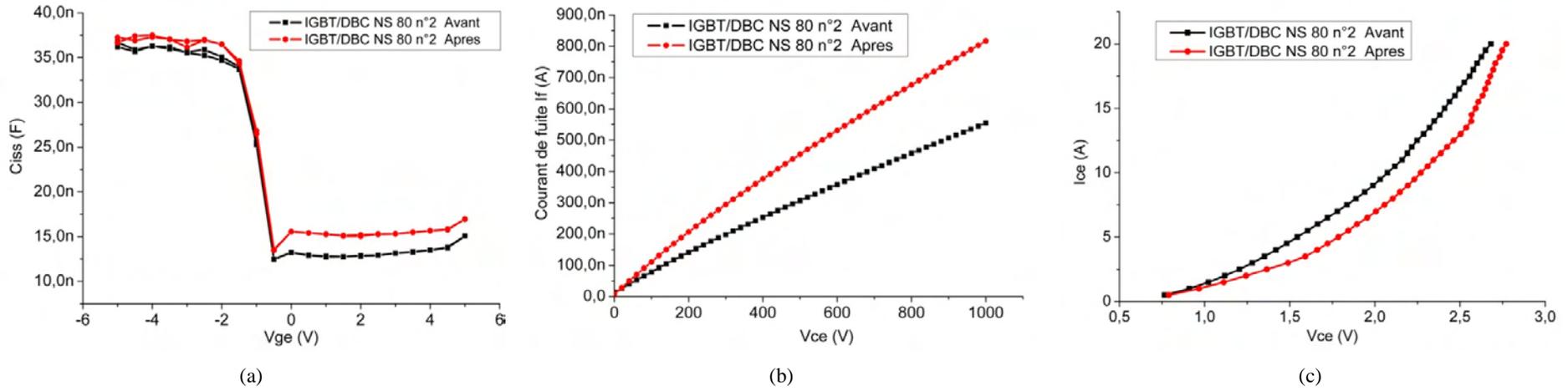
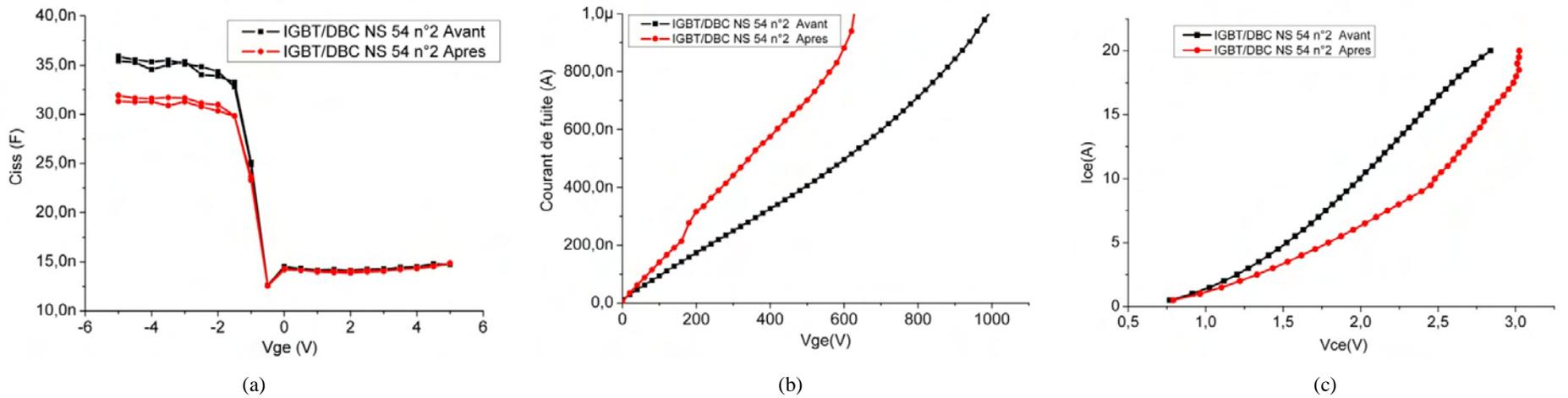


Figure 3.78 : caractérisations électriques de l'assemblage référence IGBT/DBC BR n°2 : (a) mesure Ciss, (b) courant de fuite, (c) mesure V(I)



**Figure 3.79** : caractérisations électriques de l'assemblage référence IGBT/DBC NS 80 n<sup>2</sup> : (a) mesure C<sub>iss</sub>, (b) courant de fuite, (c) mesure V(I)



**Figure 3.80** : caractérisations électriques de l'assemblage référence IGBT/DBC NS 54 n<sup>2</sup> : (a) mesure C<sub>iss</sub>, (b) courant de fuite, (c) mesure V(I)

Bien entendu ces résultats sont peu satisfaisants, comme de plus ils arrivent tardivement dans l'étude, il n'est plus temps d'y remédier. Toutefois, il est à noter que certains échantillons ont survécu, et que le cyclage est particulièrement sévère avec des vitesses de montée en température rapides : de  $-51^{\circ}\text{C}$  à  $138^{\circ}\text{C}$  et de  $-47^{\circ}\text{C}$  à  $147^{\circ}\text{C}$  en 2h soit environ  $1,6^{\circ}\text{C}/\text{min}$ . Notons aussi que certaines brasures ne font pas mieux que les *scratches*.

Il reste surtout beaucoup de travail à réaliser du point de vue tenue mécanique des liaisons. Enfin et surtout, les scratch ne doivent pas, à notre avis, être envisagés comme moyen d'accrochage seul, mais combiné avec un système de contact pressé (pouvant être dû à l'environnement du composant). L'avantage du scratch étant alors de permettre une simplification de la mécanique assurant la mise sous pression favorable aux assemblages tri dimensionnels.

Dans cette optique, l'accrochage en face arrière est important, mais c'est clairement en face avant que les scratches peuvent amener des solutions pour un assemblage tri dimensionnel. Il faut donc être à même de déposer des nano poteaux en face avant.

### **3.9. Dépôt de nano scratches en face avant de composants actifs.**

Les caractérisations préliminaires présentées jusqu'ici sont prometteuses et encourageantes même s'il existe encore des difficultés dans la mise en œuvre du procédé et s'il faut résoudre le problème de la contamination des puces par des espèces chimiques –s'il s'agit bien de la cause des soucis de fiabilité en cyclage thermique–.

Ainsi qu'évoqué précédemment, les technologies 3D offrent de par leur plus grande compacité, des gains importants du point de vue électrique : faible résistance et diminution des inductances parasite et d'un point de vue thermique en autorisant un refroidissement double face.

Dans le contexte du passage de deux à trois dimensions, le remplacement des fils de *bonding* par des solutions de report de contact en face avant est inévitable. Aussi de nombreuses solutions ont été présentées : *bumps*, *posts*, *dimples*... sans qu'aucune ne s'impose vraiment.

Dans le même ordre d'idée, l'intérêt des nano scratch tient à leur possibilité de s'intégrer dans une nouvelle structure de packaging tri dimensionnel. Pour cela, il est impératif de pouvoir déposer des nano poteaux sur la face avant des puces.

La géométrie particulière de la face avant de l'IGBT utilisé, à savoir que les plots d'émetteurs sont creusés et séparés par des zones non creusées, rend le placage d'une membrane en contact avec l'émetteur impossible. De plus, il faut envisager des solutions particulières

d'amenée du courant pour alimenter les électrodes durant le dépôt électrolytique. Enfin, l'autre difficulté réside dans la nature de ces électrodes (en aluminium) qui sont attaquées lorsqu'elles sont trempées dans la solution acide de dépôt. Pour finir, il reste encore le problème de la contamination par des espèces chimiques à prendre en compte. La complexité d'un dépôt en face avant fait qu'à notre connaissance cela n'a pas encore été réalisé.

Dans ce qui suit sont exposées des solutions pour contourner ces problèmes et démontrer la faisabilité d'un dépôt en face avant de la puce IGBT.

Grâce à l'utilisation de films photosensibles épais et à la photolithographie, il est possible de mettre à niveau les zones métallisées creusées et de définir la zone exacte du dépôt des poteaux sur la face arrière et sur la face avant. La méthode est décrite ci-après.

### **3.9.1. Photolithographie**

Cette technologie utilise des masques en résine photosensible et un rayonnement UV pour dessiner des motifs sur un substrat. Il faut déposer une résine photosensible en film mince (de quelques fractions de micromètres à plusieurs micromètres), uniforme, de grande qualité et fortement adhérente. Puis on insole la résine aux UV pour graver les motifs désirés.

Il existe deux types de résines dont la solubilité est affectée différemment par le rayonnement UV :

- Les résines positives pour lesquelles le rayonnement UV entraîne une rupture des macromolécules, d'où une solubilité accrue des zones exposées dans le révélateur.
- Les résines négatives pour lesquelles le rayonnement UV a un effet inverse. La polymérisation des zones exposées renforce leur résistance au solvant de révélation tandis que les zones non insolées sont dissoutes dans ce solvant.

Pour ce procédé deux matières photosensibles sont utilisées : la résine AZ5214E (résine positive) et le film sec PM 275 (film négatif).

- **Résine AZ 5214** : Il faut polariser les émetteurs et la grille de la puce IGBT lors du dépôt de la métallisation épaisse pour rattraper le niveau de la surface du composant. Il n'est pas possible d'amener le courant par des fils, à la place, une couche conductrice est déposée sur toute la surface du composant. Toutefois, cette couche doit être éliminée après le dépôt de la métallisation épaisse. C'est pourquoi une première couche de résine AZ5214E est déposée sur toute la surface, puis insolée pour créer un masque sur lequel une couche d'accroche conductrice est déposée. La résine inversible AZ5214E et la couche d'accroche sont supprimées (*lift off*) après les étapes d'électrodéposition.

Le dépôt de la résine AZ5214E s'effectue à la tournette (cf. la partie 3.5.1.2 portant sur les solutions de protection) il est suivi d'une étape de photolithographie pour ouvrir les zones de dépôt. Le procédé de mise en œuvre de la résine AZ5214E est résumé dans le tableau 3.13 :

**Tableau 3.13** : paramètres du procédé de la mise en œuvre de la résine AZ5214E pour l'électrodéposition d'une couche de métallisation épaisse.

<b>Dépôt de la résine AZ5214E</b>	
Dépôt du promoteur d'adhérence HDMS	vitesse 2000 tr. min <sup>-1</sup> pendant 30 s
Dépôt de 2 µm de la résine à la tournette	vitesse 2000 tr. min <sup>-1</sup> pendant 30 s
Premier recuit sur une plaque chauffante	110 °C pendant 1 minute
Étape d'insolation du masque de la couche d'accroche	6,5 s, énergie 15 W/s
Développement de la résine dans une solution AZ351B/eau désionisée (125 ml dilués dans 500 ml d'eau désionisée) suivi d'un rinçage dans l'eau désionisée et séchage à l'azote.	1 mn à 22°C
Second recuit sur une plaque chauffante	135 °C pendant 2 minutes
<i>Lift off</i> de la résine AZ 5214E	Acétone ou bien mélange AZ 100 et eau désionisée (1 :1)

- **Film sec PM275** : Il s'agit d'un film photosensible qui se comporte comme une résine négative. La mise en œuvre de ce film sur un substrat ou bien des composants de puissance se fait par laminage à température élevée avec ou sans pression. L'intérêt du film est que son épaisseur est importante : 75 µm. En laminant plusieurs films les uns sur les autres on obtient une couche très épaisse (par exemple l'épaisseur de 4 films est supérieure à 200 µm) <sup>[MEN 08]</sup>. Pour des raisons qui seront présentées ultérieurement (3.9.3 : Test de solution de protection), trois films sont superposés afin de protéger la puce lors de la dissolution de la membrane AAO. L'insolation est faite après la mise place des trois films pour améliorer la planéité et la verticalité des parois des ouvertures. De plus, des traitements supplémentaires sont ajoutés pour améliorer la mouillabilité du film pour le dépôt dans les ouvertures de petite taille (quelques centaines de micromètres) <sup>[MEN 08]</sup>.

Il existe trois méthodes qui permettent d'enlever la résine : une solution à 3% massique de KOH (soit 15g KOH dilués dans 500 ml d'eau désionisée), l'acétone, et une solution de soude à 3% massique. La dissolution à l'acétone du film induit des contraintes mécaniques importantes sur les interfaces (cuivre massif/couche d'accroche, couche d'accroche/puce IGBT...). Surtout, ici, il est utilisé trois films

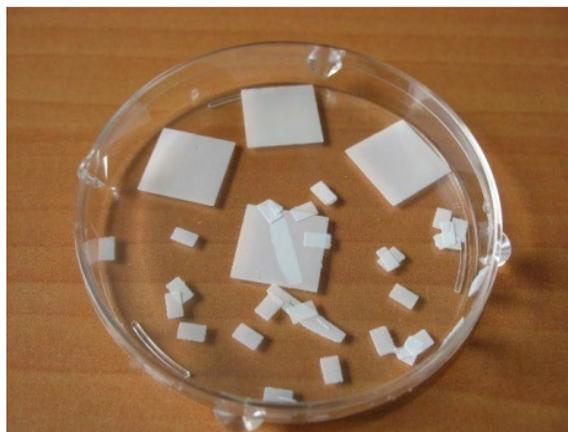
superposés. Les contraintes mécaniques seraient alors très importantes, cette méthode a donc été rejetée. La solution de KOH attaque normalement le silicium et ne peut donc pas être utilisée. Lors de ces premiers essais, c'est la solution de soude à 3% qui est utilisée. La procédure de mise en œuvre du film PM275 est la suivante :

**Tableau 3.14** : mise en œuvre du film PM275 :

Chauffage du support à 70°C pour améliorer l'adhérence	1 min
Laminage des films PM 275, retrait des films polymères avant de laminier les films.	3 films
Insolation du masque avec le motif pour l'électrodéposition	15 s, 17s
Retrait du film polyester, développement du film insolé dans une solution de Na <sub>2</sub> CO <sub>3</sub> 1% à 30°C, à l'aide d'un système ( <i>oxyjet rotatif</i> )	Pendant 2 minutes 30 s pour 3 films
Enlèvement du film après les étapes de l'électrodéposition de la métallisation massive, puis polissage et électrodéposition des nano poteaux, dissolution de la membrane AAO.	Dépend des étapes précédentes.

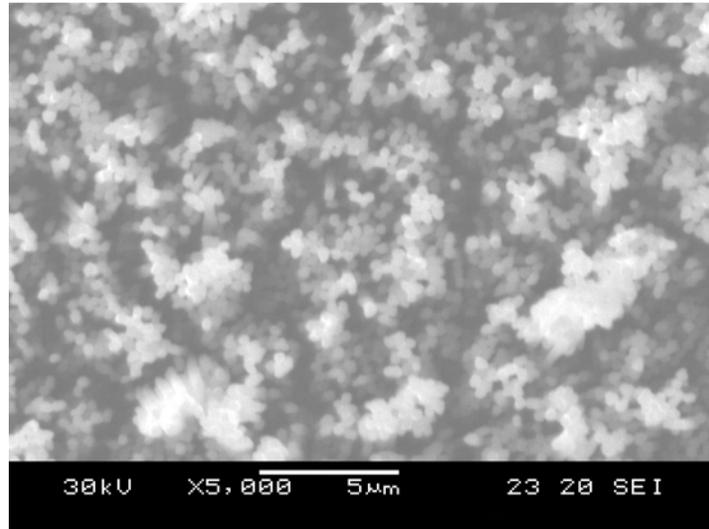
### 3.9.2. Découpe de la membrane

La membrane est découpée à la bonne dimension afin de faciliter les manipulations. Pour ce faire, du film sec PM275 est déposé sur les deux faces. Sur une des faces, des traits de coupe sont créés par photolithographie, la découpe a lieu en solution acide. Une fois les coupes effectuées, les films secs sont retirés avec une solution KOH. Les découpes de la membrane sont rincées à l'eau DI puis séchées à l'azote.



**Figure 3.81** : découpe d'une membrane à l'acide.

L'observation microscopique des nano structures obtenues sur un dépôt avec un morceau de membrane carrée ne montre pas beaucoup de différences par rapport à celles obtenues avec une membrane entière.



**Figure 3.82 :** micrographie d'une nano structures déposée en face arrière d'un IGBT avec une découpe carrée d'une membrane AAO

### 3.9.3. *Test de solution de protection*

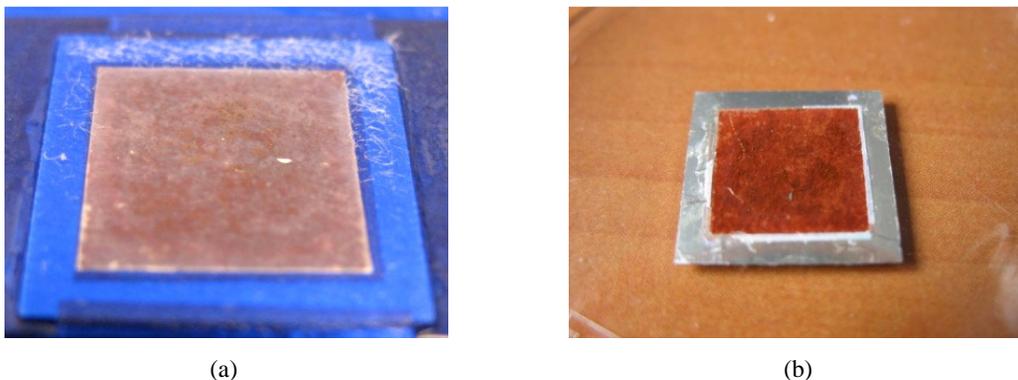
La protection des puces contre l'agression chimique du bain de soude molaire à 80 °C durant 30s pour dissoudre la membrane AAO en utilisant une gomme n'est pas utilisable pour un dépôt en face avant. La manipulation est difficile, l'enlèvement de la gomme laissant des traces sur l'objet protégé.

Le film PM275 de 75 µm d'épaisseur utilisé pour faire croître la couche de métallisation épaisse ne résiste normalement pas à un bain de soude à 80°C. En effet, c'est normalement une solution à 3% de NaOH à 30 °C qui est utilisée pour ôter ce film. Toutefois si le film tient 30 secondes alors son utilisation aura l'avantage de simplifier grandement le procédé.

Des essais successifs montrent que trois films laminés les uns sur les autres résistent dans la soude 80°C pendant 30s. La figure suivante présente un dépôt de nano poteaux sur la face arrière d'une puce IGBT protégée par trois films PM275.

Pour préparer cet échantillon, la puce est posée sur un feuillard de cuivre. Une membrane carrée (10x10 mm) ayant des pores de 200 nm de diamètres obtenue après découpe est placée sur la face arrière d'un IGBT. Trois couches de films sont déposées par laminage de chaque côté de la puce. Une étape de photolithographie permet d'ouvrir ces trois couches afin de créer une zone de dépôt plus petite que la membrane. La puce est ainsi protégée efficacement contre l'agression chimique de l'environnement acide du bain de dépôt durant 45 minutes et de la solution de soude molaire utilisée pour dissoudre la membrane AAO durant 30s.

Le procédé utilisé permet donc bien de réaliser un dépôt sur une partie de puce. La seconde étape va consister à déposer en face avant.



**Figure 3.83** : dépôt en face arrière avec protection par 3 films PM275 : (a) après dépôt électrolytique, (b) après dissolution de la membrane AAO.

#### **3.9.4. Processus de dépôt sur la face avant de la puce IGBT**

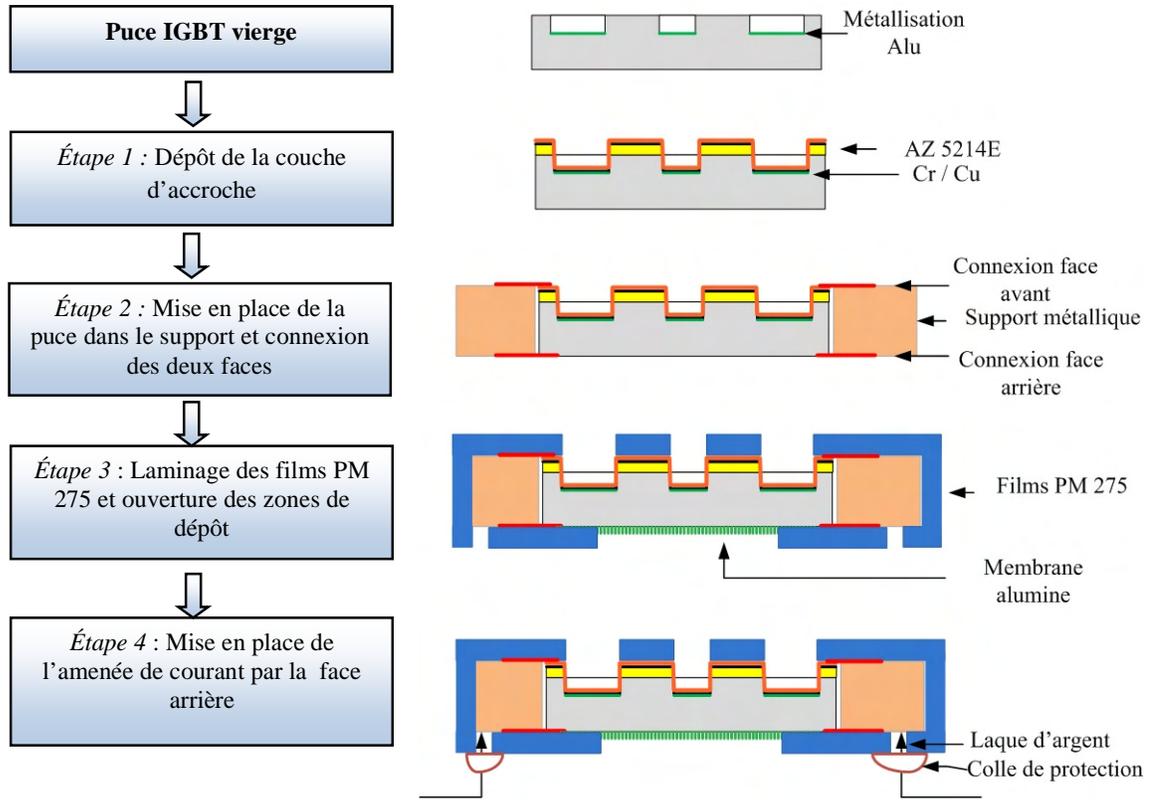
Ce processus de dépôt comporte différentes étapes qui peuvent être divisées en 2 grandes phases. La première regroupe les étapes de préparations d'échantillons (figure 3.84) et la seconde regroupe les étapes de dépôt électrolytique (figure 3.86).

La face avant de l'IGBT est d'abord recouverte d'une couche de résine AZ5214E de 2 $\mu$ m d'épaisseur, des ouvertures sont créées aux endroits où se situent les métallisations par photolithographie. Le procédé de mise en œuvre de la résine est décrit dans le tableau 3.13.

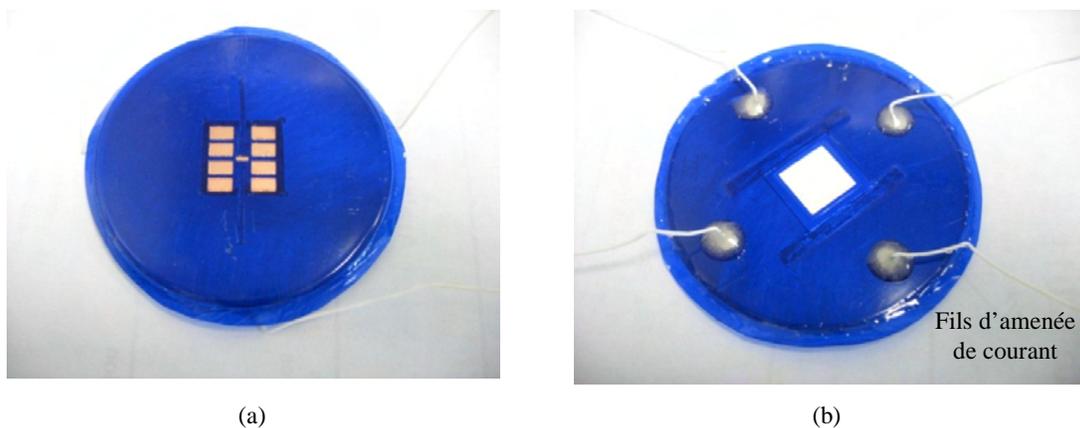
Une couche d'accroche de 15nm de Cr et de 550 nm de Cu est déposée par évaporation sous vide sur la face avant. Cette couche permet d'alimenter les zones de dépôt électrolytique (étape 1). La puce IGBT est placée dans un guide carré de (13,56 x 13,56 mm) réalisé en pratiquant une découpe dans un wafer métallique de 2 pouces de diamètre et de même épaisseur que la puce (320  $\mu$ m). Celui-ci joue un rôle de support de protection mécanique de la puce et il est mis sous tension pendant les dépôts.

Les métallisations de la face avant et arrière de la puce IGBT sont connectées au support par des lamelles adhésives conductrices (étape 2). Une membrane est placée en face arrière de la puce. Des films photosensibles sont laminés sur les deux faces de l'ensemble, la puce et le support métallique, pour former un système hermétique (étape 3) ; le nombre de films laminés dépend de la hauteur des plots métalliques à déposer et du temps de dissolution de la membrane. Les zones de dépôts sont ouvertes simultanément en face avant (les métallisations recouvertes de la couche d'accroche) et en face arrière (la membrane AAO) par photolithographie. Lors de cette étape quatre trous sont créés en face arrière du support pour rendre accessible la connexion électrique de l'ensemble. La mise en œuvre des films PM 275 est décrite dans le tableau 3.14. Les fils d'amenée de courant sont placés dans un trou rempli de laque d'agent liquide solidifiée par un recuit à 50°C pendant 12h.

Afin de renforcer le maintien mécanique des contacts et surtout d'isoler la laque d'argent de l'électrolyse, ces zones sont recouvertes de colle à base d'époxy. La figure 3.85 présente un échantillon fini.



**Figure 3.84 :** étapes de préparation d'un échantillon pour dépôt électrolytique sur ses deux faces



**Figure 3.85 :** échantillon préparé pour le dépôt face avant et face arrière : (a) face avant, (b) face arrière.

Il est possible ainsi de procéder au dépôt électrolytique de nano poteaux sur les deux faces

simultanément ou bien séparément. Le type de dépôt sur les deux faces ne doit pas être le même : nano poteaux en face arrière et micro poteaux en face avant pour combler les fosses des émetteurs. Par conséquent le dépôt sur les deux faces simultanément obligerait à l'utilisation de deux sources d'alimentation ce qui compliquerait encore le procédé. Nous avons donc opté pour le dépôt séparé ce qui permet également de profiter des paramètres de dépôt optimisés précédemment.

On dépose alors en face avant les plots sur lesquels viendront pousser les nano poteaux. Les étapes du dépôt électrolytique sont décrites figure 3.86. La face arrière est obturée par un film auto adhésif. Le dépôt des plots métalliques en face avant s'effectue jusqu'à dépasser des ouvertures pratiquées (*étape 5*).

Une étape de polissage permet de mettre à niveau toute la face avant afin de favoriser l'électrodéposition des nano poteaux. Lors du polissage, les grains SiC utilisés ont successivement les granulométries suivantes : 800 nm, 1200 nm et 2400 nm. L'électrodéposition des nano poteaux est réalisée avec le procédé présenté au chapitre 2 (*étape 6*).

La face avant de la puce est alors obturée à l'aide d'un film auto adhésif et la face arrière est ouverte afin de procéder au dépôt électrolytique des nano poteaux (*étape 7*).

L'étape de dissolution de la membrane s'effectue dans une solution de soude molaire à 80°C pendant 30s (*étape 8*). Cette étape élimine également une partie des films PM 275. Le reste est enlevé par une solution à 3% de soude à 30°C puis à l'acétone.

Le *stripping* de la résine AZ5214E s'effectue dans une solution AZ100 avec l'assistance d'un jet ou bien d'acétone.

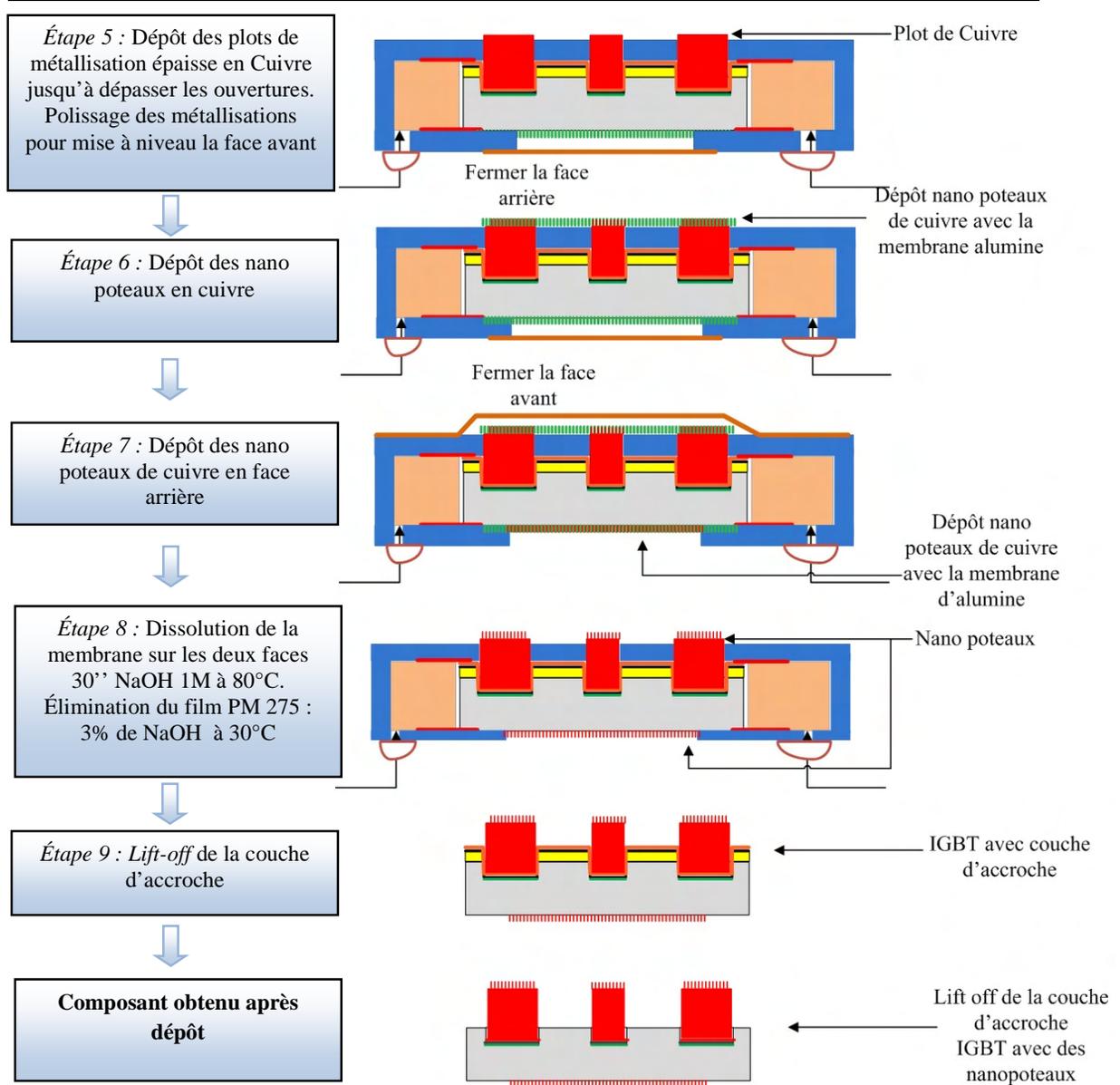


Figure 3.86 : les étapes du dépôt électrolytique de nano poteaux sur les deux faces d'un composant

### 3.9.5. Optimisation du procédé :

La méthode générale a été donnée ci-dessus. Toutefois les résultats ne sont pas aussi bons que souhaités, une phase d'optimisation du procédé a donc été nécessaire, ce qui compte tenu de la complexité de l'opération était plus ou moins attendu.

Lors des premiers essais, la densité de courant constant utilisée était assez élevée : 40 mA/cm<sup>2</sup>. L'objectif était alors de minimiser le temps de dépôt des plots métalliques massifs en face avant, avant le dépôt des nano structures. Le dépôt des métallisations épaisses est réalisé dans les conditions suivantes :

- Couche d'accroche : 15 nm Cr/ 550 nm Cu
- Face arrière Ni/Ag.
- Nombre de films PM 275 : 3 de 75  $\mu\text{m}$  d'épaisseur
- Courant de dépôt :  $I_c = 40 \text{ mA/cm}^2$ .
- Surface déposée :  $S = 0,64 \text{ cm}^2$
- Temps de dépôt : 8h
- Température de dépôt de 25°C.
- Pas d'agitation magnétique.
- Cellule de dépôt placée dans un plan horizontal (figure 3.87)

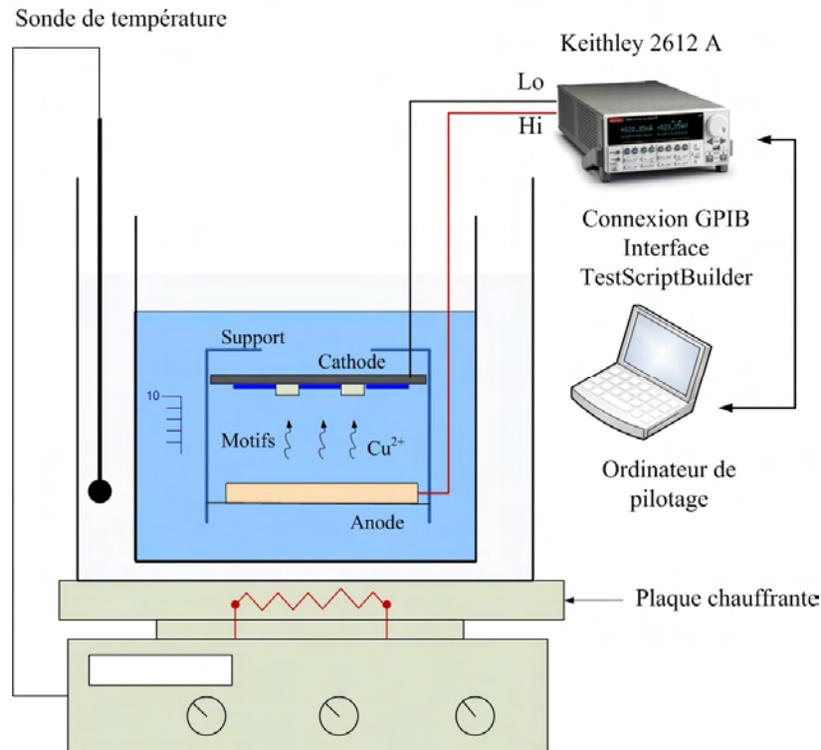


Figure 3.87 : montage de dépôt électrolytique des métallisations épaisses

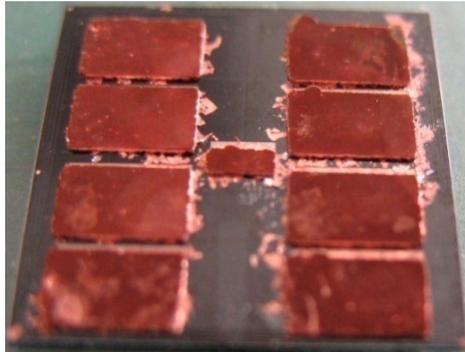
Dans ces conditions le dépôt ne se fait pas de façon homogène sur les 8 plots métalliques. De grosses billes de cuivre se forment autour des ouvertures. Ceci est dû à l'utilisation d'un courant très intense. La croissance trop rapide et le bullage hydrogène induisent une inhomogénéité de dépôts.

Grâce à une étape de polissage mécanique, les métallisations déposées sur les émetteurs sont mises à niveau ce qui permet ensuite de procéder au dépôt des nano poteaux avec montage classique à température ambiante et un courant constant de densité  $J_c = 6,66 \text{ mA/cm}^2$

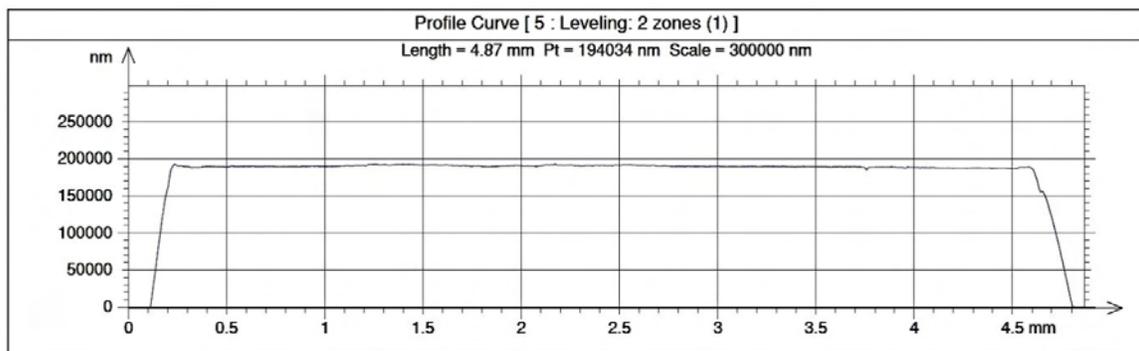
L'étape *lift-off* de la couche d'accrochage est difficile, la couche d'accrochage est très épaisse (550nm). En conséquence il subsiste des pavés de cuivre autour de la métallisation qui doivent être enlevés pour ne pas engendrer un court circuit des électrodes de l'IGBT.

Ainsi que l'on peut l'observer sur la figure 3.88, le dépôt de nano poteaux prévu pour la grille est décentré par rapport à celle-ci. Ce problème d'alignement de masques lors de l'étape de

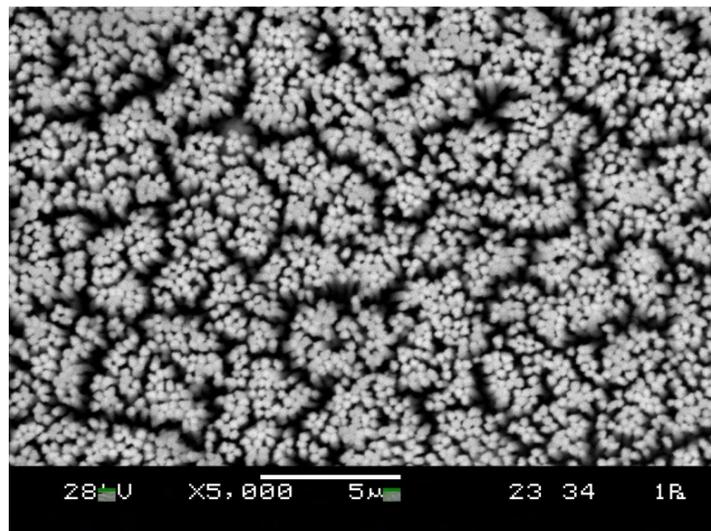
l'insolation a été résolu en utilisant d'un nouveau masque réalisé par une machine *photo plotter FP 3000* fournie par Bungard Elektronik



**Figure 3.88** : puce avec métallisations épaisses (grille, émetteurs) sur lesquelles sont déposés des nano poteaux.



**Figure 3.89** : profil de la nouvelle métallisation de l'IGBT par rapport au niveau de la surface de la passivation.

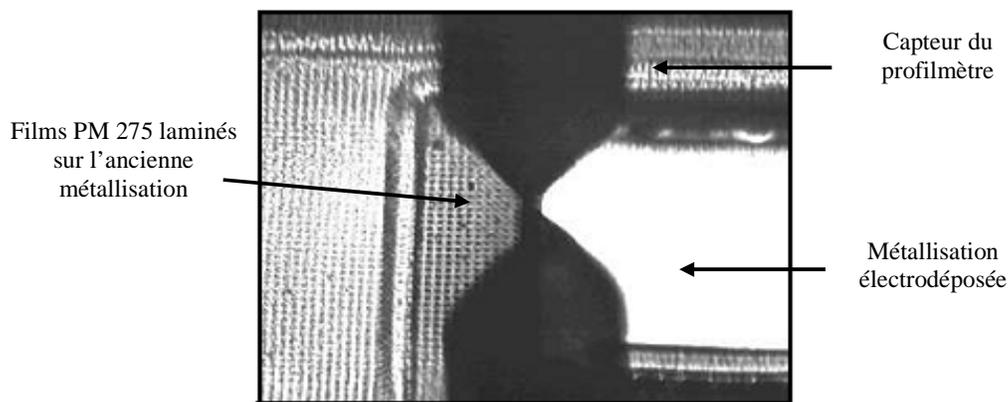


**Figure 3.90** : nano poteaux déposés sur la métallisation épaisse.

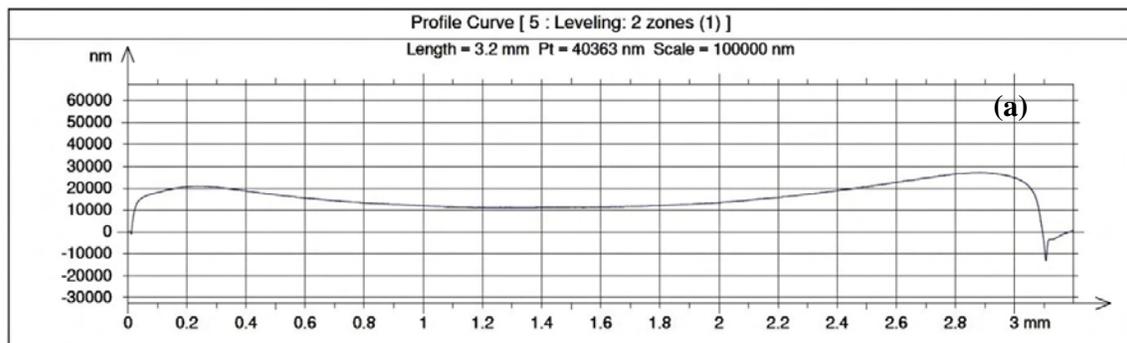
En diminuant le courant électrolytique à  $20 \text{ mA/cm}^2$  on obtient des plots plus homogènes. Les paramètres de dépôts sont corrigés par rapport aux premiers essais comme présentés dans la suite :

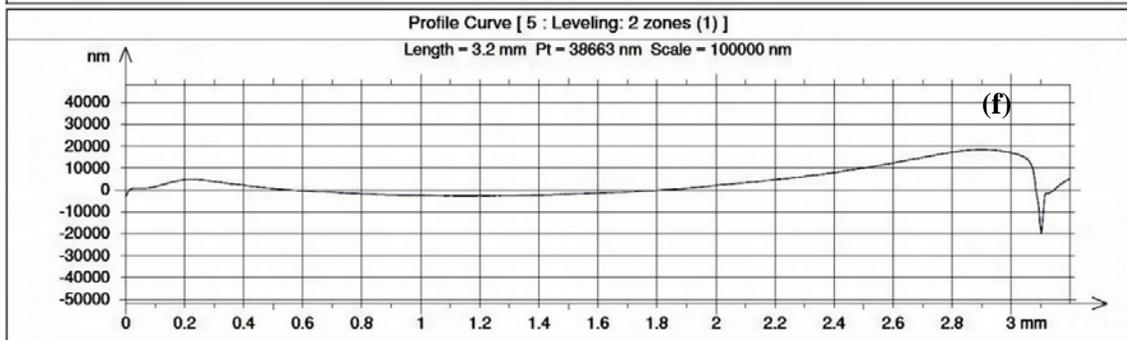
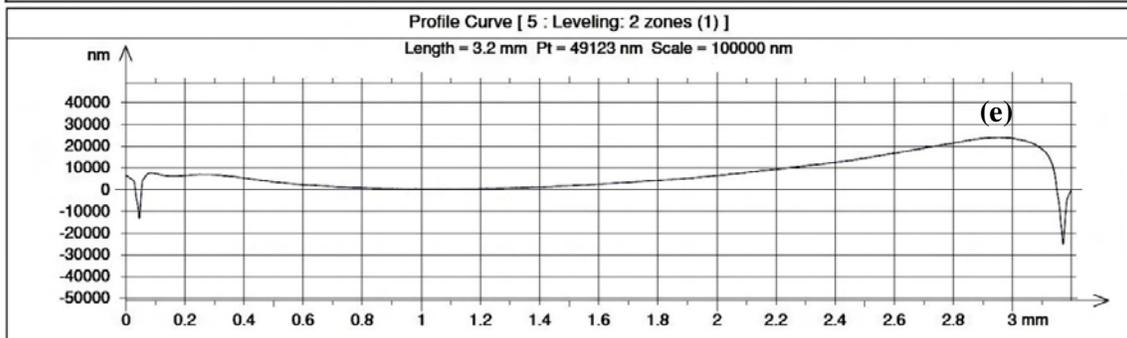
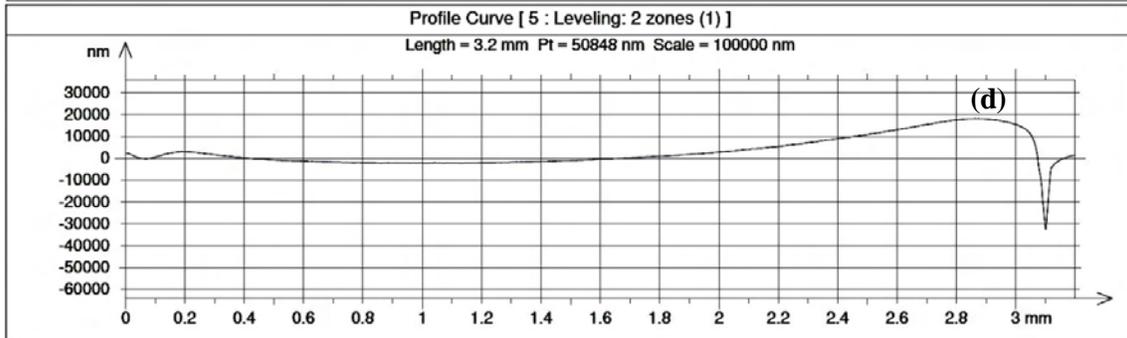
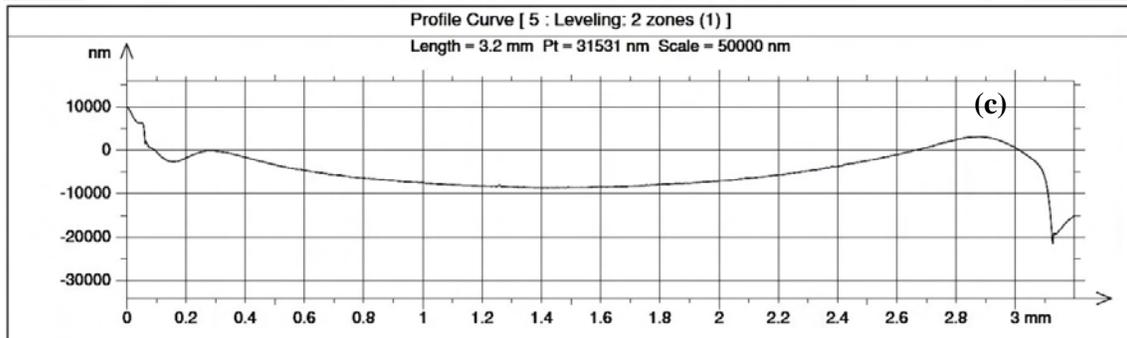
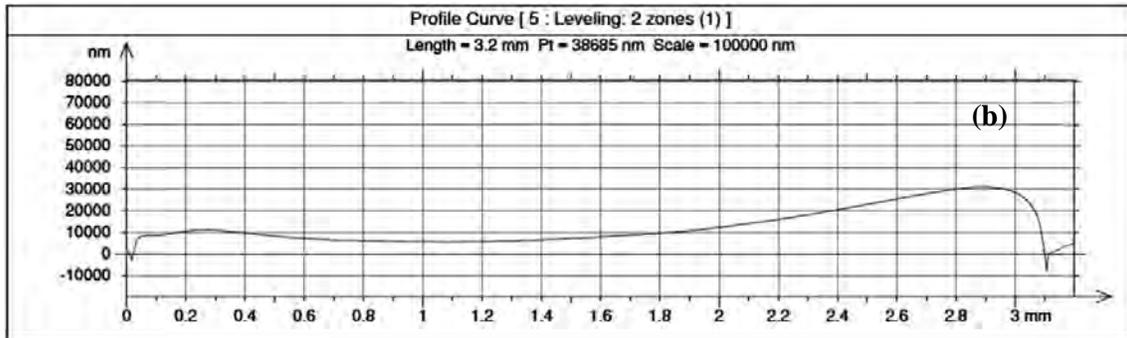
- Couche d'accroche : 15 nm Cr/ 200 nm Cu
- Face arrière Ni/Ag métallisée Cr 15/ 250 nm Cu.
- Nombre de films PM 275 : 3 de  $75 \mu\text{m}$  d'épaisseur
- Courant de dépôt :  $I_c = 20 \text{ mA/cm}^2$ .
- Surface déposée :  $S = 0,482 \text{ cm}^2$
- Temps de dépôt : 8h30
- Température de dépôt de  $25^\circ\text{C}$ .
- Sans agitation magnétique.
- Cellule de dépôt mise dans un plan horizontal

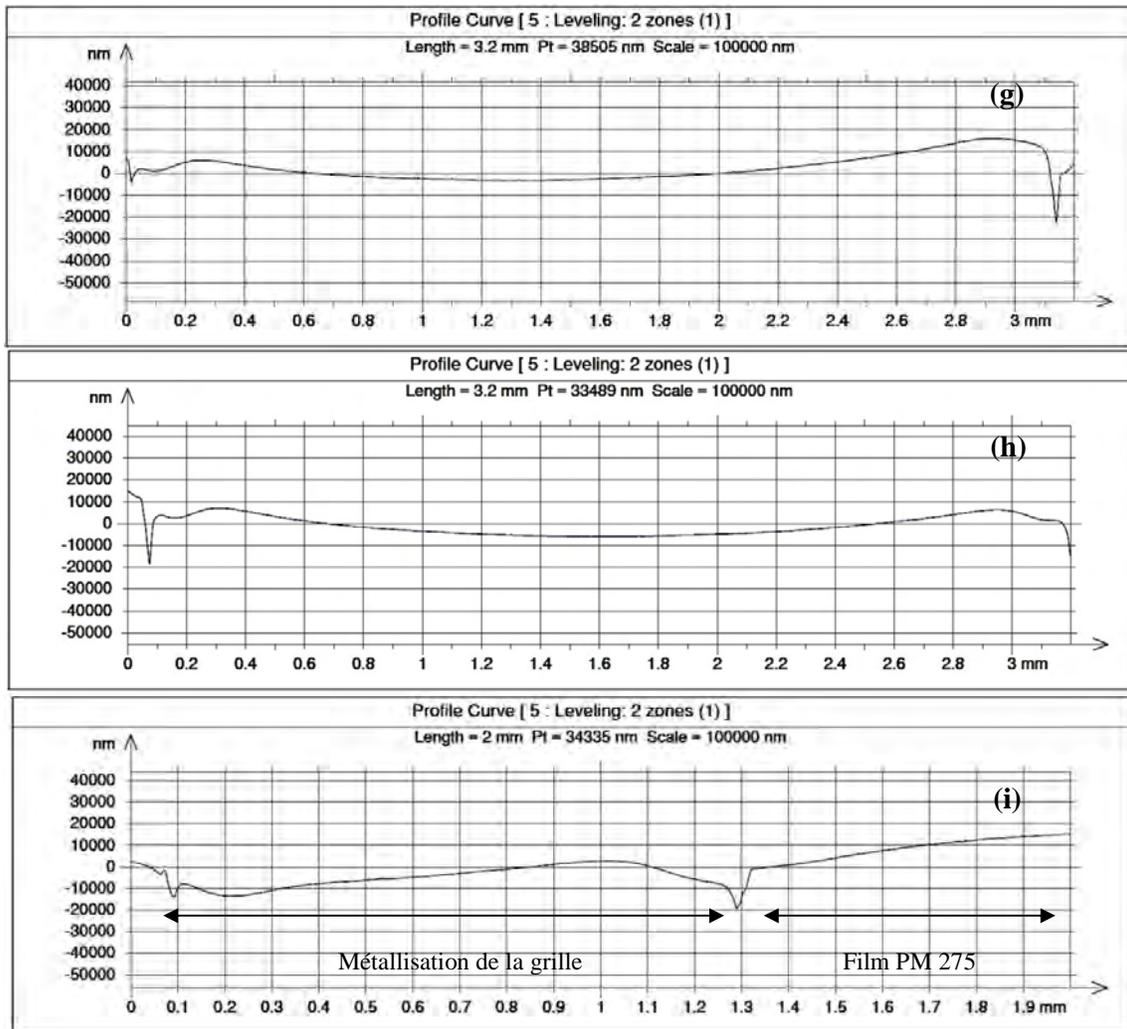
La mesure des profils de surface des plots montre que les métallisations ont une forme concave. Cette forme pourrait être expliquée par le renforcement du champ électrique à l'interface entre la paroi des ouvertures (film PM 275) et l'électrolyte. La concentration des ions  $\text{Cu}^{2+}$  est plus importante du fait que la vitesse de dépôt est plus élevée en ces endroits [MEN 08].



**Figure 3.91** : mesure du profil de surface des métallisations électrodéposées par rapport au niveau de la surface du film sec PM275.



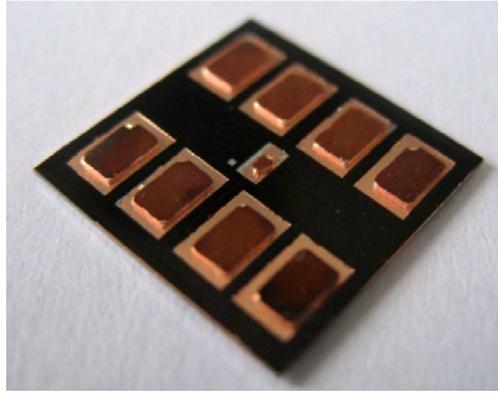




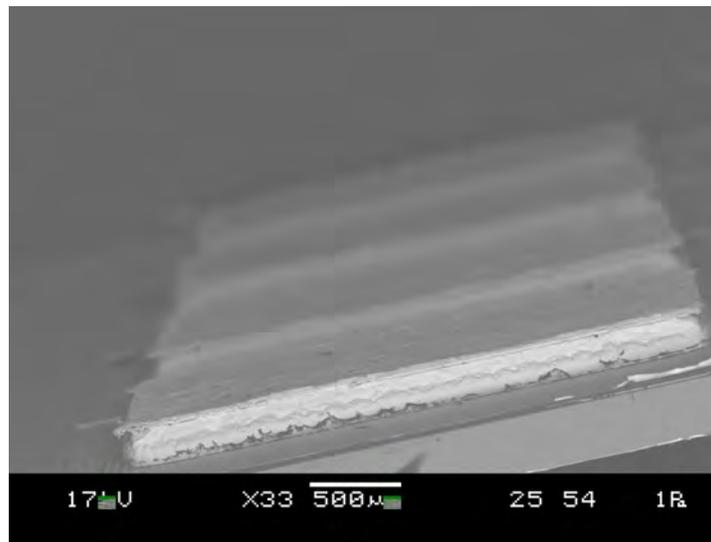
**Figure 3.92 :** profils de la surface des plots de cuivre électrodéposés :

(a) : plot 1 ; (b) : plot 2 ; (c) : plot 3, (d) : plot 4, (e) : plot 5, (f) : plot 6, (g) : plot 7, (h) : plot 8, (i) : la grille

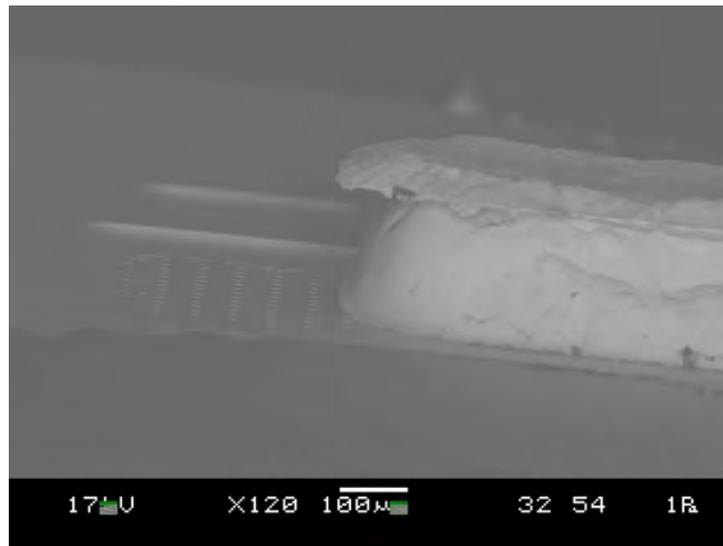
Après polissage mécanique, le dépôt électrolytique des nano poteaux s'effectue à température ambiante durant 45 minutes avec un courant constant de densité  $J_c = 6,66 \text{ mA/cm}^2$  et une membrane d'alumine ayant des pores de 100 nm de diamètre. Une pelouse de nano poteaux d'une dizaine de micromètres de hauteur se forme sur les métallisations électrodéposées comme le montrent les figures 3.93, 3.94, 3.95, 3.96



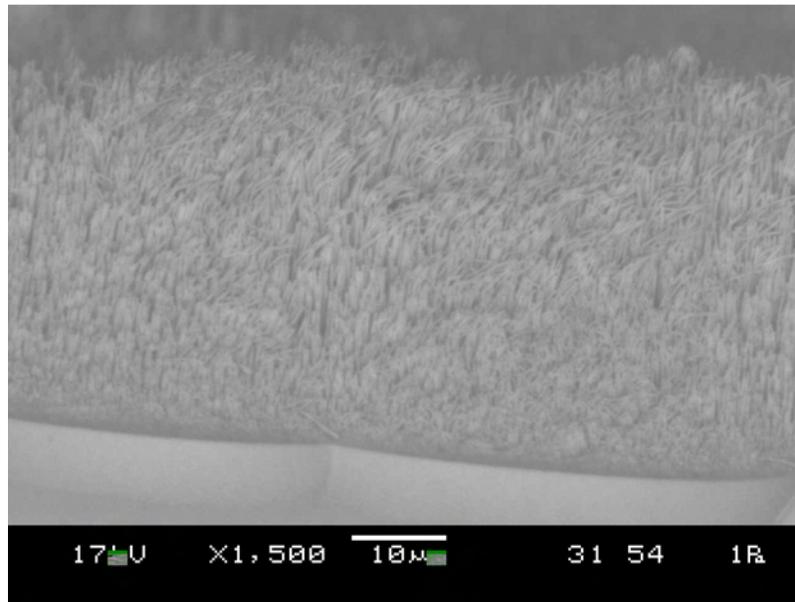
**Figure 3.93** : face avant de la puce obtenue après des traitements



**Figure 3.94** : 4 émetteurs électrodéposés munis des nano poteaux

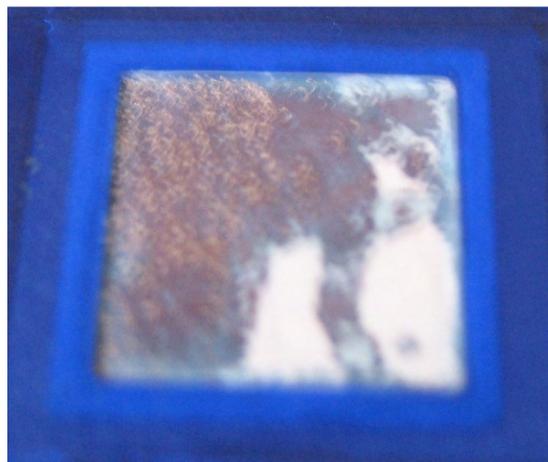


**Figure 3.95** : plot de cuivre électrodéposé sur la grille



**Figure 3.96 :** nano poteaux électrodéposés sur un plot de cuivre.

En face arrière, nous n'avons pu obtenir les résultats attendus. Le dépôt n'est pas homogène sur toute la surface en raison du colmatage de certains pores de 100 nm. Ce problème est toutefois aisé à résoudre, l'utilisation de membranes AAO de 200 nm et un nettoyage supplémentaire, après l'ouverture de la face arrière pour dépôt des nano poteaux, est suffisant.



**Figure 3.97 :** image de la face arrière après le dépôt électrolytique

### 3.10. Conclusion

Dans ce chapitre, nous avons vu les adaptations du procès de dépôt des nanostructures sur la face arrière de la puce. Des améliorations du procédé de pressage ont été par la mise en place de la rotule, des films répartiteurs, d'un guidage afin d'homogénéiser la pression sur la puce. Ce système permet d'élargir la plage de pression (jusqu'à 271 MPa) dans laquelle la mise en compression ne dégrade pas les caractéristiques des puces IGBT. Enfin, nous avons présenté un assemblage face arrière de l'IGBT comme une validation de procédé.

Les caractérisations mécaniques montrent que l'assemblage *nano scratch*, est, en général, solide et souple. Le comportement mécanique des assemblages diffère en fonction de la longueur des nano poteaux. Nous avons montré que l'augmentation de la pression d'assemblage peut, en partie, améliorer la tenue mécanique de la liaison.

Lors des tests de cisaillement en température la force provoquant rupture évolue, mais reste dans la barre d'erreur. L'assemblage nano scratch ne présente pas une tenue mécanique exceptionnelle. Cependant, dans une première approche elle est suffisante pour garantir que le composant accroché au DBC ne partira pas seul sous l'action d'une vibration.

La performance électrique de la liaison, caractérisée par mesure de la résistance, montre que celle-ci est du même ordre de grandeur que la résistance d'une brasure. Les mesures électriques ont toutefois mis en évidence une des faiblesses de la liaison nano scratch : l'inhomogénéité intrinsèque des propriétés électriques des assemblages. Il nous paraît intéressant de constater que malgré cette inhomogénéité les composants fonctionnent apparemment normalement.

Des caractérisations thermomécaniques sous contraintes statiques ont été menées. Les résultats de ce test sont, actuellement, peu satisfaisants : les caractéristiques électriques des échantillons composants ayant été fortement dégradées. Aucune explication réellement satisfaisante n'a été trouvée à ce phénomène de vieillissement. Le dysfonctionnement des composants pourrait être dû à la migration d'espèces chimiques ( $\text{Na}^+$ ,  $\text{Cl}^-$ ) adsorbées lors des multiples traitements auxquels sont soumises les puces, mais cela n'a pu être vérifié.

Ces résultats nous font penser que les scratch ne doivent pas être envisagés comme moyen d'accrochage seul, mais doivent venir en combinaison d'un système de contact pressé. Le scratch devant alors permettre une simplification de la mécanique des assemblages, ce qui est favorable à une intégration tridimensionnelle. En effet, ainsi que nous venons de le montrer, le dépôt en face avant des composants de puissance est réalisable. Cela pourrait permettre d'imaginer une nouvelle structure de packaging 3D compacte.

## CONCLUSION GENERALE

Ce travail a permis de montrer que les nano poteaux de cuivre peuvent être envisagés comme une solution pour connecter entre eux des composants. Certes, tout n'est pas encore opérationnel et l'utilisation de cette solution nécessite encore de nombreuses études complémentaires, mais au début de l'étude il n'était pas certain que l'on puisse déposer à la fois des nano poteaux sur la face avant et sur la face arrière d'un composant.

L'optimisation du procédé d'assemblage a nécessité des mesures électriques des propriétés des composants et de celles de la liaison produite. De même des mesures mécaniques ont permis d'identifier la forme des dépôts la plus adéquate pour l'accrochage des pièces entre elles.

Si la forme des poteaux était déjà identifiée comme un facteur important pour la réalisation d'une jonction nano scratch, notre étude a montré l'importance de l'inhomogénéité et de la longueur des poteaux –jusqu'à former de faisceaux et passer d'un accrochage poteau/poteau à un accrochage faisceau/faisceau– pour l'obtention d'une jonction mécaniquement et électriquement convenable.

L'assemblage est réalisé en deux étapes : dépôt de poteaux, puis pressage pour créer le lien mécanique. Les mesures réalisées ont orienté les améliorations apportées au procédé de dépôt : bain acide, durée, température, courant constant, protection des composants... et au procédé d'assemblage : qualification de la presse, mise en place de la rotule, réalisation de mâchoires, utilisation d'un film répartiteur de pression, guidage avec un clinquant d'acier, choix de la pression d'assemblage... Par conséquent le nombre paramètres à considérer est particulièrement élevé et l'étude menée n'a pu être exhaustive.

Le fil rouge de cette étude était de montrer qu'il était possible d'avoir une jonction solide, l'objectif a été clairement atteint.

La seconde phase de l'étude est de vérifier la fiabilité des jonctions nano scratch, cette seconde phase a débuté et même si les premiers résultats ne sont pas aussi bons que prévu, certaines jonctions ont résisté au test de vieillissement accéléré.

En l'état actuel, une jonction uniquement faite de nano scratch n'est pas envisageable, mais une jonction de "type press pack" combinée à des nano scratch l'est tout à fait. En effet la jonction nano scratch suffit à assurer le contact électrique, l'utilisation d'un système simplifié de maintien –tout simplement via le montage du module et des systèmes de refroidissement– d'une certaine pression devrait pouvoir permettre d'avoir des systèmes fiables dépourvu de

brasure et de *bonding* qui semblent être arrivés à leurs limites. De plus l'utilisation d'un système de maintien devrait autoriser des assemblages à des pressions plus faibles.

Si la poursuite d'études sur la tenue au vieillissement, ou sur l'influence de l'inhomogénéité ou encore sur la tenue mécanique en température, peut amener des améliorations au procédé, la combinaison "press pack"/nano scratch nous semble, d'un point de vue technologique, une voie intéressante et prometteuse.

De même d'un point de vue très prospectif, on peut envisager l'utilisation de nano poteaux organisés de telle sorte qu'il existe un chemin à l'intérieur de la jonction dans lequel un fluide caloporteur pourrait circuler refroidissant ainsi la directement le composant.

C'est selon nous en ce sens que doivent se poursuivre les recherches dans ce domaine.

## Références bibliographiques personnelles

### ✚ Conférences internationales avec comité de lecture et actes :

- **Vh. Nguyen**, P. Castelan, Z. Khatir, T. Lebey, V. Bley, N. Sewraj, Q.H. Luan, B. Schlegel, "Fabrication of bottom die substrate solderless interconnection based on nano copper wires", Power Electronics and Applications, 2009. EPE '09. 13th European Conference on, issue date 8-10 September 2009.

### ✚ Conférences nationales avec comité de lecture et actes :

- L. Ménager, QH. Luan, **VH. N'Guyen**, B. Allard, V. Bley, C. Martin, T. Lebey, P. Castelan, Z. Khatir, T. Vaday, "Etude de l'élaboration d'interconnexions électrodéposées en électronique de puissance", 4ème Colloque sur Les Matériaux de Génie Electrique, Toulouse 05/2008.

### ✚ Journées nationales « réseaux » sans comité de lecture :

- **Vh. Nguyen**, P. Castelan, Z. Khatir, T. Lebey, V. Bley, Q.H. Luan, B. Schlegel, "Interconnection of components by tanglement of copper nano-wires (nano-scratch)", 19ème forum de l'interconnexion du packaging microélectronique, IMAPS- France, 07-08 Avril, Paris 2009.

## Références bibliographiques

- [ALH 010] A. Alhazaa, et al., "Transient liquid phase (TLP) bonding of Al7075 to Ti-6Al-4V alloy," *Materials Characterization*, vol. 61, pp. 312-317, 2010.
- [AND 05] C. Andersson, et al., "Comparison of isothermal mechanical fatigue properties of lead-free solder joints and bulk solders", *Materials Science and Engineering A*, vol. 394, pp. 20-27, 2005.
- [ASC 06] R. Aschenbrenner, *et al.*, "Nano-structured Interconnects for System Integration," in *Electronic Materials and Packaging, 2006. EMAP 2006. International Conference on*, 2006, pp. 1-26.
- [BAD] Y. Badé, "Cuivrage", *Technique de l'ingénieur*, vol. m, pp. 1-9, Dossier M1605.
- [BAI 04] J. G. Bai, et al., "Comparative thermal and thermomechanical analyses of solder-bump and direct-solder bonded power device packages having double-sided cooling capability", in *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, 2004, pp. 1240-1246 vol.2.
- [BAI 07] J. G. Bai, *et al.*, "Processing and Characterization of Nanosilver Pastes for Die-Attaching SiC Devices", *Electronics Packaging Manufacturing, IEEE Transactions on*, vol. 30, pp. 241-245, 2007.
- [BAN 08] R. Banan-Sadeghian, et al., "Ultra-Low-Voltage Schottky-Barrier Field-Enhanced Electron Emission From Gold Nanowires Electrochemically Grown in Modified Porous Alumina Templates", *Electron Device Letters, IEEE*, vol. 29, pp. 312-314, 2008.
- [BAS 05] Basavanhally, Nagesh H. Skillman, Cirelli, Raymond A. Hillsborough, Lopez, Omar Daniel Summit: High density nano structured interconnection, Date of publication 05.10.2005 Bulletin 2005/40, EUROPEAN PATENT APPLICATION
- [BEN 01] R. E. Benfield, et al., "Structure of metal nanowires in nanoporous alumina membranes studied by EXAFS and X-ray diffraction", *The European Physical Journal D - Atomic, Molecular, Optical and Plasma Physics*, vol. 16, pp. 399-402, 2001.
- [BER 03] S. Berber, et al., "Bonding and Energy Dissipation in a Nanohook Assembly", *PHYSICAL REVIEW LETTERS*, vol. VOLUME 91, NUMBER 16, 2003.
- [BOU 08] M. Bouarroudj-berkani, "Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides", thèse doctorat, Ecole normale de Cachan, 2008.
- [BOU<sup>b</sup> 08] M. BOUARROUDJ-BERKANI. Fatigue thermo-mécanique de modules IGBT de puissance en ambiance de températures élevées [Online]. Disponible sur : <http://www.seedsresearch.eu/>
- [BOY 08] J. Boyer, "Utilisation de la méthode capacité-tension pour l'analyse de l'oxyde de grille des IGBTs à la grille en tranchée", *JCGE'08 LYON* 16 et 17 décembre 2008.

- [BRO 96] W. D. Brown, et al., "State-of-the-art synthesis and post-deposition processing of large area CVD diamond substrates for thermal management", *Surface and Coatings Technology*, vol. 86-87, pp. 698-707, 1996.
- [BRU 04] J. Brusse and M. Sampson, "Zinc whiskers: hidden cause of equipment failure", *IT Professional*, vol. 6, pp. 43-47, 2004.
- [CAS 07] A. Castellazzi, et al., "Comprehensive Electro-Thermal Compact Model of a 3.3kV-1200A IGBT-module", in *Power Engineering, Energy and Electrical Drives, 2007. POWERENG 2007. International Conference on*, 2007, pp. 405-410.
- [CAS 09] A. Castellazzi and M. Mermet-Guyennet, "Power device stacking using surface bump connections," in *Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on*, 2009, pp. 204-207.
- [CHEN 07] Y. Chen, et al., "Solder Joint Reliability Assessment for Flip Chip Ball Grid Array Components with Various Designs in Lead-Free Solder Materials and Solder Mask Dimensions", *Journal of Electronic Materials*, vol. 36, pp. 6-16, 2007.
- [CHI 06] J. Y. H. Chia, et al., "The mechanics of the solder ball shear test and the effect of shear rate", *Materials Science and Engineering: A*, vol. 417, pp. 259-274, 2006.
- [CHI 07] H. Chik, "Nano-Attach Project, Motorola", presented at the Celestica iNEMI Technology Forum, May 15 2007.
- [CHO 07] J.K. Choi, et al., "Standardization of a shear test method for lead-free solder paste chip joints", *Journal of Materials Science*, vol. 42, pp. 7451-7456, 2007.
- [CHO 09] T. Chowdhury, et al., "Additive influence on Cu nanotube electrodeposition in anodised aluminium oxide templates", *Electrochemistry Communications*, vol. 11, pp. 1203-1206, 2009.
- [CIA 02] M. Ciappa, "Selected failure mechanisms of modern power modules", *Microelectronics Reliability*, vol. 42, pp. 653-667.
- [CIA 00] M. P. M. Ciappa, "Some reliability aspects of IGBT modules for high-power applications " DOCTOR OF TECHNICAL SCIENCES, Dipl. Phys. University of Zurich, 2000.
- [COG 05] J. Y. Cognard, et al., "Development of an improved adhesive test method for composite assembly design", *Composites Science and Technology*, vol. 65(3-4): 359-368, March 2005.
- [COR] M. Correvon. *Electronique de puissance, Chapitre 8 : LES SEMICONDUCTEURS DE PUISSANCE TROISIÈME PARTIE : L'IGBT* [Online]. Disponible sur : <http://www.iai.heig-vd.ch/fr-ch/Accueil/Pages/Accueil.aspx>.
- [COZ 07] L. Coz, "Elaboration et caractérisations de films anodiques hautement ordonnés, obtenus à partir de substrats d'aluminium", thèse de doctorat de l'Université Paul Sabatier-Toulouse III, 2007.
- [DAG 05] S. Dagdag, "Matériaux et revêtement céramiques multifonctionnels par PECVD et SPS pour l'intégration de puissance haute température haute tension ", thèse de doctorat de l'Institut National Polytechnique de Toulouse, Décembre 2005.

- [DUD 04] R. Dudek, et al., "Thermal fatigue modelling for SnAgCu and SnPb solder joints", in Thermal and Mechanical Simulation and Experiments in Microelectronics and Microsystems, 2004. EuroSimE 2004. Proceedings of the 5th International Conference on, 2004, pp. 557-564.
- [DUP 06] L. Dupont, "Contribution à l'étude de la durée de vie des assemblages de puissance dans des environnements haute température et avec des cycles thermiques de grande amplitude ", Thèse de doctorat de l'Ecole Normale Supérieure de Cachan, 2006.
- [ENC 06] I. Enculescu, "Nanowires and Nano tubes prepared using ion track membranes as templates", Digest Journal of Nanomaterials and Biostructures, vol. 1, No. 1, March 2006, p. 15-20.
- [FOL 00] J. Foley, et al., "Analysis of ring and plug shear strengths for comparison of lead-free solders", Journal of Electronic Materials, vol. 29, pp. 1258-1263, 2000.
- [FUK 06] Y. Fukuda, et al., "The Effect of Annealing on Tin Whisker Growth", Electronics Packaging Manufacturing, IEEE Transactions on, vol. 29, pp. 252-258, 2006.
- [FUL 09] R. Fulcrand, "Etude et développement d'une plateforme micro-fluidique dédiée à des applications biologiques Intégration d'un actionneur magnétique sur substrat souple", thèse de doctorat, Physique Chimie Automatique, Université Paul Sabatier-Toulouse III, 2009.
- [FUR 89] R. C. Furneaux, et al., "The formation of controlled-porosity membranes from anodically oxidized aluminium", Nature, vol. 337, pp. 147-149, 1989.
- [GAN 05] S. Ganesan, et al., "Assessment of long-term reliability in lead-free assemblies", in Asian Green Electronics, 2005. AGEC. Proceedings of 2005 International Conference on, 2005, pp. 140-155.
- [GAO 05] S. Gao, "New technologies for lead-free flip chip assembly", PhD thesis, University of London, 2005.
- [GER 05] N. J. Gerein and J. A. Haber, "Effect of ac Electrodeposition Conditions on the Growth of High Aspect Ratio Copper Nanowires in Porous Aluminum Oxide Templates", The Journal of Physical Chemistry B, vol. 109, pp. 17372-17385, 2005.
- [GOB 93] J. Gobet and et al., "Electrodeposition of 3D microstructures on silicon", Journal of Micromechanics and Microengineering, vol. 3, p. 123, 1993.
- [GUE 02] A. Guédon, et al., "Evaluation of lead-free soldering for automotive applications", Microelectronics Reliability, vol. 42, pp. 1555-1558.
- [GUE 05] A. Guédon-Gracia, "Contribution à la conception thermo-mécanique optimisée d'assemblage sans plomb ", thèse de doctorat de l'université Bordeaux I, 11 mars 2005.
- [HAM 01] A. Hamidi, *et al.*, "Increased lifetime of wire bonding connections for IGBT power modules", in *Applied Power Electronics Conference and Exposition, 2001. APEC 2001. Sixteenth Annual IEEE*, 2001, pp. 1040-1044 vol.2.
- [HAN 07] C. Handwerker, et al., "Fundamental Properties of Pb Pb-Free Solder Alloys", Springer US, pp 21-74, 2007.

- [HANS 07] P. Hansen and P. McCluskey, "Failure models in power device interconnects", in *Power Electronics and Applications, 2007 European Conference on*, 2007, pp. 1-9.
- [HAQ 99] S. Haque and L. Guo-Quan, "Characterization of interfacial thermal resistance for packaging high-power electronics modules", in *Electronic Components and Technology Conference, 1999 Proceedings*. 49th, 1999, pp. 1103-1110.
- [HUA 09] H. Huang, et al., "Preparation and properties of particle reinforced Sn-Zn-based composite solder", *Journal of Wuhan University of Technology--Materials Science Edition*, vol. 24, pp. 206-209, 2009.
- [HUL 97] C. Hulteen, et al., "A general template-based method for the preparation of nanomaterials", *Journal of Materials Chemistry*, vol. 7, pp. 1075-1087, 1997.
- [IME 07] IME. EPRC – 9 Project Proposal: Low Temperature Bonding for High density 3D Interconnection [Online]. Available: <http://www.ime.a-star.edu.sg/>
- [INC] T. INC. Product name Orotemp: Gold plating solution and salts to be used in gold plating solutions [Online]. Available: <http://www.trademarks411.com/marks/72126696-orotemp>.
- [ING 09] R. Inguanta, et al., "Influence of the electrical parameters on the fabrication of copper nanowires into anodic alumina templates", *Applied Surface Science*, vol. 255, pp. 8816-8823, 2009.
- [INRETS] INRETS. Physique des défaillances et robustesse des systèmes intégrés de puissance [Online]. Disponible sur : <http://www.inrets.fr/ur/ltn/pires/energie/pdderdsidp.htm>.
- [JES 98] O. Jessensky, et al., "Self-organized formation of hexagonal pore arrays in anodic alumina", *Applied Physics Letters*, vol. 72, pp. 1173-1175, 1998.
- [JIN] S. JIN. Summary Description of Selected Projects in the Jin group [Online]. Available: <http://maeresearch.ucsd.edu/jin/jin.html>.
- [KHO 07] B. Khong, "Fiabilité prédictive de composant de puissance soumis à des tests de fatigue accélérée ", thèse de doctorat de l'Institut National des Sciences Appliquées de Toulouse, 2007.
- [KIL 08] S. Kilburger, "Réalisation et caractérisations d'hétérostructures à base de couches minces de LiNbO3 pour des applications en optique intégrée", thèse de doctorat de l'Université de Limoges, 7 juillet 2008.
- [KOM] F. Komitsky and R. Lasky. Die Attach in Lead Frame Packages: Step 4 [Online]. Available: <http://www.electroiq.com/index.html>.
- [KYO 05] KYOCERA, "Kyocera Si3Ni4 AMB products", Kyocera Corporation, 2005.
- [LAU 06] K. T. Lau, et al., "Coiled carbon nanotubes: Synthesis and their potential applications in advanced composite structures", *Composites Part B: Engineering*, vol. 37, pp. 437-448, 2006.
- [LEE] W. Lee, *et al.* Fast fabrication of long-range ordered alumina membranes [Online]. Available: <http://www.mpi-halle.mpg.de/>

- [LEP 03] J. H. Lepagnol et D. Brunner, "Le Nitrure d'Aluminium principales propriétés et applications en électronique ", Août 2003.
- [LO 04] G. C. Lo, "Electroplated compliant high-density interconnects for next-generation microelectronic packaging", PhD thesis, Georgia Institute of Technology, August 2004.
- [LU 07] G.Q. Lu, *et al.*, "Low-temperature and Pressureless Sintering Technology for High-performance and High-temperature Interconnection of Semiconductor Devices," in *Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems, 2007. EuroSime 2007. International Conference on*, 2007, pp. 1-5.
- [LUAN 010] Q. H. Luan, "Etude et mise en œuvre de techniques d'assemblage hybrides pour l'intégration tridimensionnelle de puissance", thèse de doctorat de l'Université Paul Sabatier-Toulouse III, 2010.
- [LUAN 08] Q. H. Luan, *et al.*, "Nano copper wires interconnection for three-dimensional integration in power electronics", in *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, 2008, pp. 278-281.
- [LUI 01] X. Lui, "Processing and Reliability Assessment of Solder Joint Interconnection for Power Chips", PhD Dissertation, Materials Science and Engineering, Virginia Polytechnic Institute and State University, 2001.
- [MA 09] H. Ma and J. Suhling, "A review of mechanical properties of lead-free solders for electronic packaging", *Journal of Materials Science*, vol. 44, pp. 1141-1158, 2009.
- [MAS 95] H. Masuda and K. Fukuda, "Ordered Metal Nanohole Arrays Made by a Two-Step Replication of Honeycomb Structures of Anodic Alumina", *Science*, vol. 268, pp. 1466-1468, June 9, 1995.
- [MEN 08] L. Ménager, "Contribution à l'intégration des convertisseurs de puissance en 3D ", thèse de doctorat de l'Institut National des Sciences Appliquées de Lyon, 11 Décembre 2008.
- [MEN 06] L. Menager, *et al.*, "Industrial and lab-scale power module technologies: A review", in *IEEE Industrial Electronics, IECON 2006 - 32nd Annual Conference on*, 2006, pp. 2426-2431.
- [MER 08] M. Mermet-Guyennet, *et al.*, "3D Integration of Power Semiconductor Devices based on Surface Bump Technology", presented at the CIPS, 2008.
- [MIS 07] R. Mishra, "Electrodeposition of rare earth-transition metal alloy thin films and nano structures", PhD Dissertation, Louisiana State University and Agricultural and Mechanical College, May 2007.
- [MO 08] D. Mo, *et al.*, "Preparation and characterization of CdS nanotubes and nanowires by electrochemical synthesis in ion-track templates", *Journal of Crystal Growth*, vol. 310, pp. 612-616, 2008.
- [MOL 01] M. E. T. Molares, *et al.*, "Single-Crystalline Copper Nanowires Produced by Electrochemical Deposition in Polymeric Ion Track Membranes", *Adv. Mater.* 2001, 13, No. 1, January 5.
- [MOT 05] M. Motoyama, *et al.*, "Electrochemical processing of Cu and Ni nanowire arrays", *Journal of Electroanalytical Chemistry*, vol. 584, pp. 84-91, 2005.

- [NGUY] B. Nguyen, "Électrodéposition par courants pulsés ", Technique de l'ingénieur, vol. m, Dossier M1627.
- [NGUY 09] M. H. Nguyen, "Anodisation de l'aluminium en vue de la réalisation de matrices nanostructurées de morphologie et de dimension contrôlée", Rapport de stage Master Recherche, Laboratoire Laplace, 2009.
- [NIK 07] N. D. NIKOLIĆ, et al., "Effect of temperature on the electrodeposition of disperse copper deposits", J. Serb. Chem. Soc, vol. 72 (12) 1369–1381, 2007.
- [NING 03] H. Ning, et al., "Preoxidation of the Cu layer in direct bonding technology", Applied Surface Science, vol. 211, pp. 250-258, 2003.
- [PAN 05] H. Pan, et al., "Growth of Single-Crystalline Ni and Co Nanowires via Electrochemical Deposition and Their Magnetic Properties", The Journal of Physical Chemistry B, vol. 109, pp. 3094-3098, 2005.
- [POU] G. Poupon. Remplacement du plomb dans les alliages de soudure en microélectronique [Online]. Disponible sur : [http://213.30.172.97/doc\\_presentation/pbissue.pdf](http://213.30.172.97/doc_presentation/pbissue.pdf).
- [PUT 07] K. J. Puttlitz and G. T. Galyon, "Impact of the ROHS directive on high-performance electronic systems", ed, 2007, pp. 331-346.
- [RAB 05] L. Rabbia, "Nouvelle filière technologie pour micro-commutateurs parallèles capacitifs micro-ondes sur membrane diélectrique", thèse de doctorat de l'Université Paul Sabatier-Toulouse III, 19 Juillet 2005.
- [RAD 010] A. Radisic, et al., "Copper plating for 3D interconnects", Microelectronic Engineering, vol. In Press, Corrected Proof.
- [RAME] S. Ramelow. Wire Bonding Quality Assurance and Testing Methods [Online]. Available: <http://ssd-rd.web.cern.ch/ssd-rd/bond/talks/>
- [RAM] S. Ramming, *et al.* Thermo-Mechanical Simulation of Wire Bonding Joints in Power Modules [Online]. Available: <http://www.nsti.org/procs/MSM99/14>
- [REC] I. Rectifier, "Application Note AN-983: IGBT Characteristics", p. 16.
- [REY 010] H. L. Reynolds, et al., "Tin Whisker Test Development-Temperature and Humidity Effects Part I: Experimental Design, Observations, and Data Collection", Electronics Packaging Manufacturing, IEEE Transactions on, vol. 33, pp. 1-15, 2010.
- [RSBWEB] Rsbweb. Image J [Online]. Available: <http://rsbweb.nih.gov/ij/>
- [RIZ 05] M. J. Rizvi, et al., "Study of anisotropic conductive adhesive joint behavior under 3-point bending", Microelectronics and Reliability, vol. 45, pp. 589-596.
- [SAU 02] G. Sauer, et al., "Highly ordered monocrystalline silver nanowire arrays", Journal of Applied Physics, vol. 91, pp. 3243-3247, 2002.
- [SCH 02] U. Scheuermann, "Reliability of pressure contacted intelligent integrated power modules", in Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on, 2002, pp. 249-252.

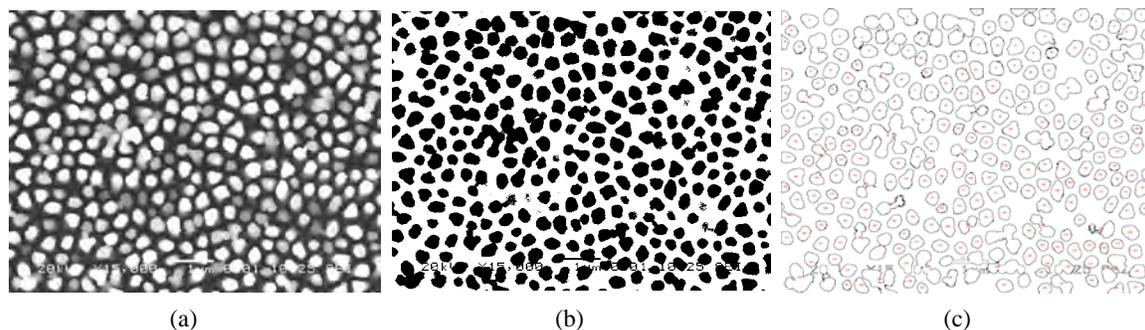
- [SCH 97] C. Schonenberger, *et al.*, "Template Synthesis of Nanowires in Porous Polycarbonate Membranes: Electrochemistry and Morphology", *The Journal of Physical Chemistry B*, vol. 101, pp. 5497-5505, 1997.
- [SCHU 06] J. Schultz-Harder, "Ceramic substrates and micro channel cooler," *ECPE Seminar, Nuremberg, Germany*, November 2006.
- [SCHU 08] D.-I. J. Schulz-Harder, "Review on Highly Integrated Solutions for Power Electronic Devices", presented at the CIPS, Nuremberg, 2008.
- [SCH 00] J. Schulz-Harder, "DBC substrates as a base for power MCM's", in *Electronics Packaging Technology Conference, 2000. (EPTC 2000). Proceedings of 3rd, 2000*, pp. 315-320.
- [SCHU 03] J. Schulz-Harder, "Advantages and new development of direct bonded copper substrates", *Microelectronics Reliability*, vol. 43, pp. 359-365, 2003.
- [SEH 06] M. Sehil, "Mise en œuvre de bobines dédiées aux liens inductifs nécessaires aux dispositifs médicaux implantables", thèse de maîtrise, Département de Génie Electrique, École Polytechnique de Montréal 2006.
- [SMET 08] V. Smet, "Fiabilité et analyse de défaillances de modules de puissance à IGBT", *JCGE'08 LYON*, 16 et 17 décembre 2008.
- [SOL 07] P. Solomalala, *et al.*, "Virtual reliability assessment of integrated power switches based on multi-domain simulation approach", *Microelectronics Reliability*, vol. 47, pp. 1343-1348.
- [SOP 010] J. í. Sopoušek, *et al.*, "Thermal Analysis of the Sn-Ag-Cu-In Solder Alloy", *Journal of Electronic Materials*, vol. 39, pp. 312-317, 2010.
- [SU 06] B. Su, "Electrical, Thermomechanical and Reliability modeling of electrically conductive adhesives", PhD dissertation, Georgia Institute of Technology May 2006.
- [TAB 06] P. L. Taberna, *et al.*, "High rate capabilities Fe<sub>3</sub>O<sub>4</sub>-based Cu nano-architected electrodes for lithium-ion battery applications", *Nature Materials*, vol. vol. 5. pp. 567-573. ISSN 1476-1122, 2006.
- [TROU 04] G. Troussier, "Intégration de bobines sur silicium pour la conversion d'énergie", thèse doctorat de l'Institut National des Sciences Appliquées de Toulouse, 2004.
- [USU 05] M. Usui, *et al.*, "Effects of uni-axial mechanical stress on IGBT characteristics", *Microelectronics and Reliability*, vol. 45, pp. 1682-1687.
- [VAG 010] E. Vagnon, "Solutions innovantes pour le packaging de convertisseurs statiques polyphasés", thèse de doctorat de l'Institut Polytechnique de Grenoble, 2010.
- [VAG 08] E. Vagnon, *et al.*, "Etudes de faisabilité d'un module de puissance 3D de type press pack pour des applications de faible et moyenne puissances", 12ième colloque Electronique de Puissance du Futur, Tours, 2-3 juillet 2008.
- [VAG 09] E. Vagnon, *et al.*, "A Busbar Like Power Module Based on 3D Chip on Chip Hybrid Intergration", *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, 15-19 Feb. 2009, pp. 2072-2078, Washington, DC.

- 
- [WAN 07] T. Wang, et al., "Low-Temperature Sintering with Nano-Silver Paste in Die-Attached Interconnection", *Journal of Electronic Materials*, vol. 36, pp. 1333-1340, 2007.
- [WEL 05] W. C. Welch, III, et al., "Transfer of metal MEMS packages using a wafer-level solder transfer technique", *Advanced Packaging, IEEE Transactions on*, vol. 28, pp. 643-649, 2005.
- [WEN 99] S. Wen, "Thermal and Thermo-Mechanical Analyses of Wire Bond vs. Three-dimensionally Packaged Power Electronics Modules", Master's thesis, Power Electronics Systems, Virginia Polytechnic Institute and State University, 1999.
- [WEN 02] S. Wen, "Design and Analyses of a Dimple Interconnect Technique of Power Electronics Packaging," PhD Dissertation, Virginia Polytechnic Institute, 2002.
- [WEN 01] S. S. Wen, *et al.*, "Design and thermo-mechanical analysis of a Dimple-Array Interconnect technique for power semiconductor devices", in *Electronic Components and Technology Conference, 2001. Proceedings, 51st*, 2001, pp. 378-383.
- [WU 05] Y. Wu, et al., "Fabrication of potential NiMoP diffusion barrier/seed layers for Cu interconnects via electroless deposition", *Journal of Electronic Materials*, vol. 34, pp. 541-550, 2005.
- [WYK 05] J. D. V. Wyk and Z. Liang, "New technologies for passive and active integrated power modules", presented at the CPES Power Electronics Seminar, Virginia Tech, Blacksburg, VA, May 2005.
- [XIA 09] C. Xiao, et al., "Height Optimization for a Medium-Voltage Planar Package", in *Applied Power Electronics Conference and Exposition, APEC 2009. Twenty-Fourth Annual IEEE*, 2009, pp. 479-484.
- [XIN 99] K. Xin, "Modeling, Analysis and Design of Distributed Power Electronics System Based on Building Block Concept", PhD dissertation, Virginia Polytechnic Institute and state University, Blacksburg, VA, USA, May 1999.
- [YOO 04] W.C. Yoo, J.K. Lee, "Field-Dependent Growth Patterns of Metals Electroplated in Nanoporous Alumina Membranes", *Advanced Materials*, 16: 1097-1101, 2004
- [YOU 06] L. Youcef and S. Achour, "Elimination du cuivre par des procédés de précipitation chimique et d'absorption", *Courier du Savoir*, pp. 59-66, Décembre 2006.
- [YUN 09] K. P. Yung, et al., "Formation and assembly of carbon nanotube bumps for interconnection applications", *Diamond and Related Materials*, vol. 18, pp. 1109-1113, 2009.

## Annexes

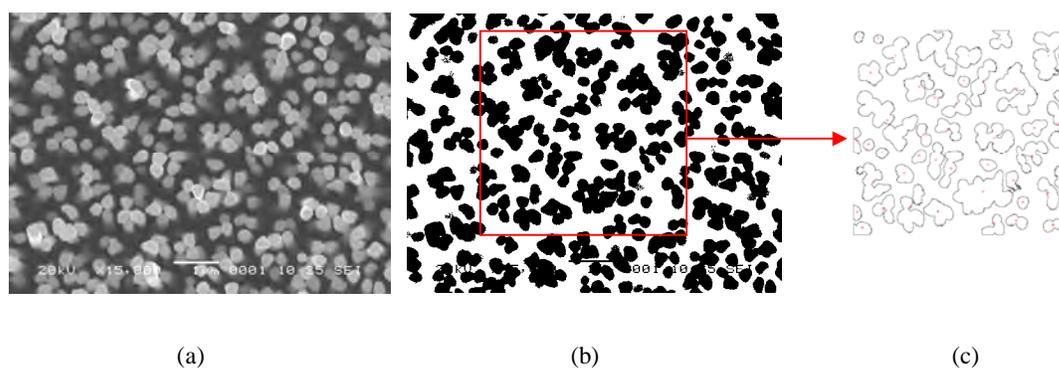
### Annexe 1. Traitement d'image avec le logiciel Image J

Le logiciel *Image J* (<http://rsbweb.nih.gov/ij/index.html>) est initialement développé pour des applications biomédicales. Son usage s'est depuis étendu à d'autres domaines comme la science des matériaux (détermination de la taille des grains, traitement d'images microtomographie X...). Nous utilisons l'option « *analyse des particules* » du logiciel pour compter des poteaux et calculer la surface réelle des dépôts. Pour cela, l'image originale est tout d'abord convertie en mode binaire. Le logiciel fonctionne en scannant l'image ou la sélection jusqu'à ce qu'il trouve le bord d'un objet. Il décrit ensuite l'objet, le mesure et le remplit pour le rendre lisible, puis commence à balayer jusqu'à ce qu'il atteigne la fin de l'image ou de la sélection <sup>[RSBWEB]</sup>.



**Figure A. 1** : Dépôt à 25°C, 15 minutes, courant constant : (a) image originale, (b) image traité par *Image J*, (c) mesure de la surface

*Total Area: 21  $\mu\text{m}^2$ , Total Fraction: 40.3%*



**Figure A. 2** : Dépôt à 25°C, 30 minutes, courant pulsé : (a) image originale, (b) image traité par *Image J*, (c) mesure de la surface sur une zone choisie.

*Total Area: 9,539  $\mu\text{m}^2$ , Area Fraction: 40,8%*

## Annexe 2. Préparation des substrats

Les substrats *Direct Bonded Copper* (DBC) en alumine ( $\text{Al}_2\text{O}_3$ ) ou bien nitrure d'aluminium (AlN) sont largement utilisés en électronique de puissance grâce à leurs excellentes propriétés électriques et thermiques. C'est pour ces raisons que l'on utilise ces deux types de substrat pour réaliser les assemblages 'nano scratch'.

### *Procédé de découpe :*

Les substrats, après une étape de gravure au perchlorure fer ( $\text{FeCl}_3$ ) pour créer les pistes, les céramiques sont découpés avec une scie diamantée (3000 tr/mn / 3 mm/min).

### *Polissage mécanique :*

Le polissage est effectué à l'aide d'une polisseuse **Beuler Motopol 12**. Le dégrossissage et le polissage primaire ont été effectués successivement sur des papiers auto collants abrasif SiC avec les grains 220, 800 puis 1200. Afin d'améliorer la rugosité de la surface, un poli fin est obtenu via un tissu imprégné d'une suspension diamantée de granulométrie  $9\mu\text{m}$ ,  $3\mu\text{m}$  et enfin  $1\mu\text{m}$ . Le tableau suivant montre les paramètres du procédé de polissage.



Figure A. 3 : Polisseuse **Beuler Motopol 12**

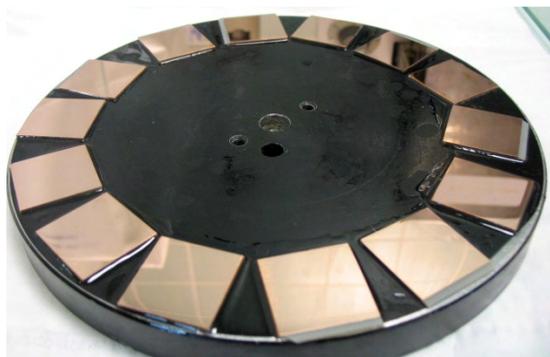
Paramètres du procédé de polissage :

**Tableau B. 1 :** Prépolissage

Papier autocollant abrasif SiC	220	800	1200	2400
Force (lf)	10	10	10	10
Vitesse de rotation (t/min)	100	100	100	100

**Tableau B. 2 :** Polissage

Support Suspension	MD-Mol DIAPRO $9\mu\text{m}$	MD-Mol DIAPRO $3\mu\text{m}$	MD-Mol DIAPRO Nap B $1\mu\text{m}$	MD-Chem OP-S 40 nm
Force (lf)	5	5	5	5
Vitesse de rotation (t/min)	100	100	100	100



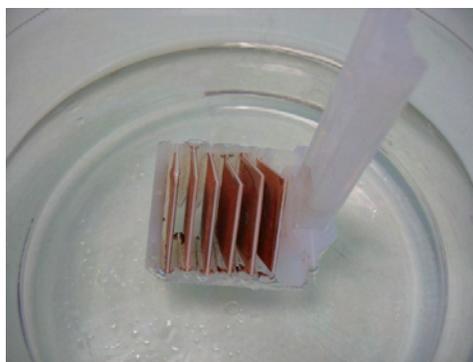
**Figure A. 4 :** Substrats après polissage

Les substrats sont rincés à l'acétone dans un bain à ultrasons pendant 10 minutes afin d'enlever tous les grains-diamants restés sur la surface polie.

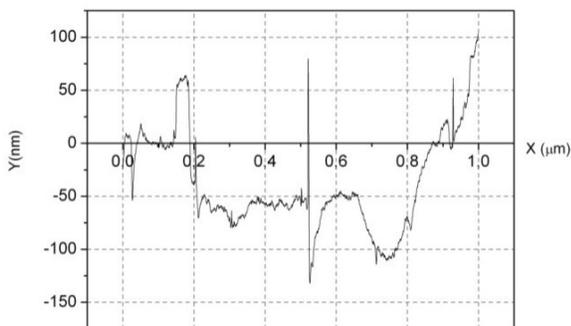


**Figure A. 5 :** Nettoyage au bain à l'ultrason

Les échantillons sont ensuite nettoyés à l'eau désionisée (DI) et à l'acétone puis séchés à l'air libre avant de procéder aux dépôts électrolytiques.



**Figure A. 6 :** Rinçage par eau DI et puis acétone



**Figure A. 7 :** Rugosité d'un substrat après l'étape de polissage mécanique

### Annexe 3. Program de pilotage du Keithley 2612 A « pulse I mesure V »

```
-- programme permettant de faire une serie de pulses "courts" de 0 a 20A (2 voies //)
-- de mesurer la tension en mode 4 fils :

-- notes :
-- NPLC      --> durée d'integration (la même sur chaque voies)
-- NPLC=1    --> 20ms
-- NPLC=0.1  --> 2ms
-- NPLC=0.01 --> 200µs
-- NPLC=0.001 --> 20µs
-----
-- paramètres :

Ton1=550e-6 -- Ton1 doit être supérieur a Ton2+41µs
Ton2=500e-6

Toff1=1 -- rapp cyclique max 2,2% pour Ton =1ms 10A (Toff=(Ton*0.98)/0.02)
Toff2=Toff1 --Toff1 doit être égal à toff...
NPLC=0.01 -- durée d'intégration < Ton !! (voir ligne 5...)

idebut=0
ifin=20
pas=0.5 -- increment de courant
nbpulse=1 -- nb de pulse par pas de courant
vmax=6 -- tension de compliance = calibre...200mV 2V 20V 200V
-----
-- Constantes:
ON = 1
OFF = 0
smua.source.output = OFF
smub.source.output = OFF
np=math.floor((math.abs((ifin-idebut))/pas)+1) -- nb de points

-- config voie A
smua.reset()
smua.source.func = smua.OUTPUT_DCAMPS
smua.source.rangei = 10
smua.source.rangev = 20 -- R<1 ohm...
smua.source.leveli = 0
smua.measure.rangei = 10
smua.measure.rangev = 0.2
smua.measure.nplc = NPLC
smua.measure.autozero= smua.AUTOZERO_ONCE
smua.nvbuffer1.clear()
smua.nvbuffer1.appendmode = 1
smua.sense=smua.SENSE_REMOTE
smua.source.output = smua.OUTPUT_ON

-- config voie B
smub.reset()
smub.source.func = smub.OUTPUT_DCAMPS
smub.source.rangei = 10
smub.source.rangev = 20
smub.source.leveli = 0
smub.measure.rangei = 10
smub.measure.rangev = 0.2
smub.measure.nplc = NPLC
smub.measure.autozero = smub.AUTOZERO_ONCE
smub.nvbuffer1.clear()
smub.nvbuffer1.appendmode = 1
smub.sense=smub.SENSE_REMOTE
smub.source.output = smub.OUTPUT_ON

----- Début Boucle
for k = 1, np, 1 do
  i = idebut + (k-1)*pas
  -- on utilise symétriquement les 2 sources
  igena=i/2
  igenb=i/2 -- courant par voie (les 2 sont en // !!)
  if igena<1 then
    smua.measure.rangei=1
    smub.measure.rangei=1
  elseif igena>=1 and igena<1.5 then
    smua.measure.rangei=1.5
    smub.measure.rangei=1.5
  elseif igena>=1.5 then
    smua.measure.rangei=10
    smub.measure.rangei=10
  end
  --
  smu,bias,level,limit,ton,toff,points,buffer,tag[,sync_in][,sync_out][,sync_in_timeout][,sync_in_abo
  rt]
  f1,msg1 = ConfigPulseIMeasureV(smua, 0, igena, vmax, Ton1, Toff1, nbpulse, smua.nvbuffer1,
  1)-- la limite est la limite en tension...
```

```
2)      f2, msg2 = ConfigPulseIMeasureV(smub, 0, igenb, vmax, Ton2, Toff2, nbpulse, smub.nvbuffer1,

        if (f1 == true) and (f2 == true) then
        f3, msg3 = InitiatePulseTestDual(1,2)
            --print("Initiate message:", msg3)
        else
            --print("Config errors:", msg1, msg2)
        end
        waitcomplete()
        va=0
        vb=0
        vmoy=0
        for ii=1,nbpulse,1 do
            index=(k-1)*nbpulse+ii
            va=smua.nvbuffer1.readings[index]+ va
            vb=smub.nvbuffer1.readings[index]+ vb
        end

        vmoy=(va+vb)/(2*nbpulse)
        r=vmoy/i
        p=r*i^2
        print(i,r,vmoy,p)-- courant et résistance

    end

    smua.source.output = OFF
    smub.source.output = OFF
```



AUTEUR : Van Hai NGUYEN  
DIRECTEURS DE THESE : M. Philippe CASTELAN (Directeur de thèse) et M. Zoubir KHATIR (Co-directeur de thèse)  
LIEU ET DATE DE SOUTENANCE : Toulouse, le 24 Novembre 2010  
DISCIPLINE ADMINISTRATIVE : Génie Electrique

---

TITRE : Etude et caractérisation d'une nouvelle connectique adaptée à l'intégration tridimensionnelle pour l'électronique de puissance.

RESUME : L'intégration tridimensionnelle est une voie prometteuse permettant d'améliorer simultanément des performances électriques (réduction des inductances et résistances parasites) et performances thermiques (refroidissement double face) des modules de puissance. Nous proposons un assemblage à base d'enchevêtrement de nano fils de cuivre. Le principe réside en une structure constituée de deux surfaces métalliques sur lesquelles sont électro-déposées des nano-poteaux de cuivre en utilisant des membranes de nano filtration en alumine. Un assemblage se réalise par compression à froid jusqu'à interpénétration et enchevêtrement des nano-poteaux créant ainsi une liaison électrique, thermique et mécanique. Dans le cadre de cette thèse, l'étude, dans une première phase, a porté sur l'amélioration d'un procédé de fabrication des assemblages nano scratch pré-existant. La mise en œuvre de la technologie et l'application à des composants de puissance sont ensuite présentés. La connexion a alors été caractérisée d'un point de vue mécanique, électrique et thermo-mécanique. Les résultats de ces caractérisations ont été utilisés pour optimiser les conditions de dépôt dans une démarche itérative. Enfin, nous avons démontré la faisabilité des dépôts des nano poteaux sur la face avant des composants de puissance. Cela permet d'imaginer une nouvelle structure packaging 3D compacte. Il est ainsi possible d'envisager une simplification des technologies de type contact pressé.

MOTS CLES : packaging 3D, intégration de puissance, interconnexion, fiabilité des assemblages, nano fils, électrodeposition et membrane poreuse.

---

TITLE: Study and characterization of a novel interconnection compatible with three-dimensional integration in power electronics

ABSTRACT: Three-dimensional integration is a promising issue which allows improving simultaneously electrical performances (reduction of inductance stray and parasitic resistances) and thermal management (double sides' cooling) of power electronic modules. We propose a hybrid assembly method based on entanglement of copper nano wires. Its principle resides in the structure composed of two metallic surfaces on which nano copper wires are electroplated by template method using alumina membranes. Electro-thermo-mechanical interconnection is then achieved by pressing both surfaces together, thus leading to the permeation and the entanglement of the nano-wires. The study focuses, firstly, on improvement of making process of nano scratch assemblies. The implementation of process and its application on power components are presented. The connection is then characterized in mechanical, electrical, thermo-mechanical points of view. The results of these characterizations were used to optimize electrodeposition condition in an iterative approach. Finally, we demonstrated the feasibility of electrodeposition on the front side of power components. This allows imagining a new compact packaging 3D structure. It is, thus, possible to consider a simplification of pressured contact technology.

KEYWORDS: packaging 3D, power integration, interconnection, assembly reliability, nanowires, electrodeposition and porous membrane.

---