

**Strukturelle und elektrische Charakterisierungen
ferroelektrischer Feldeffekttransistoren auf Silizium**

I n a u g u r a l - D i s s e r t a t i o n

zur

Erlangung des Doktorgrades

der Mathematisch-Naturwissenschaftlichen Fakultät

der Universität zu Köln

vorgelegt von

Andreas Gerber

aus

Bühl (Baden)

Köln, 2007

Berichterstatter:

Prof. Dr. A. Altland (Vorsitzender)

Priv. Doz. Dr. H. Kohlstedt

Prof. Dr. M. Braden

Tag der letzten mündlichen Prüfung: 02.07.2007

Zusammenfassung

In heutigen Computersystemen mit stetig steigender Leistung, nehmen Speichermedien eine zunehmend wichtigere Funktion ein. Seitens der Halbleiter-Industrie wird ein erheblicher Aufwand betrieben, um neue Speichermedien zu entwickeln, welche den gestiegenen Anforderungen an ein Speicherelement gerecht werden. Der FeFET – der ferroelektrische Feldeffekttransistor – besitzt ein hohes Anwendungspotential und könnte als nichtflüchtiger-Speicher die bisher in Computern verwendeten Arbeitsspeicher ersetzen. Im Gegensatz zu FeRAMs, bei denen die Information in einem ferroelektrischen Kondensator gespeichert werden (1T1C), wird in einem FeFET eine ferroelektrische Schicht in den Gateschichtstapel eines Feldeffekttransistors integriert; es entsteht eine ein-Transistor-Speicherzelle (1T).

Die Integration einer ferroelektrischen Schicht, wie $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (PZT), in einen Siliziumbasierten Transistor, kann nur mit Hilfe einer zusätzlichen Buffer-Schicht zwischen Ferroelektrikum und dem Silizium-Substrat erfolgen. Diese Arbeit behandelt einerseits die Herstellung und Charakterisierung dielektrischer Bufferschichten auf Silizium, andererseits die Charakterisierung ferroelektrischer Gateschichten unter Verwendung der untersuchten Bufferschichten. Als dielektrische Bufferschichten wurden einkristalline SrTiO_3 (STO)-, polykristalline CeO_2 (CeO) und amorphe DyScO_3 -Schichten auf Silizium abgeschieden und in Form von MOS-Dioden und Transistoren elektrisch charakterisiert. CeO_2 - und DyScO_3 -Schichten zeigten geringe Leckströme, eine Dielektrizitätskonstante von ≈ 25 und eine geringe Anzahl fester Ladungen in der Schicht. DyScO_3 -Schichten eignen sich, aufgrund der amorphen Struktur, nur bedingt als Buffer für ferroelektrische Schichten, könnten aber als Austauschmaterial für SiO_2 in FETs benutzt werden (hoch- ϵ_r -Material). Unter Verwendung des ferroelektrischen Co-Polymers P(VDF-TrFE) konnten MFIS-Dioden und ferroelektrische Transistoren, mit Operationsspannungen unterhalb von 10 V auf Basis von SiO_2 - und DyScO_3 -Buffer-Schichten hergestellt werden.

Abstract

Nowadays storage media are taking a more and more crucial part in high power computer-systems. The semiconductor-industry makes every effort to develop new data storage media which fulfill the steadily increasing requirements needed for memory-applications. The FeFET – the ferroelectric field effect transistor – basically features a high application potential as a non-volatile memory and is suitable to replace currently used DRAMs in pc's. In a FeFET the information carrying ferroelectric layer is integrated into the gate-stack of a field effect transistor – a single transistor storage-cell (1T) results – in contrast to FeRAMs, where the information data is stored in a ferroelectric capacity (1T1C).

The integration of a ferroelectric layer into the gatestack of a silicon based FET, e.g. $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (PZT), demands a dielectric buffer layer to avoid chemical reactions between the ferroelectric layer and the silicon substrate. On one hand this thesis deals with the fabrication and characterization of dielectric buffer layers on silicon substrates and on the other hand with the characterization of ferroelectric gate layers in combination with the investigated dielectric buffer layers. Thin dielectric layers of crystalline SrTiO_3 (STO)-, polycrystalline CeO_2 (CeO), and amorphous DyScO_3 -layers were deposited on silicon and electrically characterized using MIS-diodes and transistor-structures. The CeO_2 and DyScO_3 -diodes on silicon show a low leakage current, a low density of fixed oxide charges, and a high dielectric constant of $\epsilon \approx 25$. The suitability of DyScO_3 as a seed layer for ferroelectrics is limited, because of its amorphous structure. Nevertheless it has a high potential (high ϵ_r -material) to replace the SiO_2 -dielectric, which is essential for future transistor generations. It has been shown that it is possible to reduce the operation voltage of MFIS-diodes and transistors below 10 V, using thin ferroelectric P(VDF-TrFE) co-polymer layers on top of SiO_2 or DyScO_3 buffer layers.

Inhaltsverzeichnis

Einleitung	iv
1 Grundlagen	1
1.1 Ferroelektrika	1
1.1.1 Phänomenologische Beschreibung von Ferroelektrika	1
1.1.2 Ginzburg-Landau Theorie	4
1.2 Metall-Oxid-Halbleiterkontakte	7
1.2.1 Einführung	7
1.2.2 MOS-Dioden	8
1.2.3 Reale MOS-Dioden	14
1.3 Der ferroelektrische Feldeffekttransistor	20
1.3.1 Der MOS-Feldeffekttransistor	20
1.3.2 Der ferroelektrische Feldeffekttransistor	24
1.3.3 Gatestrukturen von FeFETs	30
1.4 Fehlermechanismen	32
1.4.1 Das Depolarisationsfeld	32
1.4.2 Leckströme	34
1.4.3 Poole-Frenkel-Emission	36
1.4.4 FeFET – ein kurzer historischer Abriss	38
2 Materialien	41
2.1 Ferroelektrika	41
2.1.1 PVDF	41
2.1.2 Struktur von PVDF und Co-Polymeren	42
2.1.3 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$	47
2.2 Dielektrika	48
3 Strukturelle und elektrische Charakterisierungsmethoden	51
3.1 Strukturelle Analysemethoden	51
3.1.1 Rutherford-Backscattering Spectrometry	51
3.1.2 Röntgen-Diffraktometrie	53
3.1.3 Rasterkraftmikroskopie	55
3.2 Elektrische Charakterisierungsmethoden	56
3.2.1 P(E)-Messungen	56

3.2.2	C(V)-Messungen	57
3.2.3	Leckstrommessungen	58
4	Depositionsverfahren	61
4.1	Chemische Depositionsverfahren	61
4.2	Physikalische Depositionsmethoden	63
4.2.1	Hochdruckspattern	63
4.2.2	Pulsed Laser Deposition	64
4.2.3	Molekular Strahl Epitaxie	66
4.3	Langmuir-Blodgett Verfahren	66
5	Dielektrische Schichten auf Silizium	69
5.1	Epitaktische SrTiO ₃ -Schichten auf Silizium	69
5.1.1	Das Layer-by-Layer-Depositionsverfahren	70
5.1.2	HRTEM-Untersuchungen epitaktischer SrTiO ₃ -Schichten auf Silizium	71
5.1.3	XRD-Untersuchungen von SrTiO ₃ /Si-Schichten	73
5.1.4	RBS-Messungen an SrTiO ₃ -Schichten auf Silizium	75
5.1.5	Elektrische Charakterisierung dünner SrTiO ₃ -Schichten auf Silizium	77
5.2	Polykristalline CeO ₂ -Schichten	83
5.2.1	Strukturelle Charakterisierung	84
5.2.2	Elektrische Charakterisierung	86
5.3	DyScO ₃ -Schichten auf Silizium	94
5.3.1	Strukturelle und elektrische Eigenschaften	94
5.3.2	Elektrische Charakterisierung	95
6	Ferroelektrische Gateschichten auf Silizium	99
6.1	Epitaktische PZT/STO/Si Gateschichten	99
6.1.1	Strukturelle Charakterisierungen	100
6.1.2	Elektrische Charakterisierungen von MFIS-Dioden	103
6.1.3	Der PZT/STO/Si-Feldeffekttransistor	107
6.2	Polykristalline PZT/Pt/CeO ₂ /Si-Gateschichten	109
6.2.1	Strukturelle Charakterisierung	109
6.2.2	Elektrische Charakterisierung	110
7	Dünne ferroelektrische P(VDF/TrFE)(70/30)-Schichten auf Silizium	117
7.1	PVDF/SiO ₂ /Si MFIS-Dioden	118
7.1.1	Elektrische Charakterisierung	118
7.1.2	Der Au/PVDF/SiO ₂ /Si-Transistor	123
7.1.3	PDVF/DyScO ₃ /Si-Dioden und Transistoren	125
A	Ableitung der Hochfrequenz CV-Kurve	129
B	Herstellung von Transistor- und Kondensatorstrukturen	133

Zusammenfassung

138

Einleitung

Schon von altersher ist die Menschheit bemüht, ihr über Jahrhunderte erlangtes Wissen weiterzugeben und für kommende Generationen zu bewahren. Von Wandmalereien aus prähistorischer Zeit über Skulpturen bis hin zu ersten Niederschriften auf Papyros wurde der Prozess der Wissenserhaltung stetig weiterentwickelt. Heute werden neben tradierten Speichermedien, wie z. B. Büchern und Leinwänden, neue Medien in Form magnetischer Bänder, magnetischer Festplatten oder auch optischer Disks eingesetzt. Die größte Datenbank ist heute nicht mehr eine Bibliothek, sondern das Internet. Moderne Datenträger zeichnen sich zwar, verglichen mit herkömmlichen Medien, über eine sehr viel höhere Speicherdichte aus, sind jedoch keinesfalls vergleichbar langlebig. Es darf angezweifelt werden, dass Daten eines magnetischen Datenträgers unter normalen Umständen tausende von Jahren überdauern, ohne dass ein Datenverlust stattfindet.

Die in heutigen Computern eingesetzten Speichermedien lassen sich grob in zwei Typen einteilen. Dies sind zum einen sogenannte nichtflüchtige Massenspeicher wie sie als Festplatten in Computern oder als mobile Datenträger (Flashspeicher) Anwendung finden. Sie zeichnen sich durch eine hohe Speicherdichte aus, sind zudem kostengünstig herstellbar und werden vor allem zur Speicherung großer Datenmengen verwendet, die dauerhaft erhalten bleiben sollen. Zum anderen gibt es flüchtige Speicher, die Anwendung in Form von Arbeitsspeichern (DRAM¹ o.ä.) finden. Letztere zeichnen sich vor allem durch ihre Lese- und Schreibgeschwindigkeit aus, die um Größenordnungen höher ist als die nichtflüchtiger Massenspeicher. Während moderne Festplattensysteme eine Schreib-/Leserate von bis zu 150 MB/s erreichen, sind es bei DRAMs bis zu 4.2 GB pro Sekunde. Leider funktionieren diese schnellen Speicher nur unter stetiger Zuführung von Energie. Aus diesem Grunde sind auch heute noch aufwendige Startvorgänge (Bootprozesse) nötig, um einen Computer in einen arbeitsfähigen Zustand zu befördern. Ein erheblicher Fortschritt wäre erreicht, könnte man Speichermedien herstellen, die einerseits extrem hohe Daten-Transferraten erlauben und andererseits nicht flüchtig sind. Mit Hilfe derartiger Systeme ließe sich ein Boot-Vorgang umgehen, so dass ein Arbeiten an exakt gleicher Stelle wie vor dem Abschalten möglich sein sollte. Derartige Speicher könnten die bisher verwendeten DRAMs als Arbeitsspeicher verdrängen, entsprechend hoch wäre also deren Marktpotential. Konzepte für nicht-flüchtige halbleiterbasierte Speicher reichen von MRAMs² über Flash-

¹DRAM: Dynamic Random Access Memory

²Magneto-resistive Random Access Memory

Speicher bis hin zu FeRAMs³ [1, 2]. Während bei ersteren die Änderungen des elektrischen Widerstands unter dem Einfluss magnetischer Felder ausgenutzt werden, sind es in Flash-Speichern Ladungen in der Gateschicht eines Transistors, die über Tunnelprozesse derart verschoben werden, dass sie den Transistor leitend oder nicht leitend schalten können. Der Leseprozess kann bei Flash-Speichern sehr schnell durchgeführt werden, da nur der Leitungs-Zustand eines Transistors festgestellt werden muss. Allerdings sind die Lösch- bzw. Schreibzyklen langsam ($1\ \mu\text{s}$ - $1\ \text{ms}$ [3]) und die hierzu benötigten Spannungen sehr hoch ($\approx 10\ \text{V}$), was den Einsatzbereich dieses Typs einschränkt. FeRAMs hingegen bestehen aus mindestens einem Transistor und einem separaten ferroelektrischen Kondensator, dessen Polarisationszustand durch ein Spannungspuls verändert werden kann. Das Auslesen der in der ferroelektrischen Schicht gespeicherten Information erfolgt hierbei durch das Messen des Verschiebungsstromes nach einem Spannungspuls. Wird eine ferroelektrische Schicht durch einen Spannungspuls umpolarisiert, so enthält der Verschiebungsstrom einen zusätzlichen Beitrag durch das Schalten der Dipole, wodurch der Polarisationszustand einer Speicherzelle bezüglich eines festen Spannungspulses festgelegt ist. Dieser Ausleseprozess ist ein destruktiver Vorgang, bei dem die zuvor programmierte Information überschrieben wird und anschließend erneut programmiert werden muss. Dies und auch die Tatsache, dass mindestens ein Transistor und eine ferroelektrische Kapazität (1T1C) pro Speicherzelle benötigt werden und somit ein hoher Flächenverbrauch pro Speicherzelle entsteht, sind die Hauptnachteile des FeRAM Speicherkonzepts.

Ein Speicherprinzip, welches von I. M. Ross im Jahre 1960 vorgeschlagen wurde, ist der ferroelektrische Feldeffekttransistor (FeFET) [4]. Hierin besteht die Speicherzelle aus einem einzigen Feldeffekttransistor (FET), in dessen Gateschichten eine ferroelektrische Schicht integriert ist. Unter Ausnutzung remanenter Polarisationsladungen der ferroelektrischen Schicht, lässt sich der Kanalwiderstand des FETs modulieren. Die Vorteile des FeFETs sind Schaltzeiten im nano-Sekunden-Bereich und eine hohe Integrationsdichte, da es sich im Idealfall um eine 1T-Zelle handelt. Zudem ist das Auslesen einer Speicherzelle ein zerstörungsfreier Vorgang, d. h. ein erneuter Schreibzyklus, wie er bei einem FeRAM benötigt wird, entfällt.

Im Laufe der Jahre seit der „Erfindung“ des FeFET konnte gezeigt werden, dass das FeFET-Konzept zumindest mit ferroelektrischen Einkristallen realisierbar ist (näheres dazu in Kapitel 1.4.4). Hierzu wurden halbleitende Schichten auf ferroelektrische Einkristalle abgeschieden und zu Transistoren strukturiert. Aus wirtschaftlichen Gründen, wie auch aus Kompatibilitätsgründen zu derzeitigen Halbleiterspeichern, sollte ein FeFET allerdings in Verbindung mit der Si-CMOS Technologie aufgebaut werden. Vor allem aufgrund guter wirtschaftlicher Perspektiven wurden in den letzten 15 Jahren erhebliche Anstrengungen unternommen, einen FeFET auf Siliziumbasis zu realisieren. Das Hauptproblem hierbei ist die hohe chemische Reaktivität von Silizium. In Folge dessen lassen sich ferroelektrische keramische Schichten nicht ohne weiteres direkt auf Silizium abscheiden. Man benötigt spezielle Zwischenschichten, die als Diffusionsbarrieren einerseits und als kristalline Starterschicht für das Ferroelektrikum andererseits dienen. Ein gänzlich an-

³Ferro-electric Random Access Memory

derer Weg lässt sich unter Verwendung ferroelektrischer Polymere beschreiten. Als dünne Schichten abgeschieden, zeigen diese auch auf amorphen Substraten gute ferroelektrische Eigenschaften. Zudem werden chemische Reaktionen mit Silizium nicht beobachtet. Da bei einem FeFET, im Gegensatz zu einem FeRAM, eine Abschirmung der Polarisationsladungen verheerend für die Langzeitstabilität der gespeicherten Information ist, müssen Abschirmeffekte durch freie bzw. bewegliche Ladungen im Gateschichtstapel, analog zum Flash-Speicher, verhindert werden.

In vorliegender Arbeit wurden, mit dem Ziel der Anwendung als Informations-Speicher (FeFET), verschiedene ferroelektrische-dielektrische Gateschichten auf Silizium untersucht. Als keramisches Ferroelektrikum wurde PZT ($\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$) ausgewählt, da es über sehr gute ferroelektrische Eigenschaften verfügt und dünne Schichten hoher Kristallinität mittels des Hochdruckspatterns auf geeignete Substrate wie STO (SrTiO_3) abgeschieden werden können [5]. Im Jahre 1998 gelang es McKee *et al.* [6], einkristalline dielektrische SrTiO_3 -Schichten auf Silizium mit hoher kristalliner Güte abzuscheiden und im Jahre 2000 wurden erstmals Transistoren mit einer SrTiO_3 -Schichtdicke von lediglich 110 \AA hergestellt [7], was einer äquivalenten SiO_2 -Oxiddicke von lediglich 6 \AA entspricht! Diese STO-Schichten auf Silizium zeigten eine Schicht-Orientierung wie sie für ein gutes PZT-Wachstum benötigt wird. Es ist deshalb naheliegend STO als Buffer(Starter)-Schicht für PZT zu untersuchen. Zusätzlich zu den einkristallinen STO-Schichten, wurden auch polykristalline CeO_2 - und amorphe DyScO_3 -Schichten auf Silizium als Bufferschichten für ferroelektrische PZT-Gateschichten charakterisiert.

Neben keramischen Ferroelektrika wie BTO (BaTiO_3) und PZT gibt es auch in der Material-Klasse der Polymere, Substanzen die ferroelektrische Eigenschaften innehaben. PVDF (Polyvinylidenedifluorid) ist ein solches Polymer, das piezo- bzw. ferroelektrische Eigenschaften zeigt. Generell erfreuen sich Polymere in der Elektronik z. Zt. wachsender Beliebtheit, vor allem aufgrund der flexiblen und teilweise transparenten Materialeigenschaften [8, 9]. Bisherige Untersuchungen ferroelektrischer Polymer-Gateschichten auf Siliziumbasis beschränkten sich auf dicke Polymer- und Oxid-Schichten, wodurch sehr hohe Schaltspannungen nötig wurden ($\approx 100 \text{ V}$). Durch Anwendung des Langmuir-Blodgett-Verfahrens zur Abscheidung von Polymerschichten, ist es möglich ferroelektrische PVDF-Schichten von nur wenige Monolagen auf Silizium abzuscheiden. Dies sollte die Schaltspannung einer ferroelektrischen Si-Diode auf unter 10 V reduzieren. Dementsprechend wurden im Rahmen dieser Arbeit dünne PVDF-Schichten auf oxidierten Siliziumsubstraten abgeschieden und charakterisiert.

Struktur der Arbeit

Das erste Kapitel befasst sich mit Grundlagen. Es werden alle, zum Verständnis der im experimentellen Teil der Arbeit gezeigten Messungen und Berechnungen nötigen Grundlagen erörtert. Dazu werden Einleitungen in die Themenbereiche ferroelektrische Materialien, Halbleiterdioden und Feldeffekt-Transistoren sowie ferroelektrische Transistoren gegeben. Die in dieser Arbeit verwendeten dielektrischen und ferroelektrischen Materialien werden in Kapitel 2 beschrieben. In Kapitel 3 und 4 werden physikalische Analyseverfahren zur

Bestimmung struktureller und elektrischer Eigenschaften der hergestellten Schichtensysteme und Bauteile erklärt, sowie eine kurze Beschreibung der unterschiedlichen Schichtherstellungsprozesse vermittelt.

Die Kapitel 5, 6 und 7 behandeln die wesentlichen experimentellen Resultate und Ergebnisse dieser Arbeit, welche der besseren Überschaubarkeit halber eine Aufteilung in die genannten drei Kapitel finden. In Kapitel 5 werden strukturelle und elektrische Messungen an dielektrischen Schichten auf Silizium gezeigt. Dies sind epitaktische SrTiO_3 -, polykristalline CeO_2 - und amorphe DyScO_3 -Schichten auf Silizium. Kapitel 6 behandelt ferroelektrisch-dielektrische Heterostrukturen auf Silizium. In Kapitel 7 werden die Ergebnisse aus Messungen von Transistoren und Halbleiterdioden unter Verwendung dünner ferroelektrischer PVDF-Schichten dargestellt.

Die wichtigsten Ergebnisse werden im Anschluss an Kapitel 7 zusammengefasst und die Realisierbarkeit eines FeFETs für zukünftige Speicherelemente diskutiert.

Kapitel 1

Grundlagen

In diesem Kapitel wird eine Einführung in die Grundlagen der Ferroelektrika sowie in das Thema der Halbleiter-Dioden und Transistoren gegeben. Im ersten Teil wird kurz in die Klasse der ferroelektrischen Materialien eingeführt. Insbesondere wird eine knappe Abhandlung über die phänomenologische *mean-field*-Theorie von Ginzburg und Landau angegeben, mit derer die makroskopischen physikalischen Eigenschaften klassischer Ferroelektrika beschreibbar sind. Diese Theorie findet an späterer Stelle in Kapitel 1.4.1 Anwendung, wenn Fehlermechanismen in ferroelektrischen Feldeffekttransistoren (FeFET) erörtert werden. Das zweite Thema führt in die Physik von MOS-Dioden und MOSFETs ein. Im letzten Abschnitt wird das theoretische FeFET Modell von Miller und McWhorter vorgestellt.

1.1 Ferroelektrika

1.1.1 Phänomenologische Beschreibung von Ferroelektrika

Ferroelektrika sind dielektrische Kristalle, die eine spontane Polarisierung zeigen und deren Polarisationsrichtung durch ein äußeres elektrisches Feld beeinflusst werden kann [10]. Die spontane Polarisierung ist eng verknüpft mit der Kristallsymmetrie. Von den 32 Punktgruppen, mit denen alle kristallinen Systeme darstellbar sind, gibt es elf mit einem Inversionszentrum. Kristalle mit einem Inversionszentrum sind gänzlich unipolar, während von den übrigen 21 Punktgruppen, abseits einer Ausnahme, alle polar sind. Zehn dieser polaren Punktgruppen besitzen eine polare Achse und können somit eine spontane Polarisierung zeigen. Abbildung 1.1 zeigt die Einheitszelle von $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ in der ferroelektrischen tetragonalen Phase. Die positiven Pb- und Zr/Ti-Ionen sind bezüglich der negativ geladenen Sauerstoffionen entgegengesetzt verschoben, die polare Achse ist in Richtung der längeren *c*-Achse orientiert. Durch Anlegen eines äußeren elektrischen Feldes kann die Polarisierung um 180° gedreht werden. Bei Ferroelektrika existieren auch unpolare Phasen. Als Beispiel für diese Phasenumwandlung wird in Abbildung 1.2 das Phasendiagramm von BaTiO_3 dargestellt. Bei Temperaturen oberhalb von 400 K liegt BaTiO_3 in einer kubischen, unpolaren Phase vor. Von 400°C bis knapp unter Raumtemperatur erstreckt sich

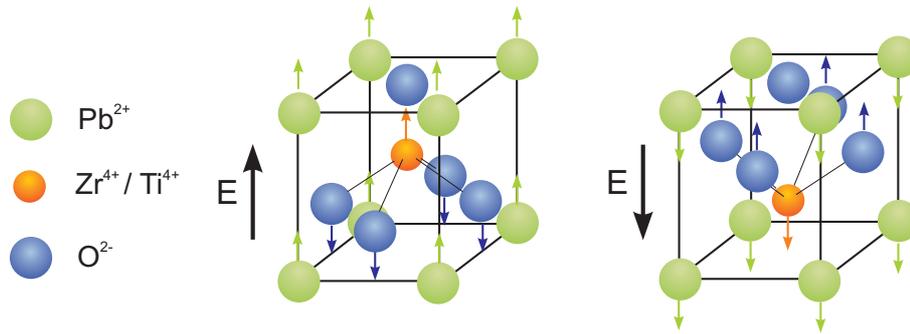


Abbildung 1.1: ABO₃-Perovskit Struktur: Einheitszelle von PZT in einem äußeren elektrischen Feld.

die tetragonale, ferroelektrische Phase. Bei Temperaturen von ≈ 280 K geht BaTiO₃ in die orthorhombische Phase über, während bei $T < 190$ K BaTiO₃ in rhomboedrischer Struktur vorliegt. Diese Phasenumwandlungen sind mit Änderungen physikalischer Größen, wie der dielektrischen Konstanten oder der spontanen Polarisation verbunden [11].

Ihren Namen verdanken Ferroelektrika ihrer Analogie zu Ferromagnetika. Trägt man die Polarisation P eines Ferroelektrikums gegen das äußere elektrische Feld E auf, so erhält man einen Kurvenverlauf, der sich analog zu der Magnetisierung von Ferromagnetika in einem äußeren Magnetfeld verhält [10]. In Abbildung 1.3a wird die Polarisation in Abhängigkeit des externen Feldes für einen einkristallinen Einkristall gezeigt. Überschreitet das externe Feld eine kritische Feldstärke, die als *Koerzitivfeldstärke* E_c bezeichnet wird, so dreht sich die Polarisation in Richtung des angelegten Feldes um. Den auf null extrapolierten Anteil der Polarisation in Sättigung, siehe Abbildung 1.3b, wird als *Sättigungspolarisation* P_s bezeichnet. Die Polarisation ohne externes elektrisches Feld ist die *remanente Polarisation* P_r . Zerfällt ein Einkristall in mehrere Domänen, so beobachtet man eine „Aufweichung“ von E_c , da einzelne Domänen unterschiedliche Koerzitivfelder E_c aufweisen können. Als Folge davon zeigen $P(E)$ -Hysteresen eine runderere Form, wie Abbildung 1.3b dargestellt.

Ferroelektrische Dünnschichten

Das bisher Gesagte gilt für einkristalline ferroelektrische Bulk-Materialien. Was ändert sich, wenn man anstelle von Bulk-Materialien dünne ferroelektrische Schichten auf einem Substrat betrachtet? Da das Ferroelektrikum nun nicht mehr freitragend, sondern mit dem Substrat verbunden ist, muss die mechanische Kopplung mit dem Substrat beachtet werden [12]. Unterschiedliche Gitterkonstanten und unterschiedliche thermische Ausdehnungskoeffizienten führen in Schichtsystemen zu Spannungen und können die Orientierung der Polarisation ferroelektrischer Schichten beeinflussen. Wird beispielsweise PZT (Gitterkonstante $a = 4.04$ Å und $b = 4.15$ Å) auf ein MgO-Substrat (Gitterkonstante $a = 4.21$ Å) abgeschieden, so wächst aufgrund des Stresses die PZT-Schicht mit einer (001)-Orientierung. Eine Deposition unter gleichen Bedingungen auf SrTiO₃ mit einer Gitterkonstanten von 3.94 Å führt zu einer (100)-Orientierung der PZT-Schicht. Nun

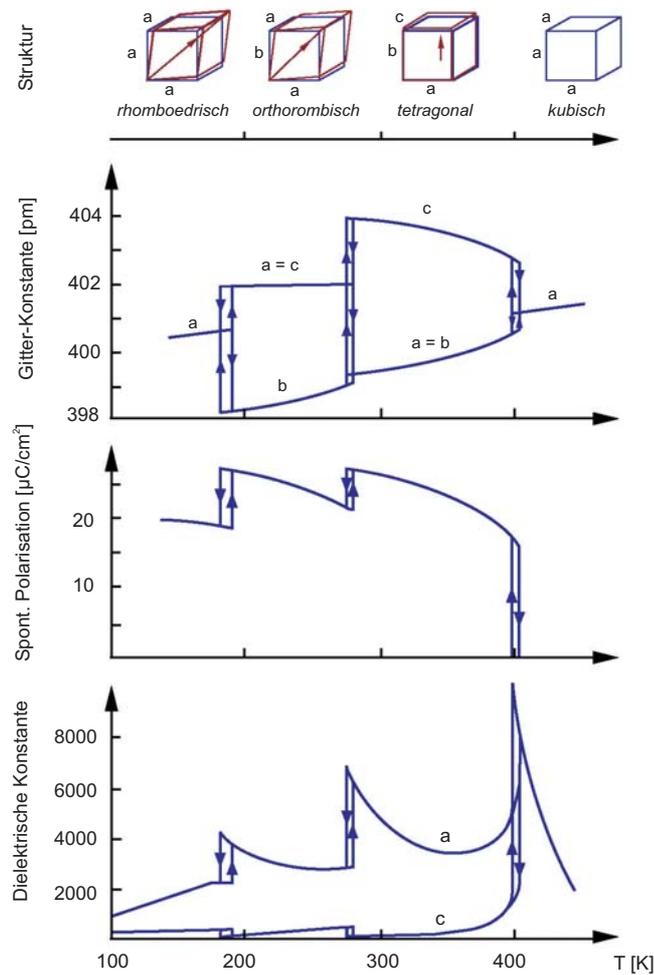


Abbildung 1.2: Phasendiagramm von einkristallinem BaTiO_3 . Gezeigt wird die kubische Hochtemperatur-Phase, die tetragonale Raumtemperatur-Phase und die rhomboedrischen Tieftemperatur-Phase. In Anlehnung an [13].

ist die polare Achse an die lange Achse des tetragonalen PZT-Gitters gebunden. Eine unterschiedliche Orientierung der PZT Schichten auf verschiedenen Substraten führt entsprechend zu Polarisationsachsen in der Filmebene (MgO) oder senkrecht zur Filmebene (SrTiO_3). Für Anwendungen, als Speicherbauelement in FeRAMs oder dem FeFET, ist vor allem eine (111)- oder (100)-Orientierung mit einer polaren Achse (oder Anteilen davon) senkrecht zur Filmebene entscheidend.

Damit der mechanische Stress möglichst minimal wird, kann eine ferroelektrische Dünnschicht in Domänen mit einer für die Orientierung charakteristischen Domänenkonfiguration zerfallen. Abbildung 1.4 zeigt die Domänenkonfiguration in (a) unpolarem und (b) polarisiertem (im elektr. Feld ausgerichteten) Zustand unterschiedlicher PZT-Orientierungen. Aus energetischen Gründen wird es immer Domänen geben, die nicht in Feldrichtung polarisiert sind [13].

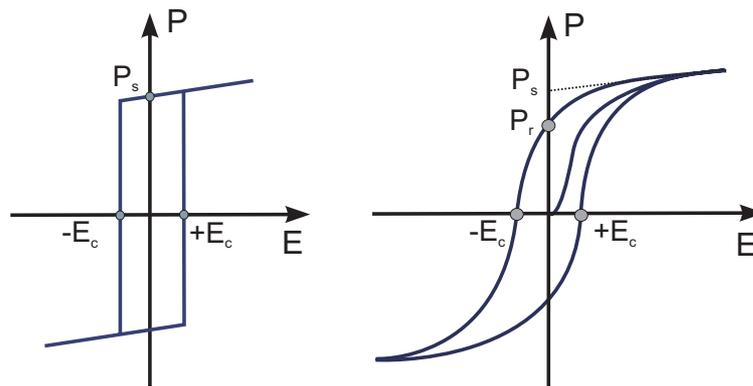


Abbildung 1.3: P(E)-Hysteresen ferroelektrischer Materialien: (a) idealer Verlauf eines monodomänen Ferroelektrikums. (b) Verlauf eines polydomänen Ferroelektrikums. Nachbearbeitet aus [13].

Im folgenden wird der Schaltprozess, also das Umlappen der Polarisation näher betrachtet. Der Schaltprozess kann in drei Teilschritte untergliedert werden [14]. An so genannten *Nukleationszentren*, dies können Defekte oder (Gitter-) Störstellen an der Filmoberfläche sein, können sich ferroelektrische Keime bilden, deren polare Achsen antiparallel zur Umgebung stehen. Überschreiten solche Keime eine kritische Größe, so sind sie in der Lage in Feldrichtung zu wachsen, bis sie in einem weiteren Schritt die gegenüberliegende Seite des Films erreichen. Anschließend wachsen sie lateral in der Ebene, bis der Film vollständig umpolarisiert ist [14]. Dies ist ein stark vereinfachtes Modell, das die erwähnten Domänenstrukturen dünner Filme nicht berücksichtigt. Ein Schaltvorgang verläuft bei kristallinen Ferroelektrika in der Regel sehr schnell ab. Schaltzeiten im Bereich von ns bis μ s sind typisch bei hohen elektrischen Feldern und dünnen Schichten (100-200 nm).

1.1.2 Ginzburg-Landau Theorie

Die Ginzburg-Landau Theorie beschreibt den ferroelektrisch-paraelektrischen Phasenübergang. Aufgrund der langen Reichweite der Coulomb-Wechselwirkung interagieren Dipole in einem ferroelektrischen Kristall mit vielen Dipolen in ihrer Umgebung. Vereinfacht kann man annehmen, dass sich ein Dipol in einem mittleren Feld erzeugt durch alle anderen Dipole in der Umgebung befindet. Dieser Ansatz wird als *mean field-Theorie* bezeichnet.

Die Ginzburg-Landau Theorie führt als Ordnungsparameter die Polarisation P ein. Phasenübergänge erster Ordnung sind gekennzeichnet durch einen Sprung der Sättigungspolarisation bei der Übergangstemperatur T_c , während Übergänge zweiter Ordnung einen stetigen Übergang aufweisen. Der Phasenübergang zwischen ferromagnetischem und paramagnetischem Zustand oder der Übergang vom normalleitendem zum supraleitendem Zustand sind Beispiele für einen Phasenübergang zweiter Ordnung. In der Nähe der Übergangstemperatur lässt sich die *freie Energie* F des Systems in Form einer Potenz-

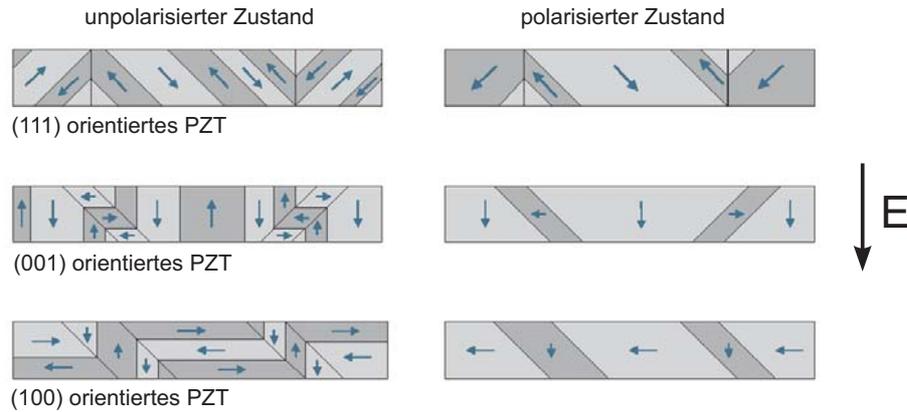


Abbildung 1.4: Domänenstrukturen von tetragonalem PZT mit unterschiedlichen Orientierungen in ungepoltem und gepoltem Zustand. Nachgezeichnet nach [13].

reihe entwickeln [13]:

$$F(P, T) = \frac{1}{2}g_2P^2 + \frac{1}{4}P^4 + \frac{1}{6}g_6P^6 - P \cdot E \quad . \quad (1.1)$$

Hier ergeben sich aus Symmetriegründen keine ungeraden Exponenten. Der Koeffizient g_6 ist positiv, ansonsten würde für ein großes P die Funktion $F(P, T)$ gegen $-\infty$ streben. Alle Koeffizienten sind im Prinzip temperaturabhängig, insbesondere kann für g_2 angenommen werden: $g_2 = C^{-1}(T - \Theta)$. Hierin ist Θ die *Curie-Weiss* Temperatur. Thermodynamisch stabile Zustände sind durch Minima in der freien Energie gekennzeichnet. Damit folgt aus Gleichung 1.1:

$$\frac{\partial F}{\partial P} = P(g_2 + g_4P^2 + g_6P^4) \equiv 0 \quad (1.2)$$

$$\frac{\partial^2 F}{\partial P^2} = \chi^{-1} = g_2 + 3g_4P^2 + 5g_6P^4 > 0 \quad . \quad (1.3)$$

Diese Gleichungen haben Lösungen für $P=0$, der Bedingung für die paraelektrische Phase und $P > 0$ in der ferroelektrischen Phase. In der paraelektrischen Phase, mit $T > T_c$, folgt die Suszeptibilität χ dem Curie-Weiss Gesetz:

$$\chi(T) = \frac{C}{T - T_c} \propto (T - T_c)^{-1} \quad . \quad (1.4)$$

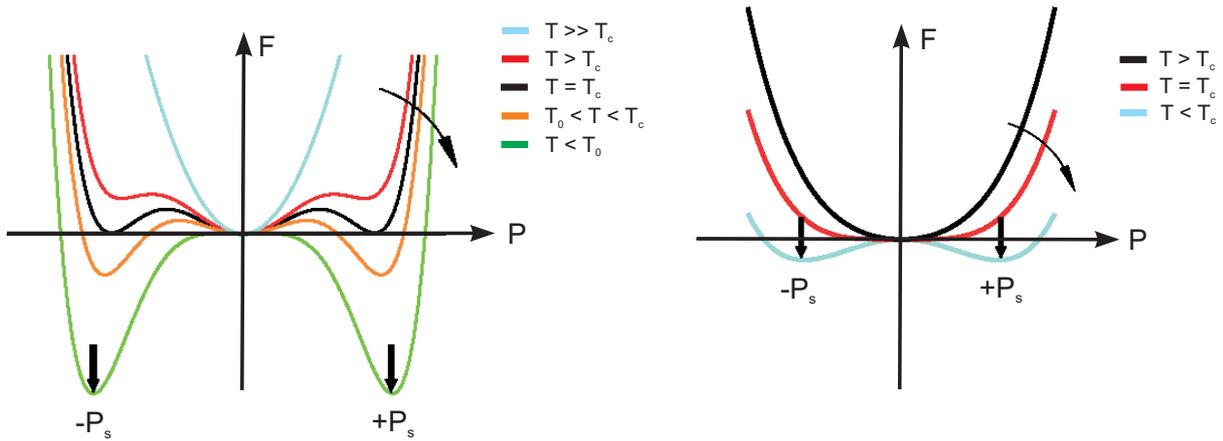


Abbildung 1.5: Berechnung der freien Energie für verschiedene Temperaturen T . (a) Freie Energie eines Phasenüberganges erster Ordnung. (b) Freie Energie eines Phasenüberganges zweiter Ordnung.

Ferroelektrischer Phasenübergang erster Ordnung

Für Phasenübergänge erster Ordnung sind in Gleichung 1.1 die Koeffizienten $g_4 < 0$ und $g_6 > 0$ zu setzen. Man erhält dann für das Minimum der freien Energie:

$$P = 0 \quad \text{und} \quad (1.5)$$

$$P = \frac{1}{2g_6} \left\{ |g_4| + \sqrt{g_4^2 - 4C^{-1}(T - \theta)g_6} \right\} . \quad (1.6)$$

Abbildung 1.5a zeigt die freie Energie bei verschiedenen Temperaturen eines Phasenüberganges erster Ordnung. Hierin kann man drei Temperaturbereiche unterscheiden:

- $T \gg T_c$: Für sehr hohe Temperaturen zeigt die freie Energie einen parabolischen Verlauf mit einem Minimum bei $P_s = 0$. Dies ist die paraelektrische Phase.
- $T > T_c$: In der Nähe des Phasenüberganges T_c erscheinen Nebenminima im Kurvenverlauf der freien Energie. Es sind metastabile ferroelektrische Phasen innerhalb einer paraelektrischen Phase.
- $T = T_c$: Koexistenz von para- und ferroelektrischer Phase.
- $T_0 < T < T_c$: Stabilisierte ferroelektrische Phase mit metastabilen paraelektrischen Phasenanteilen.
- $T < T_0$: stabile ferroelektrische Phase.

Ferroelektrischer Phasenübergang zweiter Ordnung

Für Phasenübergänge zweiter Ordnung wird $g_4 > 0$ gesetzt und g_6 vernachlässigt. Dadurch ergeben sich für die Minima der freien Energie aus Gleichung 1.1:

$$P = 0 \quad \text{und} \quad (1.7)$$

$$P = -\frac{T - T_c}{g_4 C} \quad . \quad (1.8)$$

Abbildung 1.5b zeigt die freie Energie eines Phasenüberganges zweiter Ordnung bei verschiedenen Temperaturen. Im Gegensatz zum Phasenübergang erster Ordnung existieren keine metastabilen Phasen. Sobald T_c unterschritten ist, bildet sich eine stabile ferroelektrische Phase aus. BaTiO_3 und $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ mit einer Zusammensetzung von $x < 0.28$ zeigen einen Phasenübergang erster Ordnung, während Rochelle Salz ($\text{NaKC}_4\text{H}_4\text{O}_6 \cdot 4\text{H}_2\text{O}$) und $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ mit einer Zusammensetzung von $x > 0.28$ einen Phasenübergang zweiter Ordnung aufweisen.

1.2 Metall-Oxid-Halbleiterkontakte

1.2.1 Einführung

Die Anwendung der Quantenmechanik auf das freie Elektronengas in einem Halbleiter, führt zu einer Aufspaltung der Elektronenenergie in Energiebänder, die durch ein verbotenes Band getrennt sind. Diese sogenannte Bandlücke E_G ist umso größer, je stärker die Wechselwirkung der als Materiewellen betrachteten Elektronen mit den ionisierten Ionenrümpfen des Halbleiters ist [15]. Im Silizium gibt es zwei Bänder, die zum Stromtransport beitragen. Das ist einerseits das fast leere Leitungsband und andererseits das fast vollständig gefüllte Valenzband. Die Bandlücke E_g zwischen diesen beiden Bändern beträgt für Silizium 1.12 eV bei Raumtemperatur. Wird ein Elektron vom Valenz- in das Leitungsband angeregt, z. B. durch thermische Energie, so hinterläßt es im Valenzband ein positiv geladenes Defektelektron, oft als Loch bezeichnet [16]. Die Anzahl der Elektronen n oder Löcher p in den jeweiligen Bändern in Abhängigkeit der Temperatur kann aus der Dichte erlaubter Bandzustände $M_{C,V}$ und der Fermi-Dirac-Verteilung der Energie abgeleitet werden [15]:

$$n = M_C \cdot \exp\left(-\frac{E_C - E_F}{k_B T}\right) \quad (1.9)$$

und

$$p = M_V \cdot \exp\left(-\frac{E_F - E_V}{k_B T}\right) \quad . \quad (1.10)$$

Hierin sind E_C und E_V die Energien der Leitungs- und der Valenzbandkante, sowie E_F die Fermienergie. Damit bestimmt sich die Anzahl intrinsischer¹ Ladungsträger zu $n_i^2 = n \cdot p$.

¹Man bezeichnet Halbleiter, die frei von Verunreinigungen und Fremdatomen sind, als intrinsische Halbleiter.

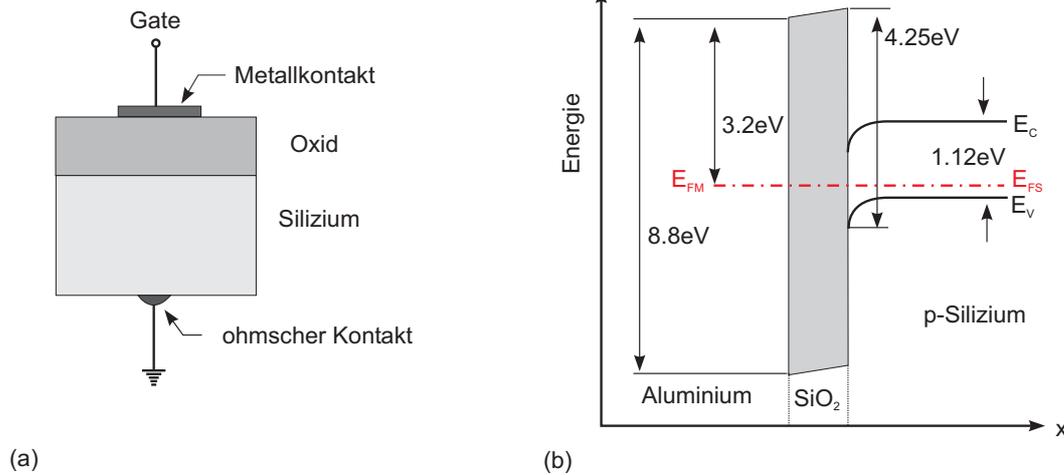


Abbildung 1.6: (a) Querschnitt eines MOS-Kondensators. (b) Energieband-Diagramm einer MOS-Diode im thermischen Gleichgewicht.

Diese ist bei Raumtemperatur $n_i \simeq 10^{10} \text{ cm}^{-3}$. Das Fermi-niveau, auch als *intrinsisches* Niveau bezeichnet, berechnet sich aus:

$$E_i = \frac{1}{2}E_g + \frac{k_B T}{2} \ln \left(\frac{M_V}{M_C} \right) \quad (1.11)$$

Wird Silizium mit einem fünf-wertigen Element dotiert, z. B. mit P oder As, so befindet sich das zusätzliche Elektron in einem Energiezustand knapp unterhalb der Leitungsbandkante ($E_D = 50 \text{ meV}$). Man spricht von n-dotiertem Silizium, während man bei Substitutionen mit drei-wertigen Elementen, wie Al oder Bor, von p-dotiertem Silizium spricht. Diese führen zu Zuständen knapp oberhalb des Valenzbandes ($E_A = 50 \text{ meV}$). Bei Temperaturen $T > 50 \text{ °K}$ sind in der Regel alle Akzeptoren und Donatoren ionisiert, die Ladungsneutralität ist durch $n + N_A = p + N_D$ gegeben.

1.2.2 MOS-Dioden

Eine MOS(Metal Oxide Semiconductor)-Diode ist aus einem Halbleiter, einer isolierenden (dielektrischen) Schicht und einer metallischen Gateelektrode aufgebaut. Als Halbleiter wird meist Silizium und als Dielektrikum SiO₂ verwendet. Abbildung 1.6a zeigt den Aufbau einer typischen MOS-Diode. Die Silizium Grundelektrode wird über einen Ohm'schen Kontakt realisiert. Das gängigste Verfahren sieht eine Aluminium-Bedampfung der Rückseite des Si-Substrates vor, mit einer anschließenden Temperung bei 450 °C im Forming-Gas (N₂H₂). Hierbei diffundieren Aluminiumatome in das Si und es bildet sich ein Ohm'scher Kontakt.

In Abbildung 1.6b ist das Energieband Diagramm einer MOS-Struktur auf p-Silizium dargestellt. Hierin wird deutlich, daß SiO₂ eine sehr große Bandlücke von $E_g^{\text{SiO}_2} = 8.8 \text{ eV}$ hat, während Silizium eine Bandlücke von nur $E_G^{\text{Si}} = 1.12 \text{ eV}$ aufweist. Man benötigt eine Energie von $E_\chi^{\text{Al}} = 3.2 \text{ eV}$, um ein Elektron aus der Aluminiumelektrode und eine Energie von $E_\chi^{\text{Si}} = 4.25 \text{ eV}$, um ein Elektron aus dem höchsten besetzten Zustand des p-Si ins Vakuum

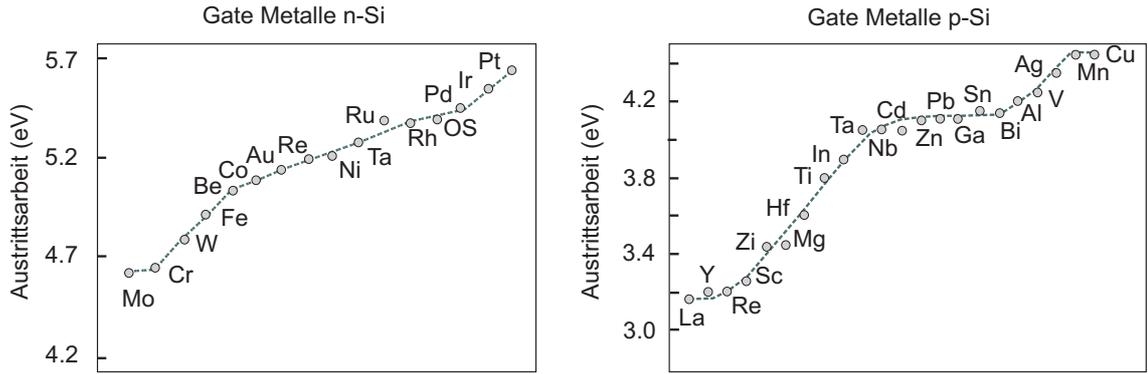


Abbildung 1.7: Austrittsarbeiten für Metalle auf n- bzw. p-Silizium, nach [17].

zu befördern. Verursacht durch die Differenz dieser Austrittsarbeiten, die mittels *innerem Photoeffekt* bestimmt werden können, krümmen sich die Bandkanten an der Silizium Grenzfläche. Eine Differenz der Austrittsarbeiten kann also gezielt zu einer Erhöhung der Energie-Barriere ausgenutzt werden. Entsprechendes gilt für n-Silizium. Abbildung 1.7 zeigt eine Auflistung der Austrittsarbeiten einiger Gatemetalle auf n- bzw. p-Silizium. Im folgenden werden die Auswirkungen positiver und negativer Gleichspannungen an den Polen eines MOS-Kondensators betrachtet. Legt man eine negative Spannung an einen p-MOS Kondensator an, so driften die frei beweglichen positiven Majoritätsladungsträger (Löcher) im Silizium an die Grenzfläche zum Isolator und zwar mit der gleichen Anzahl an Ladungen, wie sich Elektronen auf der Gateelektrode befinden. Somit führt eine negative Gleichspannung zu einer *Anreicherung* (Akkumulation) von Ladungsträgern an der Silizium-Isolator-Grenzschicht. Im eindimensionalen Bild eines Plattenkondensators, bildet die Akkumulationsschicht neben der Gateelektrode die zweite Kondensatorplatte. Entsprechend gilt für die Kapazität C_{ox} in der Akkumulation:

$$C_{\text{ox}} = \epsilon_0 \epsilon_{\text{ox}} \frac{A}{d} \quad . \quad (1.12)$$

Hierin ist ϵ_0 die Dielektrizitätskonstante, ϵ_{ox} die Dielektrizitätskonstante des Oxids, A die Fläche des Kondensators und d die Dicke der Oxidschicht. Gleichung 1.12 kann zur Bestimmung der dielektrischen Konstanten oxidischer Materialien auf Silizium benutzt werden. Abbildung 1.8a zeigt das Banddiagramm eines MOS-Kondensators im Akkumulationsfall. Durch das Anlegen einer negativen Spannung verschieben sich die Fermi-Energien E_{FS} des Siliziums und des Metalls E_F . Es kommt zu einer negativen Bandkrümmung in der Nähe der Siliziumgrenzschicht. Das Potential $\phi(x)$ gibt die Differenz von Fermi-Energie E_F und dem intrinsischen Niveau E_i an:

$$q\phi(x) \equiv E_F - E_i(x) \quad . \quad (1.13)$$

Sehr weit entfernt von der Grenzfläche ($x \rightarrow \infty$) wird $\phi(x)$ *Bulkpotential* ϕ_B genannt, während bei $x = 0$ $\phi(x)$ als Oberflächenpotential ϕ_S bezeichnet wird. Die Bandverbiegung

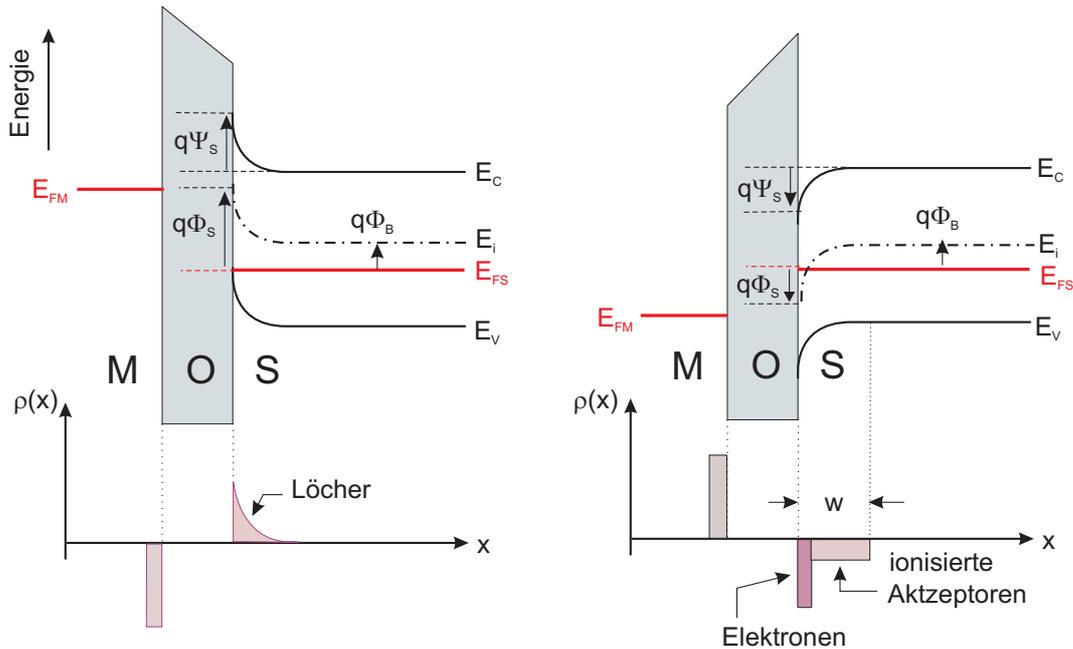


Abbildung 1.8: Bandschema eines MOS-Kondensators bei angelegter Biasspannung. (a) Akkumulationsfall, (b) Inversionsfall.

$\psi(x)$ ist definiert als:

$$\psi(x) \equiv \phi(x) - \phi_B \quad . \quad (1.14)$$

Mit $\phi(x) = \phi_s$ erreicht $\psi(x = 0) \equiv \psi_s$ seinen Maximalwert.

Eine positive Spannung am MOS-Kondensator bewirkt eine Anreicherung negativer Minoritätsladungen im Silizium. Da in einem p-Halbleiter nur sehr wenige freie negative Ladungen vorhanden sind, werden diese in Form ortsfester, negativ geladener Akzeptoren zur Verfügung gestellt, indem Löcher von der Grenzfläche verdrängt werden. Aufgrund der vergleichsweise kleinen Akzeptorkonzentration, ist der Bereich aus dem Löcher abfließen groß. Es bildet sich eine sogenannte *Raumladungszone* aus. Die Ausdehnung der Raumladungszone ist abhängig von der Akzeptorkonzentration N_A und der angelegten Gatespannung V_G .

In einem Halbleiter existiert immer ein Generations-Rekombinationsprozess, der Bildung und Vernichtung von Elektronen-Loch-Paaren. Dieser temperaturabhängige Prozess, der mit einer Generationszeitkonstanten τ beschrieben werden kann, findet auch in der Raumladungszone statt. Bei Erhöhung der Spannung fließen vermehrt Löcher, die durch einen Generationsprozess entstanden sind, ab und stehen nicht mehr für Rekombinationsprozesse zur Verfügung. Es bildet sich aus den verbliebenen Elektronen eine sogenannte *Inversionsschicht*. Dadurch wird ein weiteres Ausdehnen der Verarmungszone verhindert, sie hat nun die maximale Ausdehnung w_{max} erreicht. Dies wird im Bänderschema in Abbildung 1.8b gezeigt. Eine Inversionsschicht bildet sich aus, wenn $q\phi_s < 0$ ist, d.h. das intrinsische Niveau E_i das Fermienergie-Niveau E_{FS} an der Grenzschicht schneidet.

Kapazitätsmessungen werden in der Regel mit einer Messbrücke gemessen, was in Kapitel

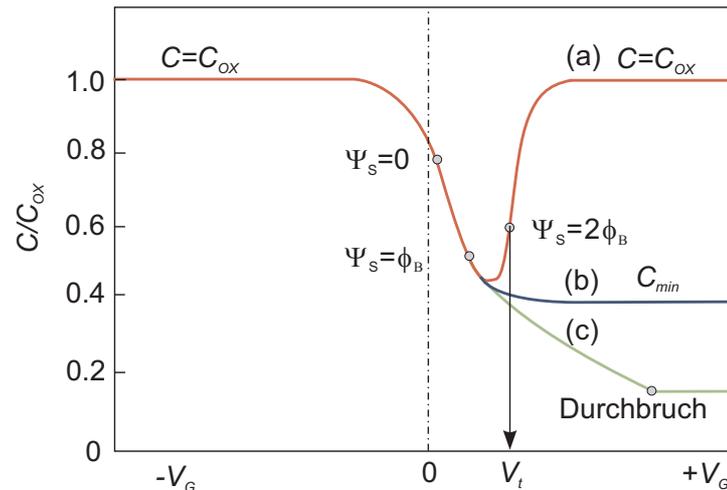


Abbildung 1.9: Kapazitätsmessungen an einer p-Silizium MOS-Diode. Gezeigt werden die Fälle: (a) quasi-statische Messung, (b) Hochfrequenzmessung und (c) Puls-Messung.

3.2.2 erläutert wird. Bei einer solchen Messung wird eine Gleichspannung mit einer sinusförmigen Wechselfrequenz überlagert. Abbildung 1.9 zeigt einige Kurvenverläufe die sich ergeben, wenn die Frequenz des anregenden Signals variiert wird. Kurve (a) zeigt den sogenannten quasi-statischen Fall. Die Frequenz des anregenden Kleinsignals ist so gering, daß selbst die trägen Minoritätsladungen darauf reagieren können. Geht man von der Akkumulation zur Inversion über, so bildet sich zunächst eine Verarmungszone aus, so dass die Kapazität mit steigender Spannung fällt. Durch Bildung einer Inversionsschicht reagieren bei weiterer Spannungserhöhung zunehmend Minoritätsladungen auf das Kleinsignal. Die fiktive Kondensatorplatte wandert zurück zur Siliziumgrenzschicht und die Kapazität steigt wieder auf den Wert in der Akkumulation. Ist hingegen die Frequenz des Kleinsignals groß $f \gg \tau^{-1}$, so kann sich bei positiver Spannung zwar eine Inversionsschicht bezüglich der Gleichspannung einstellen, eine Änderung der Minoritätsladungen im Rhythmus der Wechselfrequenz findet aber nicht statt. Die Majoritätsladungen am Ende der Raumladungszone können der Hochfrequenzanregung folgen, infolge dessen zeigt die Kapazität mit Erreichen der maximalen Raumladungszone einen spannungsunabhängigen Minimalwert (Abbildung 1.9b). Abbildung 1.9c zeigt den Kapazitätsverlauf, wenn anstelle einer Gleichspannung ein Spannungspuls mit einer Signalbreite $\gg \tau$ angelegt wird. Es kann sich dann keine Inversionsschicht ausbilden. Dadurch wird die Raumladungszone mit steigender positiver Spannung größer, die Kapazität sinkt bis ein Durchbruch erreicht wird.

CV-Messungen an MOS-Kondensatoren sind eine weit verbreitete Methode, um MOS-Parameter zu extrahieren. So können aus CV-Messungen die dielektrische Konstante des Oxids ϵ_{ox} , die Dotierung des Substrates N_A , die Flachbandspannung V_{FB} , sowie Oxidladungen und Grenzflächenladungen (siehe Kapitel 1.2.3) bestimmt werden. Aus einer einzelnen Hochfrequenzmessung (10 kHz-1000 kHz) können einige dieser Größen wie folgt berechnet werden:

- Die **dielektrische Konstante** ϵ_{ox} kann direkt aus der Kapazität in der Akkumulation C_{ox} bestimmt werden. Es gilt:

$$\epsilon_{\text{ox}} = \epsilon_0^{-1} \cdot C_{\text{ox}} \cdot \frac{d_{\text{ox}}}{A} \quad . \quad (1.15)$$

Hierin ist A die Fläche des Kondensators und d_{ox} die Dicke des Oxids.

- Die **Substratdotierung** N_A erfolgt aus der Bestimmung der Kapazität in Akkumulation C_{ox} und Inversion C_{min} . In der Inversion ist die Gesamtkapazität eine serielle Schaltung der Oxidkapazität C_{ox} und der maximalen Siliziumkapazität $C_{\text{Si,max}} = \frac{\epsilon_S}{w_{\text{max}}}$. Hierin ist $w_{\text{max}}^2 = \frac{4\epsilon_S|\phi_m|}{qN_A}$ die maximale Ausdehnung der Raumladungszone im Silizium. Aus

$$w_{\text{max}} = \epsilon_S \cdot \epsilon_0 \left(\frac{1}{C_{\text{min}}} - \frac{1}{C_{\text{ox}}} \right) \quad \text{und} \quad (1.16)$$

$$w_{\text{max}} = \sqrt{\frac{4\epsilon_S|\phi_m|}{qN_A}} \quad \text{mit} \quad \phi_m = \frac{k_B T}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (1.17)$$

kann durch Iteration die Siliziumdotierung N_A bestimmt werden².

- Die **Flachbandspannung** V_{FB} kann aus der Berechnung der Flachbandkapazität C_{FB} oder durch Auswertung der spannungsabhängigen Verluste $\tan \delta$ bestimmt werden. Aus der Substratdotierung N_A läßt sich die Debye-Länge $L_D = \sqrt{\frac{\epsilon_S k_B T}{q^2 N_A}}$ berechnen. Für die Flachbandkapazität C_{FB} gilt:

$$C_{\text{FB}} = \frac{1}{\frac{1}{C_{\text{ox}}} + \frac{L_D}{\epsilon_S}} \quad . \quad (1.18)$$

Die Flachbandspannung V_{FB} erhält man graphisch aus der gemessenen CV-Kurve an der Stelle C_{FB} . Eine weitere Methode zur Bestimmung der Flachbandspannung und der Substratdotierung ist die graphische Auftragung von $\frac{1}{C^2}$ über V . Liegt eine homogene Substratdotierung vor, so ergibt diese Auftragung im Verarmungsbereich eine Gerade, deren Schnittpunkt mit der Spannungsachse die Flachbandspannung bestimmt und deren Steigung proportional zu N_A^{-1} ist.

Eine weitere wichtige Größe ist die Oberflächenladung Q_s an der Siliziumgrenzfläche. Sie wird später bei der Diskussion ferroelektrischer Dioden benötigt. Sie lässt sich durch Integration der Poissongleichung $\frac{d^2\psi}{dx^2} = -\frac{\rho(x)}{\epsilon_s}$ ableiten. Man erhält den etwas *unhandlichen* Ausdruck:

$$Q_s = -\epsilon_s \mathcal{E}_s = \pm \frac{\sqrt{2}\epsilon_s k_B T}{q L_D} \cdot \mathcal{F}\left(\beta\psi_s, \frac{n_{po}}{p_{po}}\right) \quad \text{mit} \quad (1.19)$$

$$\mathcal{F}\left(\beta\psi, \frac{n_0}{p_0}\right) \equiv \left[(\exp(-\beta\psi) + \beta\psi - 1) + \frac{n_0}{p_0} (\exp(\beta\psi) - \beta\psi - 1) \right]^{1/2} \quad . \quad (1.20)$$

²Eine genauere Approximation ergibt für $\phi_m = \frac{k_B T}{q} \ln\left(\frac{N_A}{n_i}\right) + \frac{k_B T}{2q} \ln\left[2\frac{N_A}{n_i} - 1\right]$, nach [15].

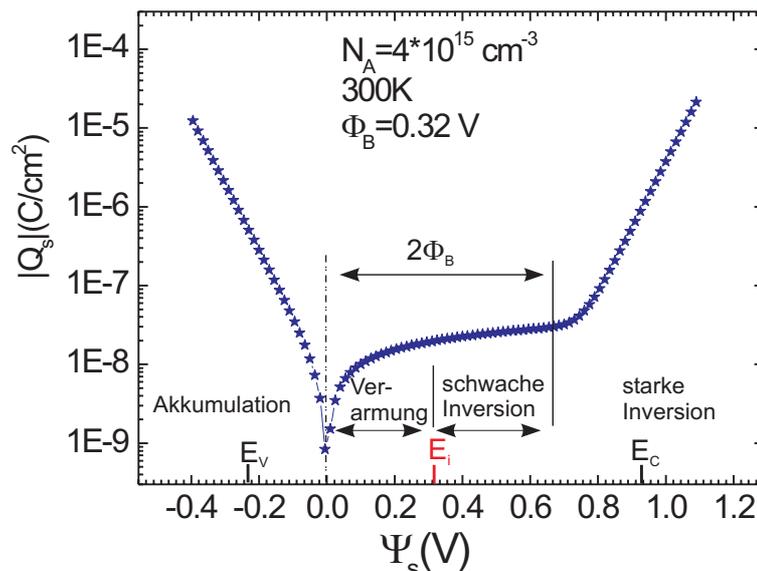


Abbildung 1.10: Raumladungsdichte Q_s in Abhängigkeit des Oberflächenpotentials ψ_s . Für die Simulation wurde eine Substratdotierung von $N_A = 4 \cdot 10^{15} \text{ at}/\text{cm}^3$ bei Raumtemperatur angenommen.

n_{p0} und p_{p0} sind die Ladungsdichten von Elektronen und Löcher im thermischen Gleichgewicht. Für die thermische Spannung β gilt $\beta = \frac{k_B T}{q}$. Sie beträgt $\beta = 26 \text{ mV}$ bei Raumtemperatur. Ist die Temperatur konstant, hängt die Ladungsdichte Q_s nur von der Substratdotierung N_D ab. Bei Raumtemperatur kann davon ausgegangen werden, dass alle Dotieratome ionisiert sind und es gilt $p_0 = N_A$. Über die Relation $n_0 \cdot p_0 = n_i^2$ ist n_0 zugänglich. Abbildung 1.10 zeigt den Betrag der Ladungsdichte an der Siliziumoberfläche in Abhängigkeit des Oberflächenpotentials ψ_s . Hierin sind die drei Betriebsbereiche Akkumulation, Verarmung und Inversion einer MOS-Diode eingezeichnet. Zur Berechnung wurde eine p-Dotierung von $N_A = 4 \cdot 10^{15} \text{ cm}^{-3}$ verwendet. Diese Berechnungen zeigen mit welcher geringer Konzentration an Oberflächenladungen Q_s eine Inversion des Halbleiters erzeugt werden kann. In Hinblick auf den ferroelektrischen Feldeffekttransistor bedeutet dies, dass theoretisch eine remanente Polarisation von $P = 0.01 - 0.1 \mu\text{C}/\text{cm}^2$ ausreicht, um einen Transistorkanal zu invertieren.

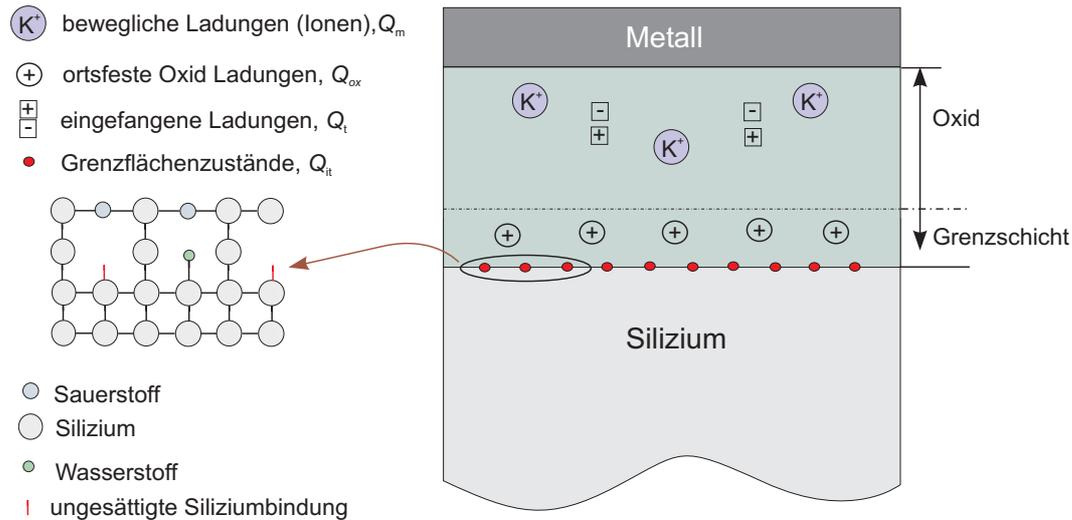


Abbildung 1.11: Ladungen und Zustände in einem realen MOS-Kondensator. Meist kann die Anzahl von Grenzflächenzuständen durch eine Temperung in Forming-Gas stark reduziert werden. Mobile Ladungen wie Na^+ oder K^+ entstehen durch Verunreinigungen während des Herstellungsprozesses.

1.2.3 Reale MOS-Dioden

Führt man CV-Messungen an MOS-Dioden durch, so zeigen sich oftmals erhebliche Abweichungen vom theoretischen Kurvenverlauf. Diese Abweichungen werden durch Ladungen verursacht, die sowohl an der Grenzfläche zum Silizium als auch in der Oxidschicht (Isolator) vorhanden sind. Man teilt diese in mobile und feste Ladungen ein. Abbildung 1.11 zeigt einige dieser Ladungen und Zustände, sowie deren Position im Gatestack.

- **Grenzflächenzustände** (*Interfacetraps*) Q_{it} sind ungesättigte Siliziumbindungen. Sie können leicht Ladungen einfangen und sie wieder emittieren. Man ordnet sie im Bändermodell als Zustände unmittelbar an der Grenzfläche, im verbotenen Band des Siliziums ein. Diese umladbaren Energieniveaus sind kontinuierlich über die Bandlücke verteilt. Eine Änderung der Gatespannung V_G bewirkt durch die Bandverbiegung an der Siliziumoberfläche eine Umbesetzung der Grenzflächenzustände. Grenzflächenzustände können durch Wasserstoffatome gesättigt, d.h. neutralisiert werden, indem die Probe in einem N_2H_2 (5-10% H_2) Gasgemisch getempert wird.³
- **Oxidladungen** Q_{ox} befinden sich in der isolierenden Oxidschicht. Es sind feste Ladungen, die durch Gitterfehler oder Defekte verursacht werden können, wie z.B. Sauerstofffehlstellen oxidischer Materialien. In Siliziumoxid können sie durch nicht-gesättigte Siliziumbindungen entstehen. Ihr Einfluss ist umso größer, je näher sie sich an der Grenzfläche zum Silizium befinden.

³Üblich sind Temperaturen von ca. 450 °C für 10-20 min. Eine solche Temperung steht oftmals am Ende eines Herstellungsprozesses, auch nach Abscheiden einer Topelektrode, da Wasserstoff die meisten Materialien (auch Metalle) sehr leicht durchdringen kann.

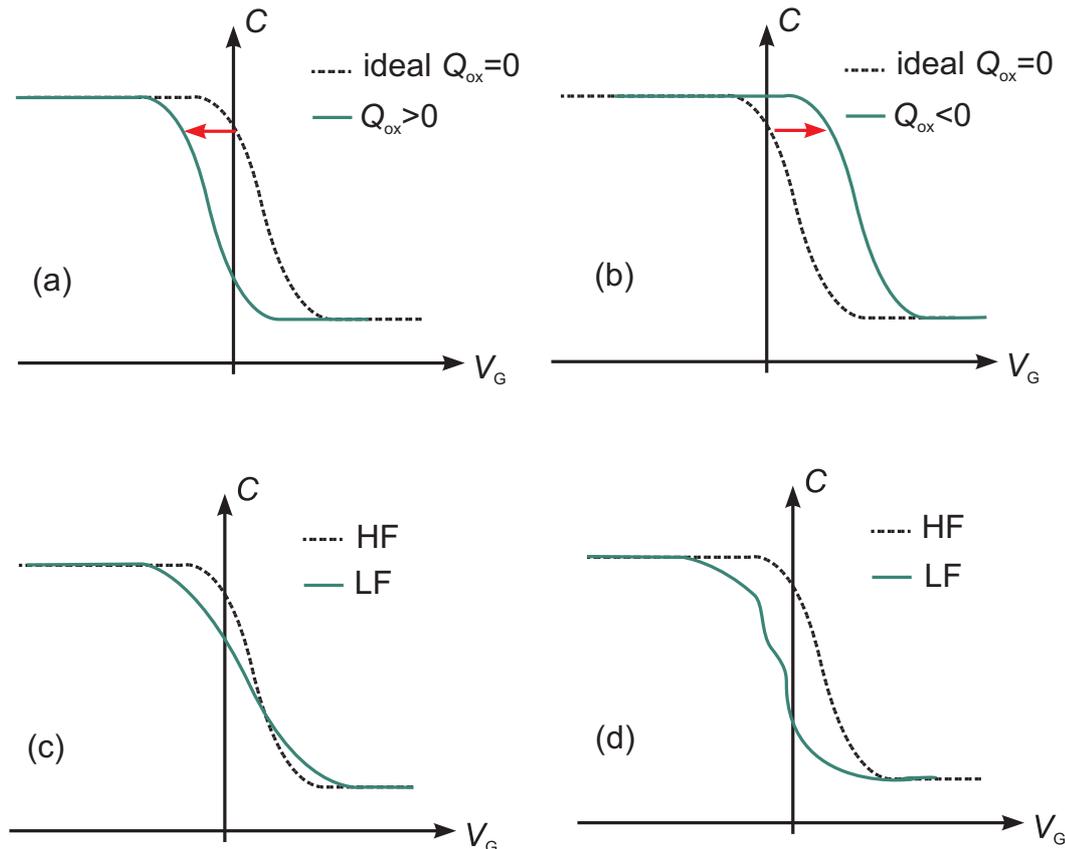


Abbildung 1.12: Auswirkungen von Oxidladungen und Grenzflächenzuständen auf die Form von CV-Kurven bei hohen Frequenzen (HF) und quasistatischen Messungen (LF). Oxidladungen führen zu einer Verschiebung der CV-Kurve. Gezeigt werden positive Oxidladungen (a) und negative Oxidladungen (b). Grenzflächenzustände können zu verzerrten Kurven (c) oder Artefakten (d) führen. Bei sehr hohen Frequenzen können diese dem Wechselfeld nicht mehr folgen und liefern keinen Beitrag zur Gesamtkapazität.

- **Mobile Ladungen** Q_m sind meist metallische Ionen, die bei der Herstellung der Oxidschicht eingebaut werden und sich leicht durch elektrische Felder bewegen lassen. In den ersten Jahren der MOSFET Entwicklung waren diese mobilen Ladungen ein großes Problem, während dies heutzutage durch stark verbesserte Technologien eine eher untergeordnete Rolle spielt.
- Es können darüberhinaus auch Ladungen durch Strahlenschäden oder durch heiße Elektronen entstehen. Diese werden in Abbildung 1.11 als eingefangene Ladungen Q_t bezeichnet. Sie werden im folgenden vernachlässigt.

Abbildung 1.12 zeigt schematisch die Auswirkungen von Oxidladungen und Grenzflächenzuständen auf die Form von CV-Kurven. Aus dem Vergleich mit der theoretischen CV-Kurve lassen sich die Konzentrationen von Oxid- und Grenzflächenladungen bestimmen. Da Oxidladungen nicht spannungsabhängig sind, tragen sie wegen $\frac{dQ_{ox}}{dt} = 0$ nicht zur Gesamtkapazität bei, sondern verschieben nur die Flachbandspannung V_{FB} . Dies wird

in Abbildung 1.12 für positive Oxidladungen (a) und negative Oxidladungen (b) gezeigt. Grenzflächenzustände führen zu Deformationen der CV-Kennlinie im Bereich zwischen der Akkumulation und der Inversion. Da die Grenzflächenladungen bei hohen Frequenzen dem Feld nicht mehr folgen können, ist ihr Beitrag zur Gesamtkapazität nur bei niedrigen Frequenzen messbar (Abbildung 1.12c und d).

Bestimmung von Oxidladungen

Die Schwellspannung von Transistoren hängt von der Flachbandspannung ab. Eine Verschiebung der Flachbandspannung, z. B. infolge von Oxidladungen, hat eine Verschiebung des Arbeitspunktes von Transistoren zur Folge. Aus diesem Grunde ist man an der Bestimmung der Oxidladungen und an deren Reduktion interessiert. Für die Verteilung der Oxidladungen über die Dicke der Oxidschicht lässt sich schreiben:

$$\langle Q_{ox} \rangle = \frac{1}{d_{ox}} \int_0^{d_{ox}} x \rho_{ox}(x) dx \quad .$$

Dies führt zu einer Verschiebung der CV-Kurve entlang der Spannungsachse um den Betrag $\Delta U_{ox} = \frac{\langle Q_{ox} \rangle}{C_{ox}}$. Je dichter die Oxidladungen an der Grenzfläche liegen, desto größer ist der Beitrag zu ΔU_{ox} . Da Oxidladungen meist in einem kleinen Bereich an der Grenzfläche zum Silizium verteilt sind, kann man $\langle Q_{ox} \rangle = Q_{ox}$ setzen. Man erhält für die Flachbandspannung V_{FB} :

$$V_{FB} = \phi_{ms} - \frac{Q_m}{C_{ox}} - \frac{Q_{it}}{C_{ox}} - \frac{Q_{ox}}{C_{ox}} \quad .$$

Hierin ist ϕ_{ms} die Differenz der Austrittsarbeiten von Elektronen aus der Metallelektrode und aus Silizium. Vernachlässigt man die Beiträge mobiler Ladungen Q_m und der Grenzflächenladungen Q_{it} , so vereinfacht sich obige Gleichung zu:

$$V_{FB} = \phi_{ms} - \frac{Q_{ox}}{C_{ox}} \quad . \tag{1.21}$$

Somit lassen sich Oxidladungen bei Kenntnis von ϕ_{ms} sehr einfach berechnen. Mobile Ladungen führen ganz ähnlich wie oxidische Ladungen zu einer Flachbandverschiebung, so dass eine Trennung beider Ladungsarten nur durch zusätzliche Temperatur- und Relaxation-Messungen möglich ist. Diese Verfahren sind in [15] ausführlich beschrieben. Grenzflächenzustände unterscheiden sich von anderen Defekten durch eine Spannungsabhängigkeit. Diese führt zu einer Verzerrung der CV-Kurve. Je nach energetischer Lage innerhalb der Bandlücke, reagieren diese auf das Messsignal unterschiedlich. Selbst wenn die Grenzflächenladungen dem Kleinsignal nicht folgen können, so können sie der langsamen Spannungsrampe folgen und zu einer Verschiebung der CV-Kurve führen.

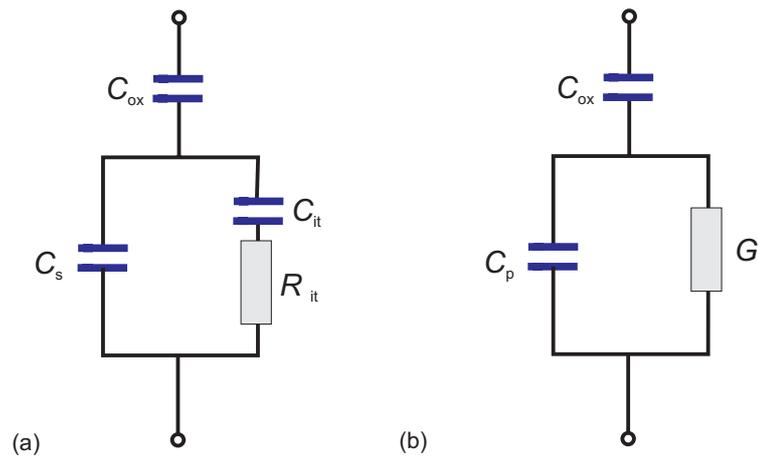


Abbildung 1.13: (a) Berücksichtigung von Grenzflächenzuständen im Ersatzschaltbild eines MOS-Kondensators. (b) Reduziertes Schaltbild.

Bestimmung von Grenzflächenzuständen

Aus der Literatur sind einige Verfahren bekannt, um Grenzflächenzustände experimentell zu bestimmen [15]:

- die Niederfrequenzmethode
- die Hochfrequenzmethode
- die Vergleichsmethode
- die Admittanzmethode.

Grenzflächenzustände sind Defekte, welche sich an der Siliziumgrenzschicht mit Energieniveaus innerhalb der Siliziumbandlücke befinden. Ihre Größe schwankt zwischen $10^{10} - 10^{14} \text{ cm}^{-2}$. Silizium hat in (100)-Richtung $6.8 \cdot 10^{14}$ Oberflächenbindungen pro cm^2 . Eine Defektdichte von 10^{10} entspricht dann einer Konzentration von einem Defekt pro 10^5 Oberflächenatomen! Defekte können Elektronen aus dem Leitungsband einfangen und Löcher in das Valenzband des Siliziums emittieren. Die Besetzung der Defektniveaus wird durch die Gatespannung beeinflusst. In der Admittanzmethode macht man sich zu Nutze, dass bei einer kleinen Änderung der Gatespannung, wie sie durch das Kleinsignal δV verursacht wird, die Defektniveaus einen Beitrag zur Admittanz liefern. Durch die anregende Wechselspannung wird die Bandkante um das Fermi-niveau um einige $k_B T/q$ nach oben und unten gebogen, wodurch sich in diesem Bereich die Besetzung der Defektniveaus ändert. Der Einfang- und Emittier-Prozess von Ladungen verursacht einen Energieverlust, der nur bei sehr niedrigen Frequenzen verschwindet (hier können die Defektniveaus der Anregung folgen). Dieser Verlust muss durch die Signalquelle getragen werden und kann als paralleler Wirkleitwert G_p gemessen werden (siehe Abbildung 1.13a und b).

Da Ladungsträger in solchen Defektniveaus längere Zeit gehalten werden können, führt diese Art der Ladungsspeicherung zu einer zusätzlichen Kapazität C_{it} , proportional zur Defektniveaudichte D_{it} . Es haben sich zwei Methoden entwickelt, die durch Messung der

Kapazität C_p bzw. der Admittanz G_p eine Berechnung der Grenzflächenzustände erlauben. Die Kapazitätsmethode nutzt aus, dass eine CV-Kurve mit Grenzflächenzuständen gegenüber einer idealen CV-Kurve gestreckt ist. Man erhält die Grenzflächendichte D_{it} aus folgender Beziehung:

$$D_{it} = \frac{C_{ox}}{q} \left(\left(\frac{\partial \Psi_s}{\partial V_G} \right) - 1 \right) - \frac{C_s}{q} \quad \text{cm}^{-2} \text{eV}^{-1} \quad . \quad (1.22)$$

Hierin ist C_{ox} die Oxidkapazität, gemessen in der Akkumulation, ψ_s das Oberflächenpotential an der Siliziumgrenzfläche und C_s die Siliziumkapazität. Die in den Oberflächenzuständen gespeicherte Ladung führt zu einer Veränderung des Oberflächenpotentials $\psi_s(V_G)$. Dieses kann durch Integration aus experimentellen Daten berechnet werden:

$$\psi_s(V_1) - \psi_s(V_2) = q \int_{V_2}^{V_1} \left[1 - \frac{C}{C_{ox}} \right] dV \quad . \quad (1.23)$$

Abbildung 1.14a zeigt das Oberflächenpotential ψ_s einer CeO_2 MOS-Diode als Funktion von V_G . 1968 veröffentlichte Lehovec [18] eine Methode zur Berechnung von Grenzflächenzuständen aus HF-CV Messungen. Diese Methode vergleicht die Steigung der realen CV-Kurve an der Flachbandspannung mit der Steigung einer idealen MOS-Diode ohne Grenzflächenzustände. Die Grenzflächenladungsdichte wird danach wie folgt angegeben:

$$D_{it} = \frac{(C_{ox} - C_{FB}) \cdot C_{FB}}{3 \left(\frac{\partial C}{\partial V} \right)_{FB} q \cdot k_B T} - \frac{C_{ox}^2}{(C_{ox} - C_{FB}) \cdot q^2} \quad . \quad (1.24)$$

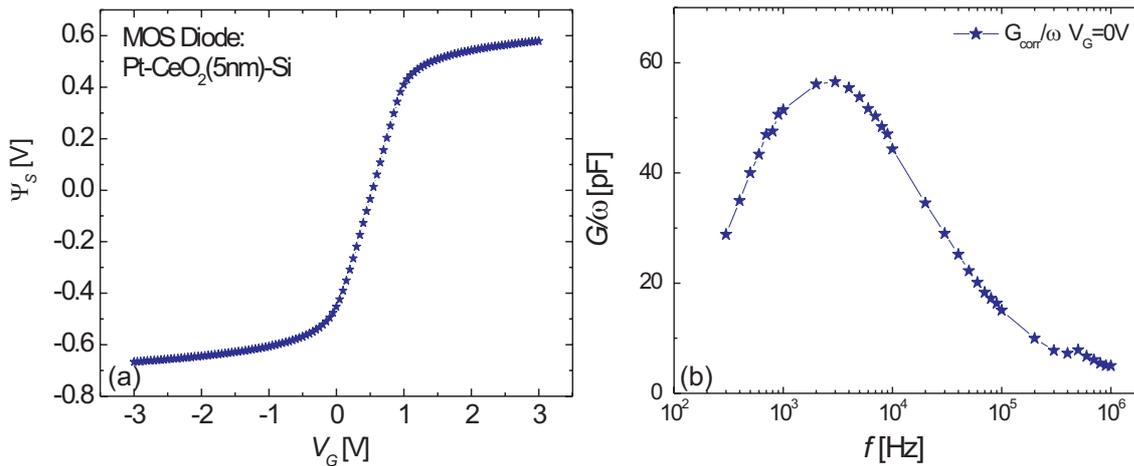


Abbildung 1.14: (a) Oberflächenpotential ψ_s einer $\text{Pt}/\text{CeO}_2(5\text{nm})/\text{Si}$ MOS-Diode in Abhängigkeit der Gatespannung V_G . (b) $G(\omega)/\omega$ -Plot einer ferroelektrischen $\text{Pt}/\text{PZT}(200\text{ nm})/\text{STO}(30\text{ nm})/\text{Si}$ MFIS-Diode. Aus dem Maximum der Verteilung kann D_{it} bestimmt werden. Siehe Gleichung 1.25

Hierin ist C_{FB} die Flachbandkapazität und $(\frac{\delta C}{\delta V})_{\text{FB}}$ die Steigung der CV Kurve an der Flachbandspannung. Die aufgeführte Methode hat den Vorteil der schnellen Durchführbarkeit. Allerdings ist sowohl die Bestimmung der Flachbandspannung als auch die Bildung der Ableitung an der Flachbandspannung fehlerbelastet, die Berechnung der Grenzflächenladungsdichte daher ungenau.

Bei der Niederfrequenzmethode wird eine quasistatische CV-Messung mit einer hochfrequenten CV-Messung verglichen und aus der Differenz der Kurven in der Verarmung die Grenzflächenladungsdichte bestimmt. Man macht sich dabei die Frequenzabhängigkeit der Grenzflächenladungen zunutze, die einem anregenden Feld bei kleinen Frequenzen folgen können. Bei hohen Frequenzen können diese dem äußeren Feld nicht mehr folgen und der Einfluss auf die CV-Kurve nimmt ab. Diese Methode setzt voraus, dass quasistatische Messungen an MOS-Dioden durchgeführt werden können. Dies ist leider nur in einem begrenztem Umfang für die in dieser Arbeit untersuchten Materialsysteme durchführbar gewesen, so dass auf diese Methode zur Berechnung von D_{it} nicht zurückgegriffen werden konnte.

Die Impedanzmethode (Leitfähigkeitsmethode) ist die exakteste Methode zur Bestimmung von Grenzflächenladungen. Sie nutzt die durch die Be- und Entladung von Grenzflächenzuständen verursachten Verluste zur Bestimmung von D_{it} aus. Grenzflächenzustände können als tiefe Störzentren betrachtet werden. Ein Umladen dieser Störzentren führt zu einem Verlustmechanismus. Ladungsträger geben beim Einfang Energie an das Gitter ab und es muss Energie aufgebracht werden, um sie aus den Störzentren zu emittieren. Die Einfang- und Emissionszeiten von Grenzflächenzustände können sich über einen sehr großen Frequenzbereich von einigen Hz bis hin zu 100 MHz erstrecken. Da man von einer kontinuierlichen Verteilung der Grenzflächenzustände über die Bandlücke ausgeht, kommt es zu einer gaußförmigen Verteilung der normierten Admittanz G_p/ω in Abhängigkeit der Frequenz ω . Das Maximum dieser Verteilung ist ein Maß für die Anzahl der Grenzflächenzustände und somit ein Maß für D_{it} . Abbildung 1.14 zeigt eine Messung von $G(\omega)(f)$ einer ferroelektrischen Diode bei einer Gatespannung von $V_G = 0$ V. Für ein Kontinuum von Grenzflächenzuständen gilt [19]:

$$\frac{G_p}{\omega} = \frac{qN_{it}}{2\omega\tau} \ln(1 + (\omega\tau)^2) \quad . \quad (1.25)$$

Für $\omega\tau = 1.98$ besitzt $\frac{G_p}{\omega}$ sein Maximum. Man misst $\frac{G_p(\omega)}{\omega}$ in einem ausreichend großen Frequenzband bei verschiedenen Gatespannungen (bzw. Oberflächenpotential ψ_s) in der Bandlücke. Aus der Bestimmung von N_{it} und der energetischen Lage bezüglich der Bandmitte E_i kann ein Profil der Grenzflächenzustände angegeben werden. Mit diesem Verfahren lassen sich Werte von $D_{it} < 10^{10} (\text{eVcm}^2)^{-1}$ auflösen. Diese sehr aufwändige Methode wurde bei einigen Proben durchgeführt. Es zeigte sich jedoch, dass das verwendete LCR-Meter mit einem Frequenzbereich von 100Hz-1MHz einen zu kleinen Frequenzbereich besitzt, um eine vollständige Abtastung der Grenzflächenzustände vorzunehmen.

1.3 Der ferroelektrische Feldeffekttransistor

In diesem Abschnitt wird eine Einführung in das theoretische FeFET-Modell nach Miller und Whorter gegeben. Die Physik eines FeFET kann in wesentlichen Teilen auf die eines MOS-Transistors reduziert werden, da die Ausbildung einer Inversionsschicht eines MOS-FETs abhängig vom Oberflächenpotential ψ_s ist und weniger von der Beschaffenheit des Gatestacks. Im folgenden wird mit der theoretischen Betrachtung des MOSFETs begonnen, und für den ferroelektrischen Transistor erweitert.

1.3.1 Der MOS-Feldeffekttransistor

Feldeffekttransistoren (FET) gehören heute zu den am meist verbreiteten Transistoren in der Mikroelektronik. Moderne Mikroprozessoren sind aus über 200 Millionen(!) dieser Bauteile aufgebaut. Obwohl der Feldeffekttransistor schon 1926 von Lilienfeld vorgeschlagen und später patentiert wurde [20], konnte jahrzehntelang kein erfolgreiches Konzept zu dessen Entwicklung geschaffen werden. Zu groß waren die Probleme durch Grenzflächen-Verunreinigungen. Der erste Transistor (allerdings ein npn-Transistor) wurde 1947/48 von John Bardeen, William Shockley und Walter Brattain am Bell-Laboratory in Murray Hill, N. J., entwickelt [21]. Abbildung 1.15 zeigt eine Photographie des Transistors.

Die damaligen Versuche Transistoren herzustellen waren geprägt von Punktkontakten, den damals einzig bekannten Halbleiterkontakten. Es dauerte noch ein Jahrzehnt, bis der erste Feldeffekttransistor 1960 von D. Khang and M. M. Atalla entwickelt wurde [22], allerdings mit sehr schlechten elektrischen Eigenschaften. Es vergingen nochmals 15 Jahre bis planare Feldeffekttransistoren mit zufriedenstellenden Eigenschaften hergestellt werden konnten [4, 23]. Im Jahre 1956 erhielten Shockley, Brattain und Bardeen den Nobelpreis für Physik.

Feldeffekttransistoren sind im wesentlichen aufgebaut wie MOS-Dioden. Sie besitzen

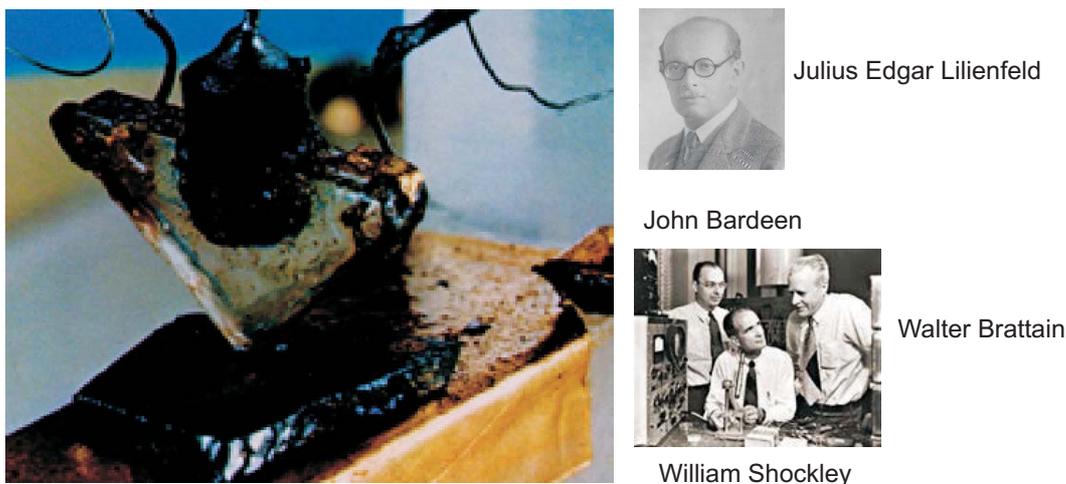


Abbildung 1.15: 1946 wurde der erste (nnp)-Transistor von dem Forschern John Bardeen, William Shockley und Walter Brattain entwickelt. Gezeigt wird eine Photographie des Versuchsaufbaus. Entnommen aus [17].

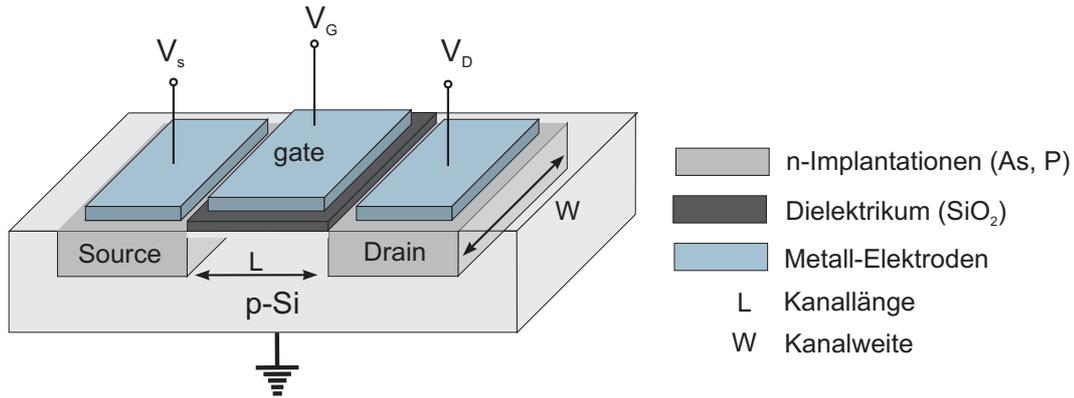


Abbildung 1.16: Schematischer Querschnitt eines planaren Feldeffekttransistors auf p-Silizium. Source und Drain sind n-dotierte Bereiche die den Stromfluss erst dann erlauben, wenn sich zwischen ihnen eine dünne Inversionsschicht gebildet hat (regelbar über die Gatespannung V_G).

zusätzlich zur Gateelektrode als Source und Drain bezeichnete dotierte Bereiche. Abbildung 1.16 zeigt schematisch den Querschnitt eines planaren FETs auf p-Silizium. Als Dielektrikum wird auch heute noch SiO₂ verwendet, da dieses nicht nur ein sehr hohe Bandlücke von ≈ 9 eV besitzt, sondern auch in ausreichend hoher Güte (geringe Konzentration an Grenzflächenzuständen) hergestellt werden kann. Aus Skalierungsgründen ist man seit einigen Jahren auf der Suche nach alternativen Oxiden, den sogenannten *high- ϵ* Materialien [24], [25], die das SiO₂ in Transistoren ersetzen sollen. Bei gleicher Transistordimension (Kanaldimension) und gleicher Gatekapazität ist die Dicke d des Gatedielektrikums von der Dielektrizitätskonstanten ϵ_r abhängig ($C = \epsilon_0 \epsilon_r \frac{A}{d}$). Eine höhere Dielektrizitätskonstante führt demnach zu einer dickeren Gateschicht, wodurch der Leckstrom durch die Schicht reduziert werden kann. Zur Zeit ist der Einsatz von HfO₂ als alternatives Gateoxid in Transistoren für Kanallängen unterhalb von 90nm wahrscheinlich [26].

Die Funktionsweise eines FET lässt sich anschaulich wie folgt erklären: durch Anlegen einer Gatespannung V_G werden Ladungen an der Siliziumoberfläche angereichert. Diese Ladungen können durch ein Feld zwischen Source (Quelle) und Drain (Senke) von der Quelle zur Senke transportiert werden. Da die angereicherten Ladungen von der Gatespannung abhängen, ist der Ladungsstrom zwischen Source und Drain durch die Gatespannung steuerbar. Damit ohne Gatespannung kein Strom fließt, werden für die Source- und Drain-Kontakte pn-Kontakte gewählt, so dass immer ein Kontakt im spannungslosen Zustand sperrt. Wählt man ein p-leitendes Substrat, so sind die Source- und Drain-Wannen n-leitend. Legt man eine ausreichend hohe positive Spannung an die Gateelektrode an, bildet sich eine Inversionsschicht aus, so dass aus den beiden np- und pn-Kontakten nn-Übergänge werden, die den Stromtransport von Source nach Drain ermöglichen. Da die Inversionsschicht eine sehr geringe Dicke besitzt (wenige Å), kann die Inversionsschicht als zweidimensionale Ladungsträgerschicht betrachtet werden [27].

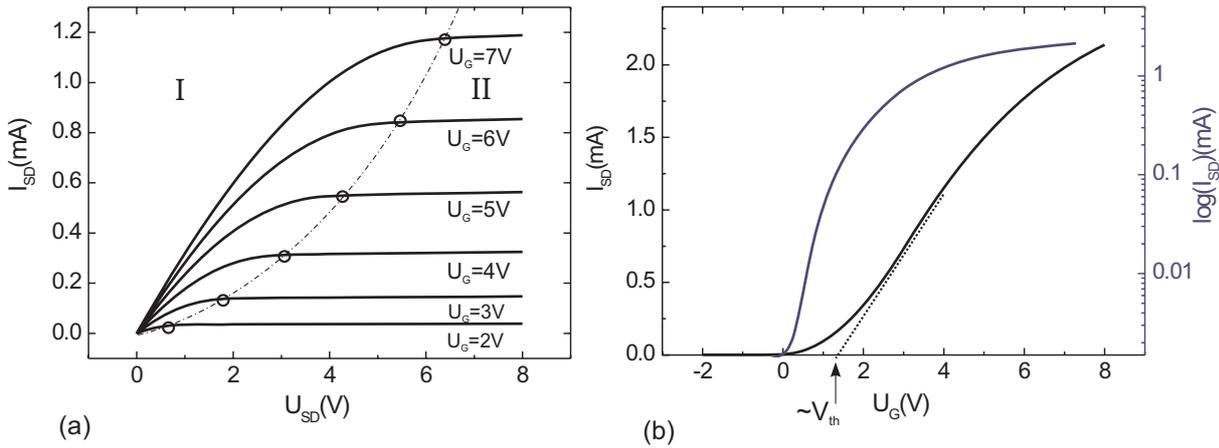


Abbildung 1.17: Transistor-Kennlinien eines MOSFETs. (a) Ausgangskennlinie, gemessen wird der Source-Drain-Strom in Abhängigkeit der Source-Drain Spannung bei konstanter Gatespannung V_G . (b) Die Abhängigkeit des Source-Drain-Stroms von der Gatespannung bei konstanter Source-Drain Spannung wird *Transfer-Kennlinie* genannt. Die Schwellspannung wird durch lineare Extrapolation graphisch bestimmt.

Abbildung 1.17 zeigt typische Strom-Spannungs-Kennlinien von MOSFETs⁴. Die Ausgangskennlinie Abbildung 1.17a besteht aus zwei Bereichen: einem nicht gesättigten Bereich (I) und einem gesättigten Bereich (II), in welchem der Source-Drain Strom I_{SD} nur unwesentlich von der Source-Drain Spannung V_{SD} abhängt und der Kanalwiderstand einzig von der Gatespannung V_G bestimmt wird. Für sehr kleine Spannungen V_{SD} zeigt die Ausgangskennlinie ein lineares Verhalten. In Abbildung 1.17b wird eine Transfer-Kennlinie des Transistors gezeigt. Hierzu wird bei konstanter Source-Drain-Spannung V_{SD} die Kanalstromabhängigkeit von der Gatespannung untersucht. Der Kanalstrom I_{SD} bleibt bis zu einem Schwellspannungswert (starke Inversion), sehr klein und steigt anschließend für kleine Gatespannungen linear an. Die in Abbildung 1.17 dargestellten Kurven sind an einem Transistor mit einer Oxiddicke von 10 nm SiO_2 und einer Kanaldimension von $25 \times 25 \mu\text{m}^2$ gemessen worden. Unterhalb der Schwellspannung hängt der Strom exponentiell von der Gatespannung ab, wie an der logarithmischen Auftragung deutlich wird. Die Ableitung der Kurve in diesem Bereich unterhalb der Schwellspannung wird als threshold swing S^{-1} bezeichnet:

$$S^{-1} = \frac{\partial \log(I_d)}{\partial V_G} \quad (1.26)$$

Dieser Parameter ist wichtig für digitale Anwendungen, da er das Verhältnis von I_{on}/I_{off} angibt, üblicherweise werden 4-5 Größenordnungen erreicht. S wird in mV/dec angegeben und erreicht rechnerisch bei Raumtemperatur mit $\Delta V_G \approx kT \ln(10)$ einen Wert von $S = 60 \text{ mV/dec}$ [28]. Eine schematische Darstellung der Arbeitsbereiche eines n-Kanal-MOSFETs wird in Abbildung 1.18 gezeigt. Hierin werden Arbeitspunkte bei konstanter

⁴MOSFET: Metal-Oxide-Semiconductor-Field-Effect-Transistor

Gatespannung, $U_G > U_{th}$ und unterschiedlichen Source-Drain Spannungen U_{SD} skizziert. Im einfachsten Falle, in dem U_{SD} verschwindet, ist der MOSFET nichts anderes als die schon besprochene MOS-Diode. Es bildet sich aufgrund der positiven Gate-Spannung an der Silizium-Grenzfläche eine Inversionschicht von Minoritätsladungen (Elektronen, deshalb auch n-Kanal MOSFET genannt) aus. Wird zusätzlich zur Gatespannung eine kleine Source-Drain Spannung angelegt, so fließt ein Source-Drain Strom und es kommt durch das zusätzlich erzeugte Potential zu einer Verschiebung des Quasi-Ferminiveaus in der Nähe des Drains. Infolgedessen verringert sich dort die Ladungsträgerkonzentration und es entsteht eine Kanaleinschnürung. Erreicht die Source-Drain Spannung $U_{SD} = U_G - U_{th}$, so ist das Drainpotential genau so groß wie das Gatepotential und es bildet keine Inversionsschicht mehr aus. Eine weitere Erhöhung von U_{SD} hat zur Folge, dass sich die Kanaleinschnürung immer weiter auf die Sourceelektrode zubewegt. Wenn dieser Effekt auftritt, ist

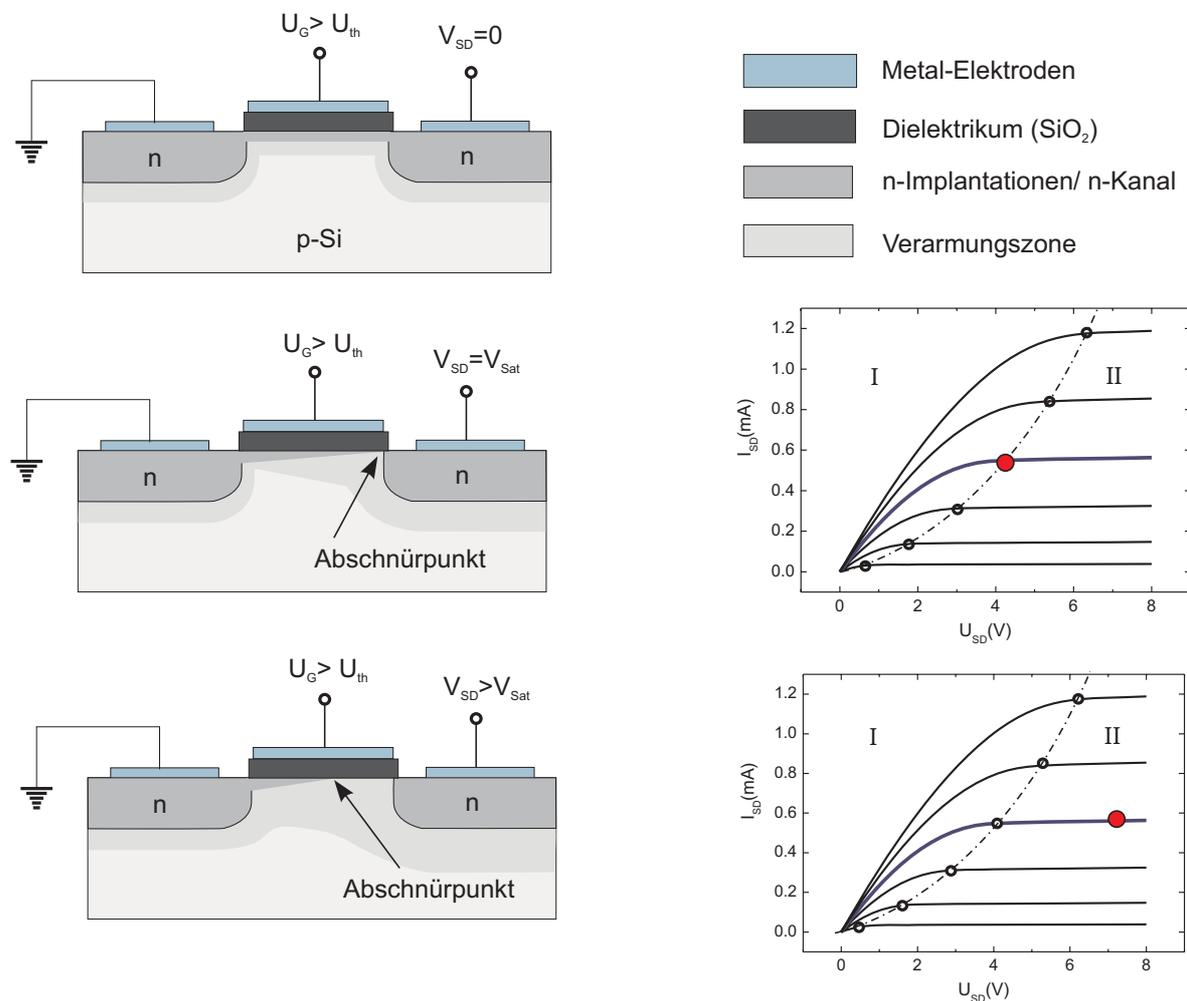


Abbildung 1.18: Schematische Darstellungen unterschiedlicher Arbeitsbereiche eines planaren n-Kanal-MOSFETs bei konstanter Gatespannung $U_G > U_{th}$ und unterschiedlicher Source-Drain-Spannung U_{SD} . Durch das Source-Drain-Potential kommt es zu einer Kanaleinschnürung an der Drainelektrode, die bei höheren Feldern (Sättigung) abreißt.

eine eindimensionale Beschreibung des FETs nicht mehr möglich [19]. Unberücksichtigt blieben bisher Skalierungseffekte, wie sie bei lateraler Skalierung auftreten können. Neben quantenmechanischen Effekten, kommt es zu einem stärkeren Einfluss des Source-Drain Potentials. Als Schlagworte seien *Drain-Induced-Barrier-Lowering* (DIBL), *Threshold-Voltage-Roll-Off* und *Kanallängen-Modulation* genannt [28]. Da in dieser Arbeit lediglich Lang-Kanal-Transistoren Anwendung finden, werden Skalierungseffekte nicht weiter berücksichtigt. Skalierungseffekte und Skalierungsmöglichkeiten, sowie Simulationen eines ferroelektrischen FETs (FeFET) vor allem in Hinblick auf einen Einsatz als Massenspeicher wurden in unserer Gruppe von M. Fitsilis durchgeführt und können in seiner Arbeit eingesehen werden [29].

1.3.2 Der ferroelektrische Feldeffekttransistor

Die bisherigen qualitativen Beschreibungen der Funktionsweise von MOSFETs werden im folgenden durch die Ableitung der Strom-Spannungs-Charakteristik nach Brews und Guerst, der als erster das charge sheet Modell vorschlug, vervollständigt [30, 31]. Miller und McWhorter haben basierend auf diesem Transistor-Modell eine Erweiterung für den ferroelektrischen Transistor vorgeschlagen, einem Modell das bis heute als Referenz gilt [32, 33]. Abbildung 1.19 zeigt eine schematische Darstellung eines planaren ferroelektrischen Transistors. Zwischen der Gateelektrode und dem Dielektrikum befindet sich eine ferroelektrische Schicht. Der Aufbau unterscheidet sich ansonsten nicht von einem planaren FET.

Zunächst wird hier ein Ausdruck für den Gesamt-Kanalstrom in Abhängigkeit des Oberflächenpotentials hergeleitet werden. Betrachtet man einen MOSFET mit invertiertem Kanal, so setzt sich der Source-Drain-Strom I_{SD} aus zwei unterschiedlichen Beiträgen zusammen: dem *Driftstrom*, verursacht durch das laterale elektrische Feld zwischen Source und Drain und dem durch den Konzentrationsgradienten erzeugten *Teilchenstrom*. Zwar können die einzelnen Beiträge im Verhältnis zueinander lokal variieren, der Gesamtstrom im Kanal aber bleibt konstant. Die Ortsabhängigkeit der Ladungsträgerdichte im Kanal wird durch Einführung des Quasifermpotentials $\phi_{Fn} = \frac{E_i - E_F}{q}$ erreicht, siehe Abbildung

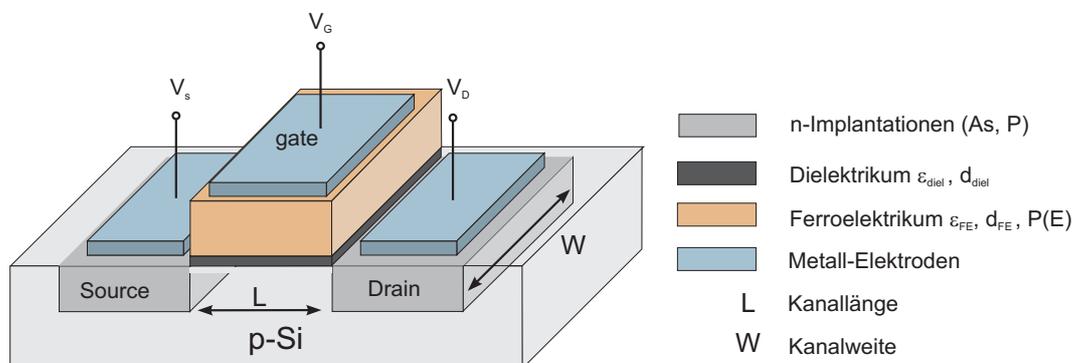


Abbildung 1.19: Schematische Darstellung eines ferroelektrischen Feldeffekttransistors (FeFET).

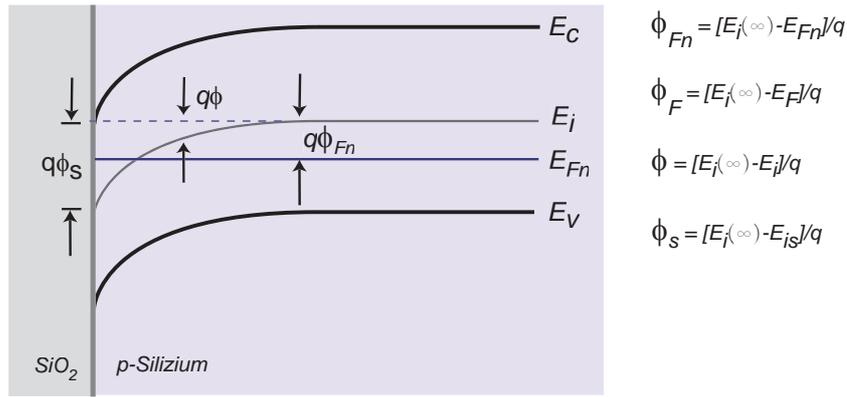


Abbildung 1.20: Schematische Darstellung eines Banddiagramms mit den Definitionen relevanter Potentiale.

1.20. Man kann für den Gesamtstrom I_{SD} [32] allgemein ansetzen:

$$I_{SD} = -\mathcal{W}q\mu_M N_I \frac{d\phi_{Fn}}{dx} \quad . \quad (1.27)$$

Hierin ist \mathcal{W} die Weite des Kanals, μ_M die Mobilität der Ladungsträger, N_I die Ladungsträgerkonzentration der Inversionsschicht und x der Abstand von der Source-Elektrode. Ausgehend von dieser Gleichung ist nun ein Ausdruck von N_I und $\frac{d\phi_{Fn}}{dx}$ herzuleiten. Das Charge-Sheet-Modell geht von der Näherung einer zweidimensionalen Inversionsschicht aus. Diese Näherung ist zulässig, da der Inversionskanal eine sehr geringe Dicke aufweist, verglichen mit dem Source-Drain-Abstand \mathcal{L} . Die Ladungen im Silizium setzen sich entsprechend aus den Minoritätsladungen der Inversionsschicht $-qN_I$ und den Majoritätsladungen der Verarmungszone zusammen. Man erhält für die Ladungsträgerdichte σ_s :

$$\sigma_s = -qN_I - qN_a \mathcal{W} \quad . \quad (1.28)$$

Hierin ist N_I die Ladungsträgerkonzentration und \mathcal{W} die Verarmungszonenweite. Diese kann mit Hilfe der Debeye-Länge $L_D = \sqrt{\epsilon_0 \epsilon_s \beta / q N_a}$ (siehe hierzu Kapitel 1.2.2) angegeben werden:

$$\mathcal{W} = \sqrt{2} L_B (\beta \phi_s)^{1/2} \quad \text{mit} \quad \phi_s = \frac{E_i(\infty) - E_i}{q} \quad . \quad (1.29)$$

Durch Einsetzen von Gl. 1.29 in Gl. 1.28 erhält man mit der Abkürzung $a = \sqrt{2} (\epsilon_0 \epsilon_s / L_B C_{\text{stack}})$:

$$qN_I = \frac{C_{\text{stack}}}{\beta} \left(-a (\beta \phi_s)^{1/2} - \frac{\beta \sigma_s}{C_{\text{stack}}} \right) \quad . \quad (1.30)$$

Somit ist die Ladungsträgerdichte der Inversionsschicht in Gleichung 1.27 bekannt. Als nächstes wird ein Ausdruck für das Quasiferminiveau ϕ_{Fn} in Abhängigkeit von x abgeleitet, um den zweiten Term der Gleichung berechnen zu können. Für die Ober-

flächenladungsdichte σ_s gilt in Abhängigkeit des Quasifermipotentials ϕ_{Fn} (siehe auch Gleichung 1.19):

$$\sigma_s = \frac{-aC_{\text{stack}}}{\beta} \left[\beta\phi_s + \left(\frac{n_i}{N_a} \right)^2 (e^{\beta\phi_s} - 1)e^{-\beta\phi_{Fn} + \beta\phi_F} \right]^{1/2} . \quad (1.31)$$

Diese Gleichung ist im Gegensatz zu Gleichung 1.19 nicht für den gesamten Bereich des Oberflächenpotentials gültig. Für Transistoren ist der Bereich zwischen Verarmung und starker Inversion von Interesse und weniger die Akkumulation, da hier kein Stromtransport erfolgt. Durch Auflösen und Umstellen erhält man aus Gleichung 1.31:

$$\beta\phi_{Fn} = -\beta\phi_F - \ln \left(\frac{(-\beta\sigma_s/aC_{\text{stack}})^2 - \beta\phi_s}{\exp(\beta\phi_s) - 1} \right) . \quad (1.32)$$

Die Eins im Nenner von Gleichung 1.32 kann vernachlässigt werden, da außer in der Akkumulation $\exp(\beta\phi_s) \gg 1$ gilt. Wenn das Oberflächenpotential $\beta\phi_s$ immer größer wird, so nähert sich der Zähler in Gleichung 1.32 der Null und $\beta\phi_{Fn}$ divergiert gegen unendlich. Der Wert, an dem ϕ_{Fn} divergiert, wird als ϕ_{sat} bezeichnet:

$$-\beta\phi_s/aC_{\text{stack}} = (\beta\phi_{\text{sat}})^{1/2} . \quad (1.33)$$

Eine Grenze für das Oberflächenpotential führt zu der weiter oben beschriebenen Kanaleinschnürung. Denn wird bei konstanter Gatespannung die V_{SD} erhöht, so steigt das Oberflächenpotential des Siliziums ϕ_s am Drain Kontakt, bis es den Sättigungswert erreicht und nach Gleichung 1.33 die Inversionsladungsschicht verschwindet. Der Kanal schnürt sich ein. Für die zugehörige Source-Drain Spannung V_{SDsat} gilt:

$$V_{\text{SDsat}} = \phi_{\text{sat}} - \phi_{s0}, \quad (1.34)$$

hierin ist ϕ_{s0} das Oberflächenpotential am Source-Ende des Kanals. Durch Ableiten der Gleichung 1.32 ergibt schließlich den gesuchten Ausdruck für $\frac{d\phi_{Fn}}{dx}$:

$$\frac{d}{dx}\beta\phi_{Fn} = \left(1 + \frac{1 - [2\beta\sigma_s/(aC_{\text{stack}})^2](\partial\beta\sigma_s/\partial\beta\phi_s)}{(-\beta\sigma_s/aC_{\text{stack}})^2 - \beta\phi_s} \right) \times \frac{d}{dx}\beta\phi_s . \quad (1.35)$$

Somit sind alle Größen bekannt, um den Source-Drain Strom I_{SD} aus Gleichung 1.27 zu bestimmen. Substituiert man Gleichung 1.30 und Gleichung 1.35 so erhält man für I:

$$I_{\text{SD}} = \frac{-\mathcal{W}\mu_M C_{\text{stack}}}{\beta^2} * \left(\frac{-\beta\sigma_s}{C_{\text{stack}}} - a(\beta\phi_s)^{1/2} + \frac{a\{1 - [2\beta\sigma_s/(aC_{\text{stack}})^2](\partial\beta\sigma_s/\partial\beta\phi_s)\}}{[(-\beta\sigma_s/aC_{\text{stack}}) + (\beta\phi_s)^{1/2}]} \right) \frac{d}{dx}\beta\phi_s . \quad (1.36)$$

Dieser Ausdruck für I_{SD} kann vereinfacht werden, indem man der Tatsache Rechnung trägt, dass der dritte Term in Gl. 1.36 nur dann einen signifikanten Beitrag zu I_{SD} leistet, wenn N_I sehr klein ist, wie im Falle der Kanaleinschnürung. Somit kann man diesen Term

durch den Wert in der Nähe der Kanalabschnürung ersetzen und man erhält einen leicht vereinfachten Ausdruck für I_{SD} :

$$I_{SD}dx = \frac{-\mathcal{W}\mu_M C_{\text{stack}}}{\beta^2} \left(\frac{-\beta\sigma_s}{C_{\text{stack}}} - a(\beta\phi_s)^{1/2} + \frac{a}{2}(\beta\phi_s)^{-1/2} + \frac{1}{C_{\text{stack}}} \frac{\partial\beta\sigma_s}{\partial\beta\phi_s} \right) d\beta\phi_s \quad (1.37)$$

Die Integration obiger Gleichung zwischen der Source- und Drain-Elektrode ermöglicht nun die Berechnung von I_{SD} . Die linke Seite der Gleichung wird zu $I_{SD} \cdot \mathcal{L}$, da der Kanalstrom entlang des Kanals konstant sein muss. Da σ eine Funktion von ϕ_s ist, muss dies bei der Integration berücksichtigt werden.

Es stellt sich nun die Frage, was eine ferroelektrische Schicht inmitten des Gatestacks bewirkt, sei es mit zusätzlichen dielektrischen Schichten oder ohne. Unter der Annahme, dass die Grenzfläche zum Silizium unverändert bleibt, ändert sich hierbei der Zusammenhang zwischen der Gatespannung V_G und dem Grenzflächenpotential ϕ_s im Silizium. Ist dieser Zusammenhang bekannt, können Transistorkennlinien simuliert werden. Zunächst aber müssen die ferroelektrischen Eigenschaften integriert werden. Für die Polarisation einer ferroelektrischen Schicht lässt sich formulieren:

$$\vec{D} = \epsilon_0 \epsilon_r \vec{E} + \vec{P}_d \quad . \quad (1.38)$$

Hierin ist \vec{P}_d die ferroelektrische Polarisation, \vec{D} die dielektrische Verschiebung und ϵ_r die dielektrische Konstante des Ferroelektrikums. Aus $\vec{\nabla} \cdot \vec{D} = \rho$ und $\vec{E} = -\vec{\nabla} \psi$ ergibt sich mit Gleichung 1.38 eine Abhängigkeit der Gatespannung V_G als Funktion des Oberflächenpotentials ϕ_s :

$$V_G = \phi_s - \frac{\sigma_s}{C_{\text{stack}}} - P_d(E_{\text{ferro}}) \frac{d_{\text{ferro}}}{\epsilon_0 \epsilon_{\text{ferro}}} \quad . \quad (1.39)$$

Aus Abbildung 1.19 wird ersichtlich, dass gilt: $C_{\text{stack}} = \left(\frac{d_i}{\epsilon_0 \epsilon_i} + \frac{d_{\text{ferro}}}{\epsilon_0 \epsilon_{\text{ferro}}} \right)^{-1}$. Für das elektrische Feld im Ferroelektrikum lässt sich formulieren:

$$E_2 = \frac{-[\sigma_s + P_d(E_2)]}{\epsilon_0 \epsilon_{\text{ferro}}} \quad . \quad (1.40)$$

Für die Ladungsdichte σ_s im Siliziums in Abhängigkeit des Oberflächenpotentials ϕ_s gilt nach Brews [16] (siehe auch Kapitel 1.2.2):

$$\begin{aligned} \sigma_s(\psi_s) &= -SGN(\phi_s) \sqrt{2} (\epsilon_0 \epsilon_s / \beta L_B) \\ &\times \left[(\exp(-\beta\phi_s) + \beta\phi_s - 1) + (n_i/N_a)^2 (\exp(\beta\phi_s) - \beta\phi_s - 1) \right]^{1/2} \quad . \end{aligned} \quad (1.41)$$

Löst man man Gleichung 1.39 nach σ_s auf, so erhält man:

$$\frac{-\beta\sigma_s(\beta\phi_s)}{C_{\text{stack}}} = \beta V_{gb} - \beta\phi_s + P_d(E_2) \frac{\beta d_2}{\epsilon_0 \epsilon_{\text{ferro}}} \quad . \quad (1.42)$$

Hiermit sind alle Größen bekannt, um Gleichung 1.37 zu integrieren. Dabei wird vorausgesetzt, dass die Polarisation P_d der ferroelektrischen Schicht konstant ist. Dies ist nur dann erfüllt, wenn die Source-Drain Spannung V_{SD} klein ($< 0.5 V$) ist. Anderenfalls ist die

Variation von $P_D(E_{\text{ferro}})$ über der Kanallänge zu groß und muss berücksichtigt werden. Man erhält für I_{SD} :

$$\begin{aligned} I_{\text{SD}} = & \frac{-\mathcal{W} \mu C_{\text{stack}}}{\mathcal{L} \beta^2} \left[\left(1 + \beta V_{gb} + \frac{\beta d_{\text{ferro}}}{\epsilon_0 \epsilon_{\text{ferro}}} P_d(E_2) \right) (\beta \phi_{sL} - \beta \phi_{s0}) \right. \\ & - \frac{1}{2} [(\beta \phi_{sL})^2 - (\beta \phi_{s0})^2] - \frac{2}{3} s [(\beta \phi_{sL})^{3/2} - (\beta \phi_{s0})^{3/2}] \\ & \left. + a [(\beta \phi_{sL})^{1/2} - (\beta \phi_{s0})^{1/2}] \right] . \end{aligned} \quad (1.43)$$

Hierin ist ϕ_{s0} und ϕ_{sL} das Siliziumoberflächenpotential an der Source- und Drain-Elektrode. Die Spannungen V_{bs} und V_{bd} sind die Spannungen zwischen dem Silizium-Substrat V_b und der Source- bzw. Drain-Elektrode. Nach Brews sind diese durch die Randbedingungen an den Elektroden festgelegt:

$$\phi_{FN}(\text{source}) = \phi_F + V_{bs} \quad (1.44)$$

$$\phi_{FN}(\text{drain}) = \phi_F + V_{bs} + V_{ds} \quad . \quad (1.45)$$

Mit Hilfe dieser Randbedingungen und Gleichung 1.32 kann man die Oberflächenpotentiale ϕ_{s0} und ϕ_{sL} berechnen. Man erhält an der Source-Elektrode:

$$\psi_{s0} = V_{bs} + 2\phi_F + \frac{1}{\beta} \log \left[\frac{1}{a^2} \left(\beta V_{gb} + \frac{\beta d_{\text{ferro}}}{\epsilon_0 \epsilon_{\text{ferro}}} P_d(E_2) - \beta \phi_{s0} \right)^2 - \beta \phi_{s0} \right] \quad (1.46)$$

und entsprechend an der Drain-Elektrode:

$$\phi_{sL} = V_{ds} + V_{bs} + 2\phi_F + \frac{1}{\beta} \log \left[\frac{1}{a^2} \left(\beta V_{gb} + \frac{\beta d_{\text{ferro}}}{\epsilon_0 \epsilon_{\text{ferro}}} P_d(E_2) - \beta \phi_{sL} \right)^2 - \beta \phi_{sL} \right] . \quad (1.47)$$

Bisher wurde $P_d(E_{\text{ferro}})$ nur als Polarisation des Ferroelektrikums eingeführt. Um den Strom I_{SD} in Gleichung 1.43 bestimmen zu können wird der explizite Zusammenhang der Funktion $P_d(E_{\text{ferro}})$ benötigt. Dieser wurde von Miller und McWhorter berechnet und kann in aller Ausführlichkeit in [33, 34] nachgelesen werden. Zusammengefasst erhält man für die beiden positiven und negativen Äste der Polarisationshysterese:

$$P_{\text{sat}}^+(E) = P_s \tanh \left[\frac{(E - E_c)}{2\delta} \right] \quad \text{mit} \quad (1.48)$$

$$\delta = E_c \left[\ln \left(\frac{1 + P_r/P_s}{1 - P_r/P_s} \right) \right]^{-1} \quad \text{und} \quad (1.49)$$

$$P_{\text{sat}}^-(E) = -P_{\text{sat}}^+(-E) \quad \text{mit der Ableitung:} \quad (1.50)$$

$$\frac{dP_d}{dE} = \Gamma \frac{dP_{\text{sat}}}{dE} \quad \text{mit} \quad (1.51)$$

$$\Gamma = 1 - \tanh \left[\left(\frac{P_d - P_{\text{sat}}}{\xi P_s - P_d} \right)^{1/2} \right] \quad . \quad (1.52)$$

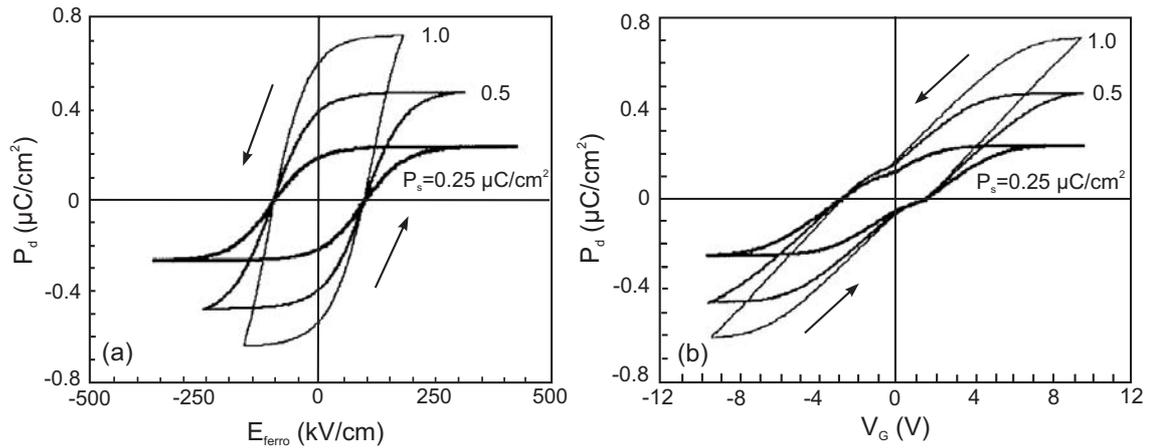


Abbildung 1.21: (a) Simulation der Polarisation in Abhängigkeit des elektrischen Feldes E einer 100 nm dünnen ferroelektrischen Schicht. (b) Polarisation in Abhängigkeit der Gatespannung V_G eines MFIS-Gatestacks. Der Knick in der Mitte der jeweiligen Kurven wird durch die Verarmungszone im Silizium verursacht. Nachbearbeitet aus [32].

Für ξ gilt: $\xi = +1$ für $dE/dt > 0$ und $\xi = -1$ für $dE/dt < 0$. Auf die Simulationstechniken wird hier nicht weiter eingegangen, sie kann in [32] eingesehen werden. An dieser Stelle sollen allerdings einige Resultate der Simulationen von Miller und Whorter zusammenfasst werden, da sie einen Eindruck der theoretischen Funktionsweise eines FeFETs vermitteln und später einen Vergleich mit experimentell ermittelten Transistorkennlinien erlauben.

In Abbildung 1.21a wird die Simulation der Polarisation eines 100 nm dünnen Ferroelektrikums für unterschiedliche Sättigungspolarisationen P_s wiedergegeben, wobei das Verhältnis von P_r/P_s konstant gehalten wurde. Abbildung 1.21b zeigt eine Simulation der Polarisation in Abhängigkeit von der Gatespannung $P(V_G)$. Der Knick in der Mitte der Kurven

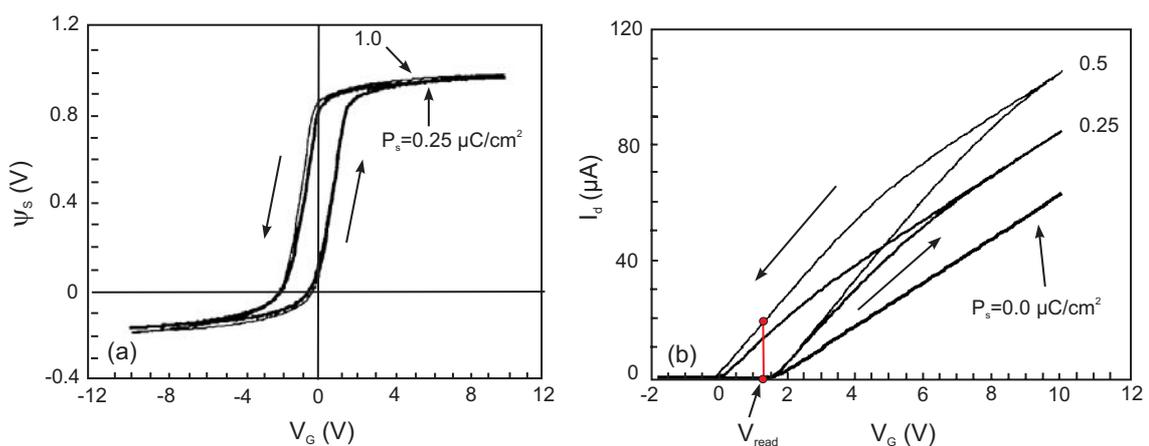


Abbildung 1.22: (a) Auftragung des Oberflächenpotentials ψ_s gegen die Gatespannung V_G eines Gatestacks mit Ferroelektrikum. (b) Simulation der Transferkennlinie eines FeFETs. Das Ferroelektrikum bewirkt eine Verschiebung der Kurve. Nachbearbeitet aus [32].

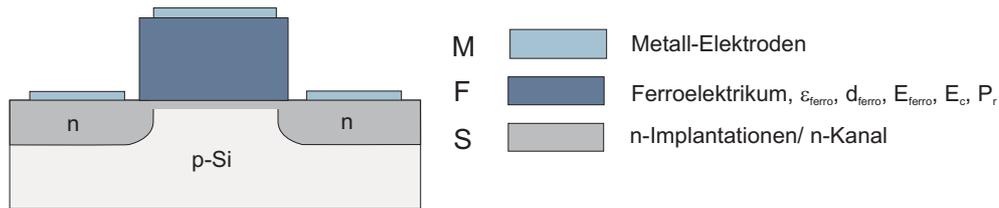


Abbildung 1.23: Schematische Darstellung einer MFS-Struktur.

wird durch die Verarmungszone im Silizium verursacht. In Abbildung 1.22a wird eine Simulation des Oberflächenpotentials ϕ einer MFIS-Struktur (siehe Kapitel 1.3.3) gezeigt. Die Hysterese wird durch die remanente Polariation des Ferroelektrikums verursacht. Eine Simulation der Transferkennlinie wird in Abbildung 1.22b gezeigt. Durch Auslesen an einer festen Gatespannung V_G kann zwischen einem hochohmigen und niederohmigen Kanalwiderstand unterschieden werden. Dies kann zur Speicherung logischer Information ausgenutzt werden.

1.3.3 Gatestrukturen von FeFETs

Eine Verwirklichung ferroelektrischer Feldeffekttransistoren wurde in der Vergangenheit mittels unterschiedlicher Ansätze verfolgt. In diesem Abschnitt werden drei der wichtigsten Realisierungskonzepte eines FeFETs vorgestellt.

Die MFS-Gate-Struktur

Wie schon zuvor erwähnt, ist das naheliegendste Konzept eines FeFET, die MFS-Struktur (**M**etal **F**erroelectric **S**emiconductor). Hierbei wird die ferroelektrische Schicht direkt auf den Halbleiter abgeschieden. Abbildung 1.23 zeigt den Querschnitt einer solchen MFS-Struktur. Obwohl dieses Konzept auf den ersten Blick einfach erscheint, entstanden erste Schwierigkeiten schon der Abscheidung des Ferroelektrikums auf Silizium. Da Silizium ein sehr reaktives Element ist (es bildet mit vielen Metallen Silikate), beobachtet man häufig Reaktionen zwischen dem Ferroelektrikum und Silizium. Durch die hohen Depositionstemperaturen werden auch Diffusionen, z.B. Pb, zwischen Ferroelektrikum und Silizium beobachtet. Dadurch ist die Silizium-Grenzfläche nicht kontrollierbar. Hohe Abscheidetemperaturen unter Sauerstoffatmosphäre führen zusätzlich zu einer Oxidation des Siliziums an der Oberfläche. Durch die Diffusions- und Reaktionsmechanismen an der Silizium-Grenzfläche ist das Wachstum der ferroelektrischen Schicht beeinträchtigt. Messungen an solchen Schichtsystemen zeigen schlechte ferroelektrischen Eigenschaften.

In Anbetracht dieser Schwierigkeiten, läge es nahe ein weniger reaktives Halbleitermaterial zu verwenden. Dies ist zur Zeit seitens Speicherindustrie wegen hoher Kosten alternativer Materialien nicht erwünscht. Es wurde bereits gezeigt, dass es prinzipiell möglich ist, andere Materialien wie beispielsweise LaCaMnO_3 als Halbleiter zu verwenden [35].

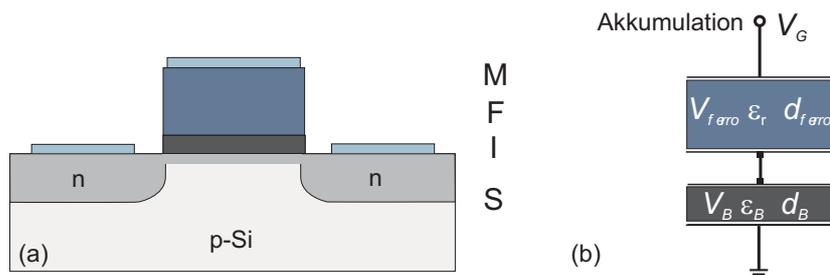


Abbildung 1.24: (a) Schematische Darstellung einer MFIS-Struktur. (b) Die zusätzliche dielektrische Bufferschicht wirkt als Spannungsteiler und reduziert die an der ferroelektrischen Schicht abfallenden Spannung.

Die MFIS-Gate-Struktur

Ein weiteres Konzept ist das MIFS-Konzept (**M**etal **F**erroelectric **I**nsulator **S**emiconductor). Abbildung 1.24a zeigt das Schichtsystem einer solchen MFIS-Struktur. Die zusätzliche dielektrische Schicht zwischen Ferroelektrikum und Halbleiter soll Interdiffusionen und Reaktionen mit dem Siliziumsubstrat verhindern.

Die dielektrische Zwischenschicht wirkt aber nicht nur als Bufferschicht oder Diffusionsbarriere, sie hat auch elektrische Auswirkungen auf das Gesamtbauteil. Wird eine Gate-Spannung V_G an eine MFIS-Diode angelegt, so fällt ein Teil der Spannung an der dielektrischen Schicht ab. Abbildung 1.24b zeigt dies schematisch. Als wichtiger Parameter für Anwendungen gilt die Betriebsspannung eines Bauteils. Spricht man von Speicherzellen für Computeranwendungen, so sollte die Betriebsspannung deutlich unter 5 V liegen. Für die an der ferroelektrischen Schicht abfallenden Spannungen einer MFIS-Struktur erhält man nach [36]:

$$V_{ferro} = \frac{V_G}{\frac{\epsilon_{ferro}}{d_{ferro}} \cdot \frac{d_B}{\epsilon_B} + 1} \quad . \quad (1.53)$$

Hierin sind ϵ_{ferro} , ϵ_B , d_{ferro} und d_B die Dielektrizitätskonstanten und Dicken der ferroelektrischen und dielektrischen Schichten. Ferroelektrika wie PZT oder auch BTO haben aufgrund ihrer großen Polarisierbarkeit ($\epsilon_{ferro}=300-1000$) sehr große Dielektrizitätskonstanten. Aus obiger Gleichung ist ersichtlich, dass das Dielektrikum (Buffer) möglichst dünn und dessen Dielektrizitätskonstante möglichst groß sein sollte, damit der Spannungsabfall über der ferroelektrischen Schicht möglichst groß ist. Somit sind die Anforderungen an eine Bufferschicht vergleichbar mit denen an ein an ein high- ϵ Dielektrikum als alternativem Gateoxid. Das Ferroelektrikum sollte hingegen ein kleines ϵ_r und eine große Schichtdicke besitzen.

Die MFMIS-Gate-Struktur

Durch Hinzufügen einer metallischen Schicht zwischen dem Ferroelektrikum und der Bufferschicht gelangt man zu der sogenannten *floating-gate*-Struktur. Abbildung 1.25 zeigt

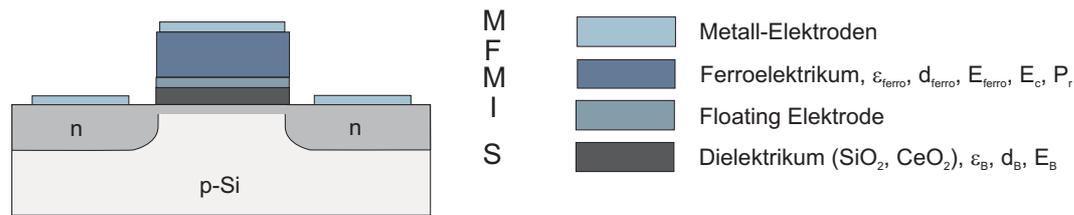


Abbildung 1.25: Schematische Darstellung einer MFMIS-Struktur. Die metallische Zwischenschicht ist elektrisch nicht aktiv und wird deshalb *floating Elektrode* genannt.

den schematischen Aufbau eines MFMIS-Schichtstapels. Die metallische Zwischenschicht ist elektrisch nicht kontaktiert. Sie dient der Separation des Ferroelektrikums vom Dielektrikum.

Durch die Trennung der Schichten können Diffusionen leichter Elemente in das Dielektrikum verhindert werden. Zusätzlich erwartet man in einer MFMIS-Struktur kleine Depolarisationsfelder. Ferroelektrische PZT-Kondensatoren werden üblicherweise auf (111)-texturiertem Platin oder Iridium hergestellt. Da Platin ebenfalls auf untexturierten Materialien mit einer (111)-Orientierung aufwächst, können für eine MFMIS-Struktur auch amorphe Dielektrika verwendet werden.

1.4 Fehlermechanismen

Es ist erstaunlich, dass trotz umfangreicher Forschung und Entwicklung selbst nach fast einem halben Jahrhundert keine kommerziellen FeFET-Speicher-Produkte verwirklicht werden konnten. Dieser Umstand könnte auf ein prinzipielles Versagen des Speicherkonzeptes hindeuten. Denkbar ist auch das Versagen aufgrund der unzureichenden Qualität des ferroelektrischen Transistors. Einige Fehlermechanismen sind bekannt. In dem Artikel von T. P. Ma aus dem Jahre 2002 wird eine Übersicht zu dieser Problematik gegeben. Die Veröffentlichung trägt den bezeichnenden Titel: „*Why is a nonvolatile ferroelectric memory field-effect transistor still elusive?*“ [37]. Es sind vor allem zwei Phänomene, die stets als Erklärung kurzer Retentionzeiten genannt werden: 1. das Depolarisationsfeld und 2. Ladungstransporte innerhalb der Gateschichten. Beide führen zu einer Reduktion der effektiven Polarisation.

1.4.1 Das Depolarisationsfeld

Batra und Würfel von den *IBM Research Labs* gehörten zu den ersten Wissenschaftlern, die den Einfluss des Depolarisationsfeldes auf die Stabilität der ferroelektrischen Polarisation systematisch untersuchten. In einer Vielzahl von Veröffentlichungen aus den Jahren 1972 bis 1975, widmeten sie sich unter anderem der Fragestellung nach der thermodynamischen Stabilität der Polarisation in ferroelektrischen MFM-Kontakten unter Verwendung halbleitender Elektroden [38]-[44].

Abbildung 1.4 zeigt wie ein polarisiertes Ferroelektrikum in Domänen zerfällt. Durch die Polarisationsladungen an den Oberflächen wird ein inneres Feld erzeugt, welches der Po-

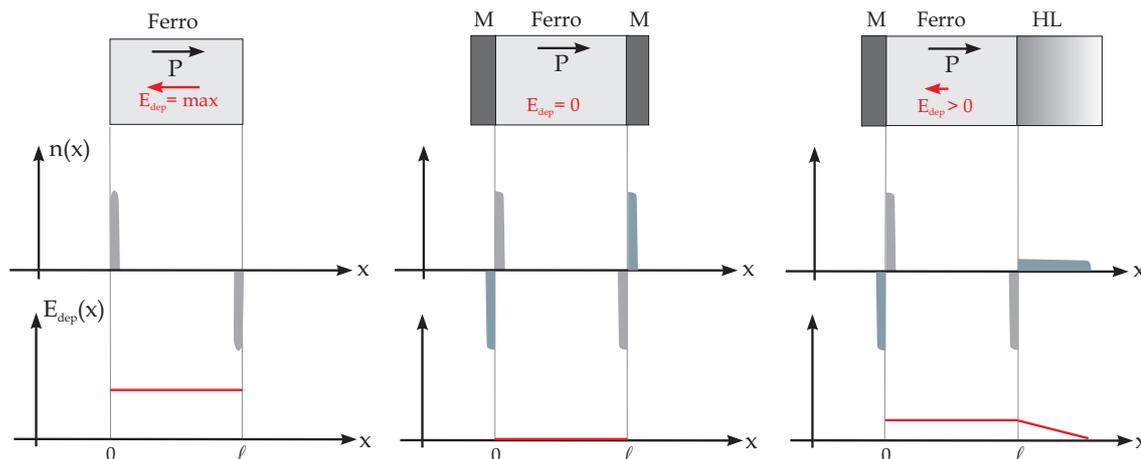


Abbildung 1.26: Depolarisationsfelder in ferroelektrischen Kondensatoren. Gezeigt werden die Fälle: ohne Elektroden (links), mit metallischen Elektroden (mitte) und mit halbleitenden Elektroden (rechts).

larisation entgegenwirkt. Dieses Feld wird als Depolarisationsfeld bezeichnet. Batra und Würfel untersuchten vor allem die Auswirkung von Elektroden mit unterschiedlichen Ladungsträgerkonzentrationen auf das Depolarisationsfeld.

In einem ferroelektrischen Kondensator, bestehend aus zwei metallischen Elektroden, werden im thermodynamischen Gleichgewicht⁵ die Polarisationsladungen durch freie Ladungen in den Elektroden kompensiert. Vernachlässigt man die Tatsache, dass die Ladungsschwerpunkte nicht übereinstimmen, so verschwindet das Depolarisationsfeld infolge der Ladungskompensation, wodurch auch die treibende Kraft für eine 180°-Domänenbildung entfällt. Der ferroelektrische Zustand wird durch die Kompensationsladungen stabilisiert. Was passiert, wenn anstelle metallischer nun halbleitende Elektroden verwendet werden? In einem Halbleiter bildet sich an der Grenzschicht zu einem polarisierten Ferroelektrikum eine Raumladungszone aus, deren Größe abhängig von der Konzentration freier Ladungsträger N_A im Halbleiter ist (siehe Gleichung 1.17). Durch die endliche Ausdehnung der Raumladungszone bleibt ein Teil des Depolarisationsfeldes im Ferroelektrikum erhalten und kann zu einer Destabilisierung führen. In Abbildung 1.26 wird dies für drei unterschiedliche Elektrodenmaterialien illustriert.

Für ihre Experimente nutzten Batra und Würfel TGS-Filme oder TGS-Bulk Proben mit metallischen und halbleitenden Elektroden. Eine zusätzliche Variation der Ladungsträgerkonzentration wurde durch Generierung von Ladungsträgern mittels UV-Licht Bestrahlung erreicht. Abbildung 1.27a zeigt Polarisationsmessungen an einem MFS-Kontakt. Hierzu wurde ein $1\ \mu\text{m}$ dicker TGS-Film auf einem Silizium-Substrat abgeschieden und mit einer Au-Elektrode versehen. Die Hysterese wird größer wenn die Probe einer UV-Strahlung ausgesetzt wird. Im Akkumulationsregime hingegen, d.h. bei negativen Bias-Spannungen, verändert sich die Hysterese nicht, da sich Majoritätsladungen an der Grenz-

⁵Im themodynamischen Gleichgewicht sind beide Elektroden leitend miteinander verbunden, so dass das Fermi-niveau horizontal durch den Kontakt verläuft.

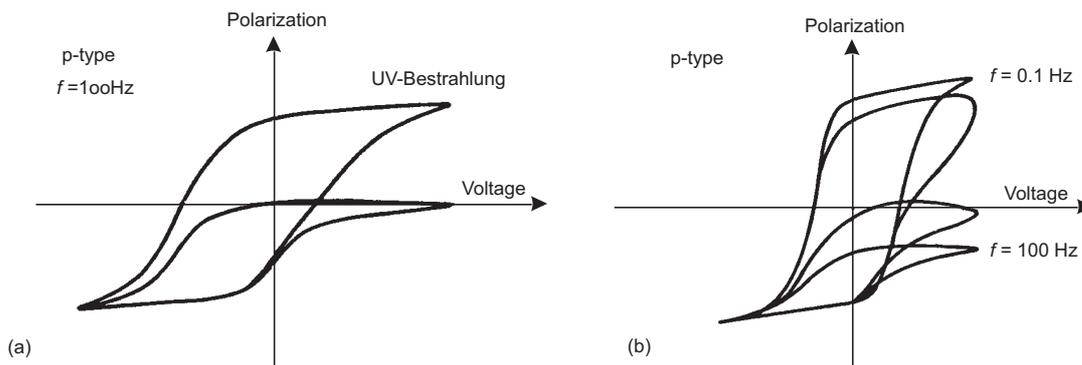


Abbildung 1.27: P(V)-Messungen an einer Au/TGS(1 μm /Si-Probe. (a) Messungen mit und ohne UV-Bestrahlung. (b) Frequenzabhängigkeit unter UV-Bestrahlung. Nach [44], bearbeitet.

fläche zum Ferroelektrikum ansammeln und die Polarisationsladungen abschirmen. Die Bildung von Minoritätsladungsträgern dauert in Silizium länger als eine Sekunde, da diese über eine Bandlücke von $E_g = 1.1 \text{ eV}$ generiert werden müssen [44]. Entsprechend steigt bei kleineren Frequenzen die Konzentration an Kompensationsladungen in der halbleitenden Elektrode, das Depolarisationsfeld verkleinert sich. In Abbildung 1.27b wird dies für einige Frequenzen gezeigt. Eine Frequenzabhängigkeit ist deutlich zu erkennen.

Würfel und Batra entwickelten zudem ein thermodynamisches Modell zur Stabilität der Polarisation in Abhängigkeit des Depolarisationsfeldes, ausgehend vom allgemeinen Ansatz der inneren Energie $F(T, P)$ des Systems:

$$F(T, P) = F_0(T) + \frac{1}{2}\alpha P^2 + \frac{1}{4}P^4 - \int_0^P E_f dP' + \frac{1}{l}F_{\text{elstat}} \quad . \quad (1.54)$$

Hierin ist $\alpha \equiv 4\pi(T - T_0)/C$, C die Curie-Konstante und T_0 die Bulk-Übergangstemperatur des Ferroelektrikums. E_f ist das makroskopische elektrische Feld im Ferroelektrikum und F_{elstat} berücksichtigt die elektrostatische Energie zwischen der Polarisationsdiskontinuität und den Kompensationsladungen in den Elektroden. Sie konnten zeigen, dass schon ein Luftspalt von nur 10 \AA zwischen Ferroelektrikum und Elektrode große Auswirkungen auf die Stabilität der Polarisation hat. Für Abbildung 1.28 wurden einige dieser Berechnungen zusammengetragen.

Zusammenfassend kann gesagt werden, dass Depolarisationsfelder den Polarisationszustand destabilisieren. Eine Verringerung des Depolarisationsfeldes kann durch Verwendung hochdotierter Halbleiter erreicht werden. Desweiteren sollte eine eventuell vorhandene Bufferschicht sehr dünn sein, damit das Depolarisationsfeld minimal ist.

1.4.2 Leckströme

Ein zweiter Fehlermechanismus, der ebenso zu einer Absenkung der effektiven Polarisation und somit zu einer Abnahme des Feldeffektes in einem ferroelektrischen Transistor führen

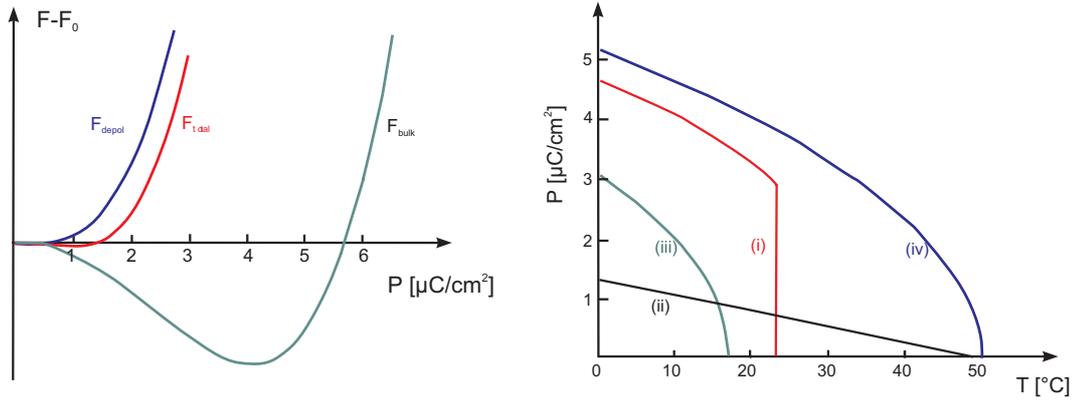


Abbildung 1.28: Links: Freie Energie in Abhängigkeit der Polarisation eines $100\ \mu\text{m}$ dicken TGS-Films mit einer metallischen und einer halbleitenden n-Si-Elektrode. Rechts: Spontane Polarisation als Funktion der Temperatur für TGS mit verschiedenen Elektroden. (i) intrinsische Si-Elektroden auf 100nm TGS, (ii) eine Metall- und eine Si-Elektrode, (iii) 400nm TGS mit Luftspalt (Lücke: $10\ \text{\AA}$) und Metallelektroden, sowie (iv) bulk-TGS. Aus [44], nachbearbeitet.

kann, sind Ladungsbewegungen in den Gateschichten. Bewegliche Ladungsträger können zur ferroelektrischen Schicht diffundieren und die Polarisationsladungen abschirmen. Ladungstransporte in dielektrischen Schichten werden üblicherweise in drei Mechanismen untergliedert: in die *Poole-Frenkel-Emission*, die *Schottky-Emission* und das *Fowler-Nordheim-Tunneln* (FN). Eine schematische Darstellung dieser Mechanismen wird in Abbildung 1.29 gezeigt.

Schottky-Emission

Reicht die thermische Energie der Ladungsträger in einer Elektrode aus um die Energiebarriere zwischen Elektrode und Leitungsband des Isolators zu überwinden, so können diese in den Isolator injiziert werden. Bildkräfte bewirken eine zusätzliche Absenkung der Energiebarriere um den Betrag $q\Delta\phi$. Abbildung 1.29c zeigt schematisch die thermionische Schottkyemission. Der durch diesen Prozess verursachte Ladungstransport kann formell beschrieben werden:

$$J_s = A \cdot T^2 \cdot \exp\left(\frac{-q(\phi_B - \Delta\phi)}{k_B T}\right), \quad \text{mit} \quad (1.55)$$

$$\Delta\phi = \sqrt{\frac{qE}{4\pi\epsilon_{\text{opt}}\epsilon_0}} \quad \text{und} \quad A = \frac{4\pi q m_{\text{eff}} q k_B^2}{h^3} . \quad (1.56)$$

Hierin ist A die Richardson-Konstante, m_{eff} die effektive Elektronenmasse und h die Planck-Konstante.

M. Fitsilis [29] hat die Auswirkung des Leckstromes auf die Retentionzeiten für unterschiedliche Barrierenhöhen ϕ_B untersucht. Abbildung 1.30a zeigt einige Ergebnisse dieser

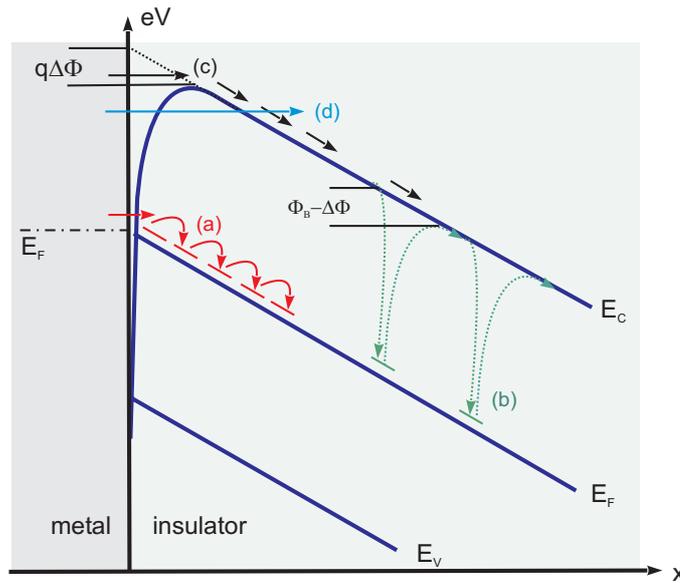


Abbildung 1.29: Ladungstransport-Mechanismen in dielektrischen Dünnschichten. (a) und (b) Poole-Frenkel-Mechanismus, (c) thermionische Schottky-Injektion und (d) FN-Tunnel-Mechanismus.

Simulationen. In Abbildung 1.30b wird die Zeitabhängigkeit des Depolarisationsfeldes E_{FE} für verschiedene Barrierenhöhen gezeigt.

1.4.3 Poole-Frenkel-Emission

Die Poole-Frenkel Emission ist in Abbildung 1.29a und b dargestellt. Ladungen die in das Dielektrikum injiziert werden, können durch Traps in der Nähe der Bandkanten eingefangen und anschließend in das jeweilige Band oder in eine benachbarte freie Lücke (Trap) emittiert werden. Dadurch ist ein Ladungstransport über diese Defekte möglich. In oxidischen Dielektrika sind oftmals zahlreiche Sauerstoffleerstellen vorhanden, die als derartige Einfangzentren fungieren. Über diesen als *Hopping-Mechanismus* bezeichneten Ladungstransport können Ladungen selbst über große Längen (einige 100 nm) transportiert werden. Der Poole-Frenkel-Ladungsstrom kann wie folgt angegeben werden [29]:

$$J_{\text{PF}} = \sigma_{\text{PF}} \cdot E \cdot \exp\left(\frac{-q(\phi_B - \Delta\phi)}{k_B T}\right) \quad (1.57)$$

$$\Delta\phi = \sqrt{\frac{qE}{\pi\epsilon_{\text{opt}}\epsilon_0}} \quad (1.58)$$

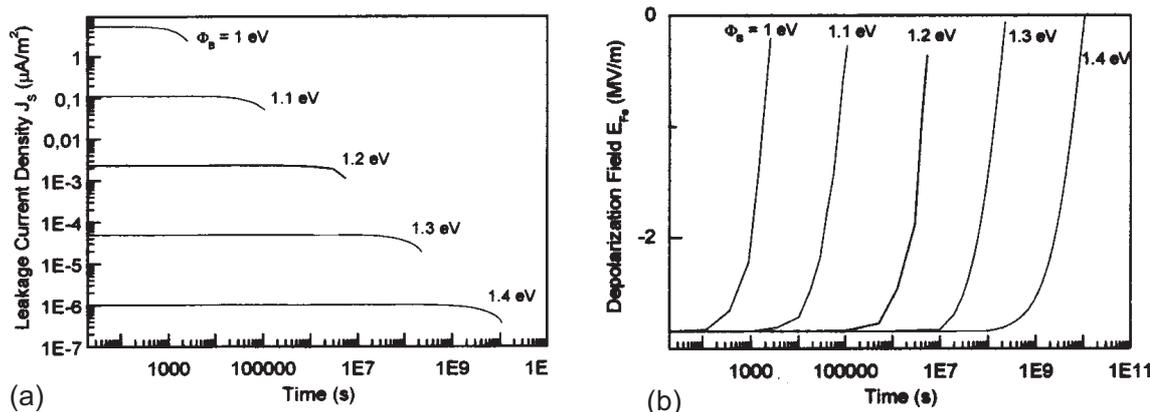


Abbildung 1.30: Simulation der Retentionzeiten unter Annahme einer Schottky-Emission von Ladungsträgern. (a) Zeitabhängigkeit des Leckstroms für verschiedene Barrierenhöhe ϕ_B . (b) Zeitabhängigkeit des Depolarisationsfeldes für unterschiedliche Barrierenhöhen. Aus [29].

Fowler-Nordheim-Tunneln

Bei sehr dünnen Dielektrika kann es zu einem Tunnelprozess von Ladungsträgern durch die Oxidschicht an die Grenzfläche zum Ferroelektrikum kommen. Dieser als Fowler-Nordheim Tunneln (FN) bezeichnete Tunnelprozess wird in Abbildung 1.29d gezeigt und lässt sich durch

$$J_{\text{FN}} = \frac{q^2}{8\pi h \phi_B} E^2 \exp\left(\frac{-8\pi\sqrt{2m_{\text{eff}}}(q\phi_B)^{3/2}}{3hqE}\right) \quad (1.59)$$

beschreiben.

Berechnungen der Retentionzeiten unter Annahme einer Poole-Frenkel Emission, mit einer Barrierenhöhe von $\phi_B = 0.5$ eV und einer Leitfähigkeit von $\sigma_{\text{FP}} = 200$ nA/m ergeben Retentionzeiten von $t = 10^6$ s [29]. Die durch den FN-Tunnel-Mechanismus getragenen Leckströme sind nach Fitsilis sehr viel kleiner als die durch eine Schottky-Emission bei gleicher Barrierenhöhe ϕ_B verursachten Leckströme. Demnach ist der Anteil des FN-Mechanismus am Ladungstransport vernachlässigbar.

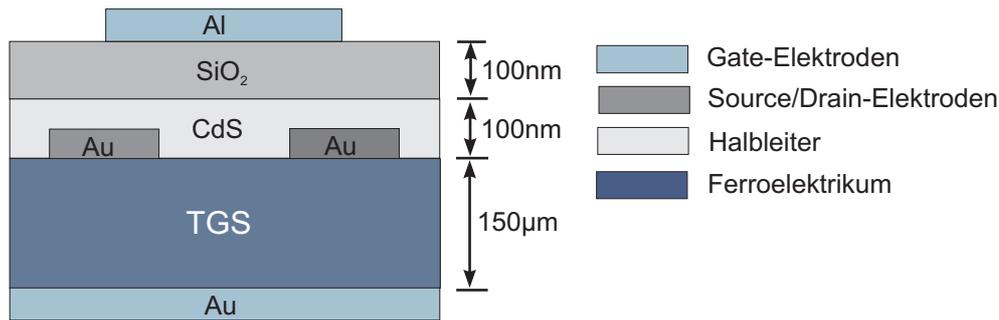


Abbildung 1.31: Schematische Darstellung des ersten FeFETs auf Basis eines TGS-Substrates. Der Feldeffekttransistor wurde in Dünnschichttechnologie auf einem nur 150 µm dicken Substrat hergestellt.

1.4.4 FeFET – ein kurzer historischer Abriss

Die remanente Polarisierung von Ferroelektrika mit dem Feldeffekt von Halbleitern zu kombinieren wurde erstmals 1957 in der Patentanmeldung von I. M. Ross aus den Bell Labs vorgeschlagen [45]. Es dauerte fast sechs Jahre bis schließlich 1963 die Wissenschaftler J.L. Moll und Y. Tarui auf der internationalen Konferenz *Solid State Conference* in Lansing, Michigan einen ferroelektrischen Feldeffekttransistor präsentierten. Dieser wurde auf Basis eines ferroelektrischen TGS⁶-Kristalls, mit einer dünnen halbleitenden CdS-Schicht [46] realisiert. Abbildung 1.31 zeigt den Querschnitt des ersten Transistors.

In der Folgezeit konzentrierte man sich auf ähnlich aufgebaute Transistoren. Da zu dieser Zeit Prozesse zur Herstellung dünner halbleitender Schichten, wie CdS und SnO₂, weiter entwickelt waren als Abscheidungsprozesse ferroelektrischer Schichten, wurden FeFET-Experimente auf ferroelektrischen Bulk-Kristallen durchgeführt [47–49].

Shu-Yau Wu von den *Research Laboratories Westinghouse* gelang 1974 erstmals die Verwirklichung eines ferroelektrischen Transistors auf einem Silizium-Substrat [50]. Als Ferroelektrikum verwendete er eine direkt auf das Substrat gesputterte Bi₄Ti₃O₁₂-Schicht. Abbildung 1.32 zeigt die Kennlinien des ersten ferroelektrischen FETs auf Siliziumbasis. Es zeigte sich überraschend, dass die Hysteresen in den Kennlinien den *falschen* Durchlaufsinne aufwiesen. Wu konnte dafür eine plausible Erklärung bieten: *Ladungsträgerinjektion*.

Im Jahre 1975 zeigten Sugibuchi *et al.* [51], dass eine Ladungsträgerinjektion durch eine Zwischenschicht aus Siliziumoxid verhindert werden kann. Damit wurde das MFS-Konzept zum MFIS-Konzept erweitert. Einen ganz anderen Weg beschritten die Forscher um Higuma *et al.* [52]. Sie nutzten GaAs als halbleitendes Substrat und PZT und PLZT als ferroelektrische Schichten. Im gleichen Jahr, 1975, untersuchten die Forscher Ito und Tsuchiya den Effekt von Traps auf die *memory*-Charakteristiken von MFS-Strukturen [53].

Mehr als zehn Jahre später, im Jahre 1988, sorgte dann ein anderes ferroelektrisches Speicher-Bauteil für Furore: das **FeRAM** [54]. Eine FeRAM-Zelle besteht aus mindestens einem Feldeffekttransistor und einer separaten ferroelektrischen Kapazität. Im Gegensatz zum FeFET ist nicht der Transistor der eigentliche Speicher, sondern der separate ferro-

⁶TGS=Triglyzerinsulfat

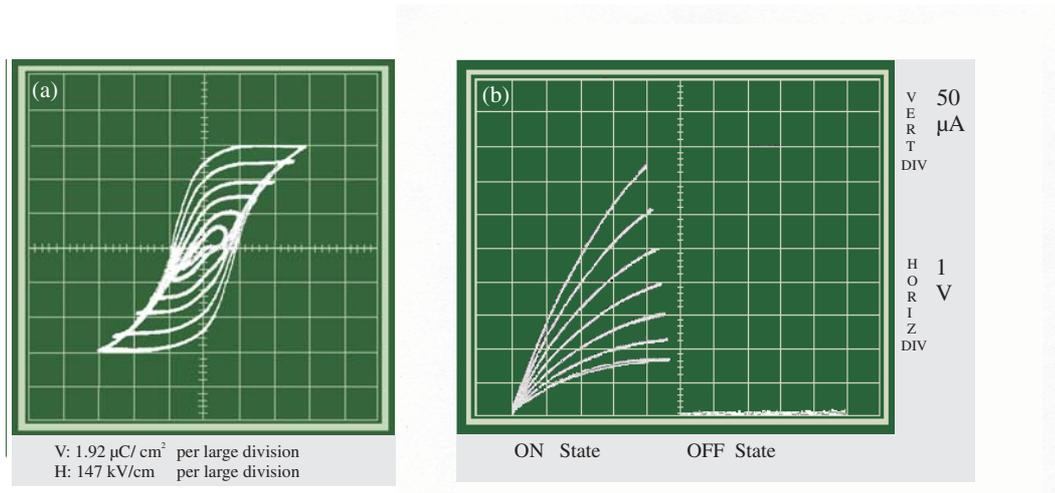


Abbildung 1.32: Kennlinien des ersten FeFET auf Silizium Basis. (a) P(V)-Hysterese einer $3.4\ \mu\text{m}$ dicken $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ -Schicht. (b) Kennlinien des MFS-Transistors. Die ferroelektrische Schicht wurde mit $\pm 20\text{V}$ Pulsen polarisiert. Beide Abbildungen sind aus [50] entnommen und wurden graphisch nachbearbeitet.

elektrische Kondensator. Der Polarisationszustand eines ferroelektrischen Kondensators kann durch eine einfache Pulsmessung bestimmt werden. Es dauerte nur eine kurze Zeit, bis erste Speicher-Arrays in Form eines 256 bit-RAMs präsentiert wurden [55]. Zum Vergleich: 2007 wurde von Toshiba ein 64Mbit großer FeRAM-Chip auf der ISSCC vorgestellt. Im Jahre 1991 gelang es Wissenschaftlern von Westinghouse das nichtoxidische Ferroelektrikum BaMgF_4 direkt auf Silizium abzuscheiden [56], [57]. Fluoride haben den großen Vorteil, dass sie ohne Sauerstoff abgeschieden werden können. Eine störende Oxidbildung kann so verhindert werden. Ein Jahr später stellten Forscher von Westinghouse erstmals einen FeFET unter Verwendung einer ferroelektrischen BaMgF_4 -Schicht auf Silizium vor [58]. Es zeigte sich, dass die Retentionzeiten nur einige Stunden betragen; zu wenig für einen nichtflüchtigen Speicher. Dies wurde auf die hauptsächlich in Filmebene liegende Polarisationsachse des BaMgF_4 zurückgeführt. Westinghouse verabschiedete sich damit nach jahrzehntelanger Forschung vom Gebiet ferroelektrischer Transistoren, dies bedeutete jedoch nicht das Ende der FeFET-Entwicklung.

1994 wurde von Nakamura und Kollegen die *floating-gate*-Struktur mit dem Ziel einer Verbesserung der Grenzschicht zum Silizium vorgeschlagen. In den Folgejahren wurde dieses Konzept durch die Einführung unterschiedlicher Flächenverhältnisse der floating-Elektrode und der ferroelektrischen Schicht weiterentwickelt. Dadurch kann man den Spannungsabfall an der ferroelektrischen Schicht beeinflussen. Hier haben in den letzten zehn Jahren H. Ishiwara *et al.* sehr umfangreiche Untersuchungen an MFMIS- (und MFIS)-Strukturen mit teilweise unterschiedlichen Flächenverhältnissen betrieben [59], [60], [61]. Abbildung 1.33a zeigt schematisch eine MFMIS-Struktur mit unterschiedlichen Flächen der Floating-Elektrode und der ferroelektrischen Schicht.

In den letzten Jahren konnte das prinzipielle Funktionieren einkristalliner FeFETs auf Basis Perovskitischer Materialien wie SrTiO_3 , PZT, SrRuO_3 oder LaSrCuO gezeigt wer-

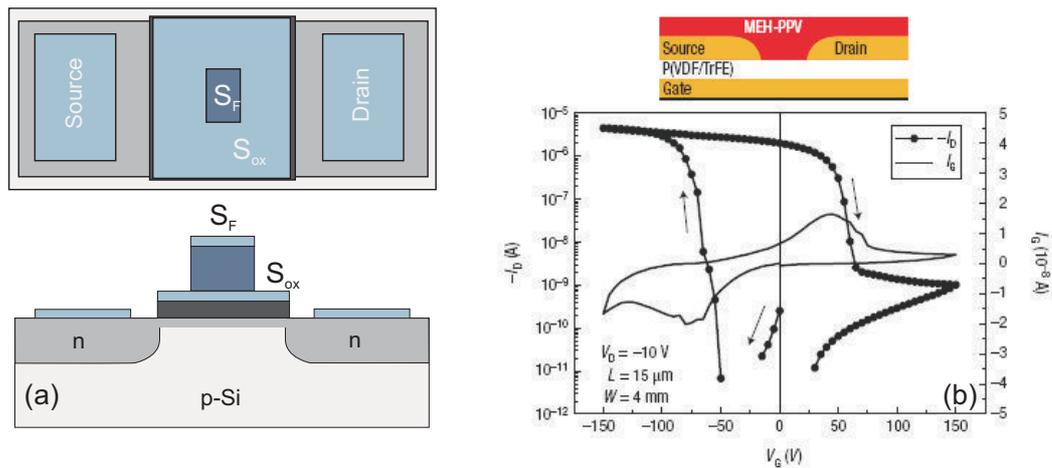


Abbildung 1.33: (a) MFMIS-Struktur mit unterschiedlich großen Flächen der floating Elektrode und der ferroelektrischen Schicht. (b) Erster Polymer-FeFET, aus [64].

den [62, 63, 65]. 2005 wurde schließlich ein vollständig auf Polymeren basierender FeFET präsentiert. In Abbildung 1.33b werden der Aufbau und einige Kennlinien des ersten vollständigen Polymer-FeFETs dargestellt [64].

Derzeit ist der FeFET jedoch noch entfernt von einer kommerziellen Anwendung. Obgleich über mehrere Jahrzehnte intensiv an der Realisierung geforscht wurde, ist es bisher nicht gelungen einen Prototypen herzustellen, der alle an einen nicht volatilen Speicher gestellten Anforderungen erfüllt.

Kapitel 2

Materialien

In diesem Kapitel werden die wichtigsten Materialien, die in der Arbeit an späterer Stelle Erwähnung finden, genannt und insbesondere ihre strukturellen und funktionalen Eigenschaften vorgestellt. Diese werden der besseren Übersicht wegen nach ihren Eigenschaften in die Gruppe der Dielektrika und der Ferroelektrika eingeteilt. Hierin wird dem organischen Ferroelektrikum PVDF besondere Beachtung geschenkt.

2.1 Ferroelektrika

2.1.1 PVDF

Die Grundmaterialien für PVDF sind Fluorwasserstoff und Methylchloroform die zu Chlordifluorethan und weiter zu Vinylidenfluorid synthetisiert werden. Vinylidenfluorid wird dann in hochreinem Wasser unter kontrollierten Druck- und Temperaturverhältnissen mittels eines Katalysators zu PVDF (**P**olyvinylidene**fl**uorid) hergestellt [66]. Im Jahre 1969 wurden erstmals von H. Kwai [67] die piezoelektrischen Eigenschaften von PVDF beschrieben. Zwei Jahre später, 1971, veröffentlichten Bergmann *et. al* Messungen zu pyroelektrischen Eigenschaften von PVDF [68]. Es dauerte nicht lange bis erste kommerzielle Anwendungen wie flexible Ultraschallwandler verwirklicht wurden [69]. Aufgrund der chemischen Resistenz gegen viele Säuren und Laugen wird PVDF heute, neben der Anwendung als Piezoelektrikum, als Material für Flüssigkeitsleitungen und als Membranmaterial in der Medizintechnik eingesetzt.

Die ferroelektrischen Eigenschaften von PVDF blieben nach der Entdeckung der Piezoelektrizität zunächst unentdeckt. Erste Vermutungen über unpolarisierbare kristalline Dipole in PVDF kamen in den Jahren 1971-1981 aufgrund von Röntgen- und IR-Messungen auf [70, 71]. Der direkte Nachweis der Ferroelektrizität in PVDF gelang Furukawa *et al.* im Jahre 1980 durch Messung von $D(E)$ -Hysteresen [72, 73]. Takeo Furukawa hat einen Übersichtsartikel über die ferroelektrischen Eigenschaften von PVDF und dessen Co-Polymeren geschrieben, in welchem er auch eine Einsicht in die Historie von PVDF [74] gibt. Aktuell wird PVDF als piezoelektrisches Material in laminierten PVDF/metglas-Magnetfeldsensoren auf Basis des sogenannten Magneto-Elektrischen-Effekts (ME) gete-

stet [75].

2.1.2 Struktur von PVDF und Co-Polymeren

PVDF besteht aus einer Kette nicht-konjugierter fluoridierter Kohlenwasserstoffe mit einer einfachen, linearen $(\text{CH}_2\text{-CF}_2)_n$ Sequenz [76, 77]. Es liegt in seiner Zusammensetzung zwischen Polyethylen $(\text{CH}_2\text{-CH}_2)_n$ und Tetrafluoroethylen $(\text{CF}_2\text{-CF}_2)_n$. Man unterscheidet im wesentlichen zwei unterschiedliche Konformationen, die all-trans- und die trans-gauche-Konformation. In der all-trans-Konformation (TTTT), auch β -Phase genannt, liegen die Kohlenstoffatome in einer Ebene. Abbildung 2.2a zeigt die Sequenz eines einzelnen PVDF-Moleküls in der all-trans-Konformation. Durch unterschiedliche Elektronegativitätszahlen von H- und F-Atomen bildet sich ein Dipolmoment der Größe $\mu = 7 \cdot 10^{-30}$ Cm aus, Abbildung 2.2b [78, 79]. Einzelne Moleküle können sich in einer orthorhombischen Struktur anordnen (Quasikristall) und so bei entsprechender Ausrichtung der einzelnen Moleküle eine makroskopische Polarisierung zeigen (Abbildung 2.2c). Das Dipolmoment einer Einheitszelle berechnet sich zu:

$$P_0 = \frac{2\mu}{abc} = 130 \text{ mC/m}^2 \quad . \quad (2.1)$$

Hierin sind a , b und c die Gitterkonstanten der Einheitszelle.

In der trans-gauche (TG $\overline{\text{TG}}$)-Konformation, einer weiteren stabilen Struktur des PVDFs, sind einzelne CH_2 - und CF_2 -Gruppen gegeneinander verdreht. In der sogenannten α -Phase sind diese (TG $\overline{\text{TG}}$)-PVDF-Moleküle antiparallel angeordnet, so daß die Netto-Polarisation verschwindet. In Abbildung 2.1 werden Transformationen zwischen verschiedenen polymorphen Phasen des PVDFs gezeigt. Auf die Struktur der δ - und γ -Phase wird nicht näher eingegangen, da sie aufgrund ihrer Instabilität hier nicht relevant ist. Näheres dazu kann in [74] und [78] nachgelesen werden. Wie in dem Schaubild verdeutlicht, können die verschiedenen Phasen durch Anlegen äußerer elektrischer Felder oder mechanischer

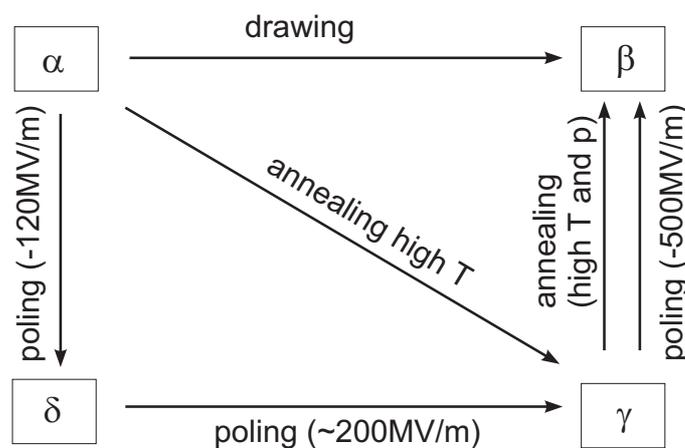


Abbildung 2.1: Schematischer Überblick über Transformationen einzelner Polymorpher von PVDF. Durch Druck-, Zug-, Feld- oder Temperaturänderungen kann eine Phasenumwandlung erreicht werden. Nach [74].

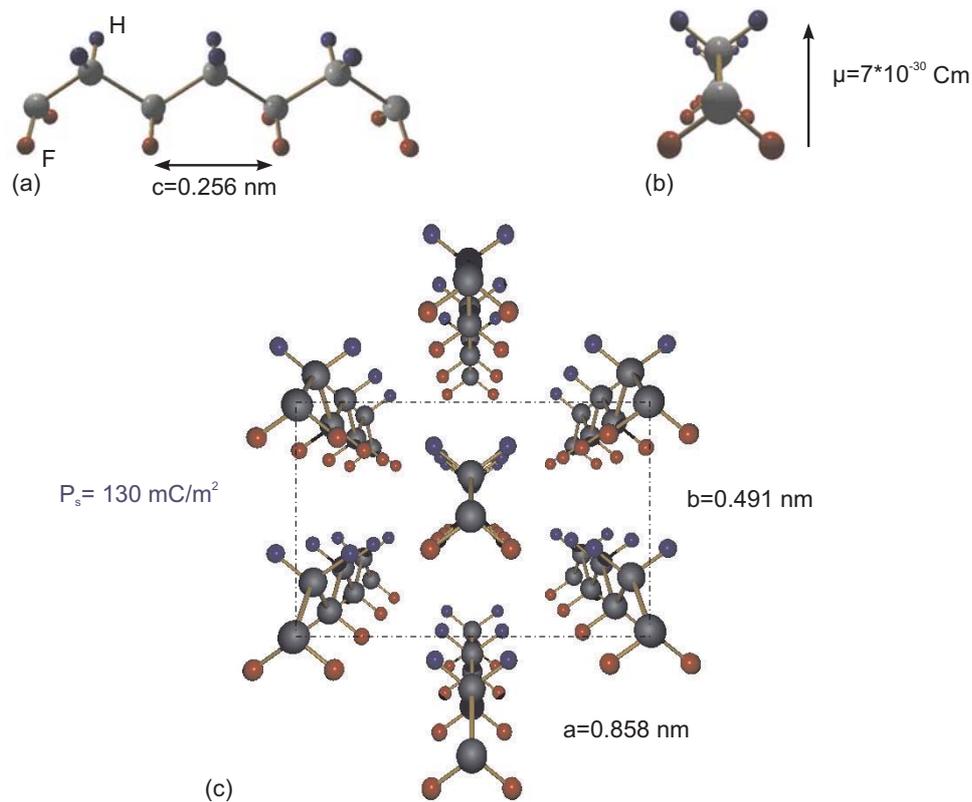


Abbildung 2.2: Schematische Darstellung von PVDF-Molekülen in der all-trans-Konformation. (a) Einziges PVDF-Molekül. (b) Dipolmoment eines PVDF-Moleküls. (c) Periodische Anordnung von PVDF-Molekülen in einer orthorhombischen Gitterstruktur (β -Phase).

Einwirkungen wie Druck und Zug oder durch thermische Energie, ineinander überführt werden.

Ferroelektrische Eigenschaften von PVDF

Unter den genannten Phasen zeigt nur die β -Phase des PVDF ferroelektrische Eigenschaften. Durch Mikrostrukturuntersuchungen wurde festgestellt, dass PVDF im Mittel zu einer Hälfte aus kristalliner und zur anderen Hälfte aus amorpher¹ Struktur besteht. Dies hat direkte Auswirkungen auf die ferroelektrischen Eigenschaften, da diese an die kristalline Phase gebunden sind. Werden PVDF-Anteile von TrFE (**T**rifluorethylen) beigemischt, so spricht man von dem Co-Polymer P(VDF-TrFE) mit einer Molekülkettenabfolge: $[(\text{CF}_2\text{-CH}_2)_x\text{-}(\text{CF}_2\text{-CHF})_{1-x}]_n$. Durch die Beigabe von TrFE zu PVDF ändert sich der kristalline Phasenanteil im Co-Polymer [74, 80]. Man kann in Mischungen von P(VDF-TrFE)(70/30) Kristallanteile von bis zu 90% erreichen. PVDF mit einer Beigabe von 50-90 mol% TrFE zeigen außerdem Anzeichen einer Curie-Temperatur, während reines

¹Ferroelektrische Polymere werden in der Literatur oftmals als Zwei-Komponenten-Systeme bezeichnet, bestehend aus kristallinen und amorphen Phasen.

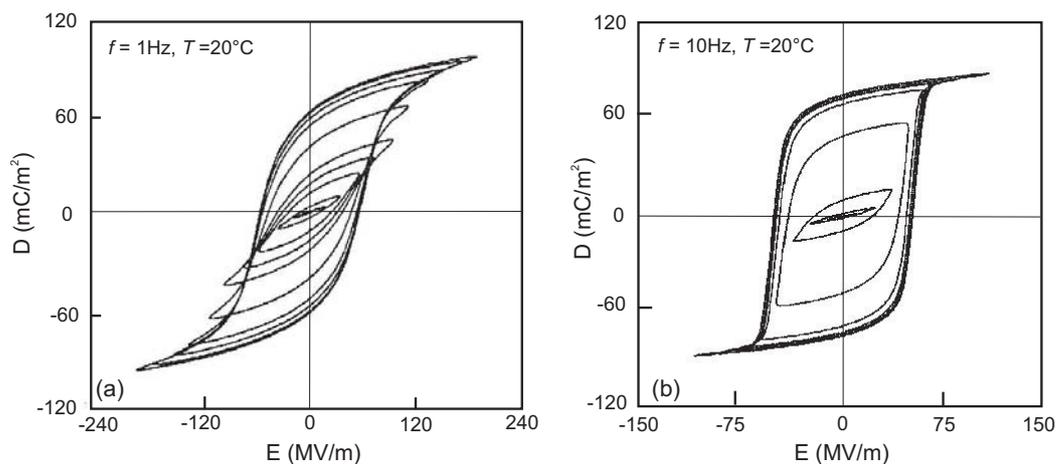


Abbildung 2.3: (a) $D(E)$ -Messungen eines $1 \mu\text{m}$ dicken PVDF Films [81]. (b) $D(E)$ -Messungen einer P(VDF(65)/TrFE(35))-Schicht mit einer Kristallinität von 80% [74].

PVDF eine solche vermissen lässt [72].

Abbildung 2.3 zeigt die Hysterese messung $D(E)$ einer $1 \mu\text{m}$ dicken PVDF-Probe und einer P(VDF-TrFE)(65/35)-Probe mit einer Kristallinität von ca. 80%. Es wird deutlich, dass die Co-Polymer-Proben eher rechteckig geformte Hysteresen zeigen, als reine PVDF-Proben. Nach Furukawa kann dies durch das Depolarisationsfeld erklärt werden. Die Tatsache, dass ein ferroelektrisches Polymer im Gegensatz zu kristallinen klassischen Ferroelektrika nicht vollständig kristallin ist, sondern aus amorphen und kristallinen Bereichen besteht, führt zu einem endlichen Depolarisationsfeld durch nicht abgesättigte Polarisationsladungen an den Phasengrenzen im Inneren des Polymers [82]. Beide Materialien zeigen Koerzitivfelder der Größenordnung $E_c = 70 \text{ MV/m}$ und einer remanenten Polarisation $P_r = 60 \text{ mC/m}^2$ [74].

Die Schaltzeiten klassischer Ferroelektrika, wie BaTiO_3 oder PbTiO_3 , liegen in der Größenordnung von 10ns, je nach Stärke des einwirkenden elektrischen Feldes. Da in ferroelektrischen Polymeren nicht einzelne Atome gegeneinander bewegt, sondern vielmehr ganze Molekülketten verdreht werden, um die Polarisationsrichtung umzudrehen, ist die Zeitdauer dieses Prozesses von Bedeutung. Untersuchungen von Anfang der 1980er Jahre zeigten, dass bei Raumtemperaturen Schaltzeiten von einigen μs erreicht werden, falls das elektrische Feld eine ausreichende Stärke besitzt [83].

Ferroelektrischer Phasenübergang

In ferroelektrischen Polymeren wird die ferroelektrische Phase durch die all-trans-Konformation gebildet, die paraelektrische Phase durch eine trans-gauche-Konformation. Ein ferro-paraelektrischer Phasenübergang erfolgt über eine Änderung der Konformation, die als strukturelle Transformation mittels Röntgenbeugung (XRD)- und IR-Spektroskopie untersucht werden kann [84–86]. Abbildung 2.4a zeigt eine XRD-Messung einer P[VDF(65)/TrFE(35)]-Schicht bei unterschiedlichen Temperaturen.

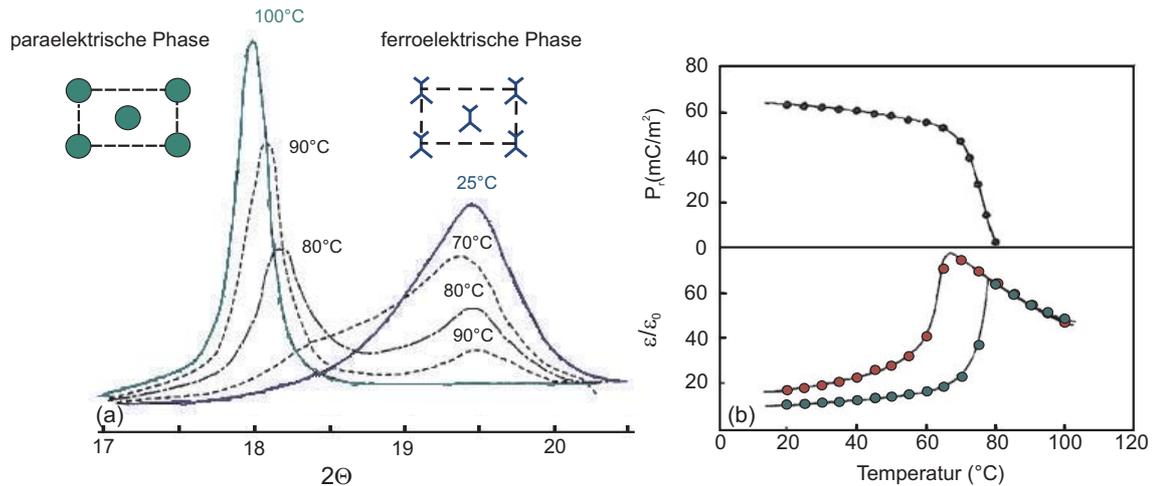


Abbildung 2.4: (a) $\Theta - 2\Theta$ -Messung einer VDF(65)/TrFE(35)-Probe bei unterschiedlichen Temperaturen. (b) Temperaturabhängigkeit der remanenten Polarisation P_r und der relativen dielektrischen Konstanten $\frac{\epsilon}{\epsilon_0}$. Aus [74], überarbeitet.

Sowohl in der ferroelektrischen, als auch in der paraelektrischen Phase liegt die Schicht in einer quasihexagonalen Struktur vor. Gezeigt wird der (200) Peak. Die Transformation einer all-trans- in eine trans-gauche-Konformation wird begleitet von einer Ausdehnung der intermolekularen Abstände, sichtbar in der Verkleinerung des Röntgenbeugungswinkels 2Θ von $2\Theta = 19.5^\circ$ auf 18° bei hohen Temperaturen. IR-Spektroskopien der ferro- und paraelektrischen Phasen zeigen, dass eine eindeutige Bestimmung der all-trans- und trans-gauche-Konformationen anhand unterschiedlicher Molekülschwingungen möglich ist [86].

Ferroelektrische Materialien werden üblicherweise in *displazive* oder *Ordnungs-Unordnungs-Ferroelektrika* eingestuft, abhängig davon, ob der Phasenübergang durch eine Verschiebung von Ionen erfolgt oder durch eine Ordnung permanenter Dipole. Anhand struktureller Untersuchungen können PVDF-Co-Polymere in die Gruppe der Ordnungs-Unordnungs-Ferroelektrika eingeordnet werden.

Die Ordnung eines Phasenüberganges kann anhand thermodynamischer Größen wie der *spezifischen Wärme* bestimmt werden. PVDF und seine Co-Polymere zeigen einen Phasenübergang erster Ordnung. Abbildung 2.4b zeigt Temperaturmessungen der Dielektrizitätskonstanten ϵ und der remanenten Polarisation P_r . Es zeigt sich eine Abhängigkeit der Übergangstemperatur T_c von der Polung des Materials. Eine Polung der Schicht führt zu einer höheren Ordnung der all-trans Molekülketten und die Übergangstemperatur T_c steigt. Dies führt zu der in Abbildung 2.4b gezeigten Hysterese. Untersuchungen verschiedener Zusammensetzungen von P(VDF/TrFE) zeigen das Auftreten thermischer Hysteresen in Verbindungen mit 50-80 mol% TrFE. Weiterführende Informationen sind in [74, 87] enthalten.

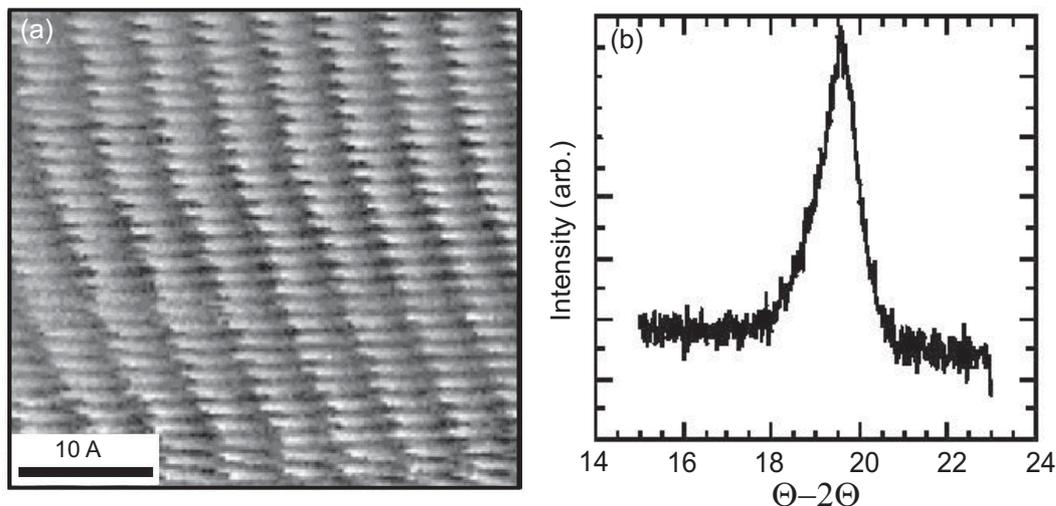


Abbildung 2.5: (a) STM-Aufnahme einer Monolage P[VDF(70)-TrFE(30)] auf Graphit [88]. (b) $\Theta - 2\Theta$ -Messung einer 150-Monolagen-Schicht [89].

Ultradünne ferroelektrische Polymerschichten

Funktionale Polymere werden seit einigen Jahren in der Mikroelektronik eingesetzt. Die *Polymerelektronik* ist ein stark wachsendes und interessantes Forschungsgebiet, da Polymere auf gezielte Funktionen hin synthetisiert werden können. Es gibt mittlerweile eine Vielzahl halbleitender und metallischer Polymer-Leiter die aufgrund ihrer mechanischen Flexibilität und Transparenz im optisch sichtbaren Wellenbereich Einzug in die Display-Herstellung gefunden haben. Zudem können sie in großen Mengen kostengünstig hergestellt werden. Mit der *Langmuir-Blodgett*(LB)-Methode, siehe Kapitel 4.3, können ultradünne ferroelektrische Polymerschichten von wenigen Monolagen abgeschieden werden. Seit einigen Jahren steht die Frage nach einem ferroelektrischen Limit im Fokus der Wissenschaften [5]. Während vor 30 Jahren noch ein ferroelektrisches Limit von 400 nm vorausgesagt wurde [90], konnte 1999 gezeigt werden, dass 12 nm BaTiO₃ ferroelektrisch sind [91]. Inzwischen konnten ferroelektrische Hysteresen in BaTiO₃ bis 5nm [92] und indirekt Ferroelektrizität in drei Monolagen PbTiO₃ nachgewiesen werden [93, 94]. Diese Arbeiten wurden alle mit keramischen Materialien durchgeführt. Mit der LB-Methode gibt es die Möglichkeit, ultradünne PVDF-Schichten herzustellen und somit die Möglichkeit ein ferroelektrisches Limit mit einer anderen Materialklasse zu untersuchen [88].

LB-deponierte PVDF-Co-Polymere zeigen einen sehr hohen Grad an Kristallinität, im Gegensatz zu anderen Depositionstechniken wie *solvent casting* oder *spin coating*. Diese führen in der Regel zu sehr viel dickeren Schichten mit meist schlechter Kristallinität, so dass ein nachträgliches Polen der Schichten notwendig ist. Abbildung 2.5a zeigt eine STM-Aufnahme einer LB-Monolage P(VDF-TrFE- 70:30) [88] auf Graphit. Das nebenstehende Diagramm stellt den (200)-Röntgen-Peak einer 150-lagigen Co-Polymerschicht dar.

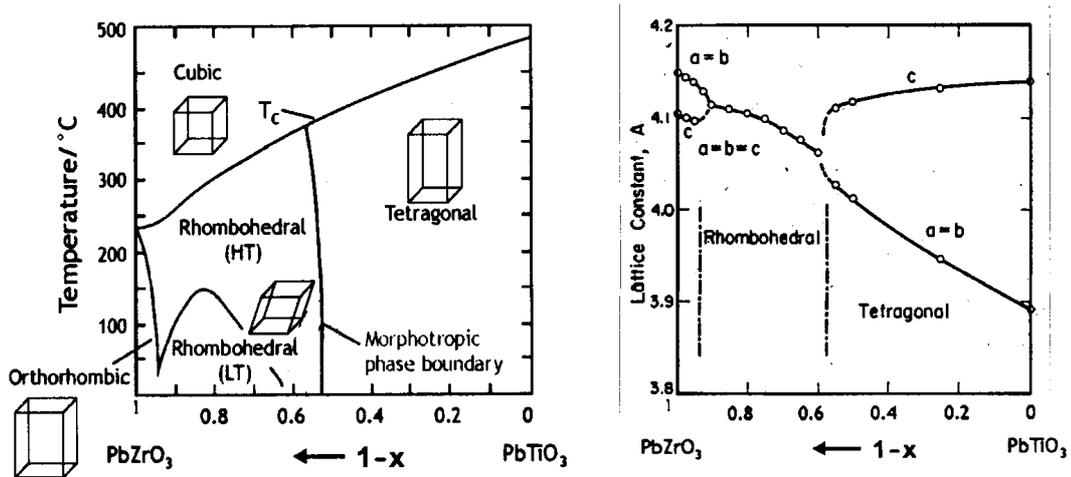


Abbildung 2.6: (a) Phasendiagramm von $\text{PbTi}_x\text{Zr}_{1-x}\text{O}_3$ als Funktion der Zusammensetzung und Temperatur. (b) Gitterparameter als Funktion der Zusammensetzung. Aus [95].

2.1.3 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$

$\text{PbTi}_x\text{Zr}_{1-x}\text{O}_3$ (PZT) ist neben BaTiO_3 ein wichtiges Ferroelektrikum, das in vielen Anwendungen wie piezoelektrische Aktoren, in Infrarotdetektoren oder in nicht-flüchtigen Speichern Einzug gehalten hat [96–98]. Im folgenden werden in Anlehnung an [5] einige strukturelle Eigenschaften von PZT erläutert. Abbildung 2.6 zeigt das Phasendiagramm von PZT als Funktion von Zusammensetzung und Temperatur. Oberhalb der kritischen Temperatur T_c liegt PZT in der paraelektrischen kubischen Phase vor. Für $x < 0.28$ zeigt PZT einen ferro-paraelektrischen Phasenübergang erster Ordnung und für $x > 0.28$ einen Phasenübergang zweiter Ordnung [99]. In der Zusammensetzung $60 < x < 0$ liegt PZT in der für Anwendungen relevanten tetragonalen Struktur vor, d.h. die Polarisationsachse zeigt in c -Richtung. Die morphotrope Phasengrenze trennt die tetragonale von der rhomboedrischen Struktur.

Die remanente Polarisation P_r hängt empfindlich vom Zr/Ti-Verhältnis ab. So zeigt das reine PbTiO_3 eine Polarisation von $P_r = 81 \mu\text{C}/\text{cm}^2$. Mit zunehmender Zr-Konzentration sinkt diese bis auf einen Wert von $P_r = 49 \mu\text{C}/\text{cm}^2$ für $x=0.52$. Abbildung 2.6b zeigt die Gitterparameter in Abhängigkeit der Zusammensetzung x .

PZT ist ein Isolator mit einer Bandlücke von ca. $E_g = 3.4 \text{ eV}$. Im Vergleich dazu hat SiO_2 eine Bandlücke von $E_g = 9 \text{ eV}$, siehe auch Tabelle 2.2. Durch Gitterfehler (z. B. Sauerstoffleerstellen) können Energieniveaus innerhalb der Bandlücke, meist an der Valenz-Bandkante, entstehen. Aus diesem Grunde wird PZT in der Literatur häufig auch als p-Typ Halbleiter betrachtet [100].

Es gibt zahlreiche Depositionsmethoden, um epitaktische PZT-Dünnschichten herzustellen. Neben den für diese Arbeit relevanten Methoden des rf-Sputterns und der CSD-Methode, siehe Kapitel 4, können epitaktische PZT Schichten mittels PLD und MOCVD (ALD) hergestellt werden.

Materialien	dielektrische Konstante	Band Gap [eV]	CB Offset Si [eV]	Interface Zustandsdichte [$\text{cm}^{-2}\text{eV}^{-1}$]	Kristall Wachstum auf Si	Thermodynam. Stabilität
SiO ₂	3.9	9	3.5	$\leq 1 \cdot 10^{10}$	Nein	NA
Si ₃ N ₄	7.5	5.3[101]	2.4 [101]	$5 \cdot 10^{10}$ [102]	Nein	NA
SiO _x N _y	3.9-7.5	5.3-9	2.4-3.5	?	Nein	NA
ZrO ₂	20-25 [103]	5.8 [101]	1.4 [101]	$3 \cdot 10^{11}$ [103]	Nein	Ja [104]
TiO ₂	40-86 [105]	3-3.5 [105]	1 [105]	$1 \cdot 10^{11}$ [106]	Nein	Nein [106]
Ta ₂ O ₅	25 [107]	4.4 [101]	0.3 [101] (Th.) 0.77 [109] (Ex.)	$2 \cdot 10^{11}$ [108]	Ja	Nein [104]
YSZ	25-29.7 [110]	~ 5.8	~ 1.4	$2 \cdot 10^{10}$ [110]	Ja	Ja [110]
HfO ₂	30 [101]	6 [101]	1.5 [101]	$1 \cdot 10^{11}$ [111]	Nein	Ja [104]
SrTiO ₃	150 [101]	3.3 [101]	-0.1 [101]	$6.4 \cdot 10^{10}$ [112]	Ja	Nein [104]
CeO ₂	20-26	5.5 [113]	?	?	?	Ja [104]
Ce ₂ O ₃	?	3 [113]	?	?	?	Ja [104]
DyScO ₃	20-25	?	?	?	Nein	Ja

Tabelle 2.1: Vergleich einiger alternativer Gateoxide auf Si.

2.2 Dielektrika

Dielektrische Materialien werden im FeFET als Bufferschicht zwischen Ferroelektrikum und Silizium eingesetzt. Wie schon in Kapitel 1.3.3 diskutiert, müssen diese Schichten eine Reihe von Eigenschaften in Bezug auf Silizium besitzen. Dies sind neben einer möglichst hohen Dielektrizitätskonstanten und einer extrem niedrigen elektrischen Eigenleitung, vor allem die thermische Stabilität auf Silizium und ein ausreichend hoher Band-Band-Übergang zwischen den Energiebändern des Siliziums und des Dielektrikums. Epitaktisch auf Silizium aufwachsende Oxide sind von Vorteil, da sie als quasikristalline Wachstumsunterlage für das Ferroelektrikum dienen und die Qualität dieser Schichten erhöhen können. Die Suche nach einem geeigneten Dielektrikum deckt sich fast vollständig mit der Suche nach alternativen Gateoxiden, die unerlässlich für zukünftige Prozessgenerationen sind. Die Skalierung von MOSFETs sieht vor die Gatefläche zu verkleinern, wobei die Gatekapazität konstant bleibt. Dafür ist eine Reduzierung der Dicke des Gatedielektrikums erforderlich, was zwangsläufig zu höheren Leckströmen führt. Gateoxidschichten mit höherer Dielektrizitätszahl als SiO₂ haben bei gleicher Gatekapazität eine größere Schichtdicke, entsprechend sollte der Leckstrom kleiner sein. Tabelle 2.2 zeigt eine Auflistung einiger alternativer Gateoxide mit den wesentlichsten Eigenschaften im Vergleich mit SiO₂. Neben SiO₂ wurden SrTiO₃, HfO₂, CeO₂, YSrZrO₃ und DyScO₃ als mögliche Bufferlayer für den Einsatz in einem FeFET untersucht.

CeO₂

Erste Integrationsversuche von CeO₂-Schichten auf Silizium wurden in den 90er Jahre durchgeführt und waren motiviert durch die Versuche supraleitende Materialien wie YBCO auf Siliziumsubstraten zu realisieren. Hierzu wurden Bufferschichten benötigt, wobei CeO₂ damals als aussichtsreicher Kandidat betrachtet wurde, da hochwertige CeO₂-Schichten auf Si(111) abgeschieden werden konnten [114, 115]. Weitere Anwen-

dungsgebiete sind CeO₂-Beschichtungen für optische Anwendungen, Anwendungen in der Mikroelektronik und Brennstoffzellen [116]. Edward J. Preisler zeigte in seiner Disputationsarbeit aus dem Jahre 2003, dass es möglich ist, unter geeigneten Herstellungs-Bedingungen CeO₂ epitaktisch auf Si(111) abzuscheiden. Er konnte anhand von XPS-Messungen der Grenzfläche nachweisen, dass CeO₂ durch Si zu Ce₂O₃ reduziert wird [117]. Darüberhinaus ergaben Temperversuche in O₂, dass sich an der Grenzfläche zu Silizium nachträglich SiO₂ bildet, siehe auch [118].

T. Haneder befasste sich in seiner Doktorarbeit mit FeFETs basierend auf SrBi₂Ta₂O₉ mit einer CeO₂-Bufferschicht. Aufgrund der vielversprechenden Ergebnisse wurde in vorliegender Arbeit CeO₂ als Buffermaterial weiter untersucht. Als Depositionsverfahren konnte Haneder lediglich auf das Sol-Gel-Verfahren zurückgreifen. Die hierbei benötigten Temperungen bei hohen Temperaturen im Sauerstoff führen zu dicken SiO₂-Interfaceschichten. Dies wurde ebenfalls von L. Tye gezeigt [118].

CeO₂ wächst in kubischer CaF₂-Struktur mit einer Gitterkonstanten $a = 5.41 \text{ \AA}$ auf Silizium auf. Bedingt durch die Wechselwirkung zwischen den Sauerstoffatomen des CeO₂ und ungesättigten Siliziumatomen an der Siliziumoberfläche, ist ein einkristallines CeO₂-Wachstum nur in Si(111)-Richtung möglich. Die Literaturangaben der Dielektrizitätszahl von CeO₂ schwanken zwischen $\epsilon = 7$ und $\epsilon = 26$ [118, 119].

SrTiO₃

SrTiO₃ ist ein Perovskit² der Struktur ABO₃ mit einer kubischen Einheitszelle und einer Gitterkonstanten von $a = 3.9 \text{ \AA}$. SrTiO₃ findet häufig Anwendung als einkristallines Substrat für zahlreiche kristalline Materialien, wie SrRuO₃, BaTiO₃ oder PbZr_xTi_{1-x}O₃. Es wird oftmals als isolierende Barriere eingesetzt und ist vor allem aufgrund seiner extrem hohen Dielektrizitätszahl $\epsilon > 100$ in dünnen Schichten bekannt. Ende der 1990er Jahre konnten McKee *et al.* am Beispiel von SrTiO₃ zeigen, dass es möglich ist Perovskite epitaktisch auf Silizium, unter Vermeidung einer parasitären SiO₂-Schicht, abzuscheiden. MIS-Dioden mit einer Schichtdicke von 150 \AA zeigten einen Rekord-EOT³-Wert von $< 10 \text{ \AA}$. Damit war der Weg frei für eine neue Materialklasse auf Silizium in einer bis dahin ungeahnten Qualität [6, 7, 120]. Abbildung 2.7 zeigt die HRTEM-Aufnahme einer 4 nm dicken epitaktischen SrTiO₃-Schicht auf Silizium (a) und einer 17 nm dicken epitaktischen LaAlO₃-Schicht auf 3nm SrTiO₃-Si. Derartig komplexe oxidische Materialien lassen sich bisher nur mit MBE⁴ und unter aufwändiger Probenpräparation herstellen. Epitaktisches SrTiO₃ bietet eine ideale Wachstumsunterlage für PZT-Schichten und somit eine Möglichkeit einen vollständig epitaktischen FeFET herzustellen. Darüberhinaus zeichnen sich diese Schichten durch eine hohe thermische Stabilität aus. SrTiO₃ besitzt ein mit 3.3 eV deutlich kleineres Bandgap als SiO₂ mit 9 eV. Dies reicht als Barriere bei weitem

²Perovskite sind benannt nach dem russischen Mineralogist Count Lev Aleksevich von Perovski.

³Equivalent Oxide Thickness

⁴Molecular Beam Epitaxy.

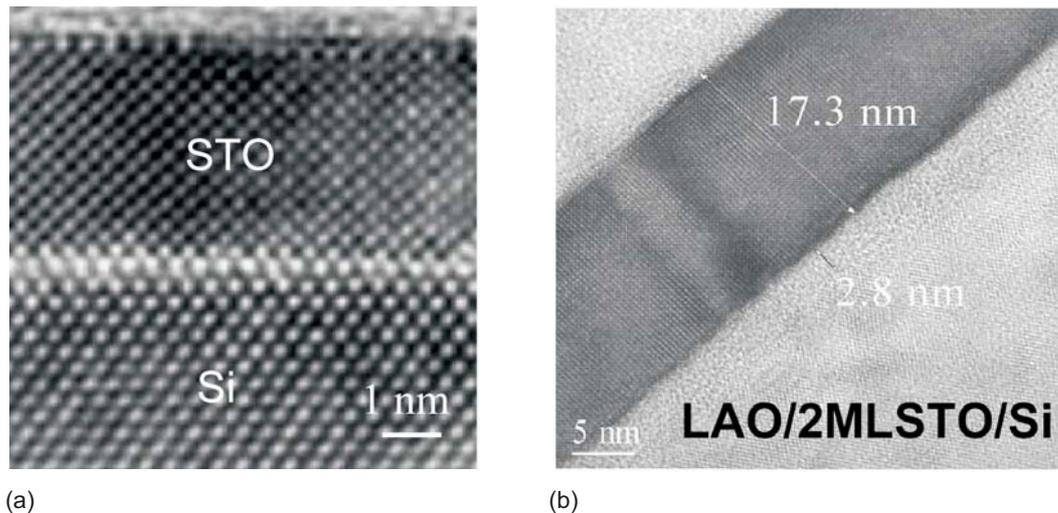


Abbildung 2.7: (a) Epitaktisches SrTiO_3 auf Si. (b) Epitaktisches LaAlO_3 auf einer epitaktischen SrTiO_3 -Bufferschicht auf Si. Aus [121].

aus. Viel wichtiger ist die Frage nach den Band-Band-Übergängen zu Silizium. Hier zeigen XPS- und Photoemissionsuntersuchungen einen Band-Band-Übergang von nur 0.1 eV [121]. Dies bedeutet, dass Ladungsträger sehr leicht in das SrTiO_3 injiziert werden können. Eine dünne SiO_2 -Schicht kann dies jedoch verhindern [121]. Eisenbeiser *et al.* fanden in 110 Å dicken SrTiO_3 -Transistoren sehr hohe Elektronen- und Löcherbeweglichkeiten von 221 und $62 \text{ cm}^2/\text{Vs}$ [7].

Epitaktisches SrTiO_3 auf Silizium konnte bislang nur mit einem aufwändigen MBE-Verfahren hergestellt werden. Es gab allerdings viele Versuche SrTiO_3 amorph oder polykristallin mit anderen Methoden wie rf-Magnetronspütern oder Elektronenstrahlverdampfen herzustellen [122–124].

DyScO₃

Die Selten-Erd-Scandate sind zur Zeit in den Blickpunkt des Interesses einiger Forschergruppen gerückt. Neben LaScO_3 , GaScO_3 und EuScO_3 ist das DyScO_3 eines der aussichtsreichen Kandidaten für ein alternatives Gateoxid. Die genannten Scandate zeigen Dielektrizitätskonstanten zwischen $\epsilon = 20 - 25$. Eigenschaften von DyScO_2 auf Silizium und elektrische Messungen an MIS-Dioden werden im Kapitel 5.3 vorgestellt. Die dort gezeigten Eigenschaften sind Resultate aus eigenen Messungen und Arbeiten, die aus einer Kooperation zwischen J. Schubert (FZJ) und M. Caymax (IMEC) entstanden.

Kapitel 3

Strukturelle und elektrische Charakterisierungsmethoden

Strukturelle und elektrische Charakterisierungsmethoden sind unverzichtbare Hilfsmittel zur Herstellung von Bauelementen. Da es sich bei den verwendeten Verfahren um gängige Methoden der Dünnschichttechnologie handelt werden sie nur in Kürze beschrieben und es wird auf weiterführende Literatur verwiesen.

3.1 Strukturelle Analysemethoden

Bei funktionalen dünnen Schichten ist man neben den elektrischen meist auch an strukturellen Eigenschaften interessiert. So ist es gerade bei ferroelektrischen PZT-Schichten wichtig, in welcher Phase sie vorliegen und welche Orientierung die Schicht besitzt. Zur strukturellen Charakterisierung dünner Schichten wurden vor allem XRD, RBS, HRTEM und AFM, optische Mikroskopie und teilweise auch REM eingesetzt. Die hierbei erzielten Ergebnisse wurden auch zur optimierten Materialabscheidung genutzt.

3.1.1 Rutherford-Backscattering Spectrometry

Rutherford¹ Backscattering Spectrometry (RBS) ist zwar eine sehr aufwändig zu betreibende Messmethode, die Durchführung eines einzelnen Versuches jedoch kann in relativ kurzer Zeit erfolgen (vergleichbar mit XRD-Messungen). Ein RBS-System besteht grob

1



* 30.08.1871 (Nelson, Neuseeland)

† 19.10.1937 (Cambridge, England), 1908 Nobelpreis für Chemie

Stellte mit F. Soddy 1903 eine Theorie des radioaktiven Zerfalls auf und schuf das nach ihm benannte Atommodell. 1919 gelang ihm die erste künstliche Kernreaktion durch α -Teilchenbeschuss von Stickstoff, der dabei in Sauerstoff umgewandelt wurde. Aus [125].

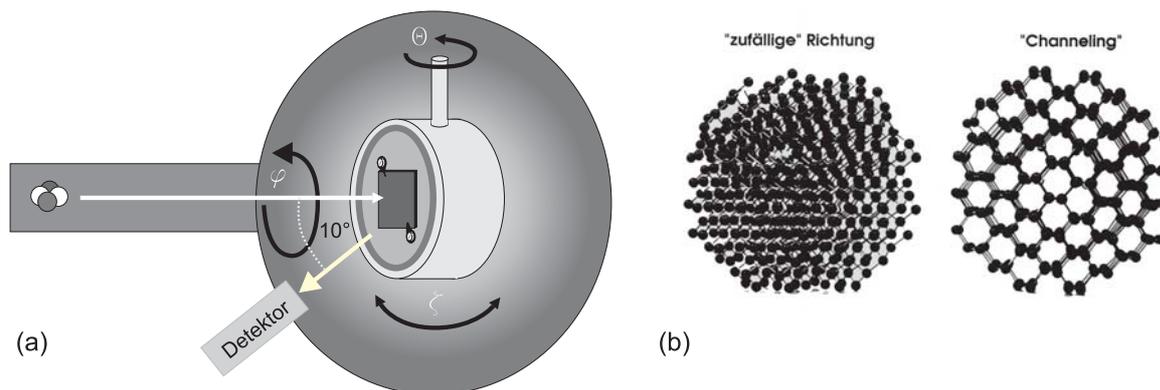


Abbildung 3.1: (a) Schematische Darstellung der RBS-Messkammer. Die Probe wird auf einen Halter montiert und in die Kammer eingebaut. Die von der Probe elastisch gestreuten Helium⁺-Ionen werden von einem Detektor energieaufgelöst detektiert. (b) Prinzip einer Channeling-Messung. Durch Ausrichtung der kristallinen Schicht, können He⁺-Ionen sehr tief in einen Kristallkanal eindringen. Dadurch wird die Zahl rückgestreuter Ionen stark reduziert.

aus drei Bereichen. In einem ersten Schritt werden He⁺-Ionen in einem Plasma erzeugt und vorbeschleunigt. Unter Verwendung eines Tandetron Beschleunigers werden die He⁺-Ionen auf eine Energie von 1-2 MeV beschleunigt. Dabei sorgt ein Magnetfeld für einen monoenergetischen Ionenstrahl. Anschließend wird der Ionenstrahl in eine spezielle UHV-Messkammer geleitet und auf die Probe gerichtet, die sich auf einem drehbaren Halter befindet. Der Stahldurchmesser am Probenort beträgt ca. 2 mm. Ein Detektor misst energieaufgelöst die an den Atomen der Probe elastisch rückgestreuten Ionen. Abbildung 3.1a) zeigt den Strahlengang und die Probenanordnung.

Wird ein He⁺-Ion an einem Targetatom elastisch gestreut, so kann man aus der Impuls- und Energieerhaltung das Verhältnis der Energie des rückgestreuten Teilchens zu seiner Anfangsenergie berechnen. Für das Verhältnis bei Streuung an Oberflächenatomen gilt [126]:

$$k = \left(\frac{m \cdot \cos \theta - \sqrt{(M^2 - m^2 \cdot \sin^2 \theta)}}{m + M} \right) \quad (3.1)$$

Hierin sind m und v die Masse und Geschwindigkeit des He⁺-Ions und M die Masse des Targetatoms. Da k bei festem Streuwinkel Θ nur von der Masse des Targetatoms abhängt, lässt sich aus einem Stoßprozess auf die Masse des Targetatoms rückschließen und somit das Targetatom identifizieren. Dringt ein He⁺-Ion um die Strecke x in einen Kristall ein, so erfährt es durch inelastische Streuprozesse mit Targetelektronen einen zusätzlichen Energieverlust ΔE [126]:

$$\Delta E = \left[\frac{k}{\cos \vartheta} \left(\frac{dE}{dx} \right)_{in} + \frac{1}{\cos \vartheta'} \left(\frac{dE}{dx} \right)_{out} \right] \cdot x \quad (3.2)$$

Aus dem Energieverlust, der im Spektrum einer RBS-Messung zu einer Peakverbreiterung zu niedrigen Energien führt, kann die Eindringtiefe und somit die Dicke von Dünnschichten bestimmt werden.

Man unterscheidet in der RBS-Spektroskopie im wesentlichen zwei verschiedene Messkonfigurationen, der *Random*- und der *Channeling*-Messung. Letztere nutzt die periodische Gitterstruktur in kristallinen Festkörpern aus. Wird ein Kristall derart in den He^+ -Strahl gerichtet, dass der einfallende Teilchenstrahl in Richtung eines Kristallkanals weist (siehe Abbildung 3.1b), so können die Heliumionen tief in den Kristall eindringen; es wird eine starke Reduktion der Rückstreurrate beobachtet. Auf dem Wege durch einen Kanal werden He^+ -Ionen an Versetzungen oder Verunreinigungen gestreut. Somit lässt sich aus Channeling-Messungen die Größenordnung der Dichte dieser Streuzentren bestimmen oder anders ausgedrückt einen Parameter für die Kristallqualität bzw. Kristallinität der Schichten berechnen. Das Verhältnis der rückgestreuten Intensität einer Channeling-Messung und einer Random-Messung, bei der die Probe derart gegen den Teilchenstrahl verkippt wird, dass ein Channeln unterbleibt, kann man einen materialspezifischen Parameter bestimmen. Mit diesem ist es möglich, Schichten gleichen Materials miteinander zu vergleichen.

3.1.2 Röntgen-Diffraktometrie

Die Röntgen-Diffraktometrie XRD (**X-Ray-Diffraktion**) ist eine weit verbreitete Methode zur Bestimmung von Kristallstrukturen, Orientierungen einkristalliner Materialien, sowie zur Bestimmung von Schichtdicken und Oberflächenrauhigkeiten von Dünnschichten und Einkristallen. Für die XRD-Analyse stand ein vier-Winkel-Diffraktometer der Firma Philips zur Verfügung (Philips X'pert MRD). Ein monochromatischer Röntgenstrahl ($\lambda = 1.54056 \text{ nm}$, $\text{CuK}\alpha_1$) wird über Ablenkspiegel unter einem definierten Winkel Θ zur Flächennormalen auf die Oberfläche der Probe gelenkt, die frei um vier Winkel Θ , ϕ , ω und ψ positioniert werden kann (Abbildung 3.2c). Bei einer periodischen Kristallstruktur kann es bei ausgezeichneten Winkeln zu konstruktiver Interferenz der gestreuten Wellen kommen. Die Bedingung dafür ist durch die Bragg-Reflektionsbedingung gegeben, siehe Abbildung 3.2a. Es gilt:

$$2d \cdot \sin\Theta = n \cdot \lambda \quad \text{mit } n = 1, 2, 3, \dots \quad (3.3)$$

Hierin ist d der Netzebenenabstand, λ die Wellenlänge der einfallenden Röntgenstrahlung und Θ der Einfallswinkel. Unter Ausnutzung obiger Gleichung kann die c -Achse kristalliner Schichten und Kristalle aus einer Θ - 2Θ -Messung bestimmt werden ($\psi = 0$, Anordnung Abbildung 3.2a). Allgemein gilt für die Gitterparameter a , b und c mit den Miller'schen Indizes (hkl):

$$\frac{1}{d_{hkl}^2} = \frac{h^2}{a^2} + \frac{k^2}{b^2} + \frac{l^2}{c^2} \quad . \quad (3.4)$$

Wird die Probe um einen Winkel $\psi \approx 45^\circ$ verkippt, so lassen sich in einem kubischen oder (leicht) tetragonalen System mit $a = b \neq c$ der a bzw. b Gitterparameter aus einer

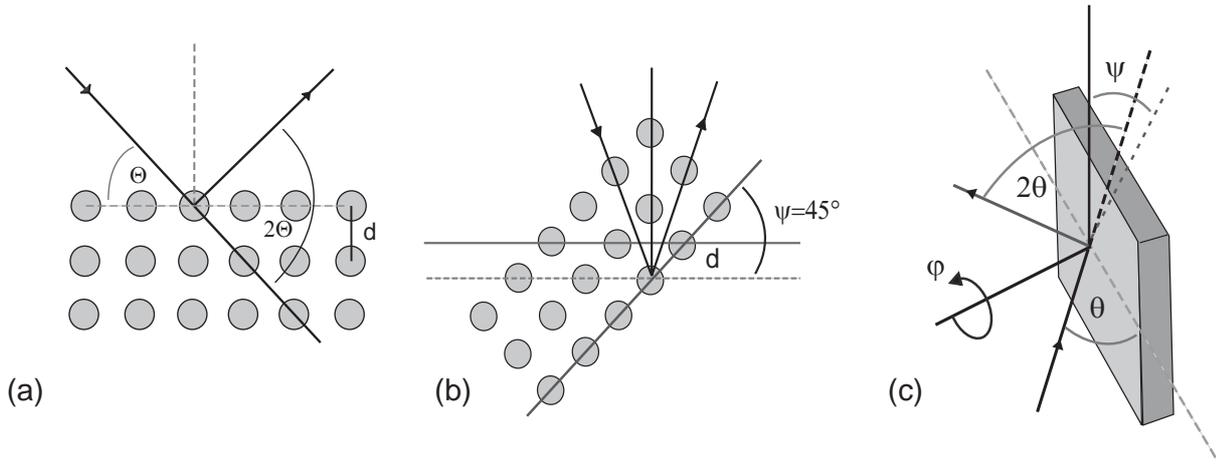


Abbildung 3.2: (a) Netzebenenabstand d bei $\psi = 0^\circ$, (b) Netzebenenabstand d bei $\psi = 45^\circ$. (c) prinzipieller Aufbau der Bragg-Brentano-Geometrie. Nach [127].

$\Theta - 2\Theta$ -Schiefwinkelmessung berechnen (Abbildung 3.2(b)). Es gilt:

$$a^2 = b^2 = \frac{d_{hkl}^2 (h^2 + k^2) \cdot c^2}{c^2 - d_{hkl}^2 \cdot l^2} \quad (3.5)$$

Bei idealen einkristallinen Schichten oder Kristallen, haben alle Netzebenen (Atome) eine exakt periodische Struktur, wodurch die gemessenen Röntgenreflexe Peaks mit verschwindender Breite darstellen. Reale kristalline Schichten und Kristalle hingegen zeigen je nach Güte bzw. Qualität eine mehr oder weniger gleichförmige Periodizität. Dies wirkt sich in einer Verbreiterung der Reflexpeaks aus. Die Variation des Gitterparameters der Netzebenen parallel zur Probenoberfläche lässt sich bestimmen, indem der $\Theta - 2\Theta$ -Winkel konstant auf einem Reflex dieser Ebenen festgehalten und die Probe um den Winkel ω verkippt wird. Die Breite des Peaks ($FWHM$) dieser als Rockingkurve bezeichneten Messung ist ein Parameter für die Güte oder Qualität (Kristallinität) der Probe. Einkristalline Substrate wie SrTiO_3 oder Si erreichen hier Werte von $FWHM < 0.05^\circ$.

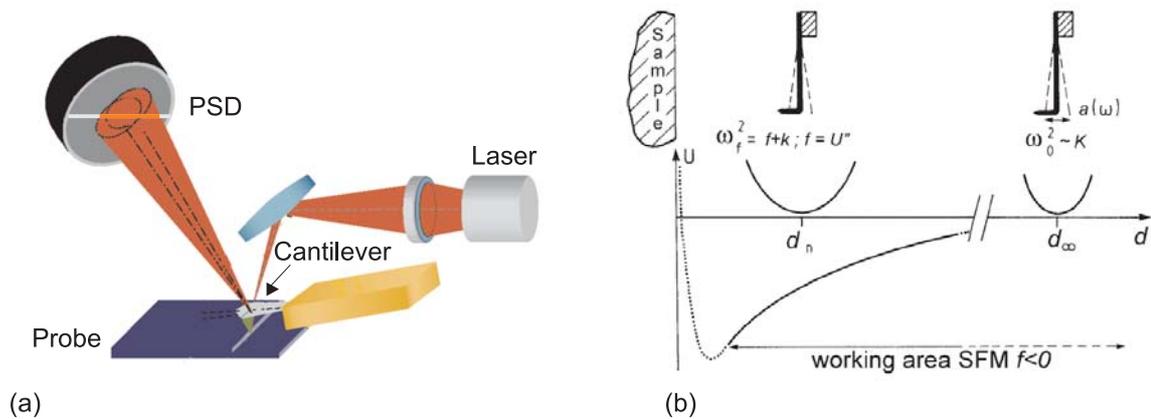


Abbildung 3.3: (a) Schematische Darstellung eines RKM. Die Bewegung einer dünnen Spitze (Cantilever) wird über einen Laserstrahl in Verbindung mit einem PSD (Photo Sensitive Detector) Vier-Quadranten-Detektor registriert. (b) Darstellung der Kräfte, die bei Annäherung der RKM-Spitze wirken. Die Skizzen wurden [128] entnommen und verändert.

3.1.3 Rasterkraftmikroskopie

Rasterkraftmikroskope² (RKM) werden heutzutage als Standard-Analysegeräte zur Charakterisierung von Oberflächen oder oberflächennahen Bereichen eingesetzt. Ihr Einsatzgebiet ist nicht nur auf die Messungen von Oberflächentopographien oder der Rauigkeitsbestimmung von Schichten beschränkt. So können mit entsprechenden Modifikationen, beispielsweise durch Verwendung magnetischer Cantilever, magnetische Domänen dargestellt werden (MFM magnetic force microscope). Mit einem PFM (piezoelectric force microscope) können ferroelektrische Domänen abgebildet und piezoelektrische Konstanten, wie d_{33} , bestimmt werden.

Abbildung 3.3 zeigt den prinzipiellen Aufbau und Funktionsweise eines RKM. Ein Laserstrahl wird auf die Spitze eines Cantilevers (Messspitze) gerichtet und mit einem PSD (Photo Sensitive Detector) die relative Position des reflektierten Strahls gemessen. Bewegt sich die Nadel, so wird dies durch den PSD detektiert. Man unterscheidet zwei Messtechniken, den Kontaktmodus (contact mode) und den Nicht-Kontaktmodus (non-contact mode). Während beim ersteren die Messspitze in direktem Kontakt mit der Probenoberfläche steht, wird beim non-contact mode (auch als tapping-mode bezeichnet) die Messspitze so geführt, dass sie die Probe nicht berührt. In Abbildung 3.3b werden die Kräfte bzw. der Potentialverlauf gezeigt, die bei einer Annäherung der Nadel an die Probenoberfläche auf die Nadel wirken. Nutzt man die Resonanzschwingung des Cantilevers aus, so kann man eine Verschiebung der Resonanzfrequenz und Änderung der Schwingungs-Amplitude bei Annäherung an die Probe durch die Überlagerung von Kräften (Van der Waals und Rückstellkraft des Cantilevers) beobachten. Die Frequenz bzw. die Amplitude der Cantileverschwingung ist somit abhängig vom Abstand zur Probenoberfläche. Der non-contact

²Rasterkraftmikroskop, englisch Scanning Force Microscope (SFM)

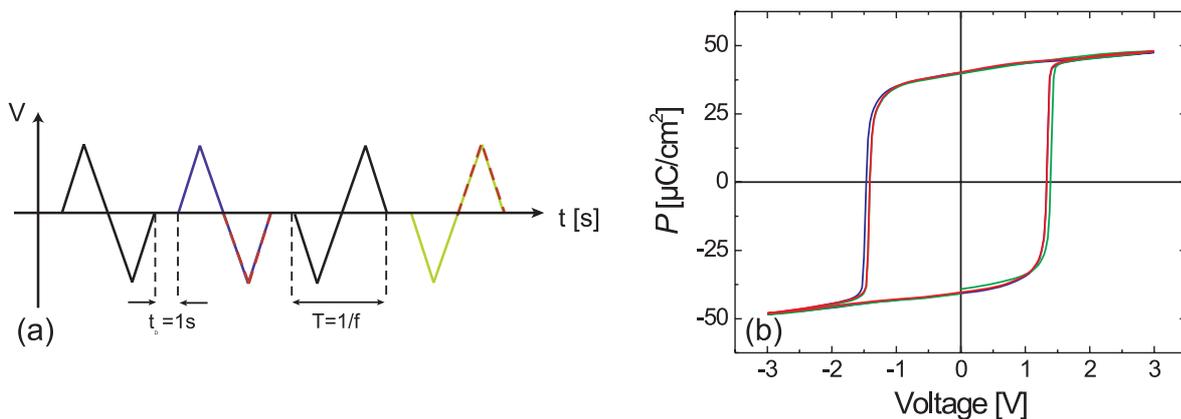


Abbildung 3.4: (a) Zeitlicher Verlauf der Signalspannung einer Hysteresemessung. Eine Messung setzt sich aus vier Dreiecks-Spannungsrampen zusammen. (b) Beispielmessung eines PZT-Kondensators mit Platin Elektroden. In Anlehnung an [5].

mode hat gegenüber dem contact mode den Vorteil zerstörungsfrei zu arbeiten, weshalb wird die Cantileverspitze weniger stark abgenutzt und somit weniger verschlissen wird.

3.2 Elektrische Charakterisierungsmethoden

In diesem Kapitel werden die wichtigsten Messmethoden zur elektrischen Charakterisierung von Dioden, Kondensatoren und Transistoren und deren jeweiliger apparativer Aufbau erläutert.

3.2.1 P(E)-Messungen

P(E)- bzw. P(V)-Messungen wurden mit einem TF Analyzer 2000 der Firma aixACCT³ gemessen. Die elektrischen Kontakte wurden über Mikromanipulatoren mit feinen, vergoldeten Nadeln realisiert. Der Aixacct Analyzer arbeitet im sogenannten *virtual ground mode*, näheres hierzu findet man im Handbuch des Gerätes [129]. Der Frequenzbereich des Analysators reicht von einigen mHz bis zu 250 kHz und der Spannungsbereich lässt sich von 0-13 V (23 V bei Frequenzen <100 kHz) variieren. Neben P(E)-Hysteresen können auch Fatigue- und Retentionmessungen durchgeführt werden.

Abbildung 3.4a zeigt das Messprinzip des Analyzers. In dem Diagramm wird der zeitliche Verlauf der Signalspannung gezeigt, die zur Messung einer vollständigen P(E)-Hysterese an einer Probe anliegt. Zunächst wird die Probe (Kondensator) durch einen dreieckförmigen bipolaren Puls in einen vordefinierten Zustand negativer Polarisation P_{r-} gebracht. Die eigentliche Messung setzt sich aus drei bipolaren Pulsen zusammen, die durch eine Relaxationszeit von $t_D = 1$ s getrennt werden. Aus dem negativen Anteil des

³www.aixacct.com

zweiten und dem positiven Anteil des dritten Pulses wird dann eine zusammenhängende Hysteresekurve berechnet, siehe Abbildung 3.4b.

3.2.2 C(V)-Messungen

Impedanzmessungen und speziell kapazitive Messungen stellen die wichtigste Charakterisierungsmethode für MOS-Dioden dar. In Kapitel 1.2.3 wurden reale MOS-Dioden behandelt. Aus Messungen der Kapazität eines solchen Kontaktes können wichtige Parameter wie die Oxidkapazität C_{ox} , die Flachbandspannung V_{FB} , die Schwellspannung V_{th} und die Substratdotierung N_A bestimmen werden. Darüberhinaus gibt es zahlreiche Methoden, um verschiedene Ladungsarten wie mobile und getrappte Oxidladungen, sowie Grenzschichtzustände zu bestimmen. Dies lässt kapazitive Messungen zu einem sehr wirkungsvollen, präzisen und darüberhinaus auch schnellen Instrument zur Ermittlung von MOS-Dioden-Parametern werden.

Kapazitive Messungen wurden mit einem Impedanz Messgerät der Firma Hewlett Packard (HP4284A LCR-Meter) durchgeführt und mittels GPIB durch ein Computerprogramm gesteuert. Im Laufe dieser Arbeit wurden zahlreiche Programme in *Labview* und *Testpoint* entwickelt, um C(V)-, C(f)-, C(t)- oder Pulsmessungen durchführen zu können. Bei allen kapazitiven Messungen wurde die Option zur Berechnung der Kapazität aus der gemessenen Impedanz des Messgerätes genutzt. Dabei kann man zwischen zwei Ersatzschaltbildern wählen: ein serielles Schaltbild, bestehend aus der Serie einer Kapazität C_s und eines Widerstandes R_s , sowie einem parallelen Schaltbild, mit einer parallelen Anordnung einer Kapazität C_p und eines Widerstandes R_p . Abbildung 3.5 zeigt die beiden Ersatzschaltbilder. Für Kapazitätsmessungen wurde das LCR-Meter im parallelen Mode betrieben.

Aus den gemessenen Größen wie der parallelen Kapazität C_p und dem Verlustfaktor $\tan \delta$, können unter Zuhilfenahme eines Ersatzschaltbildes andere Größen berechnet werden. Wichtige Größen, die beispielsweise zur Berechnung von Grenzflächenzuständen Ver-

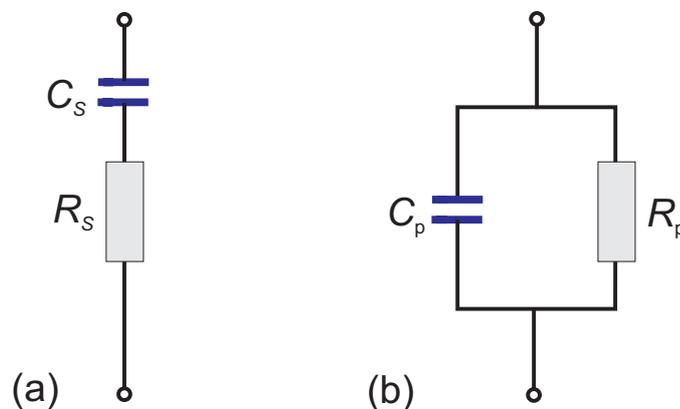


Abbildung 3.5: Das LCR-Meter verwendet ein seriell a) und ein paralleles (b) Ersatzschaltbild zur Berechnung der Kapazität aus der gemessenen Impedanz.

wendung finden, sind der parallele Leitwert (Konduktanz) G_p , der Scheinwiderstand (Impedanz) Z , der Blindwiderstand (Reaktanz) X_s , Scheinleitwert (Admittanz) Y und der Blindleitwert (Suszeptanz) B_p . Diese lassen sich wie folgt ineinander umrechnen:

$$Y = G_p + jB_p = \frac{1}{Z} = \frac{1}{R_s + jX_s} = \frac{R_s - jX_s}{R_s^2 + X_s^2}, \quad Z = \frac{G_p - jB_p}{G_p^2 + B_p^2} \quad (3.6)$$

$$\tan \delta = \frac{\epsilon''}{\epsilon'} = R_s \omega C_s = \frac{G_p}{B_p} = -\frac{R_s}{X_s} = \frac{1}{R_p \omega C_p} \quad (3.7)$$

$$X_s = -\frac{B_p}{G_p^2 + B_p^2} = -\frac{1}{B_p} \cdot \frac{1}{1 + \tan^2 \delta}, \quad C_s = C_p (1 + \tan^2 \delta) \quad (3.8)$$

$$R_s = \frac{G_p}{G_p^2 + B_p^2} = \frac{1}{G_p} \cdot \frac{\tan^2 \delta}{1 + \tan^2 \delta} \quad (3.9)$$

Für kleine Verluste $\tan \delta \approx 0$ gilt $C_s \approx C_p$, siehe Gleichung 3.7. Entsprechend ist der serielle Widerstand für kleine Verluste R_s klein und der parallele Widerstand R_p sehr groß (Idealfall: unendlich).

Verluste in realen MOS-Kondensatoren können auf verschiedene Arten verursacht sein. Die wichtigsten Quellen sind Änderungen der Grenzflächen-Zustandsdichten, Änderungen der Bulktrapzustände sowie Serienwiderstände, verursacht durch Leckströme. Serienwiderstände können zu einem Fehler in der Berechnung von Grenzflächenzuständen und Kapazitäten führen. Eine Korrektur gemessener Daten ist daher nötig. Diese wird nach einem in [15] beschriebenen Ersatzschaltbild wie folgt durchgeführt:

$$C_c = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{a^2 + \omega^2 C_m^2} \quad (3.10)$$

$$G_c = \frac{(G_m^2 + \omega^2 C_m^2) a}{a^2 + \omega^2 C_m^2} \quad \text{mit} \quad a = G_m - (G_m^2 + \omega^2 C_m^2) R_s \quad (3.11)$$

Hierin sind G_m und C_m die gemessene parallele Leitfähigkeit und die gemessene Kapazität. R_s ist der serielle Widerstand. Dieser kann durch Umrechnung von G_p oder aus dem Verlust $\tan \delta$ errechnet werden.

3.2.3 Leckstrommessungen

Leckstrommessungen wurden in einer Zweipunkt-Messanordnung durchgeführt. Abbildung 3.6a zeigt den schematischen Aufbau einer Leckstrommessung. Die Probe wurde wie bei den anderen elektrischen Messungen über Kontaktnadeln an das Messsystem angeschlossen. Da bei guten Isolatoren Leckströme sehr klein sind, werden üblicherweise Elektrometer mit einer Empfindlichkeit von einigen zehn fA eingesetzt. Das Messprinzip ist einfach: eine Spannung wird an die Probe angelegt und der Strom mit dem Elektrometer gemessen. Entscheidend ist wie lange nach Anlegen der Spannung mit der Strommessung gewartet wird. Diese als *delay time* bezeichnete Zeitspanne kann unter Umständen sehr groß werden und wird durch die Relaxationszeit des zu messenden

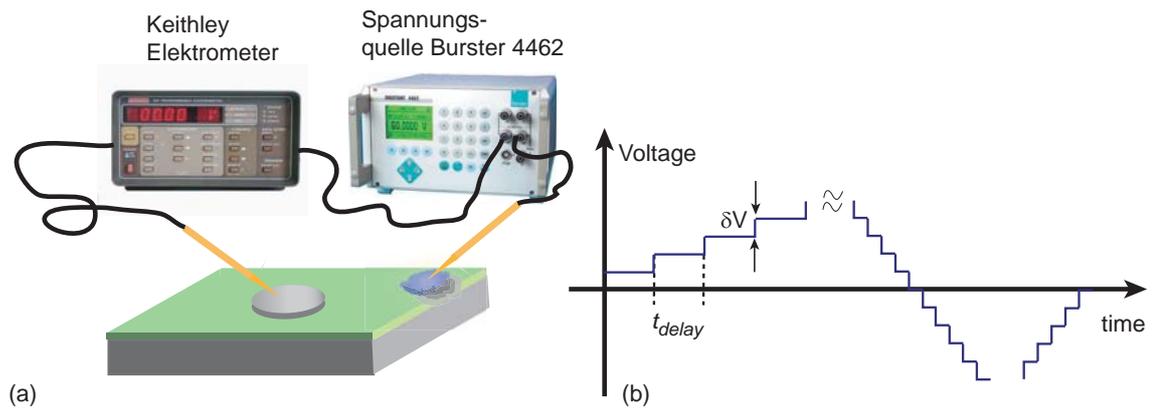


Abbildung 3.6: (a) Apparativer Messaufbau zur Messung von Leckstrom $I(V)$ -Kennlinien). (b) Zeitlicher Verlauf einer programmierbaren Spannungsrampe.

Systems bestimmt. Die Relaxationszeit kann man ermitteln, indem nach Anlegen einer Spannung an die Probe, die Relaxation des Stroms gemessen wird. Mitunter wurden Relaxationszeiten von bis zu 20 Minuten gemessen, was zu äußerst langen Messzeiten führte.

Kapitel 4

Depositionsverfahren

Die Abscheidung dünner Filme ist der essentielle Schritt zur Fabrikation funktionaler Bauteile und Schichten wie beispielsweise integrierter Schaltungen (ICs), Speichern (DRAMs) oder optischen Reflexions- oder Antikratzbeschichtungen. In den letzten 50 Jahren wurden hierzu zahlreiche neue Depositionsverfahren entwickelt, meist zugeschnitten auf bestimmte Materialklassen und deren Anwendungen. Dabei wird das Anforderungsprofil an eine Depositionsmethode immer größer. Bei modernen DRAM-Kondensatoren beispielsweise reicht es nicht aus lediglich einen homogenen stöchiometrischen Film herzustellen, sondern es muss gleichzeitig möglich sein dreidimensionale Strukturen wie *deep trenches* in einer möglichst kurzen Zeit homogen zu beschichten und dies nach Möglichkeit auf großen Waferflächen bis 8 Zoll, siehe Abbildung 4.1b. Dabei setzten sich vermehrt chemische Verfahren wie CVD¹ und MOCVD² durch, die als einzige den gewachsenen Anforderungen der Mikro- und Nanoelektronik gerecht werden können. Gemeinhin werden Depositionsverfahren aus der Gasphase in chemische und physikalische Abscheidungsverfahren geteilt [130]. Tabelle 4.1 gibt eine Übersicht der gängigsten Depositionsverfahren und deren wichtigsten Differenzierungsmerkmale an. Zur Herstellung ultradünner Polymerschichten auf Si-Substraten wurde das sogenannte Langmuir-Blodgett Verfahren eingesetzt. Dieses historische Verfahren wurde schon vor der Sputtertechnik entwickelt und wird gesondert am Kapitelende behandelt. Man kann es sowohl den chemischen, als auch den physikalischen Depositionsmethoden zuordnen.

4.1 Chemische Depositionsverfahren

Zu den chemischen Abscheidungsverfahren gehören CSD³, CVD, MOCVD und ALD⁴. Allen Methoden ist gemein, dass das abzuscheidende Material chemisch gelöst in sogenannten Precursoren vorliegt. Diese werden in eine als Reaktor bezeichneten Depositionskammer

¹CVD: Chemical Vapor Deposition.

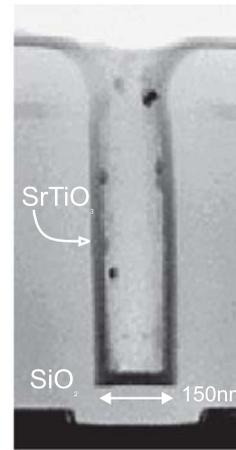
²MOCVD: Metal Organic Chemical Vapor Deposition.

³CSD: Chemical Solution Deposition.

⁴ALD: Atomic Layer Deposition.

	Physical Vapor Deposition			Chemical Vapor Deposition
	Evaporation / MBE	Sputtering	PLD	CVD / MOCVD
Mechanism of production of depositing species	Thermal energy	Momentum transfer	Thermal energy	Chemical reaction
Deposition rate	High, up to 750,000 Å/min	Low, except for pure metals	Moderate	Moderate Up to 2,500 Å/min
Deposition species	Atoms and ions	Atoms and ions	Atoms, ions and clusters	precursor molecules dissociate into atoms
Energy of deposited species	Low 0.1 to 0.5 eV	Can be high 1-100 eV	Low to high	Low; Can be high with plasma-aid
Throwing power a) Complex shaped object b) Into blind hole	Poor, line of sight	Nonuniform thickness Poor	Poor	Good Limited
Scalable to wafer size	up to large	up to large	limited	up to large

(a)



(b)

Abbildung 4.1: (a) Übersicht und Einteilung einiger Depositionsverfahren zur Herstellung dünner Schichten. (b) MOCVD-Deposition einer dünnen SrTiO₃-Schicht in eine 150 nm breite Vertiefung. Beides [130] entnommen.

injiziert. Die Probe wird auf eine Temperatur oberhalb von 350 °C geheizt. An der heißen Probenoberfläche reagieren die Precursoren unter Bildung eines Filmes, organische Produkte werden abgeführt, siehe Abbildung 4.2. Eine Einführung in die gängigsten chemischen Abscheide-Verfahren kann in dem Artikel von P. Ehrhardt, Ref. [130] nachgelesen werden.

In dieser Arbeit wurde das CSD-Verfahren eingesetzt, um alternativ zur Sputtern-Technik PZT-Schichten zu deponieren. Abbildung 4.2 zeigt in der mittleren und rechten Spalte schematisch den Ablauf eines CSD-Prozesses. Zunächst wird eine dünne, homogene Schicht einer PZT-Precursorlösung (sog. Metall-Carboxylat Lösung) auf eine Probe mit-

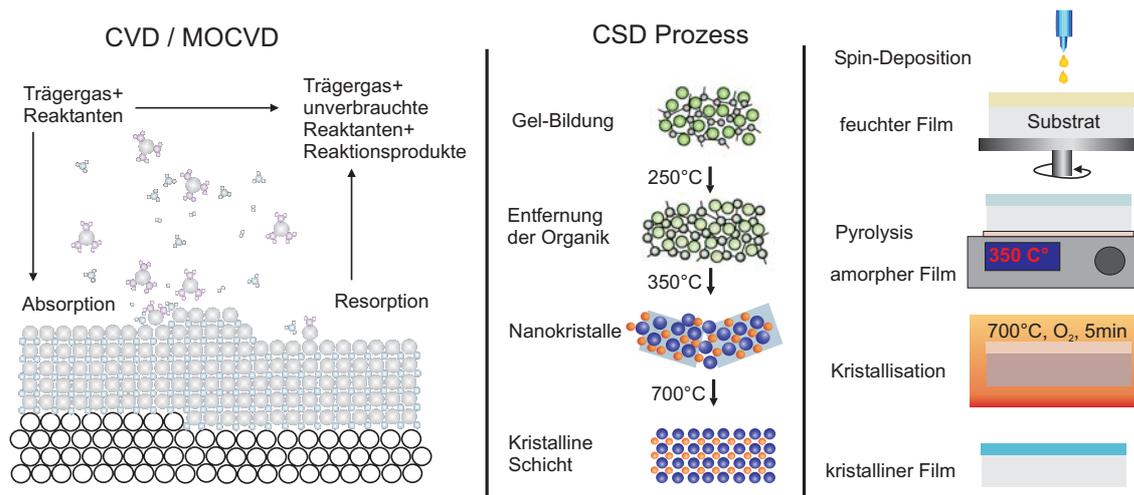


Abbildung 4.2: Schematische Darstellung chemischer Abscheideprozesse: CVD/MOCVD-Prozess (links) und CSD-Prozess (rechts). Das CSD-Verfahren wurde genutzt, um PZT-Schichten einer Dicke von 150-200 nm auf SrTiO₃/Si und Pt abzuschneiden. Die Darstellungen sind angelehnt an Abbildungen aus [130, 131].

tels einer Lackschleuder aufgeschleudert (2000 U/min) und mit zwei Heizplatten zuerst bei 250 °C und danach bei 350 °C für je 1 min ausgeheizt. Hierbei werden die organischen Lösungsmittel aus dem PZT-Film entfernt und es können sich erste nanokristalline Strukturen bilden. In einem finalen Kristallisationsschritt bei ca. 700 °C wird die Probe für 5-10 min in Sauerstoff-Atmosphäre getempert. CSD-PZT-Schichten zeichnen sich vor allem durch ihre guten elektrischen Eigenschaften aus. Beispielsweise zeigen auf Platin abgeschiedene PZT-Schichten eine nahezu rechteckförmige ferroelektrische Hysterese. Die Schwierigkeit bei diesem Verfahren liegt in der Entwicklung einer chemischen Route zur Herstellung der Precursorlösung. Die Entwicklung der verwendeten Precursoren und die Prozessroute wurden durch T. Schneller und Mitarbeiter an der RWTH-Aachen durchgeführt.

4.2 Physikalische Depositionsmethoden

4.2.1 Hochdrucksputtern

Im Jahre 1852 wurde von W. R. Grove bei Untersuchungen von Plasmaentladungen das Abtragen von Oberflächenatomen beobachtet. Dies kann als Entdeckung der Sputterdeposition betrachtet werden [130]. Das Sputtern von dünnen Filmen gehört heutzutage zu den häufig verwandten Abscheidungsverfahren. Das Spektrum an abscheidbaren Materialien reicht von Metallen über Isolatoren bis hin zu komplexen oxidischen Materialien wie PZT oder YBCO, sogar organische Materialien wie Teflon und PVDF lassen sich sputtern. Das Sputterprinzip ist einfach. Durch Anlegen einer hohen Spannung wird ein Plasma zwischen zwei Kondensatorplatten erzeugt, siehe Abbildung 4.3a. Dabei werden ionisierte Gas-Atome in Richtung des Targets beschleunigt und schlagen dort Atome aus dem dem

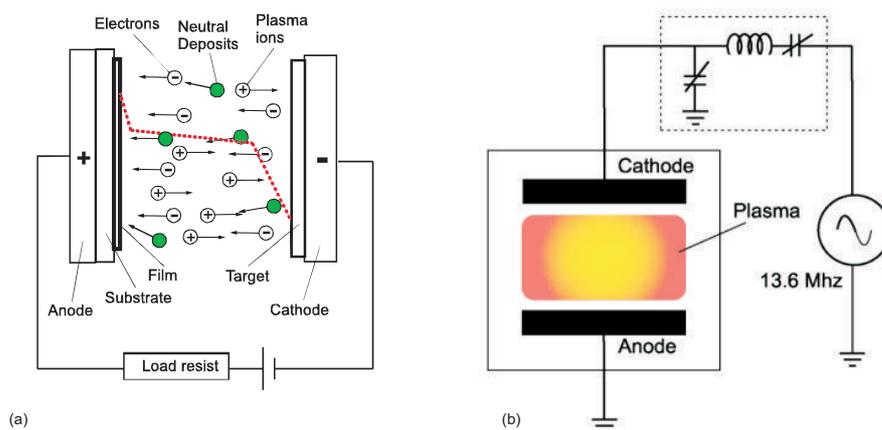


Abbildung 4.3: Schematische Darstellung des Sputterprozesses. (a) dc-Sputtern: Es können nur elektrisch leitende Materialien gesputtert werden. (b) rf-Sputtern: Dies ist sowohl mit isolierenden als auch mit leitenden Materialien möglich. Aus [130].

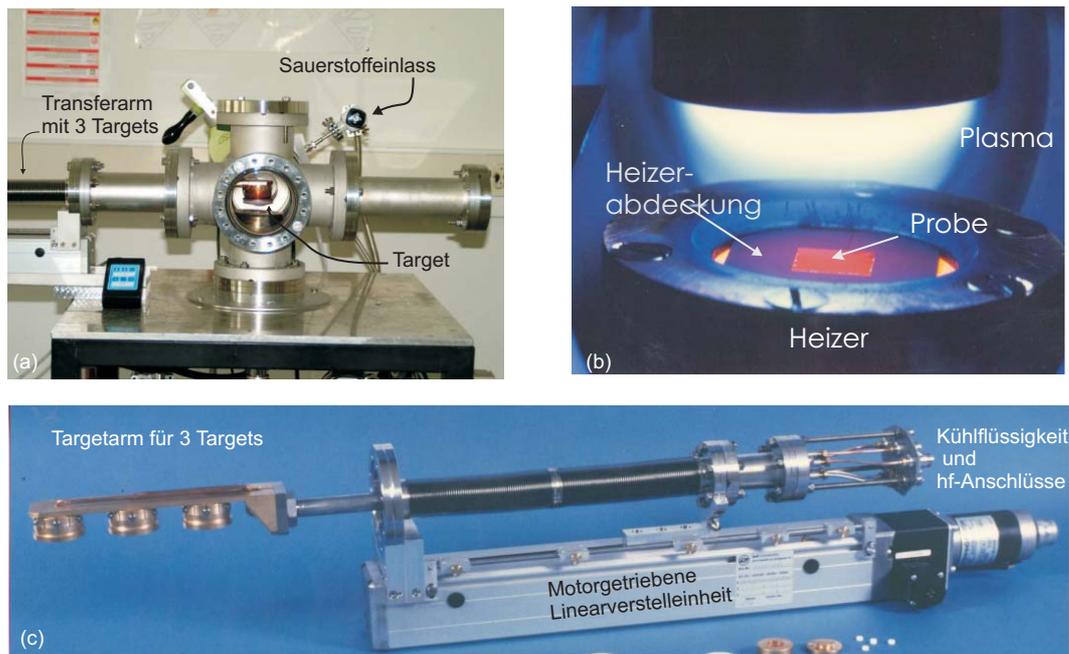


Abbildung 4.4: Hochdruckspalteranlage für oxidische Materialien in Jülich. (a) Teilaufnahme der Anlage mit Prozesskammer und Targettransferarm. (b) Aufnahme einer Sputterdeposition. Man erkennt eine $1 \times 1 \text{ cm}^2$ große Probe auf einem glühenden Heizer ($\approx 700 \text{ }^\circ\text{C}$) in Mitten einer Heizerabdeckung aus SrTiO_3 . Darüber befindet sich das Plasma. (c) Ausgebauter Target-Transferarm. Dieser kann mit bis zu drei Targets bestückt werden. Es ist sowohl rf- als dc-sputtern möglich.

Target heraus. Da lediglich 1% der Atome in einem Plasma ionisiert sind ist die Sputterrate entsprechend klein. Diese kann durch ein zusätzliches Magnetfeld erhöht werden. Man spricht hierbei von Magnetron-Sputtern.

Aufgrund elektrischer Aufladungen lassen sich Isolatoren nicht durch Anlegen einer dc-Spannung sputtern. Legt man hingegen ein hochfrequentes (meist $f = 13.6 \text{ MHz}$) Wechselfeld an, so können auch isolierende Materialien gesputtert werden, siehe Abbildung 4.3 b. Für komplexe Oxide wie SrRuO_3 und $\text{YBa}_2\text{Cu}_3\text{O}_7$ wurde ein spezielles Sputterverfahren, das sog. Hochdruckspalter, von U. Poppe in Jülich entwickelt [132]. Anstelle eines Prozessgasdrucks von ca. 10^{-4} mbar wird hierbei ein Druck im mbar-Bereich (meist 3 mbar) während der Deposition eingestellt. Somit ist für ausreichend Sauerstoff während der Schichtdeposition gesorgt. Mit dieser Technik konnten hochqualitative PZT-SRO-Multilayer hergestellt werden [5]. Die Sputterrate liegt bei diesen Bedingungen allerdings nur bei $\approx 10 \text{ nm/h}$, was bei dicken Schichten von 100-200 nm zu sehr langen Sputterzeiten führt. Abbildung 4.4 zeigt Teile der Hochdruckspalteranlage, die für die gesputterten PZT-Schichten verwandt wurde.

4.2.2 Pulsed Laser Deposition

Die *Pulsed Laser Deposition* (PLD) ist ein im Bereich der Materialforschung weit verbreitetes Verfahren zur Abscheidung komplexer dünner Schichten, wie $\text{YBa}_2\text{Cu}_3\text{O}_7$ oder

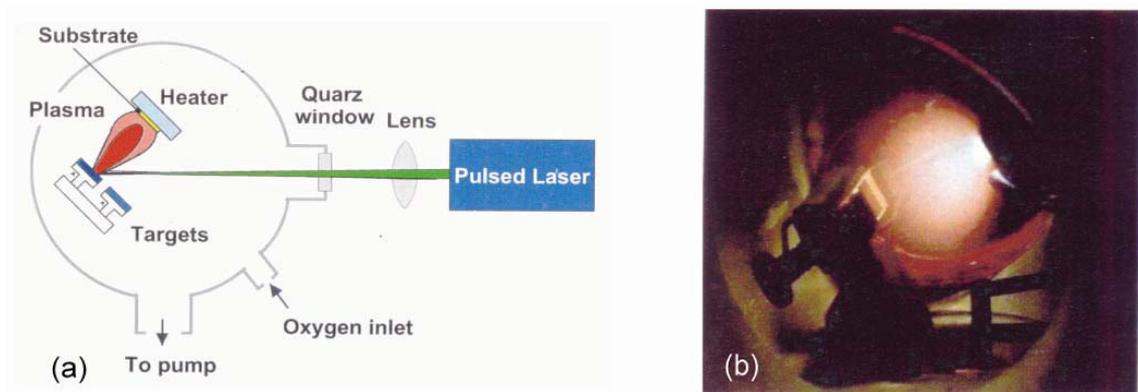


Abbildung 4.5: (a) Schematische Darstellung einer PLD-Kammer. (b) Photo einer Laser-Plume. Beides entnommen aus [5].

BaTiO₃ [133]. Es zeichnet sich vor allem durch hohe Wachstumsraten im Bereich von nm/s aus. Ein Laserstrahl hoher Energiedichte wird über Umlenkspiegel und Fokussierlinsen auf das Targetmaterial gelenkt. Je nach Energie des Laserstrahls wird das Targetmaterial verdampft und zusätzlich ionisiert, so dass ein Plasma entsteht. Es lassen sich zahlreiche Materialien durch diese Laserablationstechnik abscheiden, entscheidend hierbei ist die Absorption der Materialien für die Wellenlänge des verwendeten Laserlichtes. Abbildung 4.5 a und b zeigen den schematischen Aufbau einer PLD-Anlage sowie das Bild einer Laserplume, die entsteht, wenn der Laserstrahl das Targetmaterial ionisiert. Aufgrund

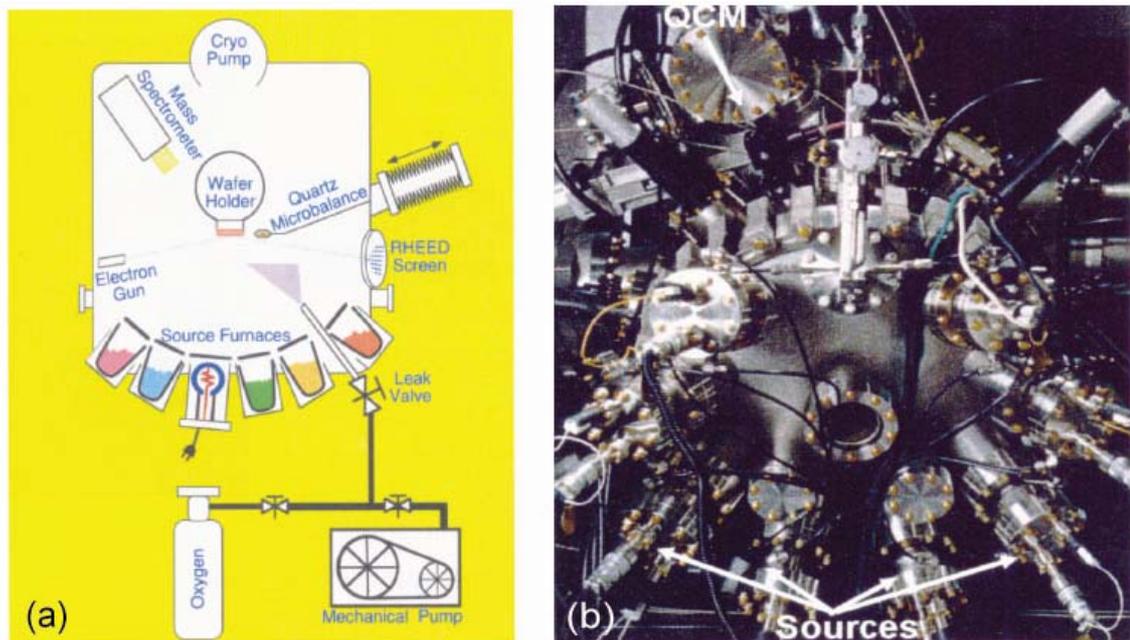


Abbildung 4.6: (a) Schematische Darstellung einer MBE-Kammer. (b) Foto der MBE-Anlage D. G. Schlom's, Pennsylvania State University, USA. Beide Bilder sind entnommen aus [5].

der benötigten hohen Energiedichten werden meist Puls laser, z. B. Excimer Laser im Wellenlängenbereich von $\lambda = 248\text{nm}$ (KrF) und $\lambda = 193\text{nm}$ (ArF) angewendet.

Der PLD-Abscheideprozess wurde für die Ablation oxidischer Dielektrika auf Siliziumsubstraten gewählt. Insbesondere die hohe Abscheiderate und kurze Zeitspanne von 20 min zwischen Einbau und Beginn des Ablationsprozess reduzieren die SiO_2 -Bildung an der Silizium-Grenzfläche.

4.2.3 Molekular Strahl Epitaxie

Die *molecular beam epitaxy* (MBE) ist eine spezielle Form des thermischen Verdampfens. Abbildung 4.6 a und b zeigt den schematischen Aufbau einer MBE-Anlage. Hierbei können ein oder mehrere Elemente in verschiedenen Verdampfungszellen (Knudsenzellen) gleichzeitig verdampft werden. Die Verdampfungszellen sind mit einer Prozesskammer verbunden, in der sich die Probe befindet. Der Hintergrunddruck in der Kammer liegt in der Regel im Bereich von 10^{-9} mbar (UHV), so daß die Wechselwirkung der verdampften Atome untereinander vernachlässigt werden kann. Die Schichten können entweder durch gleichzeitiges Öffnen der Shutter (Co-Deposition) oder durch seriell Öffnen aufgewachsen werden. Der Wachstumsprozess wird oftmals in-situ durch Elektronenbeugung (RHEED⁵) analysiert. MBE-Systeme wurden zur Herstellung von III-V Halbleitern, wie GaAs und InP, eingesetzt [5]. Insbesondere zur Herstellung metastabiler Verbindungen, die nicht als Bulk-Material hergestellt werden können oder bei Untersuchungen des Grenzflächenwachstums ultradünner Schichten, ist die MBE-Deposition nicht ersetzbar.

4.3 Langmuir-Blodgett Verfahren

Das *Langmuir-Blodgett* Verfahren geht in seinen Anfängen zurück auf qualitative Untersuchungen von Benjamin Franklin im Jahre 1774 [134]. Er bestimmte die Fläche die ein Löffel-Inhalt Olivenöl auf einer Wasseroberfläche einnimmt. A. Pockels und Lord Rayleigh führten gegen Ende des 19. Jahrhunderts Experimente an Monolagen auf einer Wasseroberfläche und deren Abscheidung auf Substraten durch [135, 138]. Diese Arbeiten wurden von Irving Langmuir und Katharine Burr Blodgett aufgegriffen und erweitert [139].

Wie Franklin's Ansatz vermuten lässt, versteht man unter Langmuir-Filmen molekulare Schichten von oberflächenaktiven Substanzen an der Grenzfläche zwischen einer flüssigen Phase (oftmals deionisiertes Wasser als polares Lösungsmittel) und der Gasphase. Wird eine solche Molekülmonolage auf ein Substrat (Festkörper) übertragen, bildet sich auf diesem ein monomolekularer Film, welcher als Langmuir-Blodgett Film bezeichnet wird. Damit sich ein derartiger Molekülfilm auf einer Flüssigkeitsoberfläche bildet, müssen die Moleküle bestimmte Eigenschaften besitzen. Die Moleküle, mit je einem hydrophilen und einem hydrophoben Molekülkettende, richten sich auf einer Wasseroberfläche derart aus, daß das hydrophile Ende zur Wasseroberfläche zeigt. Solche Moleküle sind *amphiphil*. Natürlich können sich auch einzelne Moleküle im Lösungsmittel selbst lösen, jedoch

⁵RHEED: reflection high energy electron diffraction.

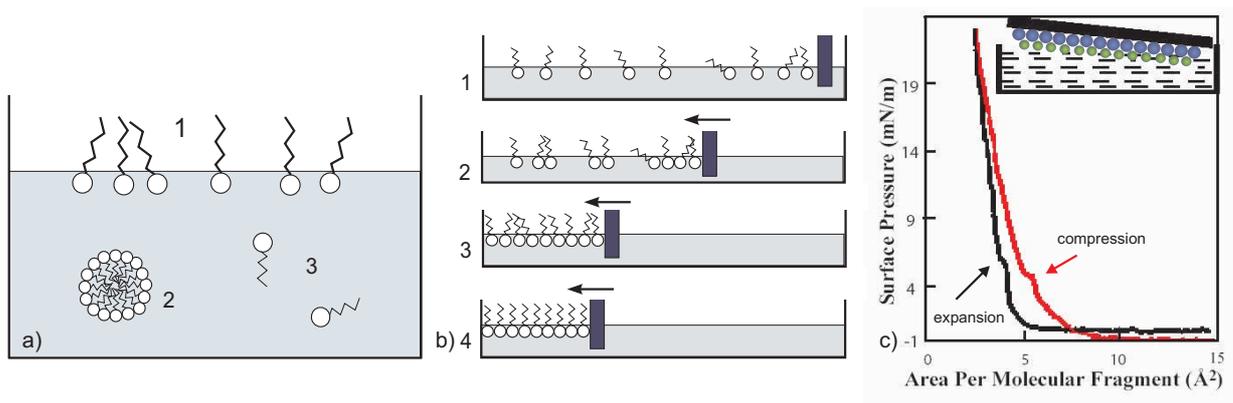


Abbildung 4.7: (a) Amphiphile Moleküle in Wasser: unkomprimierte Molekülschicht an der Oberfläche (1). Bildung von Mizellen in der Lösung (2). Die Löslichkeit einzelner Moleküle ist sehr schlecht (ca. $\sim 10^{-6}$ mol/m³) (3). (b) Bildung einer Molekül-Monolage. (c) Abhängigkeit des Oberflächendrucks von der komprimierten Fläche eines Moleküls.

ist die Löslichkeit im Allgemeinen sehr schlecht ($\sim 10^{-6}$ mol/m³). Desweiteren kann es zu einer Mizellenbildung kommen, wenn sich die Moleküle in Kugelform zusammen schließen. Abbildung 4.7 a zeigt dies schematisch.

Eine quasi-dichte Molekülfläche entsteht durch seitliches Verdichten einer Monolage amphiphiler Moleküle. Eine verdichtete Moleküllage wird als flüssige Kristallphase bezeichnet. Die verschiedenen Stadien der Kompression werden in Abbildung 4.7b gezeigt. Das Diagramm in Abbildung 4.7c illustriert die Abhängigkeit des Oberflächendrucks von der Kompression der Moleküle — hier wird die mittlere Fläche die ein Molekül einnimmt gezeigt. Im Verlauf der Kurve ist deutlich ein Knick zu erkennen. Dieser bestimmt den Punkt an dem sich eine Monolage verdichteter Moleküle gebildet hat. Eine weitere

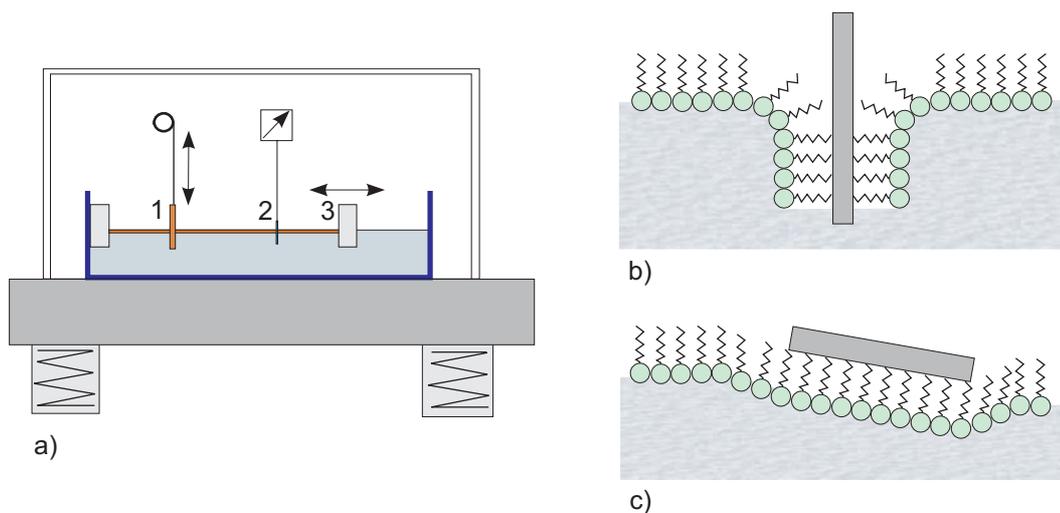


Abbildung 4.8: (a) Apparatur zur Herstellung von Langmuir-Blodgett Filmen. Langmuir Blodgett Verfahren und Schäfer Verfahren, bei dem das Substrat senkrecht (b) und horizontal (c) in die Lösung eingetaucht wird.

Druckerhöhung führt zu einer Doppellagenschicht. Die ausgebildete Molekülschicht kann auf ein Substrat übertragen werden. Hierbei haben sich zwei Methoden etabliert: das senkrechte (historisch) und das fast horizontale Eintauchen (Schneider-Verfahren). Beide werden in Abbildung 4.8b schematisch dargestellt. Durch wiederholtes Eintauchen können auf diese Weise mehrere Monolagen auf ein Substrat aufgebracht werden. Diese Methode wird Langmuir-Blodgett Verfahren genannt. Die Abbildung 4.8b zeigt schematisch dieses Verfahren.

Eine Apparatur zur Herstellung von Langmuir-Blodgett Filmen wird in Abbildung 4.8a dargestellt. Die wesentlichen Elemente sind ein schwingungsgedämpfter Tisch in Kombination mit einer Abdeckhaube, um eine möglichst ruhige und saubere Flüssigkeitsoberfläche zu gewährleisten. Die Probe wird an einer Hebelmechanik befestigt, die ein periodisches Eintauchen der Probe gewährleistet. Durch einen Schieber können die Moleküle verdichtet werden bis sie einen zweidimensionalen Flüssigkristall bilden. Durch wiederholtes Eintauchen der Probe können mehrere Monolagen auf ein Substrat übertragen werden.

Die in dieser Arbeit untersuchten PVDF-Filme wurden mit einem NIMA model 622C LB-Trog an der Universität Nebraska hergestellt. Das Copolymer wurde in einer Lösung aus Dimethyl Sulfoxid bei einer Temperatur von 80 °C gelöst (0.1%) und ca. 5 ml der Lösung in den mit Reinstwasser ($>18\text{ M}\Omega$, 25 °C) gefüllten Trog überführt. Der Oberflächenfilm wurde vorsichtig komprimiert und anschließend auf das Substrat übertragen. Üblicherweise wurde dabei ein Oberflächendruck von 0.5-20 mN/m nicht überschritten. Detaillierte Beschreibungen hierzu finden sich in den Veröffentlichungen [140–142].

Kapitel 5

Dielektrische Schichten auf Silizium

Die experimentellen Ergebnisse dieser Arbeit umfassen einige sehr unterschiedliche Themengebiete, deren Zusammenfassung in einem Kapitel die nötige Transparenz vermischen ließe. Aus diesem Grunde werden die Ergebnisse in drei getrennten Kapiteln, mit den Überschriften: *Dielektrische Schichten auf Silizium*, *Ferroelektrische Gateschichten auf Silizium* und *Dünne ferroelektrische P(VDF/TrFE)(70/30)-Schichten auf Silizium* präsentiert.

Einführend werden die Ergebnisse aus Messungen an dielektrischen (Buffer-)Schichten behandelt. Es wurden epitaktische SrTiO₃-Schichten auf Silizium, polykristalline CeO₂- und amorphe DyScO₃-Schichten auf Silizium, in Form von MIS-Dioden und Transistoren untersucht.

5.1 Epitaktische SrTiO₃-Schichten auf Silizium

Im Jahre 1998 wurde von McKee *et al.*, in einer auf reges Interesse gestoßenen Veröffentlichung, von erfolgreicher Abscheidung dünner epitaktischer SrTiO₃-Schichten auf Silizium mittels MBE berichtet [120]. Dies ist von weitreichender Bedeutung, da seit Jahren an einem Ersatz des üblicherweise verwandten Gateoxids SiO₂ in Feldeffekttransistoren durch ein Gateoxid mit höherer Dielektrizitätskonstante gearbeitet wird. Benötigt wird dieser Ersatz, um eine kontinuierliche Skalierung dieser Bauteile (Prozessoren) zu gewährleisten (Moore'sches Gesetz ¹). Hierbei ist ein theoretisches Verständnis der dielektrischen Eigenschaften ultradünner Oxid-Silizium-Grenzschichten von hohem Interesse [143, 144].

Aufgrund immer dünnerer Gateoxidschichten nimmt der Leckstrom durch diese Schichten zu, so dass die Verlustleistung der Transistoren sehr hoch wird. Auswege aus diesem Skalierungsproblem erhofft man sich durch sogenannte alternative hoch- ϵ -Materialien, die bezüglich SiO₂ ($\epsilon = 3.9$) eine deutlich höhere Dielektrizitätskonstante aufweisen. Werden hoch- ϵ -Materialien anstelle von SiO₂ als Gatedielektrikum in Transistoren verwendet, so kann bei Konstanzhaltung der Schichtkapazität die Schichtdicke deutlich erhöht werden,

¹1965 Gordon Moore (Mitgründer Intel) These: Transistordichte in Halbleiterchips verdoppelt sich alle 18 Monate [145]. Dies wurde später auf 24 Monate korrigiert [146].

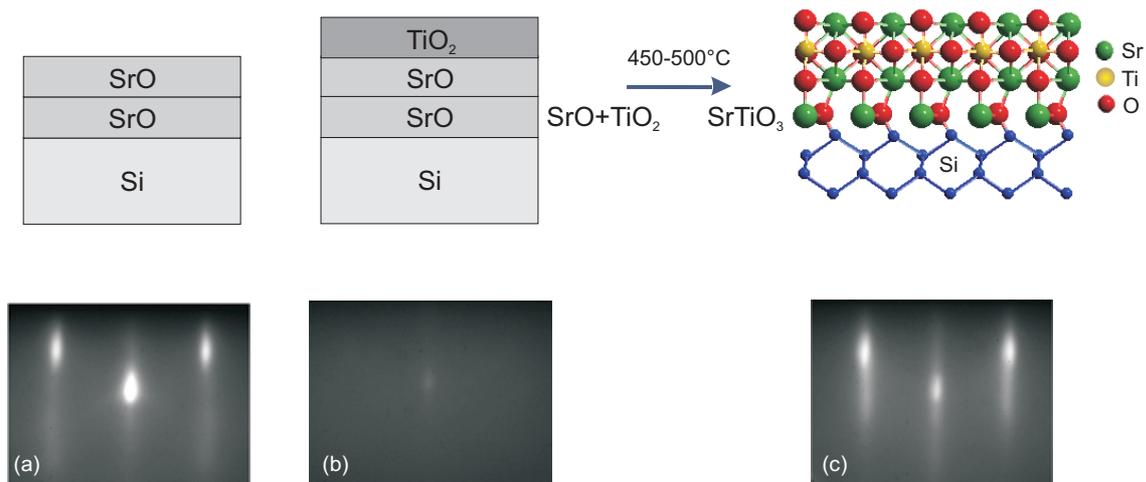


Abbildung 5.1: Illustration des *layer-by-layer*-Verfahrens von SrTiO_3 auf Silizium. In der zweiten Reihe werden die dazugehörigen RHEED-Bilder gezeigt (J. Schubert). Erläuterungen siehe Text.

was zu einer Leckstromreduktion führt.

In der Gruppe D. G. Schlom's von der Pennsylvania State University wurde eine spezielle Prozessierung für epitaktische SrTiO_3 -Schichten, unter Vermeidung einer parasitären SiO_2 -Schicht, auf Silizium entwickelt. In Kooperation mit dieser Gruppe und J. Schubert (ISG Jülich), wurden dünne epitaktische SrTiO_3 -Schichten auf (100)-Si abgeschieden. Das als Layer-by-Layer-Verfahren bezeichnete Abscheidungsverfahren wird im folgenden näher beschrieben. Im Anschluss daran werden die Ergebnisse aus strukturellen und elektrischen Messungen an SrTiO_3 -Schichten auf Si-Substraten vorgestellt.

5.1.1 Das Layer-by-Layer-Depositionsverfahren

Ein epitaktisches Wachstum von SrTiO_3 auf Silizium setzt eine oxidfreie Siliziumoberfläche voraus, d. h. die immer vorhandene native SiO_2 -Schicht muss vor der Schichtdeposition entfernt werden. Dies kann chemisch durch eine 10%ige-HF-Lösung erfolgen oder durch Aufheizen der Probe im Vakuum (UHV) auf $T = 900 - 1000^\circ\text{C}$. Letzteres hat den Vorteil, dass mittels eines RHEED-Systems die Reduktion von SiO_2 beobachtet werden kann, entsprechend sollte ein 2×1 Si(001) RHEED-Bild der Probenoberfläche nach erfolgter Reduktion erkennbar sein. Ein Sr-Oxidationsprozess kann ebenfalls zur Reduktion einer SiO_2 -Schicht genutzt werden [147].

Nach Entfernung der SiO_2 -Schicht wird eine *halbe* Monolage² ($\approx 3.4 \times 10^{14} \text{ at/cm}^2$) metallisches Sr bei 700°C (Pyrometer) aus einer Sr MBE-Quelle (Knutsenzelle) mit einem Fluss von $3 - 4 \times 10^{13} \text{ at}/(\text{cm}^2 \cdot \text{s})$ aufgedampft. Hierbei entsteht in einer chemischen Reaktion mit Silizium kristallines SrSi_2 . Dieses verhindert eine erneute Bildung von SiO_2 bei den folgenden Prozessschritten und dient gleichzeitig als epitaktische Wachstumsunterla-

²Eine Monolage (ML) wird hier als Konzentration der Oberflächenatome einer Si(001)-Fläche definiert. Dies sind $\approx 6.78 \times 10^{14} \text{ at/cm}^2$.

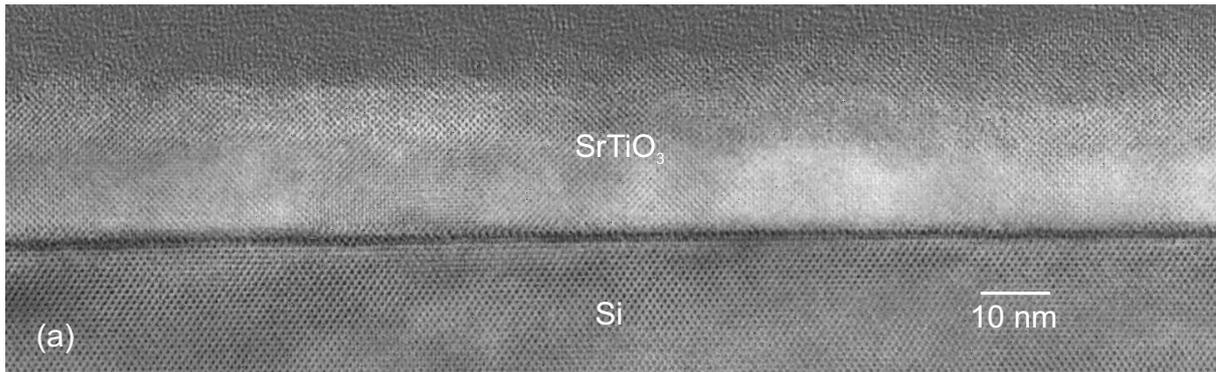


Abbildung 5.2: HRTEM-Aufnahme einer epitaktischen SrTiO₃-Schicht auf Silizium. Das hier gezeigte TEM-Bild ist einzigartig, da es eine exzellente Grenzfläche über einen sehr großen Bereich zeigt.

ge (sog. seed layer). Bei Raumtemperatur wird eine weitere halbe ML Sr abgeschieden. Das Sr reagiert aufgrund der niedrigen Temperatur nicht mit Silizium und bleibt zunächst metallisch. Anschließend wird mit der eigentlichen Schichtdeposition begonnen. Die ersten Monolagen SrTiO₃ werden, wie in Abbildung 5.1 gezeigt, in einer dreisrittigen Depositionssequenz durchgeführt. Zunächst werden bei Raumtemperatur jeweils eine Monolage SrO und eine Monolage TiO₂ abgeschieden. Dieser Prozess kann mittels RHEED-Analyse insitu kontrolliert werden. Die eigentliche Reaktion der SrO- und TiO₂-Lagen zu SrTiO₃ erfolgt bei einer Temperatur von 450-500°C für ca. 1 h. Hierbei findet eine Kristallisation zu SrTiO₃ statt, die wiederum mittels RHEED-Analyse verfolgt werden kann. Die in Abbildung 5.1c dargestellten RHEED-Bilder zeigen diese Reaktion von SrO und TiO₂ zu kristallinem SrTiO₃. Bevor mit der nächsten Monolage SrTiO₃ begonnen werden kann, muss die Probe erneut auf Raumtemperatur abgekühlt werden. Dies erklärt, warum das Verfahren als *Layer-by-Layer*-Verfahren bezeichnet wird.

Für dickere Schichten kann nach einigen Monolagen zu einem Co-Depositionsprozess übergegangen werden, bei welchem vor dem Kristallisationsschritt mehrere SrO-TiO₂-Layer übereinander abgeschieden werden. Diese SrTiO₃-Schichten zeichnen sich durch eine hohe Kristallinität aus, wie im folgenden anhand von HRTEM-, XRD- und RBS-Messungen deutlich wird.

5.1.2 HRTEM-Untersuchungen epitaktischer SrTiO₃-Schichten auf Silizium

In Zusammenarbeit mit der Arbeitsgruppe von K. Urban am FZJ wurden SrTiO₃/Si-Proben mikroskopisch von C. L. Jia und J. Q. He untersucht. Insbesondere das Wachstum in Abhängigkeit des Ti:Sr-Verhältnisses während der Deposition wurde durch HRTEM, EDX³ und SAED⁴ analysiert.

³EDX: Energy Dispersive X-ray.

⁴SAED: Selected Area Electron Diffraction.

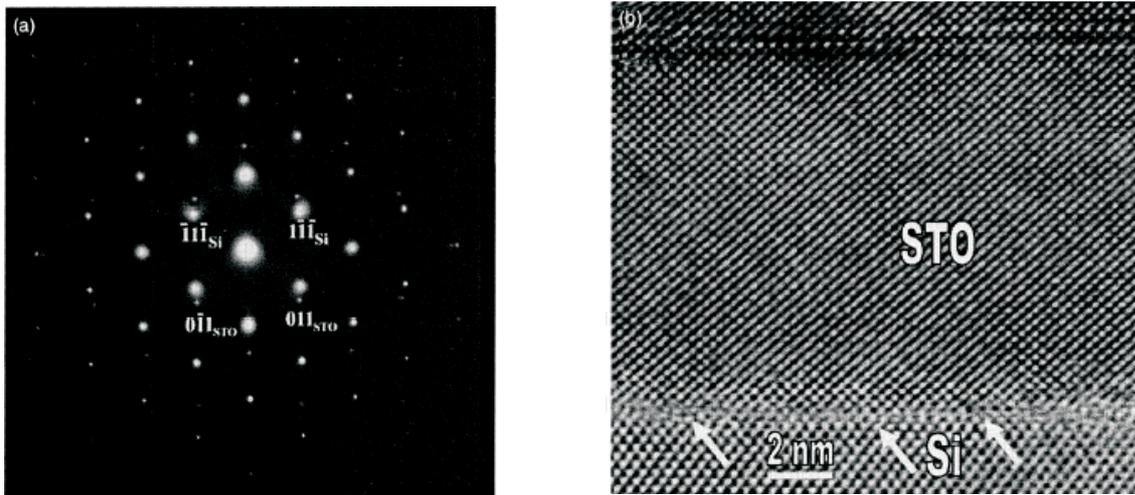


Abbildung 5.3: (a) SAED-Aufnahme im Grenzflächenbereich: Anhand der Symmetrie der Reflexe kann auf eine gute Epitaxie zwischen SrTiO₃ und dem Siliziumsubstrat geschlossen werden. (b) Vergrößerung der SrTiO₃-Si Grenzschicht. Die eingezeichneten Pfeile zeigen auf Dislokationen.

Abbildung 5.2 zeigt exemplarisch die Querschnitts-HRTEM-Aufnahme einer epitaktischen SrTiO₃-Schicht auf p-Silizium. In keinem der untersuchten Bereiche konnte eine Reaktion von Sr respektive Ti mit Silizium festgestellt werden. Unabhängig von der Oberflächenbehandlung vor der Schichtbedampfung (Entfernung organischer Verbindungen und SiO₂), konnten bei stöchiometrischen Schichten keine Unterschiede im Grenzflächenbereich beobachtet werden [148]. Die Orientierung der SrTiO₃-Schicht wurde mittels SAED bestimmt: $(001)_{SrTiO_3} \parallel (001)_{Si}$ und $(100)_{SrTiO_3} \parallel (110)_{Si}$, siehe Abbildung 5.3a. Abbildung 5.3b zeigt einen vergrößerten Ausschnitt der SrTiO₃/Si-Grenzfläche. Es ist ein scharfer Übergang zwischen Substrat und Schicht erkennbar. Amorph anmutende Be-

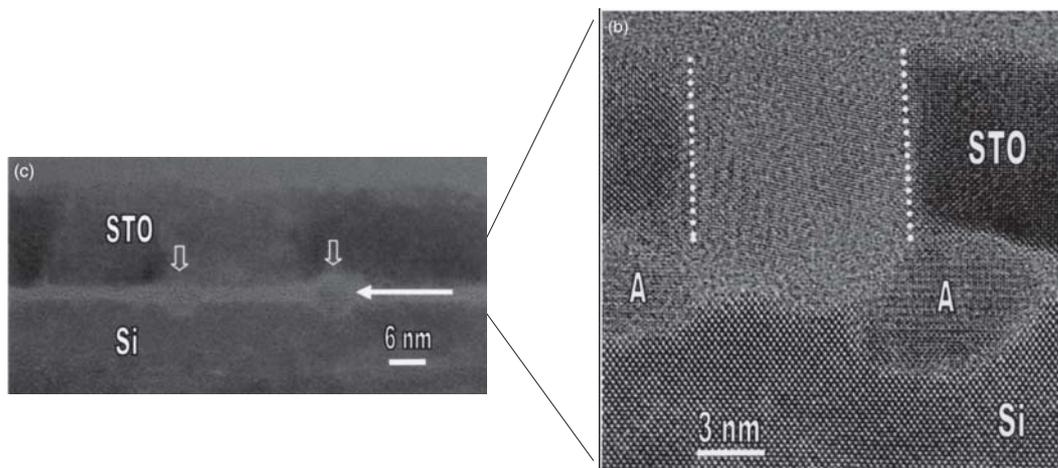


Abbildung 5.4: HRTEM-Aufnahmen einer SrTiO₃-Schicht, die mit einem Überschuss an Ti während der Schichtdeposition hergestellt wurde. Deutlich sind amorphe Bereiche und kristalline TiO₂-Nanocluster erkennbar.

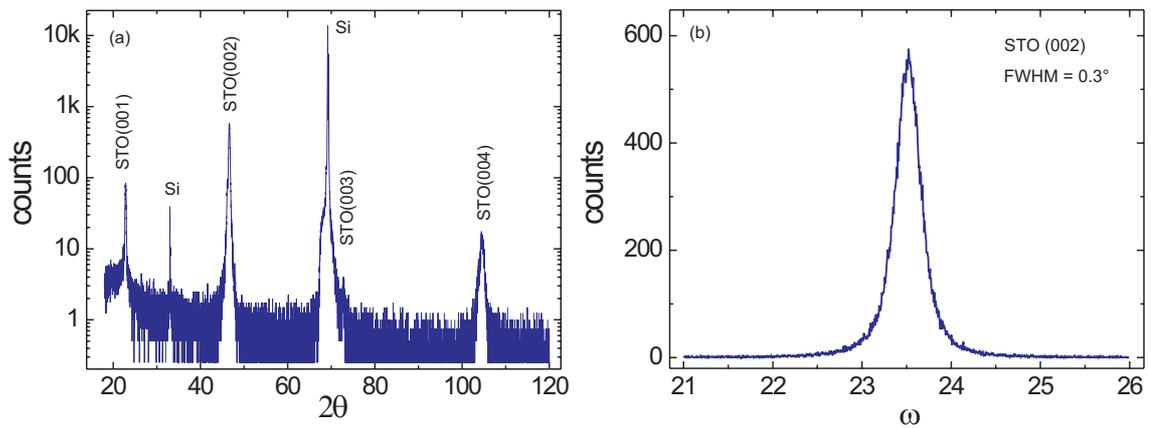


Abbildung 5.5: (a) $\Theta - 2\Theta$ XRD-Messung einer 20 nm dünnen SrTiO₃-Schicht auf Silizium. (b) Rocking-Kurve eines (002) SrTiO₃-Reflexes der gleichen Probe.

reiche am Interface können von Präparationsschäden herrühren. Versetzungen, wie sie durch Gitterfehlpassung entstehen können, wurden zu 3×10^5 Versetzungen pro cm² bestimmt, siehe Pfeile in Abbildung 5.3b.

Wie zuvor angedeutet, hängt das Wachstum von SrTiO₃ auf Si nicht entscheidend von der Substratreinigungsmethode (SiO₂-Entfernung) ab. Hingegen ist das Verhältnis von Sr:Ti=1 maßgeblich, um epitaktische SrTiO₃-Schichten herzustellen. Untersuchungen der Grenzflächen von Filmen, deren Verhältnis von Sr:Ti in Richtung Ti verschoben ist, zeigen TiSi₂-Ausscheidungen im Grenzflächenbereich. Exemplarisch wird dies in Abbildung 5.4 gezeigt. Hier sind sowohl amorphe Bereiche, als auch kristalline TiSiO₂-Nanocluster erkennbar. Letztere entstehen durch die thermische Instabilität von TiO₂ auf Si [148]:



5.1.3 XRD-Untersuchungen von SrTiO₃/Si-Schichten

Abbildung 5.5a zeigt eine typische $\Theta - 2\Theta$ -Messung einer SrTiO₃-Schicht auf Silizium. SrTiO₃ besitzt als Einkristall in Bulkform eine kubische *bcc*-Struktur mit einer Gitterkonstanten von $c = 3.9 \text{ \AA}$. In der $\Theta - 2\Theta$ -Messung sind nur SrTiO₃ (00n) und Substratpeaks erkennbar, entsprechend liegt ein einkristallines Schichtwachstum vor. Die nebenstehende Messung, Abbildung 5.5b, zeigt eine *Rockingkurve* des (002) SrTiO₃-Reflexes. Aus der Peakbreite *FWHM*⁵ der Rockingkurve lässt sich die Güte der Schicht bestimmen. Ein *FWHM*-Wert von 0.3° ist ein typischer Wert für diese Schichten und deutet auf eine hohe kristalline Ordnung der Schichten hin. Verkippt man die Probe um den Winkel ψ so können Reflexe anderer Netzebenen bestimmt werden. Aus deren Lage lassen sich über

⁵FWHM: Full Width at Half Maximum

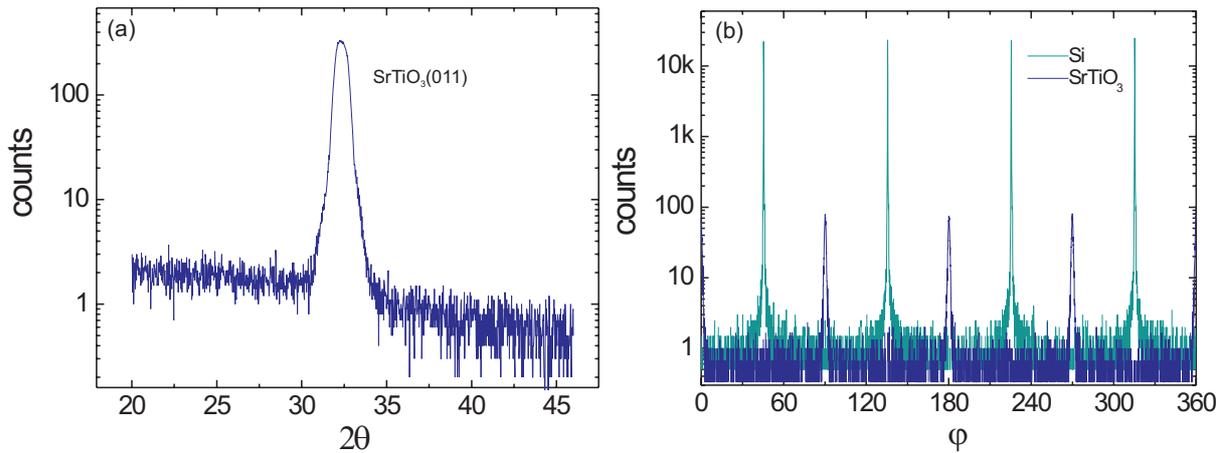


Abbildung 5.6: (a) (011) Reflex einer 20 nm dünnen SrTiO₃-Schicht auf Silizium. (b) Φ -Messung des Si (022) und des SrTiO₃(022)-Peaks.

folgende Gleichungen die Gitterparameter und damit die Einheitszelle berechnen:

$$2d \cdot \sin \Theta = n \cdot \lambda \quad \text{mit} \quad \lambda = 1.54056 \text{ \AA} \quad (\text{Kupfer } k_{\alpha}\text{-Linie}) \quad (5.2)$$

$$\frac{1}{d^2} = \frac{h^2}{a^2} + \frac{k^2}{b^2} + \frac{l^2}{c^2} \quad . \quad (5.3)$$

Hierin sind d der Netzebenenabstand, Θ der Einfallswinkel, a, b, c die Gitterparameter einer Einheitszelle und h, k, l die Miller'schen Indizes. Abbildung 5.6a zeigt eine Messung des (011) SrTiO₃-Reflexes bei einer Verkippung um $\psi = 45^\circ$. Es wurde für 10-20 nm dicke MBE-SrTiO₃-Schichten im Mittel eine Gitterkonstante von $a \approx 3.9 \text{ \AA}$ gemessen. Damit erreichen die Schichten annähernd die Gitterkonstante von Bulk-Kristallen.

Es erscheint zunächst verwunderlich, dass SrTiO₃ mit einer Gitterkonstanten von $a = 3.9 \text{ \AA}$ mit einer Gitterkonstanten von $c = 5.4 \text{ \AA}$ einkristallin auf Silizium aufwächst. Die Erklärung hierfür liefert die Abbildung 5.6b. Hierin wird die XRD-Messung eines

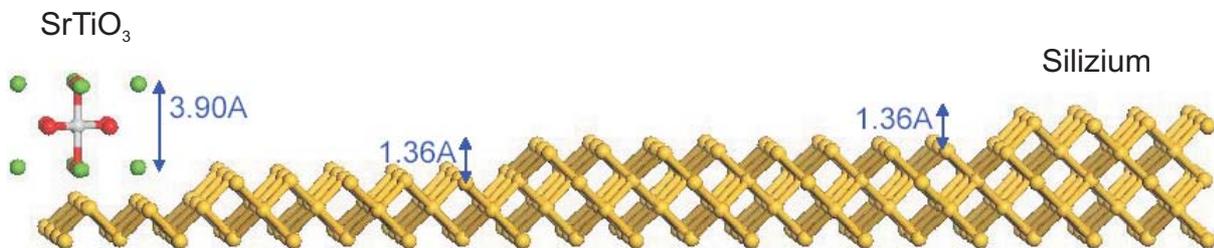


Abbildung 5.7: Darstellung einer SrTiO₃-Si- Grenzschicht. Da ein Si-Substrat, wie schematisch skizziert, in der Regel atomare Stufen aufweist, führt dies zwangsläufig zu Gitterfehlern, insbesondere bei einer Verdrehung der Einheitszellen zwischen SrTiO₃ und Si von 45° . Dies führt zu Stapelfehlern, die in HRTEM-Abbildungen beobachtet werden können, siehe auch Abb. 5.3b. Aus [121].

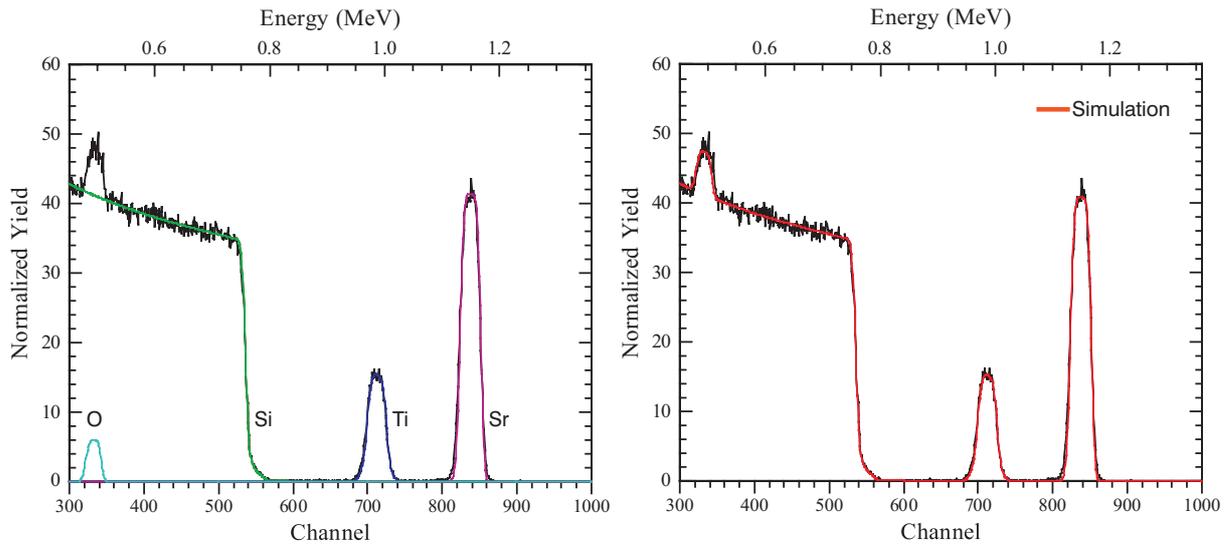


Abbildung 5.8: RBS-Messung einer 36 nm dicken SrTiO₃-Schicht. (a) Beiträge der einzelnen Elemente Sr, Ti, O, und Si zum Gesamtspektrum. (b) Vergleich zwischen einem gemessenen Spektrum (schwarz) und einer *RUMP*-Simulation (rot).

SrTiO₃(022)- sowie die eines Si(022)-Reflexes in Abhängigkeit des ϕ -Winkels aufgetragen. Offenkundig sind die SrTiO₃-Reflexe um 45° gegen die Substratreflexe verschoben. Daraus lässt sich ableiten, dass die Einheitszellen der SrTiO₃-Schicht um 45° gegen die Si-Einheitszellen verdreht aufwachsen. Berechnet man die so entstehende quasi-Gitterkonstante von Si, so erhält man einen Wert von $\approx 3.8 \text{ \AA}$. Dies entspricht einer Gitterfehlانpassung von 2.6%.

Da eine Siliziumprobe niemals atomar glatt ist, sondern im günstigen Falle nur atomare Stufen aufweist - atomare Stufenhöhe Si $\approx 1.3 \text{ \AA}$ - kann dies bei einem um 45° rotierten Schichtwachstum von SrTiO₃ zu Stapelfehlern und Defekten innerhalb der SrTiO₃-Schicht führen. In Abbildung 5.7 wird ein schematisches Modell einer Silizium-Grenzfläche mit der Auswirkung atomarer Si-Stufen auf das Schichtwachstum beschrieben. Derartige Wachstumsdefekte können in den HRTEM-Aufnahmen der Schichten beobachtet werden (siehe Pfeile in Abbildung 5.3b [121]).

5.1.4 RBS-Messungen an SrTiO₃-Schichten auf Silizium

RBS-Messungen wurden zur Analyse von Schichteigenschaften wie Schichtdicke, Stöchiometrie und Kristallqualität durchgeführt. Exemplarisch wird in Abbildung 5.8a die Random-Messung einer 36 nm dünnen SrTiO₃-Si Probe gezeigt. Simulationen der gemessenen Spektren wurde mit dem Softwaretool *RUMP*⁶ durchgeführt. In der Abbildung werden neben der gemessenen Kurve die einzelnen simulierten Streubeiträge der beteiligten Atome gezeigt. Durch Superposition dieser Beiträge entsteht das gemessene Spektrum. Da die Massen (Ordnungszahlen) der einzelnen Atomsorten der SrTiO₃-Schicht (Sr(38), Ti(22) und O(8)) ausreichend differieren, überlappen sich die Beiträge

⁶RUMP: Rutherford Backscattering Spectroscopy analysis package www.genplot.com

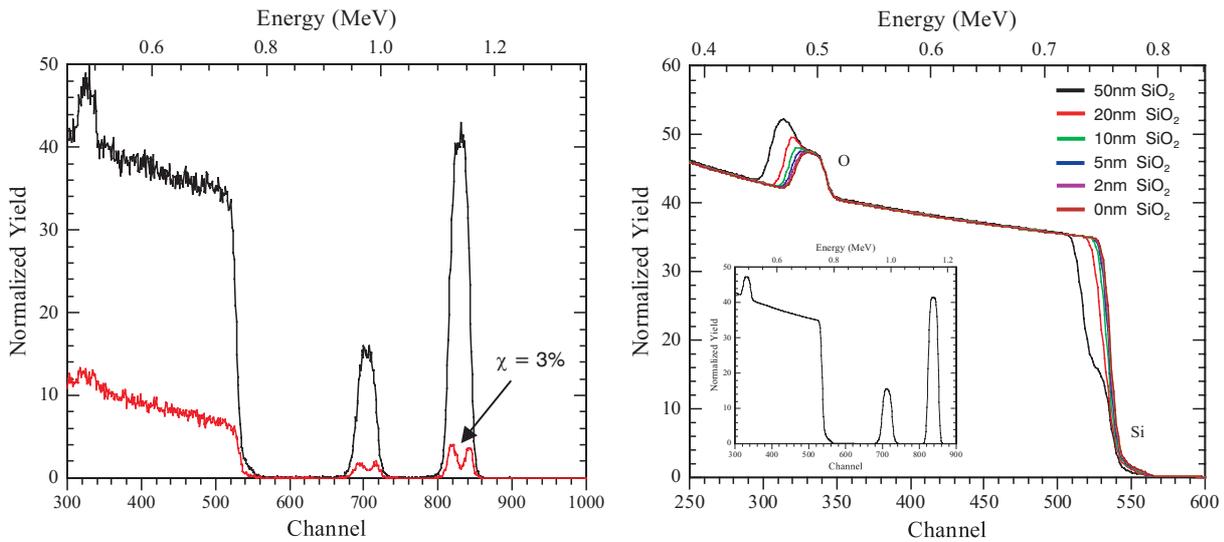


Abbildung 5.9: Links: Vergleich zwischen einer Random- und einer Channeling Messung. Das Minimum des Verhältnisses beider Messungen, $\chi_{min} = 3\%$, ist ein Parameter für die Kristallqualität. Rechts: Simulationen einer 36 nm dicken SrTiO₃-Schicht auf Si mit unterschiedlich dicken SiO₂-Zwischenschichten.

dieser Atome bei dünnen Schichten nicht und vereinfachen die Simulation der Spektren. Aus der Höhe bzw. Breite der Peaks wurden die Stöchiometrie und die Schichtdicke bestimmt. Abbildung 5.8b zeigt das gemessene Spektrum und ein simuliertes Spektrum. Die aus der Simulation bestimmte Schichtdicke der SrTiO₃-Schicht beträgt 36 nm und das Sr:Ti-Verhältnis ist ca. 1:1. Ein Sauerstoff-Anteil von O_{2,6} anstelle von O₃ weist auf ein Sauerstoffdefizit in der SrTiO₃-Schicht hin. Der Vergleich einer Random- mit einer Channeling-Messung erlaubt eine qualitative Analyse der Kristallqualität der SrTiO₃-Schicht. Je geringer die Rückstreuung bei einer Channeling-Messung ist, desto höher ist die Kristallinität der Schicht. Das Verhältnis von Random- zu Channelingmessung ergibt den sogenannten χ_{min} -Wert. In Abbildung 5.9a werden die Random- und Channeling-Messung einer SrTiO₃-Schicht gezeigt. Der berechnete Minimum χ_{min} -Wert von 3% ist für diese Schichten ein hervorragender Wert und zeigt eine hohe kristalline Ordnung an. Abbildung 5.9b stellt RBS-Simulationen einer 30 nm dünnen SrTiO₃-Schicht mit unterschiedlich dicken SiO₂-Zwischenschichten dar. Die Simulationen wurden durchgeführt, um das untere mit RBS ermittelbare Limit für SiO₂-Schichten in diesem Schichtsystem zu ermitteln. Mit zunehmender SiO₂-Schichtdicke verschiebt sich die Si-Kante zu niedrigeren Energien, wie anhand einer 50 nm SiO₂-Zwischenschicht deutlich erkennbar ist. Gleichzeitig wird der Sauerstoffpeak durch den zusätzlich in der SiO₂-Schicht vorhandenen Sauerstoff zu niedrigen Energien hin verbreitert. Allerdings werden diese Änderungen erst bei dickeren Schichten von 10-20 nm signifikant. Bei kleineren Schichtdicken (wenige Nanometer) ist eine zuverlässige Bestimmung der SiO₂-Schichtdicke nicht mehr möglich. Untersuchungen der Si-Kante in den RBS-Spektren der SrTiO₃-Schichten ergaben, in Übereinstimmung mit den gezeigten HRTEM-Aufnahmen, keinerlei Anzeichen von SiO₂ an der Grenzschicht zum Si-Substrat.

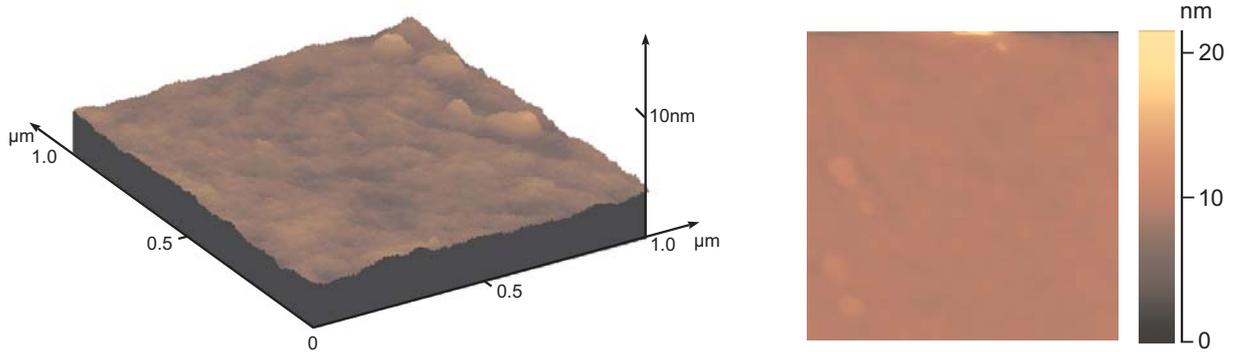


Abbildung 5.10: AFM-Aufnahme einer 20 nm dicken SrTiO₃-Schicht. Die *rms*-Rauigkeit beträgt 6 Å.

Die Oberflächenstruktur der SrTiO₃-Schichten wurde mit optischer Mikroskopie und AFM im *non-contact mode* untersucht. Die SrTiO₃-Schichten zeigten keine optisch erkennbaren Strukturen, es wurden weder Cluster noch Ausscheidungen bei diesen Untersuchungen beobachtet. Die mittels AFM gemessene Rauigkeit lag im Bereich $< 6 \text{ \AA}$. In Abbildung 5.10 wird exemplarisch die AFM-Aufnahme einer 20 nm dicken SrTiO₃-Schicht gezeigt.

5.1.5 Elektrische Charakterisierung dünner SrTiO₃-Schichten auf Silizium

Die in dieser Arbeit untersuchten Oxide auf Silizium dienen nicht nur als Wachstumsuntergrund und Diffusionsbarriere für ferroelektrische Schichten, auch müssen ihre elektrischen Eigenschaften zudem hohen Ansprüchen genügen. So sollten die dielektrischen Schichten eine möglichst hohe Dielektrizitätskonstante ϵ_r und eine sehr niedrige Leitfähigkeit (idealer Isolator) zeigen. Zur Charakterisierung der elektrischen Eigenschaften wurden Leckstrom-Messungen (*I(V)*-Charakteristik) und Kapazitäts-Messungen an MIS-Dioden durchgeführt. Hierzu wurden runde MIS-Dioden mittels optischer Lithographie (*lift-off*-Prozess) hergestellt. Als obere Elektrode diente eine ca. 100 nm dicke gesputterte Pt-Schicht. Die schematische Abbildung der Dioden wird im Anhang B gezeigt.

Eine elektrische Kontaktierung der MIS-Dioden mit der Messapparatur erfolgte über Kontaktmessspitzen. Abbildung 5.11a zeigt die *I(V)*-Kennlinie einer 30 nm dicken MIS-Diode. Eine RBS-Analyse dieser Probe ergab einen nahezu stöchiometrischen SrTiO₃-Film (Sauerstoffanteil: 2.8). Desweiteren lassen HRTEM-Aufnahmen dieser Probe keine SiO₂-Bildung an der Grenzschicht zum Siliziumsubstrat erkennen. Die hier repräsentativ gezeigte *I(V)*-Messung zeigt eine sehr hohe Stromdichte schon bei niedrigen Spannungen. Bei einer Gatespannung von ca. $V_G = 2 \text{ V}$ beträgt die Stromdichte $J = 10 \text{ A/cm}^2$! Dies entspricht einem Flächenwiderstand von ca. $R_{\text{SrTiO}_3} = 0.2 \text{ \Omega cm}^2$. Bei allen gemessenen SrTiO₃-Schichten, unabhängig von der Schichtdicke (10-36 nm), wurden hohe Stromdichten bei kleinen Gatespannungen gemessen.

Durch Temperungen der Proben in O₂ wurde eine Verbesserung der isolierenden Eigenschaften versucht. Hierbei können reaktive Gase wie O₂, N₂ oder N₂H₂ in die SrTiO₃-Schicht eingebaut werden und eventuell vorhandene Fehlstellen kompensieren. Da ein

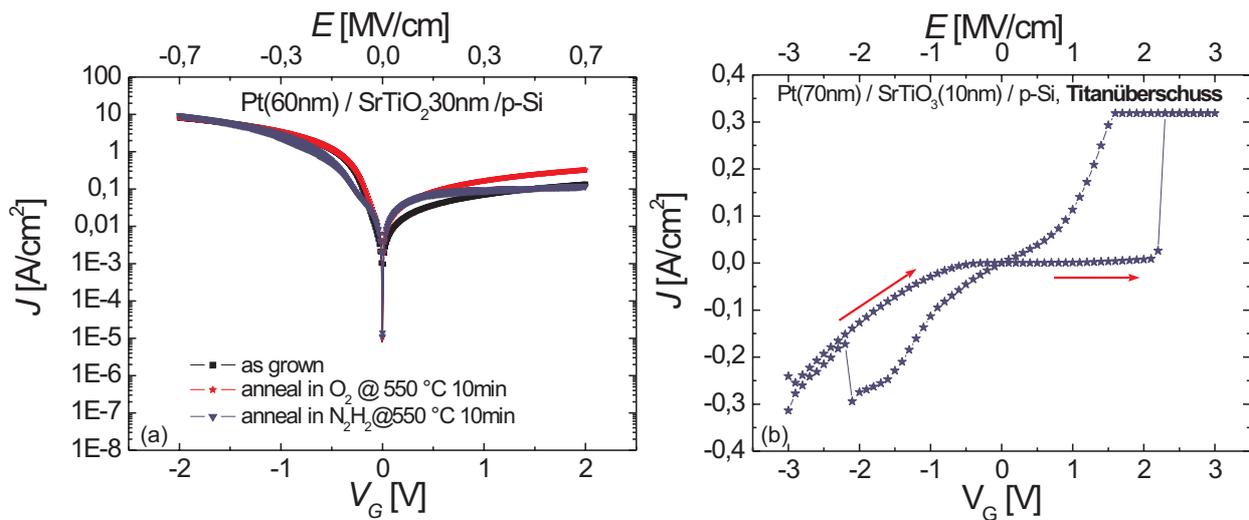


Abbildung 5.11: I(V)-Messungen an Pt-SrTiO₃-MIS-Dioden. (a) Messung an einer stöchiometrischen 30 nm dünnen SrTiO₃-Schicht. (b) Messung einer nicht-stöchiometrischen SrTiO₃-Schicht.

erheblicher Aufwand betrieben wurde, um epitaktische SrTiO₃-Schichten auf Silizium ohne eine SiO₂-Zwischenlage herzustellen, sind Temperungen in reaktiven Gasen nur bis zu einer Temperatur von ca. 550-600 °C erfolgreich. Bei höheren Temperaturen können Sr und Ti mit Si reagieren oder es ist möglich, dass sich eine SiO₂-Zwischenschicht ausbildet. In Abbildung 5.11a werden Temperungen bei 550 °C in Sauerstoff und Stickstoff gezeigt. Keine der durchgeführten Temperungen innerhalb des Temperaturbereichs führte zu einer merklichen Absenkung des Leckstroms. Weiterführende Temperungen, in denen durch Mikrowellenplasma erzeugter atomarer Sauerstoff eingesetzt wurde, zeigten ebenso keinerlei signifikanten Auswirkungen.

Zusätzlich wurden auch an Ti-reichen SrTiO₃-Schichten Leckstrommessungen durchgeführt. Diese zeigen im Vergleich zu stöchiometrischen SrTiO₃-Schichten einen deutlich höheren Leckstrom. Teilweise wurden bei Messungen Kennlinien beobachtet, siehe Abbildung 5.11b, deren Charakteristik ähnlich denen der Kennlinien dünner PZT-Tunnelkontakten ist, bei welchen ein sogenanntes *resistives* Schalten beobachtet wurde [5, 149].

Was ist die Ursache der hohen Leckströme durch die dünnen Schichten, obschon SrTiO₃ doch als gut isolierendes Material gilt? Zunächst wurde zu klären versucht, ob es sich bei der beobachteten hohen Leitfähigkeit um ein lokales Phänomen handelt, z. B. durch Gitterfehler verursacht wird, oder, ob die Schicht als ganzes eine hohe Leitfähigkeit besitzt. Hierzu wurden die bisher doch sehr großen Elektrodenflächen von ca. $A = 3 \times 10^{-4} \text{ cm}^2$ deutlich reduziert. Wird die beobachtete makroskopische Leitfähigkeit nur durch einzelne leitende Pfade verursacht, so sollte sich bei hinreichend kleinen Elektrodenflächen eine Verteilung stark unterschiedlicher Leitfähigkeiten zeigen.

Mittels einer *stencil-mask* [151] wurde ein Array periodisch angeordneter Platinelektroden auf die SrTiO₃-Schicht aufgedampft. Abbildung 5.12a zeigt die AFM-Aufnahme eines

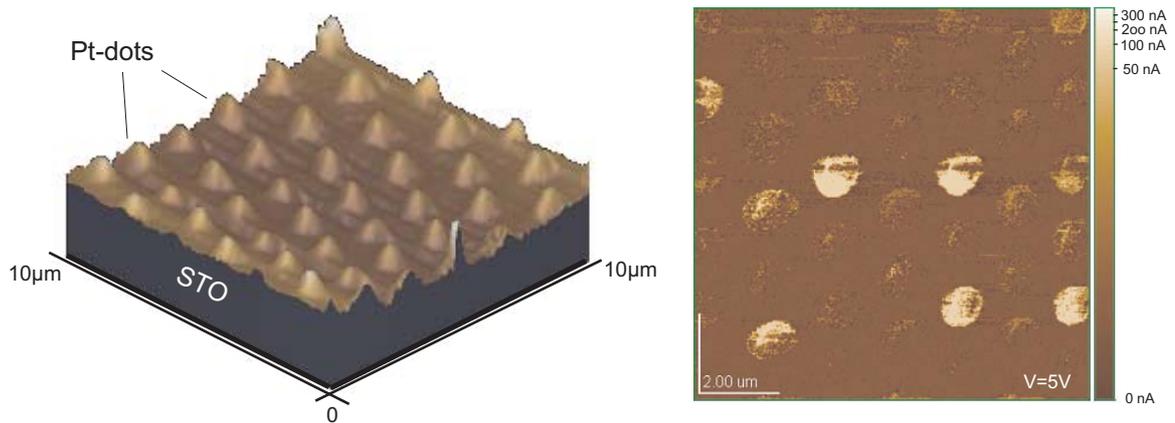


Abbildung 5.12: Lokale Leitfähigkeitsmessungen mittels modifiziertem AFM. (a) Topographieaufnahme einer 16 nm SrTiO₃-Probe mit Elektrodenarray aus Platin. (b) Leitfähigkeitsmessung. Einige Bereiche (Elektroden) zeigen eine hohe Leitfähigkeit (helle Stellen).

solchen Arrays. Die Mikroelektroden haben einen mittleren Durchmesser von $\approx 1 \mu\text{m}$ und einen Abstand von $\approx 1 \mu\text{m}$. Mit einem für Strommessungen modifizierten *AFM* wurde im Kontaktmode die lokale Leitfähigkeit bestimmt. An die Messspitze wurde dazu eine konstante Spannung angelegt und der Strom gemessen. Das Substrat bildete hierbei die Gegenelektrode. In Abbildung 5.12b wird ein typisches Resultat dieser lokalen Leitfähigkeitsmessungen gezeigt. Helle Stellen zeigen hohe Ströme, dunkle Bereiche entsprechen geringen Strömen. Durch die Möglichkeit der Rasterung über einen größeren Bereich, hier $10 \times 10 \mu\text{m}^2$, können auf diese Weise sehr viele Mikro-MIS-Dioden in einem Scan gemessen werden. Man erkennt einige Elektroden mit sehr hoher Leitfähigkeit. Die hohe Dichte dieser gut leitenden Bereiche kann die beobachtete makroskopische Leitfähigkeit erklären. Warum einige Bereiche besser leiten als andere, konnte allerdings mit dieser Methode nicht zweifelsfrei geklärt werden, lokale Gitterstörungen werden als Ursache angesehen.

Aufgrund des hohen Leckstroms konnte an den SrTiO₃-MIS-Dioden keine kapazitive Messungen durchgeführt werden. Warum die SrTiO₃-MIS-Dioden eine generell hohe Leitfähigkeit zeigen, wurde von J. Robertson auf der Grundlage theoretischer Berechnungen des Bänderübergangs von Si- und SrTiO₃ angegeben. J. Robertson *et al.* veröffentlichten Berechnungen des Bandoffsets zahlreicher oxidischer Materialien auf Silizium, darunter auch SrTiO₃. Nach diesen ausschließlich theoretischen Berechnungen besitzt ein SrTiO₃-Si-MIS-Kontakt einen Bandoffset von $\approx -0.1 \text{ eV}$. Ähnlich niedrige Bandoffsets wurden ebenso von Zhang *et al.* und Först berechnet [152] [153]. Demnach reichen schon geringste Spannungen aus, um Ladungsträger über die Energiebarriere hinweg in das SrTiO₃ zu injizieren. R. Droopad *et al.* von den Motorola-Labs untersuchten SrTiO₃-Schichten auf Si und deren mögliche Integration in *CMOS*-Prozesse intensiv. Auf der Konferenz *International Conference on Electroceramics* präsentierte Droopad 2003 ei-

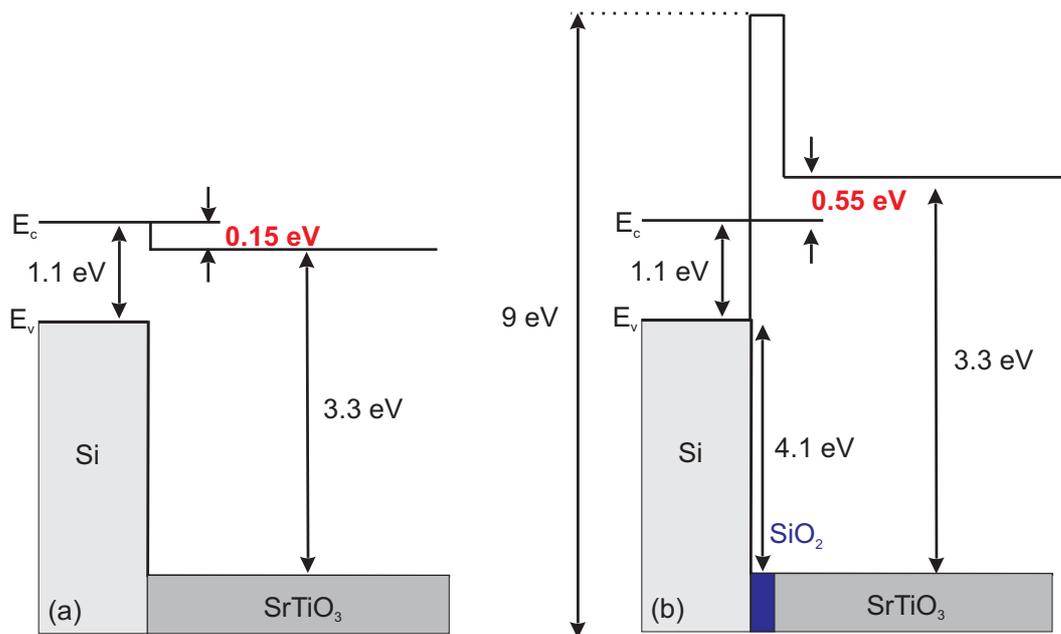


Abbildung 5.13: Bandstruktur von SrTiO_3 auf Si. (a) SrTiO_3 ohne SiO_2 -Zwischenschicht. (b) Bandstruktur mit einer 8 \AA dicken SiO_2 -Zwischenschicht. Nach [121].

nige Ergebnisse dieser Arbeiten [121], insbesondere Messungen zum Bandoffset zwischen SrTiO_3 und Si. Abbildung 5.13 zeigt das Bändermodell eines SrTiO_3 -Si Kontaktes (a) ohne und (b) mit einer zusätzlichen 8 \AA dünnen SiO_2 -Schicht. Daraus wird ersichtlich, dass SrTiO_3 -MIS-Kontakte nur dann sinnvoll eingesetzt werden können, wenn zusätzlich eine dünne SiO_2 -Schicht integriert wird. Dies steht im Gegensatz zu dem Bestreben, SiO_2 vollständig durch ein hoch- ϵ -Material zu ersetzen. Först *et al.* konnten mittels *ab initio*-Berechnungen zeigen, dass eine nachträgliche Oxidation von lediglich 1 ML SiO_2 eine Erhöhung des Bandoffsets auf 1.4 eV zur Folge hat. Als technologisch relevant wird ein Bandoffset von mindestens 1.1 eV erachtet [153].

SrTiO_3 -Feldeffekttransistoren

Planare Feldeffekttransistoren werden häufig in einem sogenannten *self-aligning-process* gefertigt. Hierbei erfolgt die Source- bzw. Drain-Ionenimplantation nach Herstellung des Gateoxids (meist SiO_2). Erst durch diesen Schritt werden die Gatedimensionen festgelegt. Ein solcher Prozess ist nicht mit SrTiO_3 -Schichten möglich, da nach der Implantation eine Aktivierung der Ionen bei Temperaturen von $900\text{-}1000^\circ\text{C}$ durchgeführt werden muss, was leicht zu einer Zerstörung der SrTiO_3 -Schichten führen kann. Deshalb wurden die Source- und Drainbereiche noch vor der SrTiO_3 -Deposition fertiggestellt. Nach Abscheidung der SrTiO_3 -Schicht wurde diese oberhalb der Source- und Drainbereiche mittels Ionenstrahlätzen entfernt und anschließend mit einer 100 nm dünnen Pt-Schicht bedeckt. Zuletzt wird die Metallisierung der Gateelektrode durchgeführt. Abbildung 5.14 zeigt die optische Aufnahme eines planaren FET mit einer dünnen SrTiO_3 -Gateschicht. Zu sehen sind die Source-, Drain- und Gateelektrode, sowie zusätzliche Isolationsschichten (SiO_2).

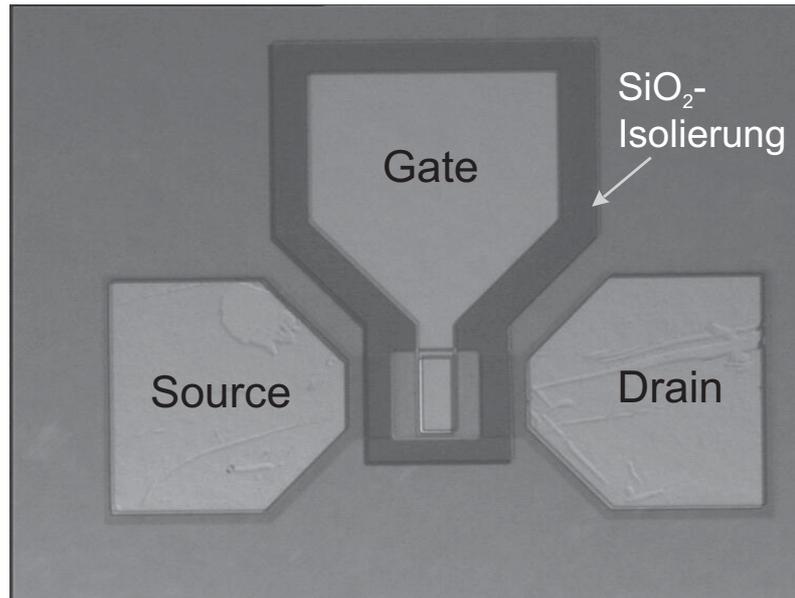


Abbildung 5.14: Optische Aufnahme eines planaren FET mit dünner SrTiO_3 -Gateschicht.

Eine detaillierte Beschreibung des Herstellungsprozesses (Transistor-Flow) und insbesondere auch der Ionenimplantation wird im Anhang angegeben. Erste Versuche einen FET mit einer 10-20 nm dünnen einkristallinen SrTiO_3 -Gateschicht herzustellen, konnten aufgrund sehr hoher Leckströme nicht realisiert werden. Es sei an dieser Stelle nochmals darauf hingewiesen, dass die SrTiO_3 -Schichten unter Vermeidung einer parasitären Oxidschicht hergestellt wurden. Die von Eisenbeiser *et al.* gezeigten, ebenfalls einkristallinen SrTiO_3 -FETs, konnten nur aufgrund einer zusätzlichen 8 Å dicken SiO_2 -Zwischenschicht verwirklicht werden [154].

Wie im letzten Abschnitt erwähnt, waren Temperversuche bis 600°C in O_2 nicht geeignet eine signifikante Änderung des Leckstromes zu erzielen (Bildung von SiO_2 an der Grenzschicht). Eine andere Möglichkeit den Leckstrom durch das Gateoxid zu reduzieren, ist die Vergrößerung der Oxidschichtdicke. Mittels PLD wurde zusätzlich eine 70 nm dicke SrTiO_3 -Schicht auf eine einkristalline 20 nm dünne SrTiO_3 -Schicht bei ca. 550°C in Sauerstoff abgeschieden. RBS- und XRD-Analysen zeigten, dass die PLD abladierten SrTiO_3 -Schichten einkristallin und mit gleicher Orientierung auf den mittels MBE abgeschiedenen SrTiO_3 -Schichten aufwachsen.

Unter Verwendung einer zusätzlichen 70 nm SrTiO_3 -Schicht wurden wiederum planare Transistoren strukturiert und elektrisch charakterisiert. Die charakteristischen Kennlinien eines Transistors wurden mit einem Semiconductor Analyser der Firma Agilent aufgezeichnet. Ein solches Gerät zeichnet sich durch mehrere Strom- bzw. Spannungsquellen aus, die untereinander kombinierbar sind. Mittels Messspitzen wurden die Source-, Drain- und Gateelektroden eines Transistors mit diesem Gerät verbunden. Gemessen wurde die Abhängigkeit des Source-Drain-Stromes $I_{\text{SD}}(V)$ von der Source-Drain-Spannung V_{SD} bei unterschiedlichen Gatespannungen V_G . Diese Kennlinien werden auch als charakteristische Kennlinien bezeichnet. Unter einer Transferkennlinien-Messung versteht man die

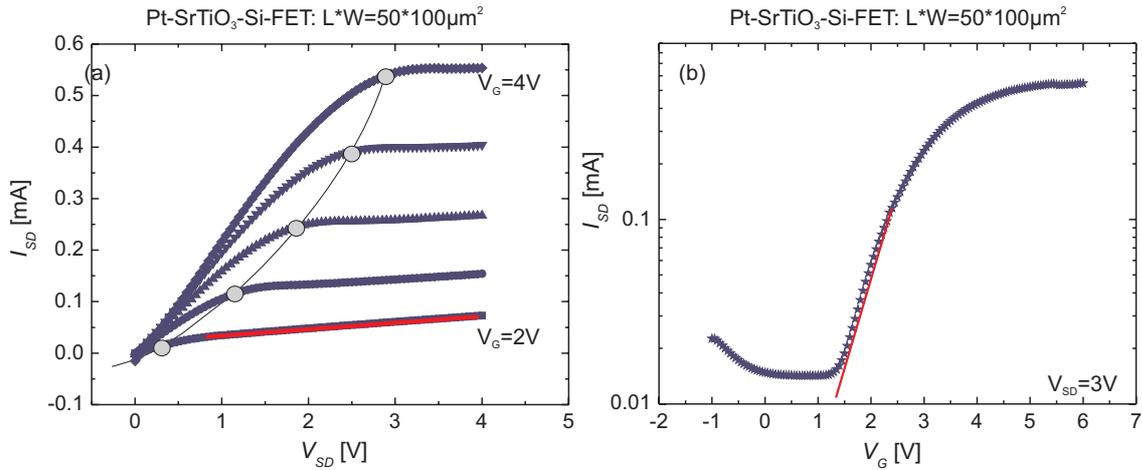


Abbildung 5.15: Transistor Kennlinien eines 90 nm-SrTiO₃ FETs mit einer Kanaldimension von $L \times W = 50 \times 100 \mu\text{m}$. a) Charakteristische Kennlinien. b) Transferkennlinie. Aus der Steigung der Fitgeraden (rot) lässt sich die Steuerbarkeit S des Transistors berechnen.

Messung des I_{SD} -Stroms bei konstanter Source-Drain-Spannung in Abhängigkeit der angelegten Gatespannung. Aus dieser lassen sich wichtige Parameter für die technologische Anwendung, wie der Schwellwert oder die Steuerbarkeit (s. u.) eines Transistors ablesen.

Abbildung 5.15a zeigt die charakteristischen Transistor-Kennlinien eines SrTiO₃-FETs mit einer 90 nm dicken (20 nm MBE+70 nm PLD) SrTiO₃-Schicht. Die Kanallänge und -breite des gemessenen Transistors betragen $50 \times 100 \mu\text{m}^2$. Im Sättigungsbereich der Kennlinien in Abbildung 5.15a ist eine durch den Leckstrom zwischen Gate und Substrat verursachte deutliche Steigung erkennbar (rote Gerade). Abbildung 5.15b zeigt die Transferkennlinie des Transistors. Für die Steuerbarkeit S erhält man $S \approx 1100 \text{ mV/dec}$. Dieser Wert ist für technologische Anwendungen zu hoch und kann durch den hohen Leckstrom erklärt werden. Für Anwendungen sind Werte $S < 100 \text{ mV/dec}$ erforderlich. Die Schwellwertspannung beträgt $V_{th} \approx 1.1 \text{ V}$. Insgesamt bleiben die ermittelten Werte für diese Transistoren deutlich hinter denen von Eisenbeiser *et al.* veröffentlichten Werten zurück ($S = 103 \text{ mV/dec}$). Der Grund hierfür ist vermutlich die zusätzliche SiO₂-Oxidschicht zwischen Substrat und high- ϵ -Material im Falle von Eisenbeiser [154]. Es war nicht möglich, dünne epitaktische SrTiO₃-Schichten ohne SiO₂-Zwischenschicht für technologische Zwecke (Transistoren) zu nutzen. Der Grund hierfür liegt, wie zuvor erläutert, am ungünstigen Bandübergang zwischen Silizium und SrTiO₃.

5.2 Polykristalline CeO₂-Schichten

Ceroxid (CeO₂) gehört zu den wenigen hoch- ϵ -Dielektrika, die epitaktisch auf Silizium abgeschieden werden können. Es wurde bisher wenig in Hinblick auf einen möglichen Ersatz von SiO₂, d. h. hinsichtlich der Eignung als alternatives Gateoxid, untersucht [155–157]. Es konnte gezeigt werden, dass ein SiO₂-freies Wachstum epitaktischer CeO₂-Schichten mittels PLD möglich ist [158]. Nach Hubbard und Schlom ist CeO₂ bei sehr hohen Temperaturen von 1000 °C thermodynamisch instabil, dies jedoch gilt für viele Oxide auf Silizium [159]. Haneder untersuchte CSD⁷-prozessierte CeO₂-Schichten auf Silizium, mit dem Ziel der Integration dieser Schichten in einen FeFET [160]. Die CSD-CeO₂-Schichten wurden nach dem Aufschleudern bei hohen Temperaturen (700 °C) in Sauerstoff für eine Stunde bei Atmosphärendruck getempert, wodurch eine SiO₂-Bildung an der Grenzschicht zum Substrat entstand. Da in einem FeFET-Gatestack eine dielektrische Bufferschicht als Spannungsteiler betrachtet werden kann, sollte die Dielektrizitätskonstante des Dielektrikums möglichst groß sein, damit die abfallende Spannung möglichst klein ist. Eine SiO₂-Bildung mit einer sehr geringen Dielektrizitätskonstanten ($\epsilon = 3.9$) wirkt dem entgegen. Zur Herstellung von CeO₂-Schichten wurde deshalb auf das PLD-Verfahren zurückgegriffen, da es den Vorteil einer hohen Depositionsrate und niedriger Prozessgasdrücke ($\approx 1 \cdot 10^{-3}$ mbar O₂ oder N₂) hat, wodurch eine SiO₂-Bildung erschwert wird. Im folgenden werden strukturelle und elektrische Messungen dünner dielektrischer CeO₂-Schichten auf Silizium präsentiert.

Probenpräparation und Herstellung

Silizium-Substrate müssen vor der Deposition von anorganischen und organischen Verunreinigungen gereinigt werden. Dies erfolgt in speziellen Säuren in denen abwechselnd Silizium oxidiert und reduziert wird. Als spezielles Verfahren wurde das als *IMEC-clean Prozess* bezeichnete Reinigungsverfahren durchgeführt. Dieses Verfahren endet mit einem chemischen Oxidationsschritt, bei welchem eine 1-2 nm dicke SiO₂-Schicht entsteht. Vor der CeO₂-Depositionen in Stickstoffatmosphäre, wurde die SiO₂-Schicht in gepufferter HF-Säure(1%) entfernt und unmittelbar danach in die Depositionskammer eingeschleust. Die CeO₂-Targets für die PLD-Deposition wurden in unserem Institut von P. Meuffels und H. Bierfeld in einem Standard-Sinterungsprozess aus hochreinem CeO₂-Pulver hergestellt. Die Targets zeichneten sich durch eine sehr hohe Dichte aus.

Tabelle 5.1 gibt eine Auflistung der Ablationsparameter dreier Proben wieder, die unter unterschiedlichen Abscheidebedingungen hergestellt wurden und deren strukturelle Untersuchungen im folgenden diskutiert werden. Probe 1 wurde bei 550 °C und Probe 2 wurde bei deutlich niedrigerer Temperatur von 250 °C in Sauerstoff abgeschieden. Probe 3 wurde bei ca. 550 °C in Stickstoff ablatiert.

⁷CSD: chemical solution deposition (siehe Kapitel 4.1)

5.2.1 Strukturelle Charakterisierung

TEM-Untersuchungen

An den drei CeO₂-Si-Proben wurden TEM-Analysen durchgeführt, um den Einfluss der Abscheidetemperaturen (Gas-Sorte und Abscheidetemperatur) auf die Bildung einer SiO₂-Zwischenschicht zu untersuchen. Abbildung 5.16 zeigt die TEM-Aufnahmen der Proben. Es wurde bei allen Proben eine SiO₂-Zwischenschicht beobachtet, deren Ausdehnung (Dicke) von den Prozessbedingungen abhängt. Auf allen TEM-Aufnahmen sind scharfe Grenzflächen erkennbar, eine Reaktion von Si und Ce kann somit ausgeschlossen werden. Eine Auswertung der SiO₂-Schichtdicke zeigt eine deutliche Zunahme der SiO₂-Schicht bei Deposition in Sauerstoff und hoher Temperatur (550 °C), im Vergleich zu einer Deposition in Stickstoff oder in Sauerstoff bei niedriger Temperatur (250 °C), bei der die SiO₂-Schicht deutlich reduziert erscheint (siehe Abbildung 5.16). Eine bei tiefer Temperatur abgeladene CeO₂-Schicht (Probe 2) zeigt eine deutlich verminderte SiO₂-Schichtdicke, verglichen mit einer bei hoher Temperatur abgeschiedenen CeO₂-Schicht (Probe 1). Mit der verwendeten PLD-Depositionsapparatur ist es nicht möglich, unter den gegebenen Prozessparametern, SiO₂-freie CeO₂-Schichten auf Si herzustellen. Mögliche Gründe hierfür sind:

- Eine SiO₂-Bildung kann nur dann effektiv verhindert werden, wenn während der Deposition kein zusätzlicher Sauerstoff zur Verfügung gestellt wird. Dies sollte bei einer Prozessierung in Stickstoff der Fall sein. Da es sich bei der verwendeten PLD-Anlage nicht um ein UHV-System mit separater Einschleusammer handelt, ist ein nicht zu vernachlässigbarer Sauerstoff-Partialdruck in der Kammer vorhanden. Üblicherweise werden SiO₂-Schichten in situ durch Heizen auf Temperaturen von 900-1000 °C im UHV entfernt. Dies kann über eine RHEED-Analyse direkt beobachtet werden. Eine chemische Entfernung außerhalb der Prozess-Kammer birgt immer das Risiko einer sofortigen Re-Oxidation.
- Möglicherweise entzieht das Silizium der CeO₂-Schicht den Sauerstoff. Dies könnte bei sehr hohen Depositionstemperaturen geschehen, allerdings nicht bei den hier verwendeten Temperaturen von ca. 550 °C. Zudem würde dann das CeO₂ zu Ce₂O₃ reduziert und anhand von Röntgen- und RBS-Messungen nachweisbar sein.

Probe Nr.	Prozess Gas	Druck p [mbar]	Target-Substr. Abstand [cm]	Laser-Leistung [kJ]	Laser-Wellenlänge [nm]	Pulse [1/s]	Substrat Temp. [°C]
1	O ₂	1 × 10 ⁻³	10	100	235	3	550
2	O ₂	1 × 10 ⁻³	10	100	235	3	250
3	N ₂	1 × 10 ⁻³	10	100	235	3	550

Tabelle 5.1: PLD-Depositionsparameter der CeO₂-Schichten auf Si (100). Die drei Proben wurden bei unterschiedlichen Temperaturen und Prozessgasen hergestellt.

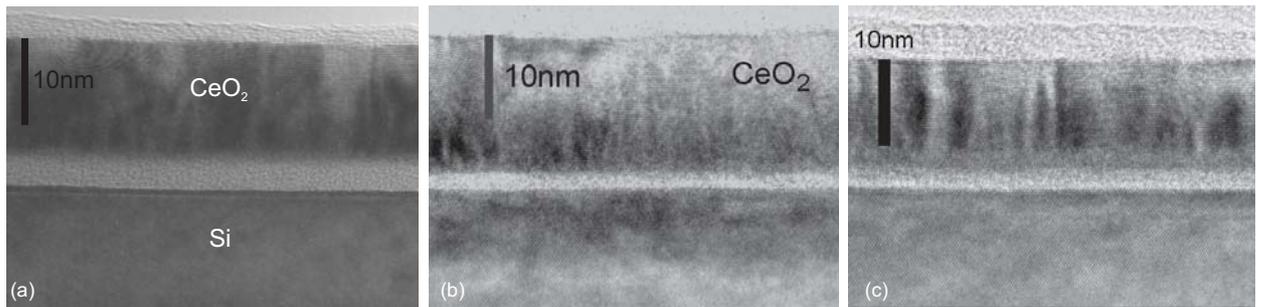


Abbildung 5.16: TEM-Aufnahmen von PLD ablatierten CeO_2 -Schichten. (a) Prozess bei $T \approx 550^\circ\text{C}$ im Sauerstoff, (b) Prozess bei $T \approx 200^\circ\text{C}$ in Sauerstoff und (c) Prozess bei $T \approx 550^\circ\text{C}$ in Stickstoff.

Obwohl es sich bei den hier gezeigten Aufnahmen nicht um hochaufgelöste HRTEM-Bilder handelt, sind in allen Aufnahmen deutlich die kristalline Struktur von Si und CeO_2 erkennbar. Es sind Bereiche unterschiedlicher Orientierung in den CeO_2 -Schichten bei allen gezeigten Aufnahmen zu erkennen, folglich sind die CeO_2 -Schichten polykristallin.

XRD- und RBS-Messungen

Die Kristallstruktur der CeO_2 -Schichten wurde mittels XRD-Messungen, die Stöchiometrie und Schichtdicke mittels RBS-Analysen bestimmt. Abbildung 5.17a zeigt eine typische $\Theta - 2\Theta$ -Messung einer in Stickstoff bei $T \approx 550^\circ\text{C}$ ablatierten Probe. Es wurden keine signifikanten Unterschiede zwischen den in Sauerstoff und Stickstoff abgeschiedenen CeO_2 -Schichten gemessen. Neben den Substratpeaks wurden stets $\text{CeO}_2(111)$ - und (222) -Peaks sowie Anteile einer $\text{CeO}_2(511)$ - Orientierung beobachtet, entsprechend sind

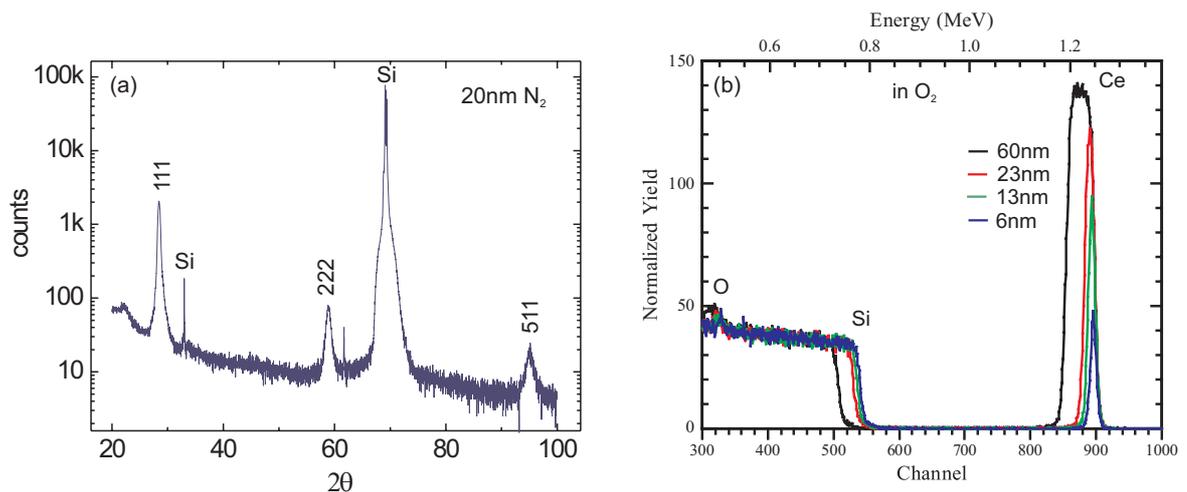


Abbildung 5.17: (a) XRD-Aufnahme einer 20 nm dünnen in Stickstoff Laser-ablatierten CeO_2 -Schicht auf Silizium. In Sauerstoff hergestellte CeO_2 -Schichten zeigen identische Peaks. (b) RBS-Messungen an unterschiedlich dicken CeO_2 -Schichten ablatiert unter Stickstoffatmosphäre.

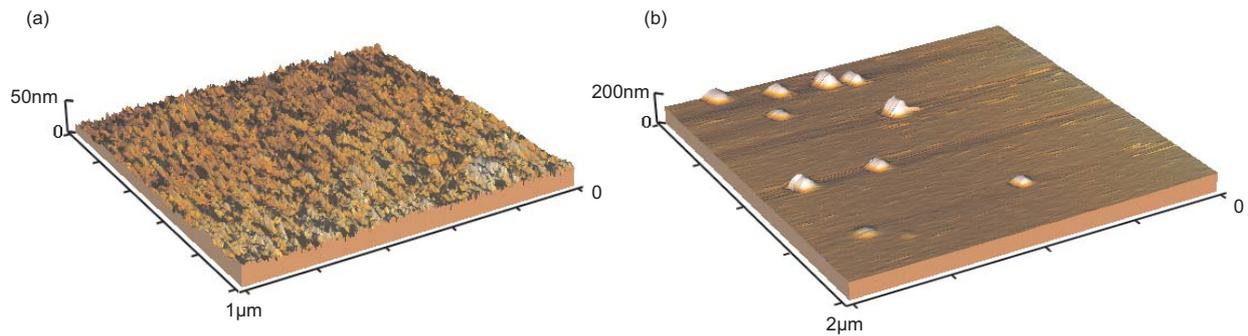


Abbildung 5.18: AFM-Aufnahmen einer 20 nm dicken CeO_2 -Schicht, bei ca. 550°C in N_2 abladiert. Die rms-Rauhigkeit beträgt ca. 2 nm. In einigen Bereichen lassen sich Körner erkennen, die durch abgesprengtes Targetmaterial während der Schichtdeposition entstehen können.

die Schichten polykristallin. Hinweise auf einen Ce_2O_3 -Anteil in den Schichten konnten nicht gefunden werden.

CeO_2 -Schichten auf Silizium zeigen, unabhängig von den genannten Prozessparametern, kein Channels von Heliumionen in RBS-Messungen, folglich liegen entweder polykristalline (bestätigt durch die XRD- und TEM-Messungen) oder amorphe Schichten vor. Abbildung 5.17b zeigt Random-Messungen in Stickstoff abladiertem CeO_2 -Proben verschiedener Dicke. Es wurde kein Unterschied in den RBS-Spektren der in O_2 oder N_2 hergestellten Proben festgestellt. Die durch Simulationen bestimmten Stöchiometrien ergaben, unabhängig von den Depositionsbedingungen, stöchiometrische CeO_2 -Schichten.

Die Oberflächenbeschaffenheit der CeO_2 -Schichten wurde sowohl mit einem optischen Mikroskop als auch mit einem AFM lokal untersucht. Makroskopische Untersuchungen der Schichten zeigen weitestgehend strukturlose Filme mit vereinzelt Partikeln auf der Oberfläche, deren Dichte mit zunehmender Schichtdicke ansteigt. Abbildung 5.18 zeigt exemplarisch AFM-Aufnahmen einer 20 nm dicken, in N_2 bei ca. 550°C abladierten CeO_2 -Schicht auf Silizium. Unabhängig von den benutzten Prozessgasen zeigen die unter den aufgeführten Bedingungen abgeschiedenen Schichten eine rms^8 -Rauhigkeit von 1-3 nm bei Schichtdicken von ≈ 20 nm. Während Abbildung 5.18a einen partikelfreien Bereich der Probe zeigt, wird in Abbildung 5.18b eine AFM-Messung mit hoher Partikeldichte abgebildet. Es wurde zudem beobachtet, dass sich CeO_2 -Cluster durch Reinigungsprozesse leicht ablösen und somit Löcher in der CeO_2 -Schicht entstehen.

5.2.2 Elektrische Charakterisierung

CeO_2 -MIS-Dioden

Die elektrische Charakterisierung der CeO_2 -Schichten erfolgte analog zur Charakterisierung der SrTiO_3 -Schichten mittels MIS-Dioden. Diese wurden wie im Anhang beschrieben

⁸rms: root mean square

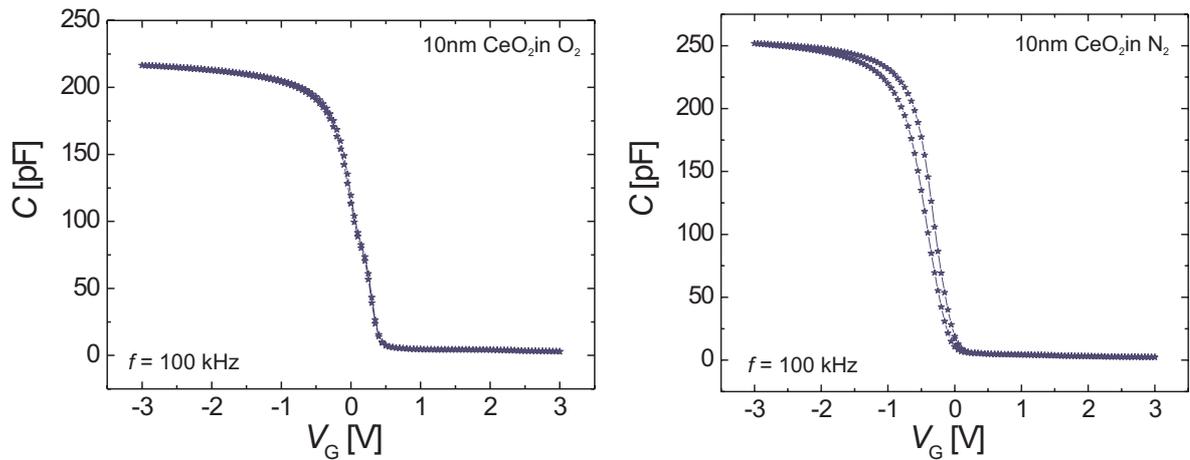


Abbildung 5.19: $C(V)$ -Messungen an MIS-Dioden mit 10 nm dicken CeO_2 -Schichten, hergestellt in O_2 und N_2 bei ca. 550°C . Die Messungen wurden bei einer Kleinsignalfrequenz von $f = 100$ kHz und einer Amplitude von $V_{osc} = 50$ mV durchgeführt. $C(V)$ Kurven der in N_2 abgeschiedenen CeO_2 -Schichten zeigen kleine Hysteresen ($\approx \Delta V = 0.2$ V).

per lift-off-Prozess hergestellt. Die Proben wurden nach der Strukturierung in Forminggas bei 450°C für 10-15 min getempert, um ungesättigte Siliziumverbindungen an der Grenzfläche mit Wasserstoff zu sättigen.

Die Substratkontaktierung wurde über großflächiges Anritzen des Substrates mit anschließender Leitsilber bzw. InGa-Eutektikum Kontaktierung realisiert (siehe auch Abbildung 3.6). An den Dioden wurden frequenz- und spannungsabhängige Kapazitäts($C(V)$)-Messungen bei einer Frequenz von $f = 100$ kHz und einer Kleinsignalamplitude von $V_{osc} = 50$ mV durchgeführt. Aus den Kapazitätsmessungen lassen sich unter Zuhilfenahme eines einfachen Ersatzschaltbildes wichtige Parameter der dielektrischen Schichten angeben. So lässt sich die Dielektrizitätszahl, die Flachbandspannung (und daraus die Schwellwertspannung) sowie die Substratdotierung mittels $C(V)$ -Messungen bestimmen. Etwas komplizierter ist die Feststellung der Trap-Zustandsdichte und die Ladungsdichte in der dielektrischen Schicht (Oxidladungen). Die Methoden zur Bestimmung dieser Größen wurde in Kapitel 1.2.3 behandelt.

Abbildung 5.19 zeigt exemplarisch Kapazitätsmessungen an MIS-Dioden mit einer $t = 10$ nm dünnen CeO_2 -Schicht. Die CeO_2 -Schichten wurden in N_2 und O_2 abgeschieden. Liegt eine negative Spannung an der Diode an, so befindet sich die Diode in der Akkumulation (p-Silizium). In der Akkumulation wird die Kapazität durch die Dicke der Oxidschicht bestimmt, die Siliziumkapazität ist vernachlässigbar. Werden die Spannungen größer (positiv), so verkleinert sich die Kapazität aufgrund der Ausbildung einer Verarmungszone, die einen zusätzlichen Beitrag zur Kapazität liefert. Bei weiterer Spannungserhöhung erreicht die Verarmungszone ihr Maximum und die Kapazität ist nunmehr spannungsunabhängig (siehe auch Kapitel 1.2.2).

Eine genauere Betrachtung beider Kurven offenbart jedoch einige Unterschiede. So zeigen in N_2 prozessierte Proben eine kleine Hysterese ($\approx 0.2V$), deren Ursprung bisher unbekannt ist. Eine Ursache könnte in Sauerstoffleerstellen vermutet werden, die als Absorptions- und Emissionszentren für Ladungen fungieren können und daher eher in N_2 als in O_2 abladierten Schichten zu erwarten sind. Generell sind Hysteresen in MOS-Dioden hinsichtlich der Anwendungen (MOSFET) unerwünscht, da sie die Charakteristik der Bauteile stark beeinflussen. Der „Buckel“ in der Verarmungszone der $C(V)$ -Kurve in Abbildung 5.19a wird durch Traps an der Grenzfläche verursacht und wurde ausschließlich in Proben beobachtet, die in O_2 hergestellt wurden.

Gemessene Kapazitäten C_m , Impedanzen (Admittanz G_m) und Verluste ($\tan(\delta)$) müssen bezüglich des Widerstands des Dielektrikums R_s korrigiert werden (siehe auch Ersatzschaltbild in Kapitel 3.2.2). Diese können besonders einfach in der Akkumulation gemessen werden, denn hier besteht das Ersatzschaltbild nur aus dem seriellen Widerstand und der Oxidkapazität. Es gilt nach [15]:

$$R_s = \frac{G_m}{G_m^2 + \omega^2 C_m^2} \quad (5.4)$$

$$C_{ox} = C_m \cdot \left[1 - \left(\frac{C_m}{G_m} \right)^2 \right] \quad (5.5)$$

$$C_{corr} = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{a^2 + \omega^2 C_m^2} \quad (5.6)$$

$$G_{corr} = \frac{(G_m^2 + \omega^2 C_m^2) a}{a^2 + \omega^2 C_m^2} \quad \text{mit} \quad (5.7)$$

$$a = G_m - (G_m^2 + \omega^2 C_m^2) R_s \quad (5.8)$$

Hierin ist R_s der serielle Widerstand, C_m und G_m sind die gemessene Kapazität und Admittanz. Die Admittanz kann aus dem Verlust $\tan(\delta) = \frac{G}{\omega C}$ bestimmt werden. In Abbildung 5.20 werden zum Vergleich gemessene und korrigierte Kapazitäts- und Admittanzkurven einer 10 nm dicken, in O_2 prozessierten CeO_2 -Schicht gezeigt. Der Einfluss des Serienwiderstandes auf die Kapazität ist sehr viel kleiner als auf die Admittanz. Im folgenden werden die Berechnungen der wichtigsten Parameter angegeben, die aus den Hochfrequenzmessungen berechnet wurden.

- Aus der korrigierten Oxidkapazität C_{ox} und der Kontaktfläche A ergibt sich die **effektive Dielektrizitätskonstante** ϵ_{eff} des Gatestacks (CeO_2 und SiO_2) nach:

$$\epsilon_{eff} = C_{ox} \cdot \frac{A}{\epsilon_0 \cdot d} \quad (5.9)$$

- Wie im Kapitel 1.2.2 gezeigt wurde, kann durch Iteration der Gleichungen 1.17 die **Substratdotierung** N_A bestimmt werden. Dieses Verfahren setzt eine homogene Dotierung voraus. Durch sehr hohe Prozesstemperaturen kann es zu einer lokalen

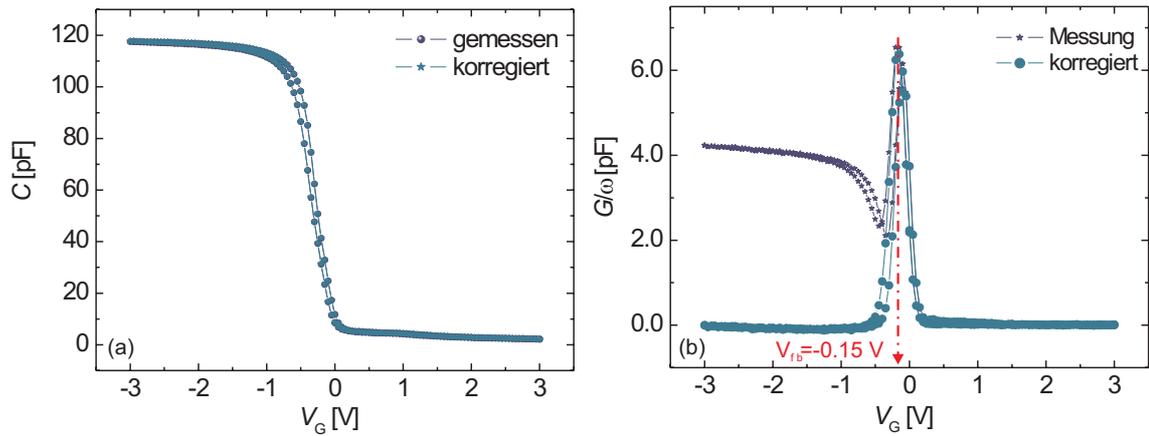


Abbildung 5.20: Korrigierte Kapazitäten und korrigierte Admittanz. Die Admittanz bzw. $\frac{G}{\omega}$ ist wesentlich empfindlicher bezüglich der Korrekturen.

Änderung der Dotierung kommen, insbesondere in der Nähe der Substratoberfläche. Da die Prozesstemperaturen in der Regel kleiner als 600°C waren, kann die Dotierung als homogen angenommen werden.

- Die **Flachbandspannung** V_{FB} wurde aus der Peakposition des Verlustes $\tan(\delta)$ ermittelt. Da diese Verteilung um die gesuchte Gatespannung mitunter sehr klein sein kann, wurden Schrittweiten von $\Delta V = 50$ mV eingestellt, um eine ausreichend genaue Bestimmung des Maximalwertes durchführen zu können, siehe Abbildung 5.20. Diese Methode hat den Vorteil, dass sie unkompliziert und schnell anwendbar ist. Die Verlustkurve jedoch zeigt eine Frequenzabhängigkeit, welche durch die Frequenzabhängigkeit der Grenzflächenzustände bedingt wird.
- Die **Schwellwertspannung** V_{th} , die Spannung an der das Oberflächenpotential ψ_s dem zweimaligen Bulkpotential ϕ_B entspricht, berechnet sich aus der Kontaktfläche A , der Substratdotierung N_A , dem Bulkpotential ϕ_B und der Flachbandspannung V_{FB} zu :

$$V_{th} = \frac{A}{C_{ox}} \cdot \sqrt{4\epsilon_s q |N_A \phi_B|} + 2|\phi_B| + V_{FB} \quad . \quad (5.10)$$

- Da **Oxidladungen** zu einer Verschiebung der gesamten CV-Kurve führen, können diese mit Hilfe der Flachbandspannung V_{FB} und der Differenz der Austrittsarbeiten der Metallelektrode und Silizium ϕ_{MS} bestimmt werden:

$$Q_{ox} = \frac{C_{ox} (\phi_{MS} - V_{FB})}{A} \quad \text{mit} \quad \phi_{MS} = \phi_M - \chi - \frac{E_g}{2q} - \phi_B \quad . \quad (5.11)$$

Hierin ist χ die Elektronenaffinität von Silizium ($\chi = 4.15$ eV), $E_g = 1.12$ eV und $\phi_M(\text{Platin}) \approx 5$ eV.

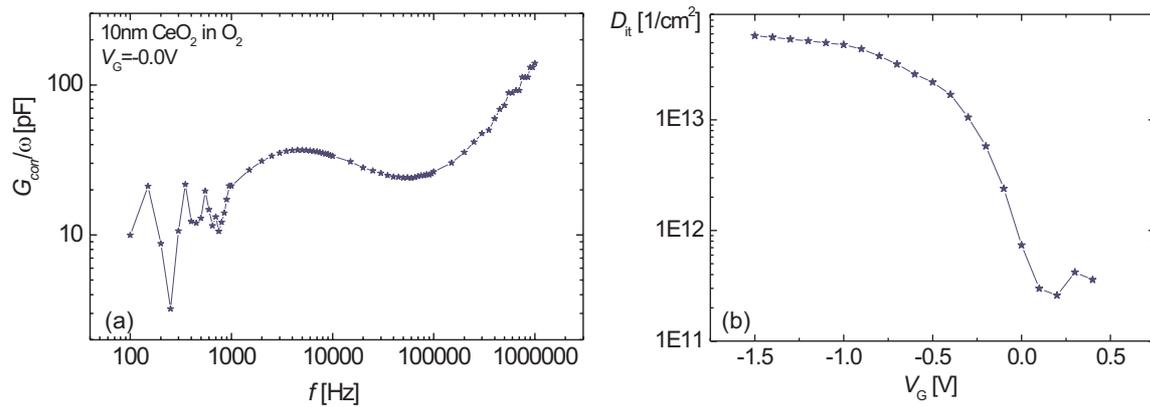


Abbildung 5.21: (a) Korrigierte Admittanz aufgetragen gegen die Frequenz der Kleinsignalspannung bei konstanter Spannung. Aus der Peakposition und -breite wird die Trapdichte D_{it} bestimmt. (b) Auftragung der Trapdichte gegen die energetische Lage innerhalb der Bandlücke.

Die Ermittlung der Grenzflächenzustände (Traps) erlaubt eine qualitative Aussage über die elektrische Qualität der Dielektrikum-Silizium-Grenzschicht. Eine Bestimmung der Grenzflächenzustandsdichte D_{it} kann auf verschiedene Arten erfolgen. In Kapitel 1.2.3 wurden diese Methoden näher beschrieben. Da quasistatische $C(V)$ -Messungen nicht durchgeführt werden konnten, wurde auf die *Lehovec-Methode* und die *Admittanzspektroskopie* zurückgegriffen, siehe Kapitel 1.2.3. Letztere erlaubt eine Untersuchung der Trapdichte in Abhängigkeit der energetischen Lage bezüglich der Siliziumbandkanten und stellt zudem die empfindlichste aller Methoden dar. Allerdings ist es eine sehr aufwendige Methode, weshalb dieses Verfahren nur vereinzelt eingesetzt wurde. Die Lehovec-Methode geht auf die Terman-Methode zurück und gibt die Trapdichte an der Flachbandspannung V_{FB} an.

In Abbildung 5.21a wird die Auftragung der korrigierten Admittanz G/ω gegen die Kleinsignalfrequenz einer MIS-Diode mit einer 10 nm dünnen CeO_2 -Schicht gezeigt. Bei dieser Messung wurde die Gatespannung V_G konstant gehalten und die Frequenzabhängigkeit von G/ω gemessen. Aus dem Maximalwert von G/ω und der Breite der idealerweise Gaußverteilten Funktion kann die Trapdichte bestimmt werden. Durch Anlegen verschiedener Gatespannungen ist es möglich, die Bandlücke abzutasten. Abbildung 5.21b zeigt das Ergebnis D_{it} einer vollständigen Admittanz-Analyse, aufgetragen gegen die energetische Lage bezüglich der Siliziumbandkanten. Analysen an SiO_2 -MOS-Dioden ergeben ein U-förmiges Trap-Profil, während die für CeO_2 bestimmten, ein davon abweichendes Profil aufweisen. Generell zeigen die Admittanz-Spektren eine hohe Empfindlichkeit bezüglich der Korrekturen. Vermutlich ist das verwandte Ersatzschaltbild zu simpel und es müssen zusätzliche Korrekturen berücksichtigt werden.

Die Dielektrizitätskonstante ϵ_{CeO_2} eines Zweischichtensystems ($\text{CeO}_2 + \text{SiO}_2$) kann durch

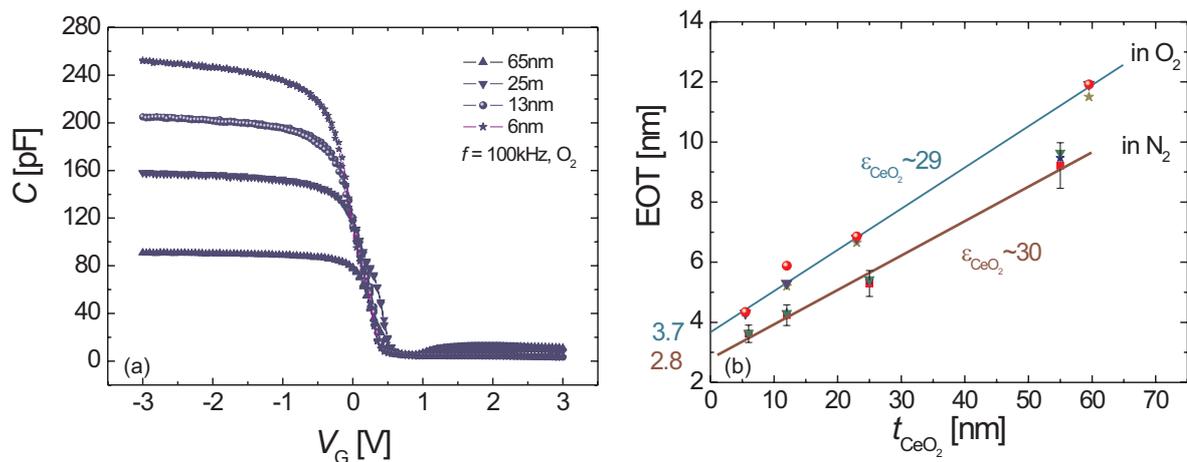


Abbildung 5.22: (a) Schar von $C(V)$ -Messungen von MIS-Dioden mit unterschiedlichen CeO₂-Schichtdicken. (b) EOT-Plot der in Sauerstoff und Stickstoff abladierten Proben. Die graphisch ermittelten Dielektrizitätskonstanten liegen für beide Prozessgase in der Nähe von $\epsilon_{\text{CeO}_2} = 30$.

den sogenannten EOT⁹-Plot ermittelt werden. Hierzu wurden die C_{ox} -Werte unterschiedlich dicker CeO₂-Schichten auf den Dielektrizitätswert von SiO₂ normiert. Die auf diese Weise erhaltenen auf SiO₂ normierten Schichtdicken, wurden dann gegen die Schichtdicke der CeO₂-Schicht aufgetragen. Da das effektive Dielektrikum aus mehreren Schichten besteht, im einfachsten Falle sind es SiO₂ und CeO₂, folgt für ein Zweischichtsystem:

$$C_{\text{ges}} = \epsilon_0 \cdot \epsilon_{\text{SiO}_2} \cdot \frac{A}{t_{\text{EOT}}} \quad \text{mit}$$

$$\frac{1}{C_{\text{ges}}} = \frac{1}{C_{\text{SiO}_2}} + \frac{1}{C_{\text{CeO}_2}} \quad \text{folgt}$$

$$t_{\text{EOT}} = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{CeO}_2}} \cdot t_{\text{CeO}_2} + t_{\text{SiO}_2} \quad . \quad (5.12)$$

Abbildung 5.22 zeigt den EOT-Plot für in Sauerstoff und in Stickstoff abladierte CeO₂-Schichten. Die Proben wurden bei einer Temperatur von $\approx 550^\circ\text{C}$ und einem Druck von $p \approx 8 \cdot 10^{-4}$ mbar hergestellt. Aus der eingezeichneten Fit-Geraden wurde die Dielektrizitätskonstante von CeO₂ nach Gleichung 5.12 bestimmt. Dabei weisen die in Sauerstoff prozessierten CeO₂-Schichten eine geringfügig kleinere Dielektrizitätskonstante ($\epsilon_r = 29$), als die in Stickstoff abgeschiedenen Schichten ($\epsilon_r = 30$) auf. Die in Sauerstoff gefertigten Schichten ($d_{\text{SiO}_2}^{\text{O}_2} = 3.7$ nm) weisen im Vergleich zu den in Stickstoff gefertigten Schichten, eine dickere SiO₂-Grenzschicht ($d_{\text{SiO}_2}^{\text{N}_2} = 2.8$ nm) auf, was im Einklang mit den zuvor gezeigten TEM-Untersuchungen steht.

Neben $C(V)$ - und $G(V, \omega)$ -Messungen wurden an den MOS-Dioden Leckstrommessungen

⁹EOT: Equivalent Oxide Thickness.

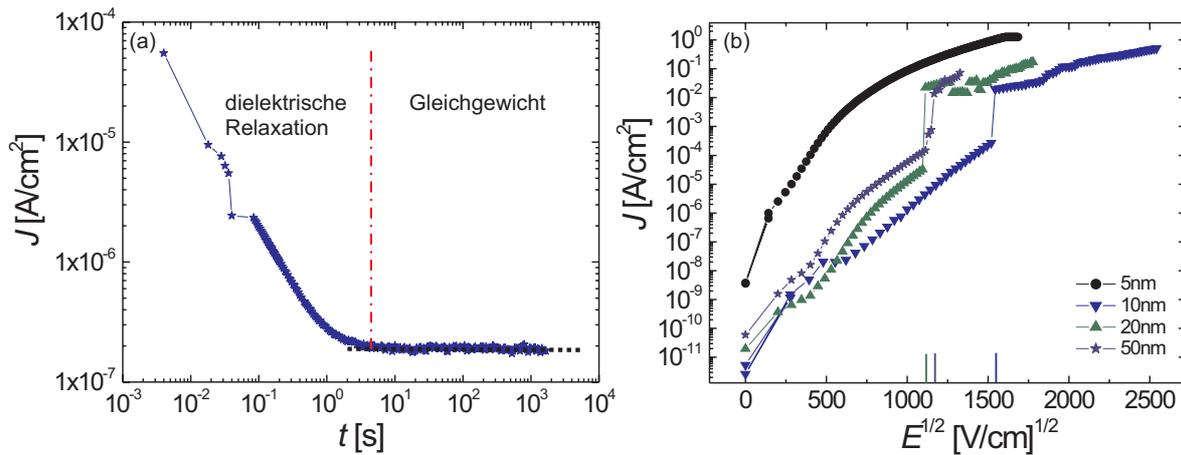


Abbildung 5.23: (a) Relaxationsmessung an einer 50 nm dicken CeO_2 -Schicht nach Anlegen einer Spannung von 4 V. (b) Stromdichte J in Abhängigkeit des angelegten Feldes in der Schottky-Auftragung.

durchgeführt, um die Durchbruchfeldstärke und die Leitfähigkeit der Oxidschichten zu bestimmen. Insbesondere die Leitfähigkeit sollte minimal sein, da für einen ferroelektrischen Speicher (FeFET) Ladungstransporte zwischen Substrat und Ferroelektrikum zu einem Informationsverlust führen können. Die hier gezeigten Leckstrommessungen wurden wie folgt gemessen: An einen MIS-Kontakt wurde über zwei Messspitzen eine Spannung angelegt und der Strom durch den Kontakt mittels eines Elektrometers nach einer einstellbaren Verzögerungszeit gemessen. Dies soll gewährleisten, dass der Strom im relaxierten Zustand bestimmt wird.

Abbildung 5.23a zeigt die Relaxationsmessung einer 50 nm dicken CeO_2 -Schicht. Hier wurde eine Spannung von $V_G = 4 \text{ V}$ an die MOS-Diode angelegt und die Zeitabhängigkeit des Leckstromes gemessen. Nach $\approx 40 \text{ s}$ befindet sich das System im Gleichgewicht. Die hierbei bestimmten Relaxationszeiten t_{relax} wurden anschließend als Verzögerungszeiten bei Leckstrommessungen eingesetzt. Üblicherweise lagen diese in einem Bereich zwischen $t_{\text{relax}} = 20 \text{ s} - 120 \text{ s}$. Abbildung 5.23b zeigt eine Schottky-Auftragung von Leckstrommessungen an unterschiedlich dicken, in Stickstoff abladierten CeO_2 -Schichten. Der starke Anstieg des Stromdichte J bei hohen Feldern wird in dieser Arbeit als Durchbruchfeldstärke des Oxids definiert. Diese sollte unabhängig von der Oxiddicke sein. Betrachtet man die in den Plot eingetragenen Durchbruchfelder, so verteilen sich diese auf einen größeren Bereich und zeigen keine erkennbare Schichtdickenabhängigkeit. Aus den Leckstrommessungen wurde eine mittlere Durchbruchfeldstärke von $E_{\text{krit}} = 1.3 \text{ MV/cm}$ für in Stickstoff abladierte CeO_2 -Schichten bestimmt. Einige der abgebildeten Kurven zeigen in bestimmten Bereichen ein lineares Verhalten. Dies deutet auf einen Ladungstransport durch Schottky-Emission hin, siehe Gleichung 1.55 in Kapitel 1.4.2.

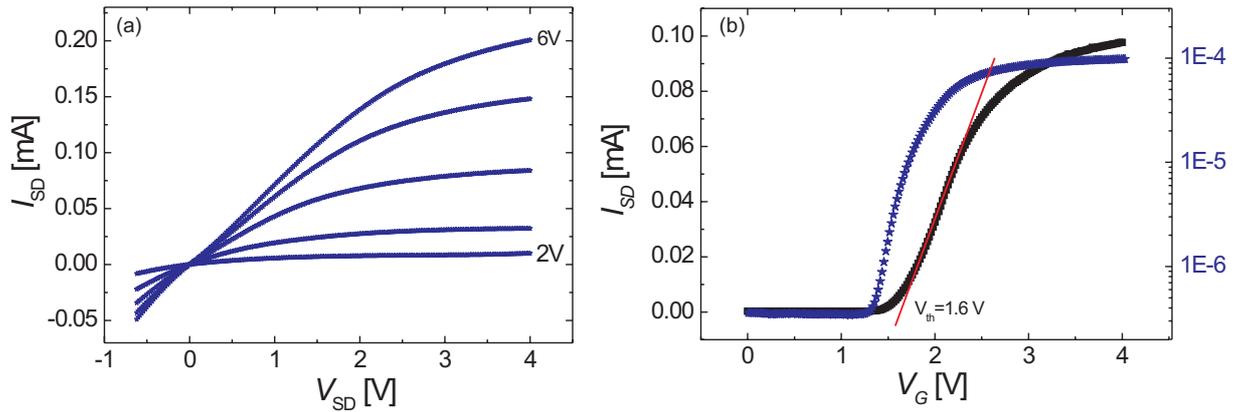


Abbildung 5.24: (a) Kennlinien eines CeO₂-Transistors mit einer Kanaldimension von $W \times L = 100 \times 50 \mu\text{m}$ bei unterschiedlichen Gatespannungen V_G . (b) Transferkennlinie des Transistors, gemessen bei einer Source-Drain Spannung von $V_{SD} = 1 \text{ V}$.

Der CeO₂-Feldeffekttransistor

Neben MIS-Dioden wurden MOSFET-Transistoren unter Verwendung des alternativen Gateoxids CeO₂ hergestellt. Die Herstellung erfolgte analog der Herstellung der SrTiO₃-Transistoren und wird in Anhang B beschrieben. Abbildung 5.24a zeigt Transistorkennlinien eines CeO₂-FETs mit einer Kanaldimension von $W \times L = 100 \times 50 \mu\text{m}^2$ und einer CeO₂-Schichtdicke von $t = 20 \text{ nm}$. Aus der Transferkennlinie, gemessen bei einer Source-Drain-Spannung $V_{SD} = 1 \text{ V}$, wurde die Schwellwertspannung von $V_{th} = 1.6 \text{ V}$ bestimmt. Man erhält aus der Steigung der Kurve mit $S^{-1} = \frac{\delta \log(I_{SD})}{\delta V_G}$ einen Wert für Steuerbarkeit S des Transistors von $S = 81 \text{ mV/dec}$. Dieser liegt etwas oberhalb des Idealwerts von $S = 60 \text{ mV/dec}$ bei Raumtemperatur. Als obere Grenze für eine ausreichende Steuerbarkeit gelten 100 mV/dec [28]. Somit ist CeO₂ nicht nur als Bufferoxid, sondern auch als alternatives Gateoxid ein vielversprechendes Material. Allerdings muss ein Verfahren entwickelt werden, welches in kurzer Zeit eine waferweite homogene CeO₂-Abscheidung unter SiO₂-Vermeidung ermöglicht. Es konnten zwar (111)-texturierte CeO₂-Schichten auf (100)-Silizium hergestellt werden, eine dünne SiO₂-Bildung konnte aber selbst in Stickstoff nicht verhindert werden. In Stickstoff prozessierte CeO₂-Schichten bilden an der Grenzfläche eine dünnere SiO₂-Schicht aus und sind somit einer Ablation im Sauerstoff vorzuziehen. Die strukturellen und elektrischen Eigenschaften der in Sauerstoff und Stickstoff abgeschiedenen CeO₂-Schichten unterscheiden sich wenig voneinander. Aufgrund der hohen Dielektrizitätszahl von $\epsilon_r \approx 30$ und der guten elektrischen Eigenschaften eignet sich dieses Material als Bufferschicht für ferroelektrische Schichten auf Silizium.

5.3 DyScO₃-Schichten auf Silizium

Neben CeO₂-Schichten wurden auch DyScO₃-Schichten auf Silizium elektrisch charakterisiert, um deren Eignung als Bufferoxidschicht zu untersuchen. DyScO₃ wird z. Zt. hinsichtlich der Eignung als SiO₂-Ersatz in FETs intensiv untersucht¹⁰[161]. Die thermische Stabilität auf Silizium und die sehr guten elektrischen Eigenschaften machen dieses Material ebenfalls zu einem vielversprechenden Kandidat als Bufferschicht für ferroelektrische Anwendungen und auch als alternatives Gateoxid für Transistoren. Im folgenden werden die strukturellen und elektrischen Eigenschaften dünner DyScO₃-Schichten auf Silizium zusammengefasst. Einige dieser Ergebnisse (XPS-Messungen und Leckstrommessungen) sind durch die Kooperation mit IMEC (Leuven) und der Universität von Leuven entstanden. Es wurden erstmals Transistoren mit einer DyScO₃-Gateschicht hergestellt und elektrisch charakterisiert.

Schichtherstellung

Dünne DyScO₃-Schichten wurden, ähnlich wie dünne CeO₂-Schichten, in einer PLD-Anlage abgeschieden. Dabei wurde als Prozessgas reiner Stickstoff mit einem Prozessgasdruck von $p \approx 10^{-4}$ mbar eingesetzt. Die Silizium-Substrate wurden während der Deposition auf eine Temperatur von ca. 450 °C aufgeheizt. Nach der Deposition zeigten mikroskopische Untersuchungen der Schichtoberfläche, trotz der gewählten off-axis-Geometrie, bei fast allen Proben einige Partikel auf der Probenoberfläche [162]. Diese lösten sich teilweise bei den nachfolgenden Strukturierungsprozessen (Ultraschallreinigung etc.) ab und es entstanden Löcher der DyScO₃-Schicht, so dass einige MIS-Dioden Kurzgeschlüsse aufwiesen.

5.3.1 Strukturelle und elektrische Eigenschaften

Temperaturabhängige XRD-Messungen an dünnen DyScO₃-Schichten auf Silizium zeigen, dass diese Schichten bis zu Temperaturen von 1000 °C in amorpher Phase vorliegen, siehe Abbildung 5.25a. Bei höheren Temperaturen bildet sich DyO₂. Damit scheint DyScO₃, zumindest von der strukturellen Seite (Temperaturstabilität) aus betrachtet, ein ideales Gateoxid zu sein. Zudem zeigen amorphe Materialien oftmals eine geringere elektrische Eigenleitung und werden aus diesem Grunde kristallinen bzw. polykristallinen Gateoxiden vorgezogen.

Abbildung 5.25b zeigt eine TEM-Aufnahme einer 20 nm dicken DyScO₃-Schicht. Der Grenzbereich zwischen der DyScO₃-Schicht und einer ca. 3 nm dicken SiO₂-Schicht erscheint als scharfe Linie. Es sind keine Reaktionen zwischen der DyScO₃-Schicht und dem Substrat erkennbar. Simulationen von RBS-Spektren der DyScO₃-Schichten zeigten stöchiometrische Dy₁Sc₁O₃-Schichten. Die Bandstruktur des DyScO₃-Si Kontaktes wurde von V. Afanasiev mittels Photoemissionsspektroskopie an MIS-Dioden mit einer wenige

¹⁰Dies geschieht in einer Kooperation zwischen J. Schubert *et al.* (Jülich) und M. Caymax (IMEC Leuven) *et al.*, sowie V. Afanasiev (Univ. Leuven)

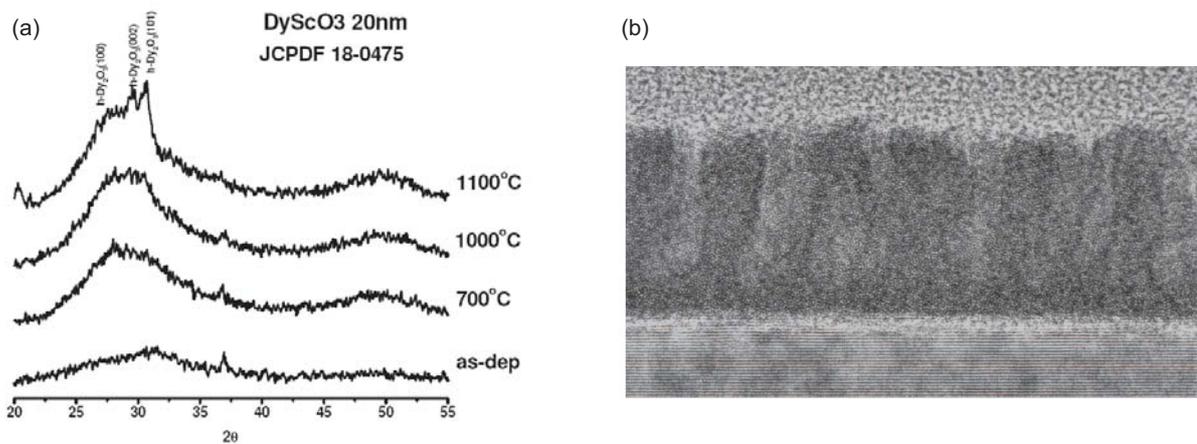


Abbildung 5.25: (a) Temperaturabhängige XRD-Messungen an DyScO₃-Schichten. (b) TEM-Aufnahme einer 20 nm dicken DyScO₃-Schicht [161].

Ångström dünnen Gold-Gateelektrode bestimmt. Die Bandabstände zum Leitungs- bzw. Valenzband sind mit 2.0 eV bzw. 2.5 eV und einer Bandlücke von 5.6 eV [161] für technologische Anwendungen, beispielsweise als Gateoxid in Feldeffekt-Transistoren, ausreichend hoch. Insbesondere die Temperaturstabilität amorpher DyScO₃-Schichten ist ein großer Vorteil gegenüber anderen Materialien wie HfO₂.

5.3.2 Elektrische Charakterisierung

DyScO₃-MIS-Dioden

Die Herstellung von DyScO₃-Dioden erfolgte, wie bei den CeO₂-Dioden, durch optische Lithographie und lift-off-Technik, unter Verwendung einer gesputterten 100 nm dicken Platin-Schicht als Gateelektrode. Nach der Prozessierung wurden die Proben in Forminggas bei 450 °C getempert. Die elektrische Substratkontaktierung wurde mit Leitsilber bzw. InGa umgesetzt.

In Abbildung 5.26a wird exemplarisch die $C(V)$ -Messung einer 20 nm dünnen DyScO₃-MIS-Diode mit einer Kontaktfläche von $A = 3.14 \cdot 10^{-4} \text{ cm}^2$ gezeigt. Die $C(V)$ -Kurve zeigt eine für MOS-Dioden typischen Verlauf, d. h. es ist keine Hysterese zwischen Hin- und Rücklauf zu erkennen. Aus der Kapazität in der Akkumulation wurde die effektive Dielektrizitätskonstante der MIS-Diode (SiO₂+DyScO₃) zu $\epsilon_{\text{eff}} = 10.4$ bestimmt. Aus der Steigung einer EOT-Auftragung konnte die Dielektrizitätszahl von DyScO₃, $\epsilon = 22$, berechnet werden [161]. Zum Vergleich ist die Messkurve einer ebenfalls 20 nm dicken CeO₂-MIS-Diode in das Diagramm eingezeichnet. Es ist weder in der Akkumulation noch in der Verarmungszone ein nennenswerter Unterschied erkennbar. Lediglich die Flachbandspannungen der jeweiligen MIS-Dioden sind verschieden. Da beide Dioden mit Pt-Gateelektroden hergestellt wurden, ist die Differenz der Flachbandspannungen auf eine unterschiedliche Konzentration fester Oxidladungen zurückzuführen. Nach Gleichung

1.2.3 kann die Differenz der Oxidladungen zu $4.12 \cdot 10^{12} \text{ cm}^{-2}$ bestimmt werden. Eine Trap-Analyse an der Flachbandspannung nach Lehovec ergab eine Ladungsdichte von $4.1 \cdot 10^{11}$ Traps pro cm^2 . Abbildung 5.26 zeigt Leckstrommessungen von DyScO_3 -MIS-Dioden, die an verschiedenen Stellen eines 2-inch Wafers ermittelt wurden. Im Mittel zeigten DyScO_3 -Schichten bei einer Spannung von $V_G = 1 \text{ V}$ einen Leckstrom von $J \approx 10^{-4} \text{ A/cm}^2$ [161]. DyScO_3 -Schichten zeigen eine höhere Durchbruchfeldstärke als vergleichbare CeO_2 -Schichten. Beide Materialien eignen sich als Buffermaterialien hinsichtlich ihrer elektronischen und strukturellen Eigenschaften. DyScO_3 -Schichten sind jedoch im Gegensatz zu CeO_2 -Schichten amorph. Da amorphe Dielektrika meist einen niedrigeren Leckstrom als polykristalline oder kristalline Schichten zeigen, sind amorphe Dielektrika als Bufferschicht den kristallinen Schichten vorzuziehen. Komplexe oxidische Ferroelektrika wie PZT und BTO lassen sich allerdings nicht oder nur mit sehr schlechten strukturellen Eigenschaften auf einem amorphen Untergrund abscheiden. Da bei Raumtemperatur abgeschiedenes Platin auch auf amorphen Schichten eine (111)-Texturierung (Orientierung) einnimmt, kann es als Wachstumsuntergrund für PZT-Schichten genutzt werden (seed layer). Wie später in Kapitel 6.2 gezeigt wird, kann dies in sogenannten Floatinggate-Strukturen angewendet werden. Hierbei wird eine elektrisch nicht kontaktierte (floating) Metallschicht in den Gateschichtstapel eingeführt.

Im Gegensatz zu keramischen Ferroelektrika benötigen ferroelektrische Polymere wie PVDF keine kristalline (bzw. texturierte) Wachstumsbasis und zeigen selbst auf amorphen Substraten abgeschieden sehr gute ferroelektrische Eigenschaften. Für diese Polymere könnte DyScO_3 eine geeignete dielektrische Bufferschicht darstellen.

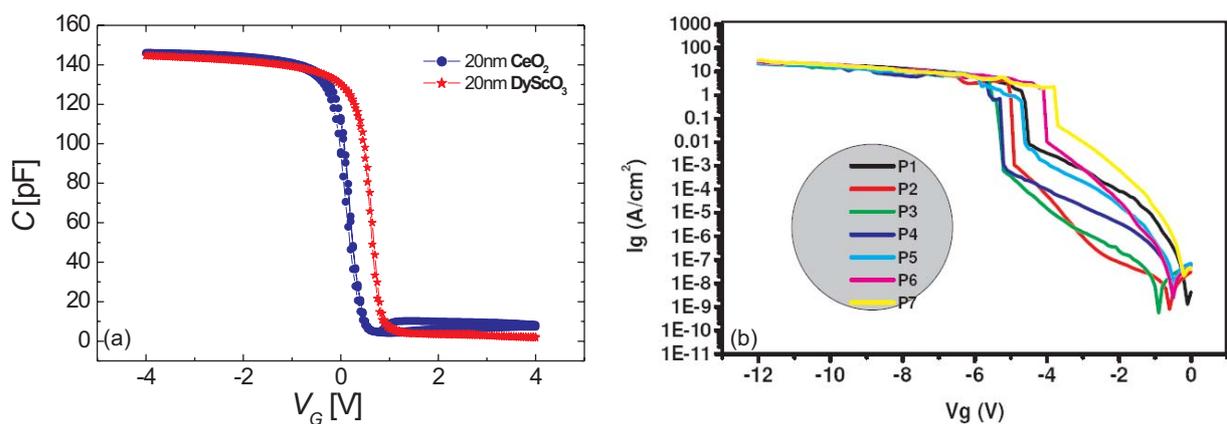


Abbildung 5.26: (a) $C(V)$ -Messung einer MIS-Diode mit 20 nm DyScO_3 bei $f = 100 \text{ Hz}$. Zum Vergleich wird die Messung einer MIS-Diode mit 20 nm CeO_2 gezeigt. (b) Schar von $I(V)$ -Kennlinien aufgezeichnet an verschiedenen Stellen eines 2-inch Wafers (IMEC).

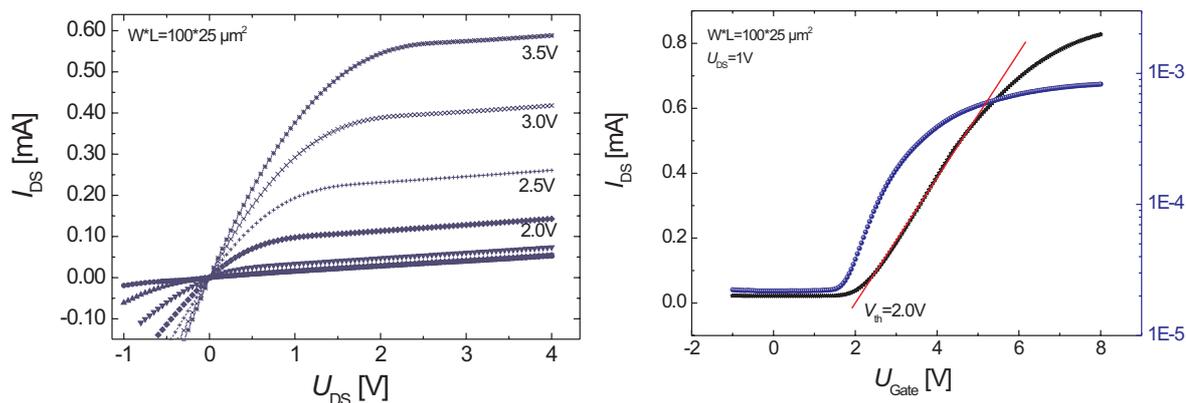


Abbildung 5.27: (a) Transistor-Kennlinien eines $W \times L = 100 \times 25 \mu\text{m}^2$ großen DyScO₃-FETs. Die 20 nm dünne DyScO₃-Schicht wurde nach einem HF-dip in einer PLD-Anlage in *off-axis* Geometrie bei ca. 400 °C in Stickstoff ($\approx 1 \cdot 10^{-4}$ mbar) deponiert. (b) Transferkennlinie des gleichen Transistors gemessen bei $V_{SD} = 1$ V. Die Schwellspannung beträgt 2 V.

Der DyScO₃-Feldeffekttransistor

Im Rahmen dieser Arbeit wurden, unter Verwendung dünner DyScO₃-Schichten, Feldeffekttransistoren hergestellt und charakterisiert. Die Strukturierung erfolgte auch hier nach dem im Anhang beschriebenen Herstellungsprozess B. Die DyScO₃-Schichten wurden mittels PLD bei $p \approx 10^{-4}$ mbar und $T \approx 450$ °C in Stickstoff auf Siliziumsubstraten mit zuvor implantierten Source- und Drainbereichen abgeschieden. Vor dem Einschleusen in die Prozesskammer wurde die native SiO₂-Schicht mittels HF-Säure entfernt. Als Gate-Metall und zur Metallisierung der Source- und Drainbereiche wurde auch hier gesputtertes Platin verwendet. Als abschließender Prozessschritt wurden die fertig strukturierten Transistoren in Forminggas bei ca. 450 °C getempert.

In Abbildung 5.27 werden Charakteristische Transistor- und Transferkennlinien eines 20 nm DyScO₃-FETs¹¹ gezeigt. Die Steigung der Charakteristischen Transistorkennlinien (Kanaldimension $W \times L = 100 \times 50 \mu\text{m}^2$) in der Sättigung in 5.27a, ist durch einen erhöhten Leckstrom erklärbar - wahrscheinlich verursacht durch Löcher in der DyScO₃ Schicht. Die aus der Transferkennlinie graphisch bestimmte Schwellspannung beträgt $V_{\text{th}}^{\text{DyScO}_3} = 2.0$ V und ist etwas größer als der zuvor ermittelte Wert für CeO₂-Transistoren ($V_{\text{th}}^{\text{CeO}_2} = 1.6$ V). Die Ursache dieser Differenz lässt sich, analog zur Verschiebung der C(V)-Kurven der DyScO₃-Dioden und CeO₂-Dioden in Abbildung 5.26a, durch eine unterschiedliche Anzahl fester Ladungsträger (Oxidladungen) in der dielektrischen Gateschicht erklären. Diese lassen sich in der Regel durch Veränderung der Abscheidebedingungen (Temperatur, Gasdruck, etc.) während der Deposition beeinflussen. Eine Bestimmung des *subthreshold swings* (Abbildung 5.27b) in logarithmischer Auftragung, ergibt einen Wert für die Steuerbarkeit

¹¹Es handelt sich hierbei um den ersten hergestellten FET mit einer dünnen DyScO₃-Schicht, der gemessen wurde!

des Transistors von ca. $S > 1 \text{ V/dec.}$

Kapitel 6

Ferroelektrische Gateschichten auf Silizium

Im vorangegangenen Kapitel wurden dielektrische SrTiO_3 , CeO_2 und DyScO_3 -Schichten auf Silizium vor allem in Hinblick auf eine Anwendung als Bufferschicht für ferroelektrische Gateschichten untersucht. Diese Schichtsysteme bilden nun die Grundlage für siliziumbasierte Dioden und Transistoren mit einer zusätzlichen ferroelektrischen Gateschicht, deren strukturelle und elektrische Charakterisierungen Gegenstand dieses Kapitels sein werden. Als ferroelektrisches Material wurde $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (PZT) verwendet. Es wurde mit dem in Kapitel 4.2.1 beschriebenen Hochdrucksputter-Verfahren, einem Verfahren, welches sich bei der Herstellung ultradünner epitaktischer ferroelektrischer Schichten bewährt hat, abgeschieden [5]. Desweiteren wurden PZT-Schichten zum Vergleich auch mittels der CSD-Methode hergestellt, siehe Kapitel 4.1.

6.1 Epitaktische PZT/STO/Si Gateschichten

Anhand von Leckstrommessungen an STO/Si-Dioden konnte gezeigt werden, dass epitaktische SrTiO_3 -Schichten auf Silizium (MIS-Dioden) unter Vermeidung einer SiO_2 Zwischenschicht keinen idealen Isolator-Halbleiter-Übergang darstellen. Dies steht im Einklang mit den Bandstrukturberechnungen von J. Robertson [101]. Dennoch konnten Eisenbeiser *et al.* Transistorkennlinien eines epitaktischen SrTiO_3 -Transistors mit einer 110 \AA dicken STO-Schicht, entsprechend einer SiO_2 -Äquivalentoxidschichtdicke von 11 nm , zeigen. Diese Ergebnisse sindanzunehmender Weise erst durch eine ausreichend dicke SiO_2 -Schicht zwischen der STO-Schicht und dem Si-Substrat möglich geworden. Da PZT mit einer Bandlücke von $E_G = 3 \text{ eV}$ ein guter Isolator ist, sollte der Leckstrom durch den gesamten (MFIS)-Gatestack im Vergleich zu SrTiO_3 MIS-Dioden auch ohne SiO_2 -Schicht deutlich reduziert sein. Im folgenden wird beschrieben welche Auswirkungen eine zusätzliche ferroelektrische Schicht auf die Dioden- und Transistor-Kennlinie hat.

Herstellung der PZT-STO-Heterostrukturen

Wie eingangs in diesem Kapitel angedeutet, sind ferroelektrische PZT-Schichten mittels zweier Methoden hergestellt worden. Hauptsächlich wurde das Hochdrucksputterverfahren zur Deposition ultradünner PZT-Schichten eingesetzt. Hierbei wurden die SrTiO_3 -Proben vor dem Prozessbeginn in Azeton und Propanol gereinigt und in Stickstoff getrocknet. Das PZT-Target wurde vor der PZT-Deposition ca. 30 – 60 min eingesputtert. Die PZT-($\text{PbZr}_{52}\text{Ti}_{48}\text{O}_3$)-Schichten wurden dann bei ca. 630 – 655 °C in reinem Sauerstoff bei einem Druck von 2-3 mbar abgeschieden. Das PZT-Target wurde mit einem Überschuss von 20% Pb hergestellt, um einen Pb-Verlust während der Deposition auszugleichen. Bedingt durch den Aufbau der Sputteranlage (kein Magnetron) wurden nur sehr geringe Sputterraten von 9 nm/h erreicht. Während dies für das Wachsen ultradünner Schichten von Vorteil ist, erfordern dickere Schichten (150-200 nm) extrem lange Sputterzeiten von bis zu 22 h! Interdiffusion der Materialien und Bildung parasitären SiO_2 's wird damit wahrscheinlicher.

Neben dem Hochdrucksputter-Abscheideverfahren wurden PZT-Schichten alternativ mittels dem im Kapitel 4.1 beschriebenen CSD-Verfahren abgeschieden. Dieses hat den Vorteil, dass dicke PZT-Schichten in sehr viel kürzer Zeit abgeschieden werden können (wenige Minuten). Die Proben wurden vor dem Aufschleudern der PZT-Precursorlösung ($\text{PbZr}_3\text{O}_7\text{Ti}_7\text{O}_3$) wie oben beschrieben gereinigt. Nach dem Aufschleudern der Lösung wurden die PZT-Schichten in einem zweistufigen Ausheizschritt (250 °C und 350 °C je 1 min) getempert und anschließend bei 700 °C für 10 min unter Sauerstoffatmosphäre auskristallisiert (siehe auch Kapitel 4.1).

6.1.1 Strukturelle Charakterisierungen

XRD-Messungen

Die strukturellen Eigenschaften gesputterter und aus der Lösung abgeschiedener (CSD) PZT-Schichten auf einkristallinen STO-Schichten auf Silizium wurden mittels XRD- und RBS-Analyse bestimmt. XRD-Untersuchungen an gesputterten PZT-Schichten zeigten sowohl bei Temperaturen unterhalb von 630 °C, als auch bei Temperaturen oberhalb von 650 °C pyrochlore Phasenanteile. Die Möglichkeit der Beeinflussung der Schichtgüte durch Variation der Temperatur und des Sauerstoffpartialdrucks während der Deposition wurde dadurch sehr eingeschränkt. Da die pyrochlore Phase nicht ferroelektrisch ist, sollte sie vermieden werden.

In Abbildung 6.1a wird die XRD-Messung einer 30 nm dünnen gesputterten PZT-Schicht gezeigt. Sie wurde bei 640 °C und 3 mbar O_2 auf eine 10 nm dünne SrTiO_3/Si -Schicht abgeschieden. Das XRD-Spektrum zeigt neben den Si-Substratpeaks bei $2\Theta = 32.9^\circ$ und $2\Theta = 69.1^\circ$, die STO(00n)-Peaks und die (00n)-Peaks der PZT-Schicht. Im kleinen Diagramm von Abbildung 6.1a ist ein $\Theta - 2\Theta$ -Scan eines (110)-Peaks dieser PZT-Schicht abgebildet gemessen bei $\psi = 45^\circ$. Aus den Winkelpositionen verschiedener Netzebenen

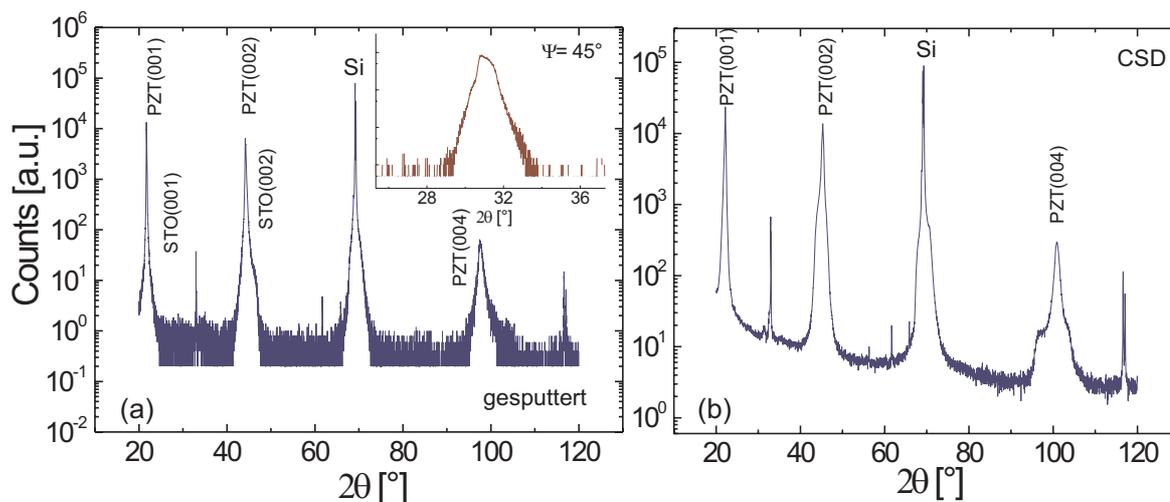


Abbildung 6.1: (a) XRD-Messungen einer gesputterten 30 nm PZT(52/48)-Schicht auf einer einkristallinen STO(10 nm)/Si-Schicht. Gezeigt wird eine Θ - 2Θ -Messung, das kleine Diagramm zeigt den PZT(110)-Reflex unter einer Verkippung von $\psi = 45^\circ$. (b) Θ - 2Θ -Messung einer 128 nm dicken CSD PZT-Schicht auf einer einkristallinen STO(10 nm)/Si-Schicht.

wurden die Gitterkonstanten der tetragonalen PZT-Einheitszelle nach:

$$2d_{hkl} \cdot \sin(\Theta) = n \cdot \lambda \quad \text{und} \quad (6.1)$$

$$\frac{1}{d_{hkl}^2} = \frac{h^2}{a^2} + \frac{k^2}{b^2} + \frac{l^2}{c^2} \quad \text{und} \quad \lambda = 1.54056 \text{ \AA} \quad (6.2)$$

berechnet. Im Mittel zeigen gesputterte PZT-Schichten eine c -Achse von 4.12 \AA und eine a -Achse von 4.03 \AA . Die Polarisationsachse liegt dann in Richtung der Flächennormalen, also parallel zur langen c -Achse. Literaturwerte der Gitterparameter für einkristallines Bulk-PbZr₅₂Ti₄₈O₃ sind: $c = 4.15 \text{ \AA}$ und $a = 4.04 \text{ \AA}$ [163]. Die Rockingkurvenbreiten der (200)-Peaks gesputterter PZT/STO/Si-Schichten liegen je nach Schichtdicke und Abscheidetemperatur im Bereich von 0.4 - 1.2° .

CSD prozessierte PZT-Schichten weisen, ebenso wie gesputterte PZT-Schichten, eine c -Achsen Orientierung ohne signifikante Fremdphasenpeaks auf. Abbildung 6.1b stellt exemplarisch die Θ - 2Θ -Messung einer ca. 130 nm dicken CSD PZT-Schicht auf einer 10 nm dicken SrTiO₃-Schicht dar. Es sind stark ausgeprägte PZT(00n)-Peaks erkennbar, deren Intensitätsverhältnisse vergleichbar mit denen der gesputterten Schichten in Abbildung 6.1a sind.

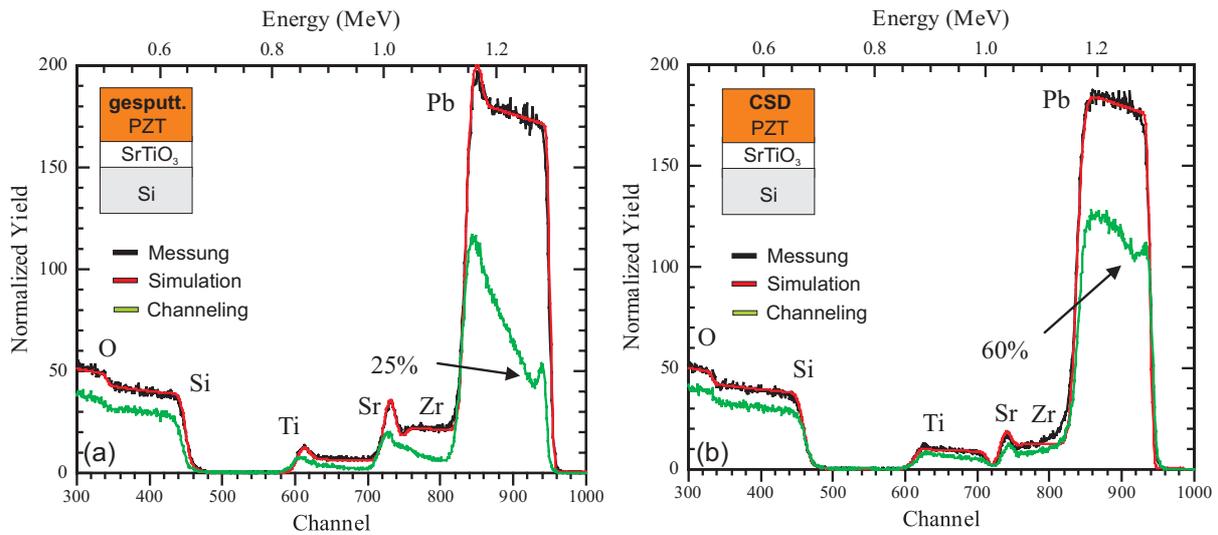


Abbildung 6.2: (a) RBS-Messungen einer 145 nm dicken gesputterten PZT-Schicht auf STO(20 nm)/Si. Der Minimum-Yield-Wert dieser Probe beträgt $\chi_{\min} \approx 25\%$. (b) RBS-Messungen einer ca. 128 nm dicken CSD-PZT-Schicht auf STO(10 nm)/Si. Der Minimum-Yield-Wert beträgt $\chi_{\min} \approx 60\%$.

RBS-Messungen

In Abbildung 6.2 werden die RBS-Spektren einer gesputterten 145 nm dicken PZT-Schicht, denen einer 128 nm dicken CSD PZT-Schicht auf STO/Si gegenübergestellt. Das Random-Spektrum (schwarze Kurve) ist in beiden Fällen durch einen starken Anstieg der rückgestreuten Energie unterhalb von 1.3 MeV geprägt, was durch die Pb-Atome der PZT-Schicht verursacht wird. Im Gegensatz zum RBS-Spektrum einer dünnen STO/Si-Schicht (Abbildung 5.8), bei dem die einzelnen Elemente-Peaks getrennt erscheinen (Sr und Ti), überlagern sich die Peaks bei dicken PZT-Schichten. Die rot eingezeichneten Kurven sind die simulierten Kurven. Als Fit-Parameter wurden hier Schichtdicke, Zusammensetzung der Schichten sowie ein Parameter für die Schichtrauigkeit verwendet. Letzterer beeinflusst die Steilheit der Flanken. Für die hier abgebildete gesputterte PZT-Schicht wurde eine Zusammensetzung von $\text{Pb}_1\text{Zr}_{52}\text{Ti}_{48}\text{O}_{2.7}$ bestimmt. Für die hier gezeigte CSD PZT-Schicht ergab sich aus der gezeigten Simulation die Zusammensetzung $\text{Pb}_{1.1}\text{Zr}_{0.3}\text{Ti}_{0.7}\text{O}_3$, d.h. ein geringfügiger Überschuss an Pb in der Schicht. Die grünen Kurven in Abbildung 6.2 zeigen das RBS-Spektrum in der sogenannten Channeling-Konfiguration, bei der die Schicht (Probe) derart in den Helium-Ionen-Strahl ausgerichtet wird, dass die Helium-Ionen möglichst weit in die Schicht eindringen können. Es wurde bei der Untersuchung der PZT-Schichten festgestellt, dass gesputterte PZT-STO/Si Schichten ein deutlich besseres Channeling-Verhalten zeigen (hier $\chi_{\min} = 25$) als vergleichbare CSD PZT-STO/Si-Schichten (hier $\chi_{\min} = 60$). Bei letzteren wurde oftmals nur geringes oder gar kein Channeling beobachtet.

Daraus lässt sich ableiten, dass gesputterte PZT-Schichten auf einkristallinen SrTiO₃-Si-Proben eine höhere Kristallinität besitzen als entsprechende CSD abladierte PZT-

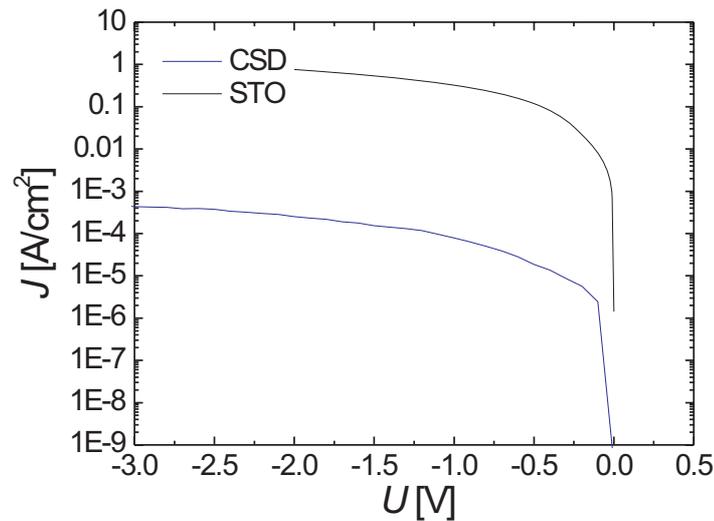


Abbildung 6.3: Vergleich der I(U)-Charakteristik einer mittels CSD abladierten PZT/STO/Si-Diode und einer STO/Si-Diode. Durch die zusätzliche ca. 150 nm dicke PZT-Schicht sinkt der Leckstrom um einige Größenordnungen.

Schichten auf einkristallinen SrTiO₃-Si Proben.

6.1.2 Elektrische Charakterisierungen von MFIS-Dioden

Die elektrischen Messungen der PZT/STO/Si-Schichten wurden wiederum mittels MFIS-Dioden durchgeführt. Hierzu wurden ca. 100 nm dicke Platin-Elektroden mit einer Fläche von $\mathcal{A} = 2 \cdot 10^{-5} - 8 \cdot 10^{-3} \text{ cm}^2$ auf die PZT-Schichten mittels lift-off-Prozess abgeschieden. Die Kontaktierung der Dioden geschah analog zur Messungen an MIS-Dioden mit Kontaktspitzen. Die Substratkontaktierung erfolgte auch hier durch eine flüssige InGa-Legierung bzw. Leitsilber. Alle elektrischen Messungen wurden in einer geschlossenen Metallbox oder in einem abgedunkelten Raum durchgeführt.

In Kapitel 5.1.5 wurde gezeigt, dass einkristalline STO/Si-Dioden unter Vermeidung einer SiO₂-Zwischenschicht aufgrund der ungünstigen Bänderstruktur keinen geeigneten Isolator-Halbleiter-Übergang darstellen. Dennoch ist die Fragestellung nach der Auswirkung einer zusätzlichen, sowohl isolierenden als auch ferroelektrischen PZT-Schicht, hinsichtlich der Charakteristik dieser MFIS-Dioden von Interesse. Messungen des Leckstromes (I(V)-Messung) der PZT/STO/Si-Dioden zeigen eine deutliche Reduktion des Leckstromes verglichen mit STO/Si-Dioden ohne Ferroelektrikum. In Abbildung 6.3 wird dies exemplarisch für eine ca. 150 nm dicke CSD-PZT/STO/Si-Probe gezeigt. Zum Vergleich wird die I(V)-Kennlinie einer 10 nm dicken STO/Si-MIS-Diode abgebildet.

Wie im Kapitel 1.3.2 gezeigt wurde, bewirkt eine ferroelektrische Gateoxidschicht aufgrund ihrer remanenten Polarisation eine Hysterese, sowohl in den Transferkennlinien von Transistoren als auch in den Kapazitäts-Kennlinien von MFIS-Dioden. Die im folgenden gezeigten Kapazitäts-Kennlinien von PZT/STO/Si-Dioden wurden bei einer Frequenz

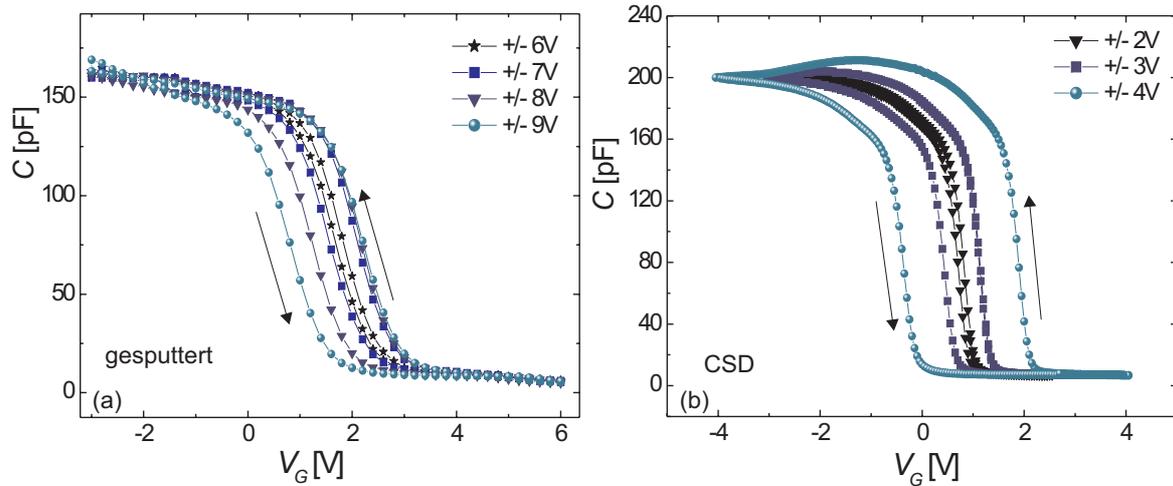


Abbildung 6.4: $C(V)$ -Messungen einer gesputterten (150 nm) und einer CSD hergestellten (180 nm) PZT/STO/Si-Diode. Die Messungen wurden mit einer Kleinsignalfrequenz von $f = 100$ kHz durchgeführt.

von $f = 100$ kHz und einer Kleinsignalspannung von $V_{\text{osc}} = 50$ mV durchgeführt. Da die remanente Polarisation P_r einer ferroelektrischen Schicht von der maximal angelegten Spannung abhängt (Subschleifen), nimmt die Hysterese in den Kapazitäts-Kennlinien von MFIS-Dioden mit zunehmender Maximal-Spannung zunächst zu und sollte ab Erreichen der Sättigungspolarisation des Ferroelektrikums eine konstante Größe behalten.

In Abbildung 6.4 werden die Kapazitätsmessungen einer gesputterten (150 nm) und einer CSD prozessierten (180 nm) PZT/STO/Si MFIS-Diode vergleichend dargestellt. Beide Messungen zeigen mit höheren Gatespannungen zunehmende Hysteresen. Jedoch müssen bei gesputterten MFIS-Dioden deutlich höhere Spannungen angelegt werden, um eine vergleichbare Hysterese in der Kennlinie zu generieren. Ein weiterer Unterschied wird bei Betrachtung der Flachbandspannungen offensichtlich: die Kennlinien von gesputterten Schichten sind verglichen mit denen von CSD deponierten PZT-MFIS-Dioden, deutlich zu positiven Spannungs-Werten hin verschoben. Darüberhinaus wurde für letztere eine höhere Kapazität in der Akkumulation gemessen. Man beachte, dass die $C(V)$ -Messungen in Abbildung 6.4b zum einen an einer 180 nm PZT-Schicht erfolgten, während zum anderen die Messungen der gesputterten MFIS-Diode an einer 150 nm dicken PZT-Schicht durchgeführt wurde. Bei gleicher Schichtdicke wäre der Unterschied der Kapazität in der Akkumulation also noch größer.

Unter Annahme eines einfachen Plattenkondensator-Modells kann die effektive Dielektrizitätskonstante des gesamten Gatesschichtstapels zu $\epsilon_{\text{eff}} \approx 90$ im Falle der gesputterten MFIS-Diode und zu $\epsilon_{\text{eff}} \approx 180$ für die CSD MFIS-Diode berechnet werden. Diese Diskrepanz lässt sich nicht allein auf die unterschiedlich dicken PZT-Schichten zurückführen. Es kann davon ausgegangen werden, dass sich bei den langen Prozesszeiten der gesputterten PZT-Schichten (hier ≈ 15 h) bei 640°C und 3 mbar O_2 eine SiO_2 -Oxidschicht an

der Grenzschicht zum Substrat ausbildet. Dies würde erklären warum bei gesputterten Schichten eine sehr viel höhere Spannung angelegt werden muss, um vergleichbar große Hysteresen zu erzeugen. Eine Analyse des Schichtstapels mittels HRTEM könnte hier Aufklärung bringen.

Bei näherer Betrachtung der Durchlaufrichtung der $C(V)$ -Kennlinien in Abbildung 6.4 fällt auf, dass diese nicht hysteretisch¹ sind, sondern dass die Hin- und Rückkurven lediglich gegeneinander verschoben sind — man beachte die den Durchlaufsinn anzeigenden Pfeile in den Diagrammen. Dies ist zunächst verwunderlich und kann nicht allein durch die ferroelektrische Schicht erklärt werden. Ein ähnlicher Kurvenverlauf wurde auch von anderen Gruppen, z. B. in Ref. [164], an MFIS-Dioden beobachtet. Erklärt wird dieser durch Ladungsträgerinjektionen aus dem Halbleiter in das Dielektrikum [164]. Für das hier betrachtete PZT/STO/Si-System wurde ein auf Ladungsträgerinjektion basierendes schematisches Modell entwickelt, das die beobachtete Durchlaufrichtung erklärt. Abbildung 6.5 zeigt dieses Modell, in welchem der MFIS-Kontakt in Form eines Bändermodells für verschiedene Gatespannungen gezeigt wird.

In dem Modell wird vereinfachend angenommen, dass das Ferroelektrikum (PZT) eine vernachlässigbare Leitfähigkeit besitzt. Zudem sind die Bandabstände zwischen der PZT- und STO-Schicht nicht maßstabgetreu. Wird eine ausreichend hohe positive Spannung an eine MFIS-Diode angelegt, so ist der Halbleiter invertiert und die ferroelektrische Schicht polarisiert, siehe (1) in der $C(V)$ -Kennlinie und (1) im Bandschema. Aufgrund des ungünstigen Bandübergangs von STO und Si können aber Elektronen in das STO injiziert werden und an die Grenzfläche zum Ferroelektrikum gelangen, wo sie die Polarisationsladungen kompensieren und auf diese Weise gepinnt werden. Es bildet sich in der dielektrischen Schicht (STO) eine Raumladungszone bestehend aus negativen Ladungsträgern aus, die auch bei kleineren positiven Spannungen erhalten bleibt, so dass eine Verschiebung der Flachbandspannung erfolgt (2). Für ausreichend hohe negative Spannungen (3) befindet sich der Halbleiter in der Akkumulation. Das Ferroelektrikum ist dann entgegengesetzt polarisiert. Es werden Löcher in das STO-Gateoxid injiziert, die sich an der PZT-Grenzschicht anlagern können. Nun findet der gleiche, wie unter (1) und (2) beschriebene Prozess statt, jedoch mit umgekehrtem Vorzeichen. Die eingefangenen Majoritätsladungen verursachen wiederum eine Verschiebung der Flachbandspannung, diesmal in negativer Richtung (4). Dieses Modell setzt eine endliche Ladungsträgerinjektion in die STO-Schicht bei moderaten Spannungen voraus. Die bei den PZT/STO/Si während der Deposition vermutlich entstehenden Reaktionsschichten (SiO_x) sind meist schlechte Isolatoren und spielen dementsprechend eine vernachlässigbare Rolle.

Zusammenfassend kann formuliert werden, dass STO/Si-Dioden mit einer zusätzlichen PZT-Schicht einen deutlich reduzierten Leckstrom bei gleichen Spannungen aufweisen. Das beobachtete memory-window wird durch eine Verschiebung der $C(V)$ -Kurven hervorgerufen und nicht durch eine Hysterese. Erklärt werden kann dieser untypische Verlauf durch Ladungsträgerinjektion. In Anwendungen, beispielsweise als nonvolatiles Speicher-

¹Hysterese (griech.: hysteros = hinterher) bezeichnet das Fortdauern einer Wirkung nach Wegfall ihrer Ursache.

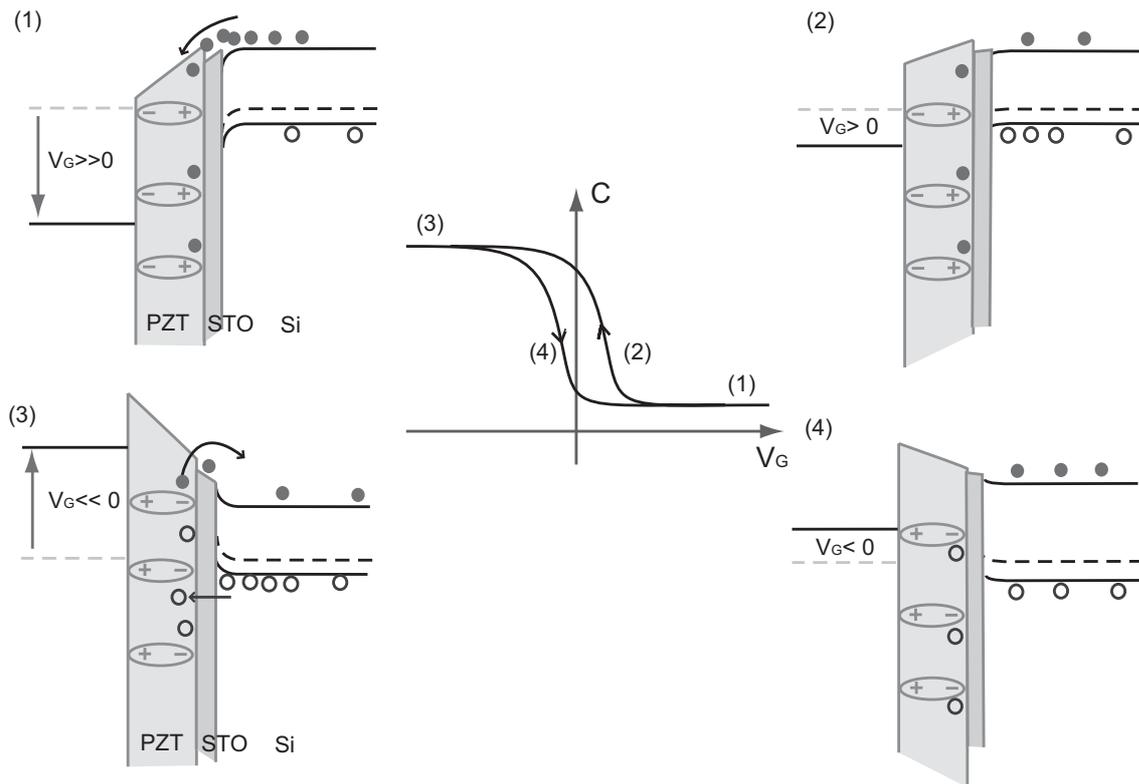


Abbildung 6.5: Ladungsträgerinjektionsmodell für einen PZT/STO/Si-Kontakt. (a) Anlegen einer positiven Spannung an den MFIS-Kontakt führt zu einer Ladungsträgerinjektion von Elektronen in die STO-Schicht. Diese Elektronen können an die Grenzfläche zum PZT gezogen und dort gepinnt werden. Dadurch schirmen sie das äußere Feld ab, so dass es zu einer Verschiebung der Flachbandspannung kommt (b). (c) und (d) stellen das Analogon für negative Spannungen und Löcher dar.

element, ist es für das Schreiben und Auslesen von Informationen unerheblich, welchen Durchlaufsinne eine Hysterese hat. Entscheidend ist vielmehr, dass zwei stabile Zustände ausreichend voneinander differenziert werden können, was auch mit dem hier vorgestellten PZT/STO/Si-Schichtsystem möglich ist.

In Kapitel 1.4.1 wurden die Auswirkungen des sogenannten Depolarisationsfeldes auf die Stabilität des ferroelektrischen Zustandes dargelegt. Es wurde dort aufgezeigt, dass in einem Kontakt, bestehend aus einer halbleitenden Elektrode mit einem Ferroelektrikum, ein endliches Depolarisationsfeld im Ferroelektrikum existiert, wodurch der ferroelektrische Zustand destabilisiert werden kann. Ist eine Ladungsträgerinjektion durch die dielektrische Schicht an die Grenzschicht zum Ferroelektrikum möglich, kann diese sogar eine Stabilisierung des ferroelektrischen Zustandes bewirken, indem die injizierten Ladungen die Polarisationsladungen an der Grenzfläche abschirmen und so das destabilisierende Depolarisationsfeld reduzieren können.

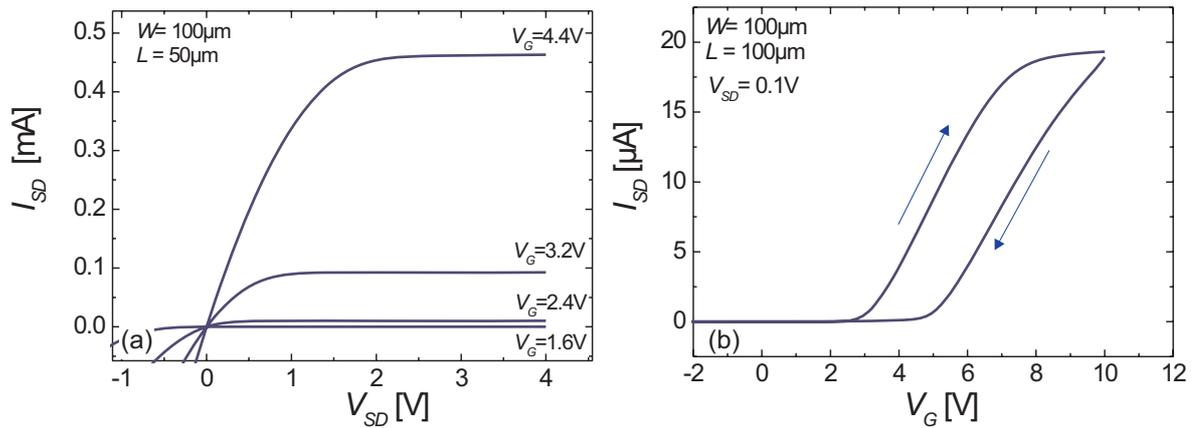


Abbildung 6.6: Kennlinien eines ferroelektrischen Transistors mit einer 150 nm CSD PZT-Schicht auf einer einkristallinen 10 nm dünnen STO/Si-Schicht. (a) Charakteristische Kennlinien bei verschiedenen Gatespannungen. (b) Transfer-Charakteristik eines Transistors.

6.1.3 Der PZT/STO/Si-Feldeffekttransistor

Wie im letzten Abschnitt dargestellt wurde, weisen die hergestellten Pt/PZT/STO/Si-Dioden einen um einige Größenordnungen kleineren Leckstrom als die zugrundeliegenden STO/Si-Proben auf. Kapazitätsmessungen zeigten bei hinreichender Gatespannung eine Verschiebung der $C(V)$ -Kennlinie, welche für technologische Anwendungen (Speicher) ausreichend sein sollte. Deshalb wurden Transistoren mit diesem Gateschichtstapel gefertigt. Die Prozessierung erfolgte hierbei analog der Herstellung von STO/Si-Transistoren und ist im Anhang B detailliert beschrieben. Ein abschließender Passivierungsschritt mit Forminggas ($450^\circ C$) konnte nicht durchgeführt werden, da PZT mit H_2 reagiert. Als Elektrodenmaterial wurde 100 nm gesputtertes Platin sowohl für Source-, Drain- und wie auch Gateelektrode verwendet. Die elektrische Charakterisierung der Transistoren erfolgte wiederum in einer Metallbox.

In Abbildung 6.6a sind die charakteristischen Kennlinien $I_{SD}(V_{SD})$ eines PZT/STO/Si-Transistors für verschiedene Gatespannungen V_G gezeigt. Der Gateschichtstapel dieser Probe bestand aus einer einer 150nm dicken CSD PZT-Schicht auf einer 10 nm STO/Si-Schicht. Die Kanaldimension des gemessenen Transistors beträgt $L \times W = 50 \times 100 \mu m^2$. Anhand des flachen, fast konstanten Kurvenverlaufes im Sättigungsbereich kann man erkennen, dass der Leckstrom zwischen Gateelektrode und Substrat im Gegensatz zum STO/Si-Transistor (Abbildung 5.15) sehr klein ist.

Eine ferroelektrische Schicht in einem Gateschichtstapel eines Feldeffekttransistors sollte zu einer Hysterese zwischen der Hin- und Rückkurve in der Transfer-Kennlinie des Transistors führen. Dies wurde ausführlich in Kapitel 1.3.2 beschrieben. Dort ist desgleichen die Herleitung der Transfer-Kennlinie eines Transistors mit einem ferroelektrischen Gateoxid nach Miller und McWhorter zu finden. In Abbildung 6.6 wird nun die Messung der Transfer-Kennlinie eines PZT/STO/Si-Transistors gezeigt. Aufgetragen ist der Ka-

nalstrom I_{SD} in Abhängigkeit der Gatespannung V_G bei einer konstanten Kanalspannung von $V_{SD} = 0.1 \text{ V}$. Die Kanaldimension des Transistors beträgt $L \times W = 100 \times 100 \mu\text{m}^2$. Gezeigt wird eine Hin- und eine Rückkurve. Analog zu den Messungen an PZT/STO/Si-Dioden ist entsprechend auch hier eine Verschiebung der Kennlinie zu beobachten und nicht der von Miller und McWhorter berechnete hysteretische Verlauf. Dennoch lassen sich solche Strukturen technologisch als Speicher verwenden, da prinzipiell eine Separation zweier (stabiler) Zustände möglich ist. Für die Anwendung als Speicherelement ist es unerheblich, ob der Transistor durch einen negativen oder einen positiven Spannungspuls in den *on*-Zustand gebracht wird.

6.2 Polykristalline PZT/Pt/CeO₂/Si-Gateschichten

Dieses Kapitel behandelt elektrische und strukturelle Messungen an polykristallinen PZT-Schichten auf Pt/CeO₂/Si-Schichten. Dieses Schichtsystem wurde entwickelt, da eine direkte Abscheidung von PZT mittels Hochdruckspütern und CSD-Prozess auf (111)-texturierte CeO₂/Si-Schichten nicht mit der erforderlichen Güte gelang. Durch eine lediglich 10-20 nm dünne (111)-texturierte Platin-Zwischenschicht (seed layer), konnten CSD PZT-Schichten mit sehr guten ferroelektrischen Eigenschaften in den Gateschichtstapel integriert werden. Da die dünne Platin-Zwischenschicht nicht elektrisch kontaktiert wird, nennt man diesen MFMS-Schichtstapel *Floating-Gate-Struktur*, siehe auch Kapitel 1.3.3.

Floating-Gate-Schichtstrukturen haben den Vorteil, dass man diese leicht zur Charakterisierung der einzelnen dielektrischen und ferroelektrischen Schichten des Gatestapels modifizieren kann. So stellt beispielsweise die Gateelektrode, mit samt der sich darunter befindlichen PZT-Schicht und der Floating-Elektrode, eine ferroelektrische Kondensatorstruktur dar, welche sich zur Charakterisierung ferroelektrischer Eigenschaften nutzen lässt. Auch die dielektrische CeO₂-Schicht kann nach der Fertigstellung der MFMS-Struktur durch eine Kontaktierung der Floating-Elektrode als MIS-Diode gemessen werden.

Probenherstellung

Dünne CeO₂-Schichten (20 nm) wurden mittels PLD auf gereinigte Silizium-Substrate abgeschieden. Als Prozessparameter wurden die in Kapitel 5.2 angegebenen Parameter für Druck und Temperatur verwendet, als reaktives Prozessgas wurde Sauerstoff eingesetzt. Danach wurden bei Raumtemperatur 10-20 nm dünne Platinschichten auf die CeO₂/Si-Proben in Argongas gesputtert. Anschließend wurden die platinieren Proben bei 700 °C für ca. 1 min in Forminggas getempert. Hier wurde bei der Forminggas-Temperatur eine deutlich höhere Temperatur gewählt (sonst ≈ 450 °C), da bei einer CSD PZT-Abscheidung ein Kristallisationsschritt bei 700 °C durchgeführt werden muss. Es hat sich gezeigt, dass eine Temperung platinierter Substrate bei gleicher Temperatur wie zur Kristallisation der PZT-Schicht erforderlich (700°C), eine Verbesserung der ferroelektrischen Eigenschaften der PZT-Schicht zur Folge hat. Anschließend wurden ca. 150 nm dicke PZT-Schichten, vermittels dem in Kapitel 4.1 beschriebenen CSD-Verfahren, auf die Pt/CeO₂/Si-Proben abgeschieden. Für die elektrische Charakterisierung wurde eine Gateelektrode aus Platin auf die PZT/Pt/CeO₂/Si-Proben gesputtert. Anschließend wurden die oben angesprochenen Teststrukturen mittels optischer Lithographie und Ionenstrahlätzen strukturiert. Im Anhang B werden die Herstellung und das Layout der Teststrukturen einer Probe ausführlicher beschrieben.

6.2.1 Strukturelle Charakterisierung

Die strukturelle Charakterisierung erfolgte auch bei diesem Schichtsystem mittels XRD

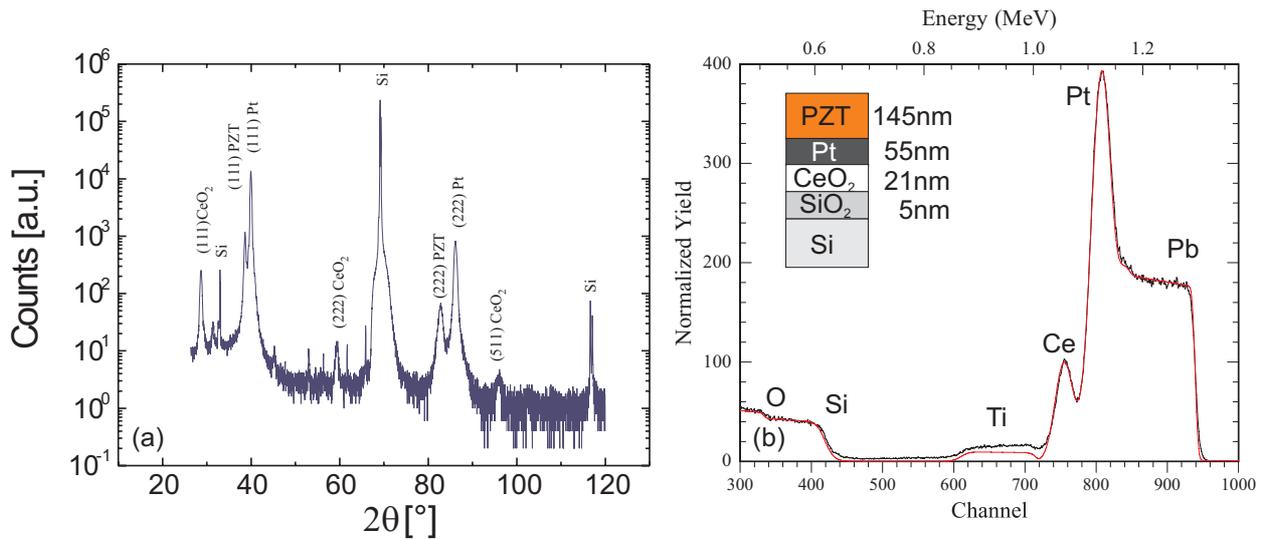


Abbildung 6.7: (a) Θ - 2Θ -Scan einer PZT/Pt/CeO₂/Si-Probe. Sowohl das Platin als auch das PZT zeigen eine (111)-Texturierung auf der (111) orientierten CeO₂-Schicht. (b) RBS-Messung und Simulation des Spektrums der gleichen Probe.

und RBS. Abbildung 6.7a zeigt den Θ - 2Θ -Scan einer PZT/Pt/CeO₂/Si-Probe bei $\psi = 0^\circ$. Diese Messung zeigt zum einen eine weitestgehend (111)-texturierte polykristalline CeO₂-Schicht und eine (111)-orientierte Pt-Schicht. Die CSD PZT-Schicht besitzt der Messung zufolge ebenfalls eine deutliche (111)-Orientierung. Es sind einige kleine Peaks mit vernachlässigbarer Intensität erkennbar, die nicht zweifelsfrei identifiziert werden konnten. In Abbildung 6.7b wird eine RBS-Messung der gleichen Probe dargestellt. Hierin stellt die schwarze Kurve die experimentelle und die durchgezogene rote Kurve die simulierte Messkurve dar. Aus letzterer wurden die Schichtdicken der einzelnen Schichten bestimmt (siehe Skizze in gleicher Abbildung). Diffusionen einzelner Elemente, beispielsweise von Pt und Pb wurden nicht beobachtet. Es konnte kein Channeln von Helium-Ionen beobachtet werden, was auf eine stark texturierte bzw. polykristalline PZT-Schicht schließen lässt.

6.2.2 Elektrische Charakterisierung

Aus den PZT/Pt/CeO₂/Si-Proben wurden mittels optischer Lithografie drei unterschiedliche Teststrukturen strukturiert:

- MFM-Kondensatoren zur Charakterisierung der PZT Schicht.
- MIS-Dioden zur Charakterisierung der CeO₂ Schicht nach der Prozessierung.
- MFMI-Dioden zur Charakterisierung der ferroelektrischen Floating-Gate-Struktur.

MFM-Kondensator

Abbildung 6.8a zeigt P(V)-Messungen an einem MFM-Kondensator mit einer ≈ 150 nm dicken CSD PZT-Schicht bei einer Kleinsignalfrequenz von $f = 100$ Hz. Die Messungen

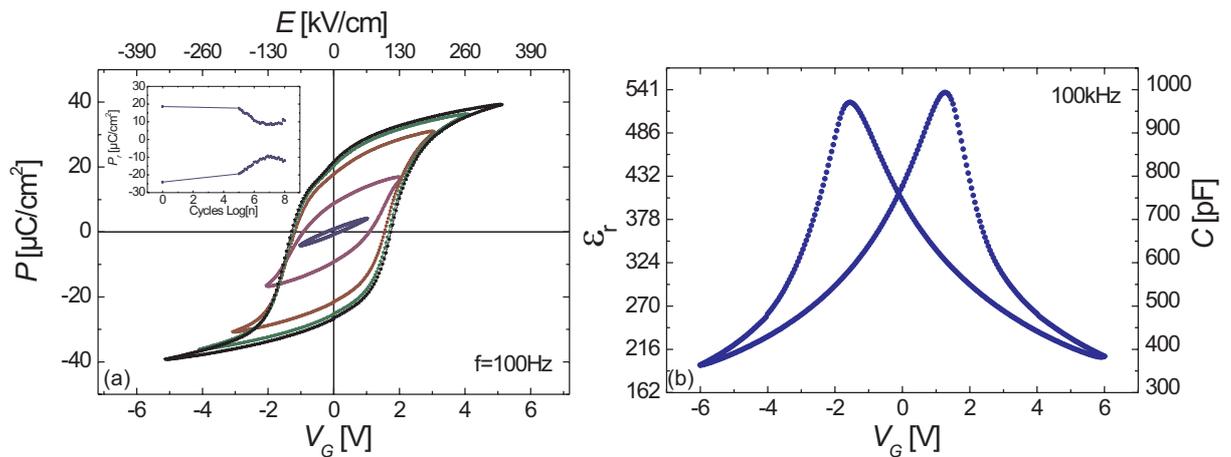


Abbildung 6.8: Elektrische Messungen an einem MFM-Kondensator mit einer 150 nm dicken CSD PZT-Schicht. (a) Hysteresemessungen bei einer Frequenz von $f = 100$ Hz. Gezeigt werden gesättigte und ungesättigte Hysteresen. Das kleine Diagramm zeigt eine Fatigue-Messung. (b) Kapazitätsmessungen eines MFM-Kondensators bei $f = 100$ kHz.

wurden mit einem AixACCT-Analyzer ausgeführt, die Kontaktierung der Kondensatoren erfolgte über Nadeln. Gezeigt werden Hysteresemessungen unterschiedlicher Maximalspannungen. Während bei Spannungen kleiner als ± 4 V typische Subschleifen erkennbar sind, wird bei Spannungen oberhalb von ± 5 V die Sättigungspolarisation P_s der ferroelektrischen Schicht erreicht. Diese beträgt für die hier gezeigte PZT-Schicht ca. $P_s = 40 \mu\text{C}/\text{cm}^2$. Für die remanente Polarisation P_r im Sättigungsfall wurde ein Wert von $P_r = 20 \mu\text{C}/\text{cm}^2$ ermittelt. Die Koerzitivfeldstärke der Schicht beträgt $E_c = 130 \text{ kV}/\text{cm}$, entsprechend einer Koerzitivspannung von 2 V. Die leichte Verkipfung der Hysteresekurven könnte durch einen rein dielektrischen Anteil der Schicht erklärt werden (dead layer). Das kleine Diagramm in Abbildung 6.8a zeigt eine Fatigue-Messung der gesättigten Hysteresen. Hierin wird deutlich, dass die remanente Polarisation P_r der Hysteresen bis 10^5 Zyklen stabil bleibt und bei höherer Zyklenanzahl bis auf den halben Anfangswert absinkt.

In Abbildung 6.8b wird die Kapazitätsmessung eines MFM-Kondensators bei einer Frequenz von $f = 100$ kHz dargestellt. Die Kurve zeigt den typischen schmetterlingsförmigen Verlauf ferroelektrischer Schichten, verursacht durch das Umklappen permanenter Dipole in der ferroelektrischen Schicht. Die elektrischen Charakterisierungen der CSD PZT-Schichten von PZT/Pt/CeO₂/Si-Strukturen zeigt, dass die PZT-Schichten sehr gute ferroelektrische Eigenschaften aufweisen.

MIS-Diode

In Abbildung 6.9a werden die Kapazitätsmessungen zweier MIS-Pt/CeO₂/Si-Dioden gezeigt. Während eine der beiden MIS-Dioden unmittelbar nach der CeO₂-Deposition strukturiert und gemessen wurde, wurde die andere MIS-Diode nach der Deposition des ge-

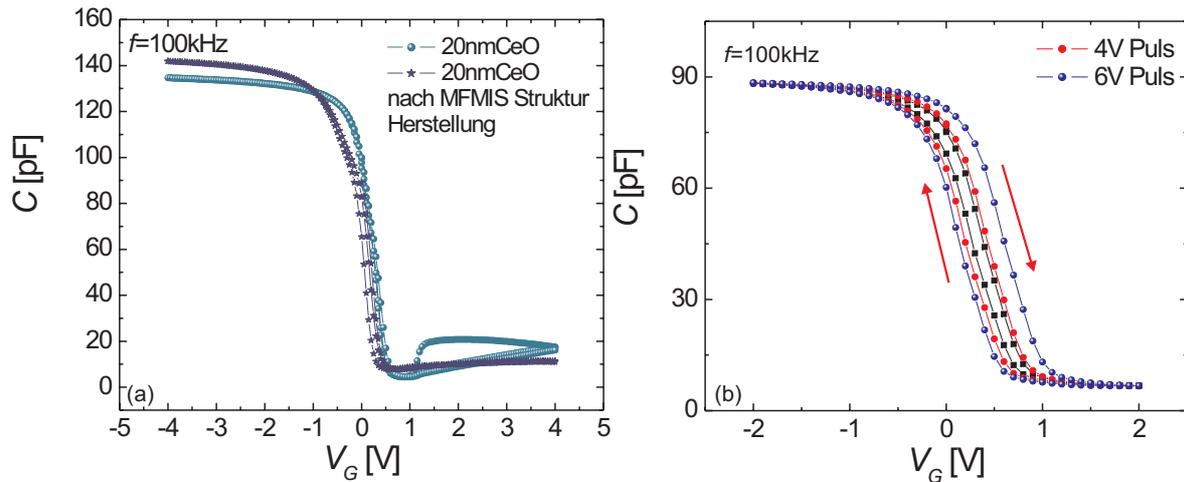


Abbildung 6.9: (a) $C(V)$ -Messungen von Pt/CeO₂/Si-Dioden vor und nach der MFMISS-Gateschicht-Herstellung. (b) $C(V)$ -Messung einer Pt/PZT/Pt/CeO₂/Si-Diode (MFMISS-Diode).

samten Pt/PZT/Pt/CeO₂/Si-Schichtstapels mittels optischer Lithographie und Ionenstrahlätzen hergestellt und gemessen. Beide Kurven sind bei einer Kleinsignalfrequenz von $f = 100 \text{ kHz}$ aufgezeichnet worden und zeigen einen ähnlichen Verlauf. Wichtige Parameter wie Flachbandspannung und maximale Kapazität (ϵ_{eff}) sind nahezu gleich. Dies deutet darauf hin, dass sich durch die Prozessierung des gesamten Gestapels, insbesondere durch den Kristallisationsschritt der PZT-Schicht bei $700 \text{ }^\circ\text{C}$ in Sauerstoffatmosphäre, die SiO₂-Zwischenschicht nicht signifikant vergrößert hat. Aus dem Kapazitätswert in der Akkumulation und der Schichtdicke der CeO₂-Schicht, sowie der Fläche des MIS-Kontaktes von $\mathcal{A} = 3.142 \cdot 10^{-4} \text{ cm}^2$, lässt sich die effektive Dielektrizitätszahl der MIS-Test-Diode zu $\epsilon_{\text{eff}} = 10.1$ berechnen.

MFMISS-Diode

Ein spezielles Spannungs-Puls-Verfahren wurde entwickelt, um die ferroelektrischen Floating-Gate-Schichten zu charakterisieren. Hierbei wurden $C(V)$ -Messungen zwischen $\pm 2 \text{ V}$ ausgeführt und zusätzlich ein Spannungspuls an den Wendepunkten bei $\pm 2 \text{ V}$ angelegt. Die Dauer des Spannungspulses betrug hierbei ca. 500 ms . Untersucht wurde die Größe der Hysterese der $C(V)$ -Kurve in Abhängigkeit von der Höhe des Spannungspulses. Abbildung 6.9b zeigt exemplarisch Messungen an einem MFMISS-Kontakt (Pt/PZT/Pt/CeO₂/Si-Diode) mit Floating-Elektrode. Hierin werden drei Messungen gegenübergestellt. Eine Messung ohne Spannungspuls, eine mit einem Spannungspuls von 4 V und eine weitere Messung, bei der ein Spannungspuls von 6 V angelegt wurde. Alle drei Kurven zeigen einen ähnlichen Kurvenverlauf und liegen sowohl im Akkumulationsbereich als auch im Inversionsbereich übereinander. In allen Kurven ist eine Hysterese erkennbar, die mit steigendem Spannungspuls größer wird. Die Hysteresen zeigen in jedem der Fälle

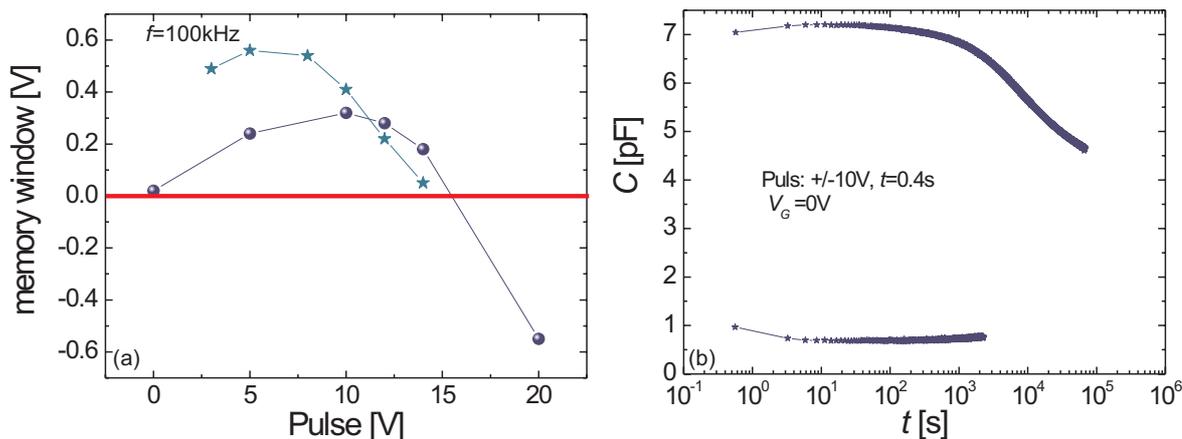


Abbildung 6.10: (a) Abhängigkeit der Größe der Hysterese aus C(V)-Messungen von der Höhe der Spannungspulse. Gezeigt werden Messungen zweier Kontakte. (b) Retentionmessung nach einem Spannungspuls von ± 10 V und einer Pulsdauer von 0.4 s.

eine für ferroelektrische Dioden typische Durchlaufrichtung.

Abbildung 6.10a zeigt die Auftragung der Größe einer gemessenen Hysterese (memory-window) in Abhängigkeit der angelegten absoluten Spannung (Größe der Spannungspulse) für zwei verschiedene Dioden. Eine Erhöhung der Spannung führt demnach zunächst zu einer Vergrößerung der Hysterese, was durch eine zunehmende Ausrichtung permanenter Dipole in der ferroelektrischen PZT-Schicht erklärt werden kann (Erhöhung der Remanenz). Ab einer Spannung von ca. 8-10 V erreicht die Hysterese (Memory Window) ein Maximum und wird bei weiterer Spannungserhöhung kleiner bis sie negativ ist, was einer Umkehrung des Umlaufsinn der Hysterese entspricht. Eine naheliegende Erklärung hierfür sind Ladungsträgerinjektionen in die CeO₂-Schicht, die durch die Überschreitung der kritischen Feldstärke in der CeO₂-Schicht verursacht wird.

Warum ist die Größe einer Hysterese bei einer angelegten Gate-Spannung von ± 10 V weniger als 1 V? Im folgenden wird mit Hilfe von Messungen an MIS-Test-Dioden, MFM-Kondensatoren und MFMIS-Kontakten der Beantwortung dieser Frage nachgegangen. Zunächst wird ein einfaches Modell des MFMIS-Schichtstapels angenommen. Abbildung 6.11 zeigt das Ersatzschaltbild (links) und ein reduziertes Ersatzschaltbild (rechts) einer MFMIS-Diode. Da bei der Messung der MIS-Diode nicht zwischen SiO₂- und CeO₂-Kapazität unterschieden werden kann, sind diese im reduzierten Ersatzschaltbild zusammengefasst. Für die Gesamtkapazität, die an einer MFMIS-Diode abfällt, gilt:

$$\frac{1}{C_{\text{ges}}} = \frac{1}{C_{\text{PZT}}} + \frac{1}{C_{\text{CeO}_2+\text{SiO}_2}} \quad (6.3)$$

Daraus folgt für die Kapazität C_{PZT} :

$$C_{\text{PZT}} = \frac{C_{\text{ges}} \cdot C_{\text{CeO}_2+\text{SiO}_2}}{C_{\text{CeO}_2+\text{SiO}_2} - C_{\text{ges}}} \quad (6.4)$$

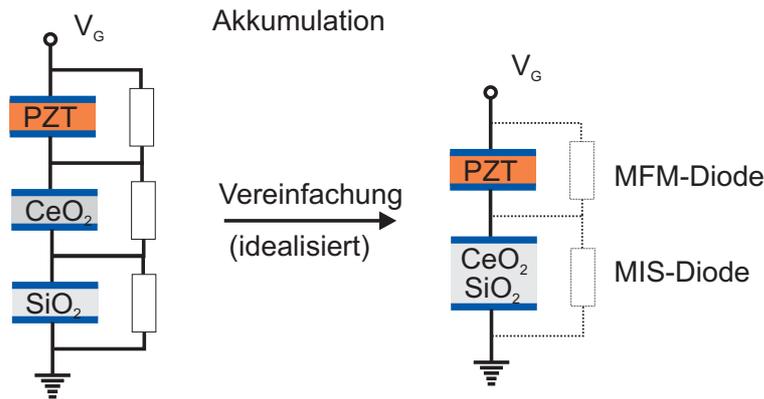


Abbildung 6.11: Ersatzschaltbild (links) einer MFMIS-Diode in Akkumulation. Rechts daneben wird ein stark vereinfachtes Ersatzschaltbild abgebildet.

Aus den Messungen erhält man bei gleicher Kontaktfläche von $\mathcal{A} = 3.14 \cdot 10^{-4} \text{ cm}^2$ für $\overline{C}_{\text{ges}} = 135 \text{ pF}$ und für $\overline{C}_{\text{CeO}_2+\text{SiO}_2} = 153 \text{ pF}$. Somit ist $\overline{C}_{\text{PZT}} = 1.148 \text{ nF}$. Vernachlässigt man die nichtlinearen Eigenschaften des ferroelektrischen Kondensators, so kann man über $C_{\text{ges}} = \frac{Q}{V_G}$ die über der ferroelektrischen Schicht abfallende Spannung V_{PZT} bei einer Gatespannung von $V_G = 6 \text{ V}$ berechnen. Für $C_{\text{ges}} = 135 \text{ pF}$ und $V_G = 6 \text{ V}$ erhält man für $Q = C_{\text{ges}} \cdot U_{\text{ges}} = 8.1 \cdot 10^{-10} \text{ C}$. Damit lässt sich V_{PZT} berechnen:

$$V_{\text{PZT}} = \frac{Q}{C_{\text{PZT}}} = \frac{8.1 \cdot 10^{-10}}{1.15 \cdot 10^{-9}} \text{ V} = 0.704 \text{ V} \quad .$$

Man kann V_{PZT} aber auch über Gleichung 1.53 bestimmen:

$$V_{\text{PZT}} = \frac{V_G}{\left(\frac{\epsilon_{\text{PZT}} \cdot d_{\text{CeO}_2+\text{SiO}_2}}{\epsilon_{\text{CeO}_2+\text{SiO}_2} \cdot d_{\text{PZT}}} + 1 \right)} = 0.76 \text{ V} \quad .$$

Hierin wurde $V_G = 6 \text{ V}$, $d_{\text{PZT}} = 145 \text{ nm}$, $d_{\text{CeO}_2+\text{SiO}_2} = 25 \text{ nm}$ mit $\epsilon_{\text{CeO}_2+\text{SiO}_2} = 10.1$ eingesetzt und für PZT eine Dielektrizitätskonstante von $\epsilon_{\text{PZT}} = 400$ angenommen. In Abbildung 6.12a werden Hysteresemessungen an einem 150 nm dicken MFM-Kondensator gezeigt. Bei angelegten Spannungen, die kleiner als 3 V sind, werden nur Subschleifen durchlaufen. Dabei sinkt die remanente Polarisation von $P_r = 8.8 \mu\text{C}/\text{cm}^2$ bei 2 V auf $P_r = 0.8 \mu\text{C}/\text{cm}^2$ bei 1 V. Nebenstehendes Diagramm zeigt die zugehörigen Verschiebungsströme. Einen ausgeprägten ferroelektrischen Anteil im Verschiebungsstrom kann erst bei Spannungen größer als 1 V beobachtet werden. Aus den obigen Abschätzungen erhält man einen Spannungsabfall von ca. 0.7-0.8 V über der PZT-Schicht bei einer Gesamtspannung von $V_G = 6 \text{ V}$. Diese Spannungen führen zu einem remanenten Polarisationsanteil von kleiner als $P_r = 0.5 \mu\text{C}/\text{cm}^2$. Dies entspricht einer Ladungsmenge von $Q = 1.57 \cdot 10^{-10} \text{ C}$. Überträgt man diese Ladungsmenge auf die MIS-Diode ($\text{CeO}_2+\text{SiO}_2$), so erhält man für die am Kondensator abfallende Spannung $U = \frac{Q}{C_{\text{CeO}_2+\text{SiO}_2}} = 1.0 \text{ V}$. Diese ist zwar größer als der gemessene Effekt, jedoch ist bei Gate-Spannungen von $V_G = 10 \text{ V}$ mit Ladungsträgerinjektionen in die Bufferschicht zu rechnen, was zu der abgeflachten Kurve in Abb. 6.10a führt. Immerhin fallen an der dünnen Bufferschicht

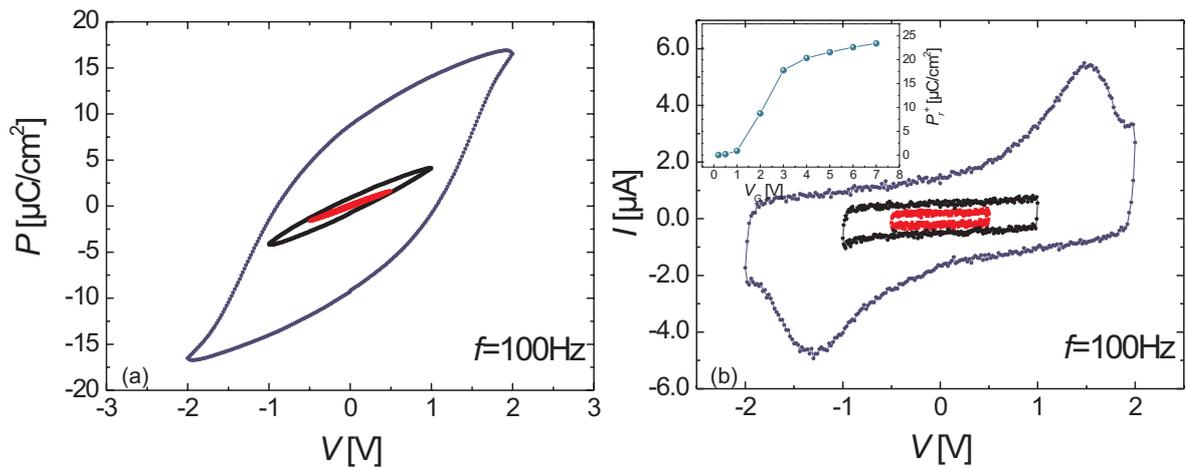


Abbildung 6.12: (a) $P(V)$ -Messungen einer 150 nm PZT-Schicht auf Pt. Dargestellt werden Subschleifen von 0.5 V, 1.0 V und 2.0 V. (b) Messung des Verschiebungsstroms der Subschleifen. Das kleine Diagramm zeigt die Auftragung von P_r in Abhängigkeit der am Kondensator angelegten Gatespannung V_G .

$V_{\text{CeO}_2+\text{SiO}_2} = (10 - 0.7) \text{V} = 9.3 \text{V}$ ab.

Interessant ist in diesem Zusammenhang die Frage nach der Größe des Feldes in der CeO₂-Bufferschicht, wenn die ferroelektrische PZT-Schicht im vorliegenden Gateschichtstapel vollständig polarisiert würde. Nimmt man für die maximale remanente Polarisation einen Wert von $P_r \approx 25 \mu\text{C}/\text{cm}^2$ an, so entspräche dies bei einem Kondensator der Fläche $A = 3.14 \cdot 10^{-4} \text{cm}^2$ einer Ladungsmenge von $Q = 7.85 \cdot 10^{-9} \text{C}$ an der Grenzfläche. Eine solche Ladungsmenge würde bei einer Kapazität des Bufferlayers von $C_{\text{CeO}_2+\text{SiO}_2} = 153 \text{pF}$ zu einem Spannungsabfall von 53 V führen! Dies entspricht wiederum einem elektrischen Feld von $E = 2.05 \text{GV}/\text{m}$, Größenordnungen höher als jede dielektrische Durchbruchfeldstärke. Angesichts dieser großen Felder wird schnell klar, dass man Ferroelektrika wie PZT allenfalls unter Ausnutzung von Subschleifen als ferroelektrisches Material in einem FeFET einsetzen kann, wobei deren zeitliche Stabilität allgemein angezweifelt wird. Aus diesem Grunde wurde ein alternatives Ferroelektrikum untersucht, welches nicht nur eine kleine dielektrische Konstante, sondern darüberhinaus auch eine deutlich geringere remanente Polarisation im Vergleich zu PZT aufweist. Die Ergebnisse aus diesen Untersuchungen werden nun im folgenden Kapitel präsentiert.

Kapitel 7

Dünne ferroelektrische P(VDF/TrFE)(70/30)-Schichten auf Silizium

Ferroelektrische Schichten mit einer remanenten Polarisation größer als $10 \mu\text{C}/\text{cm}^2$ (z.B. PZT) können zu sehr hohen elektrischen Feldern in der dielektrischen Bufferschicht einer MFIS-Strukturen führen. Elektrische Felder in der Nähe der Durchbruchfeldstärke, können eine Oxidschicht schädigen oder Ladungsträgerinjektionen aus dem Silizium-Substrat in die dielektrische Schicht verursachen. Ähnliches wurde im letzten Kapitel an ferroelektrischen Pt/PZT/Pt/CeO₂/Si-Dioden bei hohen Gatespannungen beobachtet.

Eine Reduktion der Feldstärke in der Oxidschicht lässt sich durch eine Erhöhung der Dielektrizitätskonstanten einerseits oder durch eine Reduktion der Dielektrizitätskonstante des Ferroelektrikums andererseits erreichen. Auch in der Materialklasse der Polymere gibt es Materialien mit ferroelektrischen und piezoelektrischen Eigenschaften. Das bekannteste ferroelektrische Polymer ist PVDF, welches seit Jahrzehnten in Form durchsichtiger Folien als piezoelektrische Schallwandler Anwendung findet (siehe Kapitel 2.1.1). PVDF besitzt eine Dielektrizitätskonstante von $\epsilon_r \approx 13$ und eignet sich deshalb als alternatives Ferroelektrikum in ferroelektrischen Gatestrukturen, während ϵ_r von PZT kann in dünnen Schichten einige 100 betragen kann. Allerdings sind die Koerzitivfelder, welche zum vollständigen Schalten einer Polymerschicht benötigt werden, deutlich höher als bei PZT-Schichten ($E_c = 70 \text{ MV}/\text{m}$). Bisherige auf Silizium basierende MFIS-Strukturen wurden mit dicken SiO₂-Schichten (80 nm) und dicken PVDF-Schichten (450 nm) hergestellt, entsprechend hoch waren die Operationsspannungen - es wurden Werte von ca. $V_G = 40 \text{ V}$ erreicht [165]! Eine zentrale Idee vorliegender Arbeit war es, die Operationsspannung von PVDF-MFIS-Strukturen auf Werte unterhalb von 10 V zu reduzieren. Hierfür sind hinreichend dünne PVDF-Schichten erforderlich.

Ein weiterer Vorteil von PVDF-Schichten gegenüber keramischen Ferroelektrika offenbart sich bei Betrachtung der Wachstumsbedingungen. Während keramischen Materialien, wie PZT oder BTO, ein gitterangepasstes kristallines Substrat neben einer hohen Abscheidetemperatur als Voraussetzung für ein gutes Schichtwachstum benötigen, können dünne

PVDF-Schichten sogar auf amorphen Materialien bei Raumtemperatur abgeschieden werden. In dieser Arbeit wurden dünne PVDF-Schichten auf dünne thermisch gewachsene SiO₂-Schichten, sowie dünne DyScO₃-Schichten abgeschieden und zu MFIS-Dioden und Transistoren strukturiert.

Probenherstellung

In einer Kooperation mit der Arbeitsgruppe von S. Ducharme von der Lincoln Universität in Nebraska wurden ferroelektrische P(VDF/TrFE)¹(70/30)-Schichten mit dem Langmuir-Blodgett Verfahren (siehe Kapitel 4.3) auf dünne dielektrische Schichten (SiO₂ und DyScO₃) abgeschieden und bei ca. 130 °C für eine Stunde in Luft getempert, um die ferroelektrischen Eigenschaften der Schichten zu verbessern. Mittels einer Schattenmaske wurden anschließend runde Elektroden aus Au thermisch auf die Proben aufgedampft. Auf dem weichen Polymer erwies sich die Kontaktierung der oberen Au-Elektroden mit Messnadeln als sehr schwierig, da diese leicht die Elektrode beschädigen. Ein sanfteres Aufsetzen der Nadeln führte nicht zu einer signifikanten Verbesserung. Durch einen Tropfen flüssiges InGa auf der Elektrode konnte ein zerstörungsfreier elektrischer Kontakt erfolgreich hergestellt werden. Hierzu musste die Nadel lediglich vorsichtig in das leitfähige InGa eingetaucht werden. Abbildung 7.1 zeigt die schematische Darstellung eines MFIS-Kontaktes mit einer InGa-Kontaktierung.

7.1 PVDF/SiO₂/Si MFIS-Dioden

7.1.1 Elektrische Charakterisierung

Im Temperaturbereich zwischen 60 °C - 100 °C zeigen P(VDF/TrFE)-Filme einen Phasenübergang erster Ordnung (siehe Kapitel 2.1.2). Dieser Phasenübergang läßt sich in der Temperaturabhängigkeit der Dielektrizitätskonstanten ϵ_{PVDF} einer PVDF-Schicht beobachten. Aus der Messung der Kapazität einer MFIS-Diode in Akkumulation kann die Temperaturabhängigkeit von ϵ_r der PVDF-Schicht bei Kenntnis der Gateschichtdicken (SiO₂ und PVDF) und der Kontaktfläche bestimmt werden. Für die Kapazität in Akkumulation gilt: $C = \epsilon_0 \cdot \epsilon_{\text{eff}} \frac{A}{t_{\text{ges}}}$. Eine Au/PVDF/SiO₂/Si-Diode in Akkumulation kann als eine Reihenschaltung zweier Plattenkondensatoren - der Kapazität der PVDF-Schicht und der Kapazität der SiO₂-Schicht - betrachtet werden. Aus dieser Reihenschaltung lässt sich die Dielektrizitätskonstante ϵ_{PVDF} der PVDF-Schicht berechnen:

$$\epsilon_{\text{PVDF}} = \frac{\epsilon_{\text{eff}} \cdot \epsilon_{\text{SiO}_2} \cdot t_{\text{PVDF}}}{\epsilon_{\text{SiO}_2} \cdot t_{\text{ges}} - \epsilon_{\text{ges}} \cdot t_{\text{SiO}_2}} \quad .$$

Hierin sind t_{ges} , t_{PVDF} , t_{SiO_2} , ϵ_{eff} , und ϵ_{SiO_2} die Schichtdicken und Dielektrizitätszahlen der Gesamt- und Siliziumschicht. Abbildung 7.1 zeigt die temperaturabhängige Kapazitätsmessung einer PVDF(36 nm)/SiO₂(10 nm)/Si-Diode. Während der Messung wurde eine mittlere Aufheiz- und Abkühlrate von ca. 2 K/min, sowie eine Gatespannung von

¹P(VDF/TrFE)(70/30): Poly-(Vinylidene-Fluoride/Tetra-Fluorethen) im Verhältnis 70/30.

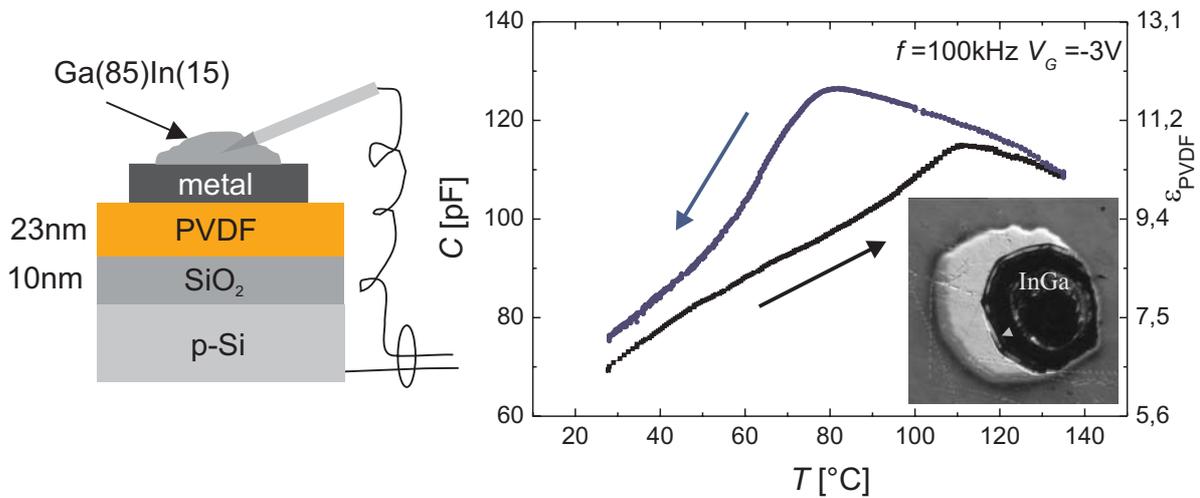


Abbildung 7.1: Links: Schematische Darstellung einer InGa-Kontaktierung. Rechts: Messung der Kapazität einer Au/PVDF/SiO₂-Diode in Akkumulation in Abhängigkeit der Temperatur ($V_G = -3\text{ V}$). Das Photo zeigt eine Diode mit InGa-Kontaktierung.

$V_G = -3\text{ V}$ an den Kontakt angelegt. Die gemessenen Auf- und Abkühlkurven zeigen den charakteristischen Verlauf eines Phasenübergangs erster Ordnung. Ein ganz ähnlicher Kurvenverlauf wurde von S. Ducharme *et al.* an ferroelektrischen MFM-Kondensatoren mit einer dünnen P(VDF/TrFE)-Schicht gemessen [166].

Ein Phasenübergang von ferroelektrischer- in die paraelektrische-Phase ist im Temperaturbereich zwischen 60 °C-100 °C für technische Anwendungen meist unvorteilhaft - bei vielen Anwendungen werden 100 °C und mehr als Betriebstemperatur vorausgesetzt (Automobil- oder Halbleitertechnologie). Jedoch birgt ein Phasenübergang bei diesen Temperaturen den Vorteil, dass elektrische Messungen mit geringem Aufwand sowohl in der ferroelektrischen als auch in der paraelektrischen Phase durchgeführt werden können. Auf diese Weise lässt sich prüfen, ob ein Effekt in einer der beiden Phase oder in beiden Phasen gemessen werden kann.

Abbildung 7.2a zeigt $C(V)$ -Kennlinien einer Au/PVDF/SiO₂/Si-Diode bei Raumtemperatur. Bei einer Gatespannung von $\pm 1\text{ V}$ ist nur eine sehr geringe Hysterese erkennbar ($\approx 150\text{ mV}$). Wird die Gatespannung erhöht, so vergrößert sich die Hysterese signifikant. Bei einer Gatespannung von $\pm 6\text{ V}$ wächst die Hysterese auf $\approx 1.3\text{ V}$. Der Durchlaufsinne der Hysterese ist durch Pfeile in Abbildung 7.2a gekennzeichnet und entspricht der für ferroelektrische MFIS-Dioden erwarteten Richtung. Sind die beobachteten Hysterese ferroelektrischen Ursprungs, so sollten diese bei höheren Temperaturen verschwinden. Dies zu überprüfen erfordert wiederum die Messung der $C(V)$ -Hysterese bei verschiedenen Temperaturen. Abbildung 7.2b zeigt die Auftragung der Größe der Hysterese in Abhängigkeit der Temperatur. Bei allen $C(V)$ -Messungen wurde eine Gatespannung von $\pm 2\text{ V}$ durchlaufen, die Probe wurde dabei durch eine Heizplatte auf eine konstante Temperatur geheizt.

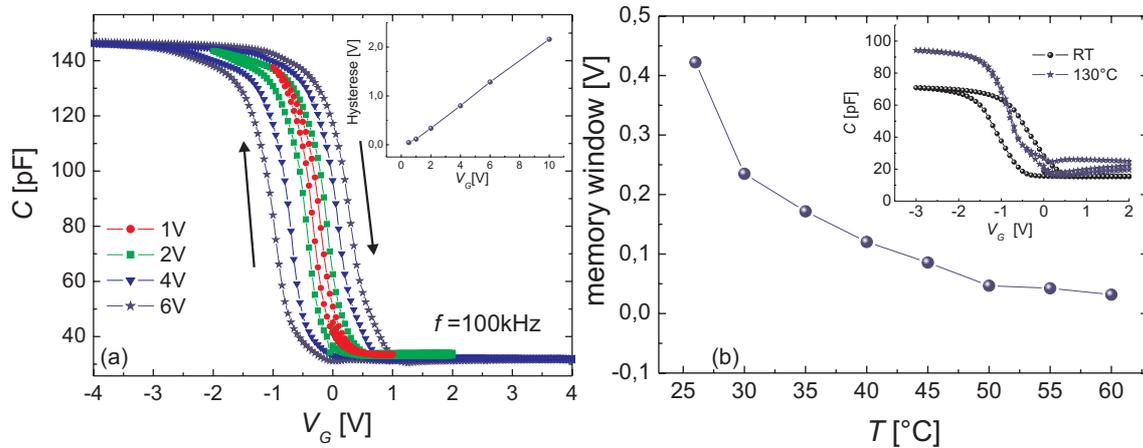


Abbildung 7.2: (a) $C(V)$ -Messungen einer MFIS-Diode bei Raumtemperatur (RT). Das Inset zeigt die Gatespannungsabhängigkeit der Größe der Hysterese. (b) Temperaturabhängigkeit der Hysterese. Das kleine Diagramm zeigt eine $C(V)$ -Messung bei RT und bei 130°C . Die Kurven in (a) und (b) wurden an Dioden unterschiedlicher Fläche gemessen.

Deutlich ist der Rückgang der Hysterese bei höheren Temperaturen zu beobachten. Exemplarisch wurden in gleicher Abbildung zwei $C(V)$ -Kennlinien einer Diode bei Raumtemperatur und bei $T=130^\circ\text{C}$ abgebildet. Es ist nicht nur ein Verschwinden der Hysterese bei der 130°C -Kurve erkennbar, vielmehr ist die gesamte Kurve zu höheren Kapazitäten hin verschoben. Dies kann durch die höhere Dielektrizitätskonstante der PVDF-Schicht in der paraelektrischen Phase erklärt werden. Aus der Temperaturabhängigkeit der Hysterese kann geschlossen werden, dass die Hysterese ferroelektrischen Ursprungs ist.

Im folgenden wird eine Abschätzung der elektrischen Feldstärke innerhalb der PVDF-Schicht einer $\text{Au/PVDF/SiO}_2/\text{Si}$ -Diode bei einer Gatespannung von $V_G=5\text{ V}$ gegeben. Das elektrische Feld E_{PVDF} innerhalb der PVDF-Schicht lässt sich aus der Gatespannung V_G , der SiO_2 - und der PVDF-Schichtdicke, sowie der Dielektrizitätskonstanten von PVDF und SiO_2 berechnen. Aus $C = Q/U$ und $C = \epsilon_0 \cdot \epsilon_r \cdot \frac{A}{d}$ folgt für die über der ferroelektrischen Schicht abfallende Spannung V_{PVDF} (Gl. 1.53) in Akkumulation:

$$V_{\text{PVDF}} = \frac{V_G}{\frac{\epsilon_{\text{PVDF}} d_{\text{SiO}_2}}{\epsilon_{\text{SiO}_2} d_{\text{PVDF}}} + 1} \quad (7.1)$$

Mit $d_{\text{SiO}_2} = 10\text{ nm}$, $d_{\text{PVDF}} = 36\text{ nm}$ und $\epsilon_{\text{PVDF}} = 9$ ist $V_{\text{PVDF}}(V_G = 5\text{ V}) = 2.5\text{ V}$ und somit $E_{\text{PVDF}} = 104\text{ MV/m}$. Für eine 30 Monolagen dicke $P(VDF/TrFE)$ -Schicht beträgt die Koerzitivfeldstärke $E_C = 1\text{ GV/m}$ [166, 167]. Diese einfache Abschätzung zeigt, dass die Koerzitivfeldstärke bei weitem nicht erreicht wird. Es ist davon auszugehen, dass bei Gatespannungen von 5 V und darunter lediglich ferroelektrische Subschleifen durchlaufen werden.

An den Dioden wurden Relaxationsmessungen durchgeführt, um deren Eignung als nicht-

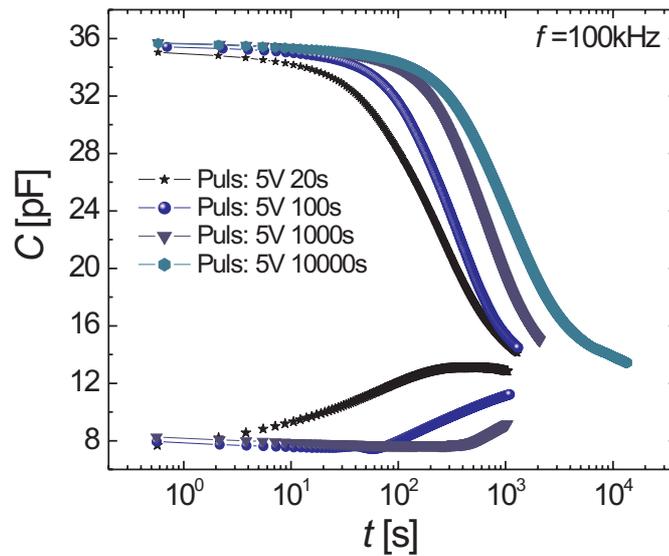


Abbildung 7.3: Relaxationsmessungen in Abhängigkeit der Pulsdauer. Vor jeder Messung wurde ein Spannungspuls von ± 5 V angelegt und anschließend die Kapazität bei $V_G = 0$ V gemessen.

flüchtige Speicher zu prüfen. Hierzu wurden an einem MFIS-Kontakt Spannungspulse von ± 5 V unterschiedlicher Pulslängen angelegt und anschließend zeitabhängig die Kapazität bei $V_G = 0$ V gemessen. Diese Messung kann als Test-Programmierung der MFIS-Diode aufgefasst werden - beispielsweise könnte ein positiver Puls (hohe Kapazität) einer logischen „1“ entsprechen, während folglich der negative Puls (niedrige Kapazität) einer logischen „0“ entspräche. Abbildung 7.3a zeigt solche Relaxations- bzw. Retentionmessungen. Je länger der Spannungspuls angelegt wird, desto größer ist die Relaxationszeit, jedoch relaxiert die Kapazität selbst bei einer Pulsdauer von 10000 s innerhalb von 1000 s (≈ 17 min). Dies ist für nicht-flüchtige Speicher-Anwendungen bei weitem nicht ausreichend. Eine Ursachenforschung für die kurzen Relaxationszeiten konnte im Rahmen dieser Arbeit nicht durchgeführt werden. Gründe und Ursachen, die zu einer kurzen Relaxationszeit führen können, sind:

- Ladungsaustausch zwischen dem Silizium-Substrat und der ferroelektrischen Schicht. Dabei können die Polarisationsladungen des Ferroelektrikums durch mobile Ladungen abgeschirmt werden. Das Ferroelektrikum bleibt hierbei polarisiert.
- Ein endliches Depolarisationsfeld in der ferroelektrischen Schicht - die Ladungsschwerpunkte der Polarisationsladungen und abschirmenden Ladungen fallen nicht zusammen - kann zu einer Depolarisation des Ferroelektrikums führen.
- Durch das geringe Feld in der ferroelektrischen Schicht wird diese nur unzureichend polarisiert und ist somit instabiler.

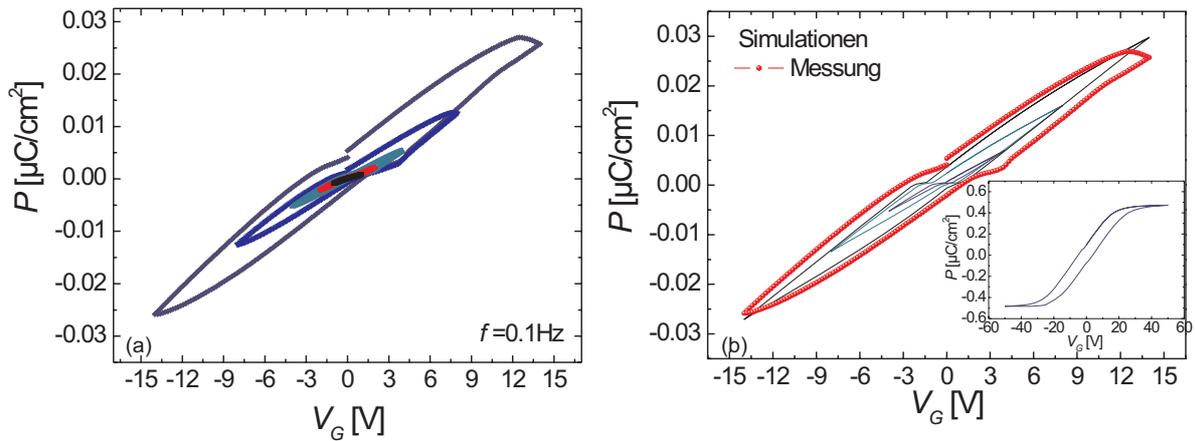


Abbildung 7.4: (a) Polarisationsmessungen an einer MFIS-Diode bei $f = 0.1 \text{ Hz}$. Der Knick in der Kurvenmitte wird durch die Kapazität der Verarmungszone hervorgerufen. (b) Simulation der $P(V)$ -Kurven einer $\text{PVDF}/\text{SiO}_2/\text{Si}$ -Diode. Das kleine Diagramm zeigt eine gesättigte Kurve.

An den MFIS-Dioden wurden Polarisationsmessungen mit einem AixACCT-Analyser bei einer Frequenz von $f = 0.1 \text{ Hz}$ durchgeführt. Abbildung 7.4a zeigt eine Serie von $P(V)$ -Messungen. Mit zunehmender Gatespannung werden die Hystereseen größer. Der Knick in der Mitte der Hysterese wird durch die Silizium-Kapazität (Raumladungszonen-Kapazität) hervorgerufen [32]. Durch die Serienkapazitäten aus ferroelektrischer, dielektrischer und Halbleiterkapazität erscheint die Hysterese nur sehr schmal und verkippt. In Abbildung 7.4b werden Simulationen der $P(V)$ -Kurven für unterschiedliche Gatespannungen gezeigt. Die Simulationen wurden von M. Fitsilis mit einem Device Simulator (SABER) unter Zuhilfenahme eines Modells für ferroelektrische Transistoren durchgeführt [29, 168]. Einzelheiten zu den Simulationen und den verwendeten Algorithmen können in Ref. [29] nachgelesen werden. Zum Vergleich wurde eine experimentelle Messkurve einer vergleichbaren MFIS-Diode mit in das Diagramm übernommen. Diese zeigt eine gute Übereinstimmung mit den simulierten $P(V)$ -Kurven. Das kleine Diagramm von Abbildung 7.4b zeigt die Simulation einer gesättigten Polarisationskurve. Bei dieser Simulation wurde eine Gatespannung von $V_G = 40 \text{ V}$ angenommen, um eine vollständige Polarisierung zu erreichen. Tabelle 7.1 zeigt eine Auflistung der verwendeten Simulationsparameter.

t_{SiO_2} [nm]	t_{PVDF} [nm]	P_s [$\mu\text{C}/\text{cm}^2$]	E_C [MV/cm]	ϵ_{PVDF}
17	35	4	500	13

Tabelle 7.1: Parameter für die $P(V)$ -Simulationen in Abbildung 7.4b.

7.1.2 Der Au/PVDF/SiO₂/Si-Transistor

Transistor-Herstellung

Zunächst wurde, wie bei allen bisher in dieser Arbeit gezeigten Transistoren, mit der Source- und Drain- Implantation und anschließender Aktivierung der implantierten Ionen bei 1000 °C in N₂ begonnen (siehe Anhang B). Nach erfolgter RCA-Reinigung wurde eine 10 nm dicke SiO₂-Schicht bei 700 °C für ca. 1 h in O₂ in einer Feuchtoxidationskammer gewachsen und anschließend bei 450 °C für 15 min in Forminggas getempert. Da eine Strukturierung der PVDF-Schichten mittels optischer Lithographie nicht durchgeführt werden konnte, wurden die Source- und Drain Elektroden vor der PVDF-Deposition metallisiert (100 nm Pt). Mit dem LB-Verfahren wurden 30 Monolagen (36 nm) P(VDF/TrFE)(70/30) auf die SiO₂-Schicht abgeschieden und bei 130 °C für 1 h in Luft getempert. Zuletzt wurden die Au-Gateelektroden mit Hilfe einer Schattenmaske thermisch aufgedampft. In Abbildung 7.5 werden drei photographische Momentaufnahmen der Transistorherstellung abgebildet. Das erste Bild zeigt eine Transistorzelle nach der Ionenimplantation und der Source- /Drain-Metallisierung. Das mittlere Bild zeigt eine Transistorzelle nach der PVDF-Deposition (30 ML). Bei dieser Vergrößerung, sind Strukturen im PVDF erkennbar. Die dunklen Bereiche sind die Source und Drain-Bereiche. Im untersten Bild wird ein fertiger Transistor nach der Gatemetallisierung dargestellt.

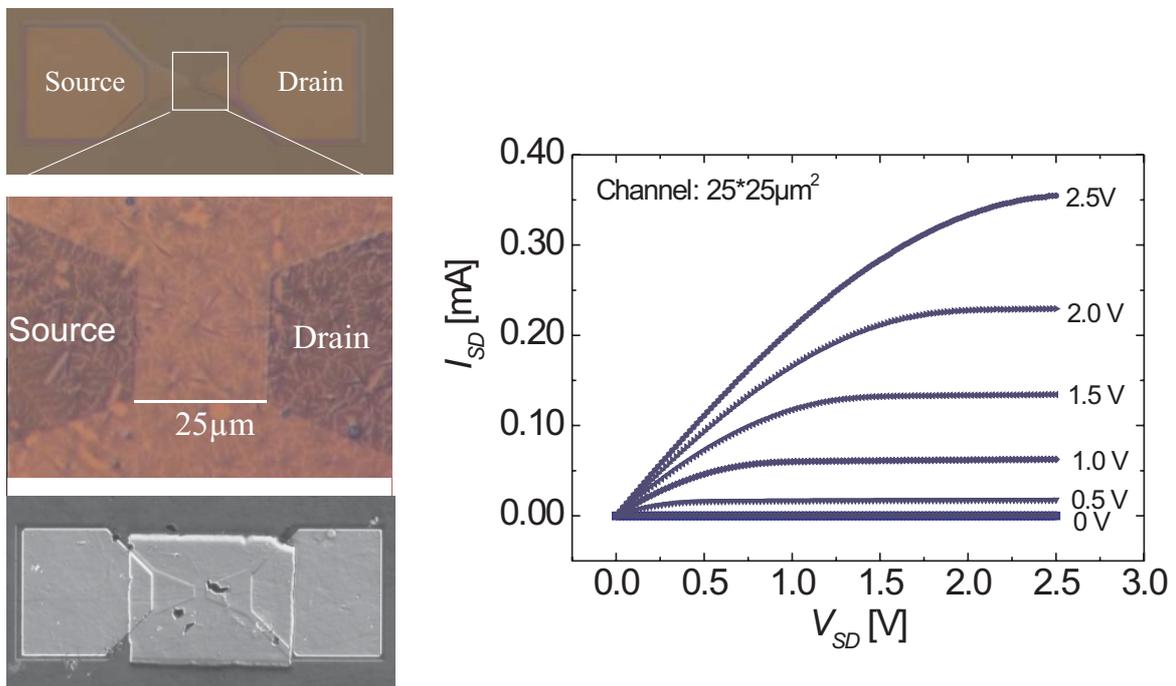


Abbildung 7.5: Optische Mikroskopieaufnahmen einer Transistorzelle. Oben: Bild eines Transistors nach der Ionenimplantation und der Fertigstellung der Source- und Drain-Elektroden. Mitte: Transistor nach der PVDF-Deposition. Unten: Transistor mit Gateelektrode (Au). Rechts: Charakteristische Kennlinien eines Au/PVDF/SiO₂/Si-Transistors bei verschiedenen Gatespannungen V_G .

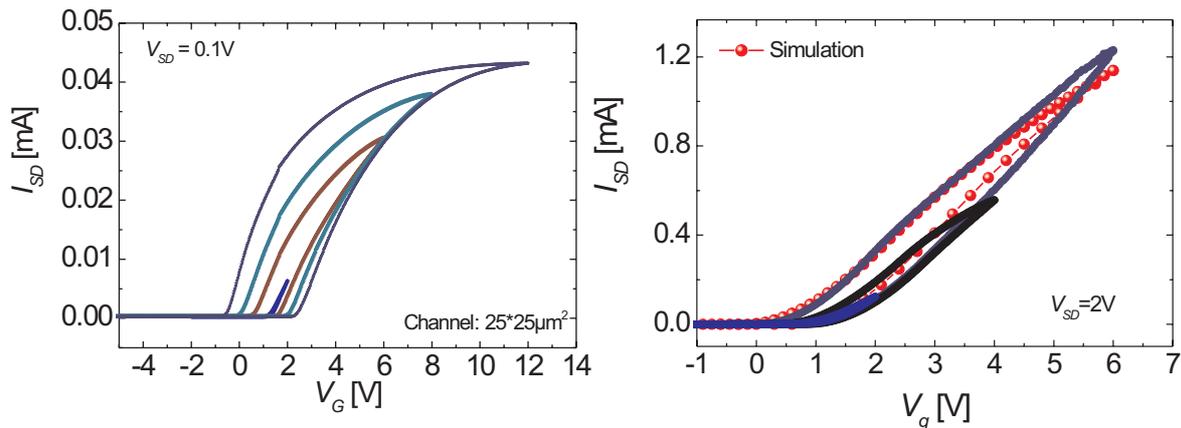


Abbildung 7.6: (a) Kanalstrom (I_{SD}) gegen Gatespannung V_G eines $W \times L = 25 \times 25 \mu\text{m}^2$ großen Kanals bei konstanter Kanalspannung $V_{SD} = 0.1\text{ V}$. (b) Simulation der $P(V)$ -Kurven. Die Simulationen wurden mit dem SABER-Tool durchgeführt. Zum Vergleich wurde eine gemessene Kurve in das Diagramm übernommen.

Elektrische Charakterisierung

Die Source- und Drain-Elektroden wurden mit einer Nadel direkt kontaktiert, wobei die Gate-Elektrode mit einem Tropfen InGa geschützt wurde. In Abbildung 7.5 wird eine Schar charakteristischer Kennlinien eines PVDF(36nm)/SiO₂(10 nm)/Si-Transistors mit einer Kanaldimension von $L \times W = 25 \times 25 \mu\text{m}^2$ abgebildet. Hierin wurde der Kanalstrom I_{SD} in Abhängigkeit der Kanalspannung V_{SD} für unterschiedliche Gatespannungen V_G mit einem Semiconductor-Analyzer aufgezeichnet. Die Kennlinien zeigen einen idealen Verlauf und sind im Sättigungsbereich annähernd spannungsunabhängig, was auf einen geringen Leckstrom zwischen der Gateelektrode und dem Substrat schließen lässt.

Abbildung 7.6a zeigt Transfer-Kennlinien des PVDF/SiO₂/Si-Transistors bei unterschiedlichen Maximalspannungen. Gemessen wurde der Kanalstrom I_{SD} in Abhängigkeit der Gatespannung V_G bei einer konstanten Kanalspannung von $V_{SD} = 0.1\text{ V}$. Zur besseren Darstellung wurde hier nur ein Ausschnitt zwischen $V_G = -5\text{ V}$ und $V_G = 12\text{ V}$ dargestellt, die angelegte Spannungsrampe hingegen ist in allen Fällen symmetrisch. Bei einer Spannung von $\pm 2\text{ V}$ beträgt die Hysterese weniger als 100 mV, während bei einer Spannung von $\pm 14\text{ V}$ die Hysterese eine Größe von 3 V erreicht. Retentionmessungen bzw. Relaxationsmessungen (hier nicht gezeigt) ergaben selbst bei hohen Gatespannungen Relaxationszeiten von lediglich 100-500 s, vergleichbar mit den Ergebnissen aus Relaxationsmessungen an MFIS-Dioden.

Abbildung 7.6b zeigt einen Vergleich von Simulationen der Transfer-Kennlinie mit einer gemessenen Kurve. Die Simulationen wurden wiederum unter Verwendung des SABER-Simulators durchgeführt. Es wurden hierbei die Transistorgeometrien, die Materialeigenschaften der Gateschichten und deren Dimensionen berücksichtigt. Weiterführende Informationen zum verwendeten Transistor-Modell und entsprechender

Simulationsroutinen finden sich in [29]. Die simulierten Transferkennlinien zeigen auch hier eine gute Übereinstimmung mit den gemessenen Kurven.

7.1.3 PDVF/DyScO₃/Si-Dioden und Transistoren

Im letzten Kapitel wurde gezeigt, dass durch Verwendung dünner PVDF (36 nm) und SiO₂-Schichtdicken (10 nm) in einer MFIS-Struktur, die Operationsspannung (für Speichieranwendungen) auf unter 10 V reduziert werden kann. Dennoch zeigen sowohl Simulationen, als auch eine simple Abschätzung, dass das elektrische Feld innerhalb der ferroelektrischen PVDF-Schicht bei maximal angelegter Gatespannung noch immer deutlich unterhalb der Koerzitivspannung einer dünnen PVDF-Schicht liegt. Wird nun anstelle einer dielektrischen SiO₂-Bufferschicht eine Schicht mit einer höheren Dielektrizitätszahl verwendet, so vergrößert sich nach Gleichung 1.53 die Spannung V_{PVDF} bei gleicher Gatespannung und entsprechend vergrößert sich das elektrische Feld in der PVDF-Schicht. Wird beispielsweise anstelle einer dünnen SiO₂-Schicht, eine Schicht mit deutlich höherem ϵ_r verwendet (high ϵ_r Dielektrikum), so sollte das Feld in der PVDF-Schicht deutlich ansteigen.

In Kapitel 5.3 wurden dünne dielektrische DyScO₃-Schichten auf Silizium charakterisiert. Die effektive Dielektrizitätszahl einer 20 nm dicken DyScO₃/Si-Schicht wurde zu $\epsilon_{\text{eff}} = 10.4$ bestimmt, das ist ca. das dreifache der Dielektrizitätszahl von SiO₂. Somit war es naheliegend diese Schichten in einem PVDF/DyScO₃/Si-Schichtstapel zu integrieren. Im folgenden werden die Ergebnisse aus Messungen an PVDF-MFIS-Dioden unter Verwendung einer 20 nm dünnen, dielektrischen DyScO₃-Schicht erläutert. Abschließend werden Kennlinien von Transistoren mit diesen Gateschichten gezeigt.

Herstellung von Dioden und Transistoren

Auf einem 10×10 mm² Si-Substrat wurden Pt/DyScO₃/Si-Dioden und Au/PVDF/DyScO₃/Si-Dioden strukturiert. Hierzu wurde eine 20 nm dicke DyScO₃-Schicht mittels PLD auf das Si-Substrat deponiert - die Depositions-Parameter wurden bereits in Kapitel 5.3 angegeben. Auf die eine Hälfte der Probe wurden zunächst runde Pt-Elektroden der Dicke (100 nm) auf die DyScO₃-Schicht gesputtert (MIS-Dioden). Anschließend wurde die gesamte Probe mit einer 20 nm dicken P(VDF/TrFE)(70/30)-Schicht überzogen. Zuletzt wurden runde Au-Elektroden mittels Schattenmaske thermisch auf die PVDF-Schicht abgeschieden.

Die PVDF/DyScO₃ Transistoren wurden analog zu den im letzten Kapitel beschriebenen PVDF/SiO₂/Si-Transistoren hergestellt. Zuerst wurde die Ionenimplantation durchgeführt, anschließend die DyScO₃-Schicht mittels PLD abgeschieden und die Source- und Drain-Kontakte gefertigt. Danach wurde eine 20 nm dicke PVDF-Schicht auf die DyScO₃-Schicht mittels LB-Verfahren übertragen und zuletzt eine Au-Gateelektrode mittels Schattenmaske aufgedampft.

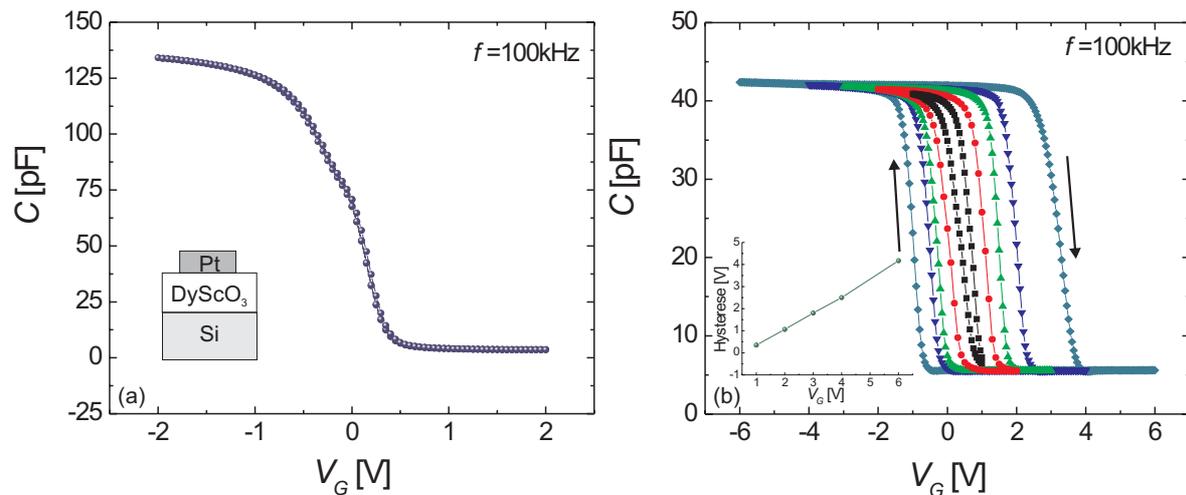


Abbildung 7.7: C(V)-Kennlinie einer MIS-Diode mit einer 20 nm dicken DyScO₃-Schicht. (b) C(V)-Kennlinien einer PVDF(20 nm)/DyScO₃(20 nm)/Si-Diode. Das kleine Diagramm zeigt die Abhängigkeit der Hysteresegröße von der maximal angelegten Gate-Spannung.

Elektrische Charakterisierung von PVDF/DyScO₃/Si-Dioden

Abbildung 7.7a zeigt die C(V)-Messung einer Pt/DyScO₃(20 nm)/Si-Diode zwischen $V_G = \pm 2$ V. Auch hier ist, wie auch bei den in Kapitel 5.3 präsentierten C(V)-Kennlinien von DyScO₃-MIS-Dioden, keine Hysterese zu erkennen. Die effektive Dielektrizitätskonstante wurde aus der Kapazität in der Akkumulation zu $\epsilon_{\text{eff}} \approx 10$ bestimmt. Die deutliche Anomalie im Bereich der Verarmungszone kann durch geladene Grenzflächenzustände verursacht worden sein. Eine Temperung in Forminggas (N₂H₂) könnte die Grenzflächenzustände neutralisieren und somit den Buckel reduzieren oder vollständig eliminieren. In Gegenwart einer PVDF-Schicht ist dies jedoch aus Gründen der Temperaturstabilität nicht möglich. Abbildung 7.7b zeigt eine Schar von C(V)-Messungen einer Au/PVDF/DyScO₃/Si-Diode bei unterschiedlichen maximalen Gatespannungen. Es zeigt sich bereits bei einer Gatespannung von ± 2 V eine Hysterese von ca. 1 V. Der Umlaufsinn der Hysterese wird in Abbildung 7.7b durch Pfeile gekennzeichnet und entspricht der für ferroelektrische Dioden erwarteten Richtung. Wird die Gatespannung auf ± 6 V erhöht, vergrößert sich die Hysterese auf 4 V. Diese ist deutlich höher, als bei der im vorhergehenden Kapitel behandelten PVDF/SiO₂/Si-Diode. Das kleine Diagramm der gleichen Abbildung zeigt wiederum eine Auftragung der Größe der Hysterese der gemessenen C(V)-Kurven in Abhängigkeit von der maximal angelegten Gatespannung V_G . Auch hier zeigt sich ein fast linearer Zusammenhang zwischen Hysteresegröße und Gatespannung, was darauf hindeutet, dass die maximale Polarisation der PVDF-Schicht noch nicht erreicht wurde.

Abbildung 7.8 zeigt eine Gegenüberstellung der Hysteresegrößen von PVDF-MFIS-Dioden mit dielektrischer SiO₂- und DyScO₃-Schicht in Abhängigkeit der angelegten maximalen

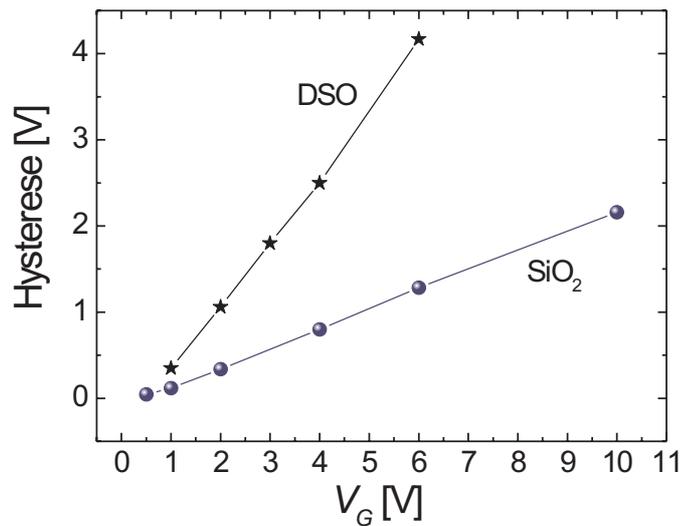


Abbildung 7.8: Hysteresengröße in Abhängigkeit der angelegten Gatespannung V_G für Dioden mit SiO₂ und DyScO₃ als dielektrischer Bufferschicht.

Gatespannung. Hierin wird deutlich, dass die gemessene PVDF/DyScO₃-Diode bei gleichen Gatespannungen deutlich größere Hysterese als die PVDF/SiO₂/Si-Diode zeigt. Dies kann durch die dünnere PVDF-Schicht, als auch durch die höhere effektive Dielektrizitätskonstanten der dielektrischen Bufferschicht, erklärt werden. In beiden hier gezeigten Dioden konnte die Sättigungspolarisation jedoch nicht erreicht werden. Wird das Koerzitivfeld in der PVDF-Schicht erreicht bzw. überschritten, so sollte die Größe der Hysteresis konstant bleiben. In Abbildung 7.4b wurde die P(V)-Simulation einer gesättigten PVDF/SiO₂/Si-Diode gezeigt. Die Größe der Hysteresis betrug ca. 9V, entsprechend mehr als das doppelte der gemessenen Werte in Abbildung 7.8 für Gatespannungen unterhalb von 10 V.

Relaxationsmessungen an Au/PVDF/DyScO₃-Dioden zeigten für die PVDF/DyScO₃/Si-Dioden Relaxationszeiten in der Größenordnung einiger Minuten und weisen somit keine signifikante Verbesserungen (Steigerungen) in Bezug auf Au/PVDF/SiO₂/Si-Dioden auf.

Elektrische Charakterisierung von PVDF/DyScO₃/Si-Transistoren

In diesem Kapitel werden die Kennlinien von PVDF/DyScO₃-Transistoren mit einer 40 nm dicken DyScO₃-Schicht und einer 20 nm dicken PVDF-Schicht präsentiert. Abbildung 7.9a zeigt die charakteristischen Kennlinien eines Transistors mit einer Kanaldimension von $100 \times 100 \mu\text{m}^2$. Die Transfer-Kennlinie des Transistors wird in Abbildung 7.9b dargestellt. Mit zunehmender Gatespannung wird die Hysteresis in der $I_{SD}(V_G)$ -Kennlinie größer. Bei einer Spannung von 10 V ist eine Verschiebung der rechten Flanke der Hysteresis zu niedrigeren Spannungen erkennbar. Dies wurde auch in anderen MFIS-Dioden bei hohen Spannungen beobachtet und wird wahrscheinlich durch Ladungsträgerinjektionen

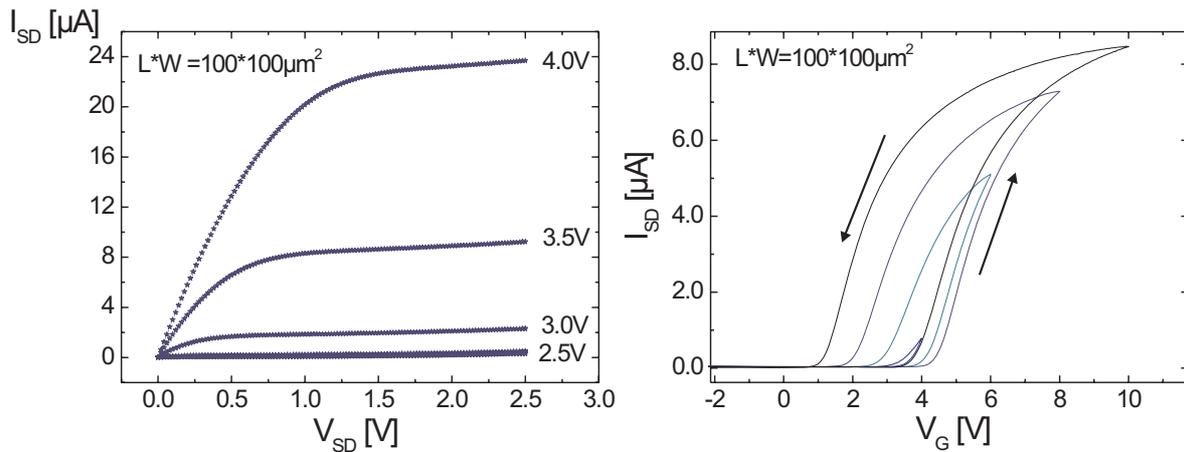


Abbildung 7.9: Elektrische Messungen an einem MFIS-Transistor mit einer PVDF(20nm)/DyScO₃(40 nm)/Si-Schichtstruktur. (a) Charakteristische Kennlinien des Transistors. (b) Transfercharakteristik mit spannungsabhängiger Hysterese.

verursacht.

Ausblick

Hinsichtlich einer möglichen Integration in funktionale Bauteile (Speicher) gehört das ferroelektrische Co-Polymer $P(\text{VDF}-\text{TrFE})$ sicherlich zu den derzeit interessantesten Materialien, die im Fokus der Forschung stehen. Es konnte gezeigt werden, dass durch angepasste Oxid- und PVDF-Schichtdicken die Operationsspannung einer MFIS-Diode unterhalb von 10 V gesenkt werden kann. Darüberhinaus wurde ein Weg aufgezeigt die Operationsspannung, mittels hoch ϵ_r -Materialien (DyScO₃), weiter zu senken. Nähme man für die Koerzitivfeldstärke einer dünnen PVDF-Schicht einen Wert von 0.5-1 GV/m² an und stelle sich eine 10 nm dünne PVDF-Schicht ohne dielektrische Zwischenschicht auf einem Siliziumsubstrat vor, so würde bei einer Gatespannung von 5-10 V die PVDF-Schicht vollständig polarisiert sein. Dies zeigt die theoretisch erreichbare Grenze für eine MFIS-Diode mit einer 10 nm dünnen PVDF-Schicht auf.

Ein für Speicheranwendungen enorm wichtiger Parameter ist die Langzeitstabilität der eingeschriebenen digitalen Information. Diese wird oft als Relaxations- bzw. als Retentionmessung bezeichnet. Sowohl die in dieser Arbeit behandelten PZT-MFMIS-Dioden, als auch die soeben dargestellten PVDF-MFIS-Dioden, zeigten Relaxationszeiten in der Größenordnung einiger Minuten, zu kurz für nicht-flüchtige Speicheranwendungen.

Anhang A

Ableitung der Hochfrequenz CV-Kurve

In diesem Kapitel wird die Herleitung der Hochfrequenz-CV-Kurve einer MOS-Diode gegeben. Hierzu wird, ausgehend vom Oberflächenpotential ψ_S , die Poissongleichung gelöst. Dabei macht man sich die sogenannte Bandverbiegungsnäherung zunutze. Diese besagt, dass die Zustandsdichte der Ladungsträger sowohl im Leitungs- als auch im Valenzband unabhängig von einem äußeren elektrischen Feld ist. Ein äußeres elektrisches Feld hat lediglich zur Folge, daß alle Energieniveaus um einen konstanten Faktor verschoben werden. Diese Näherung ist für die meisten MOS-Anwendungen gültig. Die Zustandsdichte $M_C = M_C[E + q\psi(x)]$ ist somit eine Funktion der Bandverbiegung $\psi(x)$. Daraus kann die Löcherdichte $p(x)$ im Valenzband in Anwesenheit eines elektrischen Feldes bestimmt werden:

$$p(x) = N_A \exp\left(-\frac{q\psi(x)}{kT}\right) \quad . \quad (\text{A.1})$$

Es ist zweckmäßig die dimensionslosen Potentiale $u(x)$ und $v(x)$ einzuführen, die wie folgt definiert sind:

$$u(x) \equiv \frac{q\phi(x)}{kT} \quad \text{und} \quad v(x) \equiv \frac{q\psi(x)}{kT} \quad . \quad (\text{A.2})$$

Daraus folgt für die Löcherdichte $p(x)$:

$$p(x) = n_i \exp(-u(x)) = N_A \exp(-v(x)) \quad . \quad (\text{A.3})$$

An der Siliziumoberfläche, d. h. bei $x=0$, gilt $u(0) = u_s$ und $v(0) = v_s$. Somit gilt für die Majoritätsladungsdichte $p_s = n_i \exp(-u_s) = N_A \exp(-v_s)$ und über die Relation $np = p_i^2$ erhält man die Minoritätsladungsdichte $n(x)$:

$$n(x) = \frac{p_i^2}{N_A} \exp[-v(x)] \quad . \quad (\text{A.4})$$

Es lassen sich zwei unterschiedliche Kapazitäten für einen MOS-Kondensator definieren. Zum einen die *statische* Kapazität $C_{\text{stat}} \equiv \frac{Q_T}{V_G}$ mit der totalen Ladungsdichte Q_T und der

angelegten Bias-Spannung V_G und zum anderen die *differentielle* Kapazität $C \equiv \frac{dQ_T}{dV_G}$. Diese Kapazitäten sind identisch für lineare und unterschiedlich für nichtlineare¹ Kondensatoren, wie z. B. den MOS-Kondensator. Wie zuvor geschildert, besteht die Gate-Spannung bei einer Messung mit einer Messbrücke aus einer konstanten Spannung V_G und einer überlagerten ac-Kleinsignalspannung $\delta V_G(t)$. Man betrachte nun eine MOS-Diode in Inversion bei hoher Messfrequenz. Die Raumladungszone und damit auch die Inversionsschicht dehnt und staucht sich im Zyklus der Kleinsignalspannung. Da die Inversionladungsträgerdichte konstant ist, müssen bei einer räumlichen Veränderung der Inversionsschicht die Zustände entweder direkt oberhalb oder direkt unterhalb des Fermi-niveaus besetzt werden. Dies kann durch ein *quasi*-Fermi-niveau E_{Fn} beschrieben werden, das sich im Wechsel der Kleinsignalspannung auf- und abbewegt. Die Elektronendichte $n(x, t)$ im Abstand x zur Siliziumgrenzfläche und der Zeit t kann wie folgt in Abhängigkeit des quasi-Fermi-niveaus angegeben werden:

$$n(x, t) = n_i \exp[v(x, t) + u_{Fn}(t)], \quad (\text{A.5})$$

mit $u_{Fn} \equiv \frac{E_{Fn} - E_i}{kT}$ und $v(x, t) = \frac{q\psi(x, t)}{kT}$. Für p-Silizium ist die Ladungsträgerdichte pro Volumeneinheit durch $\rho = q[p - N_A - n]$ gegeben. Diese lässt sich mittels der Gleichungen 1.14, A.2, A.3 und A.5 und der Relation $\frac{N_A}{n_i} = \exp(-u_B)$ zu

$$\frac{\rho}{q} = p - N_A - n = n_i \{ \exp(-u_B) [\exp(-v) - 1] - \exp(v + u_{Fn}) \}$$

berechnen. Unter Anwendung der eindimensionalen Poisson-Gleichung $\frac{d^2\phi(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_s}$ erhält man:

$$\frac{d^2v}{dx^2} = \lambda_p^{-2} [1 - \exp(-v) + \exp(v + u_{Fn} + u_B)] \quad . \quad (\text{A.6})$$

Hierin ist λ_p die *intrinsische Debye-Länge*, definiert durch:

$$\lambda_p \equiv \left(\frac{\epsilon_s kT}{q^2 N_A} \right)^{1/2} \quad (\text{A.7})$$

Die Integration von Gleichung A.6 zwischen $v = 0$ und $v = v_s$ liefert das dimensionslose elektrische Feld E_s an der Siliziumoberfläche bei $x = 0$ ($v_s > 0$):

$$\left. \frac{dv}{dx} \right|_{x=0} = F(v_s, u_{Fn}, u_B) \lambda_p^{-1} \quad \text{mit} \quad (\text{A.8})$$

$$F(v_s, u_{Fn}, u_B) = \sqrt{2} \{ v_s + \exp(-v_s) - 1 + \exp(u_B - u_{Fn}) [\exp(v_s) - 1] \}^{1/2} \quad .$$

Diese Integration ist nicht auf direktem Wege möglich, darum wird hier nur das Resultat angegeben. Die schrittweise Deduktion kann in Ref. [15], Kapitel 2.3.2d nachgelesen werden. Eine weitere Vereinfachung ergibt sich durch Einführung der Kleinsignalgrößen:

$$u_{Fn} = u_B + \delta u_{Fn} \quad \text{und} \quad (\text{A.9})$$

¹Nichtlinearen Kondensatoren ändern ihre Kapazität nicht linear mit der angelegten Spannung.

$$v_s = v_{so} + \delta v_s \quad . \quad (\text{A.10})$$

Hierin ist v_{so} die totale Bandverbiegung bei $x = 0$, verursacht durch die angelegte Biasspannung und δv_s die durch das ac-Signal verursachte Bandverbiegung. Aus dem dimensionslosen elektrischen Feld kann die differentielle Kapazität im Silizium direkt bestimmt werden. Man kann sich diese als einen Plattenkondensator mit der Siliziumoberfläche als der einen Elektrode und Majoritätsladungsträger am Ende der Raumladungszone als der anderen Elektrode vorstellen. Für die differentielle Kapazität C_s gilt dann:

$$C_s = \epsilon_s \frac{\delta}{\delta v_s} \left(\frac{dv}{dx} \right)_{x=0} . \quad (\text{A.11})$$

Unter Einsatz von Gleichung A.8, der Kleinsignalapproximation $u_{Fn} \approx u_B$ und der Relation $(\delta/\delta v_s) \exp(u_{Fn}) = (\delta u_{Fn}/\delta v_s) \exp(u_{Fn})$ C_s kann berechnet werden:

$$C_s = \epsilon_s \lambda_p^{-1} \left\{ 1 - \exp(-v_s) + \frac{n_i}{N_A}^2 \left[(\exp(v_s) - 1) \left(1 - \frac{\delta u_{Fn}}{\delta v_s} \right) + 1 \right] \right\} \cdot \quad (\text{A.12})$$

$$F^{-1}(v_s, u_{Fn}, u_B) \quad .$$

Eine Kleinsignal-Analyse ergibt für $\delta u_{Fn}/\delta v_s = 1/(1 + \Delta)$, mit

$$\Delta \approx \frac{F(v_{so}, u_B)}{\exp(v_{so}) - 1} \left\{ \int_0^{v_{so}} dv \left[\frac{\exp(v_s) - \exp(-v_s) - 2v_s}{F^3(v_s, u_B)} \right] - 1 \right\} \quad (\text{A.13})$$

und damit läßt sich Gleichung A.12 umschreiben in:

$$C_s = 2\epsilon_s \lambda_p^{-1} \left\{ 1 - \exp(-v_{so}) + \frac{n_i}{N_A}^2 \left[(\exp(v_{so}) - 1) \frac{\Delta}{1 + \Delta} + 1 \right] \right\} \cdot \quad (\text{A.14})$$

$$F^{-1}(v_s, u_{Fn}, u_B) \quad .$$

Gleichung A.13 und A.14 sind ein exakter Ausdruck der Siliziumkapazität C_s . Die Gesamtkapazität C , wie sie von einer Messbrücke gemessen wird, setzt sich als Serienkapazität aus der Oxidkapazität C_{ox} und der oben angegebenen Siliziumkapazität C_s zusammen. Es gilt $\frac{1}{C} = \frac{1}{C_s} + \frac{1}{C_{ox}}$. Somit sind alle Parameter zur Simulation einer C(V)-Kurve aus experimentellen Daten zugänglich. Wie später in Kapitel 1.2.3 diskutiert wird, weisen Messungen an realen MOS-Kapazitäten oft erhebliche Abweichungen im Vergleich zum theoretischen Kurvenverlauf auf. Diese werden in der Regel von festen und beweglichen Ladungen im Oxid sowie durch Grenzflächenzustände (Interfacetraps) verursacht. Aus dem Vergleich von realer und idealer CV-Kurve können Informationen über diese Grenzflächenladungen gewonnen werden. Da die Berechnung von Gleichung A.13 einer numerischen Integration bedarf, ist es zweckmäßig eine Näherung zu suchen, die einerseits eine geschlossene Form beschreibt und andererseits als Näherung einen tolerablen Fehler nicht überschreitet. Eine solche Näherung, wie sie von Lindner [15] vorgeschlagen wurde, teilt die CV-Kurve in zwei Bereiche, einen spannungsabhängigen und einen spannungsunabhängigen Abschnitt. Die Teilabschnitte werden in einem Punkt v_m zusammengeführt.

Für diesen gilt: $v_m = 2.10u_B + 1.33$. Die beiden Abschnitte lassen sich (für p-Silizium) wie folgt angeben:

$$C_s(v_{so}) = C_L(v_{so}); \quad v_{so} < v_m \quad , \quad (\text{A.15})$$

$$C_s(v_{so}) = C_L(v_m); \quad v_{so} > v_m \quad , \quad (\text{A.16})$$

$$C_L = 2^{-1/2} \text{Sgn}(v_{so}) \epsilon_s \lambda_p^{-1} [\exp(-v_{so}) - 1] [-(v_{so} + 1) + \exp(v_{so})]^{-1/2}. \quad (\text{A.17})$$

Anhang B

Herstellung von Transistor- und Kondensatorstrukturen

In diesem Kapitel werden die zur Herstellung von Transistoren und Kondensatoren nötigen Prozessschritte erläutert. Vorausgesetzt werden Kenntnisse der optischen Lithographie und somit nur die wesentlichen Herstellungs-Schritte erläutert.

Herstellung der Kondensatorstrukturen (Dioden)

Einfache MIS- und MFIS-Kondensatoren wurden mittels der lift-off-Technik hergestellt, indem meist Platin auf eine zuvor lithographisch strukturierte Polymerschicht (AZ5214) abgeschieden wurde. Die runden Kontaktflächen hatten eine Fläche zwischen $A = 1.7 \cdot 10^{-5} \text{ cm}^2$ und $1.7 \cdot 10^{-3} \text{ cm}^2$. Anschließend wurden die Proben in Forminggas (N_2H_2) für 10-15 min bei 450°C annealt. Höhere Temperaturen führen zu Veränderungen der Platinelektrode bis hin zu deren vollständiger Ablösung. MFIS-Kondensatoren dürfen aufgrund der chemischen Instabilität des PZT gegenüber H_2 nicht in Forminggas annealt werden. Gegebenenfalls kann eine Temperung in Sauerstoff durchgeführt werden. Geht man von einer einfachen MIS zur floating-gate-Struktur (MFMIS) über, wird die Herstellung der einzelnen Kondensatorstrukturen komplizierter.

Abbildung B.1 zeigt den Maskenentwurf und eine schematische Skizze der einzelnen Kondensatoren. Die Maske ist in drei Bereiche untergliedert. Im Bereich (I) befinden sich die MFMIS-Dioden. Diese werden durch Ionenstrahlätzen mit Ar^+ -Ionen hergestellt. Dabei wird der gesamte Gatestack (einschließlich der oberen Platin-Schicht) bis zum Silizium bzw. bis in das Dielektrikum freigelegt. Anschließend kann man die Flanken des Kontaktes mit einer dünnen SiO_2 -Schicht schützen. Im Bereich (II) liegen die MFM-Kondensatoren. Diese werden ähnlich wie MFMIS-Dioden hergestellt, jedoch erfolgt der Ätzstopp in der Floatingelektrode, die dann als untere Elektrode fungiert. MIS-Kondensatoren im Bereich (III) werden strukturiert indem die Schichten oberhalb der Floatingelektrode durch Ionenstrahlätzen freigelegt und nachträglich strukturiert werden. In der rechten Spalte in Abbildung B.1 werden die charakteristischen Messungen illustriert, die mit den jeweiligen Kondensatoren bzw. Dioden verbunden sind.

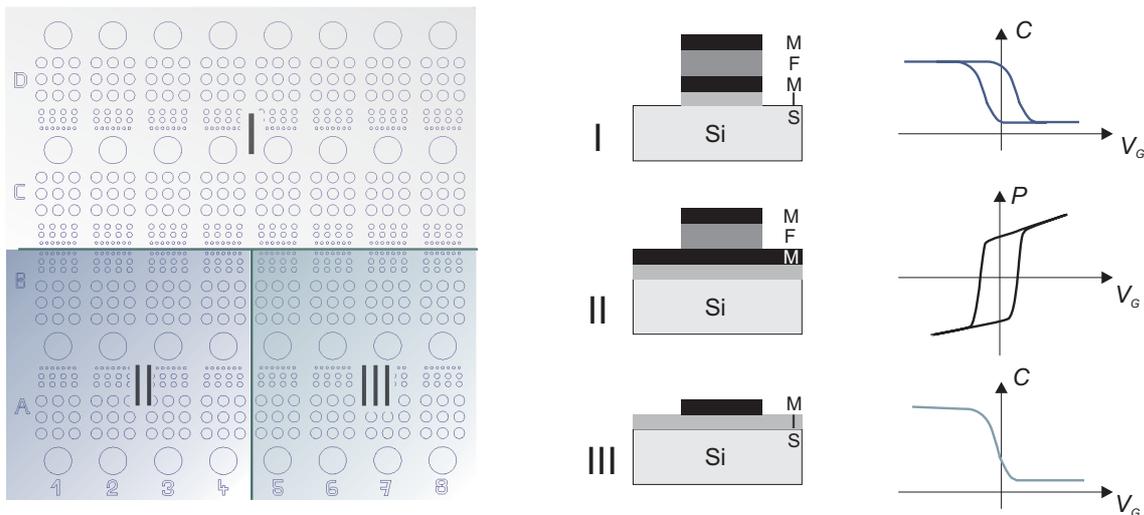


Abbildung B.1: Maskenlayout für MFMIS-Strukturen. Im Bereich (I) liegen MFMIS-Dioden. Diese werden durch Wegätzen der kompletten Gateschichten strukturiert, wie nebenstehende Skizze verdeutlicht. Im Bereich (II) befinden sich MFM-Kondensatoren, deren untere Elektrode durch die Floatingelektrode gebildet wird. Sie dienen zur Charakterisierung der PZT-Schichten. Im Bereich (III) liegen MIS-Kondensatoren, die zur Charakterisierung der Bufferschichten dienen. Hier wird die Floatingelektrode als Gateelektrode verwendet. In der rechten Spalte werden die entsprechenden charakteristischen Messungen gezeigt.

Diese relativ simpel erscheinende Strukturierung zeigt allerdings vor allem in den Ätzschritten Schwierigkeiten bei der Herstellung. Insbesondere der Ätzstopp ist sehr schwierig und konnte teilweise nur unter Sichtkontrolle erreicht werden. PZT und Platin wurden kaum durch den an die Ätzanlage angeschlossenen SIM erkannt, was durch die kleinen Probenabmessungen von $A_{Probe} = 10 \times 10 \text{ mm}^2$ zusätzlich erschwert wurde.

Transistorherstellung

In dieser Arbeit wurde nicht zwischen ferroelektrischen und dielektrischen (MOS) Transistoren unterschieden. Heutzutage werden Transistoren in einem sogenannten self-aligning Prozess hergestellt. Hierbei erfolgt die Implantation des Source- und Drainbereichs nach der Deposition der Gateschichten. Auf diese Weise kann man nachträglich die Dimensionen eines Transistors festlegen (self-aligning). Nach der Ionenimplantation ist ein Annealing-Schritt nötig, bei dem die implantierten Ionen aktiviert werden, d. h. mit Si-Atomen substituiert werden. Hierbei sind Temperaturen von 900-1000 °C für eine Dauer von 1 min nötig. Bei MOS-Transistoren kann dieser Schritt in Forminggas erfolgen, während dieser Hochtemperaturprozess bei PZT-Schichten nicht angewendet werden kann. Derart hohe Temperaturen würden zu einer vollständigen Zerstörung der PZT-Schicht führen. Aus diesem Grunde wurde die Ionen-Implantation noch vor der Gateschichtdeposition durchgeführt.

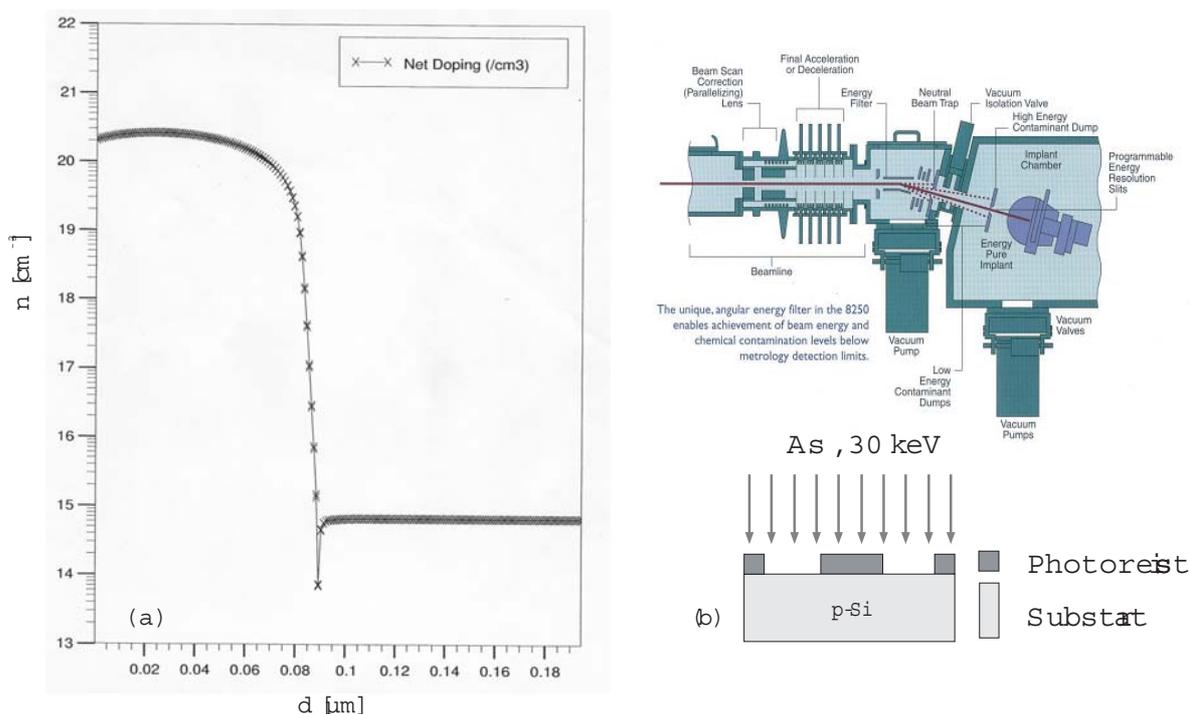


Abbildung B.2: (a) Simulation der implantierten Ionenkonzentration in Abhängigkeit der Eindringtiefe d für 30keV As^+ -Ionen mit einer Enddotierung von $\approx 2 \cdot 10^{15} \text{ As/cm}^2$. (b) Schematische Darstellung der Ionimplantation. Zuvor wird der Schutzlack (AZ5214) strukturiert. Nach Entfernen des Schutzlackes und Reinigung erfolgt ein Aktivierungsschritt, in welchem die implantierten Ionen in das Si-Gitter eingebaut werden. Oben wird eine Skizze des Ionenimplanters Axcelis 8250 gezeigt.

Abbildung B.2b zeigt schematisch die Vorgehensweise bei der Ionenimplantation. Bereiche der Probe, die nicht implantiert werden sollen, werden durch einen Schutzlack (PMMA AZ5214) abgedeckt. Die Implantation erfolgt in einem Axcelis Ion Implanter 8250 mit einem As^+ -Ionenstrom bei einer Beschleunigungsspannung von 30keV. Abbildung B.2a zeigt eine Simulation der Konzentration implantierter As^+ -Ionen gegen die Eindringtiefe d für die bei der Implantation verwendeten Parameter. Demnach wird eine Dotierkonzentration von $c \approx 2 \cdot 10^{20} \text{ at/cm}^3$ erreicht. Hierbei dringen die As -Ionen bis zu 80 nm tief in das Silizium ein.

Vor dem Aktivierungsschritt muss die Probe von Verunreinigungen und Lack befreit bzw. gereinigt werden. Hierfür wird ein speziell für Silizium entwickelter Standard RCA¹-Reinigungsprozess verwendet. Dies ist notwendig, da Verunreinigungen auf der Probenoberfläche bei den hohen Aktivierungstemperaturen möglicherweise in das Silizium eingebaut werden oder chemisch mit Silizium reagieren könnten. Vor allem im Kanalbereich ist dies kritisch, da die elektronischen Eigenschaften sich dadurch stark verändern können. Tabelle B.1 gibt eine Übersicht über die einzelnen RCA-Reinigungsschritte. Nach der Source- und Drainimplantation wurden Gateoxidschichten direkt auf das Substrat abge-

¹RCA: **R**adio **C**orporation of **A**merica. Wurde 1965 von W. Kern zur Reinigung von Si-Wafern entwickelt.

1	2	3	4	5
H ₂ SO ₄ /H ₂ O ₂ 4:1 60 °C 10 min	DI RT 10 min	HF(1%) RT 20 s	DI RT 10 min	H ₂ O/NH ₄ OH/H ₂ O ₂ 20:1:4 60 °C 10 min
6	7	8	9	10
DI RT 10 min	HF(1%) RT 20 s	DI RT 10 min	H ₂ O/HCl/H ₂ O ₂ 20:1:1 60 °C 10 min	DI RT 10 min

Tabelle B.1: RCA-Reinigungsschritte für Siliziumsubstrate. Hierbei werden organische und metallische Verunreinigungen entfernt. Für die Reinigung vor der Ionenaktivierung sind die Schritte 1-4 ausreichend.

schieden. Die Source- und Drain-Kontakte wurden durch Entfernung der Oxidschichten oberhalb der Source- und Drain-Bereiche mittels Ionenstrahl und anschließendem Metallisieren mittels gesputterten Platins verwirklicht. Abbildung B.3a und b zeigen dies schematisch. In B.3a wird ein Transistor mit einer Kanalfläche von $L \times W = 100 \times 100 \mu\text{m}^2$ nach Ionenimplantation und Deposition der Oxidschicht gezeigt. Man erkennt die implantierten Bereiche. Die Source- und Drain-Metallisierung wird darunter in Abbildung B.3b dargestellt. Nach der Source- und Drain-Metallisierung erfolgte die Strukturierung der Gateelektrode. Dies wird in Abbildung B.3c gezeigt. Meist wurde dafür Platin in einem lift-off Prozess verwendet. Da die Gateelektrode mit einem großflächigen Kontaktpad verbunden wird, muss zuvor für eine ausreichende Isolierung desselben gesorgt werden. Dies wird mit einer 50-100 nm dicken SiO₂-Schicht erreicht (Abbildung B.3e). In einem finalen Schritt wird nun das Kontaktpad strukturiert, das durch das Fenster in der SiO₂-Schicht mit der darunterliegenden Gateelektrode verbunden ist. Die Transistoren wurden, sofern sie nicht PZT enthielten, bei $\approx 450 \text{ °C}$ für 10-15 min in Forminggas annealt. Die Kontaktierung der Transistoren erfolgte analog zu den Kondensatoren über Messspitzen. Eine Substratkontaktierung wurde durch Aufrauhnen des Siliziumsubstrates an der Seite mit anschließender Vernetzung mit flüssigen Metall (InGa-Eutektikum) erreicht.

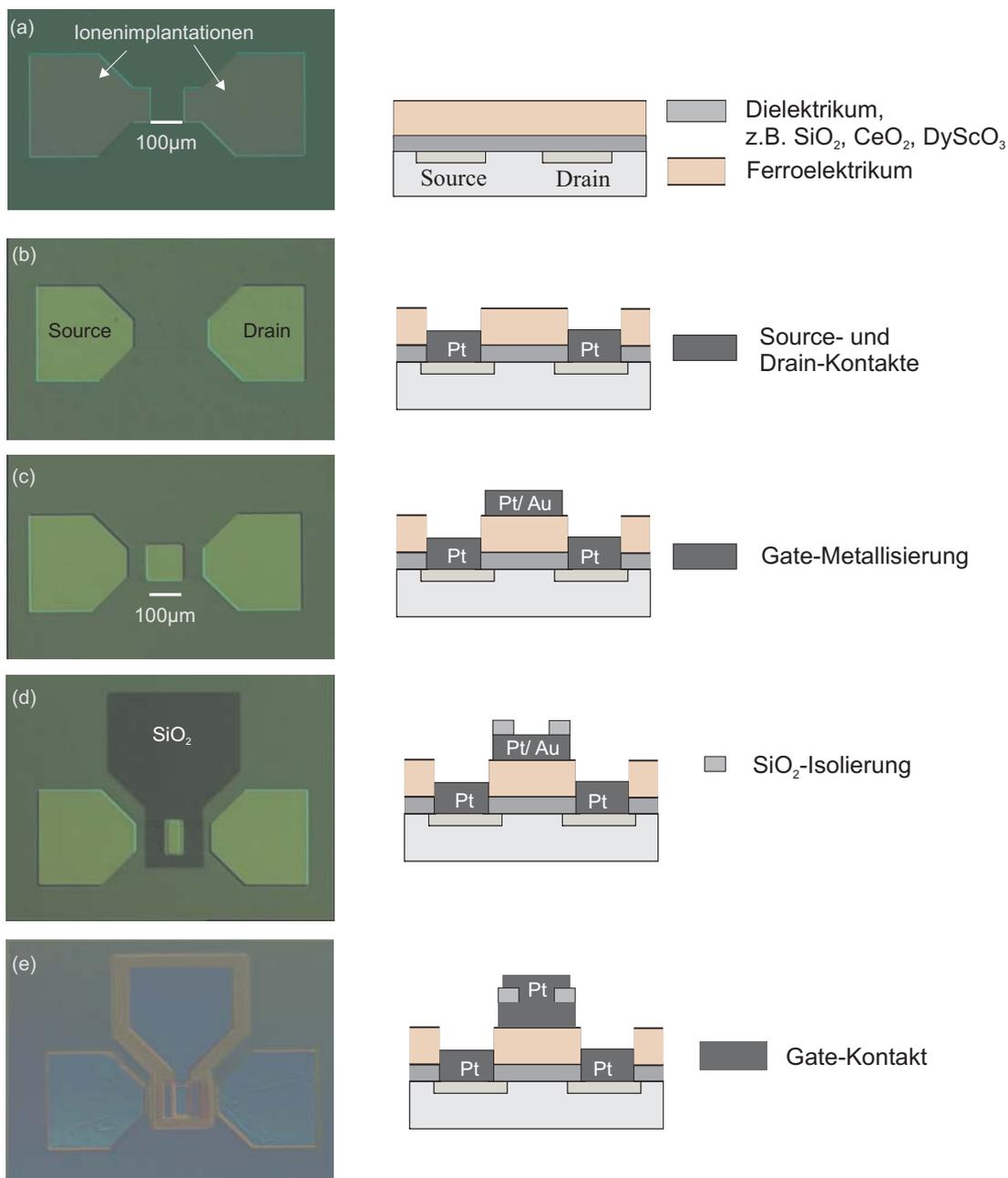


Abbildung B.3: Transistor-Flow für MOSFETs und FeFETs. (a) Probe nach der Ionenimplantation und Deposition der Gateoxidschichten. (b) Strukturierung und Metalisierung der Source- und Drainkontakte mit Platin (gesputtert). (c) Strukturierung der gesputterten Gateelektrode aus Platin. (d) Isolierung des Gatestacks und der Kontakt-elektrode mit SiO₂. (e) Letzter Schritt: Strukturierung der Gate-Kontaktelektrode.

Zusammenfassung

Seit Jahrzehnten beschäftigen sich Wissenschaftler mit der Integration ferroelektrischer Materialien in elektronische Bauteile. Vor allem die potentielle Nutzbarkeit als nicht-flüchtige Speicher begründen das große Interesse an diesen funktionellen Materialien. Das historisch erste ferroelektrische Speicherkonzept war der sogenannte ferroelektrische Feldeffekttransistor (FeFET). Ein FeFET besteht aus einem FET, in dessen Gateschichtstapel eine ferroelektrische Schicht integriert wird. Durch die Polarisationsladungen der ferroelektrischen Schicht wird der FeFET an bzw. ausgeschaltet, d. h. das Auslesen einer Speicherzelle, bestehend aus einem einzigen Transistor, ist ein nicht-destruktiver Leseprozess. Trotz des recht simpel anmutenden Bauteils, ist es bisher nicht gelungen eine geeignete Materialkombination zu entwickeln, die allen Anforderungen, wie niedrige Operationsspannungen, Langzeitstabilität und Zyklenfestigkeit genügt.

Prinzipiell ist die Herstellung ferroelektrischer Schichten auf Silizium schwierig. Ferroelektrische Schichten werden üblicherweise bei hohen Temperaturen (500-700 °C) in Sauerstoffatmosphäre abgeschieden (bzw. getempert), was bei direkter Abscheidung auf Silizium zu Interdiffusionen oder chemischen Reaktionen mit Silizium und meist zur Bildung einer parasitären SiO₂-Schicht führt. Durch Einführung einer dielektrischen Zwischenschicht (Bufferschicht) kann eine Reaktion mit Silizium verhindert werden. Da keramische Ferroelektrika, wie PbZr_xTi_{1-x}O₃ (PZT), zumindest einen stark texturierten, besser aber einen einkristallinen Untergrund mit vergleichbarer Gitterkonstante zum Aufwachsen benötigen, ist die Auswahl geeigneter dielektrischer Bufferschichten limitiert.

Die hier vorliegende Arbeit behandelt einerseits die Untersuchung dielektrischer Schichten (SrTiO₃, CeO₂ und DyScO₃) auf Silizium hinsichtlich einer Eignung als Bufferschicht für ferroelektrische Schichten und andererseits die Integration ferroelektrischer PZT-Schichten auf Silizium. Darüberhinaus wurden ferroelektrische Hybridschichtsysteme, bestehend aus keramischen Dielektrika (SiO₂, DyScO₃) und ferroelektrischen Polymeren (PVDF), untersucht. Es konnte gezeigt werden, dass einkristalline SrTiO₃-Schichten aufgrund der ungünstigen Valenz- und Leitungsbandanpassung zu Silizium nur bedingt als Bufferschichten geeignet sind. Dies führte in ferroelektrischen (Pt/PZT/STO/Si)-Dioden und Transistoren zu Hysteresen in C(V)- und I_{SD}(V)-Kennlinien mit einer für ferroelektrische Gateschichten untypischen Durchlaufrichtung. CeO₂- und DyScO₃-Schichten auf Si eignen sich hingegen, ob ihrer guten dielektrischen Eigenschaften, als Buffer für ferroelektrische Gateschichten auf Si. Dies konnte anhand von Pt/PZT/Pt/CeO₂/Si- Floatinggate-Strukturen gezeigt werden.

Mittels des LB-Verfahrens² konnten dünne ferroelektrische PVDF-Gateschichten auf SiO₂ und DyScO₃ abgeschieden werden. Dioden und Transistoren aus Au/PVDF/SiO₂/Si-Gateschichten wiesen schon bei Spannungen unterhalb von 5V Hysteresen in den Kennlinien auf und besitzen somit ein hohes Anwendungspotential als ferroelektrische Speicher. Die in dieser Arbeit untersuchten ferroelektrischen Dioden und Transistoren zeigten hinsichtlich ihres Relaxationsverhaltens alle ein relativ ähnliches Verhalten und dies, nota bene, trotz teils sehr unterschiedlicher Materialien. Bei allen hier gezeigten Systemen wurde eine Relaxation der Kapazität nach Anlegen eines Spannungspulses (Programmierung der Diode) im Bereich von einigen Minuten beobachtet. Als Ursache hierfür können Abschirmeffekte der Polarisationsladungen durch bewegliche Ladungsträger in der dielektrischen Bufferschicht, Depolarisationsfelder in der ferroelektrischen Schicht oder unvollständig polarisierte ferroelektrische Schichten genannt werden.

Ausblick

Die Ursache der beobachteten kurzen Relaxationszeiten (Retention) konnte im Rahmen dieser Arbeit nicht geklärt werden. Dieses näher zu untersuchen und vor allem zu optimieren, stellt eine interessante Herausforderung für zukünftige Arbeiten dar. Hierzu bietet sich vor allem eine Floatinggate-Struktur an, denn diese erlaubt eine gezielte Untersuchung der einzelnen Gateschichten. Als dielektrische Schichten wären jene indiziert, die schon erfolgreich in Transistoren und Flash-Speichern Anwendung finden. Es kann nicht ausgeschlossen werden, dass die offene Bauart der untersuchten Dioden und Transistoren einen signifikanten Einfluss auf die Relaxation hat, denn ein Ladungsausgleich könnte auch über die Umgebung erfolgt sein. Dies zu unterbinden würde eine vollständige Kapselung eines Bauteils erfordern, was nur durch hohen technologischen Aufwand erreicht werden kann.

Zum Abschluss sollen an dieser Stelle FeFET- und Flash-Speicher einander nochmals gegenüber gestellt werden. Beide Speicherarten beruhen auf dem gleichen Prinzip: der Beeinflussung des Source-Drain-Stroms durch feste Ladungen – in FeFETs durch Polarisationsladungen, in Flash-Speichern durch eingefangene Tunnel-Ladungen. Die kommerzielle Verbreitung des Flash-Speichers zeigt deutlich, dass es möglich ist, über viele Jahre Information in Form von Ladungen zu speichern. Warum sollte dies über kurz oder lang nicht auch in Form einer ferroelektrischen Gate-Schicht gelingen?

²LB: Langmuir Blodgett.

Literaturverzeichnis

- [1] W. D. Brown and J. E. Brewer, Nonvolatile Semiconductor Memory Technology, IEEE Press Series on Microelectronic Systems, (1998).
- [2] B. Prince, Emerging memories – Technologies and Trends, Kluwer Academic Pub., (2002).
- [3] Robert Sietmann, Das klassische DRAM bekommt Konkurrenz, c't 6, (1999).
- [4] I. M. Ross, Silicon Microelectronics Technology, Bell Labs Technical Journal, Autumn 3 (1977).
- [5] J. Rodriguez Contreras, Ferroelectric Tunnel Junctions, Schriften des FZ Jülich: Reihe Materie und Material **22**, (2004).
- [6] R. A. McKee, F. J. Walker, M. F. Chisholm, Phys. Rev. Lett. **81**, 3014 (1998).
- [7] K. Eisenbeiser, J. M. Finder, Z. Yu, J. Ramdani, J. A. Curless, J. A. Hallmark, R. Droopad, W. J. Ooms, L. Salem, S. Bradshaw and C. D. Overgaard, Appl. Phys. Lett. **76**, 1324 (2000).
- [8] H.-K. Roth, S. Sensfuß, M. Schrödner, R.-I. Stohn, W. Clemens und A. Berndts, Mat.-wiss. u. Werkstofftech. **32**, 789 (2001).
- [9] Robert F. Service, Science **306**, 2034 (2004).
- [10] B. Jaffe, W. R. Cook, and H. Jaffe, Piezoelectric Ceramics, (Academic Press, London and New York), (1971).
- [11] M. E. Lines and A. M. Glass, Principles and applications of ferroelectrics and related materials, Oxford University Press, (1979).
- [12] A. N. Pertsev, A. G. Zembilgotov, and A. K. Tagantsev, Phys. Rev. Lett. **80**, 1988 (1998).
- [13] D. Richter und S. Trolier-McKinstry, Ferroelectrics in Nanoelectronics and Information Technology, R. Waser (Ed.), Wiley-Vch, (2003).
- [14] J. F. Scott, Ferroelectric Memories, Springer-Verlag, Berlin-Heidelberg, (2000).
- [15] E. H. Nicollian, J. R. Brews, MOS physics and technology, John Wiley & Sons, (1982).

-
- [16] S. M. Sze, Physics of semiconductor devices, Wiley, New York, (1981).
- [17] E. W. A. Young, S. Mantl, P. B. Griffin, Nanoelectronics and Information Technology, R. Waser (Ed.), Wiley-Vch, (2003).
- [18] K. Lehovc, Solid-State Electronics **11**, 135 (1968).
- [19] R. Kassing, Einführung in die Halbleiterphysik, Vorlesungsskript, Kassel (1985).
- [20] J. E. Lilienfeld, U.S. patent **1**, 745.175 (1930).
- [21] J. Bardeen, W. H. Brattain, Phys. Rev. **74**, 230 (1948).
- [22] D. Khang and M. M. Atalla, IRE Solid-State Devices Res. Conf., Carnegie Institute of Technology, Pittsburgh, Pa. (1960).
- [23] W. F. Brinkman, D. E. Haggan and W. W. Troutman, IEEE J. Solid. State Circuits **32**, 1858 (1997).
- [24] A. L. P. Rotondaro, M. R. Visokay, J. J. Chambers, A. Shanware, R. Khamankar, H. Bu, R. T. Laaksonen, L. Tsung, M. Douglas, R. Kuan, M. J. Bevan, T. Grider, J. McPherson, L. Colombo, IEEE VLSI Technology, Digest of Technical Papers, 148 (2002).
- [25] G. D. Wilk, R. M. Wallace, J. M. Anthony, J. of Appl. Phys. **89**, 5243 (2001).
- [26] R. Chau, J. Brask, S. Datta, G. Dewey, M. Doczy, B. Doyle, J. Kavalieros, B. Jin, M. Metz, A. Majumdar and M. Radosavljevic, Microelectronic Engineering **80**, 1 (2005).
- [27] J. R. Brews, Solid State Electronics **21**, 345 (1978).
- [28] Joachim Knoch, PHD Thesis, University of Aachen, Germany (2001).
- [29] M. Fitsilis, Scaling of the Ferroelectric Field Effect Transistor and Programming Concepts for Non-volatile Memory Applications, PHD-Thesis, RWTH-Aachen, (2005).
- [30] J. R. Brews, Solid State Science, D. Kahng (Ed.), Academic, New York, (1981).
- [31] J. A. Guerst, Solid State Electronics **9**, 129 (1966).
- [32] S. L. Miller and P. J. McWhorter, J. Appl. Phys. **72**, 5999 (1992).
- [33] S. L. Miller, R. D. Nasby, J. R. Schwank, M. S. Rodgers and P. V. Dressendorfer, J. Appl. Phys. **68**, 6463 (1990).
- [34] S. L. Miller, J. R. Schwank, R. D. Nasby and M. S. Rodgers, J. Appl. Phys. **70**, 2849 (1991).
- [35] T. Zhao, S. B. Ogale, S. R. Shinde, R. Ramesh, R. Droopad, J. Yu, K. Eisenbeiser, J. Misewich, Appl. Phys. Lett. **68**, 750 (2004).

- [36] H. Kohlstedt, H. Ishiwara, Nanoelectronics and Information Technology, R. Waser (Ed.), Wiley-Vch, (2003).
- [37] T. P. Ma and Jin-Ping Han, IEEE Electr. Dev. Lett. **23**, 386 (2002).
- [38] P. Würfel, I. P. Batra, and J. T. Jacobs, Phys. Rev. Lett. **30**, 1218 (1973).
- [39] P. Würfel, I. P. Batra, Phys. Rev. B **8**, 5126 (1973).
- [40] I. P. Batra, P. Würfel and B. D. Silverman, Phys. Rev. Lett. **30**, 384 (1973).
- [41] I. P. Batra, P. Würfel and B. D. Silverman, Phys. Rev. B **8**, 3257 (1973).
- [42] I. P. Batra, P. Würfel and B. D. Silverman, J. Vac. Technol. **10**, 687 (1973).
- [43] I. P. Batra and B. D. Silverman, Solid State Comm. **11**, 291 (1972).
- [44] P. Würfel, I. P. Batra, Ferroelectrics **12**, 55 (1976).
- [45] I. M. Ross, US Patent No. 2, 791, 760 (1957).
- [46] J. L. Moll, Y. Tarui, Trans. Electr. Devices **10**, 338 (1963).
- [47] P. M. Heyman and G. H. Heilmeier, Proc. of the IEEE **54**, 842 (1966).
- [48] R. Zuleeg and H. H. Wieder, Solid-State Electr. **9**, 657 (1965).
- [49] G. G. Teather and L. Young, Solid-State Electr. **11**, 527 (1967).
- [50] Shu-Yau Wu, IEEE Trans. Electr. Devices **21**, 499 (1974).
- [51] K. Sugibuchi, Y. Kurogi and N. Endo, Jpn. J. Appl. Phys. **46**, 2877 (1975).
- [52] Y. Higuma, Y. Matsui, M. Okuyama, T. Nakagawa and Y. Hamakawa, Jpn. J. Appl. Phys. **17**, 209 (1978).
- [53] K. Ito and H. Tsuchiya, Solid State Electron. **20**, 529 (1977).
- [54] W. I. Kinney, W. Shepherd, W. Miller, J. Evans and R. Womack, IEDM **87**, 850 (1987).
- [55] S. S. Eaton, D. B. Butler, M. Parris, D. Wilson and H. McNeillie, Dig. Tech. Papers, IEEE Int. Solid-State Circuits Conf., 130 (1988).
- [56] S. Sinharoy, H. Buhay, M. H. Francombe, W. J. Takei, N. J. Doyle, J. H. Rieger, D. R. Lampe and E. Stepke, J. Vac. Sci. Technol. A **9**, 409 (1991).
- [57] K. Aizawa and H. Ishiwara, Jpn. J. Appl. Phys. **33**, 5178 (1994).
- [58] D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinharoy, H. Buhay, P. Brabant and Y. M. Liu, Ferroelectrics **133**, 61 (1992).

- [59] E. Tokumitsu, G. Fujii, H. Ishiwara, *Appl. Phys. Lett.* **75**, 575 (1999).
- [60] S.-M. Yoon, E. Tokumitsu, H. Ishiwara, *Jpn. J. Appl. Phys.* **39**, 2119 (2000).
- [61] H. Ishiwara, *Handbook of thin film devices* **5**, D. Taylor and M. Francombe (Ed.), Academic Press, 79 (2000).
- [62] A. G. Schrott, J. A. Misewich, V. Nagarajan, R. Ramesh, *Appl. Phys. Lett.* **82**, 4770 (2003).
- [63] O. Kuffer, O. Fischer, *J. Appl. Phys.* **97**, 014103 (2005).
- [64] R. C. G. Naber, C. Tanase, P. W. M. Blom, G. H. Gelinck, A. W. Marsman, F., J. Touwslager, S. Setayesh and D. M. De Leeuw, *Nature Mat.* **4**, 243 (2005).
- [65] Y. Watanabe, *Appl. Phys. Lett.* **66**, 1770 (1995).
- [66] Freies online Lexikon, www.wikipedia.de, Stichwort:PVDF.
- [67] H. Kawai, *Jpn. J. Appl. Phys.* **8**, 975 (1969).
- [68] J. G. Jr. Bergmann, J. H. McFee und G. R. Crane, *Appl. Phys. Lett.* **18**, 203 (1971).
- [69] Y. Wada, R. Hayakawa, *Jpn. J. Appl. Phys.* **15**, 2041 (1976).
- [70] A. J. Lovinger, Poly(vinylidene fluoride). *Developments in Crystalline Polymers*, D. C. Bassett (Ed.), Appl. Sci. London, 195 (1981).
- [71] M. Tamura, S. Hagiwara, S. Matsumoto and N. Ono, *J. Appl. Phys.* **48**, 513 (1977).
- [72] T. Furukawa, M. Date and E. Fukada, *J. Appl. Phys.* **51**, 1135 (1980).
- [73] T. Furukawa und G. E. Johnson, *Appl. Phys. Lett.* **38**, 1027 (1981).
- [74] T. Furukawa, *Phase Trans.* **18**, 143 (1989).
- [75] J. Zhai, S. Dong, Z. Xing, J. Li, and D. Viehland, *Appl. Phys. Lett.* **89**, 083507 (2006).
- [76] Mengjun Bai, The structure of ferroelectric PVDF/TrFE copolymer langmuir-blodgett films, Dissertation, Physics & Astronomy, Lincoln, Nebraska, (2002).
- [77] A. J. Lovinger, *Ferroelectric Polymers*, *Science* **220**, 1115 (1983).
- [78] R. Hasegawa, M. Kobayashi and H. Tadokoro, *Polym. J.* **3**, 591 (1972).
- [79] R. Hasegawa, Y. Takahashi, Y. Chatani and H. Tadokoro, *Polym. J.* **3**, 600 (1972).
- [80] A. V. Bune, V. M. Fridkin, S. Ducharme, L. M. Blinov, S. P. Palto, *Nature* **391**, 874 (1998).

-
- [81] T. Furukawa, K. Nakajima, T. Koizumi and M. Date, *Jpn. J. Appl. Phys.* **26**, 1039 (1987).
- [82] S. N. Fedosov, H. von Seggern, *J. Appl. Phys.* **96**, 2173 (2004).
- [83] K. Matsushige, S. Imada and T. Takemura, *Polymer J.* **13**, 493 (1981).
- [84] A. J. Lovinger, T. Furukawa, G. T. Davis and M. G. Broadhurst, *Polymer* **24**, 1225 (1983).
- [85] A. J. Lovinger, G. E. Johnson, H. E. Bair, E. W. Anderson, *J. Appl. Phys.* **56**, 2412 (1984).
- [86] K. Tashiro, K. Takano, M. Kobayashi, Y. Chantani and H. Todokoro, *Ferroelectrics* **57**, 297 (1984).
- [87] T. Yagi, M. Tatemoto, J. Sako, *J. Polym.* **12**, 209 (1980).
- [88] A. V. Bune, V. M. Fridkin, S. Ducharme, L. M. Blinov, S. P. Palto, *Nature* **91**, 874 (1998).
- [89] J. Choi, C. N. Borca, P. A. Dowben, A. V. Bune, M. Poulsen, S. Ducharme, *Phys. Rev. B* **61**, 5760 (2000).
- [90] I. P. Batra and B. D. Silverman, *Solid State Commun.* **11**, 291 (1972).
- [91] N. Yanase, K. Abe, N. Fukushima and T. Kawakubo, *Jpn. J. Appl. Phys.* **38**, 5305 (1999).
- [92] Y. S. Kim, J. Y. Jo, D. J. Kim, Y. J. Chang, J. H. Lee, T. W. Noh, J.-G. Yoon, J.-S. Chung, S. I. Baik, Y.-W. Kim, C. U. Jung, *Appl. Phys. Lett.* **88**, 072909 (2006).
- [93] M. V. Ramana Murty, S. K. Streiffer, G. B. Stephenson, J. A. Eastman, C. Thompson, G.-R. Bai, A. Munkholm, O. Auciello, *Appl. Phys. Lett.* **18**, 108 (2002).
- [94] D. D. Fong, G. G. Stephenson, S. K. Streiffer, J. A. Eastman, O. Auciello, P. H. Fuoss, and C. Thompson, *Science* **304**, 1650 (2004).
- [95] F. Jona and G. Shirane, *Ferroelectric crystals — Intern. Ser. of Monographs on Solid State Physics* **1**, R. Smoluchowski and N. Kurti (Eds.), (Pergamon Press, Oxford, London, New York, Paris), (1962).
- [96] J. F. Scott and C. A. Paz de Araujo, *Science*, **246**, 1400 (1989).
- [97] D. L. Polla, C. Ye and T. Tamagawa, *Appl. Phys. Lett.* **59**, 3539 (1991).
- [98] G. H. Haertling, *J. Vac. Sci. Technol.* **A9**, 414 (1991).
- [99] M. J. Haun, E. Furman, S. J. Jang and L. E. Cross, *Ferroelectrics* **99**, 45 (1989).

- [100] J. Lee, C.H. Choi, B.H. Park, T.W. Noh, J.K. Lee, *Appl. Phys. Lett.* **27**, 3380 (1998).
- [101] J. Robertson, *J. Vac. Sci. Technol. B* **18**, 1785 (2000).
- [102] J. Schmidt, F.M. Schurmans, W.C. Sinke, S.W. Glunz, and A.G. Aberle, *Appl. Phys. Lett.* **71**, 252 (1997).
- [103] C.M. Perkins, B.B. Triplett, P.C. McIntyre, K.C. Saraswat, S. Haukka, and M. Tuominen, *Appl. Phys. Lett.* **78**, 2357 (2001).
- [104] K. J. Hubbard and D. G. Schlom, *J. Mater. Res.* **11**, 2757 (1996).
- [105] S. A. Campbell, H. S. Kim, D. C. Gilmer, B. He, T. Ma, and W. L. Gladfelter, *IBM J. Res. Dev.* **43**, 383 (1999).
- [106] H. Fukuda, S. Namioka, M. Miura, Y. Ishikawa, M. Yoshino, and S. Nomura, *Jpn. J. Appl. Phys.* **38**, 6034 (1999).
- [107] D. Park, Y. King, Q. Lu, T. J. King, C. M. Hu, A. Kalnitsky, S. P. Tay, and C. C. Cheng, *IEEE Electr. Dev. Lett.* **19**, 441 (1998).
- [108] B. Lai, N. H. Kung, and J. Lee, *J. Appl. Phys.* **85**, 4087 (1999).
- [109] B. C. Lai, J. C. Yu, and J. Lee, *IEEE Electr. Dev. Lett.* **22**, 221 (2001).
- [110] S. J. Wang, C. K. Ong, S. Y. Xu, P. Chen, W. C. Tjiu, A. Huan, W. J. Yoo, J. S. Lim, W. Feng, and W. K. Choi, *Semicond. Sci. Tech.* **16**, L13 (2001).
- [111] L. Kang, B. H. Lee, W. J. Qi, Y. Jeon, R. Nieh, S. Gopalan, K. Onishi, and J. C. Lee, *IEEE Electr. Dev. Lett.* **21**, 181 (2000).
- [112] R. Droopad, Z. Y. Yu, J. Ramdani, L. Hilt, J. Curless, C. Overgaard, J. L. Edwards, J. Finder, K. Eisenbeiser, J. Wang, V. Kaushik, B. Y. Ngyuen, and B. Ooms, *J. Crystal Growth* **227**, 936 (2001).
- [113] N. V. Skorodumova, R. Ahuja, S. I. Simak, I. A. Abrikosov, B. Johansson, and B. I. Lundqvist, *Phys. Rev. B* **64**, (2001).
- [114] T. Inoue, Y. Yamamoto, S. Koyama, S. Suzuki, and Y. Ueda, *Appl. Phys. Lett.* **56**, 1332 (1990).
- [115] A. Walkenhorst, M. Schmitt, H. Adrian, K. Petersen, *Appl. Phys. Lett.* **64**, 1871 (1994).
- [116] Y. Jiang, J. B. Adams, Mark van Schilfgaarde, R. Sharma and P. A. Crozier, *Appl. Phys. Lett.* **87**, 141917 (2005).

- [117] E. J. Preisler, O. J. Marsh, R. A. Beach, and T. C. McGill, Stability of cerium oxide on silicon studied by x-ray photoelectron spectroscopy, *J. Vac. Sci. & Technol. B*, **19**, 1611 (2001).
- [118] L. Tye, N. A. El-Masry, T. Chikyow, P. McLarty, and S. M. Bedair, *Appl. Phys. Lett.* **65**, 3081 (1994).
- [119] O. Nakagawara, M. Kobayashi, Y. Yoshino, Y. Katayama, H. Tabata and T. Kawai, *J. Appl. Phys.* **78**, 7226 (1995).
- [120] R. A. McKee, F. J. Walker, M. F. Chisholm, *Science* **293**, 468 (2001).
- [121] R. Droopad, Integrated Oxide-Based Heterostructures on Silicon, *Int. Conf. on Electroceramics*, (2003).
- [122] Bum Ki Moon, H. Ishiwara, *Jpn. J. Appl. Phys.* **33**, 5911 (1994).
- [123] Dong Suk Shin, Sang Tae Park, Hoon Sang Choi, In Hoon Choi, Jeong Yong Lee, *Thin Solid Films* **354**, 251 (1999).
- [124] Zhongchun Wang, Veronika Kugler, Ulf Helmersson, N. Konofaos, E. K. Evangelou, Setsuo Nakao and Ping Jin, *Appl. Phys. Lett.*, **79**, 1513 (2001).
- [125] Mayers Großes Taschenlexikon in 25 Bänden, Band 19: ISBN-3-411-11198-4, 8. Auflage (2001).
- [126] Patrick Kluth, Selbstassemblierte Nanostrukturierung ultradünner Silizidschichten und Entwicklung von Nano-MOSFET-Bauelementen, *Berichte des Forschungszentrums Jülich* **3994**, (2002).
- [127] Opas Trithaveesak, Ferroelektrische Eigenschaften von Kondensatoren mit epitaktischen BaTiO₃-Dünnschichten, *Disputation, RWTH Aachen* (2004).
- [128] Philipp Ebert, Kristof Szot and Andreas Roelofs, *Scanning Probe Techniques, Nanoelectronics and Information Technology*, R. Waser (Ed.), Wiley-Vch, (2003).
- [129] *Handbuch Analyser TF 2000*, Firma AixACCT, Aachen.
- [130] P. Ehrhardt, *Film deposition methods, Nanoelectronics and Information Technology*, R. Waser (Ed.), Wiley-Vch, (2003).
- [131] Nachgezeichnet nach einer Vorlage aus einem Vortrag von Theo Schneller, RWTH-Aachen.
- [132] U. Poppe, J. Schubert, R. Arons, W. Evers, C. H. Freiburg, W. Reichert, K. Schmidt, W. Sybertz and K. Urban, *Solid State Commun.* **66**, 661 (1988).
- [133] M. Siegert, Wachstumsuntersuchungen an Bariumtitanat-Dünnschichten, hergestellt mit gepulster Laserdeposition, *Berichte des Forschungszentrums Jülich* **3898**, (2001).

- [134] B. Franklin, *Philos. Trans. R. Soc. London* **64**, 445 (1774).
- [135] A. Pockels, *Nature (London)* **43**, 437 (1881).
- [136] K. B. Blodgett and I. Langmuir, *Phys. Rev.* **51**, 964 (1937).
- [137] L. M. Blinov, *Sov. Phys. Usp.* **31** (7), (1988).
- [138] S. Rayleigh, *Philos Mag.* **48**, 321 (1899).
- [139] I. Langmuir, *J. Am. Chem. Soc.* **39**, 1848 (1917).
- [140] S. Ducharme, S. P. Palto, V. M. Fridkin, *Ferroelectric and Dielectric Thin Films*, H. S. Nalwa (Ed.), Academic Press, (2002).
- [141] A. Bune, S. Ducharme, V. M. Fridkin, L. Blinov, *Appl. Phys. Lett.* **67**, 3975 (1995).
- [142] A. Sorokin, S. Palto, L. Blinov, V. Fridkin, S. Yudin, *Mol. Mat.* **6**, 61 (1996).
- [143] Clemens J. Först, Karlheinz Schwarz, and Peter E. Blöchl, *Phys. Rev. Lett* **95**, 137602 (2005).
- [144] D. A. Muller, T. Sorsch, S. Moccio, F. H. Baumann, K. Evans-Lutterodt and G. Timp, *Nature* **399**, 758 (1999).
- [145] Gordon E. Moore, *Electronics*, 38(8), 114 (1965).
- [146] Christoph Drösser, *DIE ZEIT*, Nr.16, (14.04.2005).
- [147] Y. Wei et al., *J. Vac. Sci. Technol. B.* **20**, 1402 (2002).
- [148] J. Q. He, C. L. Jia, V. Vaithyanathan, D. G. Schlom, J. Schubert, A. Gerber, H. H. Kohlstedt, R. H. Wang, *J. Appl. Phys.* **97**, 104921 (2005).
- [149] J. Rodriguez Contreras, H. Kohlstedt, U. Poppe, R. Waser, Ch. Buchal, N. A. Pertsev, *Appl. Phys. Lett.* **83**, 4595 (2003).
- [150] J. Robertson, *J. Vac. Sci. Technol. B* **18**, 1785 (2000).
- [151] G. M. Kim, M. A. F. van den Boogaart, J. Brugger, *Microelectronic Engineering* **67–68**, 609 (2003).
- [152] X. Zhang, A. A. Demkov, Hao Li, X. Hu, and Yi Wei, *J. Kulik, Phys. Rev. B* **68**, 125323 (2003).
- [153] C. J. Först, C. R. Ashman, K. Schwarz, P. E. Blöchl, *Nature* **427**, 53 (2004).
- [154] K. Eisenbeiser, J. M. Finder, Z. Yu, J. Ramdani, J. A. Curless, J. A. Hallmark, R. Droopad, W. J. Ooms, L. Salem, S. Bradshaw, and C. D. Overgaard, *Appl. Phys. Lett.* **76**, 1324 (2000).

- [155] E. J. Preisler, Investigation of Novel Semiconductor Heterostructure Systems, PhD Thesis, California Institute of Technology, (2003).
- [156] S. H. Jang and D. Junga, Y. Roh, Properties of CeO₂ thin films deposited on Si(100) and Si(111) substrates by radio frequency-magnetron sputtering, *J. Vac. Sci. Technol. B* **16**, 1098 (1998).
- [157] T. Ami, Y. Ishida, N. Nagasawa, A. Machida and M. Suzuki, *Appl. Phys. Lett.* **78**, 1361 (2001).
- [158] M. Yoshimoto, K. Shimozono, T. Maeda, T. Ohnishi, M. Kumagai, T. Chikyow, O. Ishiyama, M. Shinohara, H. Koinuma, *Jpn. J. Appl. Phys.* **34**, L688 (1995).
- [159] K. J. Hubbard and D. G. Schlom, *J. Mater. Res.* **11**, 2757 (1996).
- [160] Thomas Haneder, Beiträge zum ferroelektrischen Transistor und zu dessen Integration in nicht-flüchtige Speicher, Dissertation, Universität Regensburg, (2005).
- [161] C. Zhao, T. Witters, B. Brijs, H. Bender, O. Richard, M. Caymax, T. Heeg, J. Schubert, V. V. Afanas'ev, A. Stesmans, D. G. Schlom, *Appl. Phys. Lett.* **86**, 132903 (2005).
- [162] Martin Wagner, Diplomarbeit, RWTH-Aachen, (2004).
- [163] K. Kakegawa, J. Mohri, T. Takahashi, H. Yamamura, and S. Shirasaki, *Solid State Comm.* **24**, 769 (1977). oder **Ref. 33-0784** in PCPDFWIN v. 1.30, JCPDS-International Centre for Diffraction Data.
- [164] S. Koo, S. Khartev, C.-M. Zetterling, A. Grishin, M. Ostling, *Appl. Phys. Lett.* **(19)**, 3975 (2003).
- [165] S. H. Lim, A. C. Rastogi, and S. B. Desu, *J. Appl. Phys.* **96**, 5673 (2004).
- [166] S. Ducharme, A. V Bune, L. M. Blinov, V. M. Fridkin, S. P. Palto, A. V. Sorokin and S. G. Yudin, *Phys. Rev. B* **57**, 25 (1998).
- [167] T. Reece, S. Ducharme, M. Poulsen, *Appl. Phys. Lett.* **82**, 142 (2003).
- [168] M. Ullmann, H. Goebel, H. Hoenigschmid, T. Haneder, *IEICE Trans. Electron.* **E83-C**, 1324 (2000).

Publikationsliste

- Rodriguez Contreras J., Kohlstedt H., Petraru A., Gerber A., Hermanns B., Haselier H., Nagarajan N., Schubert J., Poppe U., Buchal C., Waser R. Improved $\text{PbZr}_{0.52}\text{Ti}_{0.48}\text{O}_3$ film quality on $\text{SrRuO}_3/\text{SrTiO}_3$ substrates, *J. of Cryst. Growth* **277**, 210 (2005).
- He J. Q., Jia C. L., Vaithyanathan V., Schlom D. G., Schubert J., Gerber A., Kohlstedt H. H., Wang R. H., Interfacial reaction in the growth of epitaxial SrTiO_3 thin films on (001) Si substrates, *J. of Appl. Phys.*, **97**, 104921 (2005).
- H. Kohlstedt, Y. Mustafa, A. Gerber, A. Petraru, M. Fitsilis, R. Meyer, U. Böttger and R. Waser, Current status and challenges of ferroelectric memory devices, *Microelectron. Eng.* **80**, 296 (2005).
- A. Gerber, M. Fitsilis, H. Kohlstedt, R. Waser, T. J. Reece, S. Ducharme, E. Rije, Low-Voltage operation of metal-ferroelectric-insulator-semiconductor diodes incorporating a ferroelectric polyvinylidene fluoride copolymer Langmuir-Blodgett film, *J. Appl Phys.* **100**, 124110 (2006).

Konferenzbeiträge

- Kohlstedt, H.; Rodriguez Contreras, J.; Pertsev, R. A.; Gerber, A.; Schubert, J.; Szot, K.; Jia, C. L.; Reproducible and bistable switching events in I-V curves of ultrathin $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$ and BaTiO_3 films, International Symposium on Integrated Ferroelectrics, ISIF 2003, Colorado Springs, 09.–12. März (2003).
- A. Gerber, H. Kohlstedt, M. Schmid, J. Schubert, V. Vaithyanathan und D. G. Schlom, Charakterisierung dünner SrTiO_3 Schichten für den Einsatz als alternatives Gateoxid im ferroelektrischen Feldeffekttransistor, DGP Frühjahrstagung, Dresden 24.–18. März (2003).
- A. Gerber, H. Kohlstedt, V. Vaithyanathan, J. Schubert, O. Trithaveesak, R. Waser, MBE Grown SrTiO_3 on Si as a Buffer Layer for Ferroelectric Field Effect Transistors (FeFETs), 10th International Workshop on Oxide Electronics, Augsburg, 11.–13. September (2003).
- A. Gerber, H. Kohlstedt, V. Vaithyanathan, J. Schubert, O. Trithaveesak, R. Waser, MBE grown SrTiO_3 on Si as a buffer layer for ferroelectric field effect transistors (FeFETs), Trends in Nanotechnology Conference (TNT) 2003, Held in Salamanca Spain, 15.–19. September (2003).

- A. Petraru, N. A. Pertsev, R. Meyer, V. Nagarajan, J. Brugger, A. Gerber, J. Schubert, C. L. Jia, U. Poppe, H. Kohlstedt, R. Waser, Electron tunneling through ultra thin ferroelectric films, MRS Fall Meeting, Boston MA, USA, 29. Nov– 3. Dezember (2004).
- A. Gerber, M. Fitsilis, H. Kohlstedt, R. Waser, Timothy J. Reece, Stephen Ducharme and E. Rije, Electrical Characteristics of Ferroelectric Field Effect Transistors (FeFETs) Incorporating Langmuir-Blodgett Films of a Vinylidene Fluoride Ferroelectric Copolymer, MRS Fall Meeting, Boston MA, USA, 27. November – 1. December (2005).
- Andreas Gerber, Hermann Kohlstedt, Michael Fitsilis, Rainer Waser, Timothy J. Reece, Stephen Ducharme, E. Rije and Juergen Schubert, Electrical characteristics of Ferroelectric Field Effect Transistors (FeFETs) incorporating Langmuir-Blodgett films of a vinylidene fluoride ferroelectric copolymer, MRS spring meeting, San Francisco, 17.–21. April (2006).
- Hermann Kohlstedt, Andreas Gerber, Rainer Waser, Timothy Reece, Stephen Ducharme, Eduard Rije, Martin Roeckerrath, and Jürgen Schubert, Electrical characteristics of Ferroelectric Field Effect Transistors (FeFETs) incorporating Langmuir-Blodgett films, DPG Frühjahrstagung, Regensburg, 26.–30. März (2007).

Erklärung

Ich versichere, dass ich die von mir vorgelegte Dissertation selbständig angefertigt, die benutzten Quellen und Hilfsmittel vollständig angegeben und die Stellen der Arbeit – einschließlich Tabellen, Karten und Abbildungen –, die anderen Werken im Wortlaut oder dem Sinn nach entnommen sind, in jedem Einzelfall als Entlehnung kenntlich gemacht habe; dass diese Dissertation noch keiner anderen Fakultät oder Universität zur Prüfung vorgelegen hat; dass sie – abgesehen von unten angegebenen Teilpublikationen – noch nicht veröffentlicht worden ist sowie, dass ich eine solche Veröffentlichung vor Abschluß des Promotionsverfahrens nicht vornehmen werde. Die Bestimmungen dieser Promotionsordnung sind mir bekannt. Die von mir vorgelegte Dissertation ist von Priv. Doz. Dr. Hermann Kohlstedt betreut worden.

(gez. Andreas Gerber)

