



UNIVERSITÀ DEGLI STUDI DI PADOVA
FACOLTÀ DI INGEGNERIA

CORSO DI LAUREA IN
INGEGNERIA DELL'INFORMAZIONE

TESI DI LAUREA

**AFFIDABILITÀ DI SRAM E
MICROPROCESSORI IN AMBIENTE
SPAZIALE**

RELATORE: PROF. ALESSANDRO PACCAGNELLA

CORRELATORE: DOTT. SIMONE GERARDIN

CANDIDATA: BEATRICE MICCOLI

ANNO ACCADEMICO 2011-2012

INDICE

1	RICHIAMI SUI MICROPROCESSORI	1
1.1	Circuiti sequenziali	3
1.1.1	Latch	3
1.1.2	Flip-Flop	6
1.2	Static Random-Access Memories: SRAM	7
1.2.1	SRAM: margini di lettura e scrittura	9
1.2.2	SRAM Column circuitry	10
2	EFFETTO DELLE RADIAZIONI SUI DISPOSITIVI ELETTRONI MOS	13
2.1	Total Ionizing Dose - TID	13
2.2	Single Event Effect - SEE	16
2.2.1	Single Event Upset - SEU	19
2.2.2	Single Event Transient	19
2.3	Confronto tra TID e SEE	21
3	ATTENUAZIONE DEGLI EFFETTI DELLE RADIAZIONI	23
3.1	Attenuazione della Total Ionizing Dose	23
3.2	Attenuazione dei Single Event Effect	26
3.2.1	Attenuazione dei SEE attraverso il processo	26
3.2.1.1	Hardening attraverso transistor SOI	27
3.2.2	Attenuazione dei Single Event Effect attraverso il design	29
3.2.2.1	Hardening attraverso resistori	29
3.2.2.2	Dual Interlocked Cell -DICE	31
3.2.2.3	Hardening Temporale	34
3.3	Tecniche di ridondanza e Triple Mode Redundancy (TMR)	38
3.4	Applicazioni: XILINX Virtex-5QV FPGA	41
4	MITIGAZIONE DEGLI EFFETTI DELLE RADIAZIONI SULLE MEMORIE SRAM	43
4.1	Mitigazione della TID nelle memorie SRAM usando il RHBD	43
4.1.1	Hardening attraverso Edgeless transistor	43
4.1.2	Hardening attraverso il Rverse Body Bias - RBB	45
4.2	Mitigazione dei SEE nelle memorie SRAM	46
4.2.1	Dual Redundant Control Circuit Design	48
5	CONCLUSIONI	51

SOMMARIO

Per radiazione si intende il trasferimento di energia da parte di un "quanto" (particella o fotone). Le radiazioni presenti nello spazio influenzano il comportamento dei microprocessori posti in tale ambiente. I microprocessori cosiddetti rad-hard, ovvero resistenti alle radiazioni, sono rimasti indietro rispetto alla controparte commerciale e le cause di ciò sono da ricercarsi nei complessi e costosi processi di fabbricazione a cui si deve ricorrere per costruire microprocessori rad-hard come ad esempio l'impiego di transistor SOI. Anche nel caso in cui si usino altri tipi di tecniche per rendere i microprocessori resistenti alle radiazioni, come l'utilizzo di particolari layout (Radiation Hardening by Design - RHBD), si incontrano notevoli penalità soprattutto per quanto riguarda il consumo di area dei dispositivi. In tale elaborato, dopo una breve introduzione sull'architettura dei microprocessori e dei loro principali componenti, verrà dato particolare rilievo ai meccanismi che si instaurano nei circuiti integrati, in particolare nei transistor MOSFET, in seguito all'impatto con le radiazioni. Successivamente verranno proposte numerose tecniche di hardening sia riguardanti l'utilizzo di un particolare processo di fabbricazione sia focalizzate su una riorganizzazione del layout. Tali tecniche riguarderanno sia i singoli transistor, sia i componenti base che si ritrovano all'interno dei microprocessori come ad esempio le memorie SRAM e i registri.

RICHIAMI SUI MICROPROCESSORI

I microprocessori si sono ampiamente diffusi nei sistemi digitali dal momento che, grazie alla loro programmabilità, permettono di definire via software la maggior parte delle funzioni dei circuiti integrati.

Uno schema basilare di tali dispositivi si ritrova in figura 1.

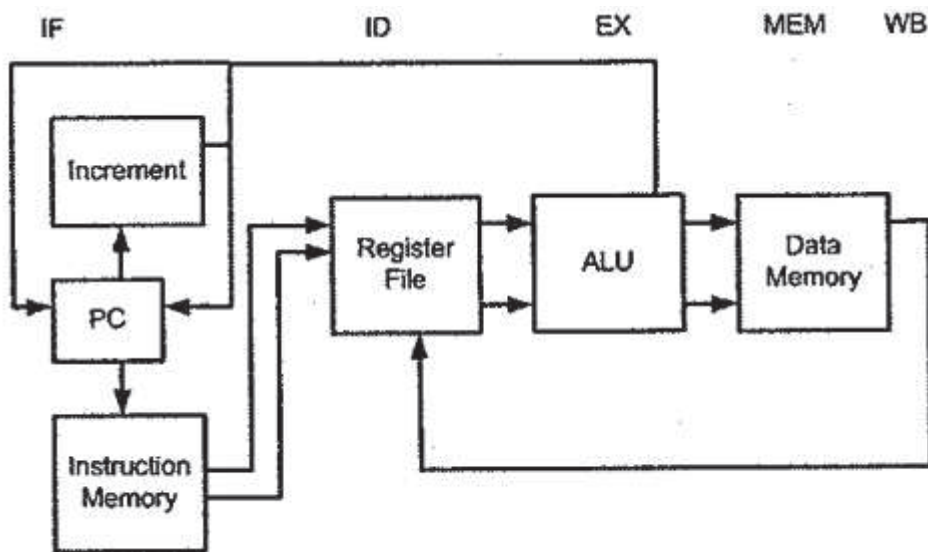


Figura 1: Operazioni di istruzione: blocchi funzionali basilari.

Il Program Counter (PC) indica qual' è la successiva istruzione della memoria da eseguire. Tale istruzione viene recuperata dalla memoria tramite l'istruzione di fetch (IF). Essa viene successivamente decodificata per determinare quali siano i suoi operandi durante l'operazione di decodifica (ID). Nei moderni microprocessori gli operandi risiedono in appositi registri di file (RF). Gli operandi vengono poi trasmessi all'unità aritmetico logica (ALU). Nella fase di esecuzione (EX) la ALU modifica i valori che ha ricevuto in input e rimanda il risultato ai RF. Se l'istruzione deve accedere alla memoria dati la ALU calcola l'indirizzo di memoria in esame e la memoria viene letta o scritta nell'operazione di MEM. Nel caso in cui si effettui un'operazione di lettura, il valore letto dalla memoria viene scritto nei RF per essere usato durante la successiva operazione write back (WB).

Le performance di un microprocessore riguardano diversi fattori tra cui il tempo di risposta, il consumo di potenza e il costo. Il tempo totale della Central Processing Unit (CPU) è definito come:

$$t_{setup} = t_{CLK_PER} \times CPI$$

Dove CPI è il numero di cicli di clock che richiede l'esecuzione di un'istruzione da parte della CPU e t_{CLK_PER} è il periodo di clock. Tale tempo risulta inversamente proporzionale alle performance del dispositivo. È bene precisare che tale relazione vale per i processori RISC, ovvero, per i processori in cui ogni istruzione semplice viene eseguita in un unico ciclo di clock. Per i processori che invece usano un insieme complesso di istruzioni che possono richiedere anche più di un ciclo di clock per essere eseguite (CISC) la formula viene modificata come segue:

$$t_{CPU} = t_{CLK_PER} \sum_{i=1}^N C_i \times CPI$$

Dove N rappresenta diverse possibili classi di istruzioni. Le performance di un microprocessore vengono spesso espresse in termini di milioni di istruzioni per secondo (MIPS) dove:

$$MIPS = f_{CLK} / CPI \times 10^6$$

Un altro fattore di rilievo è il consumo di potenza. Nelle applicazioni spaziali la potenza deve essere generata da pannelli solari conservati in batterie e restituita in modo da minimizzare la dissipazione di potenza e quindi anche il surriscaldamento del dispositivo, difficile da eliminare in ambienti in cui è presente il vuoto.

Nel processore mostrato in figura 1, inoltre, si assume che ogni istruzione abbia accesso a tutto l'hardware del processore. Questo approccio fa un uso estremamente inefficiente delle risorse dal momento che ad ogni interazione la maggior parte delle risorse è in stato di inattività. Una soluzione a questo problema consiste nel far sì che ogni pezzo di un'istruzione acceda ad una specifica porzione di hardware, ovvero, nell'implementare il pipeline. Esso divide le operazioni in passi discreti che vengono mandati avanti in parallelo. Un metodo per ridurre il tempo necessario per accedere ai dati in memoria è quello di utilizzare delle memorie cache, ovvero, delle memorie temporanee, non visibili via software, che memorizzano un insieme di

dati che possono essere successivamente velocemente recuperati su richiesta. Dal momento che la maggior parte dei moderni microprocessori è composta da registri di file e memorie SRAM, in tale elaborato verrà dato particolare spazio a tali dispositivi.

1.1 CIRCUITI SEQUENZIALI

Si distinguono due categorie di reti logiche: reti combinatorie e reti sequenziali. Le reti combinatorie sono reti per cui le uscite dipendono solo dagli ingressi. Le reti sequenziali sono invece reti per cui le uscite dipendono sia dagli ingressi che dalla "storia" del sistema. Il sistema ha uno stato, che è un elemento di memoria e tiene conto della sua evoluzione passata.

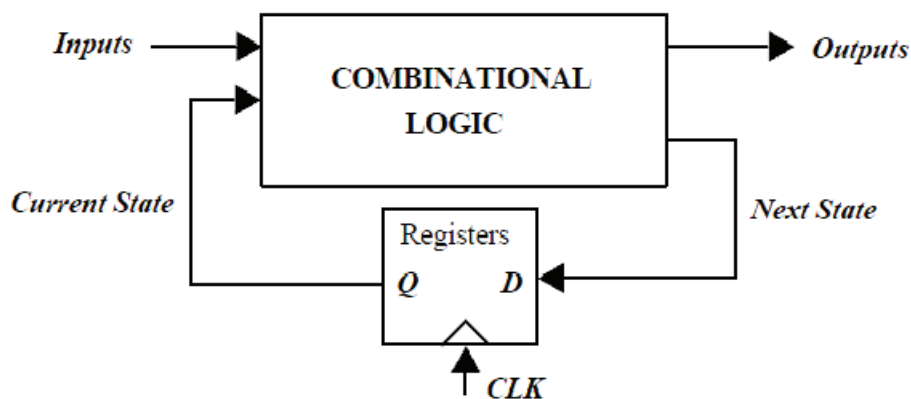


Figura 2: Schema basilare della logica combinatoria.

Per memorizzare lo stato del sistema si affiancano alla logica combinatoria dei registri. Se tutti i registri sono controllati da un unico segnale di temporizzazione, il clock, si parla di sistemi sequenziali sincroni.

1.1.1 Latch

Il latch è un circuito sensibile al livello del clock che trasferisce il segnale presente all'ingresso, D , all'uscita, Q , quando il segnale di clock è a livello logico alto. Il latch viene quindi detto in modalità trasparente. Quando il clock è a livello logico basso il dato in ingresso campionato in corrispondenza del fronte di discesa del clock viene mantenuto stabile in uscita per l'intera fase e il latch è detto in modalità di memoria. Perché ciò accada, il segnale di ingresso deve essere stabile nell'intorno del fronte di discesa del clock. I latch caratterizzati da questo fun-

zionamento sono detti latch positivi mentre, quelli duali, latch negativi.

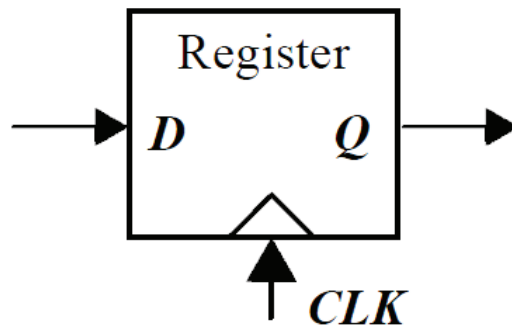


Figura 3: Latch, schema a blocchi.

Il metodo più robusto e utilizzato per costruire un latch è quello di utilizzare un multiplexer a gate di trasmissione. In un latch positivo quindi l'ingresso 1 del multiplexer verrà selezionato quando il clock sarà alto e l'uscita sarà, invece, mantenuta stabile tramite la retroazione, quando il clock sarà basso.

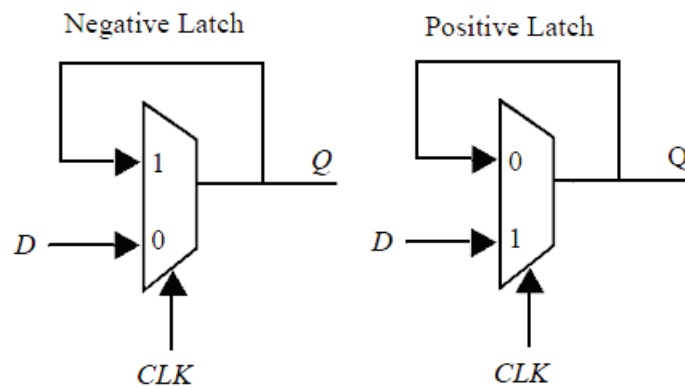


Figura 4: Latch con gate di trasmissione positivo e negativo.

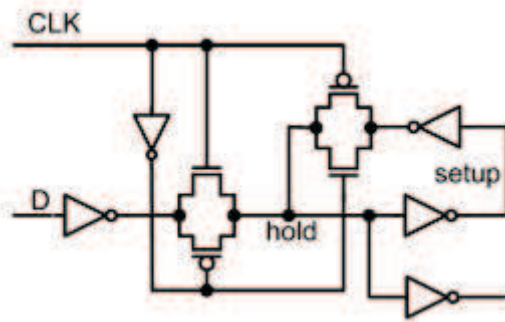


Figura 5: Latch a gate di trasmissione

Tali dispositivi sono sensibili agli effetti delle radiazioni e possono quindi essere soggetti a malfunzionamenti che verranno in seguito spiegati in dettaglio.

I tempi più significativi di questa logica sono il tempo di setup, t_{setup} , e il tempo di hold, t_{hold} . Il tempo di setup è il tempo prima del fronte di salita del clock per cui l'ingresso D deve essere valido, ovvero stabile, in modo da portare al trasferimento in uscita del dato voluto. Il tempo di hold, invece, rappresenta il tempo per cui l'ingresso deve essere mantenuto stabile dopo il fronte di salita del clock.

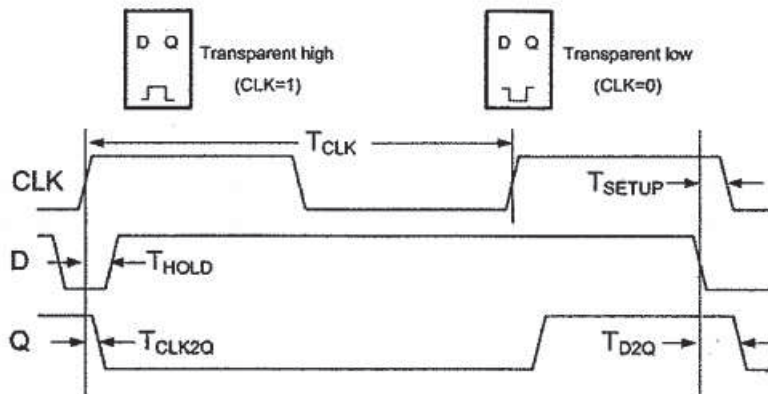


Figura 6: Temporizzazione del latch

Se l'ingresso D cambia troppo velocemente e non soddisfa i limiti imposti da t_{hold} può venire memorizzato lo stato sbagliato causando un errore.

I latch sono gli elementi alla base dei dispositivi di memoria come ad esempio i Flip-Flop master slave (MSFF). Inoltre, la loro trasparenza, favorisce il "time-borrowing" che consiste nel poter sfruttare parte del periodo di clock che non viene utilizza-

to in un determinato ciclo per la logica combinatoria precedente o successiva. Tale proprietà risulta molto utile nel risolvere i conflitti temporali nelle pipeline congestionate oppure quando si deve interagire con circuiti temporizzati dal clock come ad esempio le memorie.

1.1.2 Flip-Flop

La maggior parte dei moderni circuiti digitali fa uso di Flip-Flop Master Slave (MSFF) i quali, essendo dispositivi attivi sui fronti (edge triggered), semplificano l'analisi temporale e il design dei circuiti assicurando che ad ogni passo le transizioni inizino durante la salita o la discesa del clock. Essi sono costituiti da due latch a multiplexer posti uno di seguito all'altro con fasi di clock alternate. Il primo latch, negativo, è denominato "master" mentre il secondo, positivo, "slave". Quest'ultimo è in modalità trasparente quando il segnale di clock è alto e quindi il tempo di setup può essere tanto lungo quando il semiperiodo alto del clock.

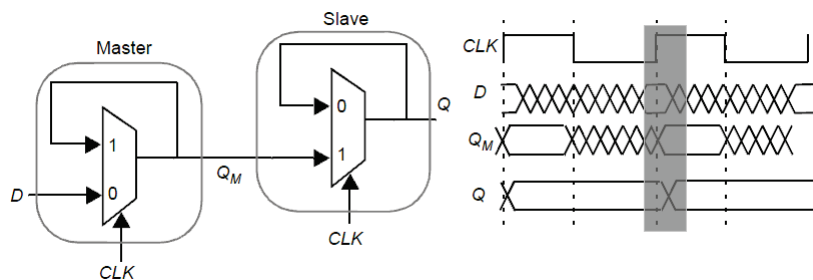


Figura 7: Master Slave Flip-Flop (MSFF)

Le peculiarità di tale circuito si manifestano principalmente durante la fase alta del clock. In tale periodo, infatti, il latch slave si trova in modalità di trasparenza e quindi campiona il suo ingresso, ovvero l'uscita, Q_M , dello stato master. Tuttavia essendo lo stato master in modalità di memorizzazione, l'uscita Q_M rimane costante al valore memorizzato nello stadio slave durante la fase precedente del clock. Dunque, durante ogni ciclo, l'uscita del MSFF, Q , compie solo una transizione e il suo valore è determinato da quello dell'ingresso, D , appena prima del fronte di salita del clock, come evidenziato nell'immagine 7

M5 e M6 disconnettono la cella dalle bit line e, i due inverter, continuano a compensarsi a vicenda finché sono collegati alle alimentazioni, questo è lo stato di standby. Nella fase di lettura, supponendo che il contenuto della memoria, memorizzato nel nodo Q, sia 1, il ciclo viene iniziato precaricando entrambe le bit line al valore logico 1 e successivamente attivando la WL, abilitando così i due pass transistor M5 e M6. Il secondo passo consiste nel trasmettere i valori immagazzinati in Q e \bar{Q} alle bit line lasciando BL al suo valore precaricato e scaricando \bar{BL} attraverso M1 e M5 allo 0 logico (M1 è acceso in quanto Q si trova allo stato logico 1). Infatti i transistor M4 e M6 mantengono sulla BL l'1 logico essendo il transistor pMOS M4 acceso poiché \bar{Q} vale 0. Se il contenuto della cella fosse stato 0, si sarebbe verificato il processo duale a quello sopra descritto. La bit line BL sarebbe stata scaricata a 0 e \bar{BL} sarebbe stata caricata a 1.

Infine, la fase di scrittura inizia con l'applicazione sulle bit line del valore che si vuole scrivere nella cella. Se tale valore è 0 si imposta BL a 0 e \bar{BL} a 1. Per scrivere un 1 è sufficiente invertire i valori delle bit line. Successivamente, viene attivata la WL e il valore logico desiderato viene immagazzinato nella cella. Tale meccanismo funziona poiché gli ingressi sulle bit line sono progettati in modo da essere molto più forti rispetto a quelli, più deboli, presenti sugli inverter in modo che possano facilmente sovrascrivere lo stato precedentemente memorizzato.

Le memorie SRAM sono più costose, in quanto utilizzano un numero maggiore di transistor, rispetto alle DRAM ma sono più veloci e consumano meno potenza, sono perciò indicate nelle applicazioni in cui la larghezza di banda e/o il basso consumo di potenza sono particolarmente importanti. In particolare, il consumo di potenza di una SRAM dipende fortemente da quanto frequentemente viene effettuato un accesso. Se viene utilizzata ad alte frequenze può consumare tanto quanto una DRAM ma a basse frequenze, ad esempio nelle applicazioni in cui si trovano microprocessori con frequenza di clock moderata, ha un consumo di potenza molto basso e quasi trascurabile in condizioni di standby. Alcuni esempi di applicazioni delle SRAM integrate nei chip sono come memoria RAM o cache nei microcontrollori, come cache primaria nei microprocessori più potenti, nelle FPGA o in circuiti integrati specifici.

1.2.1 SRAM: margini di lettura e scrittura

Il design delle celle, delle memorie SRAM, deve confrontarsi con i contrasti dovuti alla diminuzione delle aree dei transistor. Questo porta alla scelta di un fattore di forma per i transistor che sia il minore possibile in concordanza con lo scaling delle moderne tecnologie che si dirigono verso dispositivi nanometrici. Tuttavia, queste modifiche, portano alla modifica dei parametri dei transistor CMOS come la tensione di soglia e la necessità di un progressivo aumento del drogaggio. A causa di ciò, due transistor posti uno vicino all'altro e supposti idealmente identici, avranno in realtà importanti differenze nei loro parametri elettrici rendendo quindi il design della cella SRAM meno prevedibile e controllabile.

La conservazione dei dati nelle SRAM, sia durante la fase di standby che durante la fase di lettura, è di fondamentale importanza, tuttavia, risulta contrastata dall'avanzamento della tecnologia. La cella diventa meno stabile con la diminuzione delle tensioni di alimentazione e aumentano le correnti di perdita.

La stabilità viene definita in termini di margine di rumore, ovvero il massimo valore di tensione che può essere tollerato dalla cella SRAM senza modificare il bit memorizzato. Si supponga che nella cella sia memorizzato il valore 0. Nel momento in cui viene letto tale valore c'è un impulso di corrente che scorre attraverso i transistor M_3 e M_4 , esso fa sì che la tensione al nodo Q si porti un po' sopra al valore logico "0" (ovvero V_{ss}). Il valore memorizzato in \bar{Q} non viene invece modificato in quanto non c'è passaggio di corrente attraverso il transistor M_2 . L'incremento di tensione che si verifica sul nodo Q causa una riduzione del margine di rumore della cella SRAM (SNM) definito come la lunghezza, in Volt, del lato del quadrato con diagonale più grande possibile che si può inserire tra due curve di trasferimento degli invertitori CMOS coinvolti. In particolare il grafico si ottiene rappresentando le curve di trasferimento degli inverter sia sull'asse x che sull'asse y e poi combinando i grafici ottenendo quella che viene comunemente definita curva "a farfalla". Quando un disturbo DC esterno è maggiore del SNM lo stato della cella SRAM può commutare e comportare quindi la perdita dei dati.

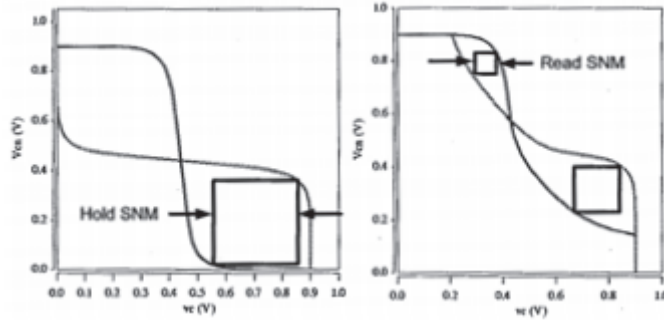


Figura 9: Margini di lettura e di hold di una cella SRAM

Idealmente i transistor, come precedentemente discusso, dovrebbero essere identici dando quindi luogo ad una figura simmetrica (figura 9 a sinistra) tuttavia le variazioni di processo fanno sì che ci sia asimmetria portando uno stato ad essere più stabile dell'altro (figura 9 a destra), in questo caso, lo SNM è definito come il quadrato inscritto nell' "anello" più piccolo.

Durante la fase di hold non sono presenti flussi di corrente e quindi i valori dei nodi Q e \bar{Q} rimangono o vicino a V_{dd} o vicino a V_{ss} .

Per quanto riguarda il margine di lettura si considera nell'analisi il caso peggiore, ovvero quello in cui c'è una grande differenza tra i transistor del circuito. Dalla figura 9 si può inoltre notare come l'aumento della tensione al nodo Q , durante la lettura di uno 0, provochi una significativa riduzione dello SNM che, nelle moderne celle può essere minore anche di 50 mV.

Uno tra i fattori che, invece, contribuisce ad aumentare il margine di rumore in lettura è il dimensionamento dei transistor. Infatti, gli NMOS di pull down sono fatti in modo da essere più larghi di quelli di accesso, M_5 e M_6 , mentre, i pMOS di pull up devono essere più deboli rispetto ad essi. Per quanto riguarda invece il margine di scrittura, esso viene assicurato dimensionando il pass transistor M_6 in modo che sia più forte del transistor pMOS di pull-up M_4 . In questo modo il transistor M_6 , durante una fase di scrittura, riesce a dominare sul transistor M_4 e sovrascrivere il dato presente con quello voluto.

1.2.2 SRAM Column circuitry

Nei dispositivi moderni le SRAM sono organizzate in banchi costituiti da diversi array di celle di memoria e da specifici circuiti per la decodifica degli indirizzi di memoria e per l'implemen-

tazione delle operazioni di lettura e scrittura. Gli array sono organizzati in righe, word line, e colonne, bit line, di celle di memoria.

Gli elementi meno regolari del circuito come i sense amplifiers ¹, i circuiti per la scrittura, ecc... sono condivisi da più colonne di celle di SRAM in modo da minimizzare il consumo di area del circuito e aumentarne la densità.

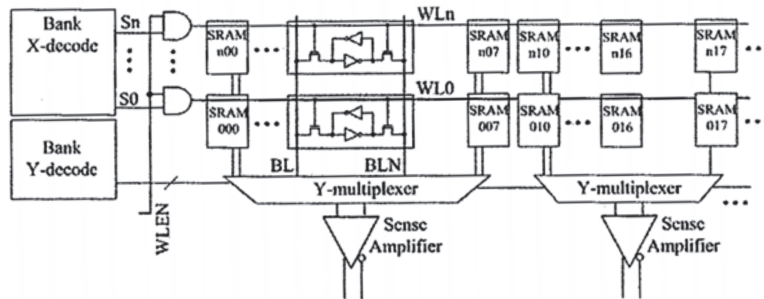


Figura 10: Architettura convenzionale di un banco di SRAM. Poichè i sense amplifiers e i circuiti di scrittura sono larghi si è soliti dividerli con 2-8 colonne sia al di sopra che al di sotto.

Ad esempio, nella figura 10 si notano 8 colonne di celle che condividono lo stesso sense amplifier e lo stesso circuito di scrittura attraverso il multiplexer Y. Attraverso il raggruppamento in colonne si riesce a forzare una distanza tra le celle che contengono i dati di una singola parola, assumendo che tale parola sia letta in un unico ciclo. Questa separazione, dovuta appunto ai multiplexer Y, fa diminuire la probabilità che un MBU colpisca più bit di una singola parola. Nei design commerciali si tendono ad usare un minimo di 4 colonne di celle di SRAM per gruppo ma, grazie allo scaling tecnologico, tale numero si presenta in continuo aumento.

¹ Per accelerare i tempi di lettura, le memorie SRAM fanno uso del sense amplifier. Il sense amplifier viene attivato quando la differenza di potenziale tra BL e BL negata raggiunge un valore critico, scaricando una delle due bitline.

EFFETTO DELLE RADIAZIONI SUI DISPOSITIVI ELETTRONI MOS

I principali elementi presenti nello spazio, che danneggiano i circuiti integrati, sono le radiazioni intrappolate e i raggi cosmici. Le prime sono dovute ad una grande varietà di particelle cariche che rimangono intrappolate nel campo elettromagnetico della Terra, principalmente costituite da protoni. I secondi, invece, al di là dell'atmosfera sono costituiti da protoni (per circa il 90%) e da nuclei di elio (quasi il 10%); tuttavia, anche elettroni ed altri nuclei leggeri, fotoni, neutrini ed in minima parte antimateria (positroni ed antiprotoni) fanno parte dei raggi cosmici primari. Giunte nell'atmosfera terrestre, tali particelle interagiscono con i nuclei delle molecole dell'atmosfera formando così, in un processo a cascata, nuove particelle proiettate in avanti, che prendono il nome di raggi cosmici secondari. Gli elementi costituenti i microprocessori che sono influenzati dalla presenza di radiazioni sono gli elementi di memoria, come le SRAM e i Flip-Flop il cui elemento base sono i transistor MOS. I malfunzionamenti che si verificano in questi dispositivi a causa dell'impatto delle radiazioni sono causati principalmente da due fenomeni microscopici: la Total Ionizing Dose, dovuta all'intrappolamento di carica negli ossidi, e la raccolta di carica nelle giunzioni pn in inversione.

2.1 TOTAL IONIZING DOSE - TID

Una tra le principali conseguenze dovute all'incidenza della radiazione con la materia è la ionizzazione che provoca la degradazione dei parametri dei dispositivi. La deposizione di energia di ionizzazione in un materiale mediante ionizzazione è chiamata "dose" e misurata in radianti o gradi. In tale processo, quando la radiazione attraversa l'ossido (SiO_2) presente nei transistor MOS, viene trasferita energia nel biossido di silicio attraverso la creazione di coppie elettrone-lacuna che, non riuscendo a ricombinarsi in un tempo sufficientemente corto, causano l'accumulo di energia. Se si è in presenza di un campo elettrico, il numero di coppie che non si ricombina è molto alto e sia gli elettroni che le lacune iniziano ad essere soggette ad

un moto di deriva. Dal momento che gli elettroni hanno una mobilità molto superiore rispetto a quella delle lacune riescono facilmente ad uscire dall'ossido mentre le lacune rimangono intrappolate in esso.

Considerando un transistor NMOS, le lacune intrappolate nell'ossido di gate hanno l'effetto che avrebbe l'applicazione di una tensione positiva al gate del transistor e quindi tendono a creare lo strato di inversione nel substrato di tipo p.

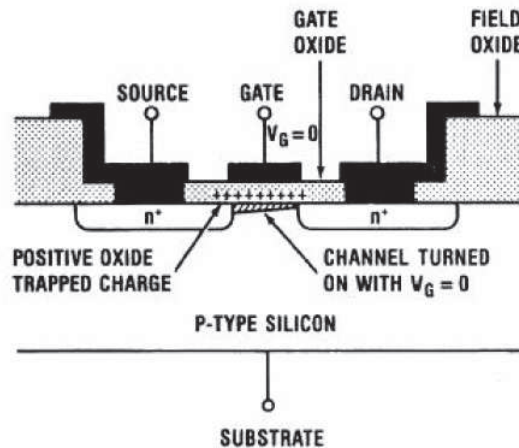


Figura 11: Meccanismo di accumulo di carica nell'ossido sottile di gate nei transistor nMOS.

Questo processo ha come conseguenza una diminuzione della tensione di soglia, V_{th} , del transistor. Se la carica intrappolata a causa della radiazione è tale da riuscire a stabilire l'inversione, si crea una corrente di perdita anche in assenza dell'applicazione di una tensione al gate. Per quanto riguarda i dispositivi pMOS, dal momento che per accenderli è necessaria una tensione negativa, la radiazione può portare il dispositivo a non accendersi mai. Man mano che le dimensioni dei transistor si riducono e l'ossido di gate diventa sempre più sottile gli effetti della TID sono sempre meno evidenti in quanto i portatori riescono ad uscire dall'ossido.

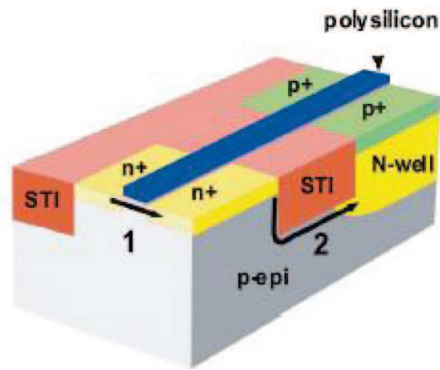


Figura 12: Canali di perdita parassiti che si formano nei transistor nMOS a causa dell'accumulo di carica nelle trench di isolamento.

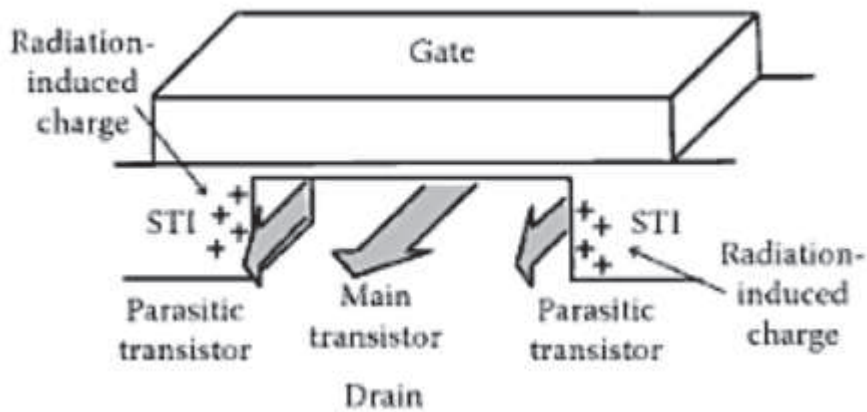


Figura 13: Transistor laterali parassiti che si formano nei transistor nMOS a causa dell'accumulo di carica nelle trench di isolamento.

Le cariche intrappolate nelle trench di isolamento, invece, contribuiscono alla formazione di transistor laterali parassiti tra Drain e Source (nello stesso transistor) e canali parassiti tra Drain ed N-well di transistor adiacenti.

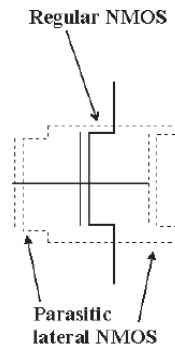


Figura 14: Schematizzazione tramite i simboli circuitali dei transistor parassiti.

La TID è un meccanismo di degradazione e lungo termine che lentamente modifica le caratteristiche elettriche dei dispositivi inizialmente attraverso un aumento delle correnti di perdita, che quindi causano un aumento della corrente di standby I_s , e successivamente attraverso malfunzionamenti dei dispositivi.

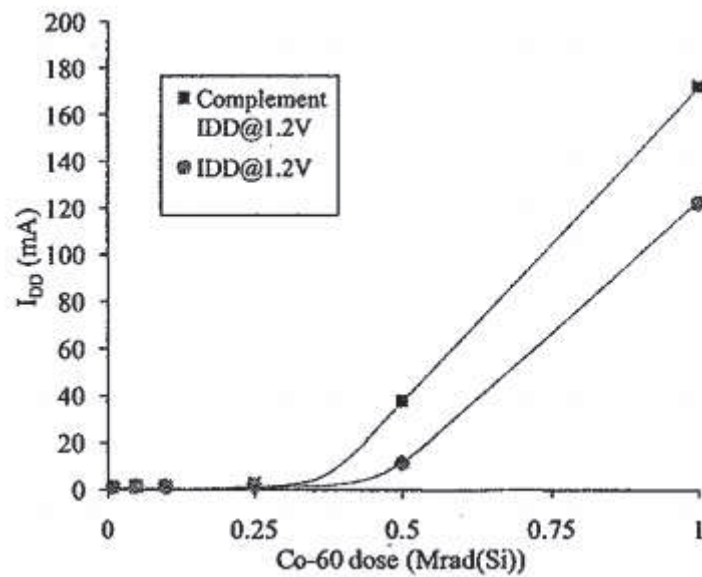


Figura 15: Impatto della TID su una SRAM da 1.2Mbit e 90nm non rad-hard (scala lineare).

2.2 SINGLE EVENT EFFECT - SEE

I Single Event Effects sono dovuti al deposito di carica nel silicio a causa di radiazioni ionizzanti. I circuiti integrati che utilizzano la logica CMOS immagazzinano l'informazione per mezzo di due valori di tensione discreti: V_{dd} , corrispondente all' "1"

logico, e V_{ss} , corrispondente allo "0" logico. L'impulso di carica generato può portare ad una momentanea modifica di tali valori dando luogo ad un Single Event Transient (SET). Se la carica immagazzinata provoca la variazione del dato immagazzinato in un elemento di memoria si parla invece di Single Event Upset (SEU) o soft error. Nelle applicazioni in orbita tali disturbi sono principalmente causati da protoni o ioni pesanti. Tuttavia sono dovuti anche alle particelle alfa¹ che sono emesse dai package, dalle saldature o dagli stessi circuiti integrati ma anche ai neutroni presenti sui dispositivi terrestri.

I nodi che maggiormente risentono di questa influenza sono le giunzioni polarizzate in inversa dei transistor spenti come ad esempio quella drain/bulk degli NMOS: le lacune migrano verso il substrato e gli elettroni verso il drain, viceversa nei pMOS, dando luogo a correnti di perdita.

Possono verificarsi diversi tipi di SEE in base al tipo di particella che collide con il circuito e al tipo di circuito stesso. Essi sono il risultato della ionizzazione dovuta ad una singola particella energetica che induce un impulso sulla giunzione p-n. L'errore si verifica quando la carica iniettata dall'impulso di corrente (esponenziale doppio) in un nodo sensibile di un elemento di memoria bistabile supera la massima carica critica, Q_c , richiesta per cambiare lo stato logico di quell'elemento. Il cambio di stato risultante è spesso chiamato bit-flip. I principali meccanismi attraverso cui avviene la raccolta di carica sono: deriva, funneling e diffusione. Il fenomeno del funneling si verifica quando i nuovi portatori generati attraversano una regione in cui è presente un alto campo elettrico, come ad esempio quello presente nella regione di svuotamento di una giunzione pn. Tali portatori distorcono il campo elettrico associato a quella regione e ne causano la diffusione in regioni lungo la traccia della radiazione che precedentemente non subivano l'influenza di tale campo. A causa del campo i portatori sono rapidamente richiamati lungo la traccia a causa della deriva (invece che a causa della più lenta diffusione). Dopo pochi nanosecondi la densità di portatori vicino alla giunzione diventa paragonabile a quella del drogaggio del substrato e il campo elettrico si riporta alla sua configurazione iniziale. Quindi gli effetti del funneling dipendono fortemente dal drogaggio del substrato.

¹ Le particelle alfa, raggi alfa o elioni sono una forma di radiazione corpuscolare altamente ionizzante e con un basso potere di penetrazione dovuto all'elevata sezione d'urto. Consistono di due protoni e due neutroni legati insieme dalla forza forte, si tratta quindi di nuclei ${}^4\text{He}$.

La diffusione è un fenomeno meno influente rispetto al funnelling e al drift in quanto è più lento e si propaga in diversi nodi del circuito.

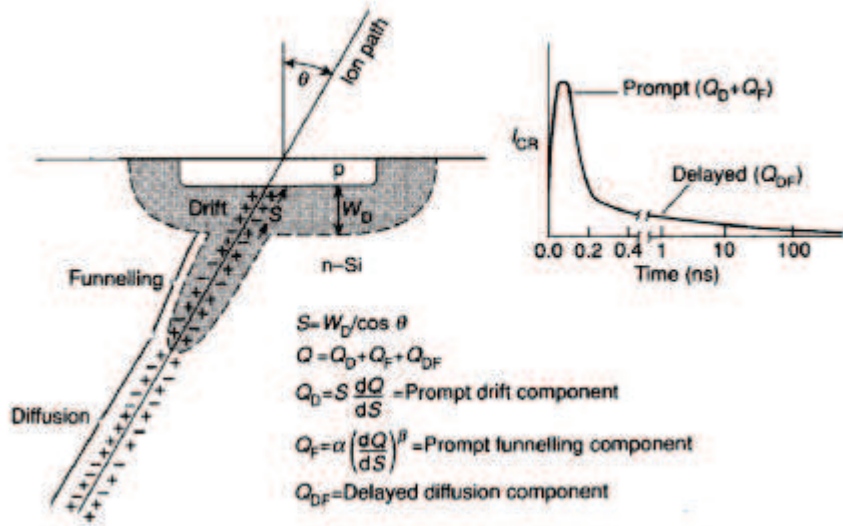


Figura 16: Meccanismo di accumulo di carica innescato dalla SEE.

La deposizione di carica è una funzione dell'energia persa dalla particella ovvero del Linear Energy Transfer (LET) data da:

$$LET = \left(\frac{1}{\rho} \right) \cdot \frac{dE}{dx}$$

Dove $\frac{dE}{dx}$ è l'energia persa dallo ione nel materiale che sta attraversando e ρ è la densità del materiale (2.42 g/cm³ per il silicio). Dunque la carica prodotta è data da:

$$Q = L_{track} \cdot \left(\frac{\rho \cdot LET}{E_{ehp}} \right) \cdot q$$

Dove L_{track} è la lunghezza della traiettoria della particella ed E_{ehp} è l'energia richiesta per creare una coppia elettrone-lacuna.

Le memorie SRAM si sono dimostrate particolarmente sensibili ai danni provocati da protoni a bassa energia. Una soluzione adottata per limitare queste problematiche è stata quella di rimuovere il BPSG (Borophosphosilicate glass) dai dielettrici in quanto presentava un'alta concentrazione di ¹⁰B, che ha un'alta sezione trasversale di cattura di neutroni. Anche se la maggior parte dei neutroni attraversa i circuiti integrati senza interagire con essi, alcune interazioni possono causare la creazione di ioni che attraversando i CI creano una scia di coppie elettrone-lacuna.

2.2.1 Single Event Upset - SEU

La vulnerabilità di un dispositivo al SEU è definita da due parametri:

1. Minima LET richiesta per produrre un errore. Essa corrisponde ad una deposizione di carica tale da essere paragonabile alla carica critica, Q_c , che, se immagazzinata da un nodo sensibile, ne altera il valore memorizzato. Solitamente il tempo di risposta del circuito, almeno qualche decina di ps, è molto maggiore del tempo di accumulo della carica, dell'ordine di pochi ps. A causa di ciò la cella può commutare ad un tasso molto più veloce rispetto a quello con cui il circuito rimuove la carica. La maggior parte delle tecniche di hardening per limitare questi problemi cerca quindi di modificare e ottimizzare la costante di tempo di commutazione della cella.
2. Sezione trasversale di saturazione. Rappresenta il caso in cui tutti gli ioni incidenti provochino un errore e quindi, un eventuale aumento di LET, non provocherebbe un aumento del numero di errori, ad esempio di Multiple Bit Upset (MBU). La carica immagazzinata in un nodo dipende infatti dall'angolo di incidenza della particella e l'effettiva LET è data da:

$$LETT_{eff} = \frac{LET}{\cos(\theta)}$$

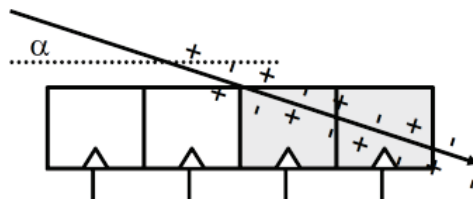


Figure 17: Angolo di incidenza della particella.

2.2.2 Single Event Transient

La radiazione ionizzante può depositare carica in qualsiasi punto del circuito, e, se si tratta di circuiti logici, e non dispositivi di memoria, la risposta del dispositivo dipende dal circuito stesso. Il SET si verifica quando una particella subatomica attraversa

un nodo sensibile di una logica combinatoria. La carica depositata dalla particella causa un disturbo di tensione che si propaga nel circuito e può arrivare ad un elemento di memoria causando un SEU. In particolare questo avviene quando il SET raggiunge un Flip Flop nell'istante in cui avviene il campionamento (fronte del clock), compatibilmente con i suoi tempi di setup e di hold, e viene quindi memorizzato un dato errato. L'intensità e la durata del SET dipendono dalla capacità del nodo su cui impatta la particella. Infatti, man mano che le dimensioni dei transistor diminuiscono, diminuisce anche la capacità associata ai singoli nodi del circuito e quindi si possono produrre grandi disturbi di tensione anche da quantità relativamente piccole di cariche depositate. Nelle tecnologie nanometriche, la capacità critica viene superata e l'asporto della carica è lento (resistenze parassite alte): i transienti di tensione possono durare dalle centinaia di picosecondi ad alcuni nanosecondi. Per Microprocessori che lavorano a frequenze nell'ordine del GHz alcuni transienti potrebbero durare alcuni cicli di clock: c'è tutto il tempo perché i livelli alterati di tensione si propaghino nel circuito. Riassumendo, quindi, si può dire che la sensibilità ai SET (ed ai SEU nei Flip-Flop) aumenta al diminuire delle dimensioni dei transistor, al diminuire dei tempi di propagazione tra le porte logiche, all'aumentare della carica raccolta per ionizzazione (ad esempio all'aumentare della LET) e aumenta all'aumentare della frequenza operativa.

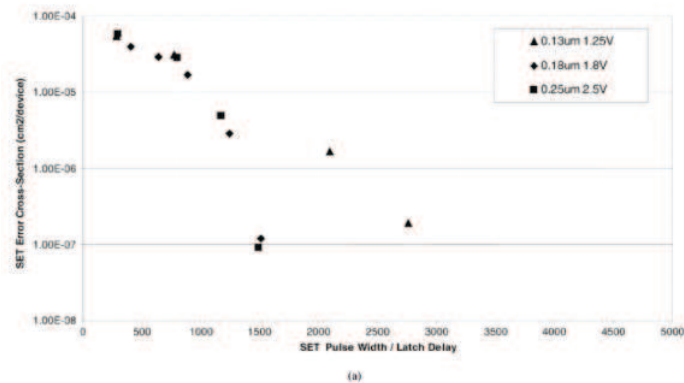


Figure 18: Durata del SET in ps e ritardo temporale nei latch.

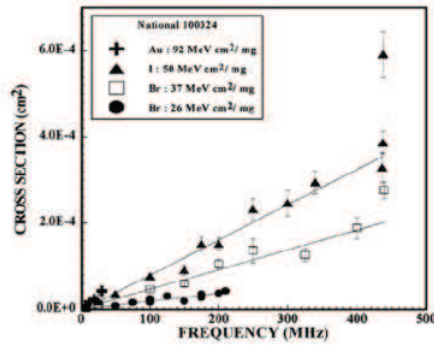


Figure 19: Ampiezza della sezione colpita dal SET vs frequenza.

2.3 CONFRONTO TRA TID E SEE

Sia la Total Ionizing Dose (TID) che il Single Event Effect (SEE) sono dovuti all'interazione tra le radiazioni ionizzanti e i circuiti integrati. Tuttavia mentre la TID è un meccanismo di degradazione a lungo termine, il SEE è un meccanismo di fallimento istantaneo. Per questi motivi i malfunzionamenti dovuti alla TID possono essere descritti in termini di Tempo medio di fallimento (MTTF – Mean Time of Failure) mentre i SEE in termini di tasso casuale di fallimento.

ATTENUAZIONE DEGLI EFFETTI DELLE RADIAZIONI

Come visto in precedenza, le principali problematiche che si riscontrano a causa dell'impatto delle radiazioni con i circuiti integrati si possono raggruppare in:

1. Single Event Upset, dovuti alla cattura di un Single Event Transient da parte di un circuito sequenziale, come ad esempio i latch o i flip-flop;
2. Single Event Upset su nodi di memoria come i latch all'interno dei registri o le memorie SRAM;
3. Total Ionizing Dose che può compromettere i dispositivi e in particolare le loro caratteristiche isolanti.

Per rendere i circuiti resistenti alle radiazioni (hardening) si possono percorrere due strade che verranno in seguito approfondite in dettaglio. La prima si concentra sulla modifica del processo di fabbricazione dei dispositivi (hardening by process) mentre, la seconda, sul layout (hardening by design) .

3.1 ATTENUAZIONE DELLA TOTAL IONIZING DOSE

Grazie al progressivo scaling della tecnologia, i dispositivi moderni che non dispongono di nessun accorgimento per mitigare l'effetto delle radiazioni, possono comunque essere sottoposti a livelli di TID pari a circa 300 krad senza subire danni rilevanti. Questo è dovuto sia all'alto livello di drogaggio richiesto dalla diminuzione delle dimensioni dei componenti, sia all'aumento delle correnti di perdita causato dalla diminuzione della tensione di soglia, V_{th} , del transistor in modo da mantenere costante la tensione di overdrive, $V_{OV} = V_{GS} - V_{th}$. In particolare, tale aumento delle correnti di perdita, maschera quello introdotto dalla TID almeno fino a dosi non troppo elevate.

Come precedentemente discusso, la diminuzione delle dimensioni dei transistor, ha portato l'ulteriore vantaggio di rendere l'ossido di gate sempre più sottile e quindi immune agli effetti delle radiazioni in particolare per tecnologie in cui le sue

dimensioni sono al di sotto dei 5 nm. Tuttavia, i dispositivi parassiti al di sotto delle trench di isolamento e l'ossido di isolamento presente sulle interfacce ai bordi dei transistor sono fortemente influenzati dalle radiazioni. Dunque, per incrementare la resistenza dei dispositivi ai danni provocati dalla TID si deve cercare di bloccare sia il canale che può formarsi tra dispositivi adiacenti, sia quelli laterali che tendono a formarsi tra Drain e Source nello stesso nMOS. Per ovviare al primo problema è conveniente creare degli impianti di tipo p^+ , ovvero ad elevato drogaggio, nell'ossido di isolamento tra un transistor e l'altro, mentre, per bloccare i canali laterali tra Drain e Source dello stesso NMOS, si può utilizzare una struttura ad anello per il transistor.

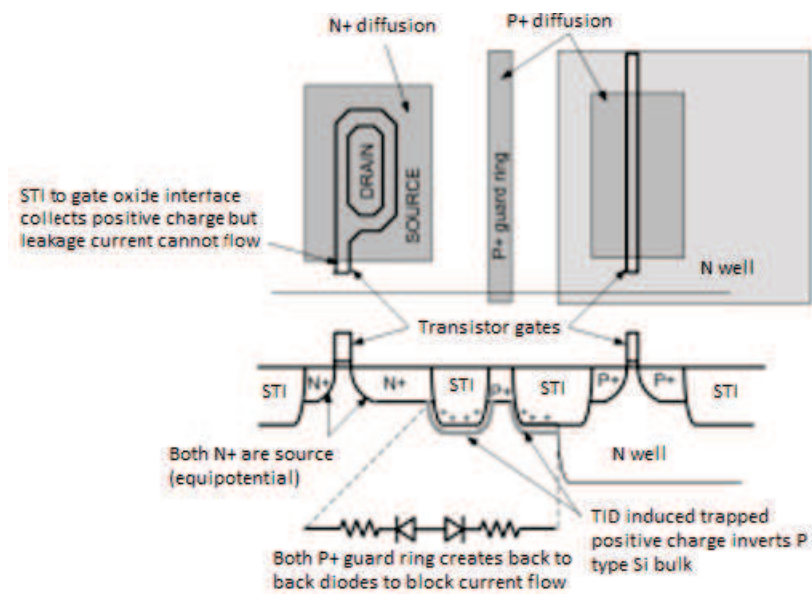


Figura 20: Mitigazione delle perdite introdotte dalla TID attraverso transistor edgeless.

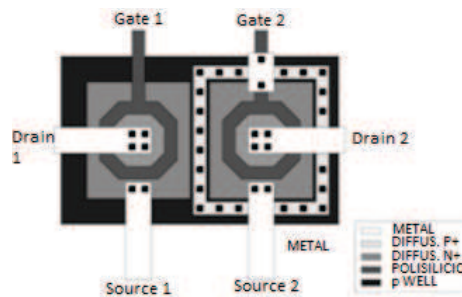


Figura 21: Edgeless Transistor Layout.

Gli impianti p^+ provocano la formazione di due diodi consecutivi. Essi bloccano il flusso di corrente che si genera in seguito all'inversione della regione dell'interfaccia substrato-ossido di campo a causa della TID. La struttura ad anello si basa sul costruire il gate in modo che formi un anello intorno al drain. In questo modo gli impianti di drain e source non vengono in contatto con ossidi di isolamento comuni. Questo accorgimento, da un lato impedisce la formazione di percorsi conduttivi, tra source e drain, alternativi al canale e, dall'altro, elimina il problema dei transistor parassiti dovuti alle shallow trench.

Lo svantaggio di questo tipo di layout è che si perde parzialmente il controllo del rapporto W/L , ovvero, per transistor di piccole dimensioni, una volta fissata la lunghezza di canale L , la larghezza W che si può raggiungere è vincolata dalla geometria del transistor e non può essere diminuita a piacere.

Se si ha a che fare con una tecnologia di tipo Silicon on Insulator (SOI), che verrà in seguito spiegata in dettaglio, per mitigare gli effetti della TID è necessario bloccare il canale di Back-Side che si forma nello strato del Buried Oxide (BOX) in seguito all'accumulo di carica. Per ottenere ciò, si possono seguire due strade. La prima consiste nell'usare degli ossidi specifici e particolari che siano in grado di immagazzinare meno carica rispetto a quelli tradizionali, la seconda nel progettare dei transistor che sono meno sensibili agli effetti della carica immagazzinata nel Buried Oxide. Un esempio di questa seconda strada è l'impiego di transistor BUSFET ovvero Body Under Source Field Effect Transistor.

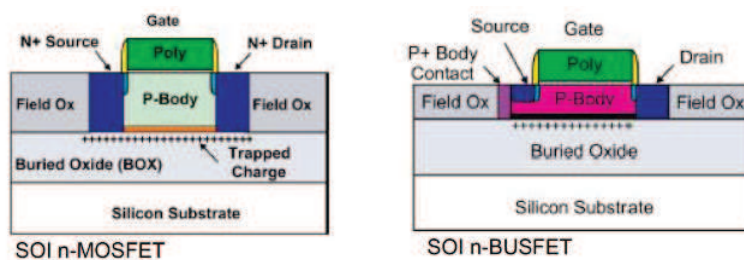


Figura 22: Transistor BUSFET.

In tali dispositivi, il source è superficiale mentre il drain è più profondo. In questo modo, il canale indesiderato che si crea nel BOX in seguito alle radiazioni, non costituisce un cammino conduttivo tra il source e il drain. Si riescono, quindi, a ridurre notevolmente le perdite causate dalla formazione del canale di back-side senza l'impiego di ossidi specifici che fanno aumentare i costi di produzione.

L'efficacia di tali dispositivi, in particolare, dipende da diversi fattori tra cui la profondità del source, la concentrazione del drogaggio e lo spessore dello strato di silicio al di sotto del source. Ad esempio, un aumento del drogaggio, provoca una diminuzione delle correnti di perdita nel canale di back-side. Dal momento che con l'avanzare della tecnologia dei circuiti integrati aumentano i livelli di drogaggio utilizzati, per ridurre gli effetti di canale corto, l'efficacia dei transistor BUSFET diventa sempre più evidente.

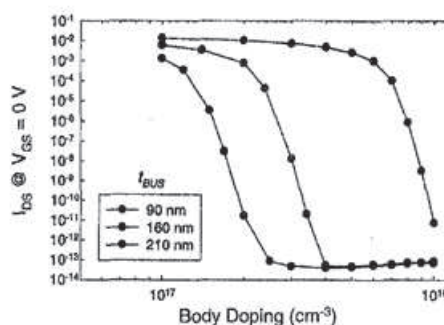


Figura 23: Corrente che scorre tra il drain e il source VS drogaggio del substrato.

3.2 ATTENUAZIONE DEI SINGLE EVENT EFFECT

Come precedentemente discusso, i dispositivi che maggiormente sono affetti dai SEE sono i circuiti combinatori e i dispositivi contenenti delle celle SRAM (memorie SRAM, microprocessori, FPGA, ...).

3.2.1 Attenuazione dei SEE attraverso il processo

Per aumentare la resistenza alle radiazioni una soluzione è quella di costruire i transistor di grosse dimensioni in modo che le capacità parassite dei nodi siano grandi e portino ad aumentare il valore della carica critica data da: $Q_c = C \cdot V_{DD}$. In questo modo, la carica raccolta in seguito all'impatto di uno ione, ha meno probabilità di innescare un transiente di tensione. L'aumento delle dimensioni presenta un ulteriore vantaggio ovvero, il fatto che la resistenza del transistor in condizioni di accensione, r_{on} , sarà bassa permettendo di scaricare a massa i transienti di corrente più velocemente. Per questi motivi conviene far sì che i nodi più sensibili e importanti del circuito, come ad esempio l'uscita delle porte logiche, siano di grosse dimensioni. Tutta-

via, l'aumento delle dimensioni provoca degli svantaggi quali l'aumento dell'area, quindi del costo, e della dissipazione di potenza data da:

$$P = P_{statica} + P_{dinamica} = V_{DD} \cdot I_{leakage} + \alpha \cdot C \cdot f \cdot V_{DD}^2$$

Un compromesso può consistere nella riduzione della frequenza operativa dei dispositivi che però tende penalizzare i processori "hardened" o "Rad Hard" rispetto alla controparte commerciale.

3.2.1.1 Hardening attraverso transistor SOI

I dispositivi Silicon-On-Insulator offrono una resistenza 5 volte maggiore ai danni delle radiazioni rispetto ai dispositivi tradizionali o "bulk". La peculiarità di questa tecnologia consiste nel poggiare il silicio su uno strato di biossido di silicio (SiO_2).

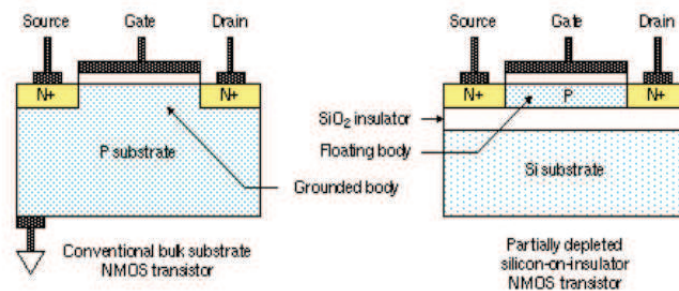


Figura 24: Transistor tradizionali e transistor SOI.

Lo strato isolante di SiO_2 incrementa le performance del dispositivo riducendo la capacità di giunzione e, quindi, il consumo di potenza in quanto la giunzione è isolata dal bulk di silicio. Le regioni di source, di drain e di body del transistor risultano quindi isolate dal substrato. In particolare il terminale di body tipicamente non viene connesso e risulta quindi flottante. Può quindi essere caricato e scaricato portando alla modifica della tensione di soglia.

Uno dei vantaggi di questa tecnologia è quello di ridurre l'area necessaria alla realizzazione del transistor in quanto non sono necessari i contatti metallici con le well presenti invece nei transistor tradizionali. I dispositivi SOI si dividono in due categorie: a svuotamento completo e a svuotamento parziale.

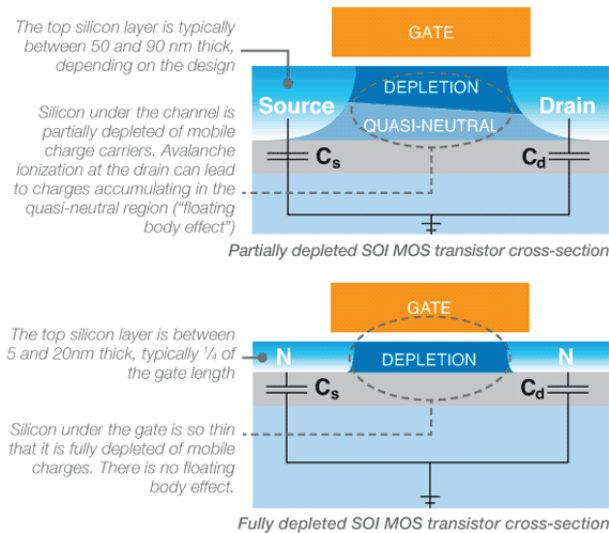


Figura 25: Transistor SOI a svuotamento incompleto e completo.

I dispositivi a svuotamento completo o "fully depleted" sono caratterizzati da un sottile strato di silicio al di sotto dell'ossido di gate che, in seguito all'applicazione di una tensione positiva al gate (per gli nMOS), si svuota completamente di portatori mobili facendo sì che il terminale di body non sia flottante. I dispositivi a svuotamento parziale o "Partially depleted", invece, sono caratterizzati da uno strato di silicio più spesso e quindi la regione di inversione non riesce ad estendersi per l'intera profondità della regione di body. La parte non svuotata dei portatori risulta flottante e la sua esatta tensione dipende dalla "storia" del dispositivo, ovvero, dalle precedenti tensioni di source, gate e drain. La struttura di tali dispositivi fa sì che non possano essere presenti dei cammini conduttivi tra drain e substrato limitando quindi le correnti di perdita che potrebbero venire a formarsi a causa delle radiazioni.

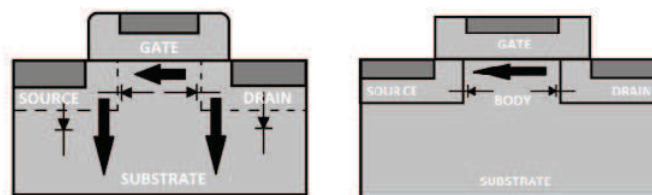


Figura 26: Percorsi conduttivi di perdita nei transistor tradizionali e in quelli SOI.

Tra i vari meccanismi che portano alla riduzione delle prestazioni e della resistenza agli effetti delle radiazioni dei transistor

SOI, quelli di maggior rilievo sono gli effetti dovuti al body flottante e all'immagazzinamento di carica nel BOX. Le lacune generate nella regione del body, ad esempio a causa del passaggio di uno ione pesante, possono dirigersi verso il source, a causa del moto di deriva, abbassando la tensione source-bulk e aumentare quindi la corrente che scorre dal source al drain. Ciò può portare alla deposizione sul drain di una carica maggiore rispetto a quella già presente a causa del passaggio dello ione.

Tra i vari metodi proposti per ridurre tale effetto il più comune e quello di fissare il body ad un potenziale fisso, di solito uguale a quello del source. Tale connessione fornisce un cammino conduttivo per le lacune generate a causa della radiazione in modo che esse vengano rimosse dalla regione del body e quindi sia minimizzata la differenza di potenziale tra body e source. Tale metodo ha però lo svantaggio di causare l'aumento delle dimensioni dei transistor, e quindi dei circuiti integrati, cosa che spesso è molto indesiderata soprattutto per i circuiti con un'alta densità di componenti. Per quanto riguarda, invece, l'accumulo di carica nel BOX che causa la comparsa del canale di back-side, si ricorre all'utilizzo dei dispositivi BUSFET, precedentemente analizzati.

3.2.2 *Attenuazione dei Single Event Effect attraverso il design*

Attraverso l'hardening by process è necessario fabbricare dei circuiti specificatamente progettati per avere una maggiore resistenza alle radiazioni. Questo però si traduce in un elevato costo di fabbricazione. La soluzione proposta dall'hardening by design (RHBD) consiste, invece, nel riorganizzare il layout dei circuiti lasciando però inalterato il processo di fabbricazione dei circuiti integrati.

3.2.2.1 *Hardening attraverso resistori*

Una tecnica largamente utilizzata per migliorare la resistenza alle radiazioni dei latch consiste nell'aggiungere dei resistori nel cammino di feedback del dispositivo. Tale cammino di retroazione è necessario nei circuiti sequenziali per implementare la dipendenza delle uscite dai livelli logici delle stesse in istanti precedenti e quindi riportare in ingresso lo stato delle uscite. In particolare per proteggere i latch dagli effetti delle radiazioni è sufficiente introdurre un solo resistore.

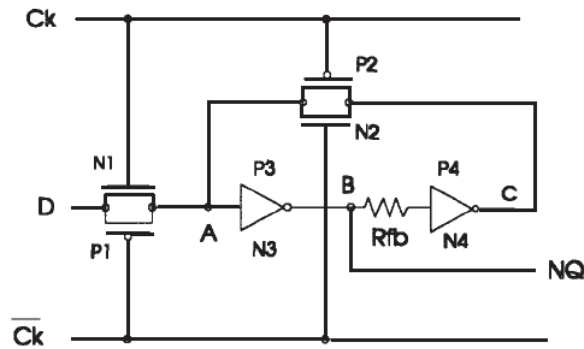


Figura 27: Hardening di un latch attraverso resistori.

Poiché la carica indotta dalla radiazione può essere raccolta solo alla giunzione pn, la serie RC, che si viene a formare a causa delle capacità parassite dei dispositivi, produce un ritardo che permette la rimozione della carica immagazzinata attraverso il transistor di feedback prima che si verifichi l' indesiderata transizione del nodo di feedback. Il singolo resistore introdotto, come si nota dall'immagine 27, è costituito di polisilicio (dipende quindi fortemente dal drogaggio del materiale) ed è inserito tra i nodi di setup e di hold. Poiché, nei processi moderni, viene effettuata la siliciurizzazione per ridurre la resistenza del polisilicio e delle diffusioni, è necessario schermare la resistenza da tale processo. Inoltre, al crescere della temperatura cala la resistenza ma i ritardi aumentano a causa della riduzione della mobilità. Analizzando la figura 27 si nota che non c'è nessun processo di diffusione raccolto tra il resistore Rfb e l'inverter formato dai transistor P4 e N4 che possa pilotare il nodo di setup, C. Quindi, se si verifica un Single Event Transient sul nodo di ingresso D o, un Single Event Upset in un nodo di memoria, A,B,C, lo stato del latch non sarà alterato a meno che la durata della perturbazione non ecceda la costante di tempo della serie RC.

In linea teorica si vorrebbe che il resistore sia grande a sufficienza da garantire delle costanti di tempo grandi abbastanza da permettere al circuito di assorbire la carica immagazzinata a causa sei SEE. Si vorrebbe, inoltre, conciliare questo requisito con la progressiva riduzione delle dimensioni dei dispositivi. Tuttavia tale bilanciamento tra prestazioni e dimensioni trova un ostacolo nel fatto che la conducibilità del polisilicio, σ , non può essere diminuita oltre i valori del materiale non drogato portando quindi un limite al relativo aumento della resistività elettrica, $\rho=1/\sigma$. A causa di ciò nei processi moderni vengono utilizzati dei materiali ad alta resistività.

Una soluzione alternativa consiste, invece, nell'aggiungere oltre ai resistori anche dei condensatori per aumentare il valore della costante di tempo.

La metodologia di hardening mediante resistori trova applicazione anche nell'ambito dei flip-flop e un esempio è illustrato nella figura 28.

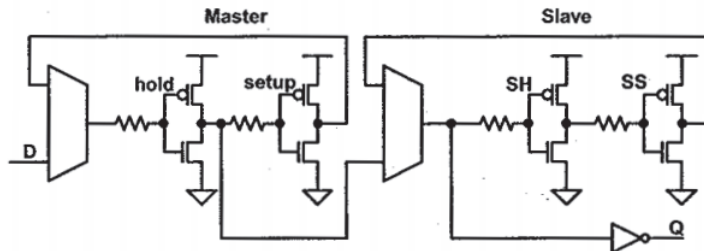


Figura 28: Hardening attraverso resistor di un MSFF.

La costante di tempo RC si aggiunge al tempo di hold e di setup del circuito master aumentando il dead-time del MSFF di $2RC$. I resistori presenti nello slave, invece, non penalizzano la temporizzazione del circuito dal momento che il latch di slave ha a disposizione l'intera fase di clock alto per portare il nodo di setup nello stato corretto.

3.2.2.2 Dual Interlocked Cell -DICE

Le Dual Interlocked Cell, o DICE, sono un metodo utilizzato per aumentare la resistenza dei latch alle radiazioni.

Tale cella di memoria è costituita da due latch tradizionali accoppiati orizzontalmente in modo incrociato, N_0-P_1 e N_2-P_3 , connessi verticalmente agli inverter N_1-P_2 e N_3-P_0 attraverso collegamenti di retroazione bidirezionale. I 4 nodi X_0 , X_1 , X_2 e X_3 immagazzinano i dati in coppie di valori complementari (es. 1010 o 0101) che sono simultaneamente letti attraverso gate di trasmissione per le operazioni di lettura e scrittura.

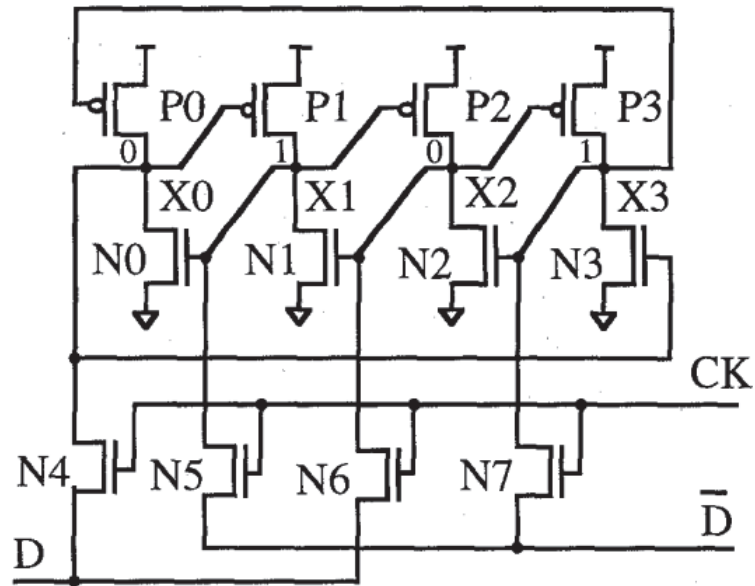


Figura 29: Cella DICE.

La loro resistenza ai SEE è data dalla ridondanza ovvero dal "controllo in retroazione su doppio nodo" in quanto, lo stato logico di ognuno dei 4 nodi della cella è controllato da due nodi adiacenti collocati sulla diagonale opposta. Tali nodi non dipendono direttamente l'uno dall'altro e il loro stato è controllato dai due nodi sulla diagonale opposta. Quindi un nodo, X_i con $i=0, \dots, 3$, controlla i due nodi complementari sulla diagonale opposta, X_{i-1} e X_{i+1} , con i pedici considerati come numeri in modulo 4. In tale struttura le coppie di transistor $N1-P2$ e $N3-P0$ sono bloccati e hanno quindi la funzione di isolare tra loro i due latch orizzontali.

Si supponga che si presenti disturbo ad uno qualsiasi dei nodi sensibili X_i ($i=0, \dots, 3$), ciò può indurre un impulso positivo indesiderato al nodo X_{i+1} , a causa della connessione in retroazione del pMOS P_{i+1} . Tuttavia, lo stesso stato logico, che si trova memorizzato nel nodo X_{i-1} , non sarà turbato dal momento che, il transistor nMOS N_{i-1} , sarà bloccato dall'impulso negativo del nodo X_i . Inoltre, la perturbazione positiva che si ritrova al nodo X_{i+1} , non sarà trasmessa dal transistor pMOS P_{i+2} . I nodi X_{i-1} e X_{i+2} sono quindi isolati e conservano lo stato logico originario senza disturbi.

Si può quindi affermare che i cambiamenti dei valori logici sono temporaneamente introdotti solo in due nodi: X_i e X_{i+1} e, vengono rimossi alla fine del transitorio del disturbo grazie al collegamento in retroazione con gli altri due nodi, non per-

turbati, X_{i-1} e X_{i+2} attraverso i transistor P_i e N_{i+1} in tempi dell'ordine di un ns.

Un meccanismo analogo si innesca in caso di un impulso positivo al nodo X_i che si ripercuoterà sul nodo X_{i-1} attraverso il transistor nMos N_{i-1} . I nodi che conserveranno il loro stato logico inalterato saranno i nodi X_{i+1} e X_{i+2} , i quali, ripristineranno i valori logici corretti sui nodi corrotti alla fine del transitorio del disturbo attraverso i transistor N_i e P_{i+1} .

Sono presenti tuttavia due casi sfavorevoli in cui tale layout non si rivela utile per la mitigazione dei danni inflitti dalle radiazioni. Il primo caso si verifica quando un SET colpisce il nodo di ingresso, D, mentre il clock sta portando la cella dalla modalità di trasparenza a quella di hold causando la scrittura di un dato errato nella cella. Ciò può essere causato anche da un disturbo del segnale di clock, che ad esempio commuta dal valore basso a quello alto, portando alla memorizzazione del valore errato sui nodi X_0 - X_3 .

Tale problema non si verifica nei latch resi resistenti alle radiazioni attraverso l'aggiunta di resistori, i quali, avendo un tempo di risposta più lento a causa dei transienti delle serie RC, sono insensibili a disturbi di breve durata causati dall'accumulo di carica dovuti ai SET.

Il secondo caso, invece, riguarda l'eventualità che due nodi sensibili, contenenti lo stesso stato logico (quindi o i nodi X_0 - X_2 o X_1 - X_3), commutino a causa del passaggio di una particella. In questo caso l'immunità ai disturbi è persa e la cella di memoria è alterata. La probabilità di tale evento può essere diminuita se, le aree di drain dei transistor occupate simultaneamente dallo stesso stato logico, sono distanziate all'interno della cella di memoria in modo che non venga immagazzinata la quantità di carica critica simultaneamente in entrambi i nodi causando quindi un malfunzionamento della cella di memoria. Questa tecnica, tuttavia, ha lo svantaggio di penalizzare notevolmente la densità del circuito.

Una soluzione alternativa, più efficiente dal punto di vista dell'area, consiste nell'alternare i nodi sensibili di una cella DICE con quelli sensibili di un'altra cella. In questo modo gli spazi che rimarrebbero vuoti vengono occupati con circuiti di un'altra cella DICE.

A1	B2	C1	D2	E1	F2	G1
A4	B3	C4	D3	E4	F3	G4
A2	B1	C2	D1	E2	F1	G2
A3	B4	C3	D4	E3	F4	G3

Figura 30: Multi-bit Master Slave Flip-Flop con separazione dei nodi critici.

Nella figura 30 è riportato un esempio di MSFF multi-bit che sfrutta il meccanismo sopra descritto. Sono presenti quattro MSFF disposti in modo da formare un'unica cella multi-bit in cui ogni sottosezione del circuito costituente un flip-flop è separata dagli altri circuiti dello stesso flip-flop. In questo modo non è presente uno spreco di area. Nella figura i numeri fanno riferimento ai flip-flop aventi D1-D4 come ingressi e Q1-Q4 come uscite. Le lettere invece fanno riferimento alle varie porzioni dei circuiti costituenti i flip-flop, ad esempio, F1 e G1 sono i di circuiti degli invertitori del latch slave, implementato con la struttura DICE, separati grazie ai circuiti F3 e G4.

3.2.2.3 *Hardening Temporale*

Dal momento che negli usuali processi commerciali non sono presenti resistori ad elevata resistenza e piccole dimensioni, è necessario individuare un meccanismo per introdurre un ritardo nei circuiti e quindi evitare, ad esempio, di modificare lo stato di un latch. Tale metodo crea ridondanza temporale separando i nodi attraverso l'uso di elementi di ritardo. La ridondanza temporale si può usare sia sotto forma di doppia che di tripla ridondanza, un esempio di quest'ultima si ritrova nella figura 31.

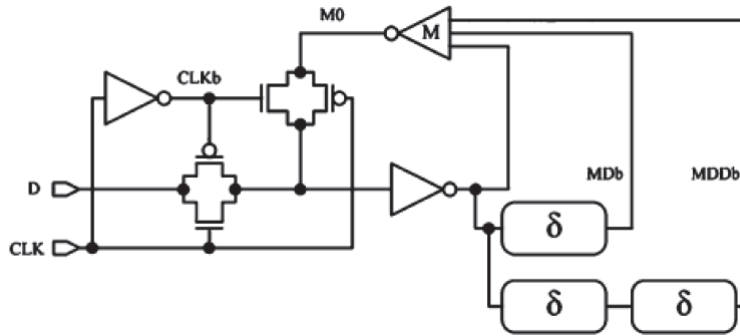


Figura 31: Temporal Latch con voter di maggioranza.

Tale struttura è costituita da un inverter e un feedback majority voter¹ i cui ingressi sono spaziatamente di 0 , 1 o 2δ . Il valore di δ è scelto in modo tale che sia maggiore della durata massima del SET che può colpire il circuito. Questo garantisce che ogni disturbo con impulso temporale più corto di δ venga trasmesso solo ad uno dei tre ingressi del majority voter per volta permettendo ai due valori corretti, presenti sugli altri nodi, di garantire che il latch memorizzi il valore voluto. Il tempo di setup risulta incrementato di un valore pari a 2δ . Di seguito viene riportata una simulazione^[8] dell'attenuazione di un SET da parte del circuito in esame, nel caso in cui il disturbo si presenti al nodo di ingresso, D, mentre il latch è in modalità di trasparenza.

¹ Dispositivo che riporta in uscita il valore che è presente il maggior numero di volte in ingresso.

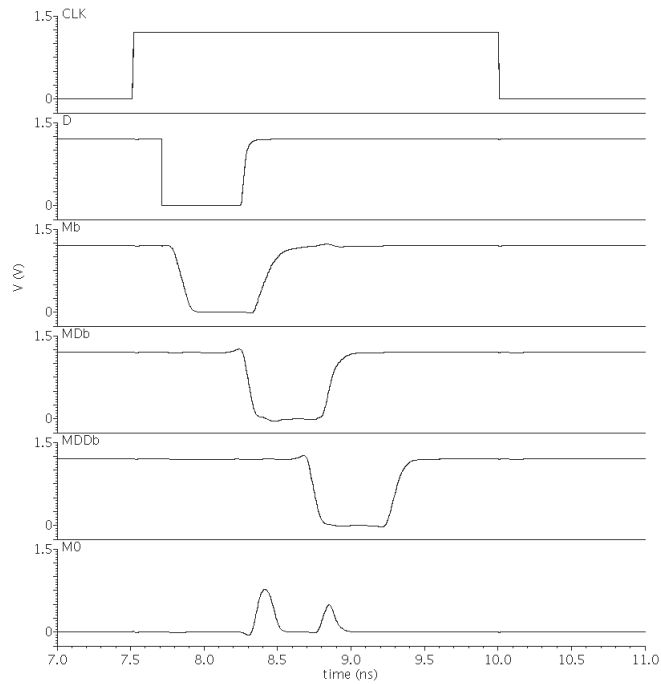


Figura 32: Simulazione dell'attenuazione di un SEU tramite un latch temporale.

In nessun punto il valore del Single Event Transient si presenta contemporaneamente in due dei 3 terminali di ingresso del majority voter e quindi l'output del latch, Q, e la cella di memoria, non cambiano mai stato.

Per migliorare sia l'area occupata che la velocità, si può sostituire il majority voter con un C-Muller element . Tale elemento ha sempre il compito di avviare il cambio di stato solo in presenza di una certa "concordanza" degli ingressi, ovvero, non cambia stato finché tutti gli ingressi si trovano allo stesso livello logico, creando così un'isteresi finché tutti gli ingressi non sono concordanti. La sua implementazione in logica CMOS è mostrata nella figura 33 insieme al simbolo circuitale, figura 33 b.

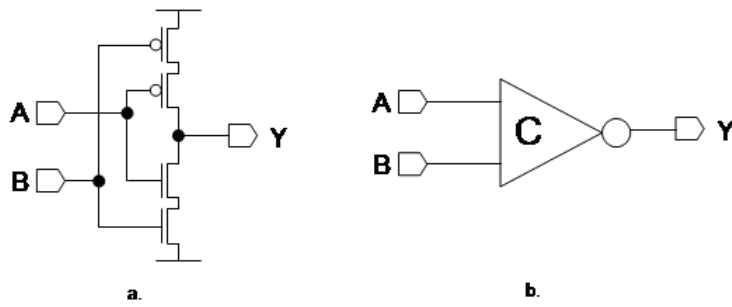


Figura 33: Implementazione logica di un C-muller element.

Quando entrambi i terminali di ingresso ,A e B, assumono il valore logico 0 (1) il terminale di uscita, Y, si troverà allo stato logico 1 (0). Se, invece, gli ingressi assumono valori discordanti, il dispositivo si troverà in modalità tri-state² e quindi Y risulterà flottante. In tali condizioni il valore di tensione di Y può portarsi leggermente sotto al valore logico 1 o leggermente sopra al valore logico 0 a causa del charge sharing con i transistor attigui. Tuttavia, l'ampiezza di tali oscillazioni non è sufficientemente grande da modificare lo stato logico del dispositivo complessivo. L'hardening temporale viene garantito separando gli ingressi del C-muller element attraverso l'utilizzo di un elemento di ritardo, δ , come si nota nell'immagine 34.

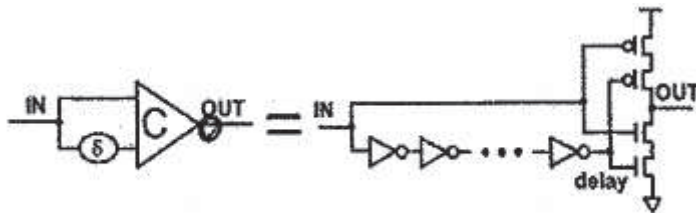


Figura 34: Hardening temporale attraverso l'utilizzo di C-muller element.

Tale ritardo crea una doppia ridondanza temporale e quindi previene la propagazione del SET verso il nodo di ingresso o i segnali di controllo. Tuttavia, tale dispositivo, non garantisce la protezione nel caso in cui il SET colpisca il segnale di clock o altri segnali di controllo. Conseguentemente, quando si utilizza

² In elettronica digitale, una porta logica si dice three state, tri-state o 3-state quando la sua uscita può trovarsi in un terzo stato di alta impedenza, spesso indicato con il simbolo Z, oltre ai due livelli logici già presenti nella logica binaria.

tale approccio, il clock gating³ risulta bloccato, poiché i nodi del clock devono essere molto grandi in modo da poter assorbire qualsiasi eventuale carica immagazzinata senza raggiungere il valore della tensione di soglia dei gate che seguono. Il fatto di utilizzare un singolo elemento di ritardo fa sì che ci sia un guadagno in termini di area occupata dal circuito ma non migliora la durata del tempo di setup che rimane di 2δ .

3.3 TECNICHE DI RIDONDANZA E TRIPLE MODE REDUNDANCY (TMR)

Sia le tecniche di hardening che si basano sulla modifica del processo produttivo, sia quelle che si basano sulla modifica del layout provocano l'aumento del tempo di setup, t_{setup} , richiesto da qualsiasi logica temporale. Quando tali dispositivi sono utilizzati, ad esempio, per la creazione di MSFF, l'aumento del t_{setup} provoca un considerevole aumento del dead-time del flip-flop. Per avere quindi migliori performance, viene utilizzata la tecnica della ridondanza modulare che non influenza la temporizzazione del circuito.

I circuiti ridondanti hanno un maggiore consumo di potenza ma sono una valida opzione per rendere i dispositivi così detti "rad-hard" competitivi con la controparte commerciale. Una tecnica di ridondanza, largamente utilizzata soprattutto per gli FPGA⁴, è la Triple Mode Redundancy o TMR. Essa si basa sulla creazione di tre copie del circuito desiderato i cui output costituiscono gli ingressi di un majority voter in modo tale che, se uno di loro colpisce uno dei tre circuiti, il valore corretto degli altri due renderà ininfluente quello scorretto attraverso tale dispositivo. Lo schema base di tale logica si ritrova nella figura 35.

³ Il clock gating è una tecnica di progettazione dei circuiti integrati che permette di ridurre il consumo di potenza dei chip. La filosofia del clock gating è proprio quella di spegnere i sottosistemi del chip che non lavorano, oppure di ridurre la frequenza del clock alla minima necessaria per l'applicazione corrente. Questo si ottiene attivando il segnale di clock solo per quei blocchi logici che hanno effettivamente del lavoro da compiere.

⁴ I dispositivi FPGA sono dei circuiti riprogrammabile composto da array di flip-flop (registri) la cui configurazione è memorizzata in memorie SRAM.

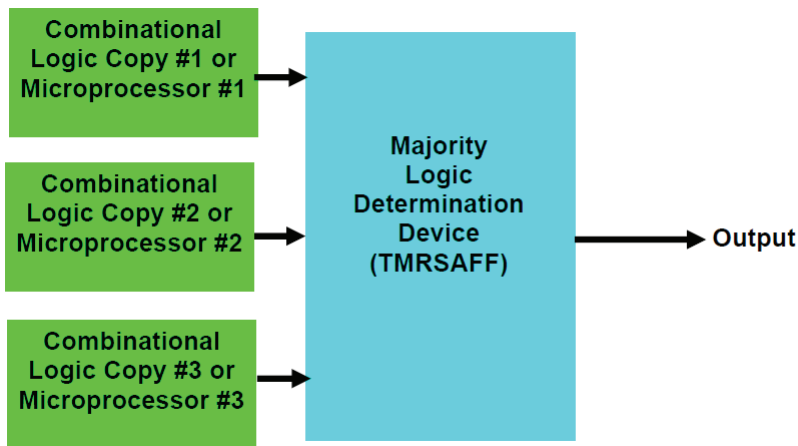


Figura 35: Logica base della Triple Mode Redundancy.

Nel caso di applicazioni spaziali è consuetudine indirizzare verso un majority voter tre copie identiche di uno stesso microprocessore. Tale dispositivo si occuperà di trasmettere in uscita il valore di maggioranza presente agli ingressi. Questa architettura solitamente richiede che i processori siano fabbricati ciascuno su un proprio chip, in seguito esternamente collegato al chip che costituisce il majority voter.

Ci sono diverse ragioni per cui tale layout è impiegato nella creazione dei flip-flop. In primo luogo se si usasse un singolo flip-flop tradizionale non esisterebbe nessun modo immediato per o identificare o correggere autonomamente degli errori. In secondo luogo, utilizzando un numero pari di flip-flop, non si riuscirebbero ad effettuare decisioni riguardanti i nodi corrotti. Ad esempio, se fossero impiegati due flip-flop, con due output discordi, non sarebbe immediato stabilire quale dei due rappresenti il valore corretto. Contrariamente, utilizzando un numero dispari di flip-flop, è possibile identificare velocemente qual è il valore corretto. Il motivo principale per cui non vengono utilizzate più di tre copie dei circuiti per avere dispositivi più affidabili è che si arriva ad un punto in cui la guadagnata affidabilità non compensa il generale e dannoso peggioramento delle performance del circuito. Un esempio di tale logica è presentato nella figura 36.

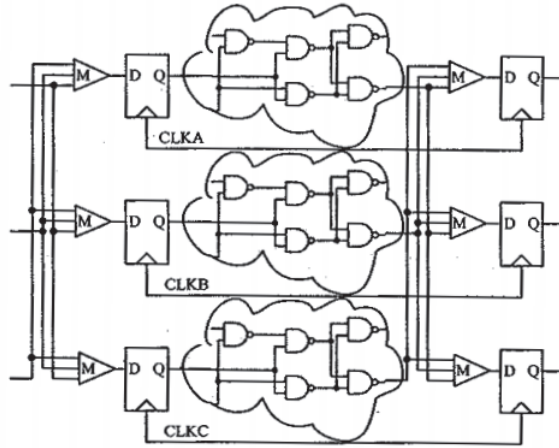


Figura 36: Triple Mode Redundancy di un latch.

Come si nota dalla figura 36 anche il clock routing deve essere ridondante ma, poiché spesso è integrato in circuiti appositi, può risultare problematico da separare. Inoltre, nelle SRAM basate su un design FPGA, esiste una significativa probabilità che un SEU modifichi lo stato del dispositivo. In particolare, gli strumenti di programmazione dello standard FPGA tendono a lavorare seguendo una logica di ottimizzazione e quindi a fondere insieme le logiche ridondanti, e quindi, quando sono forzate a implementare la ridondanza tendono a disporre le risorse molto vicine tra loro per limitare i collegamenti usati. Questo fa sì che tali architetture siano fortemente soggette a MBU. Tali errori, che colpiscono i sistemi FPGA basati su TMR, sono definiti Domain Crossing Errors (DCE). Per ovviare questi problemi è quindi necessario separare spazialmente le copie ridondanti dei circuiti.

Poiché i sistemi FPGA sono particolarmente convenienti per piccoli volumi di produzione vengono ampiamente utilizzati nel campo dei dispositivi rad-hard trovando ampie applicazioni all'interno di aziende come la Actel e la Xilinx. Tra i vari design della Actel si ritrovano degli speciali flip-flop TMR che incorporano i majority voters nei loro circuiti e riescono quindi ad auto correggersi. I circuiti sono disposti in modo da mantenere una spaziatura sufficiente da far sì che la probabilità che l'impatto di uno ione pesante provochi un DCE sia quasi trascurabile. Di seguito viene riportata l'immagine di un MSFF dove il feedback del latch di slave incorpora il majority voter attraverso altri due latch di ridondanza.

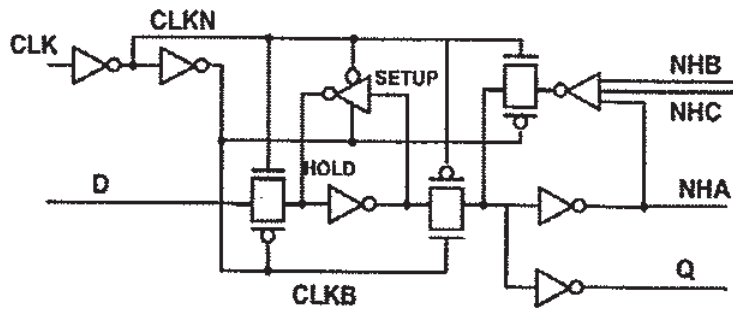


Figura 37: MSFF che riesce ad auto-correggersi attraverso la TMR.

Uno schema simile è utilizzato anche nei circuiti FPGA della Actel in cui sia il circuito di master che quello di slave comprendono il majority voter. In particolare la votazione nel circuito di master è necessaria solo nel caso in cui lo stato del circuito rischi di essere colpito due volte prima di assegnare il valore dello stato. Essa, inoltre, penalizza la temporizzazione del circuito in quanto incrementa il t_{setup} che risulta essere un tempo critico, come precedentemente discusso.

3.4 APPLICAZIONI: XILINX VIRTEX-5QV FPGA

Tale dispositivo è stato qualificato per essere utilizzato in ambienti spaziali ostili con resistenza di oltre 1Mrad(Si) alla TID, alta immunità ai SEU, 1000 volte maggiore di quella delle celle a latch standard in commercio, e protezione contro i SET. Tale dispositivo, inoltre, implementa la Triple Mode Redundancy.

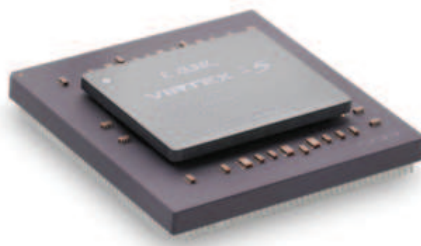


Figura 38: XILINX Virtex-5QV FPGA

La Nasa ha adottato tale FPGA come parte dell'esperimento: Materials On Internationa Space Enviroment (MISSE-8) sulla Stazione Spaziale Internazionale. La MISSE, primo esperimento ad essere installato esternamente alla SSI, è una base su cui testare sia elaboratori che materiali per determinare come essi

reagiscono alle radiazioni ultravioletta, alla luce diretta del Sole, alle radiazioni ed a temperature estreme.



Figura 39: Prototipo della FPGA XILINX Virtex-5QV sulla stazione spaziale internazionale come parte dell'esperimento MISSE-8.

MITIGAZIONE DEGLI EFFETTI DELLE RADIAZIONI SULLE MEMORIE SRAM

In generale l'alto drogaggio o l'utilizzo di circuiti di retroazione basati su resistori si rivelano molto utili nel rendere le SRAM resistenti alle radiazioni ovvero rad-hard. Possono essere applicate tutte le tecniche di hardening tramite il processo di fabbricazione descritte in precedenza mentre, l'hardening attraverso il design, risulta particolarmente complesso e laborioso e spesso provoca un drastico aumento delle dimensioni della SRAM.

4.1 MITIGAZIONE DELLA TID NELLE MEMORIE SRAM USANDO IL RHBD

4.1.1 *Hardening attraverso Edgeless transistor*

Come precedentemente discusso, i transistor nMOS edgeless riescono a mitigare la maggior parte delle correnti di perdita indotte nei componenti a causa della Total Ionizing Dose ma presentano lo svantaggio di richiedere che i transistor presentino una data larghezza minima. Quando queste tecniche vengono applicate alle memorie SRAM, per evitare un eccessivo consumo di area, è quindi necessario ampliare e migliorare queste tecniche.

Sono stati sviluppati numerosi layout e schemi logici rad-hard per le SRAM usando tecnologie di 130 nm e 90 nm. Il primo tipo di cella (figura 40) utilizza il layout di una SRAM commerciale, quindi non rad-hard. Il secondo tipo, invece, utilizza degli annular transistor per la realizzazione di tutti gli nMOS della cella.

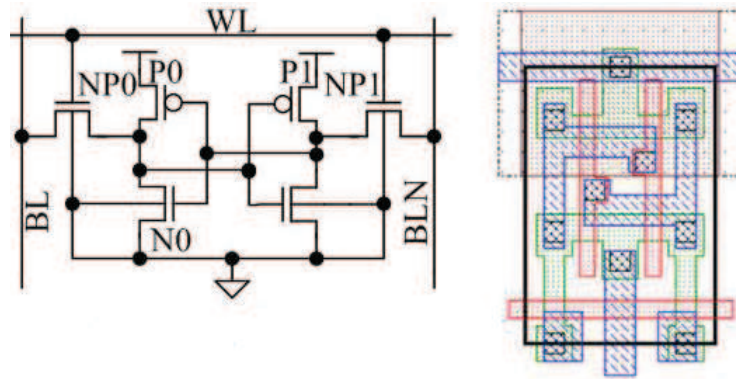


Figura 40: Cella SRAM di tipo 1.

Le celle SRAM di tipo 3 utilizzano dei transistor edgeless per la rete di pull-down e transistor 2-edge (ovvero, standard) per il pMOS di accesso (figura 41).

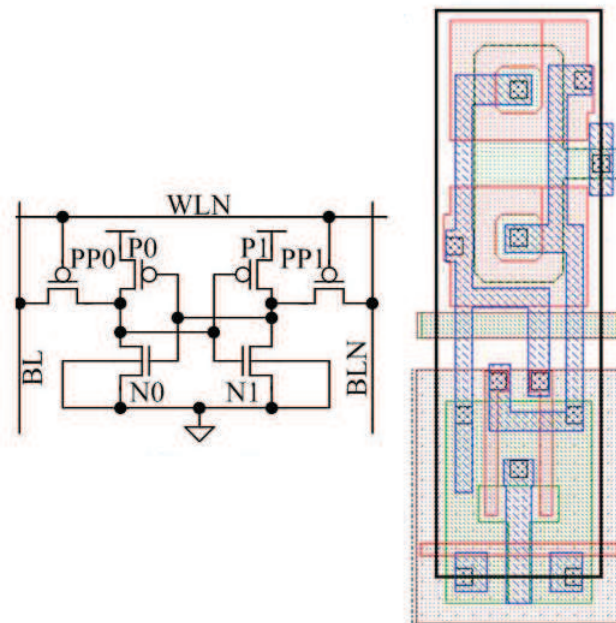


Figura 41: Cella SRAM di tipo 3.

Le celle di tipo 2 e 3 includono degli anelli protettivi tra il drain del transistor NMOS e la n-well del pMOS per limitare le perdite indotte dalla TID tra i due. Tali tecniche di hardening hanno un forte impatto sulle dimensioni della cella, ad esempio per un processo di fabbricazione di 90 nm, la cella rad-hard (figura 42) risulta dalle 3.6 alle 5 volte maggiore in dimensioni rispetto alla controparte commerciale.

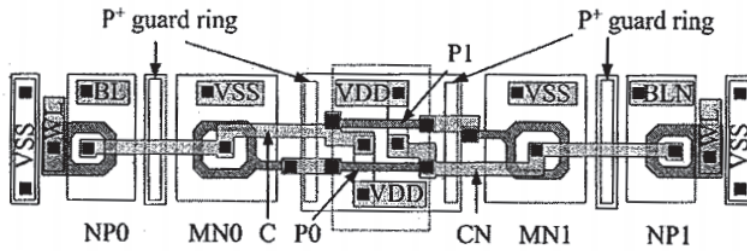


Figura 42: Layout di una cella SRAM rad-hard da 90nm

4.1.2 Hardening attraverso il Reverse Body Bias - RBB

Il Reverse Body Bias è un'altra tecnica che può contribuire ad attenuare gli effetti della TID. Esso consiste nell'aumentare elettricamente la tensione di soglia logica dei transistor per effetto body. La relazione matematica tra le due tensioni è data da:

$$V_{th} = V_{FB} + 2\psi_B + \frac{\sqrt{2\varepsilon_s q N_A (2\psi_B - V_{BS})}}{C_i}$$

Dove V_{FB} è la tensione di flat band del dispositivo, ovvero la tensione per cui non c'è carica nel semiconduttore e quindi perdite di tensione; $2\psi_B$ è il potenziale superficiale di forte inversione (riferito al substrato); ε_s è la costante dielettrica del semiconduttore, N_A è il livello di drogaggio, C_i è la capacità dell'ossido e V_{BS} rappresenta la tensione tra il source e il bulk ovvero il bias della tensione di body. Applicando un potenziale positivo tra i terminali di source e bulk (quindi un Reverse Body Bias) si nota un aumento quadratico della tensione di soglia V_{th} dei transistor.

Tale tecnica aumenta la tensione di soglia di tutti i transistor nella well o nel substrato a cui è applicata attenuando gli effetti della TID sull'ossido dei transistor parassiti precedentemente discussi.

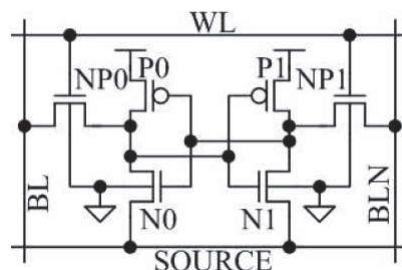


Figura 43: Reverse Body Bias su una cella SRAM.

Questa tecnica viene utilizzata anche sui dispositivi commerciali per ridurre le perdite che affliggono i dispositivi mobili come ad esempio i telefoni cellulari. L'importanza di tale tecnica risiede nel fatto che riesce a rendere i dispositivi resistenti alla TID senza penalizzare l'area. Essa permette di utilizzare le celle più piccole e ottimizzate in commercio annullando quindi gli usuali svantaggi del RHBD. In figura 44 viene riportato il risultato di un esperimento di irradiazione di un array di SRAM STANDARD da 90nm con e senza RBB.

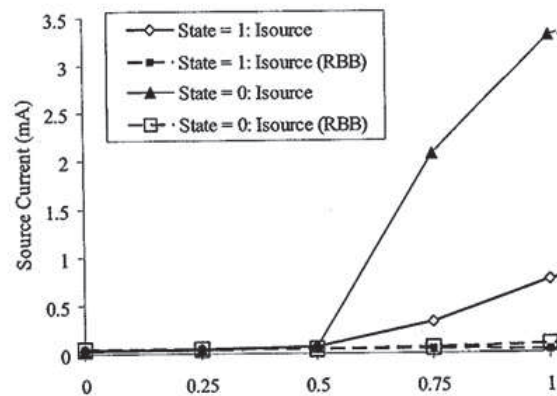


Figura 44: Corrente Source-Bulk misurata in un array di SRAM da 90nm in seguito all'irradiazione con e senza RBB.

Come si può notare dal grafico, con l'utilizzo del RBB, anche per valori di TID dell'ordine del Mrad, l'incremento della corrente di perdita risulta trascurabile. Contrariamente, senza l'utilizzo di tale tecnica, si riscontra un aumento di oltre il 100 volte della corrente di perdita. Il Reverse Body Bias risulta l'unico modo per ridurre gli effetti della TID sui dispositivi al di sotto dei 45nm in quanto, usando particolari tecniche litografiche avanzate che producono solo rettangoli, rendono impossibile l'impiego di transistor 2-edge o edgeless.

4.2 MITIGAZIONE DEI SEE NELLE MEMORIE SRAM

Per l'attenuazione degli effetti dei Single Event Effect è possibile utilizzare le celle DICE o altri dispositivi rad-hard. Oltre ad essere molto sensibili ai SEU, le celle SRAM sono fortemente danneggiate quando un SET colpisce una word line provocando la scrittura di un dato errato e le celle Dice non proteggono da questo tipo di danno come fanno i layout RC hardened. Inoltre, qualsiasi SET che colpisca i collegamenti di controllo

o di clock può causare l'esecuzione di un'operazione errata o l'accesso al dato sbagliato.

In riferimento alla figura 10, le word lines agiscono come dei selettori che permettono ad una data riga di celle SRAM di scaricare le bit lines precaricate in ogni colonna. Se un SET colpisce simultaneamente due WL e le porta al valore logico alto, ad esempio WL_0 e WL_n in figura 10, durante un'operazione di lettura viene effettuata dalle BL un'operazione di OR logico dei valori che si presentano su di essa.

La tecnica di aumentare la separazione dei bit nei vari gruppi di colonne per separare mitigare i MBU, trova numerose limitazioni. In primo luogo porta a ritardare il tempo di propagazione dei segnali sulle BL, in secondo luogo porta ad un aumento della dissipazione di potenza (ad esempio a causa dell'aumento dei blocchi di memoria e quindi dei dispositivi di decodifica e dei circuiti di I/O che devono essere attivati). Una soluzione utilizzata è stata quella di porre un bit di ciascun parola in un array separato (Scrambling) (figura 45 a).

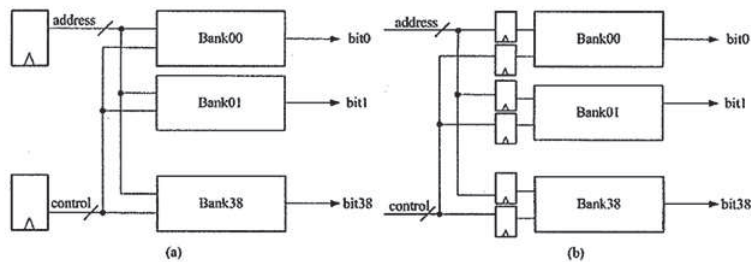


Figura 45: Architettura di una memoria SRAM con un bit per banco.

Tuttavia questa tecnica risulta non immune ai SET che possono colpire i segnali di controllo e di indirizzamento. Per ovviare a questo problema sono stati inseriti dei latch, resistenti ai SET, in ogni array di memoria, figura 45 b. Questa soluzione causa però un aumento del tempo necessario all'indirizzamento per ogni banco di memoria.

Considerando entrambe le architetture "bit per array" presentate si riscontra sia nell'una che nell'altra un grande aumento di potenza dissipata in quanto, per ogni singolo ciclo di clock, devono essere attivati un numero maggiore di bank di memoria rispetto al caso presentato in figura 10. Un diverso approccio, presentato in figura 46, consiste nel bufferizzare individualmente ogni WL in ciascun gruppo di colonne.

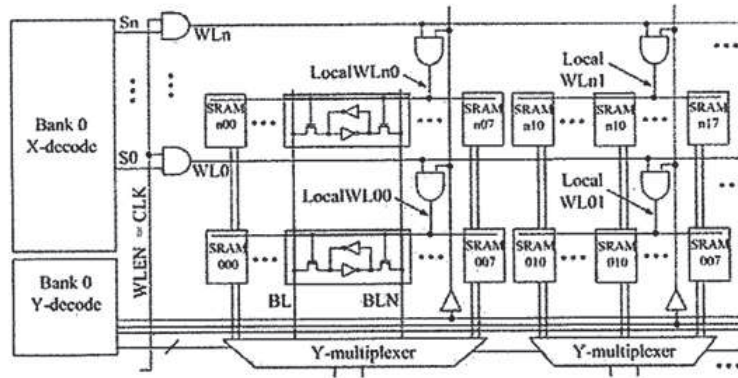


Figura 46: Architettura di una memoria SRAM con un bit per banco.

Quindi, se un SET colpisce una WL locale, ad esempio la LocalWLn0 in figura, il malfunzionamento riguarda solo quel singolo e locale gruppo di colonne. Inoltre, poiché nello stesso istante solo un singolo bit può essere letto da ciascun gruppo di colonne, in caso di errore, si può ricorrere all'impiego della Error Detection And Correction (EDAC) per correggerlo.

Nonostante tali accorgimenti le word line globali, ovvero WLo, ..., WLn in figura, non risultano comunque protette dai SET nemmeno in seguito ad un aumento delle capacità dei nodi a meno che non si aumentino le dimensioni degli array, come precedentemente discusso.

4.2.1 Dual Redundant Control Circuit Design

Per evitare che una particella ionizzante colpisca e alimenti il segnale di una WL inattiva durante un'operazione di lettura è possibile utilizzare, per ogni riga, due segnali di WL bassi ridondanti. Nella figura 47 tali segnali sono denominati come WLLNx e WLRNx. Ciascuno controlla, a turno, 40 segnali di WL locali (WLlocal) in ogni riga.

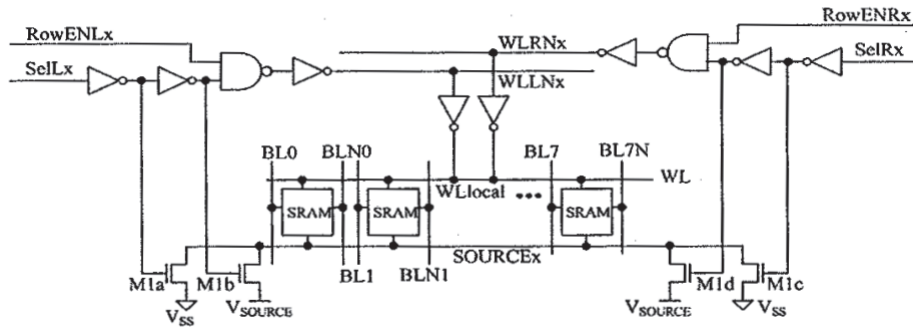


Figura 47: Design delle righe di una memoria SRAM

Questi due segnali ridondanti sono uniti ogni otto bit guidando il segnale WLlocal che controlla 8 celle di memoria. Se un SET colpisce quindi un segnale del tipo WLlocal corrompe al massimo 8 bit, ciascuno appartenente ad una differente parola di codice, che sarà in seguito sottoposta al controllo e alla correzione di errore. Se, invece, o il segnale WLRNx o quello WLLNx risultano compromessi a causa di un SET, si crea una condizione di contesa nella WL locale.

Il dimensionamento dei transistor locali assicura che, in caso di contesa, il segnale WLlocal non riesca a produrre un segnale di tensione sufficientemente alto da sovrascrivere la cella di memoria. Questo protegge da scritture errate l'intera riga.

CONCLUSIONI

Progettare microprocessori con un'alta resistenza alle radiazioni è laborioso e costoso.

Essi sono composti da una grande varietà di blocchi circuitali, ad esempio, latch, registri di file, memorie cache, memorie SRAM e così via. Tale complessità, il notevole impatto temporale imposto dalle tecniche di hardening e il loro maggior consumo di area, spiegano il grande e crescente distacco che si nota tra i processori commerciali e quelli rad-hard.

Le memorie integrate, elementi fondamentali nei microprocessori, presentano particolari difficoltà a risolvere i problemi causati dall'impatto delle radiazioni. La maggior parte delle memorie in commercio utilizza particolari processi di fabbricazione che le rendono estremamente costose.

Per quanto riguarda, invece, l'hardening attraverso il layout, che fa uso di dispositivi commerciali, si nota una buona attenuazione della Total Ionizing Dose, specialmente su memorie SRAM di grandi dimensioni. Una soluzione che si rivela e si rivelerà di largo impiego è il Reverse Body Bias. Tale tecnica risulta applicabile anche alle tecnologie dalle più piccole dimensioni, come le geometrie da 65 e 45 nm. Lo scaling tecnologico, inoltre, porta il vantaggio di richiedere un aumento del drogaggio, fattore che garantisce una intrinseca immunità alla TID almeno fino a valori dell'ordine di 300krad(Si).

Non si deve tuttavia sottovalutare l'importanza e l'efficacia delle tecniche di ridondanza che, se da un lato penalizzano l'area dei circuiti, dall'altro presentano una buona robustezza agli effetti delle radiazioni pur utilizzando i dispositivi elettronici maggiormente diffusi in commercio.

BIBLIOGRAFIA

- [1] Holmes-Siedle Andrew, Adams Len (1994), *Handbook of Radiation Effects*, prima edizione, New York, Oxford Science Publications;
- [2] Lawrence T.Clark (2010), *“Microprocessors and SRAMs for Space: Basics, Radiation Effects and Design”*, Arizona State University, Tempe Arizona;
- [3] Rabaey Jan M., Chandrakasan Anantha, Nikolic' Bora (2005), *Circuiti Integrati Digitali: l'ottica del progettista*, seconda edizione, Milano, Pearson;
- [4] Evelyn Grossar, Michele Stucchi, Karen Maex, Wim Dehaene, *“Read Stability and Write-Ability Analysis of SRAM Cells for Nanometer Technologies”*, IEEE Journal of solid-state circuits, vol. 41, no. 11, Novembre 2006;
- [5] Riaz Naseer, Dr. Jeff Draper, *“The DF-DICE Storage Element for immunity to Soft Errors”*, University of Southern California, USA;
- [6] Mahta Haghi, Dr. Jeff Draper, *“The 90 nm Double-DICE Storage Element To Reduce Single-Event Upsets”*, University of Southern California, USA;
- [7] Calinl T., Nicolaidis M., Velazco R., *“Upset Hardened Memory esign for Submicron CMOS Technology”*, IEEE Transactions on Nuclear Scienze, vol. 43, no. 6, Dicembre 1996;
- [8] Rezzak N. (2010), *“The Effect of Shallow Trench Isolation (STI) Topology, Sidewall Doping and Layout-related Stress on Radiation-induced Leakage Current”*, Tesi, Graduate school of Vanderbilt University, Nashville, Tennessee;
- [9] Hsieh C. M., Murley P. C., O'Brien R. R., *“A Field-funneling Effect on the Collection of Alpha-Particle-Generated Carriers in Silicon Devices”*, IEEE Electron Device Letters, vol. EDL-2, no. 4, Aprile 1981;

- [10] McIver III John K., Clark Lawrence T., *"Reducing Radiation-Hardened Digital Circuit Power Consumption"* , IEEE Transactions on Nuclear Science, vol. 52, no. 6, Dicembre 2005;
- [11] Faccio F., *"Radiation effects in the electronics for CMS"*, slide, CERN;
- [12] Schwank J.R., Shaneyfelt M.R., Draper B.L., Dodd P.E., *"BUSFET - A Radiation-Hardened SOI Transistor"* , IEEE Transactions on Nuclear Science, vol. 46, no. 6, Dicembre 1999;
- [13] Colinge Jean-Pierre, *"Physics of the SOI Transistor"*, Lecture 2;
- [14] Fukuda Y., Ito S., Ito M., *"SOI-CMOS Device Technology"*;
- [15] Rucatti D. (2012), *"Microprocessors: Radiation Effects and Soft Errors Mitigation"*, slide, Università degli Studi di Padova, Padova;
- [16] Dr. Velazco R. (2011), *"Single Event Effects on digital integrated circuits: Origins and Mitigation Techniques"*, Ecole de Microélectronique et Microsystèmes, Grenoble;
- [17] Martin M.E.(2006), *"Design and Characterization of a Radiation Tolerant Triple Mode Redundant Sense Amplifier Flipflop for Space Applications"*, Tesi, Air Force Institute Of Technology, Ohio;
- [18] Matush B. (2010), *"An Innovative Radiation Hardened By Design Flip-Flop"*, Tesi, Arizona State University;
- [19] Narayana Murty Kodeti (2009), *"White Paper On Silicon On Insulator (SOI) Implementation"*, Infotech Enterprises Ltd.;
- [20] Dr. Mavis D. G., Eaton P.H.(1998), *"Temporally Redundant Latch for Preventing Single Event Disruptions in Sequential Integrated Circuits"*, Technical Report P8111.29, Mission Research Corporation, Albuquerque;
- [21] Hass K.J., Gambles J.W., *"Single Event Transients in Deep Submicron CMOS"*, Microelectronics Research Center University of New Mexico, Albuquerque;
- [22] http://rfdesign.com/military_defense_electronics/rad-hard-fpgas-fly-space-missions-0911/

[23] <http://www.xilinx.com>