



UNIVERSITÀ DEGLI STUDI DI PADOVA

Facoltà di Ingegneria

Corso di laurea in Ingegneria dell'Informazione



Progetto di un amplificatore operazionale di transconduttanza di tipo current mirror

Design of a current mirror operational transconductance amplifier

Relatore: Prof. Andrea Neviani

Laureando: Luca Bessegato

Anno Accademico 2010/2011



Indice generale

INTRODUZIONE.....	3
1 STUDIO DELL'OTA CURRENT MIRROR.....	4
1.1 Operational Transconductance Amplifiers	4
1.2 Specchio di corrente a MOSFET.....	6
1.3 Amplificatore differenziale.....	9
1.4 OTA current mirror.....	13
2 PROGETTAZIONE DI UN OTA CURRENT MIRROR.....	15
2.1 Implementazione.....	15
2.2 Relazioni tra specifiche e parametri del circuito.....	17
2.3 Scelta dei principali parametri del circuito.....	18
3 SIMULAZIONE DEL CIRCUITO.....	20
3.1 Verifica funzionalità e rispetto delle specifiche.....	20
3.2 Total Harmonic Distortion.....	24
3.3 Larghezza di banda a piena potenza.....	26
3.4 Tensione di offset.....	28
CONCLUSIONI.....	30
BIBLIOGRAFIA.....	31



INTRODUZIONE

L'interesse per il mondo dell'elettronica mi ha spinto a concludere il percorso della laurea triennale con questa tesi, incentrata su un risvolto applicativo dell'elettronica analogica: la progettazione di un amplificatore operazionale di transconduttanza. Considerando che proseguirò il mio percorso di studi scegliendo la laurea magistrale in ingegneria elettronica ho ritenuto che una tesi come questa, che permette di toccare con mano il funzionamento di un circuito elettronico, sia una scelta interessante e stimolante.

La tesi è suddivisa in tre parti principali:

- studio dell'OTA current mirror: un'analisi del funzionamento del circuito in esame, con approfondimenti sulle sue componenti principali, ossia gli specchi di corrente a MOSFET e l'amplificatore differenziale;
- progettazione di un OTA current mirror: una spiegazione delle scelte fatte per implementare il circuito, con i relativi calcoli manuali per dimensionare i componenti al fine di soddisfare le specifiche richieste;
- simulazione del circuito: una raccolta dei risultati ottenuti dalle simulazioni effettuate, tra cui la verifica della funzionalità e del rispetto delle specifiche, l'ampiezza della tensione di uscita per cui si ha una distorsione armonica totale dell'1% di un segnale sinusoidale con frequenza 1 KHz , la larghezza di banda a piena potenza e la tensione di offset.

1 STUDIO DELL'OTA CURRENT MIRROR

1.1 Operational Transconductance Amplifiers

Molti dei moderni amplificatori operazionali (opamp) a CMOS sono costruiti per pilotare solo carichi capacitivi; con tali carichi non è necessario utilizzare un buffer di tensione per ottenere una bassa impedenza di uscita. Come risultato è possibile realizzare amplificatori operazionali ad alta velocità e con ampio swing di segnale rispetto a quelli che devono pilotare carichi resistivi. Questi miglioramenti sono ottenuti grazie al fatto che l'unico nodo ad alta impedenza è il nodo di uscita, cioè quello che deve pilotare i carichi capacitivi. L'ammettenza di tutti gli altri nodi in questi opamp è dell'ordine della transconduttanza dei transistor, e quindi la loro impedenza è relativamente bassa. Avere tutti i nodi interni ad impedenza abbastanza bassa permette di massimizzare la velocità dell'amplificatore operazionale. Con questi amplificatori operazionali la compensazione è tipicamente realizzata dal carico capacitivo; quindi all'aumentare della capacità del carico, l'opamp diventa più stabile ma anche più lento.

Uno dei parametri più importanti in questi moderni amplificatori operazionali è il valore della loro transconduttanza (i.e. Il rapporto tra corrente di uscita e tensione di ingresso); perciò alcuni progettisti si riferiscono a questi moderni opamp come amplificatori operazionali di transconduttanza, in inglese Operational Transconductance Amplifiers (OTAs).

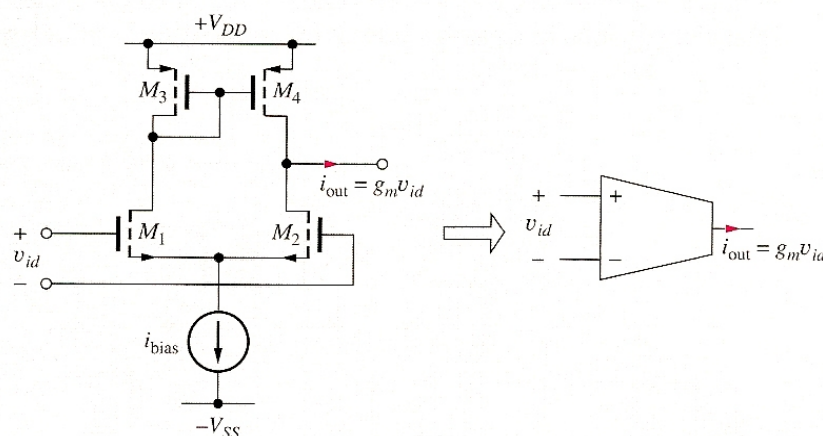


Figura 1.1: semplice esempio di OTA

Un OTA è caratterizzato da un'alta impedenza sia di ingresso che di uscita. La figura 1.1 mostra un semplice esempio di OTA, composto da una coppia differenziale con uno specchio di corrente come carico attivo. La corrente di uscita ai piccoli segnali è data da:



$$i_{out} = g_m v_{id} \quad (1.1)$$

dove g_m è la transconduttanza della coppia differenziale mentre v_{id} è la tensione differenziale di ingresso.

Prima di analizzare il comportamento di questo circuito, si studia brevemente il funzionamento dello specchio di corrente a MOSFET nella sua semplice configurazione a due transistor. Esso costituirà un importante elemento che verrà ampiamente utilizzato nel resto del progetto.

1.2 Specchio di corrente a MOSFET

La configurazione a specchio di corrente viene diffusamente utilizzata per polarizzare circuiti integrati sia analogici che digitali. La figura 1.2 mostra lo schema circuitale di uno specchio di corrente realizzato in tecnologia MOSFET. Se i MOSFET M_1 e M_2 hanno valori identici per i parametri $(V_{TN}, K_n', \lambda, W/L)$ è facile vedere che $I_O \approx I_{REF}$, da questa condizione deriva il nome "specchio di corrente".

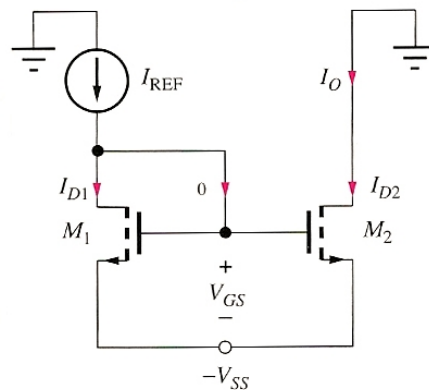


Figura 1.2: specchio di corrente a MOSFET

Dalla figura 1.2 si nota che la corrente I_{REF} deve fluire nel drain di M_1 poiché la corrente di gate del MOSFET è nulla; inoltre si osserva che il dispositivo M_1 opera in regione di saturazione, poiché $V_{DS1} = V_{GS1}$. Si può quindi calcolare facilmente il valore di V_{GS1} :

$$I_{REF} = \frac{K_n}{2} (V_{GS1} - V_{TN})^2 (1 + \lambda V_{DS1}) \quad \text{da cui} \quad V_{GS1} = V_{TN} + \sqrt{\frac{2 I_{REF}}{K_{n1} (1 + \lambda V_{DS1})}} \quad (1.2)$$

Il valore di I_O è pari alla corrente di drain di M_2 :

$$I_O = I_{D2} = \frac{K_{n2}}{2} (V_{GS2} - V_{TN})^2 (1 + \lambda V_{DS2}) \quad (1.3)$$

Poiché $V_{GS1} = V_{GS2}$, sostituendo l'equazione (1.2) nella (1.3) si ottiene:

$$I_O = I_{REF} \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \approx I_{REF} \quad (1.4)$$

Per $V_{DS1} = V_{DS2}$ la corrente di uscita è esattamente uguale alla corrente di riferimento; sfortunatamente in molti casi i valori di V_{DS} dei due dispositivi non sono uguali fra loro e questo comporta una leggera differenza fra I_O e I_{REF} .

Il rapporto fra le correnti I_O e I_{REF} viene indicato come rapporto di riflessione (mirror ratio), ed è dato da:

$$MR = \frac{I_O}{I_{REF}} = \frac{(1 + \lambda V_{DS2})}{(1 + \lambda V_{DS1})} \quad (1.5)$$

Lo specchio di corrente di figura 1.2 consente di ottenere un'uscita $I_O \approx I_{REF}$, mentre in molte applicazioni si richiede la possibilità di realizzare un rapporto di riflessione diverso dall'unità. Per lo specchio di corrente MOSFET il rapporto di riflessione può essere facilmente modificato agendo sui rapporti W/L dei due dispositivi. Se i valori K_n dei due dispositivi sono dati da:

$$K_{n1} = K_n' \left(\frac{W}{L} \right)_1 \quad \text{e} \quad K_{n2} = K_n' \left(\frac{W}{L} \right)_2 \quad (1.6)$$

Sostituendo questi due valori di K_n nelle equazioni (1.2) e (1.3) si ottiene il rapporto di riflessione:

$$MR = \frac{I_O}{I_{REF}} = \frac{\left(\frac{W}{L} \right)_2 (1 + \lambda V_{DS2})}{\left(\frac{W}{L} \right)_1 (1 + \lambda V_{DS1})} \approx \frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} \quad (1.7)$$

Prima di calcolare r_{out} si consideri il modello ai piccoli segnali di Q_1 preso singolarmente. Applicando una tensione di riferimento v_y , come illustrato in figura 1.3, e misurando i_y si trova:

$$i_y = \frac{v_y}{r_{DS1}} + g_{m1} v_{GS1} = \frac{v_y}{r_{DS1}} + g_{m1} v_y \quad (1.8)$$

L'impedenza di uscita del circuito è data da:

$$\frac{v_y}{i_y} = \frac{1}{g_{m1}} \parallel r_{DS1} \approx \frac{1}{g_{m1}} \quad (1.9)$$

Risultato tipico per i transistor connessi "a diodo".

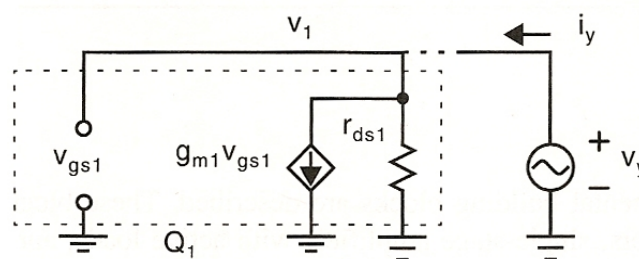


Figura 1.3: circuito ai piccoli segnali di un MOSFET connesso "a diodo"

Analizzando il circuito ai piccoli segnali dello specchio di corrente a MOSFET per il calcolo di r_{out} , illustrato in figura 1.4, con Q_1 ridotto ad una resistenza di valore $1/g_{m1}$ è immediato verificare che $r_{out} = r_{DS2}$ in quanto $V_{GS2} = 0$ indipendentemente dalla tensione v_x applicata all'uscita del circuito.

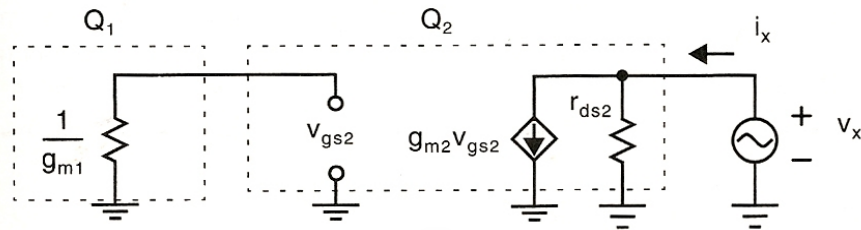


Figura 1.4: circuito ai piccoli segnali dello specchio di corrente a MOSFET

1.3 Amplificatore differenziale

L'amplificatore differenziale è uno dei più importanti elementi tra i blocchi fondamentali per il progetto di circuiti analogici e rappresenta il cuore dell'amplificatore operazionale. Per realizzare tale stadio viene quasi sempre utilizzata quella che viene chiamata una "coppia differenziale" di transistor, mostrata in figura 1.5.

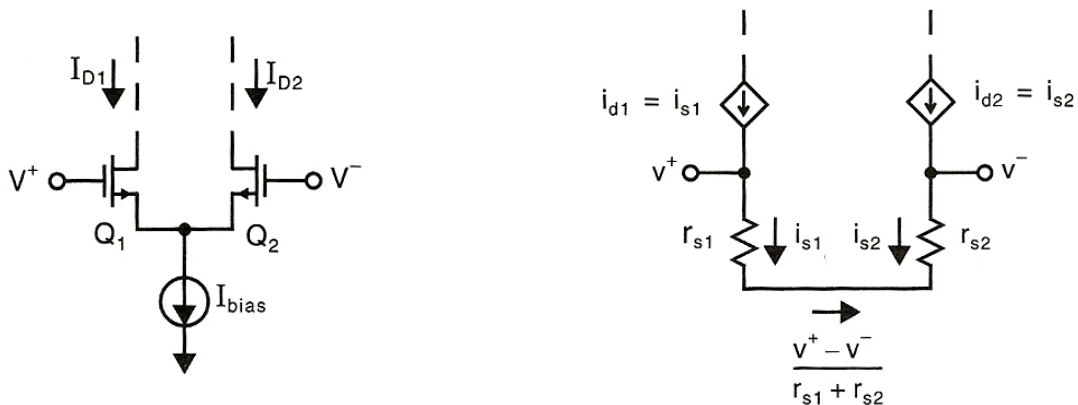


Figura 1.5: coppia differenziale a MOSFET e relativo circuito ai piccoli segnali

Per l'analisi ai piccoli segnali di questo circuito viene utilizzato il "modello a T" dei MOSFET, dove è stata trascurata la resistenza drain-source per semplicità. In figura 1.5 è mostrato lo schema elettrico risultante. Definendo la tensione di ingresso differenziale v_{id} come differenza tra v^+ e v^- , si ha:

$$i_{d1} = i_{s1} = \frac{v_{id}}{r_{s1} + r_{s2}} = \frac{v_{id}}{1/g_{m1} + 1/g_{m2}} \quad (1.10)$$

Dato che sia Q_1 che Q_2 sono percorsi dalla stessa corrente di polarizzazione, risulta che $g_{m1} = g_{m2}$. Quindi:

$$i_{d1} = \frac{g_{m1}}{2} v_{id} \quad (1.11)$$

Infine, definendo la corrente di uscita differenziale $i_{out} \equiv i_{d1} - i_{d2}$, con $i_{d2} = i_{s2} = -i_{d1}$ si ottiene:

$$i_{out} = g_{m1} v_{id} \quad (1.12)$$

Quando una coppia differenziale utilizza uno specchio di corrente come carico attivo, si realizza uno stadio di guadagno a ingresso differenziale e uscita unipolare, come illustrato in figura 1.6. In questo circuito la coppia differenziale utilizza transistor nMOSFET, mentre il carico

attivo a specchio di corrente usa transistor pMOSFET.

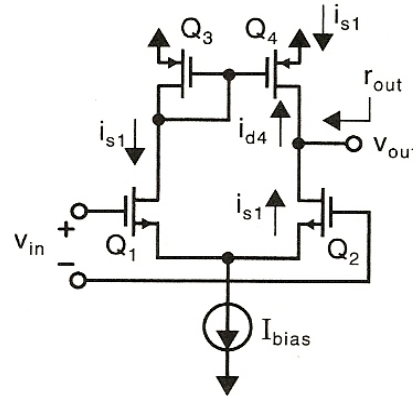


Figura 1.6: stadio di guadagno a ingresso differenziale e uscita unipolare

Trascurando le impedenze di uscita dei transistor si ha:

$$i_{d4} = i_{d3} = -i_{s1} \quad (1.13)$$

Si ricorda che la corrente ai piccoli segnali è positiva quando entra nel drain di un transistor.

Utilizzando (1.13) e l'uguaglianza $i_{d2} = -i_{s1}$, si ottiene:

$$v_{out} = (-i_{d2} - i_{d4}) r_{out} = 2i_{s1} r_{out} = g_{m1} r_{out} v_{id} \quad (1.14)$$

Se all'uscita è presente anche un carico capacitivo C_L , il guadagno è dato da:

$$A_V = \frac{v_{out}}{v_{id}} = g_{m1} z_{out} \quad (1.15)$$

dove $z_{out} = r_{out} \parallel 1/(sC_L)$. Per questo stadio, un circuito semplificato è mostrato in figura 1.7.

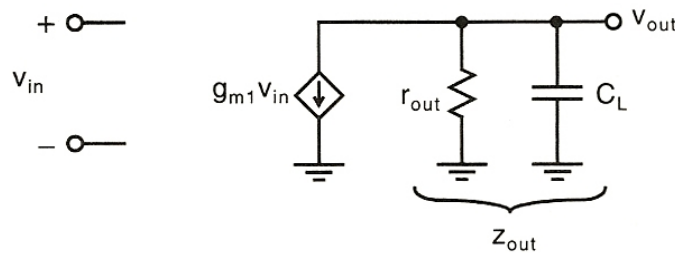


Figura 1.7: circuito ai piccoli segnali dell'amplificatore differenziale

Questo modello assume implicitamente che la costante di tempo al nodo di uscita sia molto maggiore della costante di tempo dovuta alle capacità parassite presenti al source di Q_1 e Q_2 . Quest'assunzione è giustificata dal fatto che l'impedenza al nodo di uscita, r_{out} , è

molto maggiore dell'impedenza al source di Q_1 e Q_2 (i.e. $1/g_{m1} \parallel 1/g_{m2}$). Inoltre la capacità al nodo di uscita, C_L , è tipicamente maggiore delle capacità parassite al source di Q_1 e Q_2 ; tuttavia, quando gli effetti alle alte frequenze diventano rilevanti, questa assunzione potrebbe non essere giustificata.

La valutazione del valore della resistenza di uscita r_{out} viene eseguita utilizzando il circuito equivalente mostrato in figura 1.8. In questo schema per i transistor Q_1 e Q_2 è stato usato il modello a T, Q_3 è stato rimpiazzato dalla sua resistenza equivalente (dato che è connesso a diodo) e per Q_4 è stato usato il modello ibrido a π .

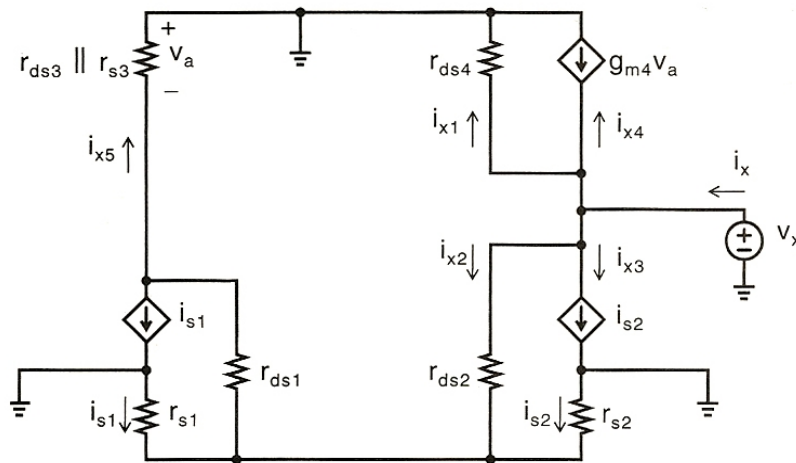


Figura 1.8: circuito per il calcolo della resistenza di uscita dell'amplificatore differenziale

Come consuetudine r_{out} viene definita come rapporto v_x/i_x , dove $i_x = i_{x1} + i_{x2} + i_{x3} + i_{x4}$. È immediato verificare che:

$$i_{x1} = \frac{v_x}{r_{ds4}} \quad (1.16)$$

Ora, assumendo che r_{ds1} sia trascurabile (in quanto molto maggiore di r_{s1}), si trova che

i_{x2} è data da:

$$i_{x2} \approx \frac{v_x}{r_{ds2} + (r_{s1} \parallel r_{s2})} \approx \frac{v_x}{r_{ds2}} \quad (1.17)$$

dove la seconda approssimazione è valida in quanto tipicamente $r_{ds2} \gg r_{s1} \parallel r_{s2}$. La corrente

i_{x2} si divide equamente tra i_{s1} e i_{s2} (assumendo $r_{s1} = r_{s2}$ e trascurando r_{ds1}), che risultano:

$$i_{s1} = i_{s2} = -\frac{v_x}{2r_{ds2}} \quad (1.18)$$

Dato che la corrente dello specchio realizzato da Q_3 e Q_4 comporta $i_{x4} = i_{x5}$ (assumendo $g_{m4} = 1/r_{s4} = 1/r_{s3}$ e $r_{ds3} \gg r_{s3}$), la corrente i_{x4} è data da:

$$i_{x4} = -i_{s1} = -i_{s2} = -i_{x3} \quad (1.19)$$

In altre parole, quando la corrente i_{x2} si divide equamente tra r_{s1} e r_{s2} , lo specchio di corrente formato da Q_3 e Q_4 vincola le correnti i_{x3} e i_{x4} a cancellarsi a vicenda. Concludendo, la resistenza di uscita r_{out} risulta:

$$r_{out} = \frac{v_x}{i_{x1} + i_{x2} + i_{x3} + i_{x4}} = \frac{v_x}{(v_x/r_{ds4}) + (v_x/r_{ds4})} = r_{ds2} \parallel r_{ds4} \quad (1.20)$$

1.4 OTA current mirror

Una tipologia di amplificatore operazionale spesso utilizzata per pilotare carichi puramente capacitivi sui chip è l'OTA a specchio di corrente, illustrato in figura 1.9. L'immagine mostra lo schema generale del circuito, in cui gli specchi di corrente non sono stati implementati.

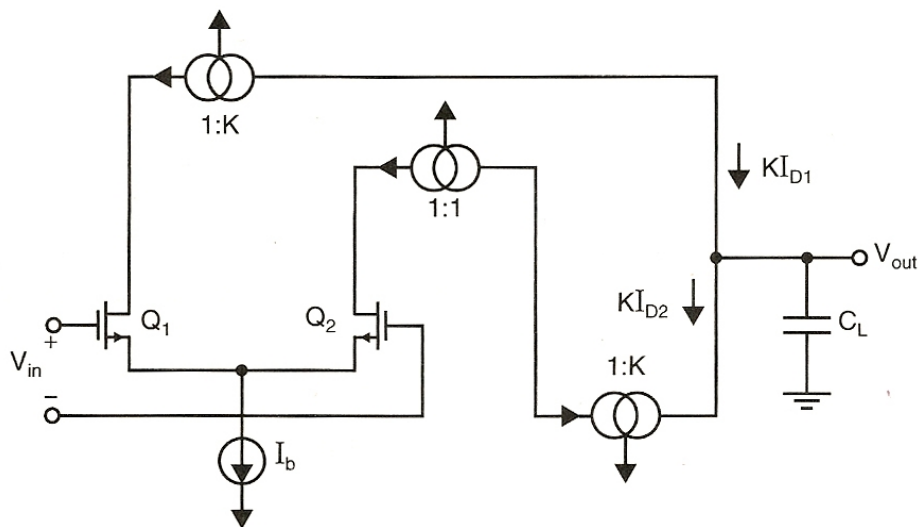


Figura 1.9: circuito generale dell'OTA current mirror

È immediato verificare che tutti i nodi sono a bassa impedenza, ad eccezione del nodo di uscita. In questo particolare circuito la corrente di uscita risulta proporzionale alla corrente presente nella coppia differenziale secondo la relazione:

$$i_{out} = Ki_{d1} - Ki_{d2} \quad (1.21)$$

Il fattore K è il rapporto di riflessione dei due specchi di corrente collegati al nodo di uscita. Dato che ai piccoli segnali $i_{d2} = -i_{d1}$, seguendo un ragionamento simile a quello fatto per il singolo stadio differenziale a MOSFET si trova:

$$i_{d1} = \frac{v_{id}}{r_{s1} + r_{s2}} = \frac{v_{id}}{1/g_{m1} + 1/g_{m2}} = \frac{g_{m1}}{2} v_{id} \quad (1.22)$$

quindi i_{out} risulta:

$$i_{out} = 2Ki_{d1} = 2K \frac{g_{m1}}{2} v_{id} = K g_{m1} v_{id} \quad (1.23)$$

Ora è possibile calcolare il guadagno di tensione:

$$A_v = \frac{v_{out}}{v_{id}} = \frac{i_{out} z_{out}}{v_{id}} = \frac{K g_{m1} v_{id} z_{out}}{v_{id}} = K g_{m1} z_{out} \quad (1.24)$$

Utilizzando specchi di corrente di qualità, aventi un'alta impedenza di uscita, è possibile ottenere un buon guadagno di tensione complessivo. Sostituendo $z_{out} = r_{out} \parallel 1/(sC_L)$ la formula del guadagno risulta:

$$A_v = \frac{K g_{m1} r_{out}}{1 + s r_{out} C_L} \approx \frac{K g_{m1}}{s C_L} \quad (1.25)$$

Grazie all'ultima approssimazione è possibile calcolare facilmente la pulsazione corrispondente al guadagno unitario ω_t , che negli amplificatori operazionali è pari al prodotto guadagno-larghezza di banda GBW (Gain-BandWidth product) moltiplicato per 2π :

$$\omega_t = GBW 2\pi = \frac{K g_{m1}}{C_L} = \frac{K \sqrt{2} I_{d1} \mu_n C_{OX} (W/L)_1}{C_L} \quad (1.26)$$

Le correnti che attraversano il circuito sono: $2I_{d1}$ nella coppia differenziale; I_{d1} tra lo specchio di corrente 1:1 e lo specchio di corrente 1:K a nMOSFET; KI_{d1} nel ramo collegato all'uscita. Quindi la corrente totale di questo circuito è pari a:

$$I_{tot} = (3 + K) I_{d1} \quad (1.27)$$

Esprimendo ω_t in funzione della corrente I_{tot} si ottiene:

$$\omega_t = \frac{K}{\sqrt{3 + K}} \frac{\sqrt{2} I_{tot} \mu_n C_{OX} (W/L)_1}{C_L} \quad (1.28)$$

Ovviamente per grandi valori di K la transconduttanza dell'OTA è maggiore (i.e. $i_{out}/v_{id} = K g_{m1}$) e inoltre è maggiore anche il prodotto GBW . Questo semplice risultato assume che la frequenza corrispondente al guadagno unitario ω_t sia limitata dalla capacità di carico piuttosto che dai poli in alta frequenza legati alle costanti di tempo dei nodi interni. Valori di K tipici che permettono di ottenere un compromesso ragionevole tra le varie specifiche di progetto sono $K=2$ oppure $K=3$.

2 PROGETTAZIONE DI UN OTA CURRENT MIRROR

2.1 Implementazione

Concluso lo studio della topologia e del funzionamento dell'OTA current mirror, il passo successivo consiste nel realizzare il progetto di massima del dispositivo menzionato, in tecnologia CMOS. Le specifiche del progetto richiedono di realizzare un OTA current mirror a uscita unipolare (single ended) con le seguenti caratteristiche:

- tensioni di alimentazione: $V_{DD}=3.3V$ e $V_{SS}=0V$;
- guadagno di tensione in DC: $A_{v0}>40dB$;
- prodotto guadagno-larghezza di banda: $GBW>500MHz$ con carico $C_L=0.5pF$;
- consumo di potenza statico: $P<20mW$.

La prima scelta da fare per iniziare il progetto è decidere il tipo di specchi di corrente da utilizzare per implementare lo schema semplificato dell'OTA current mirror (figura 1.9). Dato che le specifiche non sembrano troppo esigenti, si decide di fare un primo tentativo utilizzando semplici specchi di corrente a MOSFET (figura 2.1), in modo da contenere la complessità del circuito. Se non si riuscisse a soddisfare le specifiche in questo modo, si potrebbe tentare di implementare il circuito utilizzando specchi di corrente cascode, più prestanti in termini di resistenza di uscita, che però richiedono una rete di polarizzazione non banale.

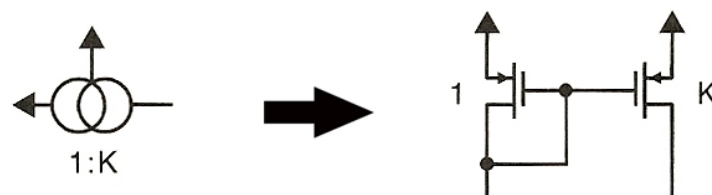


Figura 2.1: implementazione di uno specchio di corrente

Il circuito risultante è illustrato in figura 2.2. Oltre ad aver implementato gli specchi di corrente del circuito, è stato aggiunto un quarto specchio di corrente a nMOSFET per fornire al circuito la corrente di polarizzazione I_b . Ora, anche se nello schema del circuito è ancora presente un generatore di corrente ideale I_{REF} , le simulazioni effettuate risulteranno più fedeli, perché grazie alle proprietà dello specchio di corrente, gli effetti derivanti della non idealità di I_{REF} saranno molto più contenuti.

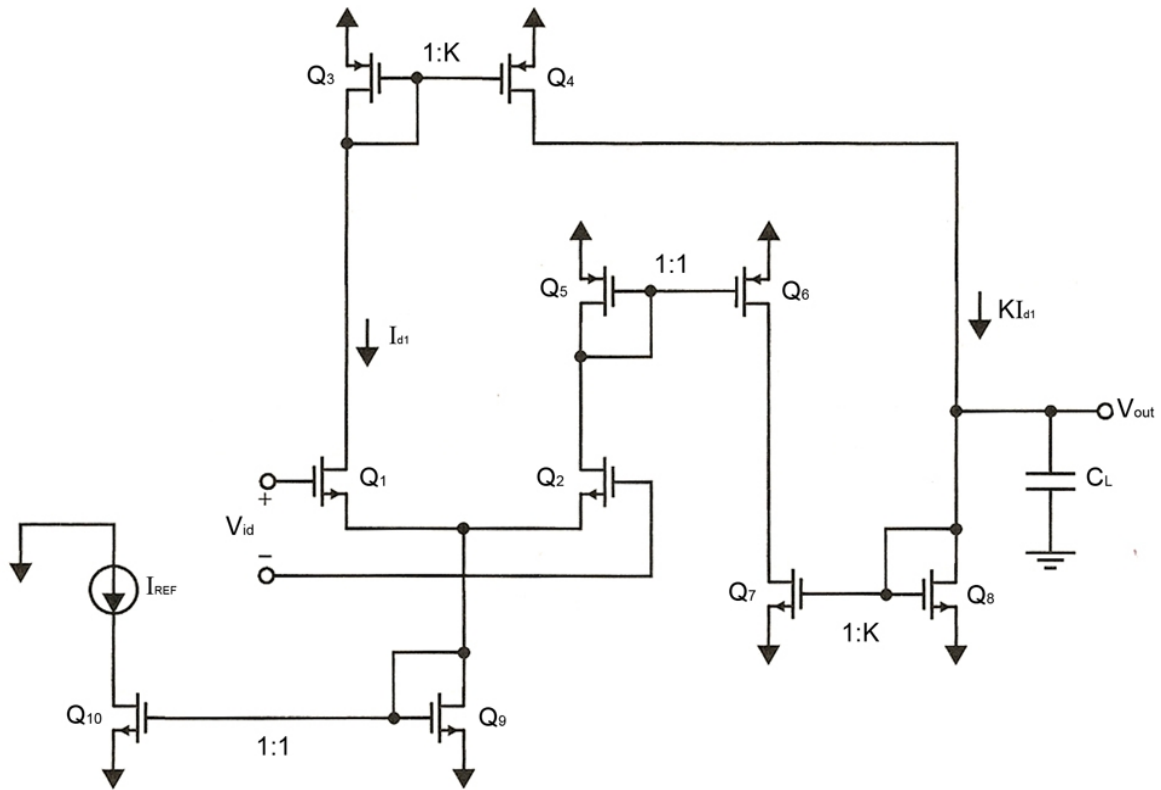


Figura 2.2: OTA current mirror con implementazione a specchi di corrente a MOSFET

2.2 Relazioni tra specifiche e parametri del circuito

Per poter dimensionare adeguatamente i componenti è necessario derivare dalle equazioni generali dell'OTA current mirror quelle relative a questo circuito, che utilizza l'implementazione a specchi di corrente a MOSFET semplici.

Il guadagno di tensione in DC è ottenibile dalla (1.25):

$$A_{V0} = [A_V]_{s=0} = \left[\frac{K g_{m1} r_{out}}{1 + s r_{out} C_L} \right]_{s=0} = K g_{m1} r_{out} \quad (2.1)$$

Per proseguire è necessario ottenere l'espressione di r_{out} . Dallo schema ai piccoli segnali per il calcolo di r_{out} è facile vedere che essa equivale al parallelo tra le resistenze di uscita dei due transistor collegati all'uscita Q_4 e Q_8 . Questo perché ponendo $v_{id}=0$ si annullano tutte le tensioni ai nodi interni, e quindi anche tutte le correnti negli schemi equivalenti dei transistor (i.e. $g_m v_{gs}$), perciò r_{out} è data semplicemente da:

$$r_{out} = \frac{v_x}{i_x} = \frac{v_x}{v_x / (r_{O4} \parallel r_{O8})} = r_{O4} \parallel r_{O8} \quad (2.2)$$

La resistenza di uscita di un MOSFET r_o si può calcolare utilizzando l'equazione $r_o = \eta L / I_D$ dove η è il coefficiente della resistenza di uscita, L è la lunghezza del MOSFET e I_D è la corrente di drain. Sostituendo, r_{out} risulta:

$$r_{out} = r_{O4} \parallel r_{O8} = \frac{r_{O4} r_{O8}}{r_{O4} + r_{O8}} = \frac{\eta_p L}{K I_{D1}} \frac{\eta_n L}{K I_{D1}} \frac{K I_{D1}}{(\eta_p L + \eta_n L)} = \frac{\eta_p \eta_n L}{K I_{D1} (\eta_p + \eta_n)} \quad (2.3)$$

2.3 Scelta dei principali parametri del circuito

Ottenute le relazioni tra le specifiche e i parametri del circuito, è possibile effettuare un primo dimensionamento dei valori su cui agire per soddisfare le esigenze del progetto. I risultati ottenuti non saranno definitivi, ma costituiranno un punto di partenza per la simulazione del circuito al calcolatore. Di seguito viene riportata la tabella contenente i parametri dei MOSFET del processo C35 CMOS $0.35\mu m$ da usare per i calcoli manuali (i parametri L e W sono la lunghezza e la larghezza del canale del MOSFET).

	nMOSFET	pMOSFET	
Par	Valore	Valore	Note
$V_{m(p)}$	$0.5 V$	$-0.6 V$	Tensione di soglia
$k'_{n(p)}$	$175\mu A/V^2$	$60\mu A/V^2$	Fattore di corrente ($k'_{n(p)} = \mu_{n(p)} \cdot C_{OX}$)
$\gamma_{n(p)}$	$0.58 V^{1/2}$	$0.45 V^{1/2}$	Fattore dell'effetto body
$\eta_{n(p)}$	$1.8 \cdot 10^7 V/m$	$1.25 \cdot 10^7 V/m$	Coefficiente della resistenza di uscita: $r_O = \eta_{n(p)} L / I_D$
C_{OX}	$4.6 fF/\mu m^2$	$4.6 fF/\mu m^2$	Capacità specifica dell'ossido di gate
C_{GS0}	$0.21 fF/\mu m$	$0.21 fF/\mu m$	Capacità specifica di sovrapp.: $C_{gs,ov} = WC_{GS0}$
C_{GD0}	$0.21 fF/\mu m$	$0.21 fF/\mu m$	Capacità specifica di sovrapp.: $C_{gd,ov} = WC_{GD0}$
C_{J0}	$0.93 fF/\mu m^2$	$1.42 fF/\mu m^2$	Capacità specifica di area dei diodi S/D
C_{JSW0}	$0.28 fF/\mu m$	$0.38 fF/\mu m$	Capacità specifica di perimetro dei diodi S/D

La prima variabile da fissare è K , ossia il rapporto di riflessione dei due specchi di corrente collegati al nodo di uscita. Come esposto in precedenza, valori di K tipici che permettono di ottenere un compromesso ragionevole tra le varie specifiche di progetto sono $K=2$ oppure $K=3$. Per questo progetto si sceglie $K=2$.

Ora è possibile ricavare il valore di g_{ml} necessario per ottenere il minimo prodotto guadagno-larghezza di banda richiesto. Dalla (1.26) e moltiplicando C_L per un fattore 1,5 in modo da tenere conto di eventuali capacità parassite la nodo di uscita si ottiene:

$$g_{ml} = \frac{2\pi GBW(1,5C_L)}{K} = 1,18 mS$$

A questo punto si passa al calcolo della corrente I_{DI} necessaria per avere il guadagno di tensione in DC richiesto. Dalla (2.1) e dalla (2.3):

$$I_{D1} = \frac{g_{m1} \eta_n \eta_p L}{A_{V0} (\eta_n + \eta_p)} = 30,47 \mu A$$

quindi il circuito verrà alimentato con una corrente $I_{REF} = 2 I_{D1} = 60,94 \mu A$.

Disponendo di g_{m1} e di I_{D1} si può ottenere il valore di $(W/L)_1$:

$$\left(\frac{W}{L}\right)_1 = \frac{g_{m1}^2}{2 \mu_n C_{OX} I_{D1}} = 131$$

Ottenuti i valori di I_{D1} e $(W/L)_1$ si verifica che Q_1 lavori in saturazione:

$$V_{eff} = \sqrt{\frac{2 I_{D1}}{\mu_n C_{OX} (W/L)_1}} = 51,56 mV$$

Dato che il valore ottenuto è inferiore a $150 mV$ bisognerà controllare al simulatore che Q_1 lavori in saturazione.

Le dimensioni degli altri transistor non sono particolarmente influenti e per iniziare la simulazione i fattori di forma vengono impostati tutti a $(W/L)=10$, ad eccezione di Q_3 e di

Q_7 , che per rispettare il rapporto di riflessione K hanno un fattore di forma $(W/L)=5$.

L'ultimo valore da verificare è il consumo di potenza statico. Utilizzando la (1.27) e aggiungendo la corrente che scorre nello specchio per la polarizzazione (i.e. $2 I_{D1}$) si trova:

$$P_{tot} = V_{DD} I_{tot} = V_{DD} I_{D1} (5 + K) = 704 \mu W$$

che rispetta le specifiche.

3 SIMULAZIONE DEL CIRCUITO

3.1 Verifica funzionalità e rispetto delle specifiche

La simulazione del circuito per la verifica della funzionalità e del rispetto delle specifiche è stata effettuata con Cadence Design Framework II, un'interfaccia grafica per la gestione unificata del flusso di progettazione di circuiti integrati digitali, analogici e misti, che è da anni uno standard industriale.

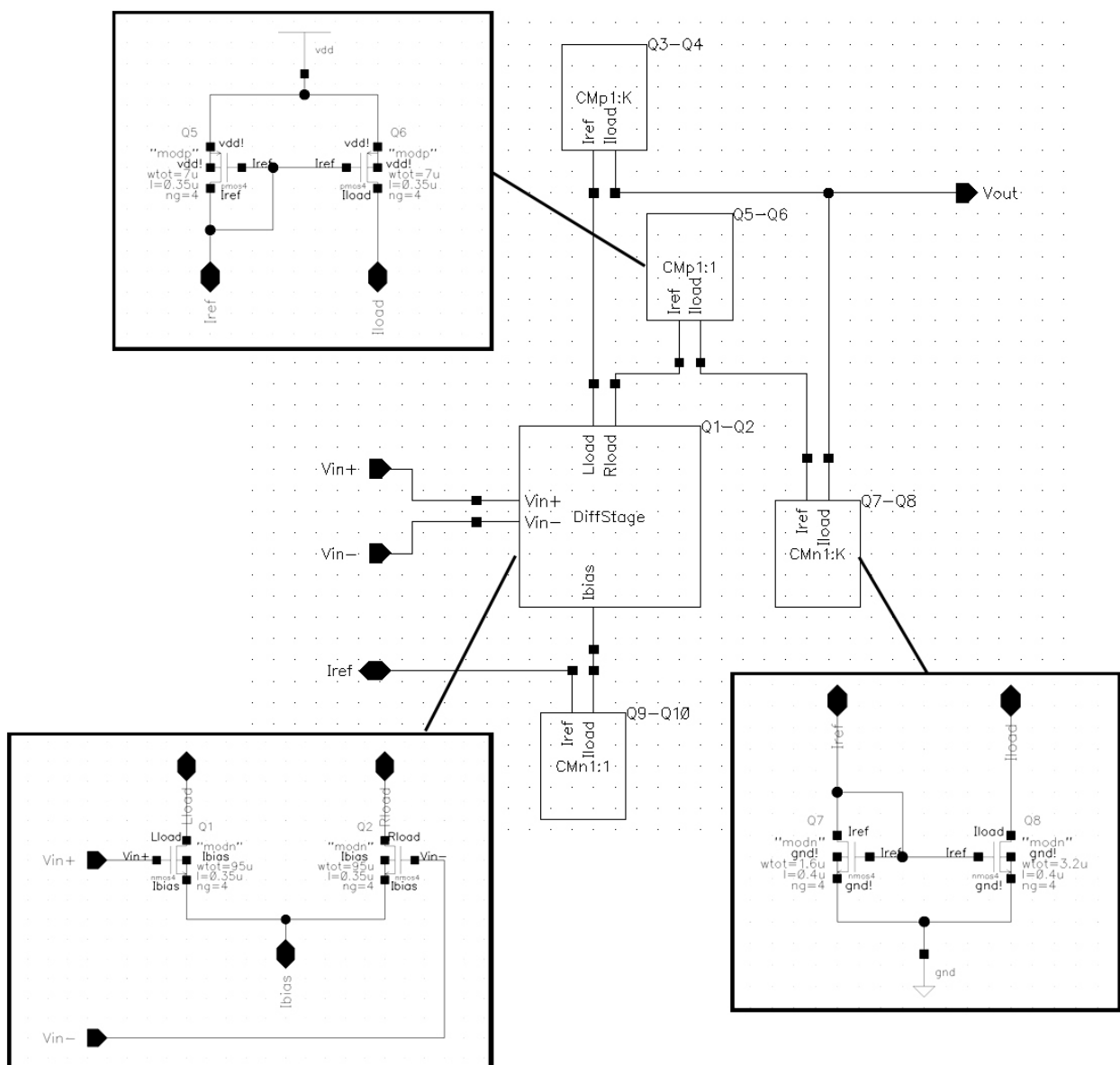


Figura 3.1: circuito dell'OTA progettato riprodotto su Cadence

Il circuito del progetto è stato riprodotto all'interno del simulatore, organizzato gerarchicamente in celle elementari formate da due transistor, configurati a specchio di corrente o a coppia differenziale (figura 3.1). L'OTA completo è stato racchiuso in un unico componente, inseribile in un banco di prova per effettuare i vari test.

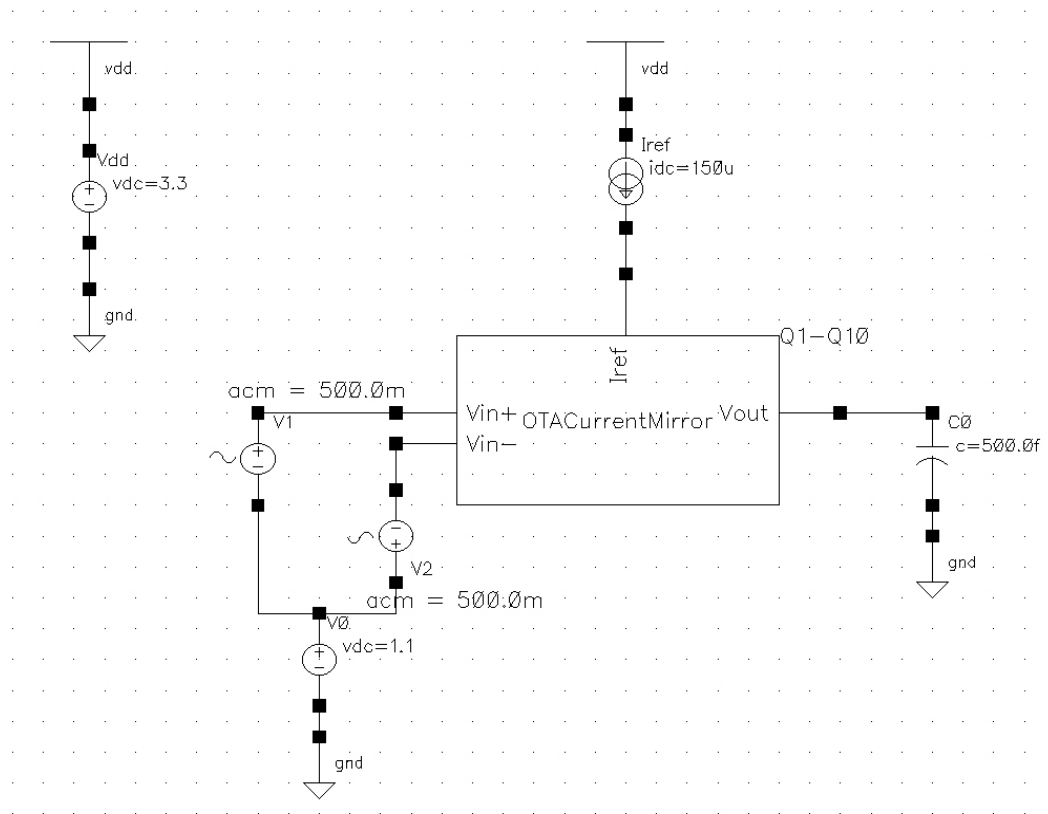


Figura 3.2: banco di test per ricavare i diagrammi di Bode del circuito progettato

Il primo test consiste nella verifica delle specifiche di guadagno di tensione in DC A_{V0} e prodotto guadagno-larghezza di banda GBW , entrambe ricavabili dal diagramma di Bode del modulo dell'OTA. Il banco di prova per queste misure, illustrato in figura 3.2 comprende le alimentazioni del circuito V_{DD} e I_{REF} , il carico capacitivo C_L , la tensione di polarizzazione per l'ingresso $V_{DC} = V_{DD}/2$ e due generatori sinusoidali da $0,5V$ ciascuno, che permettono di ottenere una tensione di ingresso differenziale $V_{id} = 1V$. Avere l'ampiezza del segnale di ingresso fissata a $1V$ permette di valutare il guadagno di tensione in DC senza dover fare il rapporto tra la grandezza di uscita e la grandezza di ingresso. Anche se il valore AC è fissato a $1V$, nell'analisi AC il circuito è linearizzato, per cui risponde sempre senza distorsione a segnali di qualunque ampiezza.

La prima simulazione non ha dato i risultati attesi, pertanto a questo punto del lavoro è stata

effettuata una serie di simulazioni in cui sono stati modificati i parametri del circuito su cui il progettista ha libertà di scelta, ossia i fattori di forma W/L dei transistor, la corrente di ingresso I_{REF} e la tensione di polarizzazione V_{DC} . Studiare il comportamento dell'OTA in base al tipo di parametri inseriti è stato molto interessante, perché ha permesso di capire le effettive reazioni del circuito e il grado di affidabilità dei calcoli manuali.

I risultati ottenuti sono i seguenti:

$$A_{v0} = 40,02 \text{ dB}$$

$$GBW = 500,5 \text{ MHz}$$

$$PM = 38,7^\circ$$

$$P_{tot} = 1,73 \text{ mW}$$

dove i primi tre sono stati ricavati dal diagramma di Bode riportato in figura 3.3. La tensione di polarizzazione è stata impostata a $V_{DC} = 1,1 \text{ V}$ e la corrente di ingresso a $I_{REF} = 150 \mu \text{ A}$. Di seguito viene riportata la tabella contenente i parametri dei MOSFET usati per soddisfare le specifiche.

Q	1	2	3	4	5	6	7	8	9	10
L[μm]	0,35	0,35	0,4	0,4	0,35	0,35	0,4	0,4	0,35	0,35
W[μm]	95	95	1,6	3,2	7	7	1,6	3,2	7	7

Inoltre sono stati controllati i punti di lavoro di tutti i transistor, e come ci si aspettava si trovano tutti in saturazione.

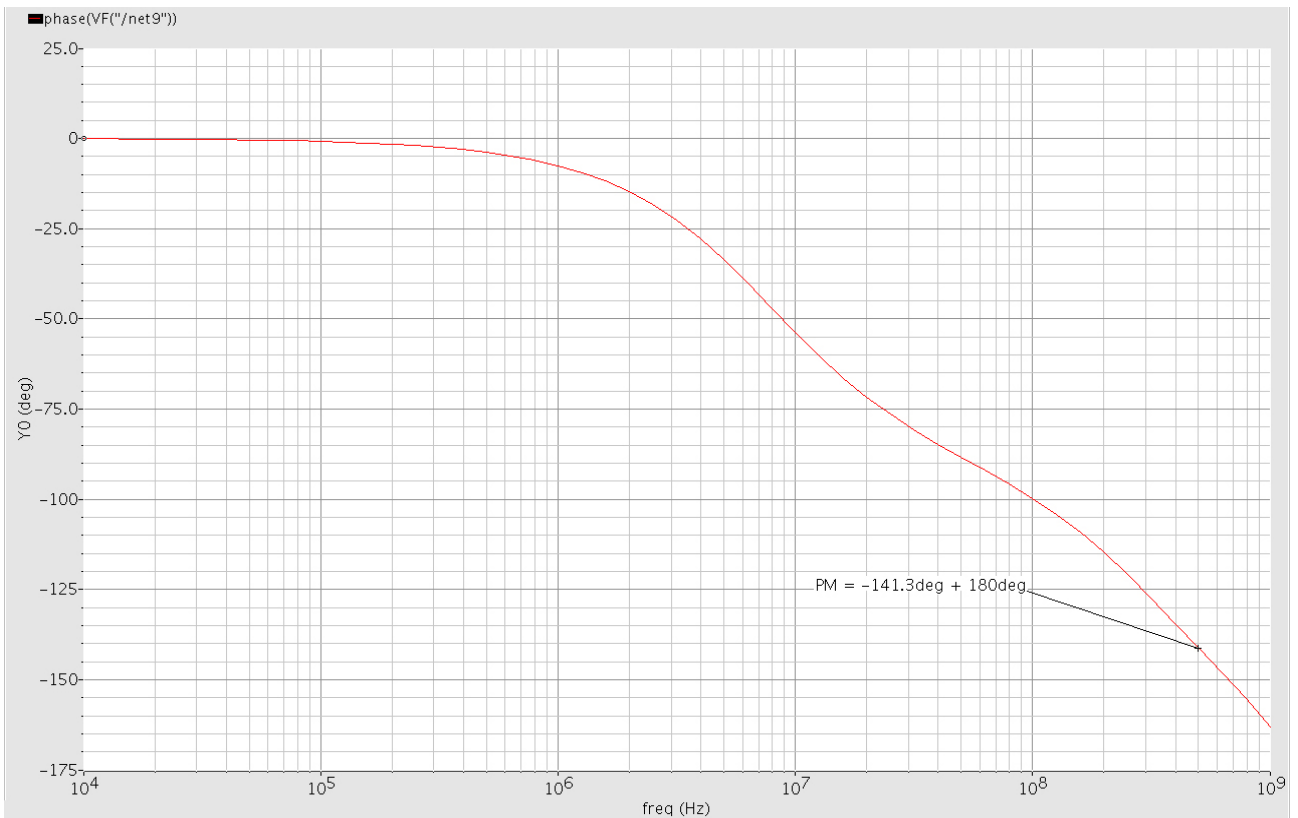
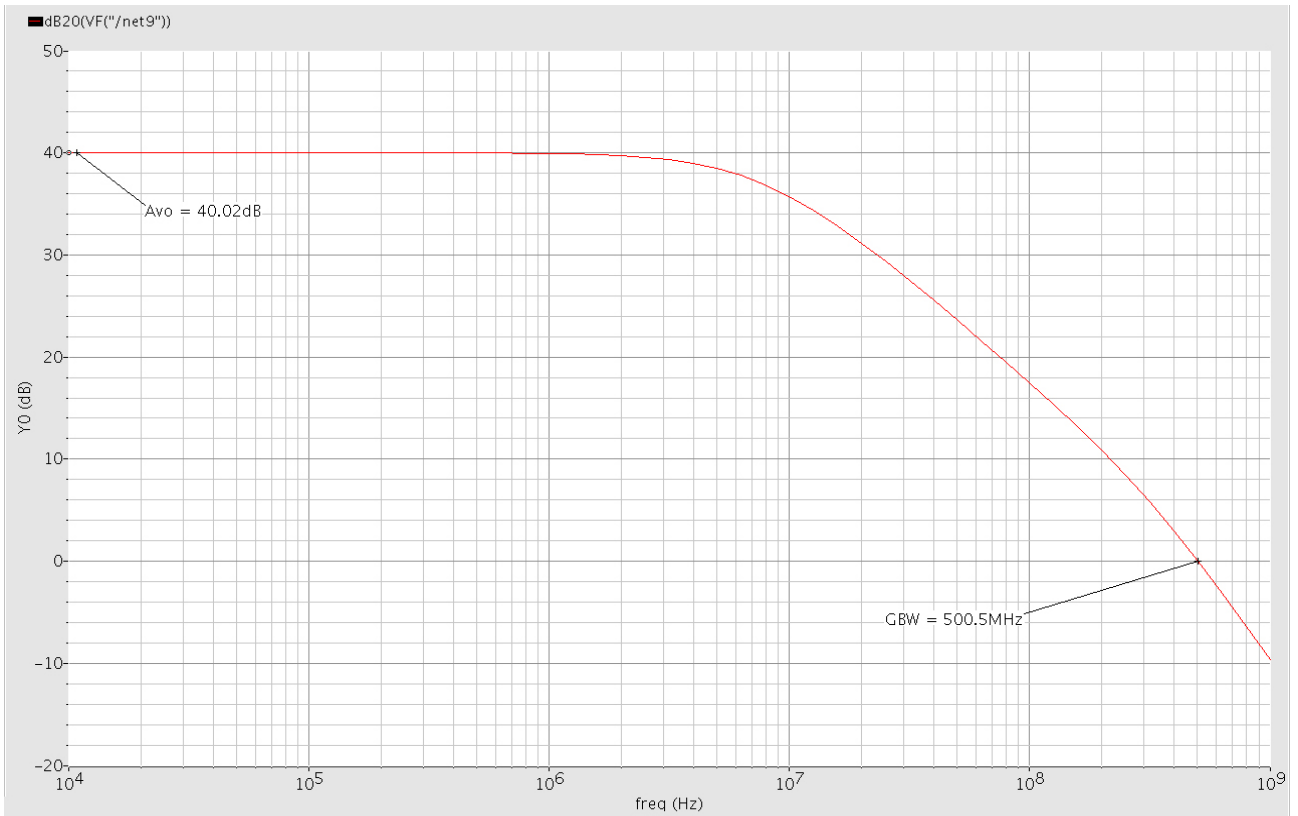


Figura 3.3: diagrammi di Bode del circuito progettato

3.2 Total Harmonic Distortion

Il secondo test da effettuare sul circuito mira a ricavare l'ampiezza della tensione di uscita per cui si ha una distorsione armonica totale dell'1% di un segnale sinusoidale con frequenza 1 KHz .

Quando una forma d'onda sinusoidale viene applicata all'ingresso di un sistema lineare tempo-invariante, all'uscita sarà presente una sinusoide con diversa ampiezza e fase, ma con la stessa frequenza. Invece, applicando un ingresso sinusoidale ad un sistema non-lineare, il segnale di uscita avrà componenti in frequenza alle armoniche del segnale di ingresso, più l'armonica fondamentale. Per esempio, usando un input sinusoidale a, il 1 KHz segnale di uscita avrà componenti in frequenza a 1 KHz , 2 KHz , 3 KHz , e così via. La distorsione armonica totale THD (total harmonic distortion) di un segnale è definita come il rapporto tra potenza totale delle armoniche successive alla fondamentale e potenza della fondamentale di quel segnale. In decibel, la THD si trova usando la relazione:

$$THD = 10 \log \left(\frac{V_{h2}^2 + V_{h3}^2 + V_{h4}^2 + \dots}{V_f^2} \right)$$

dove V_f è l'ampiezza della fondamentale e V_{hi} è l'ampiezza dell' i -esima armonica. Per esprimere la THD in percentuale si usa la relazione:

$$THD = \frac{\sqrt{V_{h2}^2 + V_{h3}^2 + V_{h4}^2 + \dots}}{V_f} \times 100$$

Ad esempio, un valore di 1% della THD implica che l'ampiezza della fondamentale al quadrato è 100 volte più grande della somma dei quadrati delle ampiezze delle altre componenti armoniche.

Il banco di prova viene configurato in modo analogo al test precedente (figura 3.4), però questa volta i due generatori sinusoidali in ingresso vengono impostati a frequenza 1 KHz e la loro ampiezza viene fatta variare fino ad ottenere un valore di THD all'uscita pari all'1%. Una volta effettuata una simulazione nel dominio del tempo, il valore THD viene ottenuto analizzando il segnale di uscita su un periodo. Se il valore è superiore all'1% si ripete il procedimento con una V_{id} minore, altrimenti si ripete il procedimento con una V_{id} maggiore, fino ad ottenere un valore circa uguale a 1%. La simulazione effettuata ha dato come risultato un'ampiezza della tensione di uscita in corrispondenza di un THD dell'1% pari a $448,4\text{ mV}$, ottenuta con due generatori sinusoidali in ingresso di ampiezza $2,3\text{ mV}$ (figura 3.5).

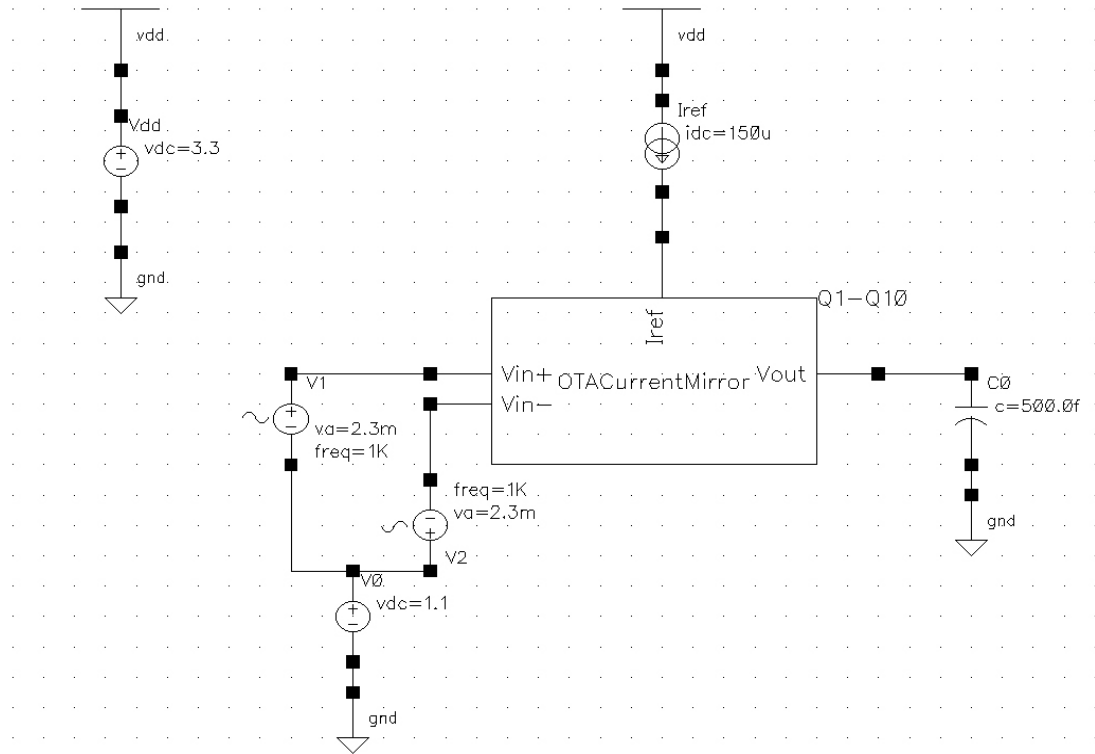


Figura 3.4: banco di test per ricavare la THD del circuito progettato

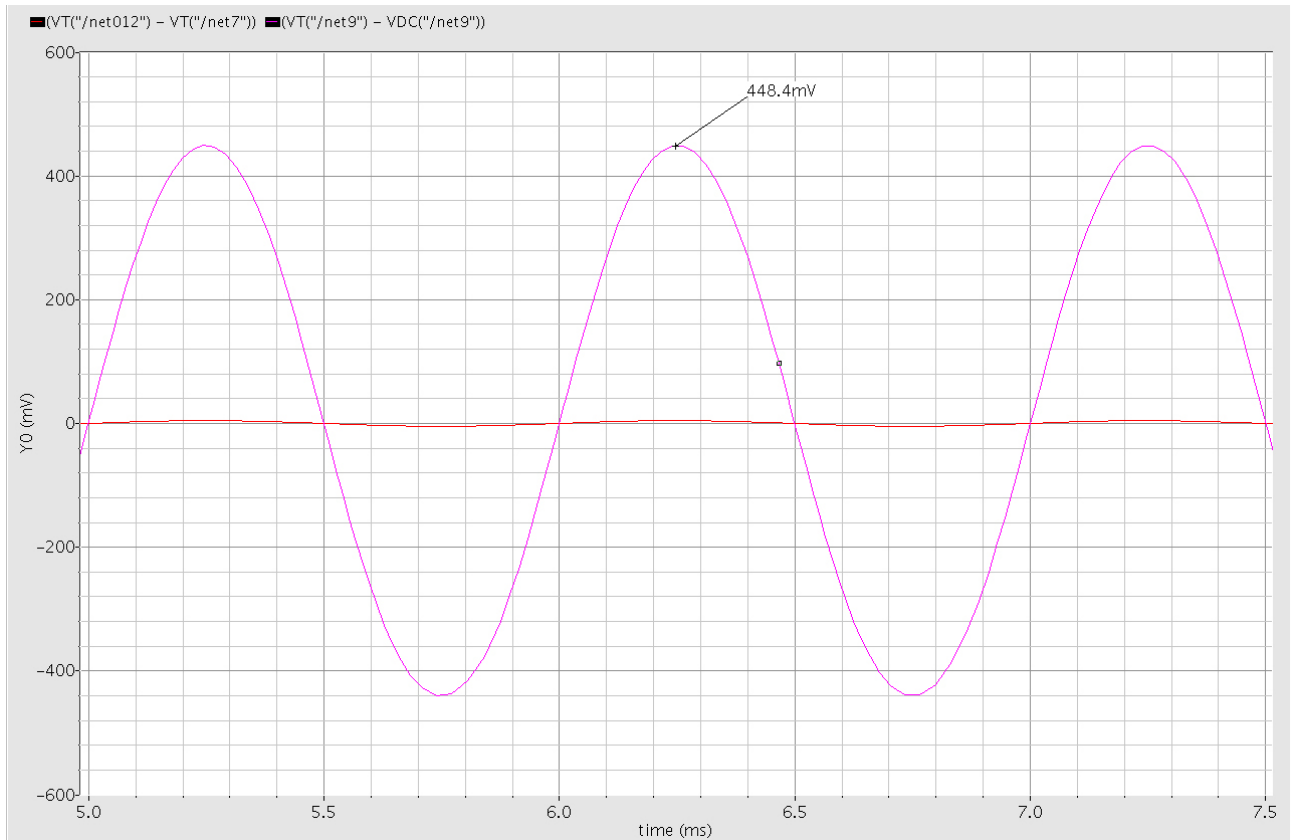


Figura 3.5: ampiezza della tensione di uscita con THD dell'1%

3.3 Larghezza di banda a piena potenza

Il terzo test da effettuare sul circuito serve a ricavare la larghezza di banda a piena potenza dell'OTA.

Detta V_{FS} la massima escursione del segnale di uscita (tensione di full swing), la larghezza di banda a piena potenza f_M rappresenta la massima frequenza per cui è possibile ottenere un segnale di uscita pari a V_{FS} . La larghezza di banda a piena potenza è ricavabile dalla relazione seguente:

$$f_M \leq \frac{SR}{2\pi V_{FS}}$$

Il parametro SR è detto slew rate e rappresenta la velocità massima di variazione della tensione di uscita dell'OTA, in condizioni di funzionamento ad ampi segnali. Per calcolare lo slew rate è stata applicata in ingresso una tensione sinusoidale ad una frequenza abbastanza alta, in modo da avere segnali che variano il più velocemente possibile, e con ampiezza tale da avere in uscita un segnale con variazioni ampie. Il banco di test è illustrato in figura 3.6.

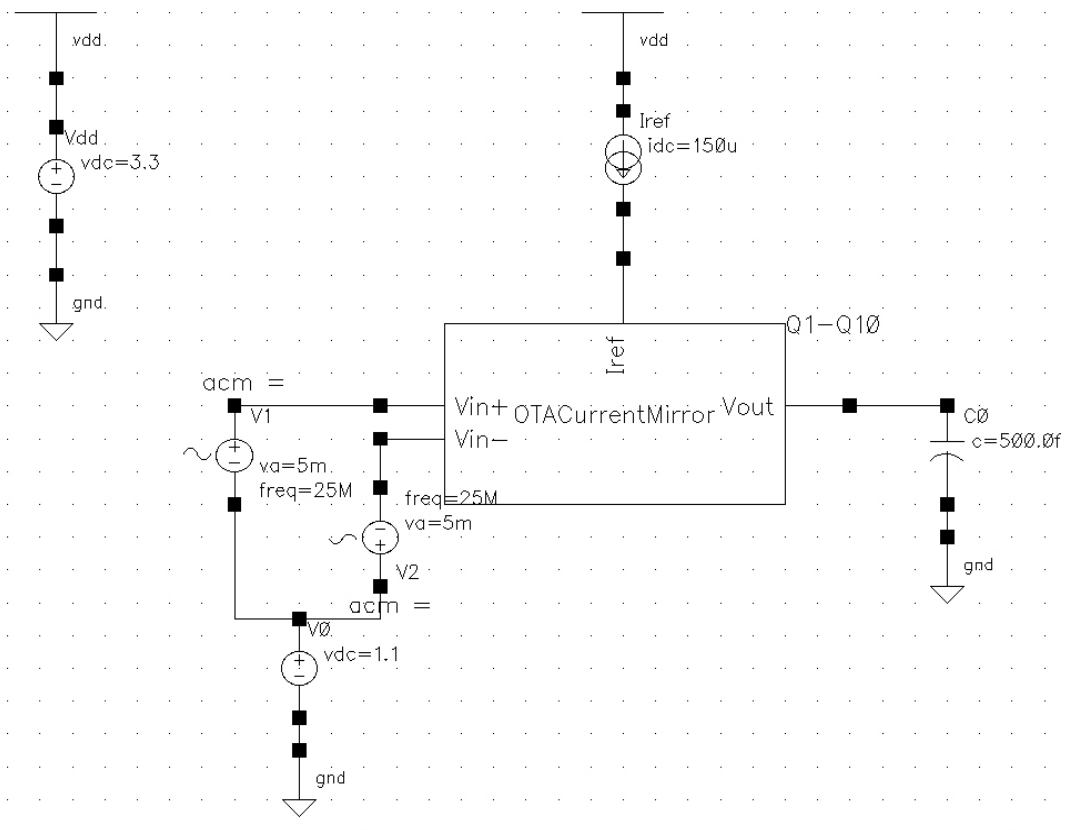


Figura 3.6: banco di test per ricavare lo slew rate del circuito progettato

Effettuata la simulazione è stata fatta una stampa della tensione di uscita (figura 3.7), dalla quale sono stati letti due punti in prossimità della regione con velocità di variazione maggiore. Fatto ciò lo slew rate è stato ottenuto facendo semplicemente il rapporto tra le coordinate X e Y. Il risultato è:

$$SR \approx 45 V/\mu s$$

L'ultimo dato da ricavare per il calcolo della larghezza di banda a piena potenza è la tensione di full swing V_{FS} ; per fare ciò è stato applicato un ampio segnale sinusoidale in ingresso, in modo da rilevare la tensione massima e la tensione minima in uscita. Il risultato ottenuto è $V_{FS} = V_{DD}$. Difficilmente il dispositivo dovrà operare in queste condizioni, anche perché l'uscita ottenuta è gravemente distorta, tuttavia si è preferito inserire nel calcolo di f_M un valore elevato di V_{FS} in modo da ottenere una sorta di "caso peggiore". Il risultato ottenuto è:

$$f_M = 2,17 MHz$$

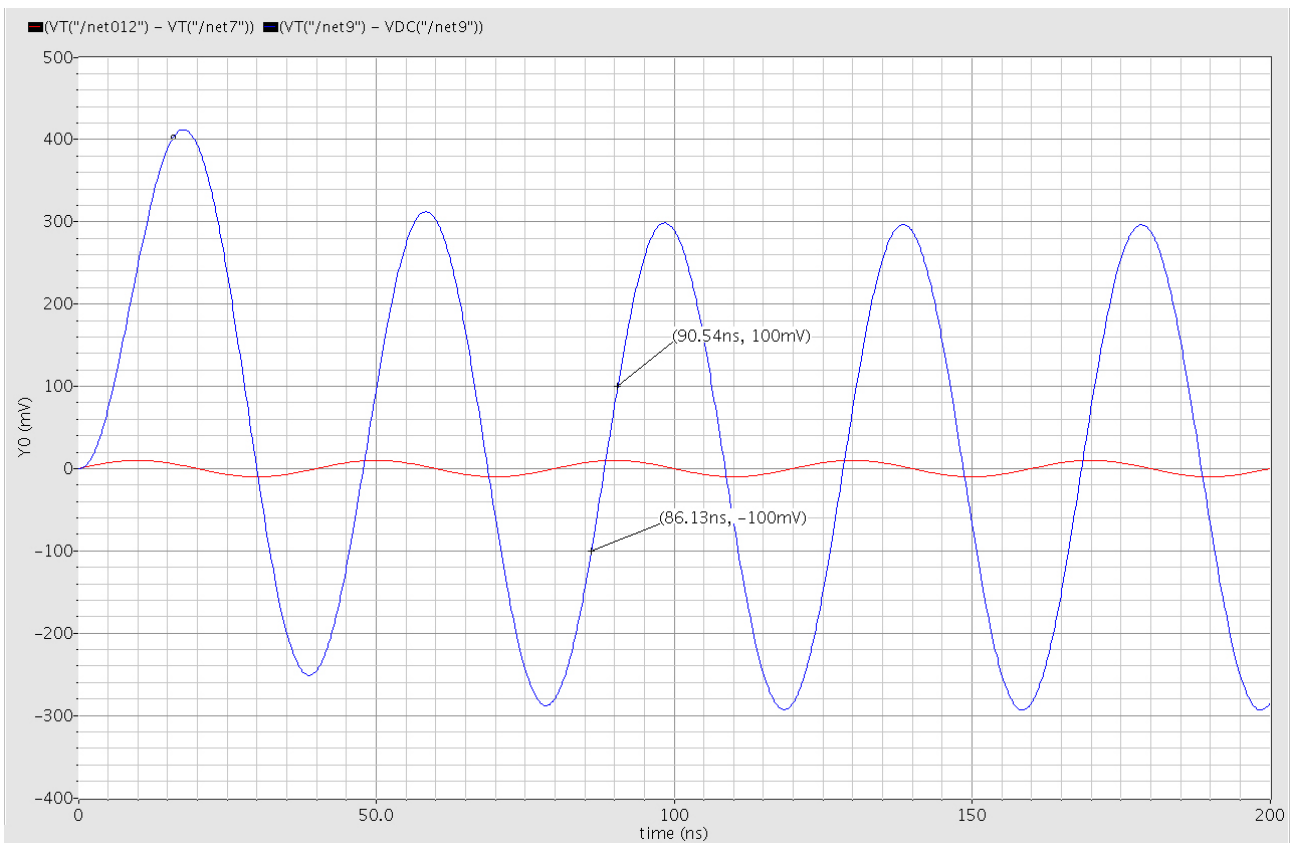


Figura 3.7: segnali di ingresso e di uscita utilizzati per il calcolo dello slew rate

3.4 Tensione di offset

L'ultimo test da effettuare ha come obiettivo la misurazione della tensione di offset. Negli amplificatori operazionali quando i terminali di ingresso sono posti a massa, la tensione di uscita non è esattamente pari a zero, ma presenta una componente continua. Si può immaginare che questa tensione sia prodotta da una tensione applicata all'ingresso, che viene amplificata dall'amplificatore operazionale. Questa tensione equivalente è detta tensione di offset all'ingresso V_{OS} , ed è definita da:

$$V_{OS} = \left[\frac{V_{OUT}}{A_V} \right]_{v_1=v_2=0}$$

Nel caso dell'OTA preso in esame, la misura è stata effettuata utilizzando il circuito mostrato in figura 3.8, in cui l'amplificatore operazionale è connesso come un inseguitore di tensione a guadagno unitario.

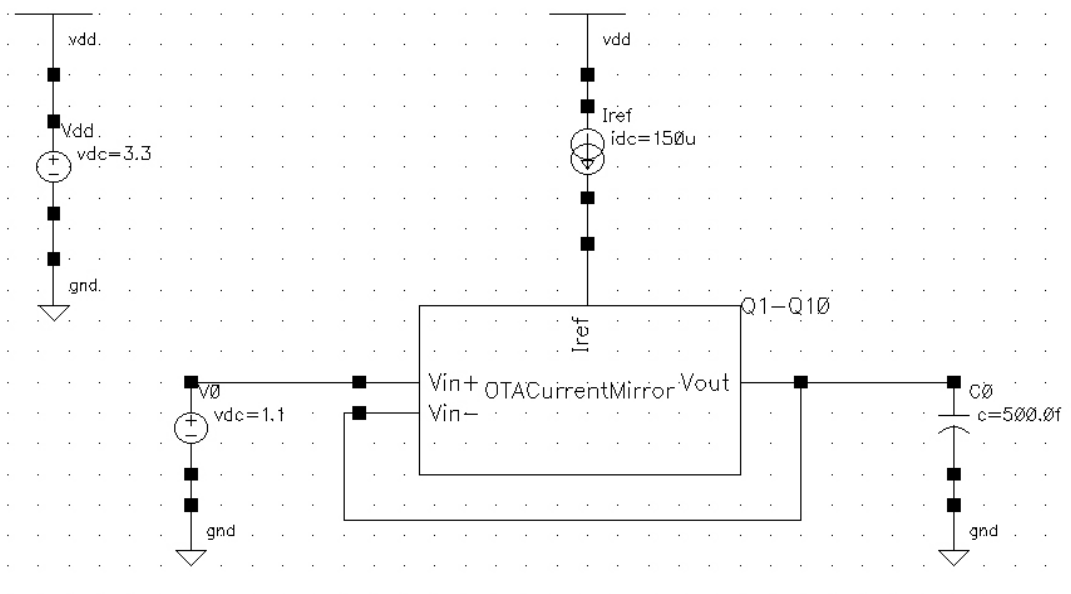


Figura 3.8 banco di test per ricavare lo slew rate del circuito progettato

La tensione di uscita misurata sarà pari alla tensione presente al terminale non invertente più la tensione di offset. Dato che una singola misura non darebbe come risultato un valido valore della tensione di offset, si effettua un'analisi utilizzando il metodo di Monte Carlo, in modo da ottenere un valore medio della tensione di offset su una serie di N misure in cui si tiene conto delle variazioni di processo di produzione del dispositivo. Questo è possibile perché i modelli dei dispositivi del processo CMOS 0,35 μm AMS utilizzati da Cadence sono predisposti

per poter effettuare un'analisi Monte Carlo per la stima degli effetti della variabilità di processo locale, responsabile delle differenze nei parametri di dispositivi dello stesso tipo all'interno dello stesso chip. La simulazione Monte Carlo calcola una serie di realizzazioni possibili del fenomeno in esame, con il peso proprio della probabilità di tale evenienza, cercando di esplorare in modo denso tutto lo spazio dei parametri del fenomeno. I risultati della simulazione effettuata sono illustrati in figura 3.9. Tenendo conto della tensione di polarizzazione applicata all'ingresso possiamo dedurre che:

$$V_{OS} = 1,58 mV$$

con un a deviazione standard $\sigma = 3,362 \cdot 10^{-3}$.

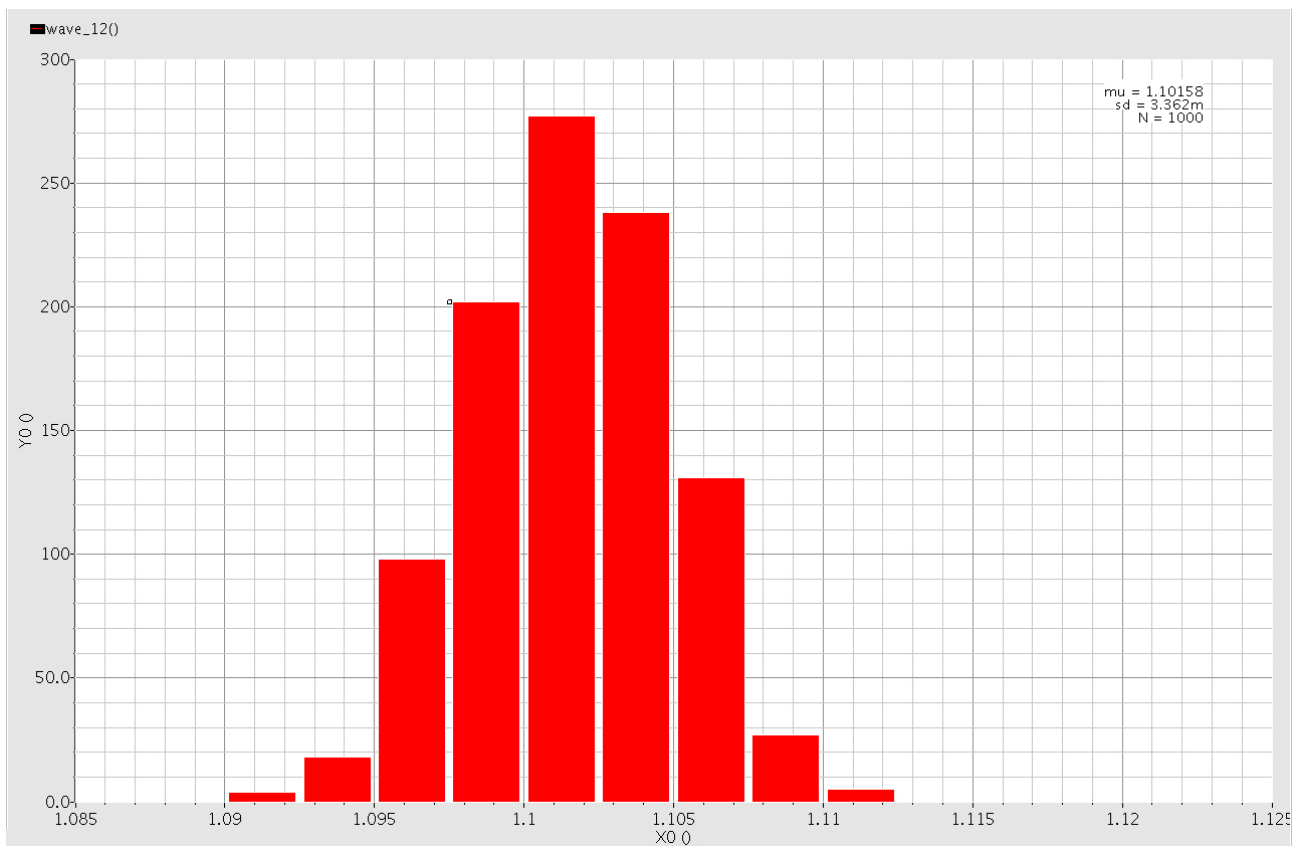


Figura 3.9. risultati della simulazione Monte Carlo per il calcolo della tensione di offset



CONCLUSIONI

Giunti a questo punto si può affermare di aver ottenuto un amplificatore operazionale di transconduttanza in grado di rispettare le specifiche richieste. I risultati delle simulazioni effettuate si possono utilizzare per confrontare il dispositivo progettato con altre tipologie di OTA esistenti, in modo da far emergere i pregi e i difetti di questo dispositivo.

Un possibile sviluppo futuro del progetto è la realizzazione del layout del circuito, indispensabile per poter produrre il dispositivo. Finita anche questa fase si potrebbe sfruttare il software Cadence Design Framework II per effettuare delle simulazioni post layout sul circuito, che consentirebbero di ottenere dei risultati ancora più vicini alla realtà.



BIBLIOGRAFIA

Testi:

- Jaeger, Blalock, *Microelettronica*, 3° ed., McGraw-Hill, 2009;
- Johns, Martin, *Analog integrated circuit design*, 1° ed., John Wiley & Sons, Inc., 1997;
- Rabaey, Chandrakasan, Nicolić, *Circuiti integrati digitali*, 2° ed., Pearson education, 2005.

Documenti:

- Tutorial toolset Cadence Design Framework II, accesso: 15/07/2011
http://www.dei.unipd.it/ricerca/microel/did/labcad/opus/cadence_tut.html