

UNIVERSITÀ DEGLI STUDI DI PADOVA



FACOLTÀ DI INGEGNERIA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA TRIENNALE IN INGEGNERIA ELETTRONICA

RELAZIONE DI TIROCINIO

RIVELATORI AD ALTA GRANULARITÀ  
DI PARTICELLE IONIZZANTI  
BASATI SU ELETTRONICA ASIC

Relatore: Prof. PIERGIORGIO NICOLOSI

Correlatore: Prof. COSIMO SIGNORINI

Laureando: MANEA CHRISTIAN

ANNO ACCADEMICO 2010-2011

## **Sommario**

Introduzione .....	1
Capitolo 1-La struttura di EXPADES .....	3
I Rivelatori.....	7
Giunzione polarizzata inversamente.....	8
Capacità .....	10
Corrente inversa e coefficiente di temperatura.....	11
Rivelazione .....	12
Risoluzione.....	13
Capitolo 2 - I chip ASIC VA32HDR14.2 e TA32CG3 .....	15
Principio di funzionamento .....	15
Struttura circuitale .....	16
Configurazione dei chip .....	18
Catena elettronica di read-out.....	18
Capitolo 3 – La scheda elettronica VATA_NA-PD .....	19
Lettura dei chip.....	22
Capitolo 4 – Interfacciamento chip ASIC-ADC .....	23
Mother board .....	23
Trigger supervisor .....	25
ADC.....	26
DAQ .....	27
Capitolo 5 - Test dei chip e relativi risultati .....	29
Introduzione.....	29
Selezione TA .....	32
Selezione VA.....	35

Capitolo 6 – Risultati sperimentali .....	37
Setup di misura .....	37
Spettri.....	38
Risoluzione .....	39
Distribuzione della sorgente .....	40
Spettri bidimensionali.....	40
Analisi rumore .....	42
Rivelatore .....	42
Elettronica.....	43
Sistema di Trigger .....	43
ADC e Software .....	44
Alimentazione .....	45
Conclusioni.....	47
Appendice A- Dettaglio chip VA e TA.....	49
Appendice B- Camera di test .....	51
Bibliografia .....	55

## ***Introduzione***

Argomento di questa relazione di tirocinio è la progettazione e realizzazione dell'elettronica di front-end dell'esperimento di fisica nucleare EXPADES.

EXPADES (EXotic PARTICles Detection System) è un apparato pensato per esperimenti di fisica in cui vengano usati fasci radioattivi a bassa intensità ( $10^5 - 10^6$  pps<sup>1</sup>), tipicamente 3 ordini di grandezza più deboli. Il progetto, nato dall'esperienza acquisita dalla collaborazione EXOTIC con l'apparato EXODET, ha come obiettivo lo studio delle reazioni nucleari che avvengono ad energie prossime alla barriera coulombiana. Le caratteristiche dell'apparato sono: un angolo solido molto grande (90% di  $4\pi$  sr), un ampio range angolare, un'elevata granularità e soprattutto un sistema innovativo di read-out altamente integrato e miniaturizzato grazie ad un chip set ASIC (Application Specific Integrated Circuit) di nuova generazione a 32 canali.

L'approccio progettuale seguito in EXPADES sta diventando una scelta diffusa visto il sempre crescente numero di canali presenti in configurazioni complesse di rivelatori. Esistono altre soluzioni integrate per la gestione di un elevato numero di canali, ma vengono tipicamente applicate in rivelatori a pixel che, date le loro dimensioni fisiche, sono utilizzati principalmente per individuare il passaggio o meno di una particella senza valutarne l'energia rilasciata. Nei rivelatori di grande superficie, come quelli qui descritti, la carica raccolta è molto più grande e questo ha portato allo sviluppo di chip che potessero trattare tale range dinamico.

La richiesta di elettronica ad ampia dinamica e la disponibilità a catalogo di rivelatori segmentati sta portando allo sviluppo di chip con caratteristiche simili a quelli qui presentati che sono diventati un riferimento standard in esperimenti di fisica applicata ed in strumentazione diagnostica medica.

---

<sup>1</sup> pps: particles per second

Lo scritto è suddiviso nei seguenti capitoli:

- nel capitolo 1 sono descritti il rivelatore utilizzato nell'esperimento EXPADES, introducendo i concetti base per ricavarne le prestazioni.
- nel capitolo 2 viene descritto il principio di funzionamento dei chip ASIC utilizzati per avere le informazioni di carica e tempo. Segue una breve introduzione della catena di read-out.
- nel capitolo 3 viene analizzata la scheda VATA\_NA-PD sviluppata durante il tirocinio.
- nel quarto capitolo sono descritti gli altri blocchi del sistema di read-out e, in particolare, la scheda MB (Mother Board) che gestisce le interconnessioni.
- nel capitolo 5 sono presentati i test fatti sui chip VA e TA prima della fase di bonding nella scheda VATA\_NA-PD.
- nel sesto capitolo sono illustrate le misure fatte con il prototipo di EXPADES e vengono discussi i risultati ottenuti.

Il lavoro di tirocinio è consistito, all'interno dell'esperimento EXPADES, nello sviluppo dell'elettronica di lettura dei chip ASIC. Il tempo dedicato a questo progetto probabilmente è stato ben superiore ad una normale attività di tirocinio, il che non deve sorprendere dato che fa parte del lavoro del sottoscritto presso la sezione INFN di Padova. Pertanto, la possibilità di realizzare in tempi brevi così tante schede e di eseguire molteplici test è stata possibile anche grazie all'essere parte di una collaborazione che ha dato ampio spazio sia alla progettazione che alla fase di test e che ha contribuito alla realizzazione di tutte le parti essenziali dell'apparato. Lo studio della fisica, dei primi prototipi per l'uso degli ASIC, lo studio del rivelatore, così come il sistema di acquisizione formato da Trigger Supervisor (TSI), ADC e DAQ inserito nello scritto per completare la visione del progetto EXPADES, sono frutto del lavoro dei gruppi INFN di Napoli, Milano e Padova e delle relative Università.

## Capitolo 1-La struttura di EXPADES

Per comprendere i vantaggi nell'utilizzo di un sistema basato su tecniche avanzate ASIC rispetto a quelli realizzati con tecnologie tradizionali, è necessario analizzare le due diverse configurazioni proposte per l'apparato EXPADES. In questi due esempi si vedrà come la modularità delle soluzioni proposte per la lettura dei rivelatori consente una libertà nella geometria dell'apparato.

La prima configurazione (Figura 1) prevede una geometria closed box. I rivelatori sono posizionati uno accanto all'altro in modo da formare circa due cubi di dimensioni complessive 140x70x70 mm in cui le pareti frontali sono rivelatori a settore circolare mentre le pareti centrali sono rivelatori quadrati. Questa disposizione consente una copertura di silicio pari al 90% dell'angolo solido. Le facce del silicio ad anello sono suddivise in 16 strip e 24 settori che, tra loro sovrapposti, formano un totale di 384 pixel equivalenti. I rivelatori quadrati, invece, hanno 32 strip per ogni lato per un totale di 1024 pixel equivalenti. Infatti, dall'incrocio di un segnale su una strip orizzontale (larga 2 mm) sulla faccia anteriore e su una strip verticale (larga 2 mm) sulla faccia posteriore, si identifica una particella su un'area di  $2 \times 2 \text{ mm}^2$ , quindi i  $4096 \text{ mm}^2$  del rivelatore sono suddivisi in 1024 "sottorivelatori" ( pixel ). Essendoci 8 rivelatori ad anello e 8 rivelatori quadrati, il numero complessivo di strip del sistema è 816, equivalenti ad un numero di 11264 pixel.

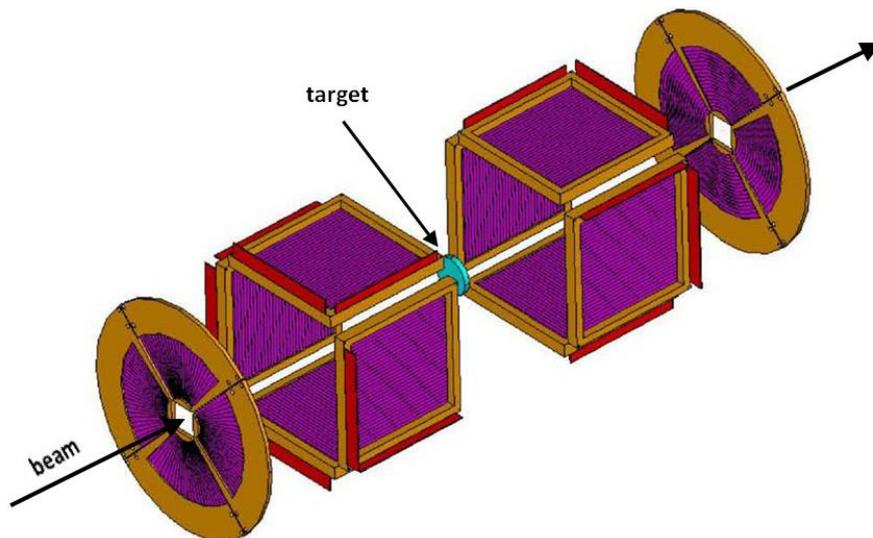
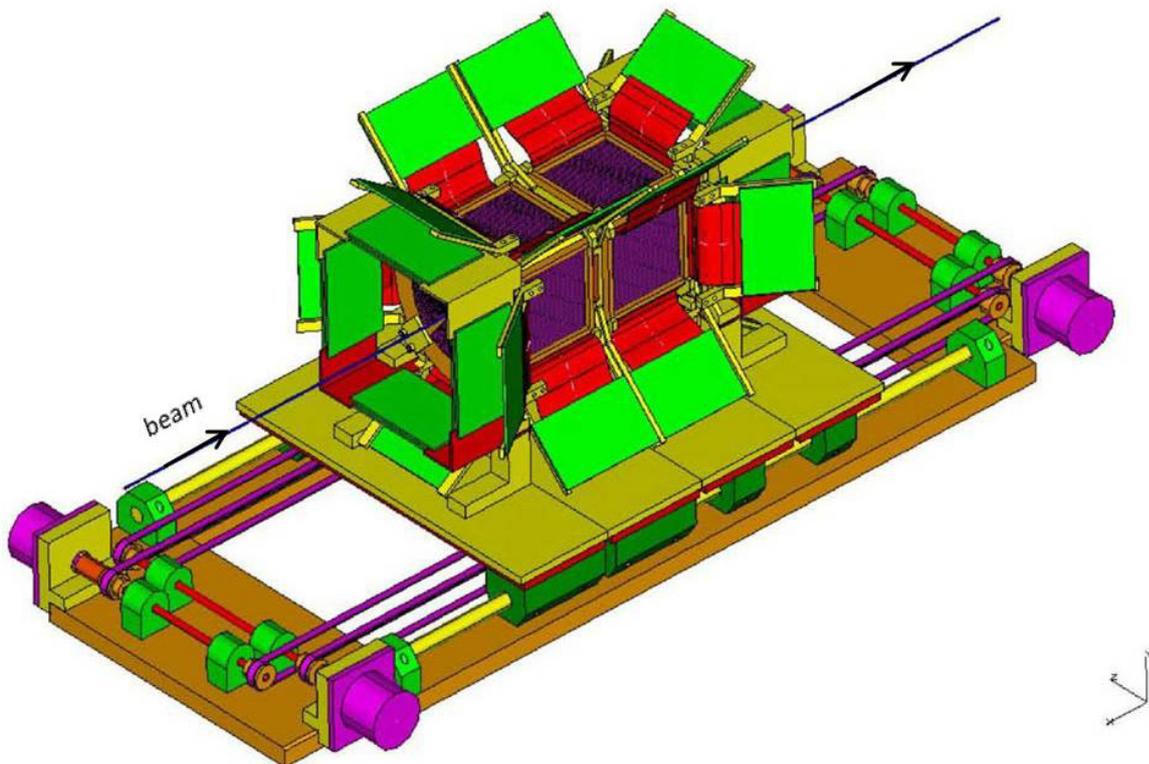


Figura 1 - Esploso del rivelatore di EXPADES

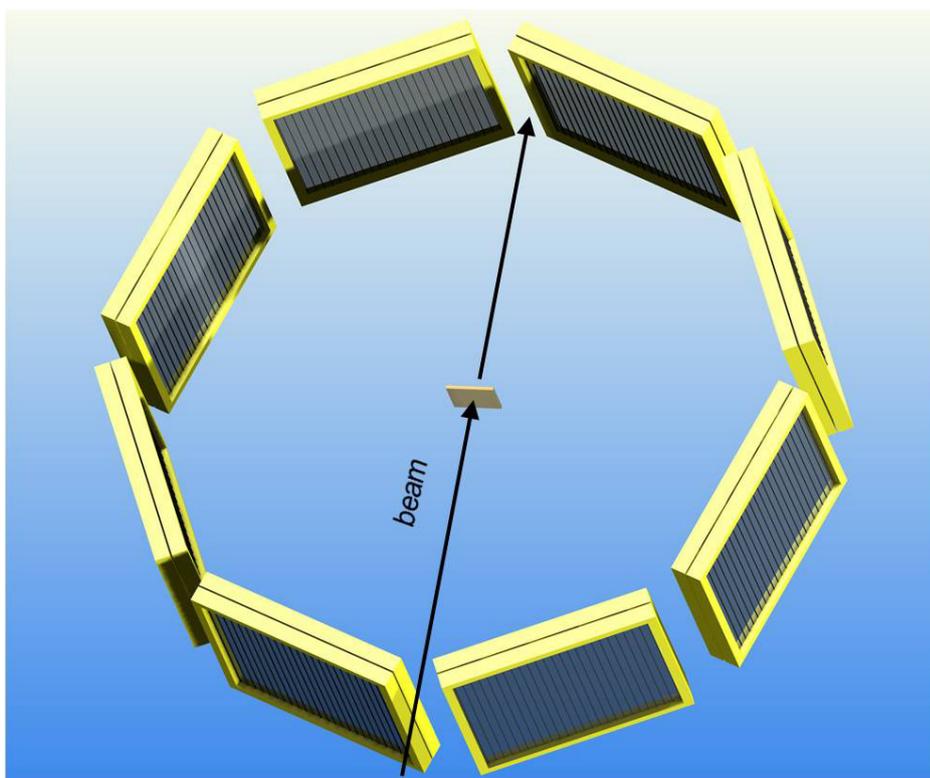
Nei sistemi tradizionali ogni canale è dotato della sua elettronica di lettura, il cui primo stadio dovrebbe essere collocato il più vicino possibile al rivelatore per minimizzare il rumore su segnali così piccoli. Per contro, posizionando l'elettronica vicino al rivelatore, bisogna limitare la potenza per ciascun canale sia perché la dissipazione avviene per conduzione (essendo il sistema di misura in una camera da vuoto), sia perché un aumento della temperatura comporta un peggioramento delle risoluzioni ottenibili dal rivelatore. Combinando i vantaggi della segmentazione del rivelatore in strip e dell'utilizzo di elettronica integrata, si può ottenere un sistema efficiente e compatto. Numericamente il vantaggio di usare una segmentazione a  $N$  strip per lato è evidente: nei sistemi a pixel tradizionali il numero di canali di lettura necessario è pari al numero di pixel ( $N^2$ ) mentre usando strip su entrambe le facce ne servono  $2 \times N$ . Nel caso di EXPADES sono stati usati dei chip con 32 canali pari al numero delle strip per lato. Utilizzando degli ASIC questi 32 ingressi possono essere letti da un'unica uscita analogica, che porta l'informazione di carica, e da un'uscita digitale che funziona da trigger per il sistema. Quindi per ogni rivelatore sono sufficienti solo 2 segnali di informazione anziché 32. Questo riduce di un fattore superiore a dieci la quantità di elettronica necessaria.



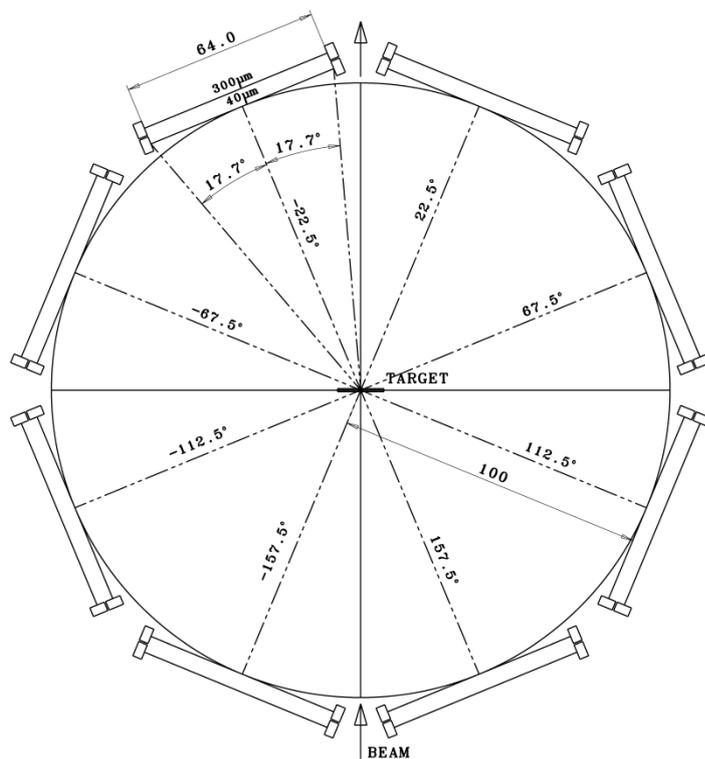
**Figura 2 - Assieme del rivelatore (in viola) ed elettronica ASIC (in verde)**

La compattezza della soluzione basata su tecniche ASIC è ideale anche per realizzare il rivelatore in configurazione telescopio, ovvero ponendo un secondo strato di rivelatori, di spessore diverso, affacciati ai precedenti. Questa configurazione è generalmente chiamata di tipo  $E - \Delta E$ . Un esempio è visibile nella seconda configurazione di EXPADES proposta, in Figura 3, che prevede una disposizione dei rivelatori a cerchio. In particolare vengono usati 8+8 rivelatori con spessore di  $40 \mu m$  per lo strato interno e di  $300 \mu m$  per quello esterno.

La Tabella 1 riassume numericamente le due configurazioni proposte per EXPADES.



**Figura 3 - Rappresentazione della disposizione a cerchio dei rivelatori di EXPADES 2**



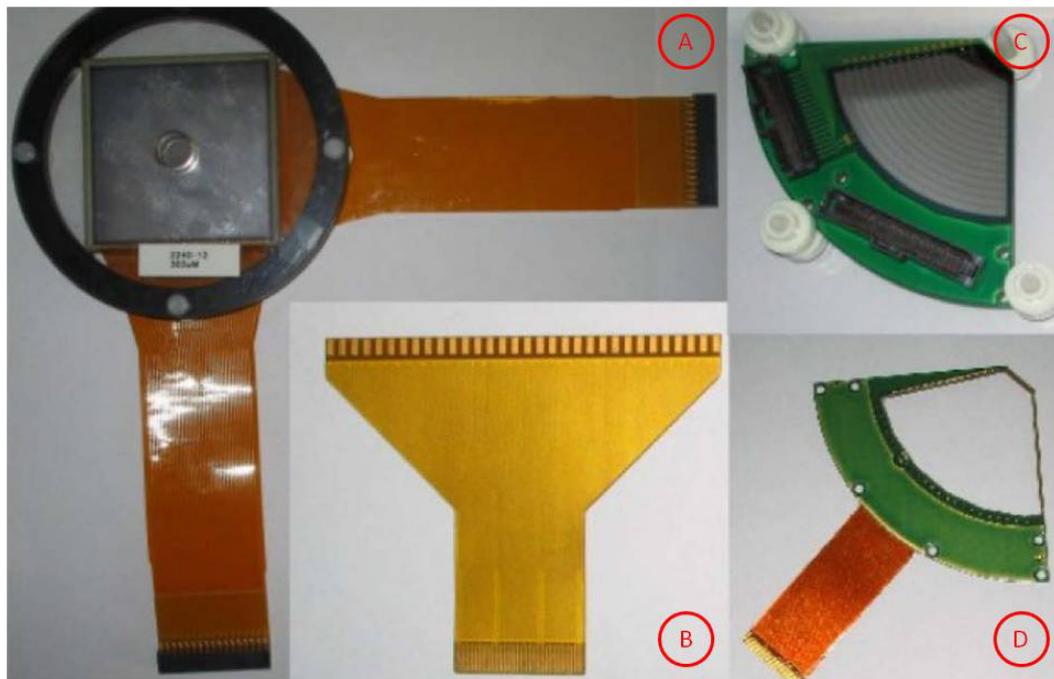
**Figura 4 - Geometria della configurazione di EXPADES 2**

Configurazione	EXPADES 1		EXPADES 2
	Closed-box	Closed-box telescopio	
Disposizione rivelatori	Closed-box	Closed-box telescopio	A cerchio telescopio
Settore circolare 300 $\mu m$	8	8	0
Settore circolare 40 $\mu m$	0	8	0
Rivelatori quadrati 300 $\mu m$	8	8	8
Rivelatori quadrati 40 $\mu m$	0	8	8
Strip compressive	832	1664	1024
Pixel equivalenti	11264	22528	16384
Canali analogici tradizionali	832	1664	1024
Canali analogici ASIC	32	64	32

**Tabella 1 – confronto tra soluzione tradizionale e con ASIC**

## ***I Rivelatori***

EXPADES è costituito da 16 rivelatori in silicio posizionati intorno e in prossimità del target in configurazione closed-box (Figura 1). Ciascuno degli otto rivelatori quadrati, posti su piani paralleli alla direzione del fascio, ha un'area attiva di  $64 \times 64 \text{ mm}^2$  ed è segmentato su entrambi i lati in 32 strip larghe 2 mm e separate tra loro  $40 \mu\text{m}$ . Le facce ortogonali alla direzione del fascio sono chiuse da dei rivelatori ad anello la cui area attiva è compresa tra un raggio interno di 9 mm ed uno esterno di 41 mm. Anche questi rivelatori sono di tipo DSSD (Double Side Strip Detector) e sono segmentati in archi di circonferenza concentrici su una faccia ed in settori circolari sull'altra. I rivelatori al silicio, prodotti da MICRON Semiconductor Ltd (Inghilterra), hanno uno spessore di  $300 \mu\text{m}$  e una risoluzione in energia misurata dell'ordine di 60 keV per particelle alfa di circa 5 MeV prodotte facilmente da sorgenti di calibrazione. In Figura 5 sono visualizzati i primi due prototipi dei DSSD. Nel riquadro A è visibile il rivelatore quadrato con cavi standard. Nel riquadro B si vede il cavo stampato flessibile realizzato in kapton su nostro design per limitare gli effetti di rumore schermando le piste con delle griglie di massa per ridurre la capacità ed evitare effetti triboelettrici. Nei riquadri C e D è visibile il rivelatore ad anello e si notano la segmentazione in strip delle due facce.



**Figura 5 - Prototipi dei rivelatori usati in EXPADES**

In Tabella 2 sono riportate le caratteristiche complete delle due tipologie di rivelatori. La tecnologia impiegata per formare la giunzione è di tipo ad impiantazione ionica e l'accoppiamento delle strip avviene in continua (Double Sided DC Ion Implanted).

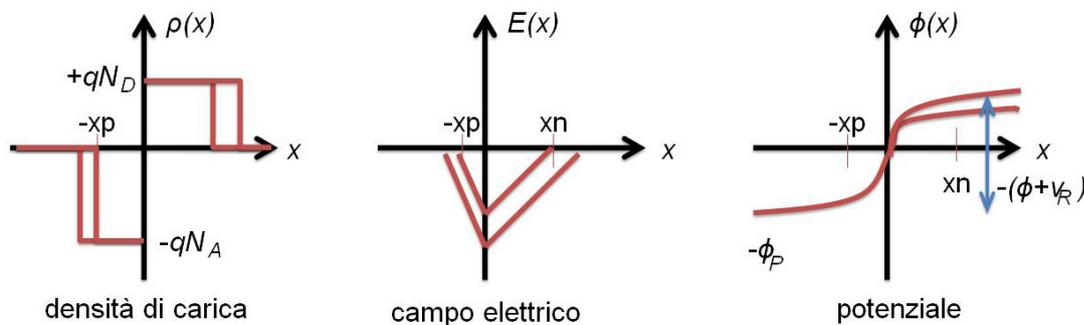
*EXPADES Detector Characteristics*

Detector Type	Square BB7	Annular 90°-sector QQQ2
Description	Double Sided DC Ion Implanted	Double Sided DC Ion Implanted
Segmentation	Microstrip	Ring/Sector
Active Area	39 cm <sup>2</sup>	11.39 cm <sup>2</sup>
Active Area Dimensions	62.3 mm x 62.3 mm	R <sub>int</sub> =9 mm, R <sub>ext</sub> =41 mm. α=82°
Element Number	64 strips (32/side)	16 annular strips / 24 sectors
Element Dimensions	Pitch: ~2 mm, Inter-strip: 40 μm	Pitch: 2 mm / 3.4°, Inter-strip: 100 μm
Thickness	300 μm	300 μm
Element Capacitance	~ 20 pF	~ 20 pF
Bias	~ 50 V	~ 50 V
Element Inv. Current	~ 20 nA	~ 20 nA
Total Inv. Current	≤ 1000 nA	≤ 600 nA
Dead Layer Junction	0.7 μm	0.5 μm
External Occupancy	67 mm x 65 mm x 1.6 mm	R <sub>int</sub> =7.4 mm, R <sub>ext</sub> =61 mm, δ=2.4 mm

**Tabella 2 - caratteristiche dei due rivelatori**

### ***Giunzione polarizzata inversamente***

Ogni strip del rivelatore può essere pensata, dal punto di vista elettronico, come un diodo che, per poter rilevare la carica rilasciata dalle particelle che lo attraversano, deve essere polarizzato inversamente. La polarizzazione inversa permette di svuotare completamente il rivelatore e di raccogliere tutta la carica liberata dalla radiazione ionizzante. Le variazioni di campo elettrico, densità di carica e potenziale della giunzione pn dovute alla polarizzazione inversa sono visibili in Figura 6.



**Figura 6 - Variazioni delle grandezze elettrostatiche della giunzione pn del rivelatore a causa della polarizzazione inversa**

La larghezza della regione di carica spaziale  $w_d$  aumenta approssimativamente con la radice quadrata della tensione di polarizzazione secondo la formula<sup>2</sup>:

$$w_d = (x_n + x_p) = \sqrt{\frac{2\epsilon_s}{q} \left( \frac{1}{N_A} + \frac{1}{N_D} \right) (\phi_j + v_R)} \quad \text{Equazione 1}$$

Aumentando la tensione di polarizzazione inversa  $v_R$  si porta la larghezza della regione di carica spaziale fino allo stesso spessore del rivelatore. Il nomogramma in Figura 7 mostra la relazione tra tensione applicata e larghezza della zona di svuotamento.

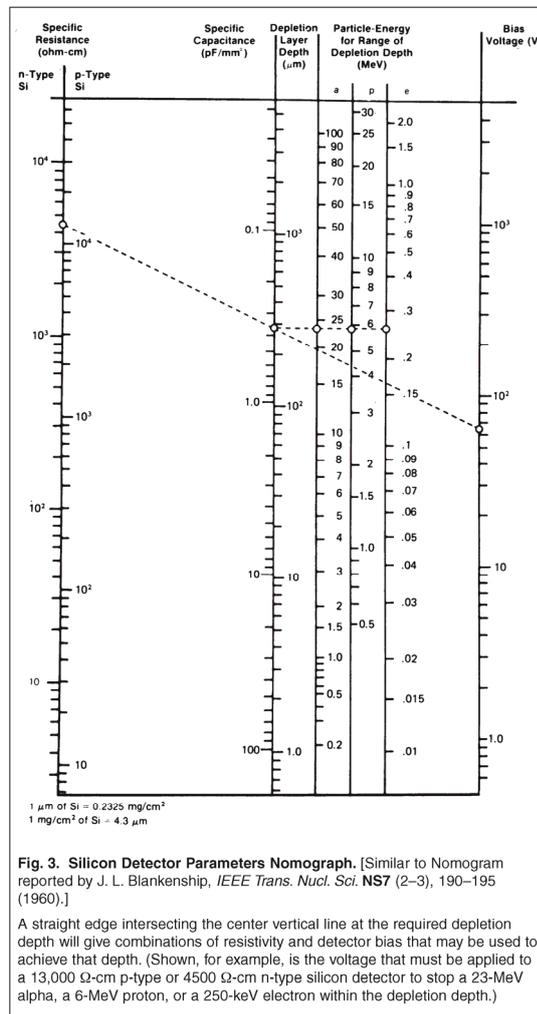


Fig. 3. Silicon Detector Parameters Nomograph. [Similar to Nomogram reported by J. L. Blankenship, *IEEE Trans. Nucl. Sci.* NS7 (2-3), 190-195 (1960).]

A straight edge intersecting the center vertical line at the required depletion depth will give combinations of resistivity and detector bias that may be used to achieve that depth. (Shown, for example, is the voltage that must be applied to a 13,000 Ω-cm p-type or 4500 Ω-cm n-type silicon detector to stop a 23-MeV alpha, a 6-MeV proton, or a 250-keV electron within the depletion depth.)

Figura 7 - Nomogramma delle caratteristiche di polarizzazione di un rivelatore in silicio

<sup>2</sup> Simboli usati nelle formule:

$N_A$ : concentrazione atomi accettori nella zona p della giunzione

$N_D$ : concentrazione atomi donatori nella zona n della giunzione

$\phi_j$ : potenziale intrinseco della giunzione

## Capacità

Per poter attirare i portatori di carica le facce del silicio sono suddivise in strip metallizzate. Questa metallizzazione equivale a due elettrodi di un condensatore a facce piane e parallele. Il valore di capacità può essere calcolato dalle dimensioni fisiche (area  $A$  e spessore  $w_d$ ) tuttavia, finché il rivelatore non è completamente svuotato, bisogna considerare l'effetto della giunzione. La carica totale contenuta nella regione n del diodo è data da:

$$Q_n = qN_D x_n A = q \left( \frac{N_A N_D}{N_A + N_D} \right) w_d A \quad \text{Equazione 2}$$

La capacità della giunzione pn polarizzata inversamente è pari a:

$$C_j = \frac{dQ_n}{dv_R} = \frac{C_{j0} A}{\sqrt{1 + \frac{v_R}{\phi_j}}} \quad \text{Equazione 3}$$

$$\text{dove } C_{j0} = \frac{\epsilon_S}{w_{d0}} \quad \text{Equazione 4}$$

La capacità diminuisce, secondo la radice quadrata della tensione inversa, fino al valore minimo dato dalla geometria. La Figura 8 riporta il grafico fornito da Micron delle caratteristiche tensione-capacità dei rivelatori di EXPADES.

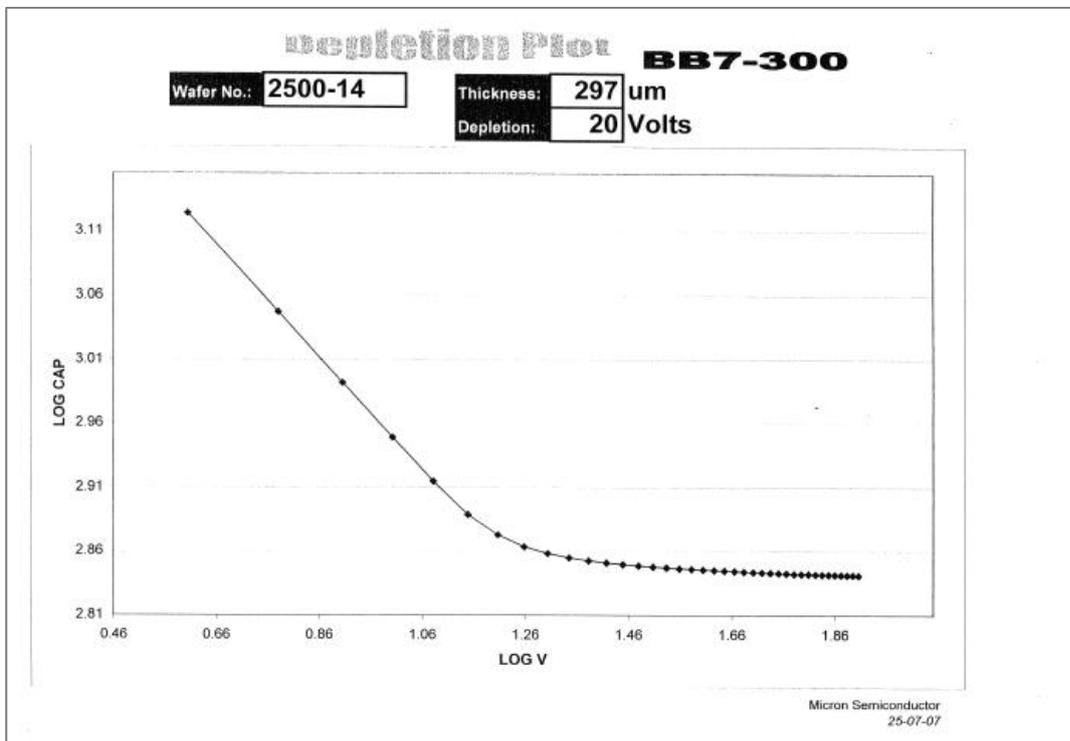


Figura 8 - Caratteristica tensione capacità del detector BB7-300

## Corrente inversa e coefficiente di temperatura

I rivelatori al silicio, come ogni diodo polarizzato inversamente, hanno una corrente di leakage che dipende dalla temperatura e dalla tecnologia utilizzata.

L'intensità di corrente che attraversa il diodo in polarizzazione inversa si calcola con :

$$i_D = I_S(e^{\frac{v_D}{V_T}} - 1) \quad \text{Equazione 5}$$

$$\text{dove } I_S = I_{S0} \sqrt{1 + \frac{v_R}{\phi_j}} \quad \text{Equazione 6}$$

La formula mostra la dipendenza della corrente dalla tensione inversa e dalla temperatura (attraverso la tensione termica  $V_T$ ). Così come visibile dalla Figura 9, passando da 25°C a 5°, temperatura prevista nell'esperimento, la corrente inversa diminuisce di quasi un ordine di grandezza pur mantenendo la tensione costante.

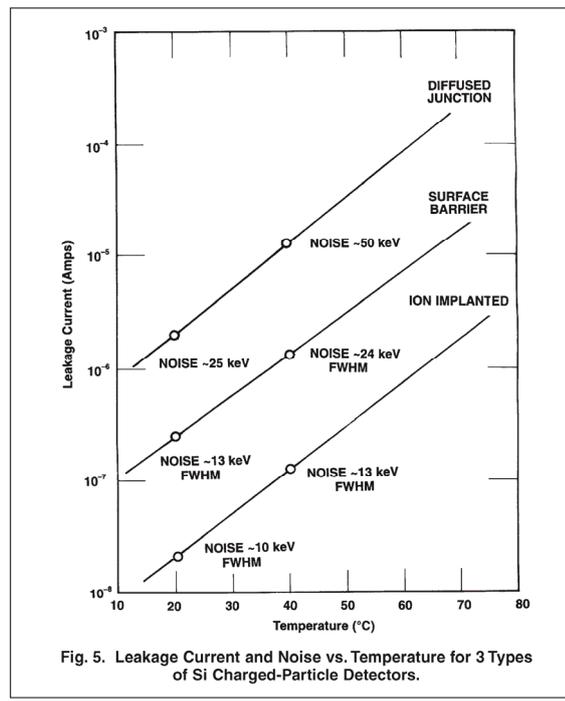


Fig. 5. Leakage Current and Noise vs. Temperature for 3 Types of Si Charged-Particle Detectors.

Figura 9 - Dipendenza della corrente inversa (e del rumore) dalla temperatura per rivelatori in silicio con giunzione realizzata con differenti tecnologie.

La Figura 10 riporta i valori di corrente inversa misurati nelle singole strip. Ad esempio nella colonna a sinistra, front side data, la prima riga relativa alla strip 1 riporta 9.99 nA e 15.29 nA rispettivamente alla tensione di 20 V e 50 V.

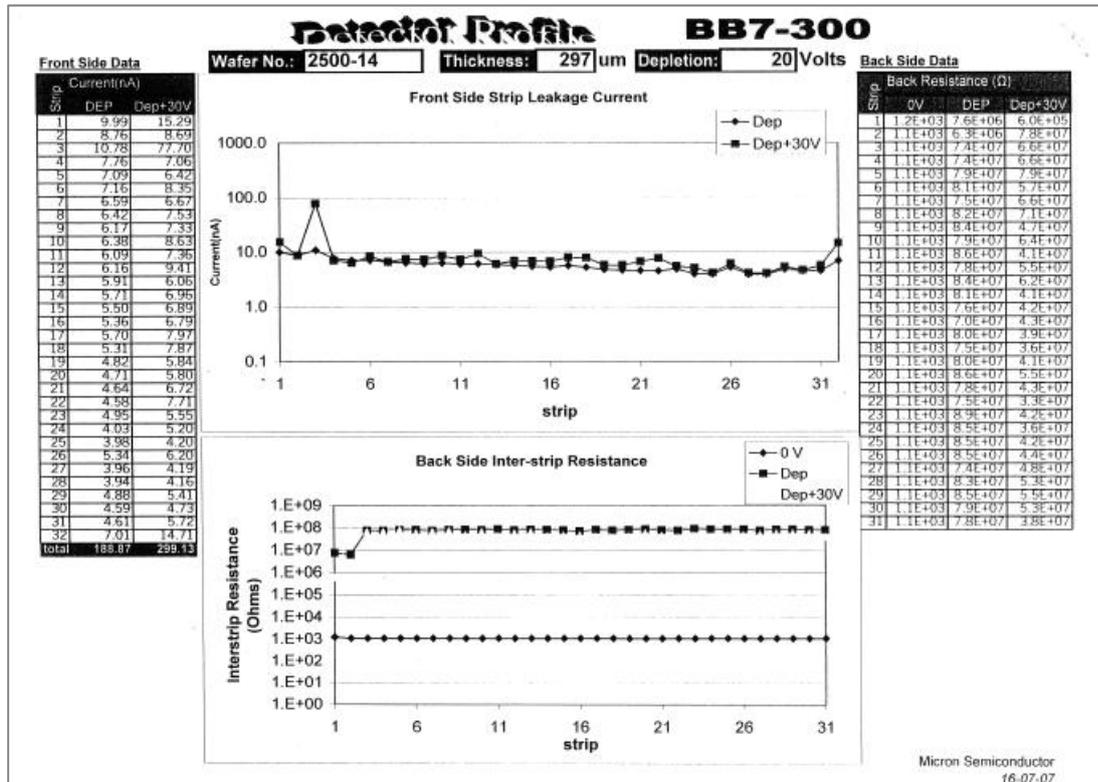


Figura 10 - Corrente di leakage delle strip

## Rivelazione

L'energia rilasciata nel rivelatore da una radiazione ionizzante genera delle coppie elettrone-lacuna. L'energia media  $\epsilon$  necessaria per creare una coppia è indipendente dal tipo e dall'energia della radiazione incidente e varia poco con la temperatura. Alla temperatura ambiente di 300 K vale 3.62 eV e sale fino a 3.78 eV se si raffredda il silicio a 80 K. Il band gap del silicio vale 1.15 eV a 80 K quindi non tutta l'energia è usata per rompere il legame covalente. Il surplus di energia va in vibrazione meccanica del reticolo cristallino.

Ad esempio una particella che rilascia 5 MeV nel rivelatore crea circa 1.4 milioni di coppie elettrone-lacuna ovvero una carica di 220 fC.

## Risoluzione

La risoluzione in energia è definita in termini di ampiezza a meta altezza FWHM (Full Width at Half Maximun) del picco e si esprime in unita di energia o come percentuale del valore del picco. Della distribuzione dei valori di picco viene fatto un fit secondo una distribuzione gaussiana:

$$n = e^{-\frac{(E-E_\gamma)^2}{2\sigma^2}}$$
 dove  $E_\gamma$  è l'energia del picco e  $\sigma$  è la deviazione standard della distribuzione. La FWHM per una distribuzione gaussiana vale circa  $2.35 \sigma$ .

Per limitare  $\sigma$  bisogna trovare il giusto compromesso sul valore di polarizzazione per avere una piccola corrente inversa ma anche bassa capacità e il completo svuotamento del rivelatore per raccogliere tutta la carica ed avere un segnale grande. Raffreddando il rivelatore diminuiscono la corrente e le sue fluttuazioni migliorando quindi anche  $\sigma$ .

La Figura 11 mostra la risoluzione a temperatura ambiente del nostro rivelatore che è di 61 keV per la faccia di giunzione e 62.9 keV per quella con contatto ohmico, secondo i dati forniti dal costruttore.

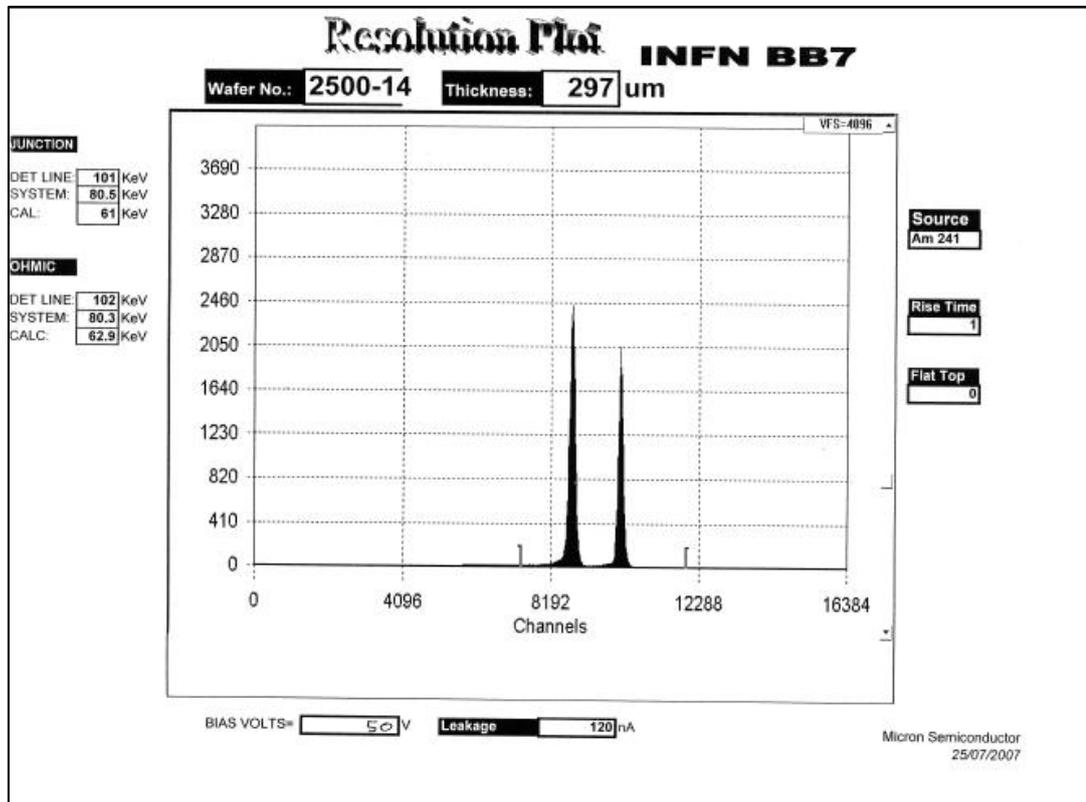


Figura 11 - Spettro di una sorgente di  $^{241}\text{Am}$  ottenibile con il rivelatore BB7-300



## Capitolo 2 - I chip ASIC VA32HDR14.2 e TA32CG3

### Principio di funzionamento

La catena di read-out del sistema si sviluppa attorno ad una coppia di chip ASIC, prodotti dalla ditta IDEAS-Gamma Medica (Norvegia). Un chip converte la carica rilasciata nel rivelatore in un segnale di corrente, l'altro genera, a seguito dell'evento, un segnale digitale di trigger. Lo schema del principio di funzionamento è visibile in Figura 12. Lo stadio di ingresso del VA32HDR14.2 (nel seguito indicato con VA) segue una topologia classicamente usata in esperimenti di fisica nucleare. Il primo stadio di ogni canale è un preamplificatore di carica che integra l'impulso di carica rilasciata nel rivelatore e pilota due circuiti formatori CR-RC.

I due formatori hanno parametri di formatura diversi e sono implementati uno (shaper veloce da 75 ns) nel TA32CG3 (nel seguito indicato con TA) e uno nel VA (shaper lento da 2  $\mu$ s). Questa struttura permette di ottenere una corrispondenza lineare tra carica in ingresso e valore di picco in uscita dai formatori.

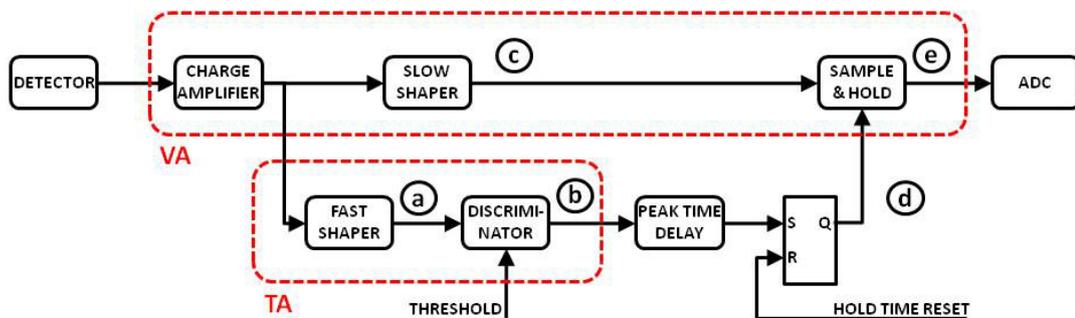


Figura 12 - Principio di funzionamento dei chip VA e TA

Il segnale in uscita dallo shaper veloce permette di allertare il sistema dell'arrivo di un possibile evento. Per fare questo, il segnale (a) viene comparato con una soglia al fine di generare un segnale digitale (b) che, ritardato di un tempo equivalente al peak time del formatore lento, attiva il segnale di hold (d). In uscita dallo shaper lento (c) vi è un blocco sample&hold che, controllato opportunamente dal segnale di hold, permette di mantenere il segnale di carica al valore massimo del

picco di formatura (e) per il tempo necessario all'ADC a completare il ciclo di read-out del chip. I segnali appena descritti sono rappresentati in Figura 13.

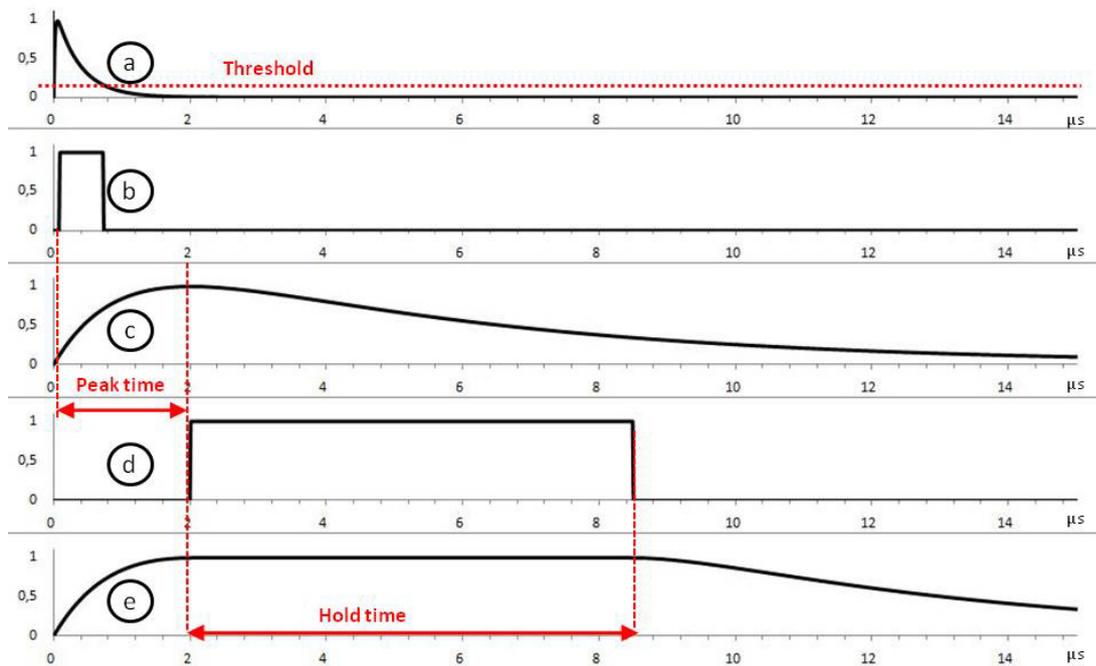


Figura 13 - Segnali ideali relativi al principio di funzionamento di VA e TA

### ***Struttura circuitale***

La struttura circuitale dei chip è mostrata in Figura 14. Entrambi i chip hanno  $N=32$  canali di ingresso. I segnali di uscita dai blocchi Sample/Hold entrano in un multiplexer analogico che seleziona in successione i 32 canali e li invia al buffer di uscita. E' a questo livello, quindi, che avviene la riduzione del numero, da 32 a 1, dei segnali analogici da acquisire. Il multiplexer è controllato in sequenza da uno shift register. Un esempio dello stream di uscita è visibile in Figura 15. Questa sequenza di ampiezze, che rappresenta l'informazione analogica della carica che ciascun canale ha rilevato in ingresso, viene mandata ad un convertitore ADC esterno.

Anche il segnale di trigger fornito dal TA è uno solo per i 32 ingressi. Infatti il segnale veloce, di ciascun canale, viene comparato con una soglia comune al fine di attivare i monostabili dei canali interessati dall'evento. L'OR cablato di questi segnali diventa così il trigger proposto al sistema di acquisizione.



## Configurazione dei chip

Oltre ai segnali già descritti i chip VA e TA hanno alcune linee digitali che permettono di selezionare il modo di funzionamento (in appendice i dettagli dei chip VA e TA). I segnali da inviare al VA sono: HOLD, CLK, REGIN, TEST e DRESET.

La linea HOLD comanda il sample&hold. CLK e REGIN sono segnali da inviare allo shift register che abilita la lettura in sequenza dei canali. La linea di TEST abilita il funzionamento della linea CAL (ingresso analogico) attraverso cui iniettare una carica nel canale attivato da REGIN. DRESET conclude la trasmissione digitale. Si vedano ad esempio la Figura 20 e la Figura 21.

La configurazione del TA è molto articolata per la parte digitale e avviene inviando uno stream di 192 bit attraverso le linee REGIN\_TA e CLKIN. La sequenza permette di modificare in maniera fine la soglia dei comparatori di ciascuna strip per livellare la diversa risposta dei canali. E' possibile selezionare guadagno e polarità dei segnali che generano il trigger oppure mascherarli in modo da farli attivare solo se l'evento avviene nelle strip volute.

## Catena elettronica di read-out

I segnali di trigger (*proposed triggers*) dei singoli TA vengono portati alla scheda TSI che, qualora vi siano le condizioni volute (essenzialmente di molteplicità e coincidenza tra le strip dei rivelatori), genera un global trigger. Quest'ultimo (*trigger*) viene mandato al sistema di DAQ per la gestione dell'acquisizione dell'evento ed alla scheda ADC (*start*) che, dopo un tempo di ritardo programmabile, invia i segnali di *hold* per i chip VA e avvia il ciclo di lettura. Il DAQ genera un segnale di *busy* per tutto il tempo necessario al trasferimento dei dati.

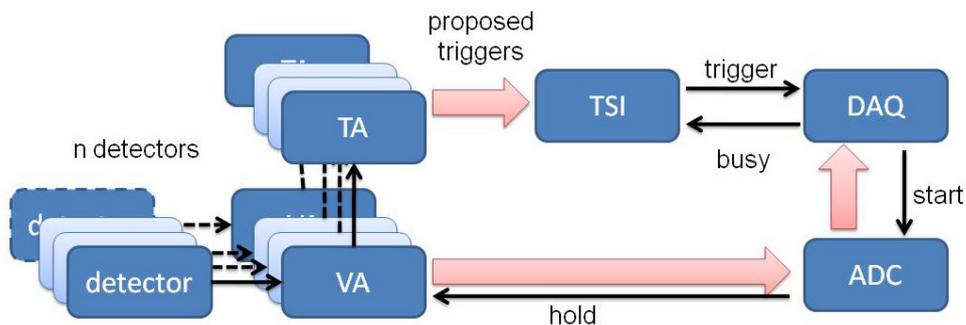


Figura 16 - Catena di read-out del sistema

### Capitolo 3 – La scheda elettronica VATA\_NA-PD

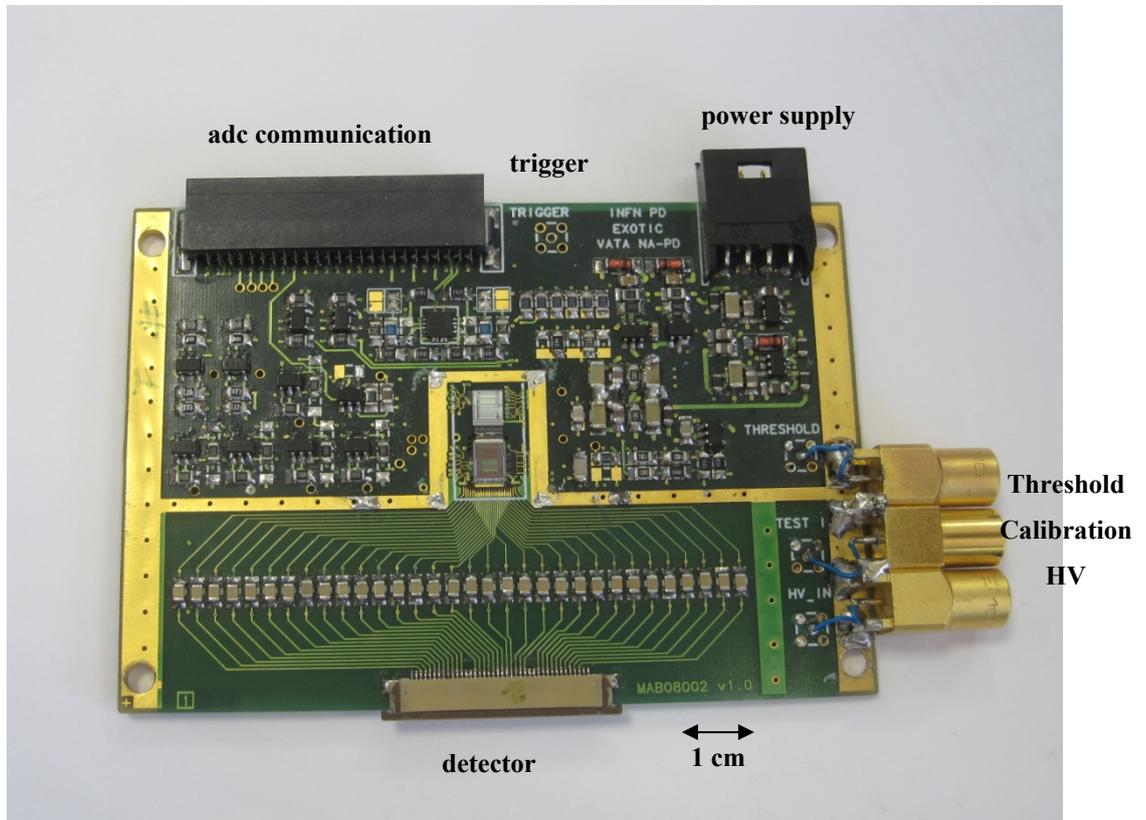


Figura 17 - La scheda VATA\_NA-PD con, al centro, i chip VA e TA senza scatola di protezione

La scheda VATA\_NA-PD è stata progettata da noi per implementare l'elettronica necessaria al funzionamento dei chip VA e TA. Uno schema a blocchi è visibile in Figura 18.

#### **Alimentazione e riferimenti**

Il blocco alimentazioni genera tutte le tensioni e correnti di alimentazione e di riferimento necessarie a VA e TA. Il VA è alimentato a  $\pm 2.5$  V e prevede la possibilità di generare tutti i riferimenti interni attraverso la tensione sul pin MASTER\_BIAS. Tuttavia, alcuni ingressi analogici del chip permettono di cambiarne il punto di lavoro rispetto alle condizioni nominali generate dal riferimento MASTER\_BIAS. Il VA selezionato appartiene ad una generazione di chip successivi rispetto al TA ed ha integrato un maggior numero di generatori dipendenti rispetto alle precedenti famiglie e allo stesso TA, permettendo di semplificare molto l'elettronica di riferimento esterna. Il TA è alimentato a  $\pm 2$  V e

necessita di alcuni riferimenti di tensione (*vfs*, *vrc*) e corrente (*sha\_bias*, *gbi*, *refbi*, *obi*) per funzionare correttamente. L'alimentazione anche in questo chip è separata per la parte digitale e per quella analogica. Anche la polarizzazione del rivelatore avviene attraverso la scheda VATA\_NA-PD con dei filtri RC.

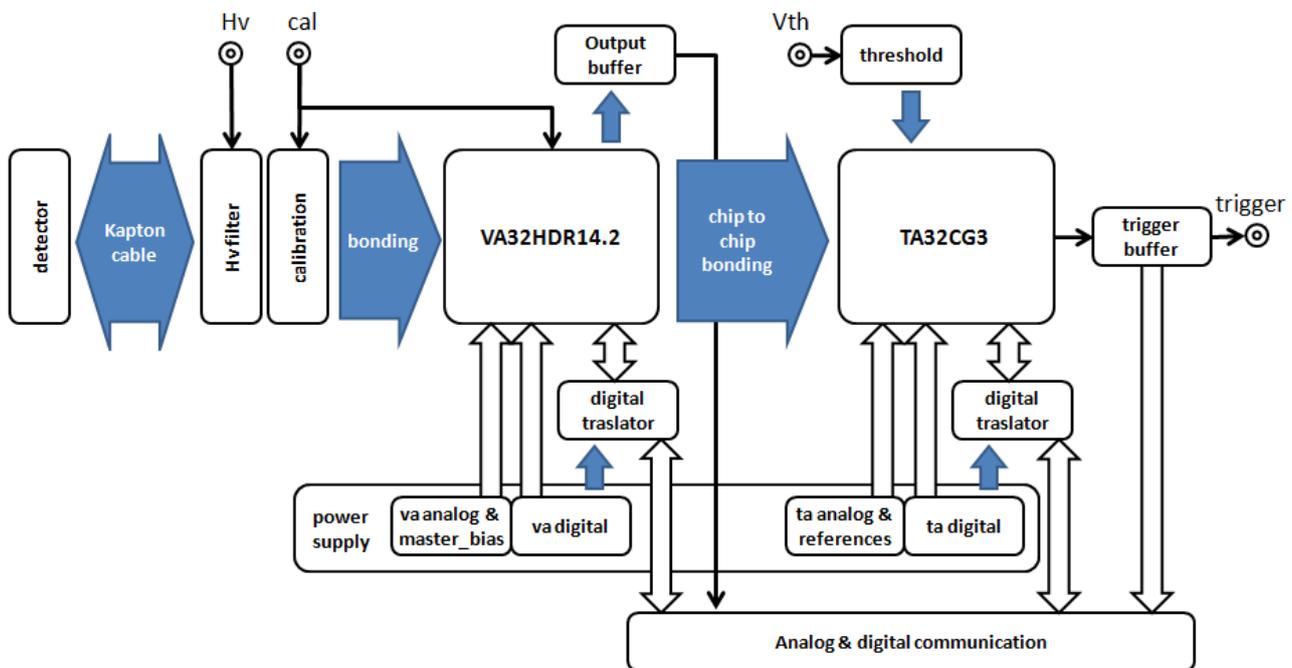


Figura 18 - Schema a blocchi della scheda VATA\_NA-PD

### Logica traslatore livelli

I blocchi digitali che pilotano VA e TA adattano i segnali di controllo provenienti dalla MB in logica LVDS<sup>3</sup> ai livelli previsti dallo stadio di ingresso dei chip ovvero  $\pm 2$  V. In particolare l'operazione è svolta terminando i segnali LVDS con una resistenza da 100  $\Omega$  per garantire l'adattamento delle linee digitali differenziali del PCB<sup>4</sup> e dei cavi all'ingresso di comparatori rail to rail<sup>5</sup> alimentati dalle rispettive alimentazioni digitali di VA e TA. L'operazione simmetrica di conversione dei segnali digitali, da VA e TA (di  $\pm 2$  V) verso l'esterno con logica LVTTTL<sup>6</sup>, avviene con dei comparatori a soglia. Il blocco threshold permette di adattare il livello di tensione proveniente dalla MB, che definisce la soglia di trigger, all'intervallo di regolazione previsto dal TA.

<sup>3</sup> LVDS : Low Voltage Differential Signaling, segnale logico differenziale di circa 350mV

<sup>4</sup> PCB : Printed Circuit Board

<sup>5</sup> rail to rail : stadio di uscita che consente un'escursione pari alla tensione di alimentazione.

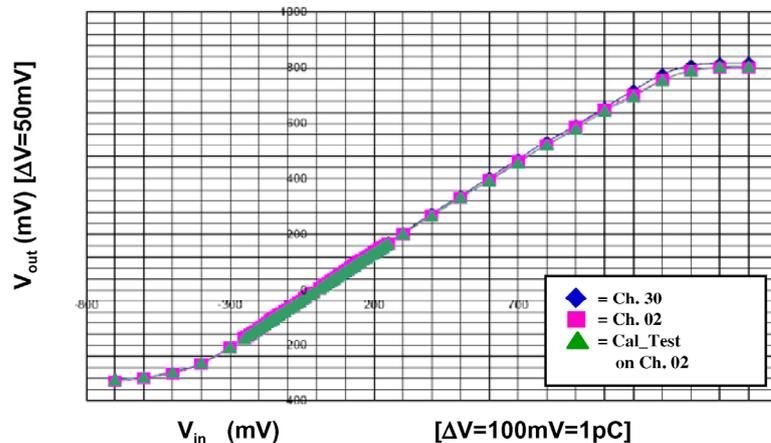
<sup>6</sup> LVTTTL : Low Voltage TTL, segnale logico con escursione 0 - 3.3V

### **Buffer di uscita**

L'uscita analogica del VA fornisce un segnale differenziale in corrente che viene amplificato localmente da un amplificatore differenziale THS4520 il quale toglie la corrente di modo comune del chip e adatta il segnale al cavo di trasmissione. Per sfruttare al meglio la dinamica dell'ADC, il guadagno del buffer può essere impostato con dei jumper a seconda dell'energia attesa in esperimento. Le amplificazioni disponibili sono 4.1, 5.2, 10.5, 22 mV/ $\mu$ A che moltiplicate per il guadagno del VA di 80  $\mu$ A/pC corrispondono rispettivamente a valori di fondo scala in energia di 31, 65, 131, 164 MeV.

### **Calibrazione**

Per trovare la relazione che lega energia e valore misurato dall'ADC viene eseguita la calibrazione del sistema. Un primo passo prevede di iniettare una quantità di carica attraverso un condensatore di valore noto collegato ad un impulsatore. Questa carica può essere iniettata, contemporaneamente in tutti i canali di ingresso o nel singolo canale, attraverso la linea CAL. La selezione del canale in cui iniettare la carica avviene attraverso un opportuno multiplexer indirizzabile dallo stream di configurazione digitale e dalla linea di TEST. Variando il valore di tensione del gradino generato dall'impulsatore è possibile testare la risposta del sistema su tutto il range dinamico voluto. La misura così realizzata ha alcuni limiti dovuti alla tolleranza dei componenti ed al loro valore che è confrontabile con quelli parassiti dovuti alle piste del PCB. Inoltre, sebbene l'impulsatore sia uno strumento tarato e abbia una buona linearità in ampiezza, non ha caratteristiche di rumore costanti.



**Figura 19- Calibrazione dei canali del VA**

## Letture dei chip

Collegandosi ai test point della scheda si possono monitorare i segnali digitali di VA e TA come visibile in Figura 20 e Figura 21.

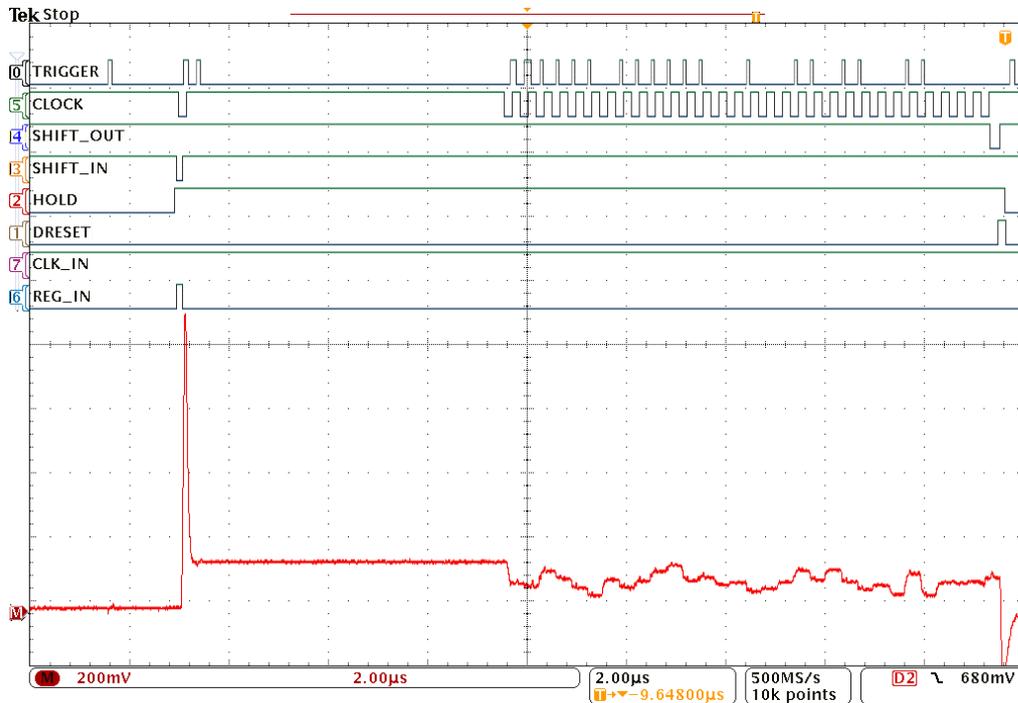


Figura 20 - Sequenza di read-out di tutti i canali del chip VA

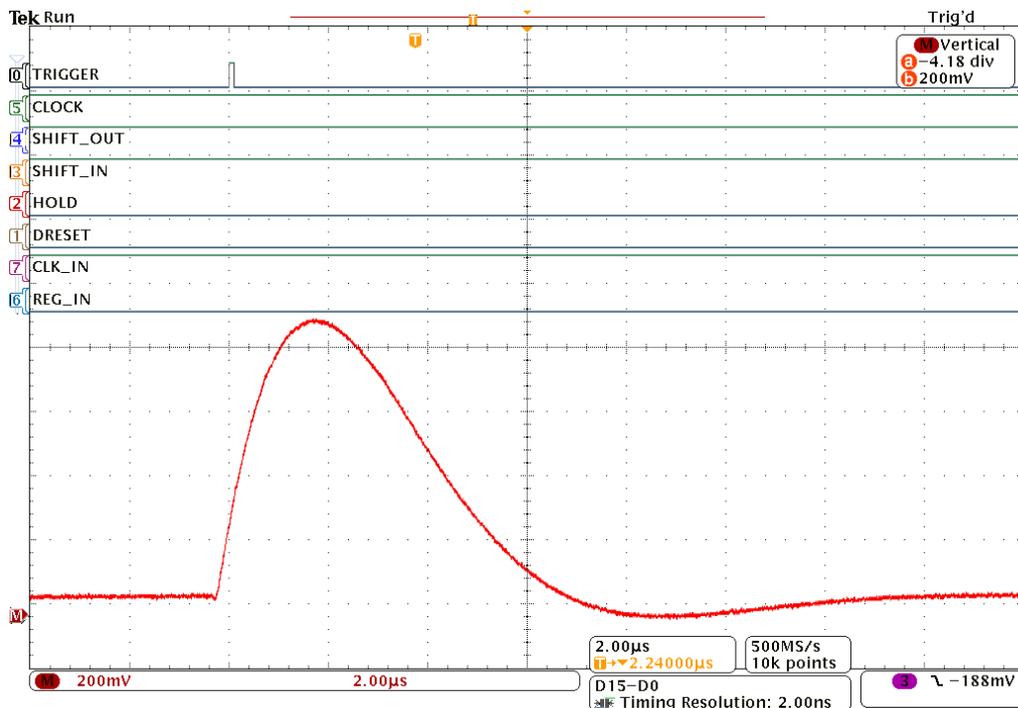


Figura 21 - Segnale di una sola strip in uscita dal VA

## Capitolo 4 – Interfacciamento chip ASIC-ADC

### Mother board

La MB, in Figura 22, ha il compito principale di ridistribuire i segnali di controllo provenienti da una scheda ADC verso 8 distinte schede VATA\_NA-PD e di riceverne i dati analogici e di trigger da convogliare verso l'esterno. In questo modo consente di realizzare un nuovo livello di semplificazione dell'architettura di read-out. Lo schema funzionale è visibile in Figura 23. La scheda può lavorare in modo passivo, ovvero senza clock locale per limitare al minimo dissipazione e disturbi EMI<sup>7</sup>, oppure in modo attivo, per realizzare modalità speciali utili in fase di sviluppo del prototipo.

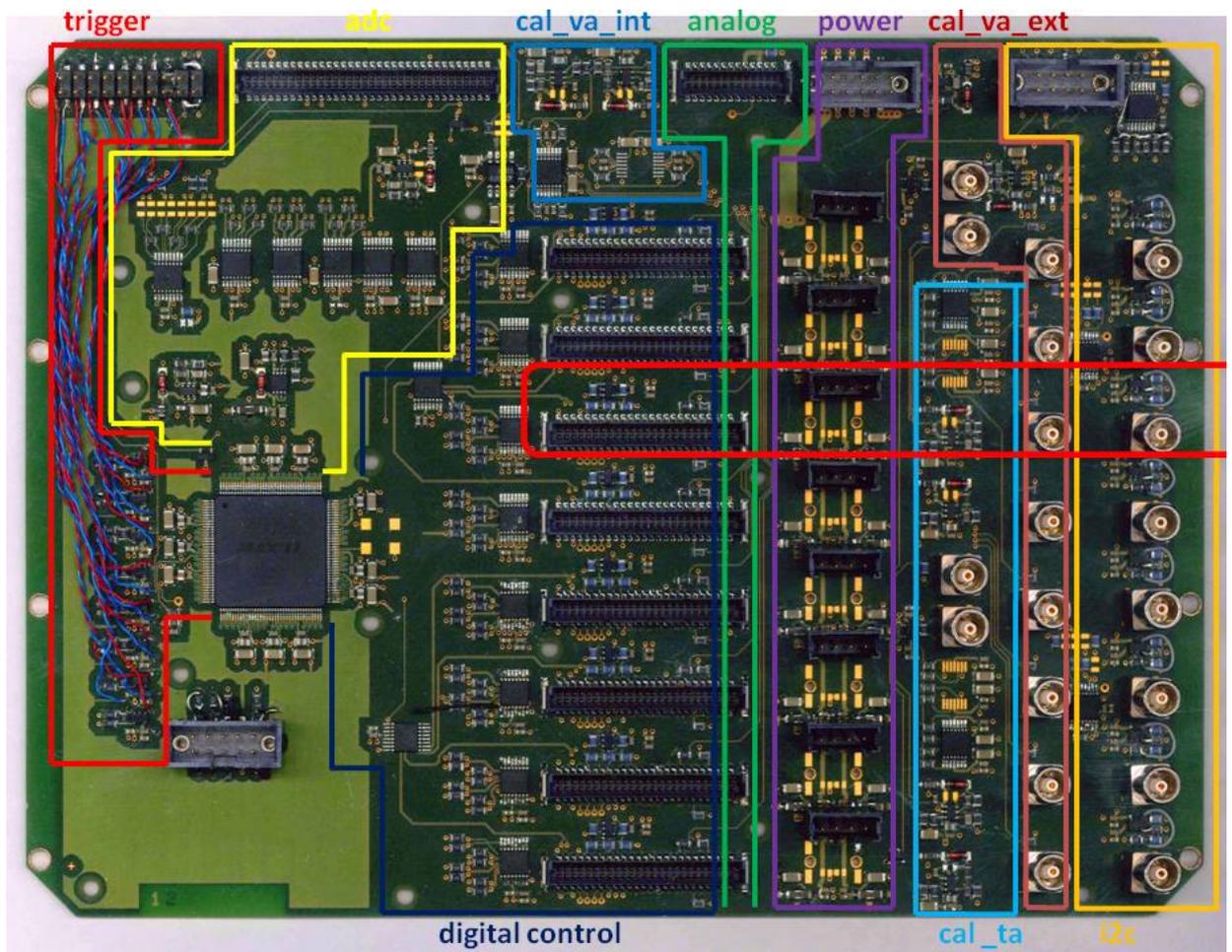


Figura 22 - La scheda Mother Board con evidenziati i blocchi funzionali

<sup>7</sup> EMI : Electro-Magnetic Interference

Le altre funzionalità sono: distribuzione e filtraggio delle alimentazioni locali e delle schede VATA\_NA-PD, due catene di amplificazione e distribuzione dei segnali di calibrazione per TA e VA; una sezione collegata con elettronica esterna via I2C<sup>8</sup>. Quest'ultima permette la lettura dei sensori di temperatura, montati a bordo di ogni singola scheda VATA\_NA-PD collegata alla MB e posizionati nelle zone ritenute critiche per la temperatura, e crea delle tensioni regolabili con dei DAC a 16 bit multi uscita da usare come soglia per il livello di trigger dei TA.

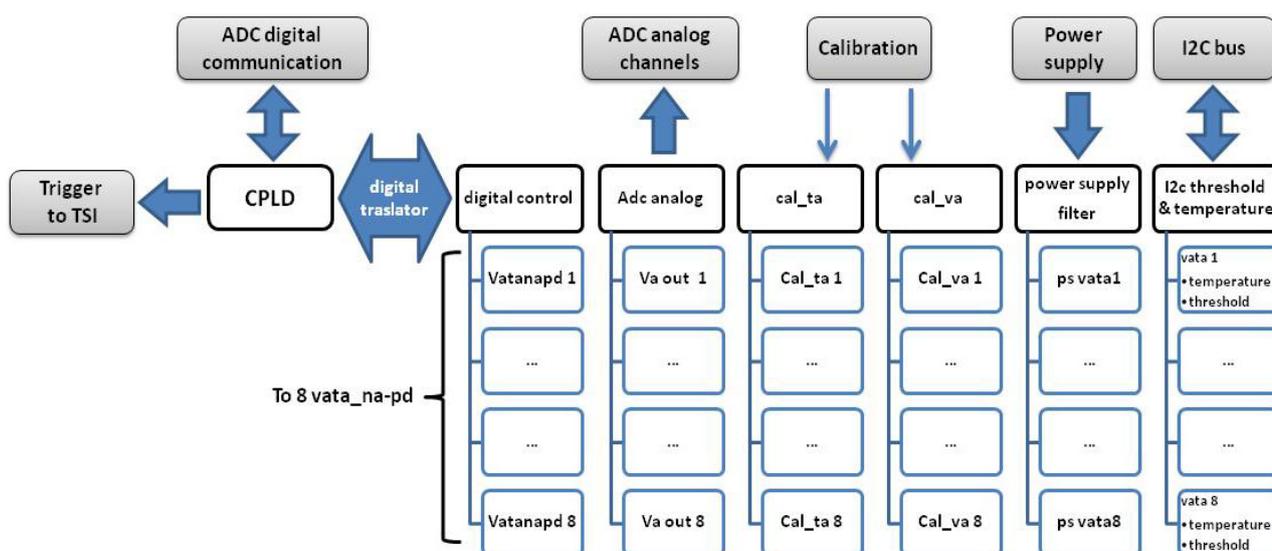
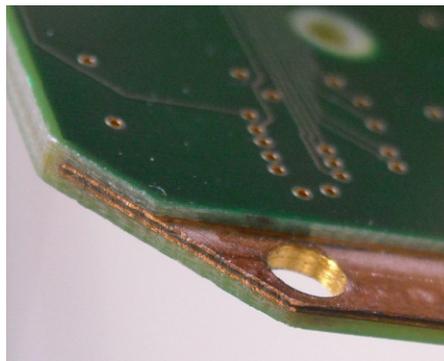


Figura 23 - Schema a blocchi della Mother Board

La scheda è stata progettata per limitare al massimo la potenza dissipata in tutti i blocchi funzionali usando principalmente componenti a basso consumo e prevedendo la possibilità di spegnere i singoli sottoblocchi non in uso nelle varie fasi operative. E' possibile, infatti, spegnere totalmente la parte dedicata alla calibrazione di VA e TA, che viene utilizzata per lo più in fase di setup della misura. Analogamente la parte digitale può essere spenta completamente scegliendo fino al singolo integrato per abbassare dinamicamente il consumo. Questa grande granularità nella gestione dell'alimentazione della parte digitale è dovuta al fatto che è la componentistica che incide maggiormente nella dissipazione di potenza. La logica scelta, di tipo LVDS, garantisce un segnale pulito e a ridotta escursione in modo tale da limitare le interferenze con la misura. Per quel che riguarda la parte di trigger e quella analogica, critiche per le prestazioni del sistema, è stata fatta una

<sup>8</sup> I2C : Inter Integrated Circuit : bus di comunicazione seriale standard

progettazione a basso consumo ma senza possibilità di spegnimento. La stessa CPLD<sup>9</sup> è stata selezionata tra quelle a bassissimo consumo (Altera MAXIIIZ) e la progettazione in VHDL<sup>10</sup> delle sua funzionalità in modalità passiva prevede lo spegnimento del clock di sistema ed un funzionamento asincrono. L'esigenza di limitare la potenza dissipata è dovuta alla necessità di inserire la MB nella camera a vuoto sia durante i primi test sia in fase di esperimento e quindi di poter dissipare il calore generato dai suoi componenti esclusivamente per conduzione. Per favorire questo processo la MB ha, al suo interno, due strati speciali di rame dello spessore di 150  $\mu m$ . La tecnica impiegata è chiamata metal core pcb. Questa costruzione particolare del PCB permette di trasferire il calore fino all'estremità della scheda dove è collegata termicamente ad un supporto metallico opportunamente raffreddato da una cella peltier. Gli strati di rame spessi consentono anche di avere un'ottima massa elettrica per la scheda.



**Figura 24 - Dettaglio degli strati di rame interni al pcb e liberi ai bordi della scheda per favorire il contatto termico con il supporto raffreddato da celle peltier.**

### ***Trigger supervisor***

La scheda TSI si occupa di ricevere e valutare i segnali di trigger proposti da tutti i TA al fine di generare il trigger effettivo per il sistema. Permette di selezionare tutte le relazioni logiche (AND - OR) tra i segnali in ingresso per realizzare le condizioni di trigger utili a mettere in luce diverse tipologie di evento. Si occupa inoltre della gestione hardware del protocollo di handshake con ADC e DAQ.

---

<sup>9</sup> CPLD : Complex Programmable Logic Device

<sup>10</sup> VHDL : Very high speed integrated circuits Hardware Description Language

## ADC

La scheda EXOTIC-ADC è un modulo VME<sup>11</sup> ad una unità in grado di acquisire 8 canali analogici differenziali con dinamica di  $\pm 1V$  alla frequenza di 50 MHz e con 12 bit di risoluzione. La scheda, basata su una FPGA<sup>12</sup>, integra le operazioni di filtro digitale sul segnale di ingresso e si occupa di generare tutti i segnali di configurazione e comando delle schede VATA\_NA-PD. Inoltre dialoga con la scheda TSI al fine di gestire le configurazioni di trigger. La trasmissione dei dati acquisiti avviene verso un bus VME gestito da un controller separato.

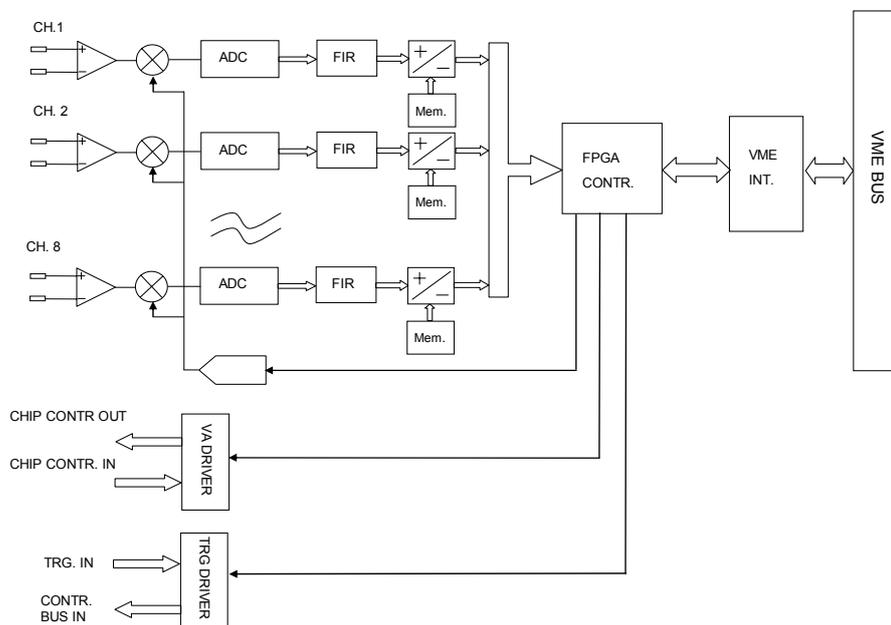


Figura 25 - Schema a blocchi della scheda EXOTIC-ADC

<sup>11</sup> VME : Versabus Module Eurocard. Bus standard di comunicazione

<sup>12</sup> FPGA : Field Programmable Gate Array. Dispositivo logico programmabile

## DAQ

La figura seguente schematizza l'architettura del sistema di acquisizione e visualizzazione per l'esperimento EXOTIC. Il software creato si occupa essenzialmente di tre attività: la configurazione attraverso l'interfaccia grafica *conf\_tool* e il relativo read-out dell'elettronica via *XDAQ*<sup>13</sup>; il run control *RCMS* che si occupa di salvare i dati su hard disk locale e di rendere disponibili i dati con un *socket TCP*<sup>14</sup>; l'analisi online e offline dei dati dell'esperimento attraverso *Exotic spy* e la visualizzazione grafica dei dati acquisiti su *Cracow*<sup>15</sup>.

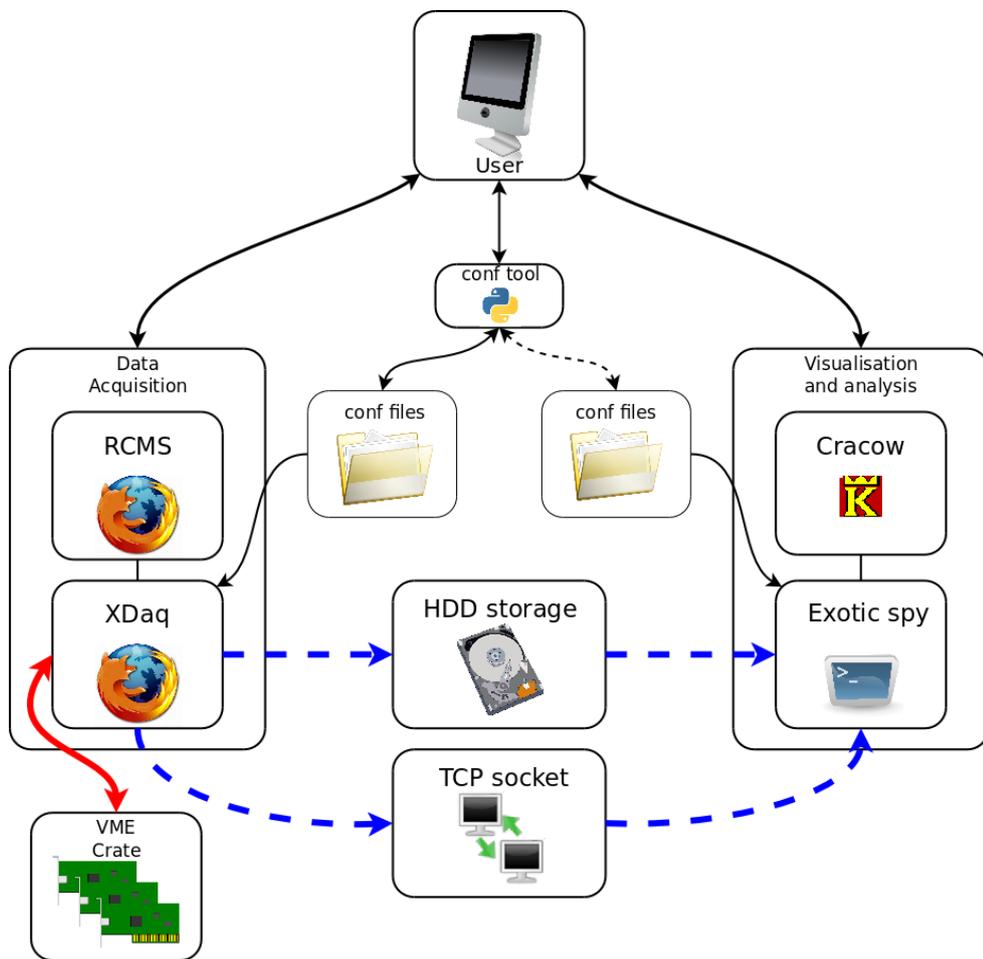


Figura 26 - Schema delle funzionalità software del XDAQ

<sup>13</sup> XDAQ :piattaforma software sviluppata al CERN per l'esecuzione di sistemi di acquisizione

<sup>14</sup> socket TCP : porta software che permette la connessione alla rete TCP-IP

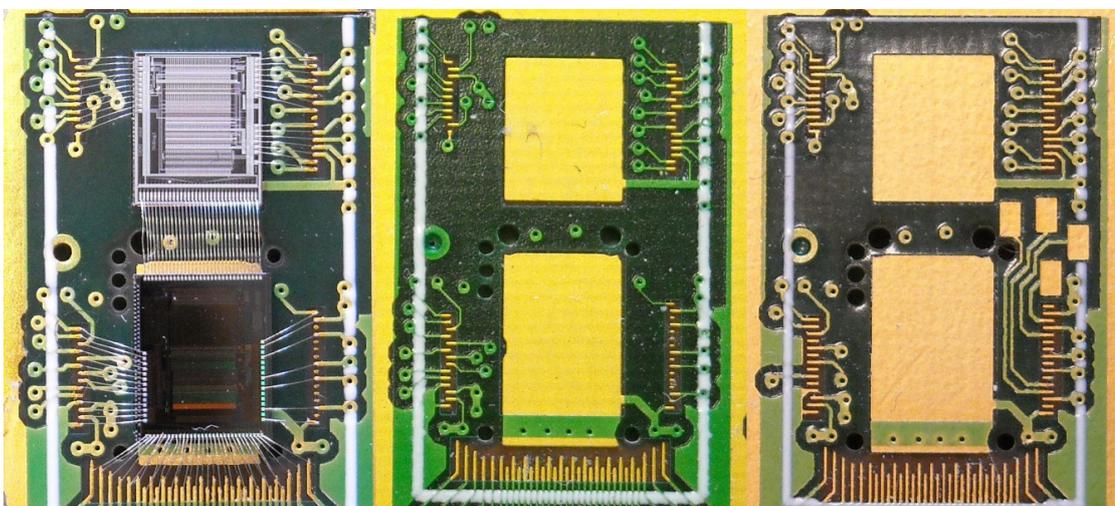
<sup>15</sup> Cracow: sviluppato nell'Istituto di Fisica Nucleare Henryk Niewodniczański di Cracovia, PL



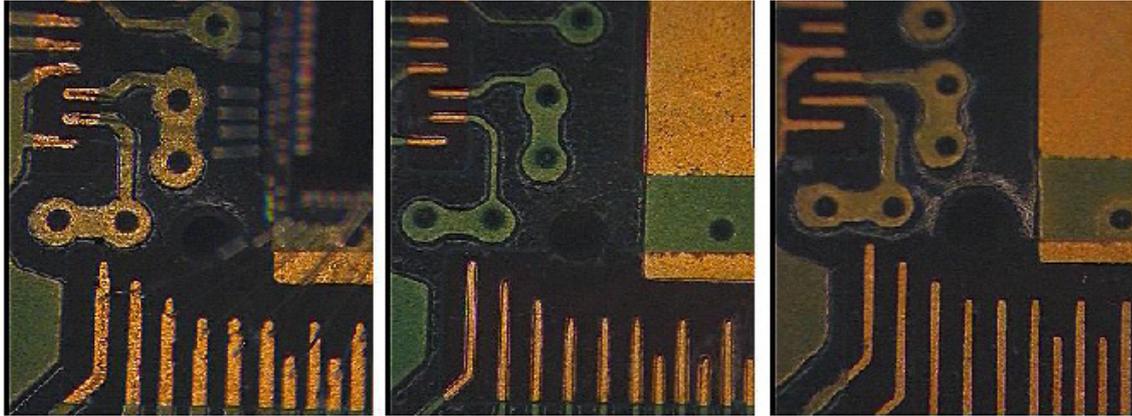
## **Capitolo 5 - Test dei chip e relativi risultati**

### **Introduzione**

Durante i test dei primi 6 prototipi di schede VATA\_NA-PD, un certo numero di canali degli ASIC è risultato non funzionante correttamente (4 schede difettose). Si sono rese necessarie delle verifiche che hanno evidenziato, in prima battuta, le problematiche del processo di bonding tra chip e PCB dovute alla tecnologia di lavorazione degli stampati. La realizzazione di piste sottili  $75\ \mu\text{m}$ , come quelle della zona di bonding, risulta un processo costruttivo critico per due problemi principali: il primo dovuto alle dimensioni delle piste vere e proprie che hanno portato i diversi costruttori contattati a proporre soluzioni di etching e spessori delle piste differenti; il secondo legato al metodo di deposizione dell'oro sulla pista di rame. Le due tecniche proposte di finitura superficiale del circuito stampato di tipo Flash Gold (Nichel-Oro galvanico spessori Ni  $> 5\ \mu\text{m}$  e Au  $2\ \mu\text{m}$ ) e Immersion Gold (Nichel-Oro chimico spessori Ni  $> 4\ \mu\text{m}$  e Au  $0.2\ \mu\text{m}$ ) offrono infatti risultati molto diversi per la riuscita della fase di bonding. Nelle foto di Figura 27 e Figura 28 è possibile vedere le diverse tipologie costruttive testate. Quello a sinistra è uno dei primi prototipi realizzati con finitura Flash Gold e basso spessore delle piste di rame. Quello al centro ha finitura Immersion Gold e piste con alto spessore che risultano non adatte al bonding. A destra la versione finale del PCB con finitura Flash Gold e piste spesse ma "bondabili".



**Figura 27 - Dettaglio di tre diversi PCB testati.**



**Figura 28 - Dettaglio delle piste da 3 mils nei diversi pcb realizzati**

Effettuati gli aggiustamenti al processo produttivo delle schede il numero delle board mal funzionanti erano ancora superiori alle aspettative, pertanto l'attenzione è stata spostata prima sull'elettronica di contorno e infine sugli ASIC. Alcune verifiche con dei microattuatori ci hanno permesso di confermare quest'ultima ipotesi. I chip VA e TA sono forniti, infatti, come die<sup>16</sup> e non sono testati. Si è pertanto deciso di realizzare dei test di selezione dei chip da montare sul pcb VATA\_NA-PD.

Per farlo sono state costruite due probe card progettate con la stessa elettronica della scheda VATA\_NA-PD. Questi test di selezione hanno messo in evidenza la situazione illustrate nelle mappe in Figura 29 e Figura 30. I riquadri in verde rappresentano chip funzionanti (prima scelta da montare sul pcb), in giallo quelli con problemi minori (da usare come seconda scelta perché rumorosi per difetto intrinseco o per cattivo contatto con la probe card), in rosso chip con difetti evidenti (scartati).

---

<sup>16</sup> die : ovvero il chip è solo stato tagliato dal wafer e non è incapsulato in un package.

TA	NUMBER									
	0	1	2	3	4	5	6	7	8	9
00	Green	Green	Green	Red	Green	Green	Green	Green	Green	Green
10	Yellow	Green	Green	Green	Yellow	Green	Yellow	Green	Yellow	Yellow
20	Red	Green	Yellow							
30	Red	Yellow	Yellow	Red	Green	Green	Green	Red	Green	Green
40	Green	Red	Green	Yellow	Red	Green	Green	Green	Green	Green
50	Yellow	Yellow	Yellow	Red	Yellow	Yellow	Yellow	Green	Green	Green
60	Green	Red	Green	Green	Green	Green	Green	Yellow	Red	Yellow
70	Yellow	Red	Yellow	Yellow	Green					

**Figura 29 - Risultati selezione chip TA**

VA	NUMBER									
	0	1	2	3	4	5	6	7	8	9
00	Yellow	Green	Green	Green	Green	Green	Green	Yellow	Yellow	Yellow
10	Green	Green	Green	Green	Green	Green	Green	Green	Green	Green
20	Green	Green	Green	Green	Green	Green	Green	Green	Green	Green
30	Green	Green	Green	Green	Green	Green	Red	Red	Green	Green
40	Green	Green	Green	Green	Red	Green	Green	Red	Green	Green

**Figura 30 - Risultati selezione chip VA**

Come risulta evidente il lotto di produzione del chip VA ha una resa produttiva superiore a quello del TA. Questo fatto si pensa sia imputabile alla diversa qualità della tecnologia utilizzata dalla fonderia (AMSC) nel momento in cui sono stati realizzati i chip: nel 2003 per il TA e nel 2005 per il VA. Il processo costruttivo del TA usa un nodo tecnologico di  $0.8 \mu\text{m}$  e, dalle ispezioni ottiche dei chip non funzionanti, sembra di poter vedere alcune imperfezioni. Per il VA invece la tecnologia è di  $0.35 \mu\text{m}$  e dalle ispezioni ottiche effettuate durante i test non si riescono ad apprezzare difetti evidenti. Inoltre il VA integra una tecnologia di protezione contro le scariche elettriche ESD<sup>17</sup> che lo rende maggiormente resistente durante le operazioni di “movimentazione“ nella fasi di incollaggio al pcb e successivo bonding. Le probe card create e la procedura di verifica delle funzionalità dei chip ha permesso di ottenere il 100% dei canali perfettamente funzionanti nei successivi lotti di produzione delle schede VATA\_NA-PD.

<sup>17</sup> ESD : ElectroStatic Discharge

## Selezione TA

Il test di verifica del funzionamento degli ASIC, è realizzato automaticamente da un programma che, attraverso un file di testo, esegue uno script in cui è definito il tipo di misura che si vuole fare e tutti i parametri da inviare agli strumenti. Il primo test del TA verifica che tutti i canali rispondano alla carica iniettata in ingresso generando un trigger. Ha lo scopo di verificare subito la qualità del contatto tra gli aghi e il chip e/o la presenza di malfunzionamenti evidenti e, solo se viene superato, si prosegue con le altre verifiche che hanno una durata superiore. Il programma imposta dei valori di soglia e di carica iniettata che, in un chip funzionante, sicuramente generano un trigger. Mascherando quindi tutti i canali e abilitandoli poi uno alla volta in sequenza, si verifica che il numero di trigger generati siano tanti quanti gli impulsi di carica ricevuti (colonne blu in Figura 31). Alla fine della scansione dei 32 canali l'operazione viene ripetuta ma senza carica iniettata. In questo caso i canali che generano trigger (colonne rosse in Figura 31) segnalano che c'è un problema.

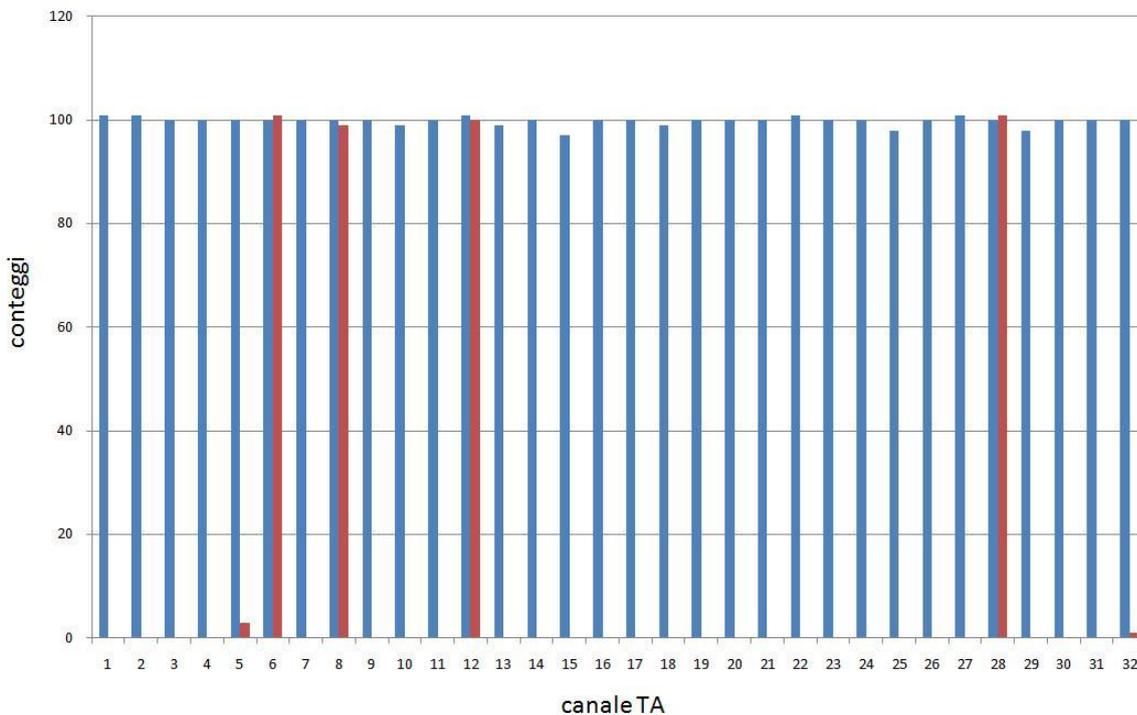
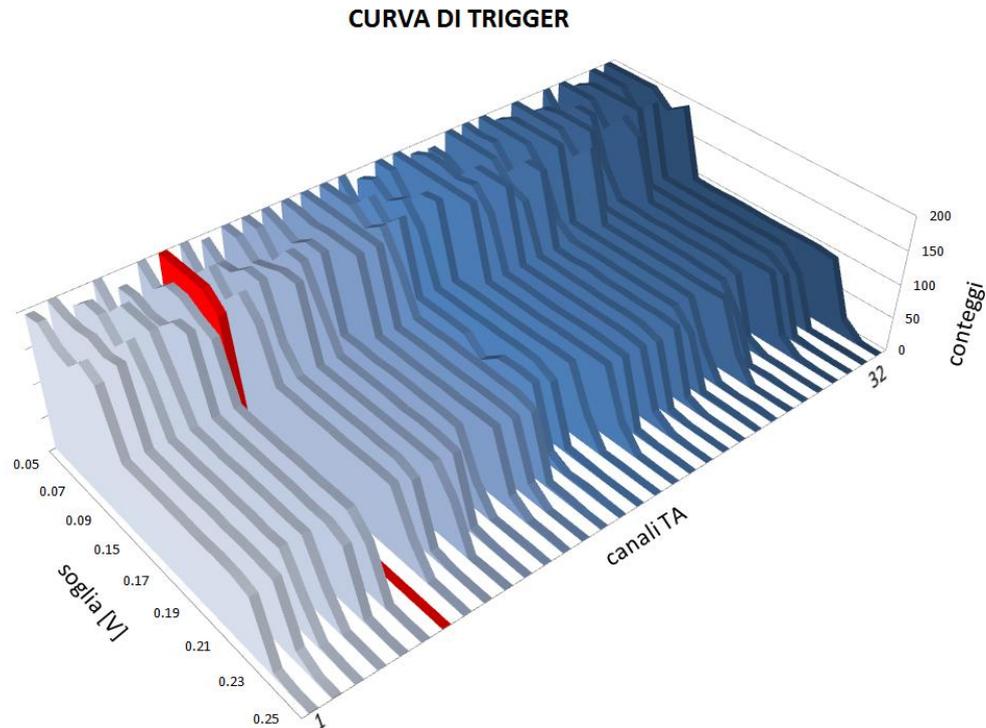


Figura 31 - primo test TA: le colonne blu dovrebbero mostrare tutte 100 conteggi, quelle rosse 0.

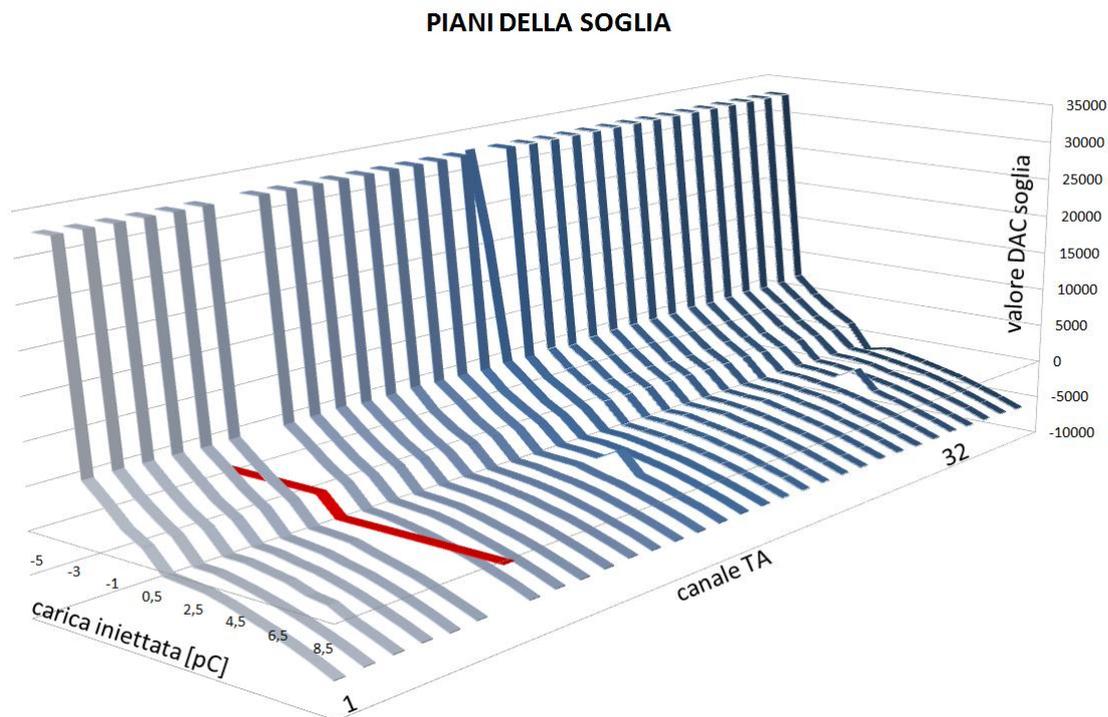
Il secondo test cerca di valutare la curva ad “S” tipica della soglia di trigger. Un esempio di tale curva è riportato nella Figura 32 (in rosso è evidenziato un canale non funzionante perché genera trigger solo con soglia bassa a livello del rumore).



**Figura 32 - Le curve di trigger di tutti i canali di un chip TA (in rosso un canale anomalo)**

Per generare tale curva viene selezionato un solo canale del TA mascherando tutti gli altri. Viene mandato un burst di N impulsi in ingresso che dovrebbero generare un egual numero di segnali di trigger. Questa operazione viene ripetuta al variare della soglia di trigger, partendo da una soglia alta rispetto alla carica iniettata e scendendo fino a zero, dove i trigger sono generati dal rumore. La curva inizia quindi mostrando 0 conteggi, passa per una zona intermedia in cui il numero cresce prima lentamente poi rapidamente e di nuovo lentamente fino a stabilizzarsi al numero di impulsi effettivamente inviati. Abbassando ulteriormente la soglia, il numero di trigger aumenta velocemente e in modo non omogeneo tra un canale e l'altro fino al limite massimo dato dalla velocità di trasferimento dei dati dall'ADC al sistema di test limitata da controller VME-USB. Questo limite, equivalente ad un rate di circa 180 Hz, si raggiunge solo usando la comunicazione USB. Il sistema dell'esperimento prevede invece l'utilizzo di un controller VME con una connessione via fibra ottica verso il sistema DAQ.

Il terzo test prevede di inviare segnali con ampiezza variabile e per ciascun canale cercare la soglia corrispondente con un algoritmo di approssimazioni successive<sup>18</sup>. Si dovrebbe ottenere una corrispondenza lineare tra valore della soglia e carica iniettata. In Figura 33 sono visibili i piani che si ottengono affiancando i valori di tutti i canali di un chip. Nel grafico risultano evidenti tre zone. Nella regione esterna anche con soglia massima non si riesce a mascherare il trigger: l'impulso corrisponde ad una carica talmente grande che non ha senso considerarla rumore. Questa scelta progettuale permette di limitare l'effetto di walk, cioè il diverso tempo di risposta del trigger a seconda dell'ampiezza del segnale di carica. Le altre due zone mostrano una diversa pendenza nella relazione tra soglia e carica dei segnali positivi e di quelli negativi. Questo diverso comportamento del TA non era atteso ed è stato possibile metterlo in evidenza solo grazie ai test di selezione. Infatti i canali del TA sono bondati direttamente tra chip e chip (vedi Figura 27) e non si sarebbe potuto capire questo differenza dai segnali disponibili nelle schede VATA\_NA-PD.

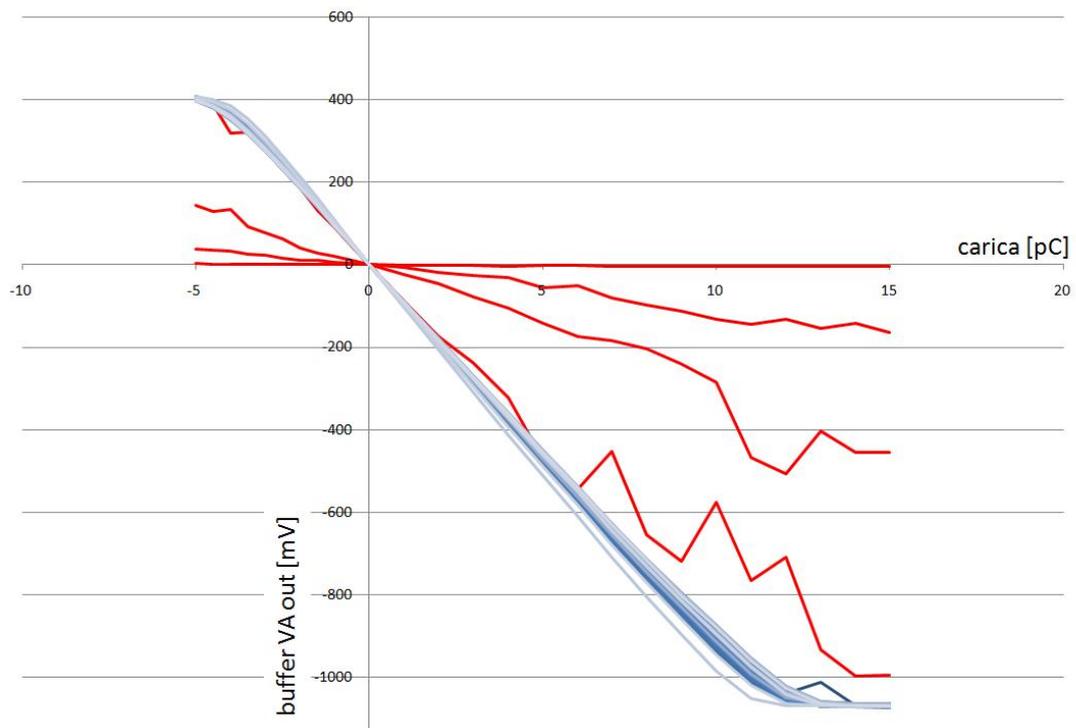


**Figura 33 - Piani della soglia per segnali di carica positiva e negativa**

<sup>18</sup> Algoritmo usato: fissata l'ampiezza del segnale in ingresso, si porta il valore di soglia a metà scala fissando a 1 il bit più significativo del DAC che la genera e qualora non ci siano segnali di trigger si cambia il bit in 0. Si prosegue similmente per il bit successivo fino al meno significativo.

## Selezione VA

Il test di selezione del VA prevede, dopo il contatto con gli aghi della probe card, la regolazione del valore di MASTER\_BIAS alla tensione nominale. Una volta regolato si eseguono, per verificare che il segnale sia stabile, alcuni cicli di read-out affinché il chip, perfettamente al buio nella black box di test, possa riprendere a funzionare correttamente. Si può quindi procedere con il test. L'acquisizione prevede di iniettare una carica dalle capacità di accoppiamento dei singoli ingressi e verificarne tutto il range dinamico per segnali positivi e negativi. La variazione della polarità e dell'ampiezza avviene comandando l'impulsatore. Lo stesso test viene ripetuto attraverso la linea CAL attivando il segnale TEST. Le uscite parallele, riservate al collegamento con il TA, vengono verificate a fine test controllando la presenza del segnale attraverso la visualizzazione su oscilloscopio.



**Figura 34 - Test selezione VA: le curve blu dei canali dovrebbero essere perfettamente sovrapposte per indicare che tutti gli ingressi hanno lo stesso guadagno. In rosso quattro canali chiaramente difettosi**



## Capitolo 6 – Risultati sperimentali

### Setup di misura

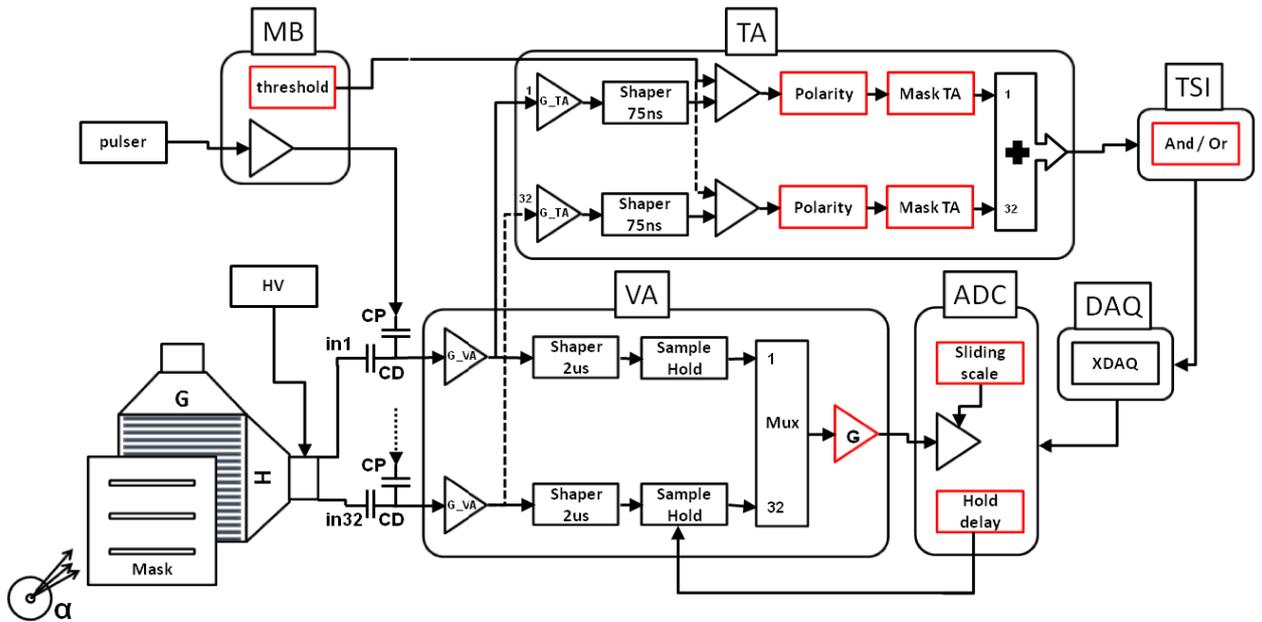


Figura 35 - Schema del setup di misura con evidenziati i parametri

La Figura 35 riporta uno schema del setup di misura e ne evidenzia le caratteristiche principali e i parametri su cui è possibile agire (riquadri in rosso). Abbiamo la possibilità di interporre tra la sorgente di calibrazione ed il rivelatore (G-H) una maschera metallica con tre fenditure di circa 60x2 mm. Questa maschera, usata unicamente nei test, consente di illuminare solo alcune strip del detector. Il rivelatore viene polarizzato attraverso l'alimentatore indicato con HV. Il segnale delle singole strip viene collegato al chip VA attraverso un condensatore CD. Allo stesso modo una carica di valore noto può essere iniettata dal PULSER attraverso il condensatore CP. Il segnale viene in seguito amplificato dal blocco G\_VA e dal blocco G\_TA. I due segnali entrano nei rispettivi formatori (shaper veloce 75 ns e lento a 2 μs). Il segnale veloce viene confrontato con la soglia  $V_{th}$  proveniente dalla MB e, scelta a priori la polarità voluta e mascherato o meno il segnale (Mask TA), l'OR dei canali del TA viene mandato alla TSI che valuta la configurazione di trigger voluta rispetto agli altri TA e allerta il sistema di acquisizione DAQ. Questo comanda l'ADC che, dopo un tempo di ritardo regolabile, genera il segnale di HOLD

per il VA e inizia l'acquisizione del segnale proveniente dal multiplexer che seleziona in sequenza i segnali mantenuti al picco dagli sample&hold.

## Spettri

Lo stream di lettura viene suddiviso secondo i vari canali interessati. In Figura 36 si vede la sequenza ottenuta quando una sola strip rivela della carica rilasciata.

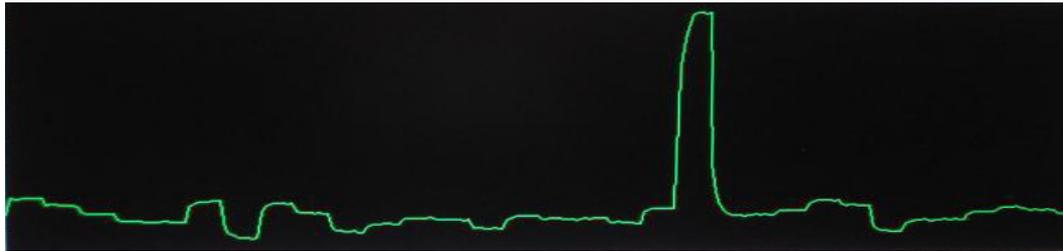


Figura 36 - Read-out del VA con una strip che ha rivelato della carica

I valori acquisiti dall'ADC (12 bit a zero centrale) vengono salvati e visualizzati, strip per strip, in un grafico che riporta in ascissa il valore numerico dell'ADC ed in ordinata la relativa frequenza di conteggio. Nel grafico di Figura 37 è visibile lo spettro in cui si distinguono i tre picchi della sorgente di calibrazione (nell'intervallo tra 2250 e 2500) e quelli prodotti con l'impulsatore per valutare il range dinamico. Il picco a fondo scala allargato indica la saturazione dello stadio di uscita della scheda VATA\_NA-PD. Con il valore dei centroidi dei picchi è possibile ottenere il grafico di Figura 38 dove si vede la buona linearità del sistema (errore inferiore all'1%) e la qualità della calibrazione effettuata.

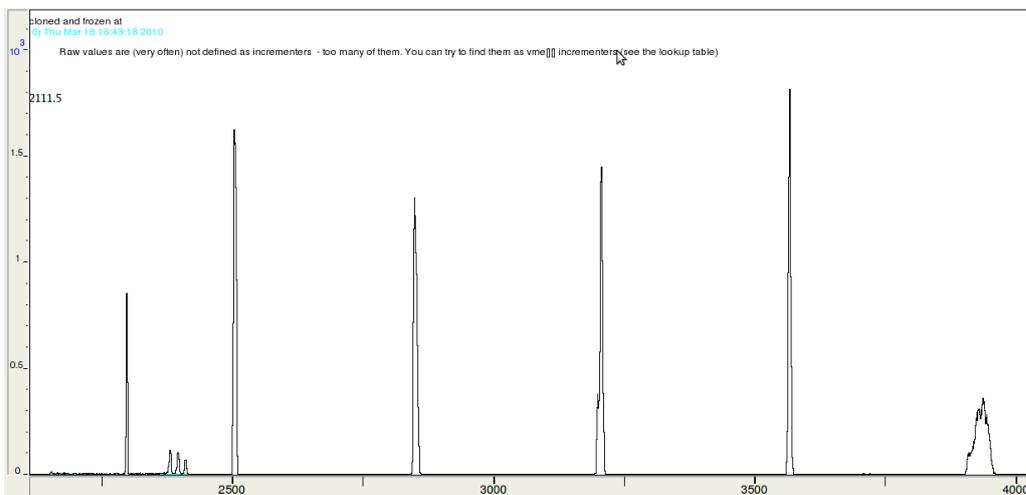


Figura 37 - Spettro dei segnali raccolti da una strip

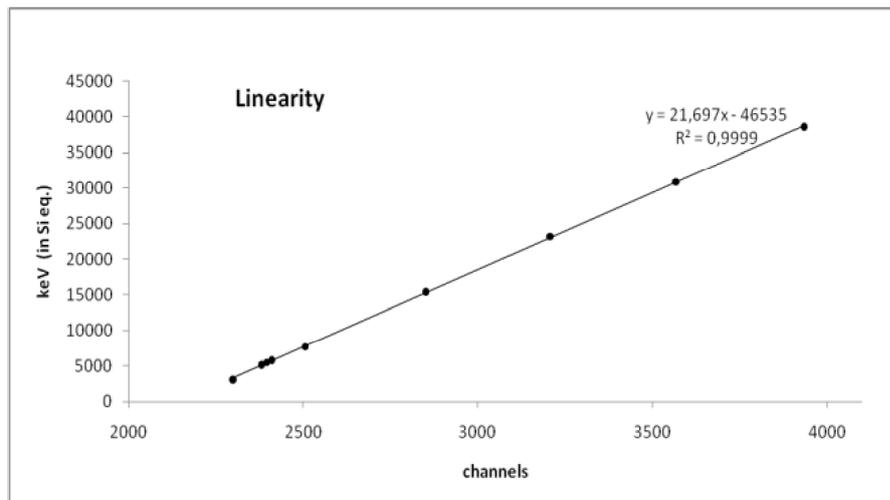


Figura 38 - Linearità tipica di una strip

### Risoluzione

Un esempio della risoluzione tipica ottenuta con il rivelatore è mostrata in Figura 39. Qui sono rappresentati i tre picchi di una sorgente  $\alpha$  composta da  $^{239}\text{Pu}$ ,  $^{241}\text{Am}$  e  $^{244}\text{Cm}$ . La risoluzione del sistema, che è di 82 keV, permette di distinguere le emissioni ben separate tra loro.

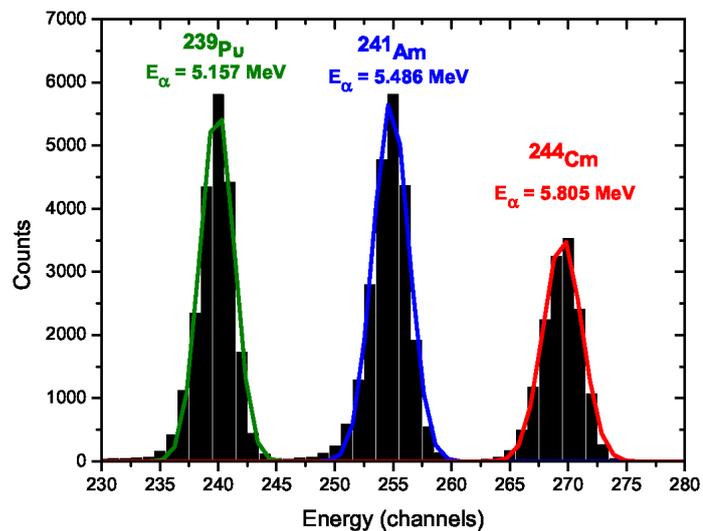
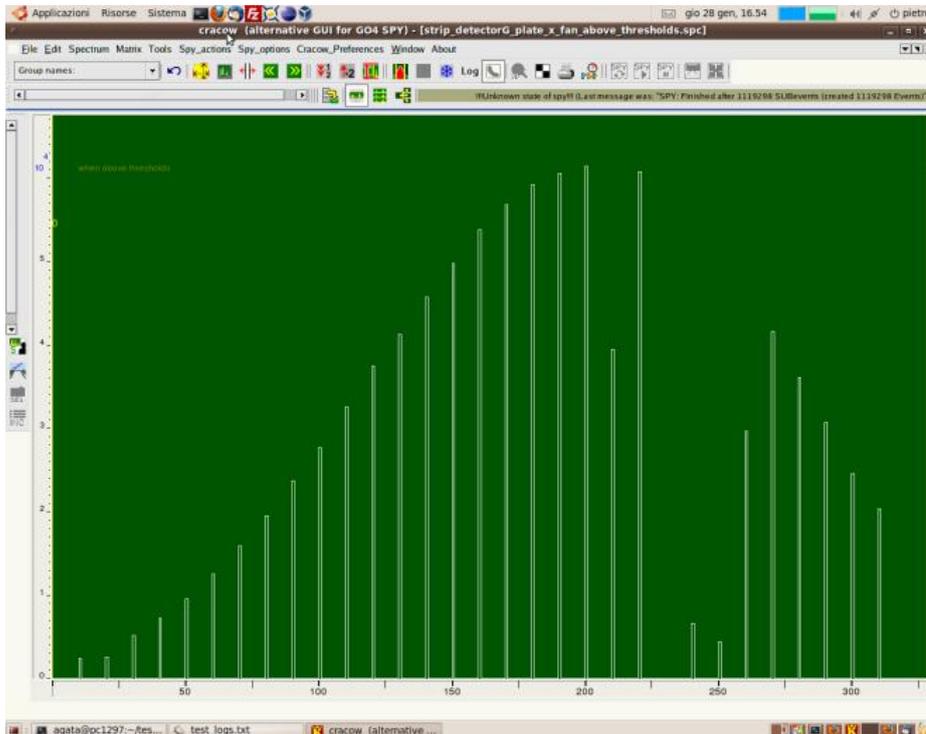


Figura 39 - Spettro di una sorgente multipla ottenuta con il rivelatore

## ***Distribuzione della sorgente***



**Figura 40 - Illuminazione del rivelatore da parte della sorgente**

La Figura 40 riporta il numero di conteggi per ciascuna delle strip ovvero l'area sottesa dalle gaussiane di fit dei tre picchi. Il profilo che si ricava corrisponde a quello tipico dell'emissione di una sorgente isotropa. La sorgente puntiforme è posizionata a circa 3 cm dal rivelatore largo 6.4 cm. I conteggi sono in numero maggiore per le strip che si trovano più vicino alla sorgente mentre i conteggi calano per le strip più lontane. Alcuni canali non hanno conteggi perché si tratta della misura fatta con il prototipo con chip montati precedentemente alla selezione, cioè con qualche canale non funzionante (vedi test selezione chip).

## ***Spettri bidimensionali***

La Figura 41 mostra gli spettri di alcune strip. Si può osservare la diversa natura della carica raccolta: nei sei spettri in alto, identificati con strip\_detectorH\_, sono raccolti elettroni e la scala di energia cresce al diminuire dei valori ADC (asse X, energia 0 corrisponde a 2048); nei tre spettri in basso, identificati con strip\_detectorG\_, sono raccolte lacune e la scala di energia cresce al crescere dei

valori ADC (anche in questo caso lo zero corrisponde a 2048). Il numero di conteggi riportato in ordinata mostra la diversa intensità relativa vista da ciascuna strip. Nel riquadro a destra si vede il grafico bidimensionale dei pixel formati dalla sovrapposizione delle strip. Il colore rappresenta una scala di conteggi. In questo caso specifico solo alcune delle zone del rivelatore hanno registrato un evento. La disposizione di queste zone è dovuta alla combinazione della maschera metallica davanti al rivelatore e della maschera software del trigger che abilitava solo tre gruppi di tre strip della faccia posteriore. La maschera metallica copre in X mentre il trigger è settato in Y.

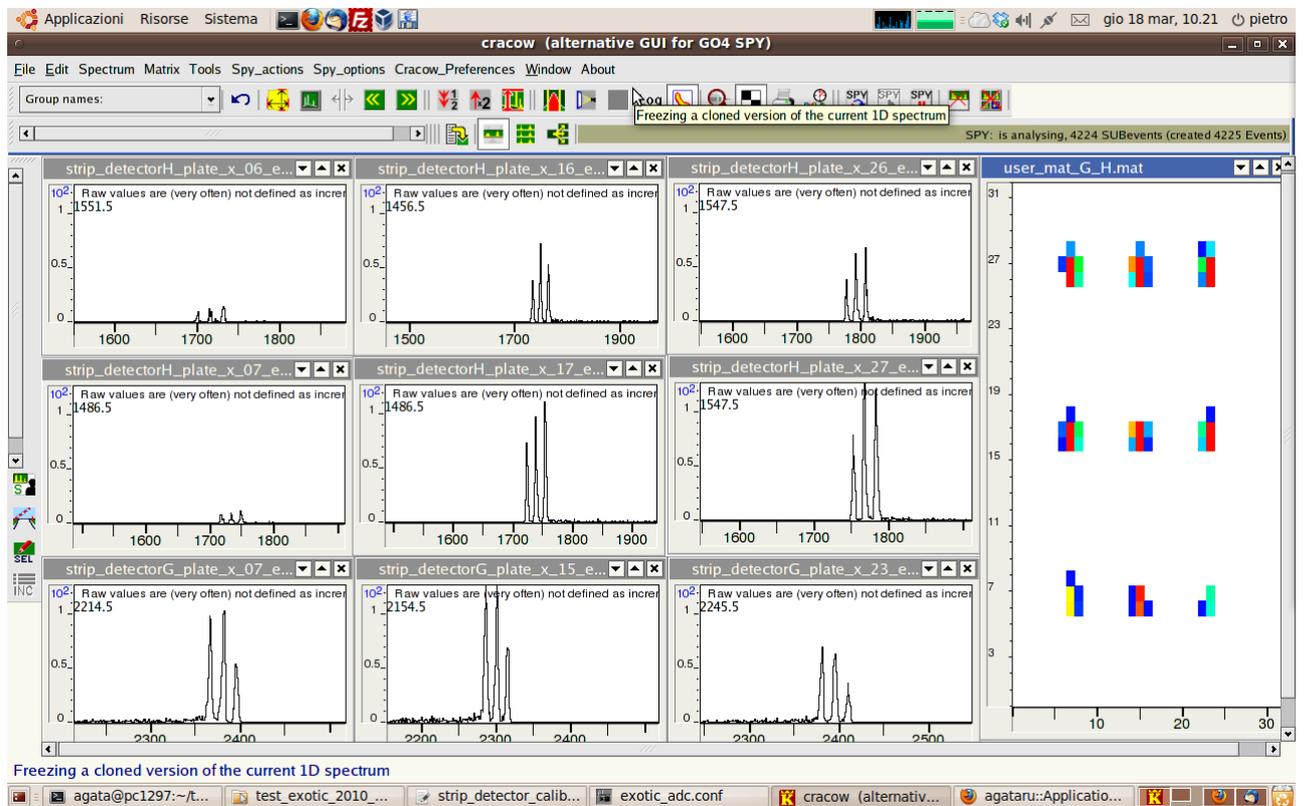


Figura 41 - Spettri di alcune strip di entrambe le facce e spettro bidimensionale di tutte le strip di un rivelatore

## Analisi rumore

Ci sono alcuni fenomeni che limitano la risoluzione della misura e che possiamo pensare come tanti contributi di rumore. Il modello in Figura 42 mostra i blocchi rumorosi che possiamo individuare. La modellizzazione fatta, sebbene molto semplificata, permette di individuare i contributi che le varie parti della catena danno al rumore complessivo. Questo permette di definire alcuni limiti alla misura e al tempo stesso suggerisce su quali fronti ottimizzare il sistema. Come vedremo, si possono ottenere indicazioni su come intervenire sia sull'hardware sia sul software di analisi.

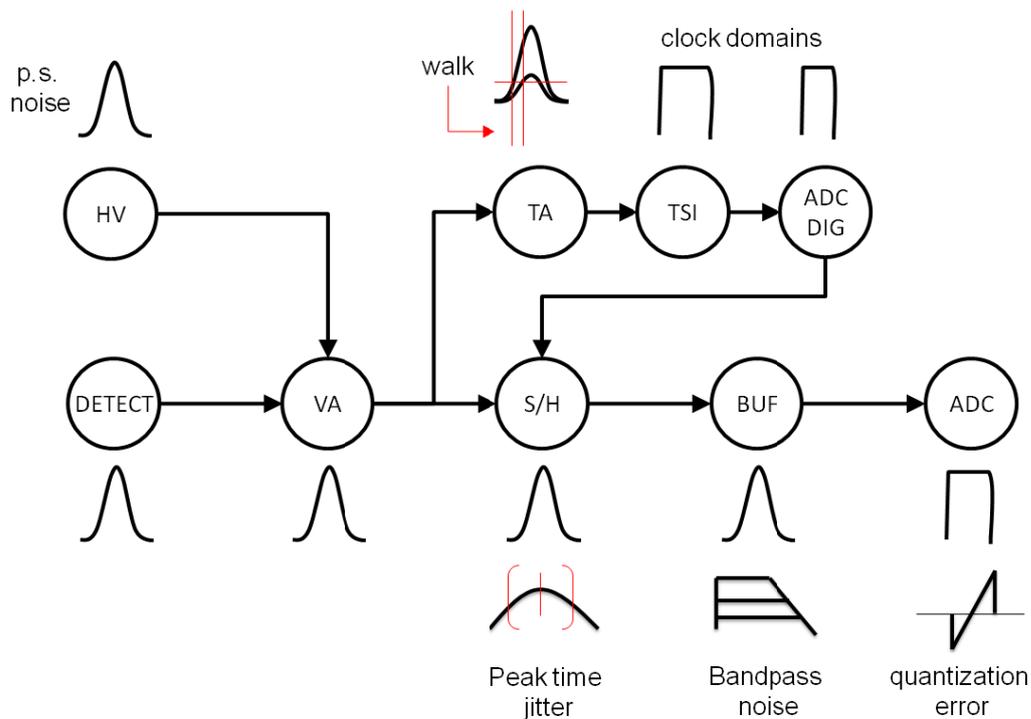


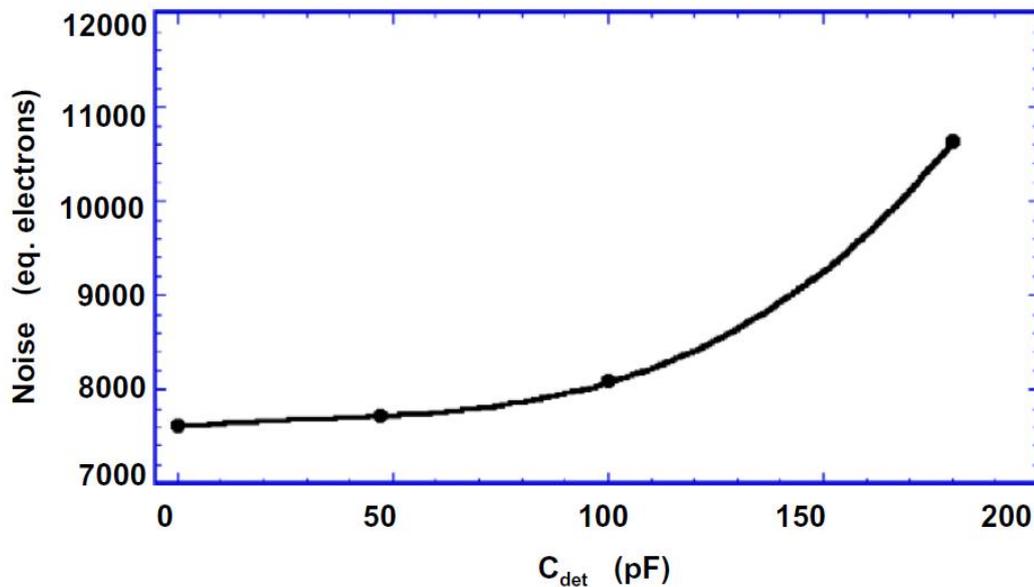
Figura 42 - Modello di rumore della catena di read-out

## Rivelatore

Il contributo di rumore del rivelatore è dovuto a molti fattori: tempo di collezione finito; impurità e difetti nel reticolo cristallino; differenza di velocità dei portatori, posizione di rilascio della carica. La natura stessa della formazione delle coppie elettrone-lacuna è un processo aleatorio. Il contributo complessivo alla temperatura di 0°C, secondo il costruttore, è di circa 55 keV.

## ***Elettronica***

Il VA contribuisce al rumore con una caratteristica che dipende dalla capacità di ingresso. La curva in Figura 43 mostra questa relazione che si ricava dalle specifiche. I valori di capacità dovuti alle strip, ai cavi in kapton e quelli delle capacità parassite sono stimate complessivamente in almeno 40 pF portando un contributo di rumore di circa 12 keV.



**Figura 43 - Rumore, in elettroni equivalenti, del chip VA rispetto alla capacità di ingresso**

La trasmissione del segnale amplificato dal buffer di uscita verso l'ADC introduce un rumore dipendente dal guadagno selezionato. La banda del segnale di uscita deve essere ampia in modo da limitare il settling time tra un canale e il successivo nella fase di read-out e fornire un segnale stabile all'ADC.

## ***Sistema di Trigger***

Il segnale d'ingresso viene mandato anche al TA che introduce un rumore sulla linea di trigger. L'effetto in questo caso si può pensare come un ritardo variabile nella generazione dei proposed triggers dipendente dal valore della soglia rispetto alla carica rilasciata. Il segnale di trigger viene poi ulteriormente ritardato in modo variabile per le sincronizzazioni dovute ai diversi domini di clock. Vi è una doppia sincronizzazione: la prima nel TSI che genera il global trigger; la seconda nell'ADC

che genera i singoli segnali di hold. Le due schede funzionano a frequenza di 20 MHz e di 50 MHz rispettivamente. L'effetto complessivo è di jitter del segnale di hold rispetto a quello di trigger come mostrato in Figura 44 (con persistenza infinita dell'oscilloscopio). Questo effetto può essere pensato come distribuzione uniforme del momento di hold del picco nel formatore lento. L'incertezza nel tempo di hold di circa 100ns incide per meno dell'1% come deficit rispetto al valore di picco.

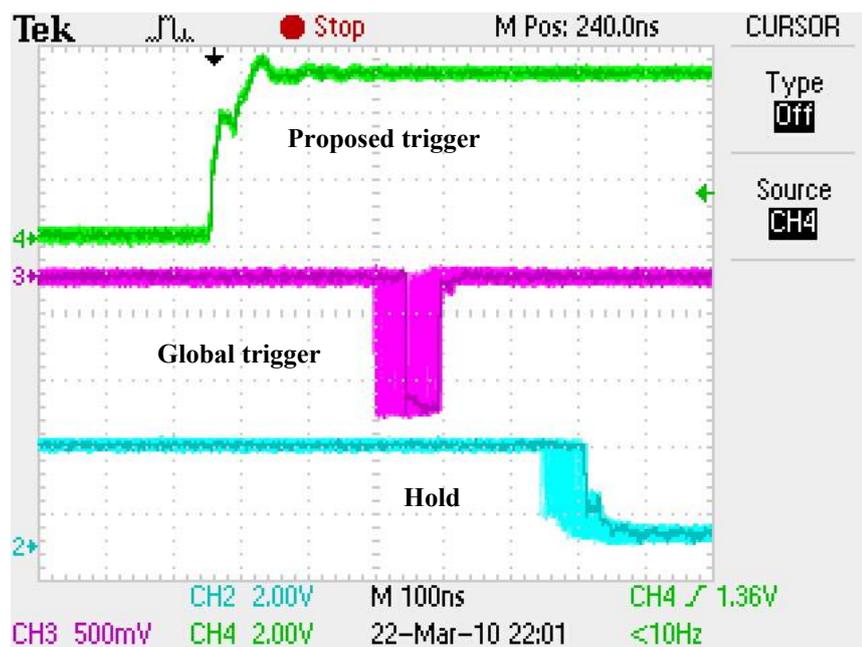


Figura 44 - Jitter dei segnali di trigger

## ADC e Software

L'ADC complessivamente ha un errore di quantizzazione misurato inferiore ad 1 LSB e quindi, a seconda del fondo scala selezionato sulle schede VATA\_NA-PD, darà un contributo diverso al rumore. La frequenza di campionamento scelta (50MHz) permette un sovra-campionamento dello stream di carica. Rispetto al clock di lettura del VA vengono campionati 8 valori dove il segnale dovrebbe essere stabile. Di questi otto è possibile selezionarne solo alcuni e farne la media con il programma di analisi. Inoltre alcune tecniche di correzione software della linea di base consentono di ridurre gli effetti di modo comune che agiscono come rumori a bassa frequenza sovrapposti al segnale utile.

## Alimentazione

Uno degli aspetti critici del rumore è da sempre quello legato alle alimentazioni. Nel nostro caso abbiamo valutato l'impatto sulle performance sia per la parte di polarizzazione del silicio sia per le alimentazioni dei chip. Per il silicio abbiamo a disposizione un alimentatore a batterie che genera fino a 100 V e 10 mA e che consente, quindi, di fare delle misure in condizioni ottimali per limitare il rumore. Purtroppo l'autonomia di funzionamento di circa 48 ore non ne permette un uso in fase di esperimento, spesso della durata di molti giorni, ma solo per il test. Per l'esperimento è previsto l'utilizzo di un generatore HV commerciale (con uscite a doppio stadio: preregolatore switching e regolatore lineare).

Per la parte in bassa tensione siamo in una condizione simile ovvero confrontiamo un alimentatore da laboratorio a basso rumore con uno "equivalente commerciale". La comparazione fatta del rumore è visibile nella Figura 45 che mostra le differenze ottenute nelle varie modalità. La stima del rumore equivalente dovuto alle alimentazioni è di circa 40 keV. A seguito dei risultati è stato deciso di costruire un modulo di interconnessione tra schede di alimentazione e apparato sperimentale che contenesse dei filtri. Test futuri dovranno verificare l'efficacia dei filtri progettati.

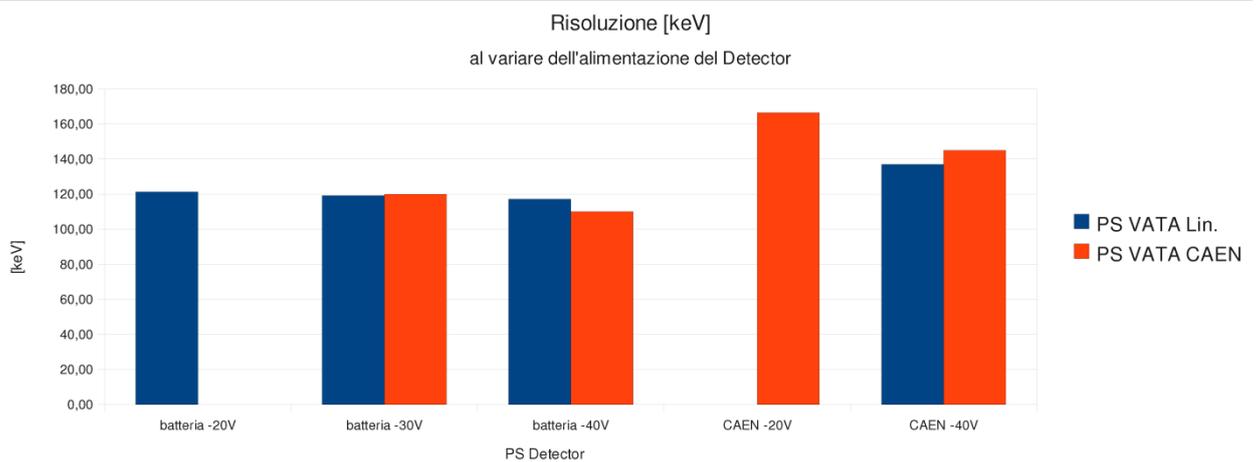


Figura 45 - Effetto sulla risoluzione dei diversi sistemi di alimentazione

La tabella seguente riassume i contributi di rumore che sommati quadraticamente danno un limite inferiore alla risoluzione di circa 71 keV.

Come si nota il valore dipende soprattutto dal detector e dal sistema di alimentazione. L'ADC pesa in relazione al fondo scala selezionato dal guadagno del buffer di uscita che quindi va scelto opportunamente.

Il valore tipico di risoluzione di 82 keV che abbiamo ottenuto è dunque un ottimo risultato.

Detector	HV	VA	S/H*	TA	TSI	ADC DIG	BUF	ADC	MeV f.s.	risoluzione
55	40	12	2.1	0.31	1.86	0.93	12	15.1	31	71.7
55	40	12	4.4	0.65	3.9	1.95	10	31.7	65	76.8
55	40	12	8.9	1.31	7.86	3.93	7	64	131	94.8
55	40	12	11.1	1.64	9.84	4.92	5	80	164	106.4

**Tabella 3 - Contributi di rumore, in keV, sulla risoluzione del sistema. \*Il valore di S/H è la somma dei tre contributi di TA, TSI e ADC digital.**

## ***Conclusioni***

Durante questa esperienza di tirocinio è stato possibile seguire tutte le fasi di sviluppo dell'elettronica di front-end dell'esperimento EXPADES, dalle fasi di progettazione a quella di misura sperimentali. L'utilizzo di un chip ASIC nella progettazione dell'apparato ha permesso di realizzare in tempi brevi un rivelatore dalla geometria compatta e versatile. Il sistema ha ottenuto le prestazioni di risoluzione necessarie allo studio dei fenomeni nucleari di interesse per la collaborazione. Una volta completato l'apparato con l'arrivo di tutti i rivelatori ed il setup definitivo, nella sala sperimentale dell'acceleratore Tandem presso i Laboratori Nazionali di Legnaro, inizierà la raccolta dati. La fase di analisi consentirà di comprendere meglio le caratteristiche complessive del sistema e probabilmente di migliorare ulteriormente le prestazioni fino al limite teorico individuato.



## Appendice A- Dettaglio chip VA e TA

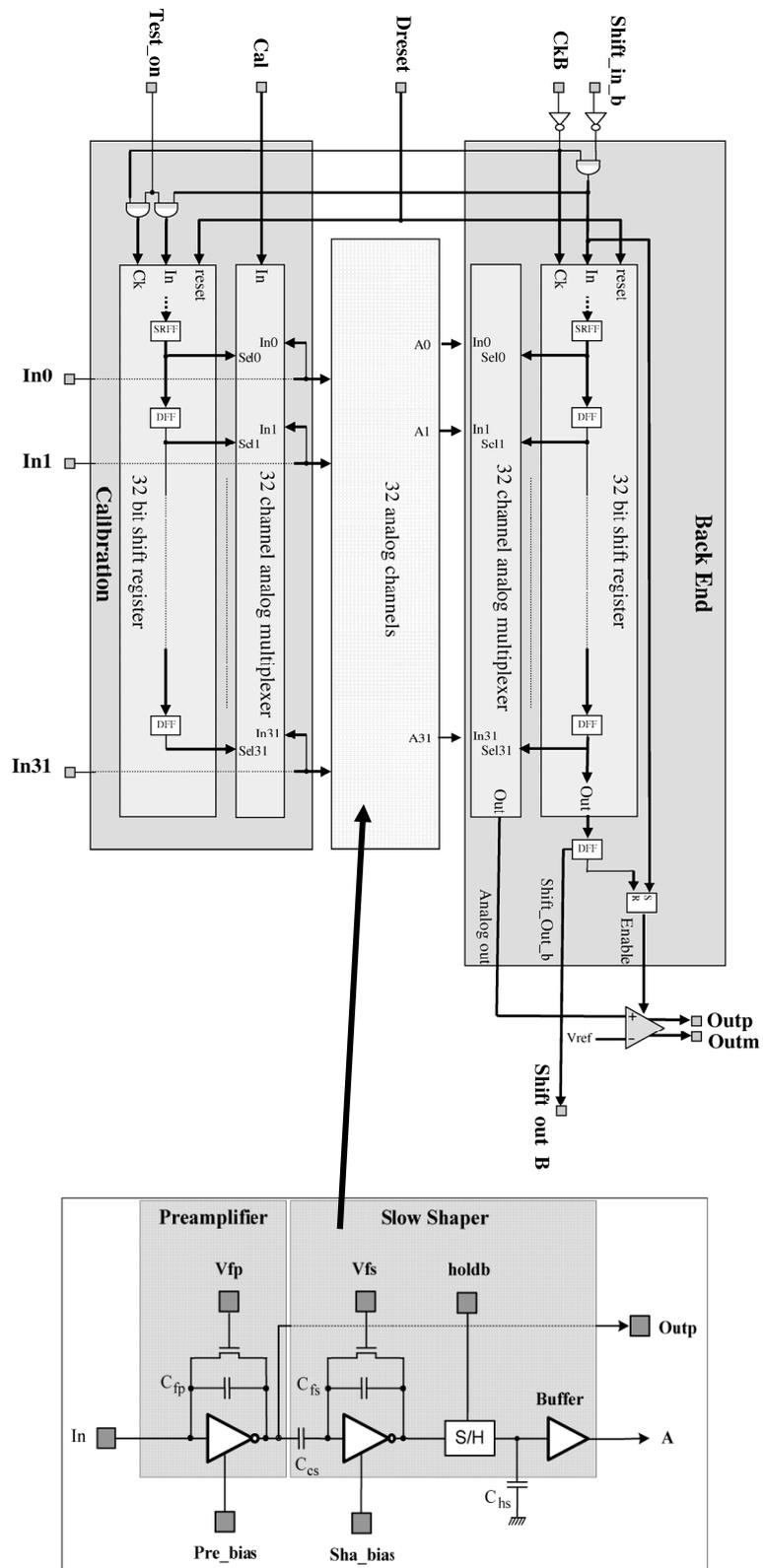


Figura 46 - Schema funzionale del chip VA32HDR14.2

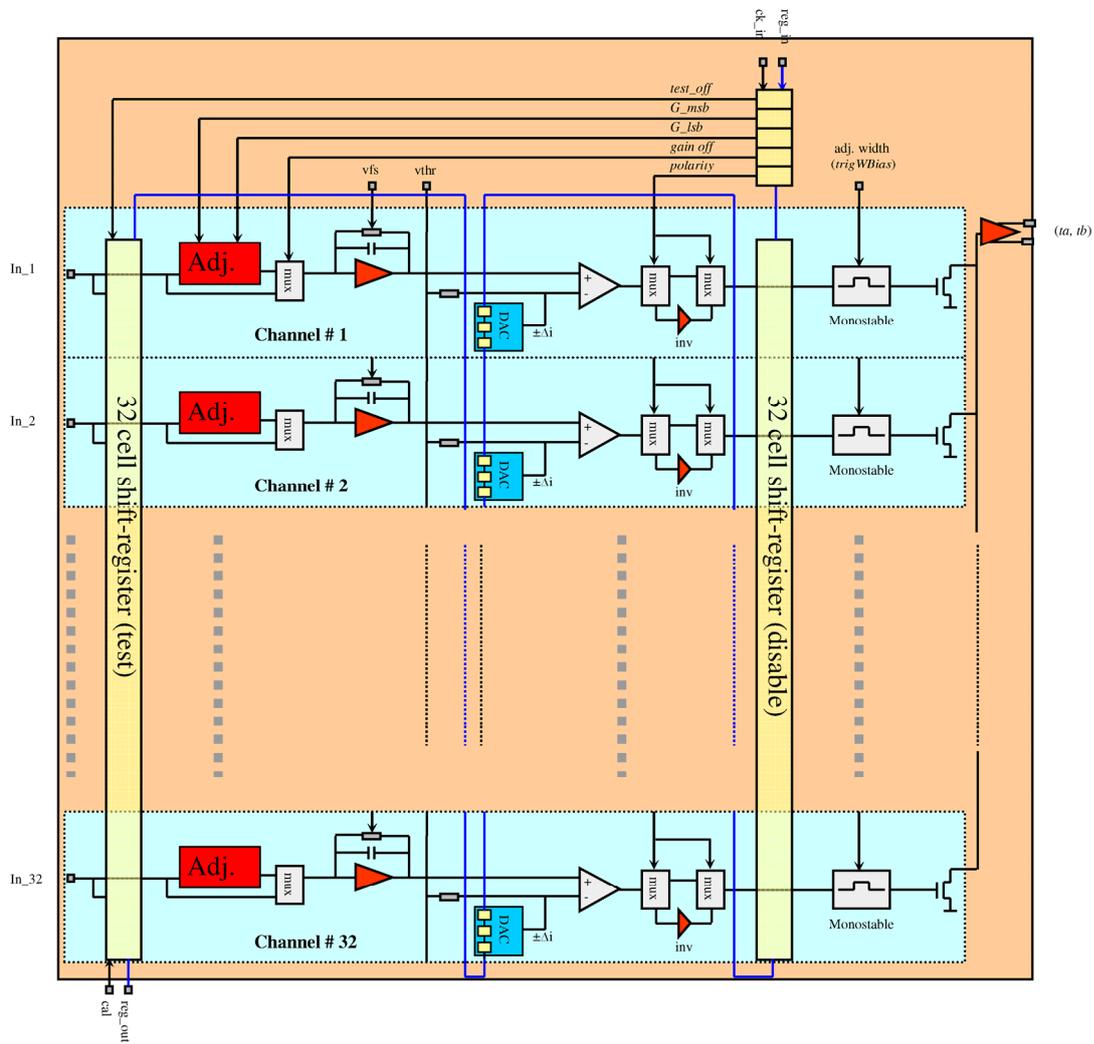
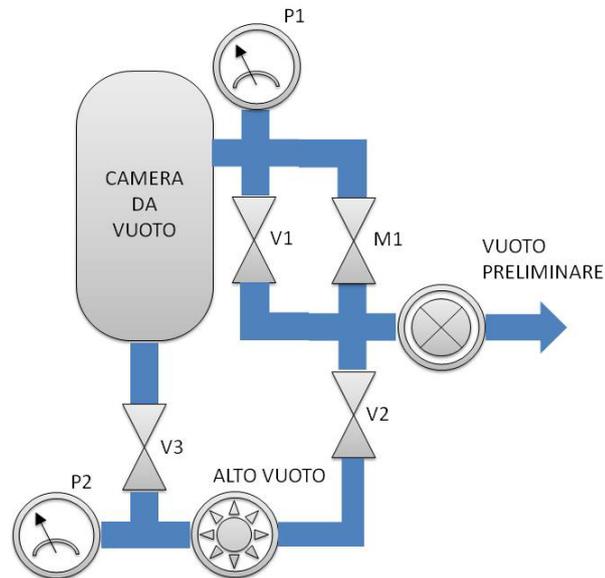


Figura 47 - Schema funzionale del chip TA32CG3

## Appendice B- Camera di test



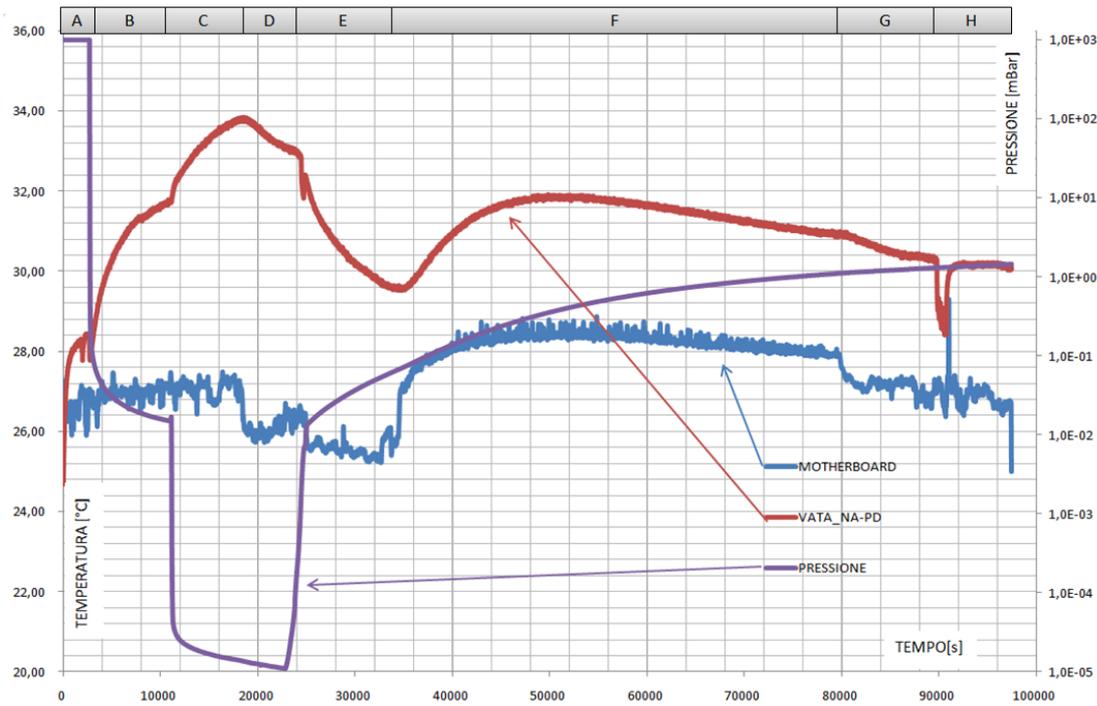
La camera da vuoto usata in esperimento prevede un sistema di pompaggio a due stadi in modo da poter raggiungere pressioni dell'ordine di  $10^{-5}$  mBar. Lo svuotamento avviene attivando opportunamente le valvole manuali (M1) e pneumatiche (V1, V2 e V3). Il controllo della pressione avviene attraverso due sensori P1(Pirani) e P2 (full range).

### Raffreddamento

Per trasferire all'esterno della camera da vuoto il calore generato dall'elettronica è previsto un sistema di raffreddamento. Il trasferimento del calore avviene attraverso dell'acqua che è fatta circolare e mantenuta alla temperatura di circa  $4^{\circ}\text{C}$  da un chiller che ha una potenza frigorifera di circa  $1000 \frac{\text{W}}{\text{h min}}$ . Il circuito di raffreddamento è composto da una serie di scambiatori di calore ciascuno collegato ad una cella peltier. Le singole celle peltier sono poi collegate alla struttura di supporto dei rivelatori e al supporto della MB. Ogni cella peltier è in grado di assorbire 40W termici sotto un salto di temperatura di circa  $15^{\circ}\text{C}$ , sufficiente a portare il rivelatore a lavorare ad una temperatura alla quale la corrente inversa dovuta alla polarizzazione incide poco sul rumore totale. Tutti i blocchi sono ampiamente sovradimensionati rispetto al calore da smaltire, per garantire anche in caso di guasto di un singolo elemento di non danneggiare il detector.

## Monitoraggio temperatura e pressione

La Figura 48 riporta il valore della temperatura (in rosso) di una scheda VATA\_NA-PD misurato con il sensore I2C, della MotherBoard (in blu) misurato con una sonda PT100 e della pressione (in viola) all'interno della camera da vuoto registrati durante uno dei primi test durato circa 27 ore.



**Figura 48 - Monitoraggio temperatura e pressione del sistema**

L'asse delle ascisse riporta il tempo in secondi dall'accensione e lo possiamo suddividere nei seguenti intervalli:

- A: Accendendo il sistema a pressione ambiente la temperatura parte da 24°C per la scheda VATA\_NA-PD e da 26°C per la MB e sale fino a 28°C per la VATA\_NA-PD e a circa 27 per la MB.
- B: inizia la fase di pre-vuoto con la pompa rotativa. Le temperature salgono a 32°C per la VATA\_NA-PD mentre rimane stabile per la MB.
- C: viene accesa la turbo che porta la pressione verso i  $10^{-5}$  mBar. La temperatura della VATA\_NA-PD sale a 34°C.
- D: viene acceso la pompa del chiller (raffreddatore spento) che fa solo circolare l'acqua che inizia a raffreddare VATA\_NA-PD e MB. Il sistema di acquisizione viene messo in run continuo e la MB aumenta un po' la sua

temperatura. Questa fase è quella più simile alle condizioni di utilizzo previste in esperimento dove però la temperatura del chiller è fissata a 5°C.

- E: la pompa turbo viene spenta e la camera torna alla pressione creata dalla rotativa che viene anch'essa spenta. La temperatura delle schede si abbassa.
- F: Qui si vede un incremento delle temperature dovuto allo spegnimento notturno della climatizzazione della stanza.
- G: La climatizzazione del locale riprende al mattino e la temperatura torna a scendere.
- H: Alla fine del test di misura a temperatura ambiente, per verificare la potenza di raffreddamento complessiva del sistema, vengono accesi il compressore del chiller (temperatura impostata a 5°C) ed i peltier, che iniziano ad abbassare velocemente la temperatura della scheda VATA\_NA-PD. Il sistema però viene spento, dal sistema automatico di monitoraggio e protezione dalla sovra-temperatura, per la strana deriva del sensore PT100 appoggiato alla MB e la temperatura ritorna all'andamento dell'intervallo G.



## ***Bibliografia***

1. **Lilley, John.** *Nuclear Physics - Principles and Applications*: John Wiley & Sons Ltd, (Chichester, 2001).
2. **Benvenuto, Nevio et al.** *Communication Systems*: John Wiley & Sons Ltd, (Padova, 2007).
3. **Knoll, Glenn Frederick.** *Radiation Detection and Measurement*: John Wiley & Sons Inc, (Michigan, 1989).
4. **Altera.** datasheet MaxII Coolrunner. [Online] <http://www.altera.com>
5. **IDEAS-Gamma Medica.** datasheet chip VA32HDR14.2 e TACG3. [Online] <http://www.ideas.no>
6. **Istituto Nazionale Fisica Nucleare (INFN).** [Online] <http://www.infn.it>
7. **Jaeger, Richard e Travis, Blalock.** *Microelettronica*. McGraw-Hill, (Milano 2005).
8. **E.V. Atkin, A.G. Voronin, et al.** *An Integrated Circuit for Reading out Signals of Silicon Detectors*. 2010, Instruments and Experimental Techniques, p. Vol. 53, No. 2, pp. 213–223.
9. **Prokhorets, I. M., S.I.Prokhorets e A.V.Torgovkin.** *Depletion Voltage of a Silicon Microstrip Detector*. 2003, Instruments and Experimental Techniques, p. Vol 46, No. 2, pp 162-163.
10. **Romoli M. et al.** *EXPADES : A new detection system for charged particles in experiments with RIBs*. 2008, Nuclear Instruments and Methods in Physics Research B 266, p. 4637–4642.
11. **Romoli M. et al.** Energy resolution and linearity test of the EXPADES detection system . *Annual Report LNL*. 2009, p. 101-102.
12. **Micron Semiconductor Ltd.** BB7-300 E QQQ2 specifications. [Online] <http://www.micronsemiconductor.co.uk/>.
13. **Valentino M.** The Trigger Supervisor Board for the EXPADES apparatus front-end. *Annual Report LNL*. 2009, p. 101-102



## ***Ringraziamenti***

Un sentito ringraziamento al Professor Nicolosi e al Professor Signorini per il supporto e la grande disponibilità durante tutto il periodo di tesi.

Un grazie va a tutta la collaborazione Expades per tutti i momenti, di lavoro e non, vissuti assieme nei mesi di sviluppo dell'apparato. Confrontarmi con tutti voi è stato molto interessante. Un grazie particolare a Mauro, Ciro, Paolo, Pietro e Marco. Ovviamente un grazie va anche a tutti i miei colleghi di laboratorio che hanno partecipato con me alla realizzazione del sistema, ciascuno per le proprie competenze.

Infine ringrazio la Sezione di Padova dell'INFN e il Direttore Professor Antonio Masiero, per consentirmi di svolgere, tutti i giorni, un lavoro stimolante e innovativo nel mondo della ricerca pubblica.

A Elena tutto il mio amore, con l'impegno di recuperare tutto quanto abbiamo rimandato in questi anni di università.