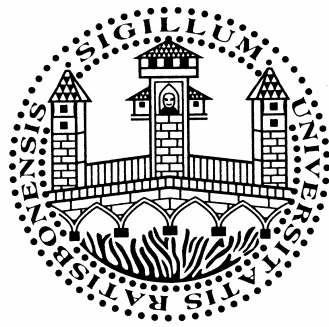


**Beiträge zum ferroelektrischen  
Transistor und zu dessen Integration  
in nicht-flüchtige Speicher**



Dissertation zur Erlangung des Doktorgrades  
der Naturwissenschaften (Dr. rer. nat.)  
der naturwissenschaftlichen Fakultät II – Physik  
der Universität Regensburg

**vorgelegt von**

**Thomas Haneder aus Ramspau**

**2005**

Die Arbeit wurde von Prof. Dr. H. von Philipsborn angeleitet.  
Das Promotionsgesuch wurde am 5. Januar 2005 eingereicht.  
Das Kolloquium fand am 28. Juni 2005 statt.

Prüfungsausschuss:

Vorsitzender:	Prof. Dr. D. Strauch
1. Gutachter:	Prof. Dr. H. von Philipsborn
2. Gutachter:	Prof. Dr. R. Waser
weiterer Prüfer:	Prof. Dr. M. Maier

**Inhaltsverzeichnis**

<b>Verzeichnis der Abbildungen und Tabellen .....</b>	<b>III</b>
<b>Verzeichnis der Abkürzungen und Symbole .....</b>	<b>VI</b>
<b>1 Einleitung.....</b>	<b>1</b>
<b>2 Halbleiterspeicher.....</b>	<b>5</b>
2.1 Eigenschaften und Anwendungen konventioneller Halbleiterspeicher .....	6
2.2 Ferroelektrische Speicherkonzepte im Vergleich .....	9
2.2.1 Speicherzellen aus Transistoren und Kondensatoren .....	9
2.2.2 Nicht-zerstörendes Auslesen der Information .....	12
2.2.3 Erweiterte Speicherzellen .....	14
2.2.4 Ferroelektrische Transistoren .....	15
<b>3 Der MOSFET und der MFISFET .....</b>	<b>19</b>
3.1 Der MOS-Transistor .....	19
3.2 Spannungen und Ströme am MOSFET .....	20
3.3 Der Übergang zum MFISFET .....	24
<b>4 Konzepte für ferroelektrische Feldeffekttransistoren.....</b>	<b>29</b>
4.1 Ferroelektrikum direkt auf dem Substrat – der MFSFET .....	30
4.2 Ferroelektrikum mit dielektrischer Zwischenschicht zum Substrat – der MFISFET ...	33
4.3 „Floating Gate“ Transistoren – der MFMISFET .....	35
<b>5 Alternative Gate-Dielektrika – CeO<sub>2</sub>.....</b>	<b>39</b>
5.1 Die dielektrische Schicht beim MOSFET und beim MFISFET .....	39
5.2 Anforderungen an ein alternatives Dielektrikum beim MFISFET .....	40
5.2.1 Dielektrische Schicht und Betriebsspannung .....	40
5.2.2 Bandabstand, Flächenladungsdichte und Depolarisationseffekte .....	44
<b>6 Die ferroelektrische Schicht – Strontium-Wismut-Tantalat.....</b>	<b>49</b>
6.1 Dipolmoment von Kristallen .....	49
6.2 Ferroelektrische Kristalle .....	50
6.3 Kenngrößen der ferroelektrischen Schicht .....	53
<b>7 Experimentelle Ergebnisse mit CeO<sub>2</sub>.....</b>	<b>57</b>
7.1 Auswahl alternativer Dielektrika - CeO <sub>2</sub> -Kondensatoren .....	57
7.1.1 Siliziumnitrid (Si <sub>3</sub> N <sub>4</sub> ) .....	58
7.1.2 Barium-Strontium-Titanat (Ba, Sr)TiO <sub>3</sub> bzw. Ba <sub>1-x</sub> Sr <sub>x</sub> TiO <sub>3</sub> .....	58
7.1.3 CeO <sub>2</sub> und ZrO <sub>2</sub> .....	59
7.2 Abscheidung von CeO <sub>2</sub> auf Silizium .....	61
7.3 Charakterisierung von CeO <sub>2</sub> auf Silizium und CeO <sub>2</sub> /Si-Kondensatoren .....	64

<b>8</b>	<b>Experimentelle Ergebnisse mit SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> auf CeO<sub>2</sub></b>	<b>73</b>
8.1	Auswahl des ferroelektrischen Materials	73
8.2	Abscheidung von SBT auf CeO <sub>2</sub>	75
8.3	Charakterisierung von SBT auf CeO <sub>2</sub> und SBT/CeO <sub>2</sub> -Kondensatoren	77
8.4	Elektrische Charakterisierung von Pt/SBT/CeO <sub>2</sub> /Si-Kondensatoren	81
8.4.1	Vorbereitung der Proben	81
8.4.2	C(U)-Messungen	82
8.4.3	Verschiebung der C(U)-Kurven - das Memory Window	84
8.4.3.1	Einfluss der Schichtdicken auf das Memory Window	85
8.4.3.2	Einfluss der Temperatur auf das Memory Window	92
8.4.3.3	Weitere Ergebnisse - TEM-Untersuchung und Simulation	94
8.4.4	Messungen an Pt/SBT/Pt- und Pt/SBT(CeO <sub>2</sub> )/Pt-Kondensatoren	98
<b>9</b>	<b>Integration des MFISFET</b>	<b>107</b>
9.1	Transistorspeicher - der Floating-Gate-Transistor	107
9.2	Der ferroelektrische Transistor als Speicher	110
9.3	Zellkonzepte	113
9.3.1	Ein NOR-Speicher auf Basis des ferroelektrischen Transistors	113
9.3.2	Ein Speicher auf Basis eines erweiterten Transistors – Integration einer Diode	117
9.4	Varianten und zusätzliche Möglichkeiten	122
9.4.1	Die LOCOS-Struktur	123
9.4.2	Ein ferroelektrischer MESFET	124
9.4.3	Der Streufeld-Transistor	126
9.5	Ergänzende und abschließende Bemerkungen	128
	<b>Zusammenfassung</b>	<b>131</b>
	<b>Literaturverzeichnis</b>	<b>137</b>
	<b>Danksagung</b>	<b>145</b>
	<b>Erklärung</b>	<b>147</b>
	<b>Veröffentlichungen und Patente</b>	<b>149</b>

## Verzeichnis der Abbildungen und Tabellen

Abbildung 2.1: Überblick über die wichtigsten Arten von Halbleiterspeichern und ihre Einteilung.....	6
Abbildung 2.2: Gemessene Hysteresekurve einer ferroelektrischen Schicht.....	10
Abbildung 2.3: Ferroelektrische Speicherzelle aus einem MOS-Transistor und einem dazu in Serie geschalteten ferroelektrischen Kondensator.....	11
Abbildung 2.4: Ferroelektrische Speicherzelle aus einem MOS-Transistor und einem am Gate angeschlossenen ferroelektrischen Kondensator.....	12
Abbildung 2.5: Ferroelektrische Speicherzelle aus zwei MOS-Transistoren und einem ferroelektrischen Kondensator.....	14
Abbildung 2.6: Ferroelektrische Speicherzelle aus zwei MOS-Transistoren, einem Widerstand und einem ferroelektrischen Kondensator.....	15
Abbildung 2.7: „Elementarzelle“ eines ferroelektrischen Speichers.....	16
Abbildung 3.1: Vereinfachte Darstellung eines planaren n-Kanal MOSFET mit Anschlüssen für Source, Drain, Gate und Substrat.....	19
Abbildung 3.2: Gemessenes Ausgangskennlinienfeld (Drain-Strom $I_{DS}$ versus Drain-Spannung $U_{DS}$ für unterschiedliche Gate-Source-Spannungen) eines n-Kanal Enhancement-Transistors.....	21
Abbildung 3.3: Vereinfachte Darstellung eines planaren n-Kanal MOSFET in unterschiedlichen Arbeitsbereichen, d.h. bei verschiedenen Spannungen $U_{DS}$ .....	23
Abbildung 3.4: Logarithmische (Transferkennlinie) und lineare Auftragung des gemessenen Drain-Stroms $I_D$ gegen die Gate-Spannung $U_G$ für einen n-Kanal Enhancement-Transistor.....	24
Abbildung 3.5: Aufbau eines Feldeffekttransistors, dessen Gate eine ferroelektrische Schicht enthält.....	25
Abbildung 4.1: Skizze von drei möglichen Typen eines ferroelektrischen Transistors.....	29
Abbildung 4.2: Skizze eines Feldeffekttransistors, bei dem sich die ferroelektrische Schicht direkt auf dem Substrat befindet.....	31
Abbildung 4.3: Skizze eines Feldeffekttransistors, bei dem die ferroelektrische Schicht vom Substrat durch eine dielektrische Schicht getrennt ist.....	33
Abbildung 4.4: Skizze eines Feldeffekttransistors, bei dem die ferroelektrische Schicht zwischen zwei Metallelektroden liegt.....	35
Abbildung 5.1: Idealisieretes Ersatzschaltbild der Serienschaltung von Kapazitäten für einen MFISFET.....	41
Abbildung 5.2: Aufbau eines Feldeffekttransistors, dessen Gate eine ferroelektrische Schicht enthält.....	42
Abbildung 5.3: Skizze zur Abhängigkeit der Flächenladungsdichte vom Oberflächen-potenzial im Halbleiter einer MOS-Diode.....	46
Abbildung 6.1: Darstellung der Kristallstruktur von Strontium-Wismut-Tantalat, $SrBi_2Ta_2O_9$ , abgekürzt SBT.....	51
Abbildung 6.2: Berechnete Darstellung der Potenzialfunktion.....	52
Abbildung 6.3: Vereinfachte Darstellung einer Sawyer-Tower-Schaltung.....	53
Abbildung 6.4: Hysteresekurve eines ferroelektrischen Kondensators mit $SrBi_2Ta_2O_9$ und Platin-Elektroden für verschiedene Spannungen.....	54
Abbildung 7.1: Schichtdicke, dielektrische Konstante der gesamten Schicht und errechnete Dicke der parasitären $SiO_2$ -Schicht für einige $CeO_2$ - und $ZrO_2$ -Schichten auf Silizium-Substrat.....	60
Abbildung 7.2: Übersicht über den Prozessablauf bei der Herstellung der $CeO_2$ -Schichten und die verwendeten Parameter.....	62
Abbildung 7.3: Abhängigkeit der Schichtdicke von der beim Spin-Coating verwendeten Drehzahl für $CeO_2$ - und $ZrO_2$ -Schichten.....	62

Abbildung 7.4: Abhängigkeit der CeO <sub>2</sub> -Schichtdicke von der Konzentration der beim Spin-Coating verwendeten Precursor-Lösung bei vier verschiedenen Versuchen .....	64
Abbildung 7.5: Röntgenbeugungsanalyse einer 20 nm dicken CeO <sub>2</sub> -Schicht auf Silizium.....	65
Abbildung 7.6: Skizze der untersuchten Pt/CeO <sub>2</sub> /Si-Kondensatoren.....	65
Abbildung 7.7: C(U)-Messungen an Pt/CeO <sub>2</sub> /Si-Kondensatoren unterschiedlicher Oxid-Dicke .....	66
Abbildung 7.8: Extrapolierte und gemessene Kapazität von Pt/CeO <sub>2</sub> /Si-Kondensatoren unterschiedlicher Oxid-Dicke .....	68
Abbildung 7.9: Gemessene Kapazität von Pt/CeO <sub>2</sub> /Si-Kondensatoren nach unterschiedlicher Temperaturbehandlung .....	69
Abbildung 7.10: Gemessene Leckströme (Betrag) durch Pt/CeO <sub>2</sub> /Si-Kondensatoren unterschiedlicher Dicke.....	70
Abbildung 8.1: Übersicht über den Prozessablauf bei der Herstellung der SBT-Schicht und die verwendeten Parameter .....	76
Abbildung 8.2: Röntgenbeugungsanalyse einer 180 nm dicken SBT-Schicht auf 20 nm CeO <sub>2</sub> auf Silizium (100) .....	77
Abbildung 8.3: Röntgenbeugungsanalyse einer 180 nm dicken SBT-Schicht auf einer 20 nm dicken CeO <sub>2</sub> -Schicht bei unterschiedlichen Temperaturen.....	78
Abbildung 8.4: Mit einem Rasterelektronenmikroskop (REM) aufgenommene Bilder von SBT auf CeO <sub>2</sub> (in Aufsicht) .....	79
Abbildung 8.5: Skizze der untersuchten Pt/SBT/CeO <sub>2</sub> /Si-Kondensatoren .....	81
Abbildung 8.6: C(U)-Messungen an Pt/SBT/CeO <sub>2</sub> /Si-Kondensatoren unterschiedlicher Ceroxid-Dicke .....	83
Abbildung 8.7: Simulierte C(U)-Kurve für MOS-Dioden auf Silizium.....	86
Abbildung 8.8: Kapazität von Pt/CeO <sub>2</sub> /Si- und Pt/SBT/CeO <sub>2</sub> /Si-Kondensatoren aufgetragen gegen die Dicke der CeO <sub>2</sub> -Schicht.....	87
Abbildung 8.9: Abhängigkeit des durch C(U)-Messungen ermittelten Memory Window von der bei dieser Messung angelegten Spannung.....	89
Abbildung 8.10: C(U)-Messung an einem Pt/SBT/CeO <sub>2</sub> /Si-Kondensator mit einer SBT-Schichtdicke von ca. 400 nm und einer Ceroxid-Schichtdicke von etwa 20 nm .....	91
Abbildung 8.11: Gemessene Leckströme (Betrag) durch Pt/SBT/CeO <sub>2</sub> /Si-Kondensatoren unterschiedlicher Dicke.....	92
Abbildung 8.12: Abhängigkeit der Kapazität (gemessen in Inversion) und des Memory Window eines Pt/SBT/CeO <sub>2</sub> /Si-Kondensators (MFIS-Struktur) von der Anneal-Temperatur der SBT-Schicht.....	93
Abbildung 8.13: TEM-Aufnahme eines Pt/SBT/CeO <sub>2</sub> /Si-Kondensators.....	95
Abbildung 8.14: Ausschnitt aus der TEM-Aufnahme eines Pt/SBT/CeO <sub>2</sub> /Si-Kondensators aus Abbildung 8.13 aus .....	95
Abbildung 8.15: EDX-Analyse des in Abbildung 8.13 gezeigten Pt/SBT/CeO <sub>2</sub> /Si-Kondensators .....	96
Abbildung 8.16: ESI-Analyse der dielektrischen Zwischenschicht in einem Pt/SBT/CeO <sub>2</sub> /Si-Kondensator .....	97
Abbildung 8.17: Gemessene und simulierte C(U)-Kurve eines Pt/SBT/CeO <sub>2</sub> /Si-Kondensator ..	98
Abbildung 8.18: Abhängigkeit der remanenten Polarisierung von Pt/SBT/Pt-Kondensatoren von der Spannung.....	100
Abbildung 8.19: Abhängigkeit der Koerzitivfeldstärke von Pt/SBT/Pt-Kondensatoren von der Spannung.....	101
Abbildung 8.20: Hysteresekurven von Pt/SBT/Pt-Kondensatoren bei kleiner Spannung .....	102
Abbildung 8.21: Hysteresekurven von Pt/SBT/Pt-Kondensatoren bei großer Spannung .....	103
Abbildung 8.22: Leckströme durch Pt/SBT/Pt-Kondensatoren; Parameter ist wieder der Cer-Anteil in der SBT-Schicht.....	103
Abbildung 9.1: Einfache Darstellung einer NAND- (links) und einer NOR-Anordnung (rechts) .....	108
Abbildung 9.2: Einfluss einer Gate-Source- bzw. Gate-Substrat-Spannung U <sub>GS</sub> auf die Änderung des ‚gespeicherten‘ Kanalstromes  Δ I <sub>DS</sub>   .....	110

Abbildung 9.3: Ferroelektrische Polarisation im Gate eines ferroelektrischen MFIS-Transistors in Abhängigkeit von der Gate-Source-Spannung .....	112
Abbildung 9.4: Schematische Darstellung der unterschiedlichen Kapazitäten am Gate des ferroelektrischen Transistors.....	113
Abbildung 9.5: Darstellung der Ladung $Q_G$ am Gate einer MIS-Diode oder eines entsprechenden Transistors gegen die Gate-Substrat-Spannung $U_{GS}$ .....	115
Abbildung 9.6: Ferroelektrische Polarisation im Gate eines MFIS-Transistors in Abhängigkeit von der Gate-Source-Spannung $U_{GS}$ .....	116
Abbildung 9.7: Unterschiedliche Stromantworten des ferroelektrischen Transistors in Abhängigkeit von Gate-Source-Spannung $U_{GS}$ und der Polarisation der ferroelektrischen Schicht .....	116
Abbildung 9.8: Skizze (nicht maßstäblich) eines ferroelektrischen Transistors mit kombiniertem Speicher-Auswahl-Gate und integriertem pn-Übergang.....	118
Abbildung 9.9: Schematische Darstellung einer NOR-Speichermatrix aus einem ferroelektrischen Transistor mit integrierter Diode und streifenförmigen Wannens.....	119
Abbildung 9.10: Tabellarische Darstellung der Spannungen für die unterschiedlichen Betriebszustände .....	121
Abbildung 9.11: Schematische Darstellung einer NOR-Speichermatrix aus einem ferroelektrischen Transistor mit integrierter Diode und einem zusätzlichen, konventionellen Auswahltransistor .....	122
Abbildung 9.12: Schematische Darstellung der vorgeschlagenen Struktur, die von der Drain ausgehende Depolarisationseffekte reduzieren kann .....	123
Abbildung 9.13: Schematische Darstellung eines ferroelektrischen Transistors mit Schottky-Kontakt zwischen Substrat und unterer Elektrode.....	125
Abbildung 9.14: Schematische Darstellung eines Transistors, der durch ein Streufeld gesteuert wird.....	127
Tabelle 2.1: Überblick über die wichtigsten Massenspeicher, ihre Kapazität, typische Zugriffszeiten und ihre Verwendung.....	5
Tabelle 2.2: Charakteristische Eigenschaften mikroelektronischer Speicher .....	16
Tabelle 4.1: Prinzipskizzen der drei vorgestellten Transistorkonzepte und die jeweils wichtigsten Vor- und Nachteile.....	36

## Verzeichnis der Abkürzungen und Symbole

BBSRAM	Battery Backup Static Random Access Memory
CD-ROM	Compact Disc – Read Only Memory
CMOS	Complementary Metal Oxide Semiconductor
CSD	Chemical Solution Deposition
DRAM	Dynamic Random Access Memory
DVD	Digital Video Disc
EDX	Energy Dispersive X-Ray Spectroscopy
EEPROM	Electrically Erasable Programmable Read Only Memory
EPROM	Electrically Programmable Read Only Memory
ESI	Electron Spectroscopic Imaging
FeRAM	Ferroelectric Random Access Memory
FRAM	Ferroelectric Random Access Memory
GMR	Giant Magneto Resistance
IGFET	Insulated Gate Field Effect Transistor
LOCOS	Local Oxidation of Silicon
MMC	Multi-Media-Card
MESFET	Metal Semiconductor Field Effect Transistor
MFSFET	Metal Ferroelectric Semiconductor Field Effect Transistor
MFISFET	Metal Ferroelectric Insulator Semiconductor Field Effect Transistor
MFMISFET	Metal Ferroelectric Metal Insulator Semiconductor Field Effect Transistor
MISFET	Metal Insulator Semiconductor Field Effect Transistor
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MRAM	Magnetic Random Access Memory
NAND	Not And (logische Operation)
NOR	Not Or (logische Operation)
NVRAM	Non Volatile Random Access Memory
OTPROM	One Time Programmable Read Only Memory
PC	Personal Computer
PDA	Personal Digital Assistant
PZT	Pb(Zr, Ti)O <sub>3</sub>
RAM	Random Access Memories
REM	Raster-Elektronen-Mikroskopie
ROM	Read Only Memory
SBT	SrBi <sub>2</sub> Ta <sub>2</sub> O <sub>9</sub>
SRAM	Static Random Access Memory
TEM	Transmissions-Elektronen-Mikroskopie



Einheiten in typischen Größenordnungen sind in Klammern [] angegeben

$A$	Fläche	$\text{m}^2$ ; [ $\mu\text{m}^2$ ]
$C$	Konstante	1
$C_d$	Verarmungskapazität des Halbleiters	F
$C_{stack}$	Kapazität des Gate-Stacks	F
$C_{OX}$	Kapazität der Oxidschicht	F
$C_J$	Kapazität des Halbleiters	F
$D$	Diffusionskoeffizient	$\text{cm}^2/\text{s}$
$\vec{d}$	Dipolmoment	As m
$d_{ox}$	Physikalische Dicke der Oxidschicht	m; [nm]
$d_{diel}$	Physikalische Dicke der dielektrischen Schicht	m; [nm]
$d_{SBT}$	Physikalische Dicke der SBT-Schicht	m; [nm]
$d_{CeO_2}$	Physikalische Dicke der CeO <sub>2</sub> -Schicht	m; [nm]
$\vec{E}$	elektrische Feldstärke	V/m
$E_F$	Fermi-Energie	Nm; [eV]
$E_C$	Energie an der Leitungsbandkante	Nm; [eV]
$E_V$	Energie an der Valenzbandkante	Nm; [eV]
$E_g$	Breite des verbotenen Bandes	Nm; [eV]
$I_{DS}$	Drain-Source-Strom	A; [fA; $\mu\text{A}$ ]
$I_G$	Gatestrom	A; [fA]
$J$	Stromdichte	$\text{A}/\text{m}^2$
$k$	Boltzmann-Konstante	Nm/K
$L$	Kanallänge des Transistors	m; [ $\mu\text{m}$ ]
$N_i$	Ladungsträgerdichte in der Inversionsschicht	$\text{cm}^{-3}$
$N_A$	Akzeptorendichte	$\text{cm}^{-3}$
$N_D$	Donatorendichte	$\text{cm}^{-3}$
$n$	Dichte freier Elektronen	$\text{cm}^{-3}$
$n_i$	intrinsische Ladungsträgerdichte	$\text{cm}^{-6}$
$\vec{p}$	elektrisches Moment	As m [ $\mu\text{C m}$ ]
$P$	elektrische Polarisierung	$\text{As}/\text{cm}^2$ [ $\mu\text{C}/\text{cm}^2$ ]
$P_r$	spontane oder remanente ferroelektrische Polarisierung	$\text{As}/\text{cm}^2$ [ $\mu\text{C}/\text{cm}^2$ ]

$P_s$	spontane oder remanente ferroelektrische Polarisation	As/cm <sup>2</sup> [ $\mu\text{C}/\text{cm}^2$ ]
$p$	Dichte freier Löcher	cm <sup>-3</sup>
$Q$	elektrische Ladung	As
$Q_G$	Ladung am Gate	As
$q$	Elementarladung	As
$q^*$	effektive Ladung	As
$r_i$	Ortsvektor	m
$T$	Temperatur	K
$U$	elektrische Spannung	V
$U_D$	Diffusionsspannung	V
$U_{DD}$	Versorgungsspannung	V
$U_g$	der Bandlückenenergie entsprechende Spannung	V
$U_{GS}$	Gate-Source-Spannung	V
$U_{DS}$	Drain-Source-Spannung	V
$U_{FB}$	Flachbandspannung	V
$U_{SB}$	Source-Substrat (Bulk)-Spannung	V
$U_{th}$	Schwellspannung	V; [mV]
$qU_M$	Austrittsarbeit aus der Gate-Elektrode relativ zum Isolator	Nm; [eV]
$qU_{EA}$	Elektronenaffinität des Halbleiters relativ zum Isolator	Nm; [eV]
$V$	Volumen	m <sup>3</sup>
$W$	Kanalweite des Transistors	m; [ $\mu\text{m}$ ]
$w$	Tiefe der Verarmungsschicht	m; [nm]
$x_K$	Kanaltiefe des Transistors	m; [nm]
$x_p$	Breite der Raumladungszone im p-Gebiet	m; [nm]
$x_n$	Breite der Raumladungszone im n-Gebiet	m; [nm]
$\epsilon$ bzw. $\epsilon_0$	Permittivität des Vakuums	As/Vm
$\epsilon_r$	relative Permittivität	
$\epsilon_{Si}$	Permittivität von Silizium	
$\epsilon_{diel}$	Permittivität der dielektrischen Schicht	
$\epsilon_{ox}$	Permittivität der Oxidschicht	

$\mu$	Beweglichkeit der Ladungsträger	$\text{cm}^2/\text{Vs}$
$\mu_p$	Beweglichkeit der Löcher	$\text{cm}^2/\text{Vs}$
$\mu_n$	Beweglichkeit der Elektronen	$\text{cm}^2/\text{Vs}$
$\rho$	Raumladungsdichte	$\text{cm}^{-3}$
$\sigma_S$	Ladungsträgerdichte im Silizium	$\text{As}/\text{cm}^{-3}$
$\Psi$	elektrostatiches Potenzial	V
$\Psi_p$	elektrostatiches Potenzial des p-Gebietes relativ zum Fermi-Niveau	V
$\Psi_n$	elektrostatiches Potenzial des n-Gebietes relativ zum Fermi-Niveau	V
$\Psi_i$	Potenzialdifferenz über dem Isolator	V
$\Psi_K$	Kontaktpotenzial an der MOS-Struktur	V
$\Psi_F$	Fermi-Potenzial	V
$\Psi_{Fn}$	Quasi-Fermi-Potenzial	V
$\Psi_S$	Oberflächenpotenzial im Halbleiter	V
$q\Psi_S$	Bandverbiegung im Halbleiter	eV



## 1 Einleitung

Die Gebrauchsanweisung eines im Jahr 2004 gekauften PDAs (Personal Digital Assistant) weist eindringlich darauf hin, dass die auf dem Gerät gespeicherten Daten regelmäßig gesichert werden müssen, um Datenverlust zu vermeiden. Warum? Anders als die meisten Computer hat dieses miniaturisierte Gerät keine Festplatte, also keinen magnetischen Datenspeicher, der dafür sorgt, dass Termine, Adressen, Notizen, Bilder, Dokumente und andere Daten auch dann gespeichert bleiben, wenn keine Spannungsversorgung durch Netzteil oder Akku zur Verfügung steht. Daten werden bei solchen Geräten in Halbleiterspeichern, z.B. in SRAMs (Static Random Access Memory) oder DRAMs (Dynamic Random Access Memory), abgelegt. Das sind schnelle Speicher, die mit niedrigen Betriebsspannungen von 1 bis 2 Volt auskommen und deswegen für mobile Anwendungen gut geeignet sind. Sie müssen ununterbrochen mit Spannung versorgt werden, um die gespeicherte Information nicht zu verlieren. Ein Spannungsausfall kommt einer Amnesie gleich. Als Alternative bieten sich Flash-Speicher, EPROMs (Electrically Programmable Read Only Memory) oder EEPROMs (Electrically Erasable Programmable Read Only Memory) an. Die darin gespeicherte Information bleibt auch ohne Spannungsversorgung erhalten. Dafür sind diese Speicher beim Schreiben und Löschen um Größenordnungen langsamer als ihre vergesslichen Verwandten und verlangen eine Betriebsspannung um die 10 Volt. In solchen Speichern kann z.B. das Betriebssystem eines PDA abgelegt werden.

Für die immer zahlreicher werdenden mobilen Anwendungen sucht man einen Halbleiterspeicher, der ähnlich schnell ist und mit so niedrigen Spannungen auskommt wie ein SRAM oder ein DRAM, gleichzeitig aber nicht-flüchtig ist. Ferroelektrische Halbleiterspeicher verbinden die Vorteile beider Speicherarten. Sie können für niedrige Betriebsspannungen von 1 bis 3 Volt ausgelegt werden, erreichen hohe Schreib- und Lesegeschwindigkeiten von einigen 10 Nanosekunden und können Daten nicht-flüchtig speichern. Wenn es gelingt, die Speicherzelle aus nur einem Transistor und einem Kondensator aufzubauen, ist außerdem ihr Flächenverbrauch ähnlich gering wie der eines DRAM. Der ferroelektrische Transistor kann sogar noch mehr. Er erlaubt zusätzlich, wenigstens prinzipiell, die gespeicherte Information nicht-zerstörend auszulesen. Bei einem ferroelektrischen Speicher, der aus diesen Transistoren aufgebaut ist, muss sich daher nicht an jeden Lesevorgang ein Schreibvorgang anschließen, der die beim Auslesen möglicherweise veränderte Information wiederherstellt. An den Einsatz solcher Transistoren wird auch beim Bau neuronaler Netze gedacht [Ish93], [Yoo99], [Yoo99a], [Yoo99b].

Neben dem ferroelektrischen Transistor gibt es andere Möglichkeiten, ferroelektrisches Material zur Informationsspeicherung zu nutzen. Diese liegen ein Stück weit von der heute theoretisch kompaktesten Lösung – dem Transistor – entfernt, sind aber auf Grund ihrer Nähe zu konventionellen mikroelektronischen Speichern früher zu realisieren, wie am FRAM oder FeRAM (Ferroelectric Random Access Memory) zu sehen ist. Deshalb ist es wichtig, das

Thema ‚ferroelektrischer Transistor‘ im Kontext von ferroelektrischen und mikroelektronischen Speichern zu bearbeiten. Einerseits können so die Vor- und Nachteile des ferroelektrischen Transistors im Vergleich zu den möglichen Alternativen bewertet werden, andererseits hilft dieser Kontext bei der Suche nach neuen Lösungen, beispielsweise im Hinblick auf Zellkonzepte für den ferroelektrischen Transistor. Aus diesem Grund soll in dieser Arbeit einer kurzen Beschreibung von Halbleiterspeichern ein etwas ausführlicherer Überblick über die Möglichkeiten der ferroelektrischen Informationsspeicherung folgen. Ein Ziel besteht darin, Alternativen zu den gegenwärtig untersuchten Speicherkonzepten auf Basis ferroelektrischer Schichten zu finden und zu vergleichen.

Eine – wenn nicht die bestechendste – Variante der ferroelektrischen Speicher ist der ferroelektrische Transistor. Im Anschluss an die Evaluierung verschiedener Speicherkonzepte soll daher gezeigt werden, wie man in der theoretischen Beschreibung vom herkömmlichen MOSFET (Metal Oxide Semiconductor Field Effect Transistor) zum ferroelektrischen Transistor gelangt.

Es gibt unterschiedliche Möglichkeiten, wie der ferroelektrische Transistor aufgebaut sein kann. Deshalb ist vorab ein Vergleich der Vor- und Nachteile sinnvoll, um eine Transistor-Variante für den experimentellen Teil der Arbeit auszuwählen. Die Beschränkung auf eine Variante im Experiment ist erforderlich, um den Umfang der Arbeit trotz der vielfältigen anderen Fragestellungen in Grenzen zu halten.

Anschließend sollen die beiden Bestandteile näher betrachtet werden, die den ferroelektrischen Transistor vor allen anderen vom konventionellen MOSFET unterscheiden: Das Gate-Dielektrikum – bei diesem Transistor in der Regel nicht mehr  $\text{SiO}_2$  sondern ein alternatives Material – und die Integration einer ferroelektrischen Schicht in das Gate. Deshalb werden zuerst die Anforderungen an das Gate-Dielektrikum im ferroelektrischen Transistor und danach die wichtigsten Eigenschaften der ferroelektrischen Schicht im Hinblick auf den Transistor erläutert.

Das erste Ziel des experimentellen Teils der Arbeit ist die Charakterisierung der dielektrischen Schicht im Hinblick auf die für den ferroelektrischen Transistor wichtigsten Eigenschaften. Daher wird zuerst die Herstellung und Charakterisierung von MOS-Dioden mit diesem Dielektrikum untersucht.

Im nächsten Schritt kommt zur dielektrischen die ferroelektrische Schicht dazu, die Kombination beider Schichten wird untersucht und im Hinblick auf die für den Transistor wesentlichen Eigenschaften charakterisiert. Dazu sind elektrische Messungen, Röntgenstrukturuntersuchungen und bildgebende elektronenmikroskopische Verfahren notwendig. Von besonderem Interesse ist dabei das so genannte „Memory Window“, das einen Anhaltspunkt für die erforderliche Betriebsspannung und die Anzahl der Dekaden zwischen On- und Off-Strom des Transistors gibt. Zu diesem Teil der Arbeit gehört auch die Untersuchung des Einflusses möglicher Diffusionsprozesse, besonders zwischen dielektrischer und ferroelektrischer Schicht. Dazu werden ferroelektrische Kondensatoren mit zwei Metallelektroden verwendet, die Bestandteile der dielektrischen Schicht enthalten.

Für die zukünftige Entwicklung des ferroelektrischen Transistors besonders wichtig ist der letzte Teil dieser Arbeit. Hier sollen Möglichkeiten für die Integration gefunden werden, die den Bau von Speichern auf Basis dieses besonderen Transistors erlauben. In fast allen Veröffentlichungen werden solche Speicher erwähnt, obwohl kaum je beschrieben wird, wie Sie aufgebaut sein könnten. Nur die Integrierbarkeit aber rechtfertigt den hohen Entwicklungsaufwand für ferroelektrische Transistoren. Daher erscheinen neue Konzepte und Lösungsvorschläge in diesem Bereich sehr wichtig.

Zum Abschluss werden einige Ideen rund um den ferroelektrischen Transistor vorgestellt, die im Rahmen dieser Arbeit entstanden sind.





## 2 Halbleiterspeicher

Das Gesamtvolumen aller weltweit verfügbaren Information entspricht Schätzungen zu Folge zurzeit einer Datenmenge in der Größenordnung von 100 Exabyte (Exa =  $10^{18}$ ). Zur Bearbeitung und Archivierung dieser ungeheuren Flut von Daten werden drei Arten von Massenspeichern eingesetzt: magnetische, optische und elektronische. Jeder Besitzer eines PC (Personal Computer) nutzt normalerweise alle drei Speicherarten. BIOS, Cache und Arbeitsspeicher sind elektronische Halbleiterspeicher, Festplatte und Diskettenlaufwerk sind magnetische Speicher und das CD- bzw. DVD-Laufwerk arbeitet nach optischen Prinzipien. Die wichtigsten Speicherarten im Überblick zeigt folgende Tabelle.

Speicherart	Physikalisches Prinzip	Maximale Kapazität (ca.)	Zugriffszeit	Verwendung
Fest-/Wechselplatte	magnetisch	~ 300 GB	3 - 5 ms	Archivierung, virt. Speicher
Band/Kassette	magnetisch	~ 100 GB	60 s	Archivierung
Diskette (ZIP)	magnetisch	bis 250 MB	0,2 - 1,5 s	Datentransport
CD-ROM	optisch	600 bis 720 MB	50 ms	Datentransport, Archivierung
DVD	optisch	4,7 bis 17 GB	50 ms	Archivierung
Halbleiterspeicher	elektronisch	einige kB bis 512 MB je Chip	50 bis 200 ns	z.B. BIOS, Cache, Arbeitsspeicher, kompakter Datentransport (Digitalkamera etc.)

***Tabelle 2.1:** Überblick über die wichtigsten Massenspeicher, ihre Kapazität, typische Zugriffszeiten und ihre Verwendung.*

Bei portablen Geräten spielen Halbleiterspeicher die wichtigste Rolle. In ihnen findet man alle drei Kategorien von Festkörpern, die das Bändermodell unterscheidet:

- Möglichst gut leitende und verarbeitbare Metalle, wie Aluminium, Wolfram oder Kupfer.
- Ein kostengünstiges, möglichst inertes Halbleitermaterial mit hoher Ladungsträgerbeweglichkeit und einstellbarer Leitfähigkeit, wie z.B. Silizium.
- Und schließlich sehr gute Isolatoren, die reproduzierbar hergestellt und bearbeitet werden können und in Verbindung mit dem Halbleiter dessen physikalische Eigenschaften nicht beeinträchtigen, wie vorzugsweise  $\text{SiO}_2$ .

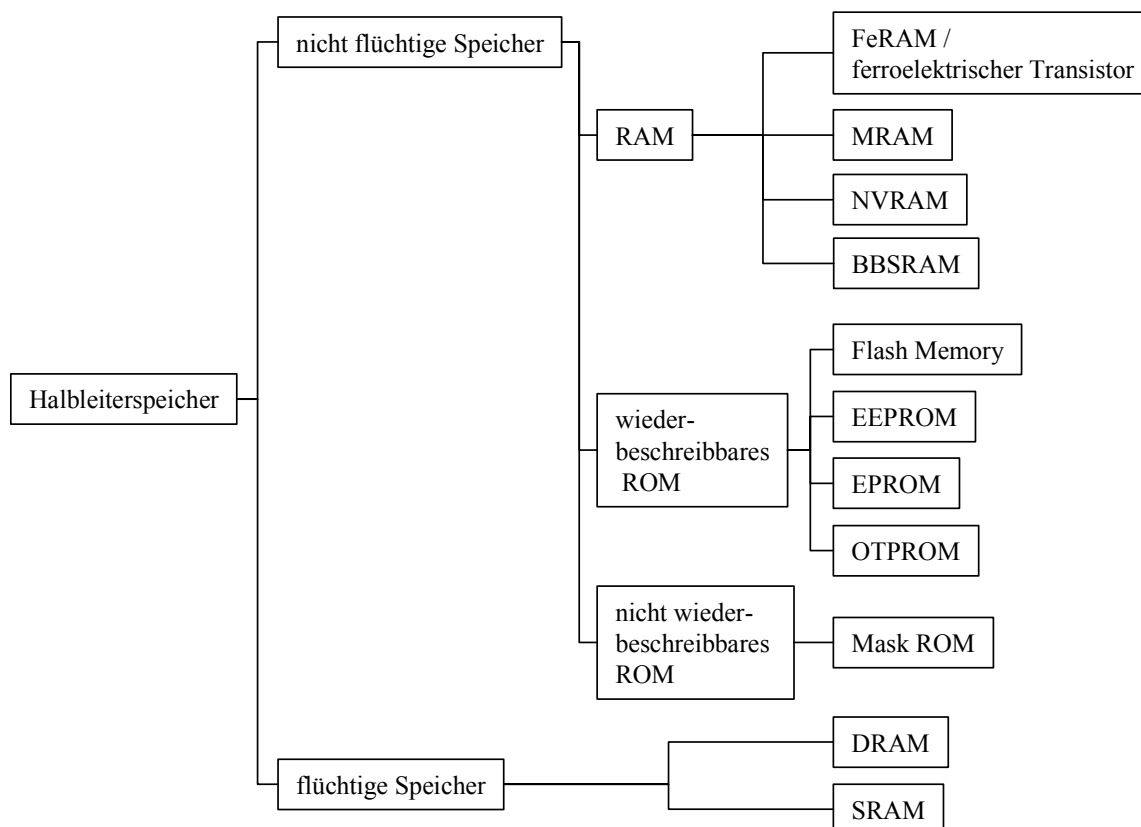
Intelligente Geräte wie Mobiltelefone oder PDA (Personal Digital Assistant) brauchen immer mehr Speicherkapazität auf kleinstem Raum für neue Funktionen und größere Datenmengen.

Die unterschiedlichen Typen mikroelektronischer Speicher sind dabei immer auf die spezifische Anforderung in einer bestimmten Anwendung oder in einem Gerät zugeschnitten.

## 2.1 Eigenschaften und Anwendungen konventioneller Halbleiterspeicher

Halbleiterspeicher werden zunächst danach differenziert, ob sie flüchtig oder nicht-flüchtig sind. Im Unterschied zu nicht-flüchtigen Speichern gehen bei flüchtigen Speichern darin abgelegte Daten ohne Spannungsversorgung verloren.

Innerhalb der Gruppe der nicht-flüchtigen Speicher unterscheidet man drei Untergruppen, nämlich nicht-wiederbeschreibbare reine ROMs (Read Only Memories), wiederbeschreibbare ROMs und RAMs (Random Access Memories), die einen wahlfreien (random) Zugriff erlauben. Nicht-flüchtige RAMs können dabei entweder - wie das NVRAM (Non Volatile RAM) - durch eine Kombination aus SRAM (Static Random Access Memory) und EEPROM (Electrically Erasable Programmable Read Only Memory) aufgebaut werden oder - wie das BBSRAM (Battery Backup SRAM) - aus einem SRAM mit angeschlossener Batterie. Diese beiden Varianten sind extrem teuer und werden nur eingesetzt wenn es keine Alternativen gibt.



**Abbildung 2.1:** Überblick über die wichtigsten Arten von Halbleiterspeichern und ihre Einteilung. Selten gebrauchte Abkürzungen sind NVRAM für Non Volatile RAM, BBSRAM für Battery Back-Up SRAM und OTPROM für One Time Programmable ROM. (Alle Abkürzungen werden im Text erläutert.)

In die Gruppe nicht-flüchtiger RAMs gehören auch die ferroelektrischen Speicher wie das FeRAM (Ferroelectric RAM) und der ferroelektrische Transistor, die später genauer beschrieben werden. Das MRAM (Magnetic Random Access Memory) ist ein in der Entwicklung befindlicher Speicher, der auf der Grundlage des GMR (Giant Magneto Resistance) basiert. Charakteristisch für das MRAM ist die Änderung des Tunnelwiderstandes durch eine Barriere, abhängig davon, wie zwei benachbarte ferromagnetische Schichten zueinander magnetisiert sind.

Bei den einfachsten nicht-flüchtigen Speichern, den nicht-wiederbeschreibbaren ROMs (Read Only Memories), wird die Information nur einmal eingeschrieben, bei Mask ROMs z.B. bei der Produktion durch Implantation. Die Implantation wird zur Verschiebung der Schwellspannung eines Teils der Transistoren im Speicher benutzt. Dadurch entstehen zwei Typen von Transistoren, solche mit hoher und solche mit niedriger Schwellspannung, die den logischen Werten „0“ und „1“ entsprechen. Die Information kann mit Hilfe einer Durchgangsprüfung an den Transistoren ausgelesen werden. Eine andere Methode zum Bau von ROMs besteht darin, in den Speicher eingebaute Sicherungen, so genannte Fuses, nach der Herstellung an bestimmten Stellen gezielt zu zerstören und damit ein Muster aus „0“ und „1“ in den Speicher zu schreiben. Auf diese Weise können z.B. OTPROMs (One Time Programmable ROM) hergestellt werden. Ein ROM der ersten Art kommt z.B. in Chip-Karten wie der Multi-Media-Card (MMC) zum Einsatz und kann zum Speichern von Musik, Bildern, Stadtplänen, Lexika und ähnlichem eingesetzt werden. Die Speicher sind schnell auslesbar, auf Grund der 1-Transistor-Zellen sehr klein und damit preiswert. Ein großer Nachteil besteht allerdings darin, dass die einmal gespeicherte Information nicht mehr verändert werden kann und außerdem bei einem maskenprogrammierten ROM für unterschiedliche Speicherinhalte auch unterschiedliche Implantationsmasken erforderlich sind, die sehr teuer sein können.

Darüber hinaus gibt es Flash-Speicher oder (E)EPROMs (Electrically Erasable Programmable Read Only Memory), die wie ROMs auch ohne Spannungsversorgung eine extrem lange Datenhaltung im Bereich von mehr als zehn Jahren aufweisen, aber im Gegensatz zu diesen einige  $10^5$  mal neu beschrieben werden können. Bei EEPROMs können kleine Einheiten bis zu einzelnen Bits geschrieben und gelöscht werden, bei Flash-Speichern normalerweise nur größere Bereiche. EPROMs werden nicht elektrisch sondern mit ultraviolettem Licht gelöscht. Beide funktionieren mit Hilfe von so genannten Floating Gate Transistoren, in welche die Information durch das Verändern der Schwellspannung der Speichertransistoren eingeschrieben wird, ähnlich wie in ROMs. Allerdings wird das bei diesem Speicher durch ein Floating Gate erreicht, ein allseitig isoliertes Transistor-Gate z.B. aus polykristallinem Silizium, auf das unter bestimmten Voraussetzungen Ladungsträger aus dem Transistorkanal tunneln können. Der Nachteil dieses Speichers liegt in der Spannung, die nötig ist, um ihn zu programmieren. Damit die geforderte Datenhaltung von mehr als zehn Jahren erreicht werden kann, muss das Oxid, in dem das Floating Gate eingebettet ist, entsprechend dick sein. Das führt dazu, dass die für das Durchtunneln dieses Isolators (= Schreiben/Löschen) erforderlichen Spannungen von mehr als 10 Volt im Vergleich zu heute typischen Betriebsspannungen von 1 bis 3 Volt sehr groß sind. Datenhaltung über viele Jahre wird daher mit hohem Leistungs- und Platzbedarf für die hochvoltfähigen Treiberschaltungen und Ladungspumpen in der Peripherie erkaufte. Darüber hinaus kann diese Art des Speichers zwar im Bereich von 10 bis ca. 100 Nanosekunden ausgelesen werden kann, allerdings ist das Einschreiben oder Löschen von Information auf

Grund der zu Grunde liegenden Tunnelprozesse mit 1 bis 10 Millisekunden sehr langsam. Für viele Anwendungen scheiden diese Speicher auf Grund des Leistungsverbrauchs und ihrer relativen Trägheit aus.

Für Anwendungen, in denen es besonders auf Geschwindigkeit ankommt, werden vor allem SRAMs eingesetzt. Ihre Speicherzelle besteht aus zu einem Flip-Flop verschalteten MOS-Transistoren (typisch: 6 Transistoren, zwei über Kreuz gekoppelte Inverter). Da keine Hochvolttransistoren nötig sind, kann dieser Speicher mit der für die jeweilige Transistorgeneration üblichen Spannung betrieben werden. Im Gegensatz zum Flash-Speicher oder EEPROM ergeben sich damit auch keine Probleme durch nicht verkleinerbare Hochvolttransistoren bei der Skalierung. Der Platzbedarf ist auf Grund der großen Zahl von Transistoren pro Zelle allerdings bis zu fünfmal größer als für einen Flash-Speicher und macht den entsprechenden Speicherchip damit relativ teuer.

Obwohl dieser Speicher flüchtig ist, d.h. ständig an die Versorgungsspannung angeschlossen sein muss, um die eingeschriebene Information nicht zu verlieren, ist die Leistungsaufnahme auf Grund der CMOS-Schaltung (Complementary MOS) der Transistoren gering. Außerdem sind die Kapazitäten, die beim Programmieren eines SRAM umgeladen werden müssen, sehr klein, da sie im Wesentlichen aus den Gates der Zelltransistoren bestehen. Mit dieser Art von Speicher können deshalb die schnellsten Schreib- und Lesezeiten bei mikroelektronischen Speichern realisiert werden. Trotzdem wird nur im Cache-Speicher und nicht auch im RAM eines PCs das SRAM verwendet. Weil pro gespeichertem Bit wesentlich mehr Transistoren als im DRAM (Dynamic Random Access Memory) nötig sind, ist das SRAM sehr viel teurer als das DRAM.

Trotz unterschiedlichster Bezeichnungen (DRAM, SDRAM für Synchronous DRAM, RDRAM für Rambus DRAM, etc.), die sich allesamt auf die Architektur und unterschiedliche Möglichkeiten des Datenaustausches zwischen Speicher und Umgebung beziehen, besteht die Speicherzelle eines DRAM aus immer den gleichen Bestandteilen: Einem MOS-Transistor und einem Kondensator. Der Transistor wird als Passgate für den Kondensator benutzt, d.h. während der Transistor eingeschaltet ist (das Gate also offen ist), wird Ladung auf den Kondensator gepumpt. Dann wird der Transistor wieder ausgeschaltet (das Gate geschlossen) und die Ladung ist im Kondensator gespeichert. Die beiden möglichen Zustände des Kondensators, nämlich geladen und ungeladen, repräsentieren die Zustände logisch „0“ und „1“. Die Information wird ausgelesen indem der Transistor geöffnet und die abfließende Ladung in einem Leseverstärker bewertet wird. Sowohl durch das Dielektrikum des Kondensators als auch durch den gesperrten Transistor fließen aber Leckströme. Die eingeschriebene Information geht dadurch verloren und muss deswegen dynamisch, d.h. in regelmäßigen Abständen von einigen bis einigen hundert Millisekunden aufgefrischt, also bewertet und wieder in die Zellen zurückgeschrieben werden. Man spricht von Refresh-Zyklen. Diese Art des Speichers besitzt weltweit den größten Marktanteil unter den mikroelektronischen Speichern. Bis zu einem Gigabyte pro PC oder einigen Gigabyte pro Workstation sind üblich.

Im Laufe der vergangenen Jahre wurden immer mehr Anwendungen entwickelt, für deren Funktion mehrere der erwähnten Speicherarten kombiniert werden müssen. In Handys oder PDAs (Personal Digital Assistant) sind beispielsweise ROM, DRAM und EEPROM enthalten.

Wäre es möglich, diese drei Speichertypen durch einen einzigen zu ersetzen, könnten dadurch die Komplexität der Systeme, der Platzbedarf und damit auch die Kosten reduziert werden. Statt drei Gehäusen für die verschiedenen Speicherchips würde eines ausreichen und die Platine, auf der diese Speicher sitzen, könnte kleiner und einfacher werden. Vor allem aber müssten beim Schaltungsdesign nicht die spezifischen Anforderungen für drei unterschiedliche Speicher berücksichtigt werden. Und schließlich erhofft man sich von einem neuen Speicher auch eine geringere Leistungsaufnahme und damit Vorteile für alle batteriebetriebenen Anwendungen.

Ein potentieller Kandidat für eine solche Neuentwicklung mit allen gewünschten Eigenschaften ist der ferroelektrische Speicher. Die beiden stabilen Zustände remanenter Polarisation einer ferroelektrischen Schicht werden den beiden Zuständen „0“ und „1“ aus der Booleschen Algebra zugeordnet. Auf diese Weise kann eine ferroelektrische Schicht zur Informationsspeicherung benutzt werden.

## 2.2 Ferroelektrische Speicherkonzepte im Vergleich

AT&T, Ford, IBM, RCA, Westinghouse und andere Firmen versuchten bereits in den fünfziger Jahren mit einigem Aufwand, nicht-flüchtige ferroelektrische Speicher zu entwickeln [Auc98]. Eine Reihe von Faktoren verhinderte allerdings den kommerziellen Einsatz und Erfolg dieser Speicher. Erstens waren die Speicher sehr teuer, da zu ihrer Herstellung teure ferroelektrische Einkristalle verwendet wurden. Zweitens waren diese Einkristalle relativ dick. Auf Grund der Koerzitivfeldstärke von einigen zehn Kilovolt pro Zentimeter waren die für das Umschalten der ferroelektrischen Polarisation nötigen Spannungen deutlich größer als die damals für Logik-Bausteine üblichen 5 Volt. Und schließlich waren die Speicherzellen in einer einfachen Matrix ohne zusätzlichen Auswahlschalter angeordnet.

Eine Zelle wurde adressiert, indem die halbe Schaltspannung entlang einer Reihe (Wortleitung) und die andere Hälfte der Schaltspannung entlang einer Zeile (Bitleitung) angelegt wurde. Das führte zu Störsproblemen oder zum „Crosstalk“, d.h. dass auch nicht ausgewählte Speicherzellen entlang dieser beiden Leitungen gestört und die in ihnen enthaltene Information verändert oder gelöscht wurde. Auch bei Störspannungen weit unterhalb der Koerzitivspannung kann die remanente Polarisation stark abnehmen. Deshalb gibt es bei dieser Art der Anordnung keine Möglichkeit, eine Zelle auszuwählen, ohne den Zustand benachbarter Zellen zu verändern. Nachdem diese Entwicklung gescheitert war, wurde man in der Mikroelektronik erst in den letzten Jahren wieder auf Ferroelektrische Schichten zur Informationsspeicherung aufmerksam.

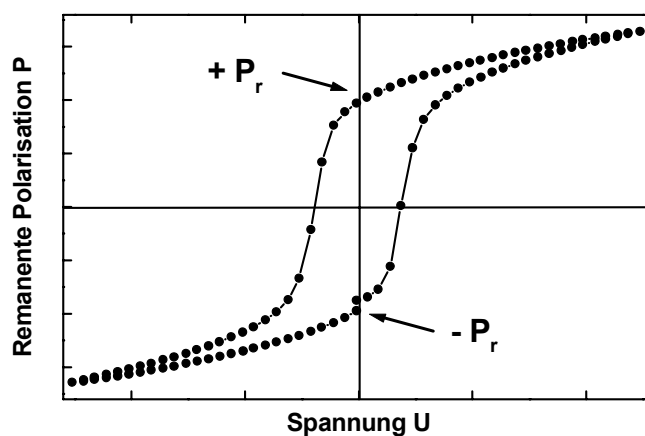
### 2.2.1 Speicherzellen aus Transistoren und Kondensatoren

Ferroelektrizität und die Eigenschaften ferroelektrischer Festkörper werden in Kapitel 6 genauer beschrieben.

Zu Beginn dieser Arbeit wurden mehrere Möglichkeiten zum Bau ferroelektrischer Speicher untersucht. An dieser Stelle sollen dazu in knapper Form die Ergebnisse aus Veröffentlichungen und eigenen Überlegungen zusammengefasst werden. Die verschiedenen Typen von Speicherzellen haben besondere Vor- und Nachteile. Aus den Nachteilen der beiden ersten vorgestellten Konzepte entstanden Ideen für neue Speicherzellen, die zum Patent angemeldet wurden und hier kurz vorgestellt werden. Leider sind auch sie nicht ganz ohne Nachteile und so wird bei der anschließenden Vorstellung des ferroelektrischen Transistors besonders deutlich, wie elegant diese Lösung der Informationsspeicherung ist.

Aus den in 2.1 geschilderten Gründen (weniger Komplexität, vereinfachtes Schaltungsdesign, reduzierte Leistungsaufnahme, geringerer Platzbedarf und geringere Kosten) suchen die Forschungsabteilungen der Halbleiterhersteller - parallel zur Weiterentwicklung vorhandener Speichertypen - nach neuen Möglichkeiten, mikroelektronische Speicher zu bauen. Auf Grund der Fortschritte bei der Herstellung dünner Schichten (vor allem Sputter- und CVD-Verfahren sowie in der Ätztechnik) ist es heute möglich, dünne ferroelektrische Schichten in die Herstellungsprozesse der Mikroelektronik zu integrieren.

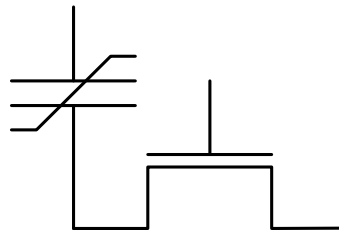
Zwei ferroelektrische Materialien sind aus heutiger Sicht besonders geeignet:  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  (PZT) und  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT). Die charakteristischen Größen dieser beiden Materialien, wie remanente Polarisation oder Koerzitivfeldstärke, passen gut zu den Anforderungen der Mikroelektronik und die Entwicklung der dazugehörigen Prozesstechnik ist am weitesten fortgeschritten. Neben den in den ferroelektrischen Materialien enthaltenen werden weitere Elemente des Periodensystems gebraucht, die bisher in der Silizium-Mikroelektronik nicht nur nicht benutzt wurden, sondern als Kontaminationsquelle sogar gefürchtet sind. Für die Elektroden wird ein besonders inertes Material gebraucht, das auch bei hoher thermischer Belastung, wie sie beim Tempern der ferroelektrischen Schichten entsteht, leitfähig bleibt. Meistens wird daher Platin eingesetzt oder ein leitfähiges Oxid, z.B. Rutheniumoxid. Als Diffusionsbarriere wird unter dem ferroelektrischen Kondensator vor allem Iridium oder eine Mischung aus Iridium und Sauerstoff verwendet [Nak97]. Alle neuen Materialien bringen eine Vielzahl technologischer Herausforderungen mit sich [Auc96], [Auc98], [Fuj97], [Fuj99].



**Abbildung 2.2:** Gemessene Hysteresekurve einer ferroelektrischen Schicht. Die mit  $- P_r$  bzw.  $+ P_r$  bezeichneten Punkte sind die Punkte negativer bzw. positiver remanenter Polarisation, die zur Datenspeicherung verwendet werden können.

Bei allen Speicherzellen nutzt man die Eigenschaft, dass ferroelektrische Festkörper stabile Zustände remanenter Polarisation besitzen. Abbildung 2.2 zeigt diese beiden Zustände  $-P_r$  bzw.  $+P_r$  in der Hysteresekurve einer ferroelektrischen Schicht. In einem Kondensator wird die Polarisation bzw. das elektrische Feld der ferroelektrischen Schicht durch Ladungen auf den beiden Elektroden kompensiert. Die Ladungen stabilisieren den Zustand der ferroelektrischen Schicht, indem sie das Feld abschirmen und so zu einem energetisch günstigen Zustand beitragen.

Der zurzeit kommerziell verfolgte Ansatz besteht darin, einen konventionellen MOS-Transistor mit einem ferroelektrischen Kondensator zu verbinden [Auc98]. Abbildung 2.3 zeigt das Ersatzschaltbild eines solchen Speichers, eines FeRAMs. Im Gegensatz zum DRAM, bei dem die Ladung in einem linearen Kondensator gespeichert wird und deshalb immer wieder abfließt, sorgt der ferroelektrische Kondensator für eine permanente Ladungsspeicherung. Damit entfallen einerseits leistungsintensive Refresh-Zyklen, andererseits wird der Speicher nicht-flüchtig. Die Zustände  $-P_r$  bzw.  $+P_r$  repräsentieren die logischen Werte „0“ bzw. „1“.



**Abbildung 2.3:** Ersatzschaltbild einer ferroelektrischen Speicherzelle aus einem MOS-Transistor und einem dazu in Serie geschalteten ferroelektrischen Kondensator. Diese Speicherzelle ist Bestandteil von FeRAMs.

Auf dieser Art von Speicherzelle beruhende Produkte sind mit geringen Speicherdichten bis zu einigen Megabit bereits kommerziell erhältlich. Die Vorteile liegen im geringen Leistungsverbrauch und vor allem in der Nicht-Flüchtigkeit, d.h. dass die Information des Speichers auch ohne äußere Spannungsversorgung erhalten bleibt.

Ein Teil der technologischen Probleme bei der Herstellung solcher Speicher wird durch einen erhöhten Platzverbrauch gelöst. Im Vergleich zu DRAM-Zellen, die genauso aus einem Transistor und einem Kondensator bestehen, liegt der Platzbedarf für eine ferroelektrische Speicherzelle zurzeit um einen Faktor 4 bis 6 höher. Wenn  $F$  die in einer Technologiegeneration minimal beherrschbare Strukturabmessung darstellt, dann kann der Flächenverbrauch für eine einzelne DRAM-Zelle mit derzeit ca. 5 bis 7  $F^2$  angegeben werden. Für ferroelektrische Speicher dagegen liegt der Flächenbedarf bei ca. 20 bis 40  $F^2$ . Außerdem werden FeRAMs noch nicht in minimalen Strukturgrößen gefertigt, da viele der eingesetzten Materialien neu und schwer handhabbar sind. Und nicht zuletzt auf Grund hoher Entwicklungskosten für neue Anlagen, Prozesse und Materialien ist die Herstellung von FeRAMs im Vergleich zu DRAMs zurzeit noch sehr teuer.

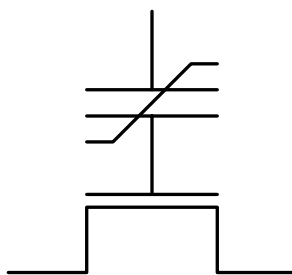
Das Auslesen der Zelle erfolgt, indem der Transistor eingeschaltet und an den Kondensator ein Spannungspuls angelegt wird. Ist die ferroelektrische Schicht bereits in die Richtung des Spannungspulses polarisiert, dann erhält man als Stromantwort des Kondensators nur noch

einen dielektrischen Verschiebungsstrom. Wird dagegen die ferroelektrische Polarisation durch den Spannungspuls geändert, kommt zu diesem Anteil noch ein Strom hinzu, der durch die Änderung der ferroelektrischen Polarisation  $dP/dt$  verursacht wird. Im ersten Fall ist die während der Dauer des Spannungspulses fließende Ladungsmenge wesentlich kleiner als im zweiten. So können zwei logische Zustände durch Integration der fließenden Ladungsmenge unterschieden werden.

Dieses Verfahren hat den Nachteil, dass die zur Unterscheidung der beiden Zustände nutzbare Ladungsmenge  $\Delta Q$  durch die Ladungsdifferenz zwischen den beiden Zuständen  $-P_r$  bzw.  $+P_r$  begrenzt ist. Kleine Werte von  $\Delta Q$  können Probleme beim Auslesen von Speicherzellen bereiten. Darüber hinaus ist dieses Ausleseverfahren zerstörend, da beim Auslesen durch das Umschalten der Polarisation die Information verändert wird. Im Anschluss an jeden Auslesevorgang muss deswegen die ausgelesene Information wieder in den Speicher zurückgeschrieben werden. Die ferroelektrische Schicht im Kondensator wird somit sehr oft umpolarisiert. Da ferroelektrische Dünnschichten aber nicht frei von Materialermüdung sind, führt das ständige Umschalten zu Problemen bei der Lebensdauer dieser Speicher. Beispielsweise wird mit steigender Anzahl der Umschaltvorgänge eine Abnahme der remanenten Polarisation beobachtet. Es hat sich als sehr schwierig erwiesen, die nötigen Polarisationswerte über die geforderte Anzahl von etwa  $10^{15}$  Umschaltvorgängen aufrecht zu erhalten.

### 2.2.2 Nicht-zerstörendes Auslesen der Information

Der wesentliche Vorteil des FeRAMs gegenüber dem DRAM liegt darin, dass es nicht-flüchtig ist. Leider kann die oben beschriebene Zelle nur zerstörend ausgelesen werden. Natürlich wäre es wünschenswert, die Information nicht-zerstörend auszulesen. Dazu können Transistor und Kondensator auf die in Abbildung 2.4 gezeigte Weise angeordnet werden [Kat96].



**Abbildung 2.4:** Ersatzschaltbild einer ferroelektrischen Speicherzelle aus einem MOS-Transistor und einem am Gate angeschlossenen ferroelektrischen Kondensator. Diese Speicherzelle kann prinzipiell nicht-zerstörend ausgelesen werden.

In diesem Fall wird die remanente Polarisation benutzt, um den Transistorkanal statisch zu steuern. Wenn die Verbindung zwischen der unteren Kondensatorplatte und der Gate-Elektrode des Transistors isoliert ist und Ladung weder zu- noch abfließt, kann die ferroelektrische Schicht des Kondensators das Kanalgebiet des Transistors in Akkumulation oder Inversion bringen. Die Information in einer solchen Speicherzelle wird ausgelesen, indem eine Drain-



Source-Spannung (die deutschen Begriffe Quelle und Senke für Source und Drain sind nicht gebräuchlich) an den Transistor anlegt und bewertet wird, ob Strom durch den Transistor fließt. Die Ladungsmenge ist in diesem Fall prinzipiell nicht begrenzt, da sie nicht durch die Polarisationsänderung der ferroelektrischen Schicht bereitgestellt wird.

Wenn man einen konventionellen Transistor mit  $\text{SiO}_2$  als Gate-Dielektrikum verwendet, ergibt sich ein Problem, das auch im Zusammenhang mit dem ferroelektrischen Transistor wieder auftreten wird. Zum Einschreiben der Information, also Umschalten der ferroelektrischen Polarisation, wird Spannung zwischen der oberen Kondensatorplatte und dem Transistor-Kanal angelegt. Ferroelektrika besitzen im Allgemeinen eine sehr große Dielektrizitätskonstante  $\epsilon_r$ , von einigen 100, die von  $\text{SiO}_2$  beträgt dagegen nur 3,9. Selbst wenn man davon ausgeht, dass sich die entsprechenden Schichtdicken wie die Dielektrizitätskonstanten verhalten – was nur in grober Näherung stimmt – bilden die beiden Kapazitäten bei gleicher Fläche einen Spannungsteiler, bei dem die Gate-Kapazität des Transistors in der Regel kleiner als die Kapazität des Kondensators ist. Am Transistor fällt dann der größere Teil der angelegten Schreibspannung ab und für die Polarisationsänderung am Kondensator steht nur ein kleiner Teil der Gesamtspannung zu Verfügung. Wegen der immer kleiner werdenden Betriebsspannungen ist das besonders problematisch. Außerdem können sich Zuverlässigkeitsprobleme beim Gate-Dielektrikum des Transistors durch hohe Feldstärken ergeben.

Als Lösung für dieses Problem wird vorgeschlagen, das Missverhältnis der Dielektrizitätskonstanten durch entsprechend unterschiedliche Flächen auszugleichen [Tok96], [Kat96]. Dazu wird die Gate-Fläche (und damit die Gate-Kapazität) des Transistors im Vergleich zur Fläche des ferroelektrischen Kondensators vergrößert. Dieser Weg ist nur für Versuche im Labormaßstab Erfolg versprechend und nicht im Hinblick auf einen hochintegrierten Datenspeicher. Im Fertigungsprozess werden auf Grund der Flächeneinsparung und der damit verbundenen Kostenreduzierung alle Bauteile mit den minimal möglichen Strukturabmessungen gefertigt. Um das Missverhältnis der Kapazitäten deutlich zu verbessern, müsste die Fläche des Transistor-Gates mindestens doppelt so groß sein wie die des Kondensators. Selbst wenn der Kondensator in der durch die Lithographie bestimmten Minimalgröße hergestellt wird, erhöht sich dadurch der Flächenverbrauch für diese Art von Speicherzelle erheblich. Vor allem deswegen scheidet dieser Ansatz für die Entwicklung eines zukunftsfähigen Produktes aus. Ein größeres Transistor-Gate hat außerdem andere Nachteile, beispielsweise führt es zu einem erhöhten Kanalwiderstand.

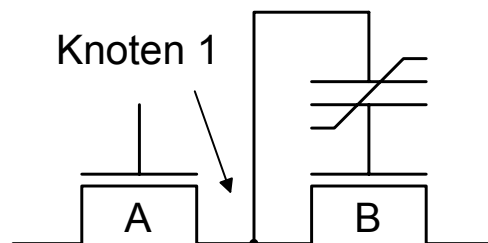
Eine ganz andere Situation ergibt sich, wenn man die Kapazitäten einander angleicht, indem man  $\text{SiO}_2$  durch ein neues Gate-Oxid mit größerer Dielektrizitätskonstante ersetzt. Eine solche Speicherzelle ist dem ferroelektrischen Transistor, wie er später in dieser Arbeit beschrieben wird, sehr ähnlich. Ein Unterschied zum ferroelektrischen Transistor und ein wesentliches Problem besteht aber darin, dass bei dieser Art von Speicherzelle die Verbindung zwischen Kondensator und Transistor-Gate sehr gut isoliert sein muss. Die induzierte Polarisationsladung am Gate des Transistors darf nicht durch Leckströme ausgeglichen werden, da die beiden ferroelektrischen Polarisationszustände sonst nicht mehr unterschieden werden können. Um eine Datenhaltung von 10 Jahren zu erreichen und eine zeitliche Drift der charakteristischen Eigenschaften zu verhindern, müssten die Leckströme durch die ferroelektrische Schicht, das

Gate-Dielektrikum des Transistors und den das Verbindungsstück umgebenden Isolator insgesamt nahe Null sein. Auch im Hinblick auf das Depolarisationsfeld (vgl. Kapitel 5.2.2) sind die Bedingungen bei dieser Art der Anordnung ungünstig. Eine genauere Analyse gibt [Ash99].

### 2.2.3 Erweiterte Speicherzellen

Um die Probleme der Datenhaltung (Leckstrom) und der schlechten Programmierbarkeit (ungünstiges Verhältnis der Kapazitäten) zu lösen, werden hier weitere Speicherzellen vorgestellt, die zu einer deutlichen Verbesserung der Situation führen. Ein ähnlicher Ansatz wird in [Oga02] beschrieben.

Abbildung 2.5 zeigt eine ferroelektrische Gainzelle [Han98]. Sie ist der von den DRAMs bekannten Gain-Zelle ähnlich, bei der in der Zelle nicht die Signalladung, sondern nur so viel Ladung gespeichert wird wie zum Einschalten eines Speichertransistors nötig ist [Kra95]. Die Signalladung fließt dann durch diesen eingeschalteten Transistor, kommt aber aus einer gemeinsamen Ladungsquelle für mehrere Zellen, die sich außerhalb des Zellenfeldes befindet. Sowohl der Transistor B als auch der Knoten 1 können ins Gleichgewicht relaxieren. Erst wenn der Auswahltransistor geöffnet und durch ihn der floatende Knoten 1 auf ein definiertes Potenzial gelegt wird, liegt die Gate-Spannung am Speichertransistor B wieder an. Je nachdem, wie das Ferroelektrikum polarisiert ist, wird der Speichertransistor damit eingeschaltet oder nicht. Die Zelle kann dann mit Hilfe einer Durchgangsprüfung zwischen der Source von Transistor A und dem Drain von Transistor B ausgelesen werden. Die erreichbare Signalladung hängt vor allem davon ab, ob und wenn ja wie schnell der Zustand der ferroelektrischen Schicht durch die Spannung zwischen Knoten 1 und dem Kanal des Transistors B verändert wird. Der Vorteil einer größeren Signalladung wird also um den Preis eines – je nach verwendeter Spannung – zerstörenden Auslesens erkaufte. Ein nicht-zerstörendes Auslesen dieser Zelle ist vermutlich nur schwer möglich. Außerdem sind die in 2.2.2 beschriebenen Probleme beim Einschreiben der Information damit nicht gelöst. Eine mögliche Gain-Zelle wird auch in [Aok97] beschrieben.

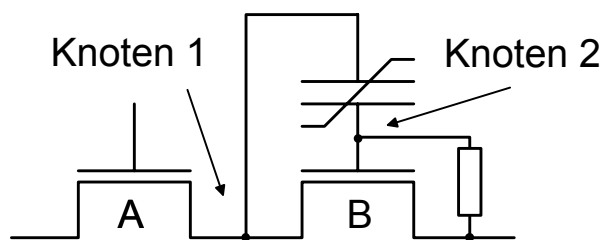


**Abbildung 2.5:** Ersatzschaltbild einer ferroelektrischen Speicherzelle aus zwei MOS-Transistoren und einem ferroelektrischen Kondensator. Diese Speicherzelle kann prinzipiell nicht-zerstörend ausgelesen werden und ist unempfindlich gegen Leckströme.

Der im folgenden beschriebene Ansatz für eine ferroelektrische Speicherzelle verdeutlicht ein Dilemma, das sich bereits angedeutet hat: Je mehr von den im Zusammenhang mit

ferroelektrischen Speichern angesprochenen Problemen gelöst werden sollen, desto komplizierter werden die entsprechenden Speicherzellen. Im Folgenden wird die in Abbildung 2.5 gezeigte Zelle um ein Element erweitert und enthält damit bereits vier Bestandteile: Zwei Transistoren, einen Kondensator und einen Widerstand. Abbildung 2.6 zeigt das Schaltbild der um einen Widerstand erweiterten Zelle [Han98]. Das Auslesen dieser Zelle erfolgt wie oben beschrieben. Der Widerstand in der Zelle wird so dimensioniert, dass sich das Potenzial am Knoten 2 während des Auslesevorgangs nicht merklich verändern kann. Die Zeit zum Einschreiben bzw. Löschen von Information wird dagegen deutlich größer als die RC-Zeit der Anordnung gewählt, so dass sich der Knoten 2 über den Widerstand auf ein definiertes Potenzial legen lässt. Über eine Spannung zwischen den beiden Knoten 1 und 2 kann damit der Kondensator polarisiert werden, ohne einen Spannungsabfall an seriellen Kapazitäten in Kauf nehmen zu müssen. Diese Zelle ist absolut unempfindlich gegen Leckströme. Beide Kondensatorelektroden können aktiv gesteuert werden und durch Leckströme im Ruhezustand die Kompensationsladung für die ferroelektrische Schicht aufnehmen. Damit wird der Polarisationszustand zeitlich sehr gut stabilisiert.

Die Nachteile solcher und ähnlicher [Oga02] Zellen liegen leider auf der Hand. Für die Schaltungstechnik ist es aufwändig, das Schreiben bzw. Löschen und das Auslesen auf zwei unterschiedlichen Zeitskalen durchzuführen. Ein anderer Nachteil liegt zweifelsohne in der Anzahl der Bestandteile. Selbst bei geschickter Integration aller Bauteile sind der prozesstechnische Aufwand und der Flächenverbrauch sehr hoch. Der Vorteil einer im Vergleich zur einfachen FeRAM-Zelle größeren Signalladung wird also mit vielen Nachteilen erkaufte.



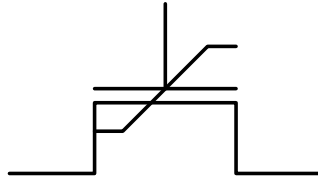
**Abbildung 2.6:** Ersatzschaltbild einer ferroelektrischen Speicherzelle aus zwei MOS-Transistoren, einem Widerstand und einem ferroelektrischen Kondensator. Diese Speicherzelle ist unempfindlich gegen Leckströme. Der Widerstand sorgt dafür, dass der Kondensator leicht beschrieben oder gelöscht werden kann.

## 2.2.4 Ferroelektrische Transistoren

Alle bisher beschriebenen Zellen bestanden aus zwei oder mehr mikroelektronischen Bauelementen - sind also recht komplex - und konnten die Vorteile ferroelektrischer Schichten dennoch nur begrenzt nutzen. Eine bestechend einfache Speicherzelle mit vielen Vorteilen kann dagegen auf der Basis eines ferroelektrischen Transistors konstruiert werden.

Unter einem ferroelektrischen Transistor (Abbildung 2.7) versteht man einen Feldeffekttransistor, dessen Gate-Stack eine ferroelektrische Schicht enthält. Diese Schicht ist so in das Gate integriert, dass man durch das von ihrer remanenten Polarisation ausgehende

elektrische Feld den Kanal des Transistors statisch steuern kann. Auf diese Weise kann der Transistor – je nach Polarisationsrichtung des Ferroelektrikums – ein- oder ausgeschaltet werden und stellt ein ideales Bauelement für einen mikroelektronischen Speicher dar.



**Abbildung 2.7:** „Elementarzelle“ eines ferroelektrischen Speichers könnte auch der ferroelektrische Transistor sein. Geringer Platzbedarf, nicht-flüchtiges Speichern und nicht-zerstörendes Auslesen, kurze Schaltzeiten und kleine Betriebsspannung wären die interessantesten Charakteristika eines solchen Speichers.

Wie in den letzten Abschnitten deutlich wurde, bieten ferroelektrische Schichten auf Grund ihrer Eigenschaften viele verschiedene Möglichkeiten, um Speicher zu bauen. Der ferroelektrische Transistor stellt eine besonders interessante Variante dar, da er viele Vorteile des ferroelektrischen Speicherprinzips auf relativ einfache und elegante Art verbindet. Zumindest theoretisch lassen sich mit ihm Speicher bauen, die im Vergleich zu herkömmlichen geradezu revolutionär sind.

Die elementare Speicherzelle besteht aus nur einem ferroelektrischen Transistor und verbraucht damit enorm wenig Chipfläche. Der Transistor ist geeignet, Information nicht-flüchtig zu speichern, und erlaubt sogar, diese Information nicht-zerstörend auszulesen. Das nicht-flüchtige Speichern von Information bietet zwei Vorteile: Erstens führt das Abschalten der Versorgungsspannung nicht zum Verlust der gespeicherten Information und zweitens wird dadurch die Leistungsaufnahme des Speichers reduziert. Da Schaltvorgänge in ferroelektrischen Schichten etwa mit Schallgeschwindigkeit ablaufen, kann die Schaltzeit für die ferroelektrische Schicht des Transistors ohne weiteres unter einer Nanosekunde liegen. Bei geeigneter Wahl der Schichtdicke der ferroelektrischen Schicht (und deren Koerzitivfeldstärke) ist dieser Speicher außerdem absolut niedervolttauglich. Auf Grund der guten Skalierbarkeit des ferroelektrischen Transistors kann man davon ausgehen, dass dieser Vorteil auch in zukünftigen Technologiegenerationen erhalten bleibt.

	Ferroelektr. FET	FeRAM	SRAM	DRAM	Flash
Schreiben/Löschen	~ 50 ns	~ 50 ns	< 25 ns	< 50 ns	~ 1–10 ms
nicht-flüchtig	ja	ja	nein	nein	Ja
nicht-zerstörendes Auslesen	ja	nein	ja	nein	Ja
Programmier- spannung	< 5 V	< 5 V	< 5 V	< 5 V	~ 10 V
Endurance	> 10 <sup>10</sup>	> 10 <sup>10</sup>	> 10 <sup>15</sup>	> 10 <sup>15</sup>	> 10 <sup>5</sup>
Zellgröße	0,8 – 1	1 – 1,5	3 – 4	1	0,8

**Tabelle 2.2:** Charakteristische Eigenschaften unterschiedlicher Halbleiterspeicher.

Mit dem ferroelektrischen Transistor könnten also zum ersten Mal mikroelektronische Speicher gebaut werden, die alle in Tabelle 1 aufgeführten wichtigen positiven Eigenschaften besitzen. Grund genug, das Thema ‚Ferroelektrischer Transistor‘ mit möglichst vielen Aspekten in dieser Arbeit zu behandeln.

Wie später noch deutlich wird, gibt es durchaus Ursachen dafür, dass DRAM, SRAM und andere herkömmliche Speicher und vor allem auch die Entwicklung des FeRAMs noch nicht vom ferroelektrischen Transistor verdrängt wurden. Sowohl bei der genauen Betrachtung des Transistors, als auch bei der Planung von großen Arrays, also Zellenfeldern aus vielen solchen Transistoren, stößt man an einigen Stellen auf technologische und prinzipielle Schwierigkeiten. Teilweise wurden diese in der Literatur bisher weder erwähnt noch behandelt und werden in dieser Arbeit zum ersten Mal thematisiert. An vielen Stellen werden für diese Probleme außerdem Lösungen vorgeschlagen, die häufig auch mit der Anmeldung von Patenten einhergingen.

Trotz aller Schwierigkeiten bietet der ferroelektrische Transistor – verglichen mit anderen oben beschriebenen ferroelektrischen und vor allem nicht ferroelektrischen Speichern – die Chance, binäre Information auf eine sehr elegante und prinzipiell bestechend einfache Art und Weise zu speichern.



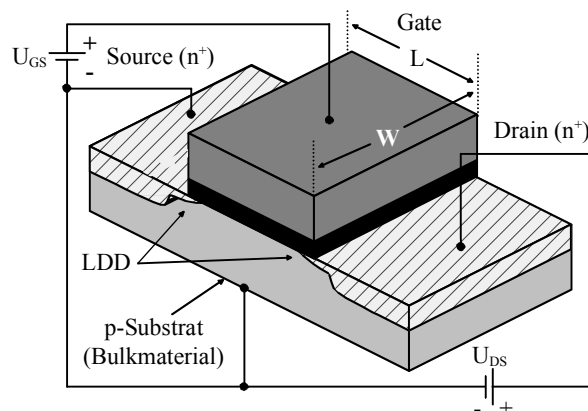
### 3 Der MOSFET und der MFISFET

Der MOSFET (Metal Oxide Semiconductor Field Effect Transistor) als diskretes und integriertes Bauelement gehört zur Familie der Feldeffekttransistoren und stellt die Grundlage des ferroelektrischen Transistors dar. Etwa 80% aller weltweit hergestellten integrierten Schaltkreise basieren auf CMOS-Schaltungen (Complementary Metal Oxide Semiconductor) und damit auf dem MOSFET. Integriert man zusätzlich eine ferroelektrische Schicht in das Gate eines solchen Transistors, wie in Kapitel 3 beschrieben, so erhält man einen ferroelektrischen Feldeffekttransistor.

Im Folgenden werden Zustände und Funktionsweise des MOSFET anhand wesentlicher Gleichungen beschrieben. Anschließend werden diese Gleichungen erweitert und auf den ferroelektrischen Transistor vom Typ des MFISFET (Metal Ferroelectric Insulator Semiconductor Field Effect Transistor) übertragen. Schließlich werden die wichtigsten Implikationen für die Anwendung erläutert.

#### 3.1 Der MOS-Transistor

Unter einem Feldeffekttransistor (Abbildung 3.1) versteht man ein Halbleiterbauelement mit wenigstens drei Anschlüssen, nämlich Source, Drain und Gate. In vertikaler Richtung gesehen ist der Transistor wie eine MOS-Struktur aufgebaut.



**Abbildung 3.1:** Vereinfachte Darstellung eines planaren n-Kanal MOSFET mit Anschlüssen für Source, Drain, Gate und Substrat. Die Schraffur kennzeichnet die hochdotierten Gebiete Source und Drain. Das Substrat ist hellgrau, das Gateoxid schwarz und die Gateelektrode dunkelgrau gezeichnet. Kanalweite  $W$  und Kanallänge  $L$  sind wichtige Konstruktionsparameter.

Über dem Kanal ist parallel und isoliert dazu die Steuer- oder Gateelektrode angebracht. Lateral neben dem Kanal befinden sich zu beiden Seiten zwei stark n-dotierte Gebiete: Source und

Drain. Diese beiden Gebiete besitzen den Leitungstyp des Inversionskanals, um einen möglichst ungehinderten Ladungsträeraustausch zwischen Kanal und Source bzw. Drain zu gewährleisten. Der Übergang vom Kanalgebiet, das im p-dotierten Substrat liegt, zum stark n-dotierten Source und Drain stellt ohne angelegte Gate-Spannung einen gesperrten pn-Übergang dar. Auf dem Siliziumkanal befindet sich eine thermisch erzeugte SiO<sub>2</sub>-Isolatorschicht, deren Dicke je nach Anwendungsgebiet des MOS-Transistors zwischen wenigen nm und einigen 10 nm liegen kann. Über dieser Oxidschicht liegt die gut leitende Steuerelektrode, die z.B. aus hochdotiertem polykristallinen Silizium besteht. Die Trägerdichte  $n$  im oberflächennahen Bereich des Kanals wird abhängig von der Spannung  $U_{GS}$  an der Steuerelektrode und damit der Feldstärke  $\vec{E}$  vergrößert oder verkleinert. Man nennt diesen Transistor deshalb Feldeffekttransistor mit isolierter Feldelektrode: IGFET (Insulated Gate Field Effect Transistor). Der wichtigste Vertreter dieser Gruppe von Transistoren ist der MISFET (Metal Insulator Semiconductor Field Effect Transistor) oder MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

### 3.2 Spannungen und Ströme am MOSFET

Schaltungstechnisch wählt man durchweg den Source-Kontakt als gemeinsamen Bezugspunkt und spricht deshalb von Source-Schaltung. Am Transistor liegen die Drain-Source-Spannung  $U_{DS}$  ( $> 0$ ), die den Drain-Strom  $I_D$  steuert, und die Gate-Source-Spannung  $U_{GS}$ , die die Trägerdichte bestimmt und damit als Steuergröße dient. Zusätzlich kann man eine Substratspannung  $U_{SB}$  zwischen Substrat (Bulkmaterial) und Source anlegen.

Für fast alle Einsatzgebiete des MOSFET ist eine große relative Stromänderung zwischen leitendem und nicht-leitendem Zustand wünschenswert. Dafür ist ein dünner Kanal und ein möglichst vollständiger Beitrag der Ladungsträger im Kanal zum Stromtransport erforderlich, d.h. es sollen keine Ladungsträger durch Grenzflächenzustände an der Grenzfläche Halbleiter-Isolator eingefangen werden. Auf Grund langjähriger Erfahrung bei der Präparation der Grenzfläche zwischen Silizium und SiO<sub>2</sub> können heute ohne Schwierigkeit MOSFETs mit deutlich weniger als  $10^{10}$  Grenzflächenzustände pro cm<sup>2</sup> und eV an dieser Grenzfläche hergestellt werden. Das bedeutet ein Trappenzentrum je  $10^5$  Oberflächenatome und gewährleistet gute Transistoreigenschaften.

Wenn die Gate-Source-Spannung  $U_{GS}$  und damit das Oberflächenpotenzial  $\Psi_s$  - der Zusammenhang zwischen beiden Größen wird später noch erläutert - ausreichend groß sind, bildet sich ein Inversionskanal, der Source und Drain leitend verbindet. Legt man eine Drain-Source-Spannung an, so fließt durch den Kanal ein Strom, der sich aus zwei Anteilen zusammensetzt. Das laterale elektrische Feld, hervorgerufen durch die Drain-Source-Spannung, erzeugt einen Driftstrom von Ladungsträgern. Ein zweiter Beitrag ist der Diffusionsstrom auf Grund des Gradienten in der Ladungsträgerverteilung. Die jeweiligen Beiträge beider Mechanismen zum Gesamtstrom können sich entlang des Kanals ändern. Offensichtlich ist aber der Gesamtstrom selbst unabhängig von der Kanalposition, da es andernfalls zur Anhäufung von Ladung im Transistorkanal käme. Die Dichte der Ladungsträger stellt sich automatisch so ein, dass der Gesamtstrom konstant ist. Die Änderung der Ladungsträgerdichte in Abhängigkeit

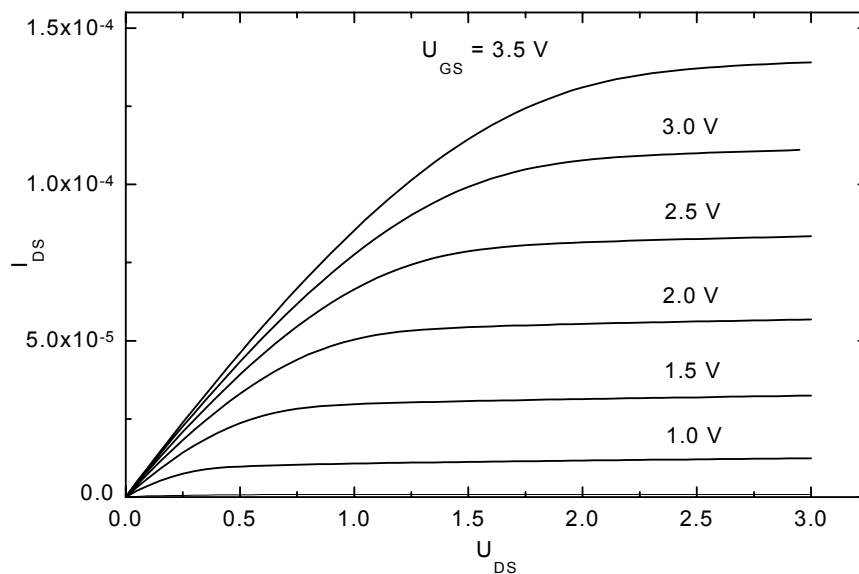


von der Kanalposition wird physikalisch mit einer Änderung des Ferminiveaus  $E_F$  entlang des Kanals erklärt. Man bezeichnet dieses veränderliche Ferminiveau auch als Quasi-Fermiveau  $E_{Fn}$ .

In erster Näherung ist der Kanalstrom in Abhängigkeit vom Quasi-Fermipotenzial gegeben durch

$$I_{DS} = -Wq\mu N_i \frac{d\Psi_{Fn}}{dy} \propto U_{GS} U_{DS} \mu(\bar{E}) \quad (3-1)$$

und damit durch die Ladungsträgerdichte in der Inversionsschicht  $N_i \propto U_{GS}$  und die Beweglichkeit  $\mu$  der Ladungen im Kanal.  $W$  steht für die Breite des Transistorkanals und  $q$  für die Elementarladung. Um den Strom  $I_{DS}$  angeben zu können, müssen  $N_i$  und die Ableitung des Quasi-Fermipotenzials entlang des Kanals  $d\Psi_{Fn}/dy$  bekannt sein. Im folgenden werden für beide Größen die entsprechenden Ausdrücke hergeleitet.



**Abbildung 3.2:** Gemessenes Ausgangskennlinienfeld (Drain-Strom  $I_{DS}$  versus Drain-Spannung  $U_{DS}$  für unterschiedliche Gate-Source-Spannungen) eines n-Kanal Enhancement-Transistors mit  $W = L = 0.6 \mu\text{m}$ .

Die Tatsache, dass die Inversionsladungsschicht normalerweise eine sehr dünne Schicht aus Ladungen an der Oberfläche des Siliziums darstellt, vereinfacht ihre Berechnung erheblich. Im sog. „Charge Sheet“-Modell [Bre78], [Tau98] wird die Inversionsschicht als zweidimensionale Ladungsträgerschicht angenommen, wodurch eine Lösung komplizierter elektrostatischer Gleichungen im Silizium unnötig wird. Danach ist die Ladungsträgerdichte im Silizium  $\sigma_S$  gegeben durch die Summe aus der Ladung in der Inversionsschicht  $-qN_i$  und die Ladung in der Verarmungsschicht  $-qN_A w$ , die sich vertikal gesehen unter der Inversionsschicht befindet und den leitenden Kanal vom Substrat trennt

$$\sigma_S = -qN_i - qN_A w. \quad (3-2)$$

Die Dotierstoffkonzentration wird mit  $N_A$  bezeichnet und die Breite bzw. Tiefe der Verarmungsschicht mit  $w$ . Sie ist gegeben durch

$$w = \sqrt{2} L_B (\beta \Psi_S)^{1/2}, \quad (3-3)$$

wobei die Debye-Länge gegeben ist durch  $L_B = (\epsilon_0 \epsilon_{Si} / \beta q N_A)^{1/2}$ . Indem man  $w$  in Gleichung (3-2) und (3-3) ersetzt erhält man für die Ladungsträgerdichte

$$qN_i = \frac{C_{stack}}{\beta} \left( -a (\beta \Psi_S)^{1/2} - \frac{\beta \sigma_S}{C_{stack}} \right). \quad (3-4)$$

Worin  $a = \sqrt{2} (\epsilon_0 \epsilon_{Si} / L_B C_{stack})$  ist und  $C_{stack}$  für die Kapazität des Gate-Stacks des Transistors steht. Für einen herkömmlichen MOSFET erhält man für  $C_{stack} = (d_{diel} / \epsilon_0 \epsilon_{diel})^{-1}$ , mit  $d_{diel}$  als Dicke und  $\epsilon_{diel}$  als Dielektrizitätskonstante des Gate-Dielektrikums. Im Vorgriff auf den Aufbau des ferroelektrischen Transistors ist die Wahl dieser etwas umständlichen Schreibweise sinnvoll, da sie später die Beschreibung erleichtert. Der Ausdruck  $C_{stack}$  wird dann wieder benutzt werden, aber anders definiert sein. Mit Gleichung (3-4) hat man bereits das gesuchte Ergebnis für  $N_i$ .

Um den Transistorstrom angeben zu können, braucht man noch einen Ausdruck für das Quasi-Fermipotenzial  $\Psi_{Fn}$ . Der Zusammenhang zwischen Ladungsträgerdichte im Silizium  $\sigma_S$  und Oberflächenpotenzial  $\Psi_S$  kann in Abhängigkeit vom Quasi-Fermipotenzial wie folgt beschrieben werden [Bre81]:

$$\sigma_S = \frac{-a C_{stack}}{\beta} \left[ \beta \Psi_S + \left( \frac{n_i}{N_A} \right)^2 (e^{\beta \Psi_S} - 1) e^{-\beta \Psi_{Fn} + \beta \Psi_S} \right]^{1/2}. \quad (3-5)$$

Gleichung (3-5) ist streng genommen nur gültig für die Bereiche Verarmung und Inversion der MOS-Struktur. Da der Transistorkanal in Akkumulation gesperrt ist und daher kein nennenswerter Strom fließen kann, ist diese vereinfachte Form ausreichend. Löst man Gleichung (3-5) nach  $\beta \Psi_{Fn}$  auf, so erhält man für das Quasi-Fermipotenzial

$$\begin{aligned} \beta \Psi_{Fn} &= -\beta \Psi_F - \log \left( \frac{(-\beta \sigma_S / a C_{stack})^2 - \beta \Psi_S}{e^{\beta \Psi_S} - 1} \right) \\ &\approx -\beta \Psi_F - \log \left( \frac{(-\beta \sigma_S / a C_{stack})^2 - \beta \Psi_S}{e^{\beta \Psi_S}} \right). \end{aligned} \quad (3-6)$$

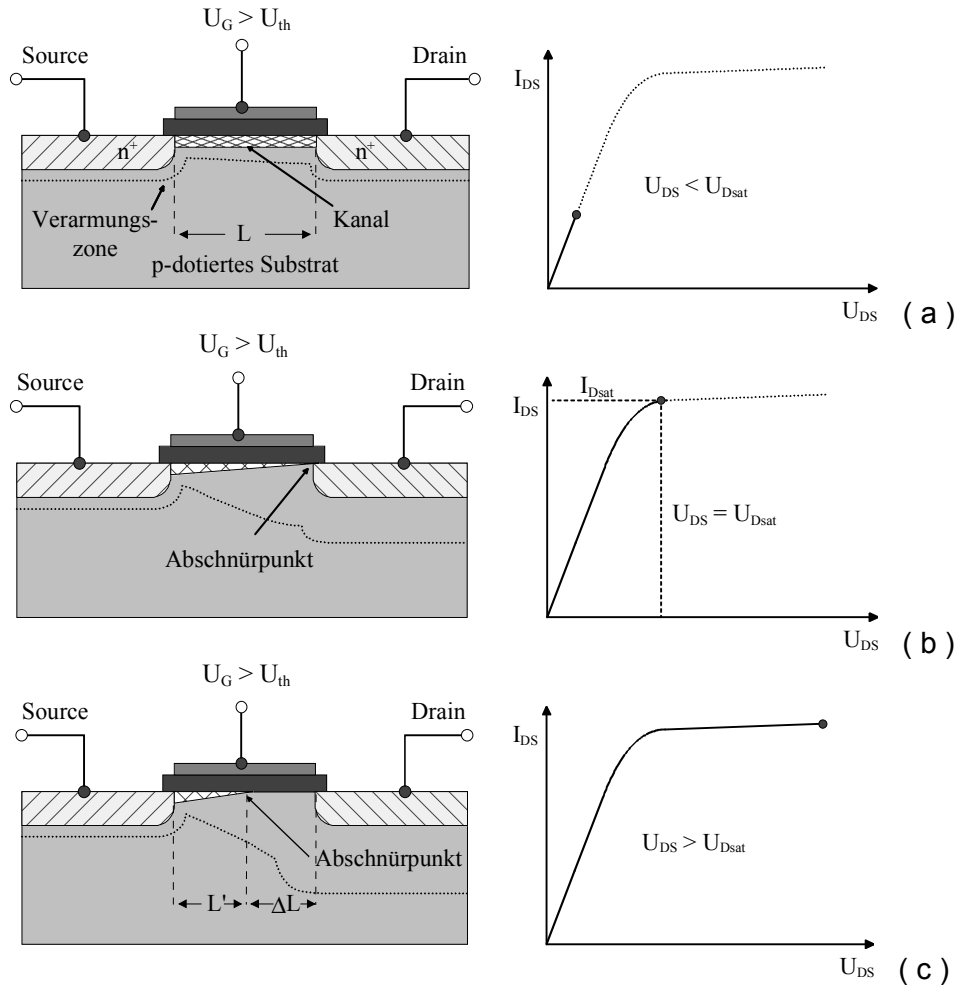
Gleichung (3-6) kann zu dem Ausdruck in der zweiten Zeile vereinfacht werden, da  $\exp(\beta \Psi_S) \gg 1$  ist, wenn sich die Struktur nicht in Akkumulation befindet.

Nimmt das Oberflächenpotenzial  $\Psi_S$  zu, so geht der Zähler in Gleichung (3-6) gegen Null und das Quasi-Fermipotenzial divergiert. Der entsprechende Wert des Oberflächenpotenzials wird mit  $\Psi_{sat}$  bezeichnet und ist gegeben durch

$$-\beta \sigma_S (\beta \Psi_{sat}) / a C_{stack} = (\beta \Psi_{sat})^{1/2}. \quad (3-7)$$

Es gibt also einen Wert für das Oberflächenpotenzial, der nicht überschritten werden kann. Bei vorgegebener Source- und Gate-Spannung führt eine Erhöhung der Drain-Spannung dazu, dass sich das Oberflächenpotenzial nahe der Drain dem Sättigungswert  $\Psi_{sat}$  annähert. Diese Situation bezeichnet man als „pinch off“, da der Kanal des Transistors „abgeschnürt“ wird und die Inversionsladungsschicht verschwindet. Der Wert der Drain-Spannung  $U_{Dsat}$ , bei dem das

Oberflächenpotenzial die Sättigung erreicht, ist definiert durch  $U_{Dsat} = \Psi_{sat} - \Psi_{s0}$ , wobei  $\Psi_{s0}$  für das Oberflächenpotenzial am Source-seitigen Ende des Kanals steht.



**Abbildung 3.3:** Vereinfachte Darstellung eines planaren n-Kanal MOSFET in unterschiedlichen Arbeitsbereichen, d.h. bei verschiedenen Spannungen  $U_{DS}$ . Verarmungszone und Kanalquerschnitt ändern sich wie dargestellt in Abhängigkeit von der angelegten Spannung  $U_{DS}$ .

Indem man Gleichung ( 3-6 ) nach  $x$  ableitet erhält man schließlich den gesuchten Ausdruck für die Ableitung des Quasi-Fermipotenzials

$$\frac{d}{dy} \beta \Psi_{Fn} = \left( 1 + \frac{1 - [2\beta\sigma_S / (aC_{stack})^2] (\partial\beta\sigma_S / \partial\beta\Psi_S)}{(-\beta\sigma_S / aC_{stack})^2 - \beta\Psi_S} \right) \frac{d}{dy} \beta \Psi_S. \quad (3-8)$$

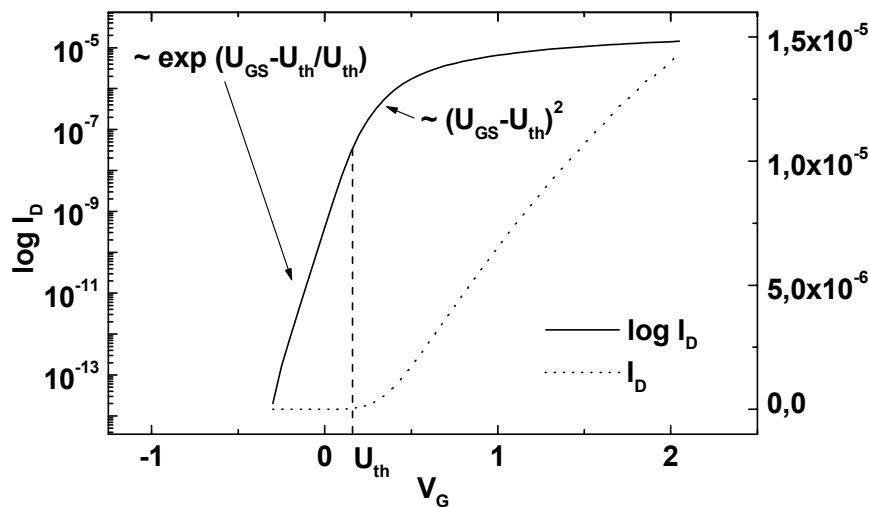
Mit Gleichung ( 3-4 ) und ( 3-8 ) stehen die gesuchten Ausdrücke für  $N_i$  und  $d\Psi_{Fn} / dy$  fest und können in Gleichung ( 3-1 ) eingesetzt werden. Für den Transistorstrom erhält man damit

$$I_{DS} = \frac{-W\mu C_{stack}}{\beta^2} \left( \frac{-\beta\sigma_S}{C_{stack}} - a(\beta\Psi_S)^{1/2} + \frac{a \left\{ 1 - [2\beta\sigma_S / (aC_{stack})^2] (\partial\beta\sigma_S / \partial\beta\Psi_S) \right\}}{[-\beta\sigma_S / aC_{stack}] + (\beta\Psi_S)^{1/2}} \right) \frac{d}{dy} \beta \Psi_S. \quad (3-9)$$

Nach Gleichung ( 3-4 ) entsprechen die beiden ersten Terme in Gleichung ( 3-9 )  $\beta q N_i / C_{stack}$ . Der dritte Term in Gleichung ( 3-9 ) trägt also nur dann wesentlich zum Gesamtstrom bei, wenn  $N_i$  klein ist, d.h. wenn der Kanal abgeschürft wird. Auf Grund dieser Tatsache kann man Gleichung ( 3-9 ) wesentlich vereinfachen, indem man den dritten Term durch seinen Wert bei abgeschürftem Kanal ersetzt. Verwendet man dafür Gleichung ( 3-7 ), dann wird aus ( 3-9 )

$$I dy = \frac{-W\mu C_{stack}}{\beta^2} \left( \frac{-\beta\sigma_S}{C_{stack}} - a(\beta\Psi_S)^{1/2} + \frac{a}{2}(\beta\Psi_S)^{-1/2} + \frac{I}{C_{stack}} \frac{\partial\beta\sigma_S}{\partial\beta\Psi_S} \right) d\beta\Psi_S. \quad (3-10)$$

Indem man diese Gleichung von Source nach Drain integriert, erhält man schließlich den gesuchten Transistorstrom. Bei der weiteren Herleitung im nächsten Abschnitt werden die Besonderheiten des ferroelektrischen Transistors berücksichtigt.

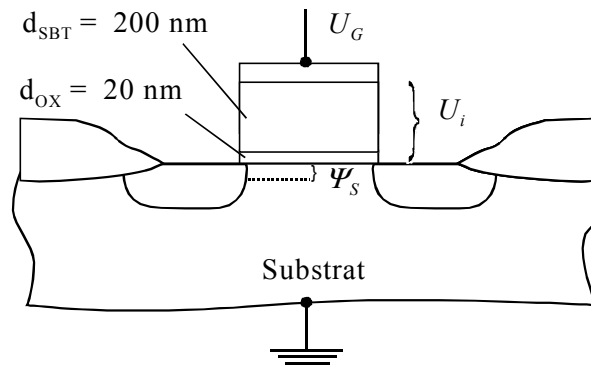


**Abbildung 3.4:** Logarithmische (Transferkennlinie) und lineare Auftragung des gemessenen Drain-Stroms  $I_D$  gegen die Gate-Spannung  $U_G$  für einen n-Kanal Enhancement-Transistor mit  $W = L = 0.6 \mu\text{m}$ .

### 3.3 Der Übergang zum MFISFET

Die Physik im Silizium der MOS-Struktur, egal ob Transistor oder Kondensator, ist unabhängig von dem, was sich über der dielektrischen Schicht befindet. Ob das Gate eines Feldeffekttransistors nur aus einer dielektrischen Schicht und einer Elektrode besteht oder ob sich dazwischen weitere Schichten befinden, z.B. eine ferroelektrische, bestimmt nur den Zusammenhang zwischen der angelegten Gate-Bulk-Spannung  $U_{GB}$  und dem Oberflächenpotenzial im Silizium  $\Psi_S$ . Wenn dieser Zusammenhang bekannt ist, kann man normalerweise die Charakteristik des Bauteils angeben, also zum Beispiel die Kennlinien. Dies gilt auch für den ferroelektrischen Transistor Typ des MFISFET, allerdings ist der Zusammenhang zwischen  $U_{GB}$  und  $\Psi_S$  in diesem Fall von der elektrischen Vorgeschichte und damit dem Polarisationszustand der ferroelektrischen Schicht des Bauteils abhängig. Abbildung 3.5 zeigt einen ferroelektrischen Transistor vom MFIS-Typ, dessen Gate aus einer

dielektrischen (an der Grenzfläche zum Substrat) und einer ferroelektrischen Schicht besteht. Darüber liegt die Gate-Elektrode.



**Abbildung 3.5:** Aufbau eines Feldeffekttransistors, dessen Gate eine ferroelektrische Schicht enthält. Die Werte für die Schichtdicken sind Beispielwerte.

Die Kapazität des Gate-Stacks dieses Transistors ist gegeben durch

$$C_{stack} = \left( \frac{d_{ferro}}{\epsilon_0 \epsilon_{ferro}} + \frac{d_{diel}}{\epsilon_0 \epsilon_{diel}} \right)^{-1} \quad (3-11)$$

Im folgenden werden angelehnt an [Mil92] die Gleichungen hergeleitet, mit deren Hilfe man einen Zusammenhang zwischen Gate-Substrat-Spannung und Oberflächenpotenzial als Funktion der Eigenschaften der dielektrischen und der ferroelektrischen Schicht herstellen kann. Ausgehend von der Maxwell-Gleichung

$$\vec{\nabla} \vec{D} = \rho \quad (3-12)$$

kann man die elektrostatischen Gleichungen für die in Abbildung 3.5 gezeigte Struktur herleiten. Hier steht  $\rho$  für die Dichte der freien Ladungen und  $\vec{D}$  für die Verschiebungsstromdichte, die gegeben ist durch  $\vec{D} = \epsilon_0 \vec{E} + P_{total}$ . Die gesamte Polarisation setzt sich zusammen aus einem linearen Anteil und dem Beitrag schaltender Dipole

$$\vec{D} = \epsilon_0 \vec{E} + \epsilon_0 \chi \vec{E} + \vec{P}_d = \epsilon_0 \epsilon \vec{E} + \vec{P}_d; \quad (3-13)$$

wobei  $\epsilon = 1 + \chi$  für die Dielektrizitätskonstante einer dielektrischen Schicht steht und  $P_d$  für den Beitrag schaltender Dipole zur Polarisation.  $P_d$  ist außerhalb der ferroelektrischen Schicht also gleich Null. Mit den beiden letzten Gleichungen und der Definition  $\vec{E} = -\vec{\nabla} \Psi$  erhält man schließlich

$$U_{GB} = \Psi_S - \frac{\sigma_S}{C_{stack}} - P_d(E_{ferro}) \frac{d_{ferro}}{\epsilon_0 \epsilon_{ferro}}. \quad (3-14)$$

Durch die Schreibweise  $P_d(E_{ferro})$  in Gleichung (3-14) soll ausgedrückt werden, dass die Polarisation  $P_d$  zum Zeitpunkt  $t$  natürlich vom elektrischen Feld, genauer gesagt sogar vom zeitlichen Verlauf des elektrischen Feldes bis zum Zeitpunkt  $t$  abhängt. Außerdem sollen in die Schichten keine festen Ladungen eingebaut sein. Das elektrische Feld  $E_{ferro}$  ist dabei gegeben durch

$$E_{ferro} = \frac{-[\sigma_S + P_d(E_{ferro})]}{\epsilon_0 \epsilon_{ferro}}. \quad (3-15)$$

Nun braucht man noch die Gesamtladung  $\sigma_S$  als Funktion des Oberflächenpotenzials  $\Psi_S$ . Sie ist gegeben durch [Sze85]

$$\sigma_S = -SGN(\Psi_S) \sqrt{2} (\epsilon_0 \epsilon_{ferro} / \beta L_B) [(e^{-\beta \Psi_S} + \beta \Psi_S - 1) + (n_i / N_A)^2 (e^{\beta \Psi_S} - \beta \Psi_S - 1)]^{1/2}. \quad (3-16)$$

Der Faktor  $\beta$  steht für  $q/kT$  und  $L_B$  für die Debye-Länge, die gegeben ist durch  $L_B = (\epsilon_0 \epsilon_{Si} / \beta q N_A)^{1/2}$ . Mit den Gleichungen ( 3-14 ), ( 3-15 ) und ( 3-16 ) hat man eine vollständige Beschreibung des Kondensators, also des Gate-Stacks wie er in Abbildung 3.5 gezeigt ist, wenn man die Funktion  $P_d(E_{ferro})$  kennt. Die Gleichungen gelten für alle drei möglichen Zustände dieser Struktur, also Akkumulation, Verarmung und Inversion.

Berücksichtigt man die Betrachtungen aus Kapitel 3.2, wo der Kanalstrom für einen herkömmlichen Transistor berechnet wurde, so lässt sich der Kanalstrom für einen ferroelektrischen Transistor angeben. Das Oberflächenpotenzial an der Source wird mit  $\Psi_{s0}$  und das an der Drain mit  $\Psi_{sL}$  bezeichnet. Man integriert Gleichung ( 3-10 ) über die gesamte Kanallänge  $L$  von Source nach Drain.

$$I dy = \frac{-W \mu C_{stack}}{\beta^2} \left( \frac{-\beta \sigma_S}{C_{stack}} - a(\beta \Psi_S)^{1/2} + \frac{a}{2} (\beta \Psi_S)^{-1/2} + \frac{1}{C_{stack}} \frac{\partial \beta \sigma_S}{\partial \beta \Psi_S} \right) d\beta \Psi_S. \quad (3-17)$$

Die linke Seite von Gleichung ( 3-10 ) wird  $IL$ , da der Strom über die gesamte Kanallänge konstant ist. Die rechte Seite kann ebenfalls direkt integriert werden, mit Ausnahme der Terme, die  $\sigma_S$  enthalten, da  $\sigma_S$  eine Funktion von  $\beta \Psi_S(y)$  ist. Gleichung ( 3-14 ) nach  $\sigma_S$  aufgelöst ergibt

$$\frac{-\beta \sigma_S(\beta \Psi_S)}{C_{stack}} = \beta U_{GB} - \beta \Psi_S + P_d(E_{ferro}) \frac{\beta d_{ferro}}{\epsilon_0 \epsilon_{ferro}}. \quad (3-18)$$

Indem man Gleichung ( 3-18 ) verwendet, kann man Gleichung ( 3-10 ) integrieren. Besondere Beachtung kommt dabei der Polarisation der ferroelektrischen Schicht  $P_d(E_{ferro})$  zu. Um die Integration durchführen zu können, muss  $P_d(E_{ferro})$  als konstant angenommen werden. Dies gilt aber nur, wenn die Drain-Source-Spannung  $U_{DS}$  so klein ist, dass sie keine Änderung der ferroelektrischen Polarisation entlang des Kanals hervorruft.  $U_{DS}$  darf deswegen nur einige 100 mV betragen. Unter dieser Voraussetzung ergibt sich schließlich für den Transistorstrom

$$I = \frac{-W}{L} \frac{\mu C_{stack}}{\beta^2} \left[ \left( 1 + \beta U_{GB} + \frac{\beta d_{ferro}}{\epsilon_0 \epsilon_{ferro}} P_d(E_{ferro}) \right) (\beta \Psi_{sL} - \beta \Psi_{s0}) - \frac{1}{2} [(\beta \Psi_{sL})^2 - (\beta \Psi_{s0})^2] - \frac{2}{3} a [(\beta \Psi_{sL})^{3/2} - (\beta \Psi_{s0})^{3/2}] \left( \frac{\beta_f}{\beta_f} \right) + a [(\beta \Psi_{sL})^{1/2} - (\beta \Psi_{s0})^{1/2}] \right]. \quad (3-19)$$

Nach Brews [Bre78] gilt auf der Source-Seite

$$\Psi_{Fn}(source) = \Psi_F + U_{BS} \quad (3-20)$$

und auf der Drain-Seite

$$\Psi_{Fn}(drain) = \Psi_F + U_{BS} + U_{DS} \quad (3-21)$$

Indem man Gleichung ( 3-6 ) mit ( 3-20 ) und ( 3-21 ) kombiniert erhält man schließlich für das Oberflächepotenzial  $\Psi_{s0}$  auf der Source-Seite

$$\Psi_{s0} = U_{BS} + 2\Psi_F + \frac{1}{\beta} \log \left[ \frac{1}{a^2} \left( \beta U_{GB} + \frac{\beta d_{ferro}}{\epsilon_0 \epsilon_{ferro}} P_d(E_{ferro}) - \beta \Psi_{s0} \right)^2 - \beta \Psi_{s0} \right] \quad (3-22)$$

und für  $\Psi_{sL}$  auf der Drain-Seite

$$\Psi_{sL} = U_{DS} + U_{BS} + 2\Psi_F + \frac{1}{\beta} \log \left[ \frac{1}{a^2} \left( \beta U_{GB} + \frac{\beta d_{ferro}}{\epsilon_0 \epsilon_{ferro}} P_d(E_{ferro}) - \beta \Psi_{sL} \right)^2 - \beta \Psi_{sL} \right]. \quad (3-23)$$

Um diese Gleichungen zu lösen und damit den Drain-Strom eines ferroelektrischen Transistors nach ( 3-19 ) angeben zu können, muss für  $P_d(E_{ferro})$  eine Funktion bekannt sein. Nach [Mil91] kann zur Beschreibung der feldabhängigen Polarisation der Tangens Hyperbolicus verwendet werden.

Ausführlichere Informationen zur Modellierung des ferroelektrischen Transistors finden sich in der Literatur: Wie wir gezeigt haben, kann die Polarisation mit einer Arcus-Tangens-Funktion beschrieben werden [Ull00]. Ein kompaktes Modell zur Beschreibung und Simulation ferroelektrischer Transistoren stellen wir in [Ull99] vor. Eine Modellierung ferroelektrischer Kondensatoren und Transistoren und zum Teil auch einen Vergleich mit experimentellen Daten liefern [Arl97], [Bren92], [Jia97], [Lue03], [Mac98], [Mil90], [Mil92], [Rep99].

Es ist durchaus gerechtfertigt, dass die bisherige Beschreibung des ferroelektrischen Transistors keinerlei Effekte berücksichtigt, wie sie bei MOS-Transistoren mit typischen Abmessungen  $< 200$  nm auftreten. Bei so kleinen Strukturen müssen zusätzliche Einflüsse, wie beispielsweise die Feldabhängigkeit der Beweglichkeit  $\mu(E)$ , Kurz- oder Schmalkanaleffekte betrachtet werden. Im momentanen Entwicklungsstadium des ferroelektrischen Transistors geht es aber nicht um minimal mögliche Strukturen sondern darum, einen funktionierenden Transistor herzustellen.

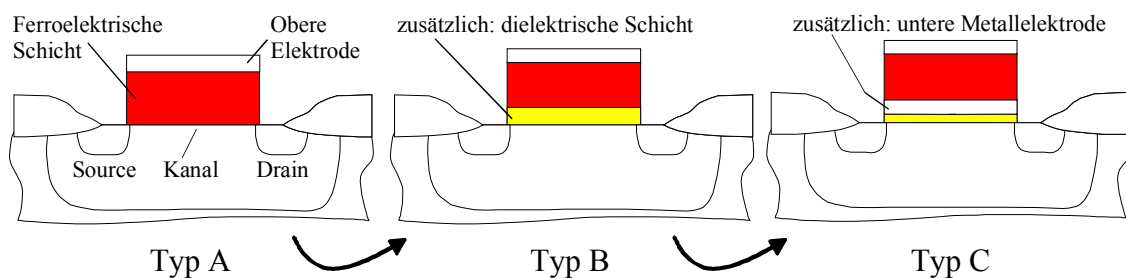




## 4 Konzepte für ferroelektrische Feldeffekttransistoren

Die Idee zum ferroelektrischen Transistor stammt aus den fünfziger Jahren [Auc98]. Die damalige Vorstellung davon, wie dieser Transistor aussehen könnte, unterscheidet sich zwar in den Details sehr stark von der heutigen, das Funktionsprinzip aber ist unverändert geblieben. In den Bereich des technisch Machbaren rückte eine solches Bauelement in miniaturisierter Form erst durch den in den letzten Jahren erreichten Stand der Technik. In Verbindung mit den im letzten Kapitel erwähnten Vorzügen erfährt der ferroelektrische Transistor deswegen zurzeit ein steigendes Interesse.

Ferroelektrische Transistoren können auf verschiedene Art realisiert werden. Für die Herstellung eines solchen Transistors muss eine ferroelektrische Schicht in das Gate des Transistors integriert werden. Abbildung 4.1 zeigt drei Möglichkeiten, wie diese Aufgabe gelöst werden kann.



**Abbildung 4.1:** Skizze von drei möglichen Typen eines ferroelektrischen Transistors. Ganz links ein Transistor, bei dem die ferroelektrische Schicht direkt an das Substrat angrenzt (MFSFET); bei dem mittleren Transistor trennt eine dielektrische Schicht das Ferroelektrikum vom Substrat (MFISFET); ganz rechts ist die ferroelektrische Schicht zwischen zwei Metallelektroden eingebaut (MFMISFET).

Die Aufgabe besteht darin, eine ferroelektrische Schicht so zu integrieren, dass der Teil des Transistors unter dem Gate-Oxid so funktionieren kann wie bei einem herkömmlichen MOSFET. Andererseits muss die ferroelektrische Schicht so prozessiert werden, dass sie die erforderliche Qualität besitzt. Im Fall von SBT bedeutet das vor allem hohe Prozesstemperaturen von bis zu 800°C und eine sauerstoffhaltige und damit stark oxidierende Atmosphäre während der Prozessierung. Neben Diffusionsprozessen werden damit vor allem Oxidationsprozesse unterstützt. Dabei kann das Silizium-Substrat oxidiert werden, so dass zwischen der ferroelektrischen Schicht und dem Substrat eine SiO<sub>2</sub>-Schicht entsteht, deren Dielektrizitätskonstante ca. 3,9 beträgt. Ferroelektrische Schichten besitzen dagegen in der Regel eine Dielektrizitätskonstante von einigen 100. Beim Polarisieren der ferroelektrischen Schicht bilden diese und eine evtl. vorhandene Zwischenschicht aus SiO<sub>2</sub> einen Spannungsteiler zwischen Gate-Elektrode und Transistorkanal. Selbst wenn sich die Dicken beider Schichten

reziprok verhalten, wenn also die Dicke der ferroelektrischen Schicht in der Größenordnung 100 nm und die der parasitären SiO<sub>2</sub>-Schicht wenige Nanometer beträgt [z.B. Lee99a], steigt damit die zum Umschalten der ferroelektrischen Polarisation nötige Spannung ca. auf das Doppelte an.

Für die meisten konventionellen MOSFETs wird seit mehr als vierzig Jahren Silizium als Substrat und dessen Oxid SiO<sub>2</sub> als Gate-Oxid verwendet. Es hat viele Jahre und sicher einige tausend Veröffentlichungen gedauert bis dieses Schichtsystem weitgehend verstanden war. Und immer noch gibt es aktuelle Veröffentlichungen mit neuen Ergebnissen, z.B. hinsichtlich der Skalierbarkeit dieses Gate-Oxids. Dabei ist dieses Schichtsystem viel weniger kompliziert als eine Kombination aus Silizium und einem ferroelektrischen Material. Das wird schon daran deutlich, dass die im letzten Kapitel angesprochenen Ferroelektrika aus komplexen Oxiden bestehen, bei denen z.B. Schwankungen in der Stöchiometrie einen großen Einfluss auf die Schicht selbst und ihre Grenzfläche zum Silizium haben können [Kim03].

Alle drei im Folgenden beschriebenen Konzepte, wie das Gate eines ferroelektrischen Transistors aufgebaut sein kann, müssen die gleichen wichtigen Kriterien beachten. Sie werden einzeln in den folgenden Kapiteln noch genauer besprochen.

Zum besseren Verständnis der unterschiedlichen Konzepte hier die wichtigsten Kriterien in Stichpunkten:

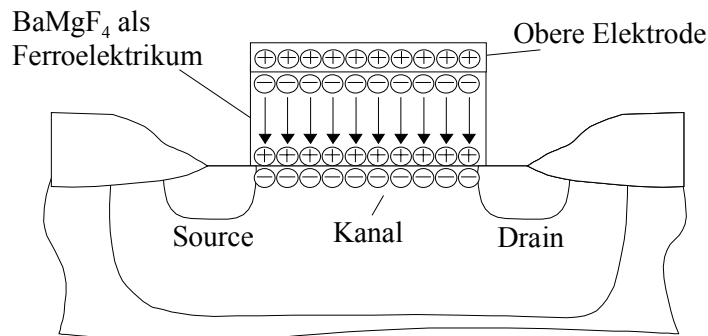
- Gute Grenzfläche zwischen Substrat und darüber liegender Schicht, geringe Grenzflächenzustandsdichte.
- Kein unkontrolliertes Wachstum von Zwischenschichten, z.B. durch starke Oxidation des Substrates.
- Gute Qualität und geeignete Eigenschaften der ferroelektrischen Schicht auf der jeweiligen Unterlage.
- Geringe Interdiffusion zwischen den einzelnen Schichten des Transistor-Gates und keine Diffusion zwischen diesen Schichten und dem Substrat.
- Möglichst geringe Unterschiede zwischen den Dielektrizitätskonstanten einer evtl. vorhandenen dielektrischen und der ferroelektrischen Schicht.

Diese Voraussetzungen müssen mindestens erfüllt sein, um einen funktionierenden Transistor zu erhalten. Wie später im Einzelnen erläutert wird, kommen weitere Anforderungen hinzu, wenn man Transistoren bauen möchte, die in jeder Hinsicht optimal funktionieren sollen.

#### **4.1 Ferroelektrikum direkt auf dem Substrat – der MFSFET**

Der naheliegendste Weg, einen ferroelektrischen Transistor zu bauen, besteht darin, eine ferroelektrische Schicht direkt auf dem Substrat abzuscheiden. Dieser Transistor wird in der Literatur nach der Art seines Aufbaus meist als MFSFET (Metal Ferroelectric Semiconductor Field Effect Transistor) bezeichnet. Dieser Ansatz wurde von der Firma Westinghouse [Lam90], [Lam92] und später auch von anderen verfolgt [Aiz96], [Lyu96]. Als Substrat wurde Silizium

Si(111) und als ferroelektrisches Material  $\text{BaMgF}_4$  (BMF) verwendet. Die Hoffnung bei dieser Materialkombination war, die ferroelektrische Schicht mit einem geringen Mismatch von ca. 1,7 % epitaktisch auf dem Substrat aufwachsen zu können. Damit kann im Prinzip eine atomar glatte Grenzfläche erzeugt werden, was sich positiv auf die Beweglichkeit der Ladungsträger im Kanal des Transistors auswirkt. Außerdem wird verhindert, dass sich zwischen der ferroelektrischen Schicht und dem Substrat eine elektrisch aktive Zwischenschicht bildet, die – wie später noch erläutert wird – die Betriebsspannung und die Datenhaltung des Transistors beeinträchtigen kann.



**Abbildung 4.2:** Skizze eines Feldeffekttransistors, bei dem sich die ferroelektrische Schicht direkt auf dem Substrat befindet. Westinghouse betrieb die Entwicklung dieses Transistortyps.

Wie in den entsprechenden Veröffentlichungen nachzulesen ist, war die Entwicklung bei Westinghouse leider nicht erfolgreich. Die  $\text{BaMgF}_4$ -Schichten konnten zwar epitaktisch abgeschieden werden, allerdings lag die Richtung der ferroelektrischen Polarisation auf Grund der Verspannung des Materials beim Aufwachsen in der Ebene der Schicht. Die erreichbare Polarisation an der Oberfläche der Schicht war damit zu gering, um einen Transistor vollständig aus- oder einzuschalten. Durch die Verspannung des Materials und die ungünstige Vorzugsrichtung nahm die Polarisation außerdem sehr schnell ab und die Datenhaltung lag im Bereich von wenigen Sekunden. Dieses Problem konnte nicht zufrieden stellend gelöst werden, die Entwicklung wurde eingestellt.

In der neueren Literatur findet man kaum noch Versuche, ferroelektrische Schichten direkt auf Silizium-Substrat abzuschneiden [Wu76]. Eine epitaktische Abscheidung ist in den meisten Fällen nicht möglich. Bei polykristallinen Schichten aber bilden sich im Lauf der Prozessierung häufig unerwünschte parasitäre Zwischenschichten, wie in [Lee97], [Lee99a], [Tok96a] beschrieben, unter anderem mit dem oben erwähnten Nachteil einer steigenden Betriebsspannung. Vor allem aber besitzen PZT und SBT beide leicht flüchtige Komponenten. Beim PZT ist es vor allem Blei [Tok96a], beim SBT Wismut [Bar98], das bei den nötigen, relativ hohen Prozesstemperaturen von 600 – 800°C leicht ins Substrat diffundieren kann. Neben der Verunreinigung des Substrates werden auch Grenzflächenzustände erzeugt. Bei modernen Transistoren erreicht man eine Grenzflächenzustandsdichte von weniger als  $10^{10} / \text{cm}^2$  eV und damit erst die Kompatibilität dieses Bauteils mit den geforderten niedrigen Betriebsspannungen.

Eine ähnliche Qualität der Grenzfläche ist auch beim ferroelektrischen Transistor erforderlich. Sie kann aber bei direktem Kontakt zwischen Substrat und ferroelektrischer Schicht nach heutigem Kenntnisstand nicht erreicht werden. Auch die Qualität der ferroelektrischen Schicht wird durch die Unterlage beeinflusst. Durch starke Diffusion einzelner Elemente kann die Stöchiometrie verändert werden. Damit ändern sich die meisten elektrischen Parameter, wie z.B. Koerzitivfeldstärke, remanente Polarisation oder Leckstrom [Kim03]. Ein mögliches Mittel zur Eindämmung dieses Problems besteht darin, eine dielektrische Schicht zu verwenden, die nur Elemente enthält, welche in der ferroelektrischen Schicht ohnehin vorkommen [Han99b].

Ein letztes Argument gegen diese Art des Transistoraufbaus kommt aus der Betrachtung des Bändermodells. Die Bandlücke von SBT liegt bei ca. 4,2 eV. Die Bandanpassung zum Silizium-Substrat ist aber nicht symmetrisch, so dass die Barriere für die Injektion von Elektronen in das Leitungsband des SBT weniger als 0,2 eV beträgt [Rob00]. Damit kann beim Anlegen einer Gate-Spannung an den Transistor Schottky-Emission aus dem Substrat in die ferroelektrische Schicht auftreten. Dadurch kommt es zum unkontrollierbaren Driften wichtiger Parameter beim Transistor, wie z.B. der Flachbandspannung. Die Kennlinien des Transistors werden dadurch verschoben, in ihrer Form verändert und die Ströme im ein- und ausgeschalteten Zustand entsprechen nicht mehr den vorher zur Bewertung der logischen Zustände festgelegten Werten. Der Transistor kann auch dadurch ausfallen, dass die Kompensationsladungen für die ferroelektrische Polarisation nicht mehr im Kanal des Transistors sondern in der ferroelektrischen Schicht selbst sitzen. Dann ist keine oder nur noch eine sehr geringe Änderung der Ladungsträgerkonzentration im Kanalbereich und damit kein Schalten des Transistors mehr möglich. Durch die Injektion von Ladungen wird außerdem ein reproduzierbares Schalten der remanenten Polarisation des Materials unmöglich [Nod99].

Die geschilderten Probleme lassen sich auch durch die Wahl anderer Materialien nicht vermeiden. Vor allem die Komplexität der meisten ferroelektrischen Materialien und der starke Einfluss der Stöchiometrie und der Unterlage auf die elektrischen Eigenschaften der Schicht stellen ein großes Hindernis auf dem Weg zu dieser Art der Integration dar. In der Umgebung eines Substrates wie Silizium, das für diese Arbeit das Material der Wahl war, gibt es nach dem Stand der Technik und auf absehbare Zeit außer der Epitaxie keine Möglichkeit, ferroelektrische Schichten homogen, in hoher Qualität und ohne die Bildung von störenden Zwischenschichten zu erzeugen.

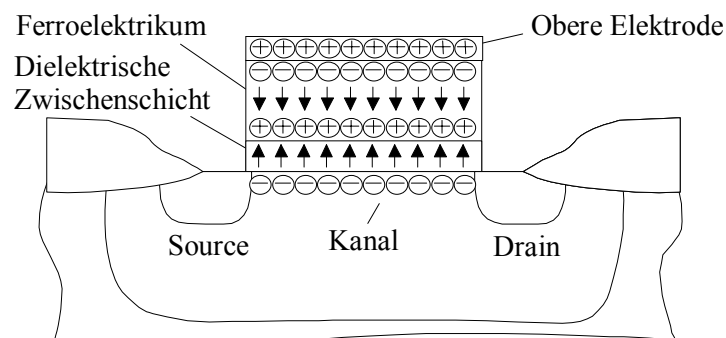
Diese pessimistische Betrachtung wird durch einen einfachen Versuch untermauert. Dazu wurde auf Silizium-Substrat [(100); 2-5  $\Omega\text{cm}$  p-dotiert] als ferroelektrisches Material SBT abgeschieden (zur Methode der Abscheidung siehe Kapitel 8) und für eine Stunde in Sauerstoffatmosphäre bei Temperaturen zwischen 600 und 800°C kristallisiert. Anschließend wurden Platinelektroden unterschiedlicher Größe mit einer Dicke von ca. 100 nm aufgedampft. Mit dieser Schichtkombination ist es möglich, die ferroelektrische Schicht und die Grenzfläche zwischen Substrat und ferroelektrischem Material zu charakterisieren. Die Ergebnisse bestätigten allerdings die Erwartungen.  $C(U)$ -Messungen zeigten eine schlechte Qualität der Grenzfläche, die Grenzflächenzustandsdichte lag im Bereich von einigen  $10^{12}$  / $\text{cm}^2$  eV und die Proben zeigten keine ferroelektrischen Eigenschaften. Bei  $C(U)$ -Messungen zeigte sich vielmehr, dass wahrscheinlich bei Feldstärken von ca. 100 – 200 kV/cm Ladungen in die ferroelektrische Schicht injiziert wurden, die eine Verschiebung der Flachbandspannung

bewirkten. Darauf deutet auch die Tatsache hin, dass die Messungen nicht reproduzierbar waren. Damit ist diese Substrat-Schicht-Kombination für die Herstellung von Transistoren unbrauchbar. Es wurden verschiedene Prozessvarianten (Vorreinigung, verschiedene Temperaturen) erprobt. Es konnte aber weder eine bessere Qualität der Grenzfläche erreicht werden noch konnte die Ferroelektrizität der SBT-Schicht beobachtet werden.

## 4.2 Ferroelektrikum mit dielektrischer Zwischenschicht zum Substrat – der MFISFET

Im letzten Abschnitt wurde deutlich, dass es bisher keine Möglichkeit gibt, eine ferroelektrische Schicht in der erforderlichen Qualität direkt auf Silizium-Substrat abzuschneiden. Um die Qualität der Grenzfläche und der ferroelektrischen Schicht zu verbessern und Diffusion und Ladungsinjektion zwischen ferroelektrischer Schicht und Substrat auszuschließen, kann man eine Zwischenschicht oder „Buffer Layer“ einführen. Diese kann auch als alternatives Gate-Oxid bezeichnet werden, da ein Teil ihrer Funktion die eines Gate-Oxids ist.  $\text{SiO}_2$  scheidet in diesem Fall trotz bekannt guter Qualität der Grenzfläche und anderer positiver Merkmale wegen seiner geringen Dielektrizitätskonstante aus.

Dieser Transistor wird in der Literatur nach der Art seines Aufbaus meist als MFISFET (Metal Ferroelectric Insulator Semiconductor Field Effect Transistor) bezeichnet. Auf Grund der möglichen Entkopplung von ferroelektrischer Schicht und Substrat mit Hilfe der Zwischenschicht erscheint dieser Transistor wesentlich Erfolg versprechender als der unter 4.1 beschriebene Transistortyp. Man erreicht wesentlich mehr Flexibilität bei der Wahl der Materialien und der Prozessbedingungen. Die dielektrische Schicht kann auf das Substrat hin optimiert werden, die ferroelektrische im Hinblick auf die für den Transistor wünschenswerten Eigenschaften.



**Abbildung 4.3:** Skizze eines Feldeffekttransistors, bei dem die ferroelektrische Schicht vom Substrat durch eine dielektrische Schicht getrennt ist. Die Probleme an der Grenzfläche zum Substrat werden dadurch entschärft, der Abstand zwischen der Oberfläche des Ferroelektrikums und den Ladungen im Kanal führt aber zu einem Depolarisationsfeld.

Die dielektrische Zwischenschicht bringt allerdings ein prinzipielles Problem mit sich. Auf Grund ihrer endlichen Dicke absorbiert sie nicht nur teilweise eine zwischen oberer Elektrode und Kanal angelegte Spannung. Sie sorgt auch dafür, dass die zur Kompensation der remanenten Polarisierung nötigen Ladungen nicht direkt an der Oberfläche der ferroelektrischen Schicht sitzen können. Sie befinden sich vielmehr im Abstand  $d$  von der Oberfläche, wie in Abbildung 4.3 gezeigt. Dadurch entsteht ein elektrisches Feld, das dem der ferroelektrischen Schicht entgegengerichtet ist und im Lauf der Zeit zu einem Abbau der Polarisierung führen kann. Dabei hängt die Zeitkonstante von der Dicke der dielektrischen Schicht ab. Dieses Problem wird später noch genauer erörtert.

Die wichtigsten Forderungen an die dielektrische Zwischenschicht lauten:

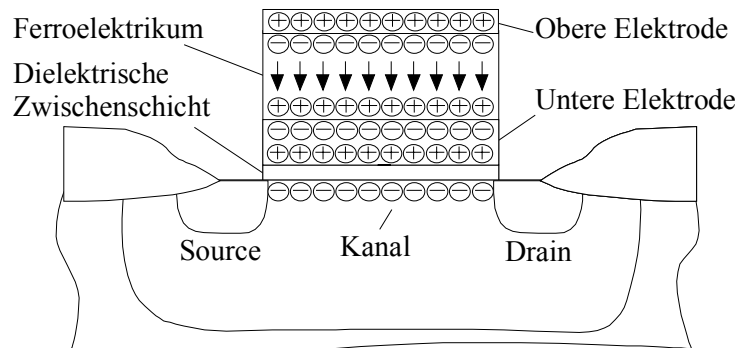
- Sie muss mit dem Silizium-Substrat eine qualitativ hochwertige und thermodynamisch stabile Grenzfläche bilden.
- Die Zwischenschicht muss als Barriere gegen Diffusion von Bestandteilen der ferroelektrischen Schicht ins Substrat wirken.
- Der Bandabstand sollte größer als 4 eV sein und die Bandanpassung sollte möglichst symmetrisch sein, damit sowohl die Energiebarriere für Elektronen  $\Phi_n$  aus dem Si-Substrat als auch die für Löcher  $\Phi_p$  jeweils mindestens 1 eV beträgt.
- Das verwendete ferroelektrische Material muss auf dieser Zwischenschicht in der gewünschten Qualität abscheidbar sein.
- Die Zwischenschicht muss möglichst dünn sein, um das Depolarisationsfeld (siehe Kapitel 5.2.2) so weit wie möglich zu reduzieren, und sie muss die der Flächenladungsdichte der remanenten Polarisierung  $\pm P_r$  entsprechende Feldstärke aushalten.
- Eine besonders wichtige Forderung betrifft die Dielektrizitätskonstante der Zwischenschicht: Sie muss so groß wie möglich sein. Das Substrat auf der einen Seite und die Platinschicht auf der anderen sind als Elektroden einer seriellen Anordnung von Kapazitäten zu betrachten. Sie setzt sich zusammen aus der Zwischenschicht und der ferroelektrischen Schicht. Das Verhältnis dieser beiden Kapazitäten bestimmt wie sich eine zwischen Substrat und Platinelektrode angelegte Spannung auf die beiden Schichten verteilt. Damit hat die Zwischenschicht wesentlichen Einfluss auf die erforderliche Betriebsspannung. Damit die zum Umschalten der ferroelektrischen Polarisierung nötige Gate-Substrat-Spannung so gering wie möglich ist, muss sie zum größten Teil über der ferroelektrischen und nicht über der darunter liegenden dielektrischen Schicht abfallen.

Die zum Betrieb des ferroelektrischen Transistors nötige Spannung ist *das* Kriterium schlechthin für die Entwicklung dieses neuen Bauteils. Da die Skalierung der Motor der Halbleiterindustrie ist, scheint die Entwicklung neuer Bauteile nur dann sinnvoll, wenn sie gegenüber herkömmlichen Bauteilen Vorteile aufweisen und gleichzeitig ihrer weiteren Skalierung keine unüberwindbaren physikalischen Grenzen gesetzt sind. D.h. insbesondere, dass sie mit kleinen Spannungen betrieben werden können und diese Spannungen im Rahmen der Strukturverkleinerung weiter verringert werden können. Eine Abschätzung der Betriebsspannung findet sich in Kapitel 5.2.1.

### 4.3 „Floating Gate“ Transistoren – der MFMISFET

Wer sich mit dem Thema ferroelektrischer Transistor beschäftigt, der findet schnell eine weitere Variante dieses Transistors, wie sie beispielsweise in [Naka95], [Nak95] oder [Suz02] beschrieben ist. Sie liegt noch einen Schritt weiter von dem unter 4.1 beschriebenen Ansatz entfernt. Zusätzlich zu der dielektrischen Zwischenschicht wird zwischen dieser und der ferroelektrischen Schicht noch eine Metallelektrode eingesetzt. Die ganze Anordnung kann dann wie ein konventioneller Feldeffekttransistor mit alternativem Gate-Dielektrikum verstanden werden, auf dem sich ein ferroelektrischer Kondensator befindet.

Häufig wird dieser Transistortyp in der Literatur als „Floating Gate“ Transistor oder als MFMISFET (Metal Ferroelectric Metal Insulator Semiconductor Field Effect Transistor) bezeichnet. So nennt man bisher die Speichertransistoren bei Flash- und EEPROM-Speichern. Sie besitzen zwei getrennte Gates. Ein so genanntes Control-Gate und ein darunter liegendes, vollständig durch SiO<sub>2</sub> isoliertes Floating Gate. Das Control-Gate dient dazu, Ladungen durch das SiO<sub>2</sub> auf das Floating Gate aus polykristallinem Silizium tunneln zu lassen. Das von diesen Ladungen ausgehende Feld verschiebt die Schwellspannung des Transistors. So kann in eine Matrix aus Transistoren entsprechend ihrer unterschiedlichen Schwellspannung ein binäres Muster geschrieben werden. Da die Lesespannung deutlich kleiner ist als die zum Durchtunneln des Isolators nötige Spannung, wird die Information beim Lesen nicht zerstört. Im Ruhezustand sind die Leckströme durch die das Floating Gate umgebende SiO<sub>2</sub>-Schicht so gering, dass eine Datenhaltung von mehr als 15 Jahren erreicht wird.

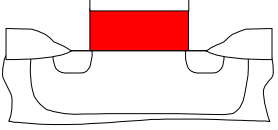
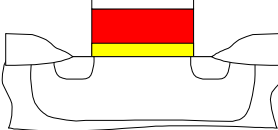
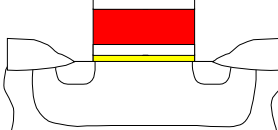


**Abbildung 4.4:** Skizze eines Feldeffekttransistors, bei dem die ferroelektrische Schicht zwischen zwei Metallelektroden liegt. Die untere Metallelektrode ist vom Substrat durch eine dielektrische Schicht getrennt und wird durch die ferroelektrische Schicht polarisiert.

Beim ferroelektrischen Transistor ist der Begriff des Floating Gate Transistors aber irreführend. Zwar gibt es auch hier eine obere und eine untere Elektrode, die eine mit dem Control-Gate vergleichbar, die andere mit dem Floating Gate. Es tunneln aber keine Ladungen auf das Floating Gate. Im Gegenteil: Der Zu- oder Abfluss von Netto-Ladung würde zum Verlust der Information und zum Ausfall der Speicherzelle führen. Im normalen Betrieb wird durch das von der ferroelektrischen Schicht ausgehende elektrische Feld Ladungstrennung in der unteren Elektrode induziert. Sie wird wie eine Metallplatte im Feld eines Plattenkondensators polarisiert. Bei diesem Transistor dient erst das von der polarisierten Metallelektrode

ausgehende elektrische Feld zur Steuerung des Transistorkanals. Durch die angrenzende Metallelektrode befinden sich ausreichend Kompensationsladungen direkt an der Oberfläche des Ferroelektrikums und es entsteht kein Depolarisationsfeld in unmittelbarer Nähe zur ferroelektrischen Schicht. Abbildung 4.4 zeigt einen solchen Transistor.

Die vollständige Kompensation der Polarisation der ferroelektrischen Schicht durch die Ladungen der direkt angrenzenden Elektroden ist ein großer Vorteil. Die zusätzliche Metallelektrode führt aber auch zu Problemen. Leckströme durch die dielektrische oder die ferroelektrische Schicht können zusätzliche Ladungen auf die untere Elektrode bringen und zur einer Aufladung führen. In dem in Abbildung 4.4 dargestellten Fall könnte beispielsweise ein Elektronenleckstrom durch die dielektrische Schicht dazu führen, dass die vorher elektrisch neutrale Elektrode nicht mehr richtig polarisiert werden kann. Dann können die zugeflossenen Elektronen die remanente Polarisation der ferroelektrischen Schicht kompensieren. Das von der ferroelektrischen Schicht ausgehende elektrische Feld hat in diesem Fall keine Wirkung mehr auf den Transistorkanal, die Speicherzelle fällt aus.

	MFSFET	MFISFET	MFMISFET
			
<b>Pro</b>	<ul style="list-style-type: none"> <li>• Einfachster Aufbau</li> </ul>	<ul style="list-style-type: none"> <li>• Relativ einfacher Aufbau</li> <li>• Größere Flexibilität in der Materialwahl und bei der Optimierung der Prozessparameter durch Entkoppelung der ferroelektrischen Schicht vom Substrat</li> </ul>	<ul style="list-style-type: none"> <li>• Verringerung des Depolarisationsfeldes</li> </ul>
<b>Contra</b>	<ul style="list-style-type: none"> <li>• Geringes <math>E_G</math> des Ferroelektrikums → Ladungsinjektion</li> <li>• Epitaktische Abscheidung nötig, sonst unerwünschte Zwischenschichten</li> <li>• Schlechte Grenzflächenqualität</li> <li>• Geringe Flexibilität bei der Wahl der Prozessparameter</li> </ul>	<ul style="list-style-type: none"> <li>• Von der Dicke der Zwischenschicht abhängiges Depolarisationsfeld</li> </ul>	<ul style="list-style-type: none"> <li>• Sehr komplizierter Aufbau, vor allem im Hinblick auf die Strukturierung</li> <li>• Extreme Leckstromempfindlichkeit, daher geringe Langzeitstabilität</li> </ul>

**Tabelle 4.1:** Tabelle mit Prinzipskizzen der drei vorgestellten Transistorkonzepte und den jeweils wichtigsten Vor- und Nachteilen.



Eine Schwierigkeit prozesstechnischer Art besteht darin, dass die untere Metallelektrode strukturiert werden muss. Da sie in der Regel aus einem inerten Material wie Platin besteht, kann sie kaum chemisch, zumindest aber nicht mit großer Selektivität zum darunter liegenden Dielektrikum geätzt werden. Das Dielektrikum ist sehr dünn, nämlich einige Nanometer bis wenige 10 Nanometer. Beim Versuch, das Metall möglichst vollständig zu entfernen, besteht die Gefahr, lokal auch die dielektrische Schicht zu durchätzen und so auf Grund des überwiegend physikalischen Ätzprozesses das Substrat zu beschädigen. Im Source- bzw. Drain-Bereich können solche Ätzschäden die Beweglichkeit der Ladungsträger verringern oder auch zu einer Abreicherung der Dotierung führen. Dadurch wird der Kontakt-Widerstand zum Source- bzw. Drain-Gebiet erhöht. Ein ohmscher Kontakt zwischen Halbleiter und Metall kann dadurch zerstört werden. Außerdem kann die ferroelektrische Schicht beim Ätzen der unteren Metallelektrode beschädigt werden. Es ist bekannt, dass Ätzgase wie Chlor oder Argon, die zur Strukturierung von ferroelektrischen Schichten und Edelmetallen wie Platin geeignet sind, oder auch Formiergas z.B. zu einer Abnahme der remanenten Polarisierung oder steigenden Leckströmen führen können [Har98], [Har03], [Jon95].

Wie für ferroelektrische Speicher insgesamt, gibt es auch für den Transistor selbst mehrere Möglichkeiten der Realisierung: Zu den erwähnten Transistorkonzepten kommt z.B. noch eine große Auswahl an verschiedenen Materialien, Abscheideverfahren, Prozessbedingungen oder Schichtdicken hinzu. In Tabelle 4.1 sind die drei in diesem Kapitel vorgestellten Konzepte noch einmal mit den wesentlichen Vor- und Nachteilen zusammengefasst. Darüber hinaus gibt es andere, sehr viel exotischere Ansätze, bei denen der Transistor nur aus Oxidschichten besteht und als Substrat z.B. Antimon-dotiertes  $\text{SnO}_2$ , als Gate-Elektrode  $\text{SrRuO}_3$  [Cil96], [Pri96] eingesetzt wird, oder auch einen Aufbau aus Perovskiten, bei dem  $\text{La}_{1.99}\text{Sr}_{0.01}\text{CuO}_4$  als Substrat und  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$  als ferroelektrische Schicht dient [Wat95].



## 5 Alternative Gate-Dielektrika – CeO<sub>2</sub>

Um beim MOSFET weiter steigende Gate-Kanal-Kapazitäten bei niedrigsten Leckströmen zu erreichen, sucht man nach Alternativen zu SiO<sub>2</sub> als Gate-Dielektrikum. Ein neues Material muss eine Dielektrizitätskonstante besitzen, die mindestens drei- bis viermal so groß ist wie die von SiO<sub>2</sub> ( $\epsilon_{\text{SiO}_2} = 3,9$ ). Die Dicke eines solchen Materials als Gate-Oxid eines MOS-Transistors kann entsprechend der besseren Polarisierbarkeit größer als bei SiO<sub>2</sub> sein, ohne die Gate-Kanal-Kapazität zu verringern. Gleichzeitig soll die dickere Schicht vor allem für sinkende Leckströme sorgen. Aus ähnlichen Gründen sucht man auch für den ferroelektrischen Transistor nach Alternativen zu SiO<sub>2</sub>, die eine physikalisch dicke aber elektrisch dünne Schicht ermöglichen.

### 5.1 Die dielektrische Schicht beim MOSFET und beim MFISFET

Die Skalierung in der Mikroelektronik betrifft nicht nur die lateralen Dimensionen. Im gleichen Maß wie die Kanallänge und -weite der MOS-Transistoren abnimmt, die Leiterbahnen, Kontakte und isolierende Zwischenschichten horizontal immer dünner werden, schrumpft vertikal auch die Dicke der einzelnen Schichten.

Als Gate-Dielektrikum wird heute bei MOSFETs auf Silizium-Basis ausschließlich SiO<sub>2</sub> eingesetzt. Ein Ende der Ausschließlichkeit ist aber absehbar. Bei Dicken zwischen 1 und 1,5 nm ist die Grenze für direktes Tunneln erreicht und der Leckstrom durch das Transistor-Gate steigt exponentiell an. Im Gegensatz dazu steht die Forderung, das Gewicht tragbarer Geräte zu reduzieren und gleichzeitig höhere Leistungsfähigkeit und längere Betriebsdauern zu erreichen. Deshalb sucht man Alternativen zu SiO<sub>2</sub>, die eine drei bis viermal größere Dielektrizitätskonstante besitzen und so dickere Schichten erlauben, die sehr gut isolieren. Gute Isolareigenschaften beruhen vor allem auf einem großen Bandabstand und einer Bänderanpassung mit hoher Barriere an der Grenzfläche zum Halbleiter, die die Injektion von Elektronen und Löchern aus dem Halbleiter in den Isolator erschwert. Daneben wird auch eine sehr gute Grenzfläche zum Silizium gefordert. Ein Material zu finden, das diese und andere Forderungen erfüllt, ist sehr schwierig.

Noch vor wenigen Jahren gab es auf dem Gebiet alternativer Gate-Dielektrika nur sehr wenige Veröffentlichungen. Inzwischen aber ist die Anzahl der an diesem Thema arbeitenden Hochschulen, Institute und Firmen auf Grund der Brisanz der Aufgabe deutlich angestiegen. Teilweise wurden Materialien wie Ta<sub>2</sub>O<sub>5</sub> [Lua99] oder TiO<sub>2</sub> [Guo99] als alternative Gate-Dielektrika untersucht, die in anderen Bereichen der Halbleiterindustrie, z.B. als Kondensator-Dielektrikum in DRAMs, schon eingesetzt wurden [Kin00]. Bei völlig neuen Materialien muss ein erheblicher Aufwand betrieben werden, um die Kompatibilität mit der Silizium-Technologie

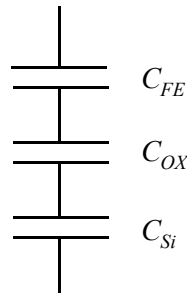
nachzuweisen. Weitere Untersuchungen betreffen CeO<sub>2</sub> und ZrO<sub>2</sub>. Auch exotische Verbindungen, die erst seit relativ kurzer Zeit als neue Dielektrika für DRAM-Kondensatoren untersucht werden, wurden in Betracht gezogen. BST ((Ba,Sr)TiO<sub>3</sub>) und STO (SrTiO<sub>3</sub>) [Tok96a] waren darunter. Vor allem der Einsatz von ZrO<sub>2</sub>, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Pr<sub>2</sub>O<sub>3</sub> und der entsprechenden Silikate wird diskutiert [Qi99], [Ma99], [Suz02], [Lee99], [Kim03], [Nod03]. Es gibt sehr aufwändige und systematische Untersuchungen zu fast allen in Frage kommenden Elementen des Periodensystems. Diese haben dazu geführt, dass in der engeren Auswahl für ein neues Gate-Dielektrikum nur die Oxide der vier Elemente Zirkon, Hafnium, Aluminium oder Praseodym sind [Kin00].

## 5.2 Anforderungen an ein alternatives Dielektrikum beim MFISFET

In modernsten Technologien mit minimalen Strukturgrößen muss SiO<sub>2</sub> als dielektrische Schicht am Gate des Transistors in Zukunft genauso ersetzt werden wie beim ferroelektrischen Transistor, um möglichst niedrige Betriebsspannungen zu erreichen. Floating-Gate-Transistoren werden heute immer noch mit Spannung von ca. 10 V betrieben. Wie weit im Vergleich dazu die Betriebsspannung eines ferroelektrischen Transistors reduziert werden kann, wie sehr dies vom Aufbau des Transistors abhängt und wo Grenzen liegen, wird im Folgenden beschrieben.

### 5.2.1 Dielektrische Schicht und Betriebsspannung

Der Gate-Stack des ferroelektrischen Transistors stellt eine Serienschaltung von Kapazitäten dar, wie in Abbildung 5.1 gezeigt. Die zum Umschalten der ferroelektrischen Polarisation erforderliche Spannung wird zwischen der Gate-Elektrode des Transistors und dem Kanal angelegt und verteilt sich auf die seriellen Kapazitäten. Eine analytische Beschreibung des gesamten Gate-Stacks ist sehr schwierig, da nur die Kapazität der dielektrischen Schicht linear ist. Dagegen ist sowohl der Anteil der ferroelektrischen als auch der Anteil der Substratkapazität in nicht-linearer Weise von der Spannung abhängig. In Inversion und Akkumulation ist die Gesamtkapazität etwa gleich (Low-Frequency-Fall) und nahezu identisch mit der reinen Oxidkapazität  $C_{ox}$ . Dazwischen sinkt sie in der Verarmung auf ein Minimum. Die Dielektrizitätskonstante der ferroelektrischen Schicht entspricht der Ableitung der ferroelektrischen Polarisation  $P(E)$  nach dem elektrischen Feld  $dP(E)/dE$  (Ableitung der Hysteresekurve), ändert sich also entlang der Hysteresekurve. Selbst im flachen Teil der ferroelektrischen Hysteresekurve, wo die Kapazität linear angenähert werden kann, ist sie sehr groß, da die Dielektrizitätskonstante  $\epsilon$  der meisten ferroelektrischen Materialien einige 100 beträgt.



**Abbildung 5.1:** Idealisertes Ersatzschaltbild der Serienschaltung von Kapazitäten für einen MFISFET.  $C_{FE}$  steht für die Kapazität der ferroelektrischen Schicht,  $C_{OX}$  für die Kapazität der dielektrischen Zwischenschicht und  $C_{Si}$  für die des Silizium-Substrates.

Nimmt man für die relative Dielektrizitätskonstante  $\epsilon_r$  von SBT in grober Näherung nur einen Wert von 200 an, so würde ein SiO<sub>2</sub>-Kondensator im Vergleich zu einem SBT-Kondensator bei gleicher Schichtdicke also nur etwa 2% der Kapazität des SBT-Kondensators erreichen. Würde man SiO<sub>2</sub> als dielektrische Zwischenschicht für den ferroelektrischen Transistor verwenden, so erhielte man eine Serienschaltung aus diesen beiden sehr unterschiedlichen Kapazitäten. Da sich die Spannungen bei einer Serienschaltung reziprok zur Kapazität verhalten, fällt an der dielektrischen Schicht der größere Teil einer angelegten Gate-Substrat-Spannung ab. Damit der Polarisationszustand des Transistors verändert werden, Information also eingeschrieben oder gelöscht werden kann, muss mindestens die der Koerzitivfeldstärke entsprechende Spannung an der ferroelektrischen Schicht erreicht werden. Je größer der Anteil der Gate-Kanal-Spannung ist, der von der dielektrischen Schicht absorbiert wird, umso größer und ungünstiger wird damit die Betriebsspannung insgesamt.

Zum Umschalten der remanenten ferroelektrischen Polarisation einer ferroelektrischen Schicht ist mindestens eine Spannung

$$U = E_C \cdot d_{ferro} \quad (5-1)$$

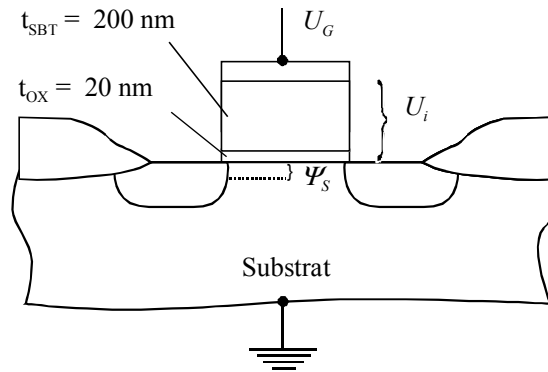
erforderlich. Dabei steht  $E_C$  für die Koerzitivfeldstärke des ferroelektrischen Materials und  $d_{ferro}$  für dessen Dicke. Ein einfacher ferroelektrischer Transistor sei wie folgt aufgebaut: Auf dem Substrat (z.B. Silizium) befinde sich eine Zwischenschicht und darauf die ferroelektrische Schicht. Abbildung 5.2 zeigt diese Anordnung. Eine zwischen Gate und Kanal des Transistors angelegte Spannung  $U_{GB}$  verteilt sich dann wie folgt:

$$U_{GB} = \Psi_S + U_i. \quad (5-2)$$

Der Teil der Spannung  $U_{GB}$ , der über der Oxidschicht und der ferroelektrischen Schicht abfällt, wird mit  $U_i$  bezeichnet. Ein weiterer Teil dieser Spannung fällt als Oberflächenpotenzial  $\Psi_S$  über dem Substrat ab und soll zunächst nicht berücksichtigt werden.

Die Spannung  $U_i$  verteilt sich auf die Spannung an der Oxidschicht  $U_{OX}$  und die an der ferroelektrischen Schicht  $U_{FE}$

$$U_i = U_{OX} + U_{FE}. \quad (5-3)$$



**Abbildung 5.2:** Aufbau eines Feldeffekttransistors, dessen Gate eine ferroelektrische Schicht enthält. Die Werte für die Schichtdicken sind Beispielwerte.

Unter der Annahme, dass sich an der Grenzfläche zwischen Oxidschicht und ferroelektrischer Schicht keine Grenzflächenladungen befinden und die Ladung an den Elektroden konstant bleibt, gilt

$$C_{OX} \cdot U_{OX} = C_{FE} \cdot U_{FE} . \quad (5-4)$$

Betrachtet man eine Serienschaltung aus zwei Isolatoren mit unterschiedlicher Dielektrizitätskonstante  $\epsilon_r$ , müssen sich nach ( 5-4 ) die Schichtdicken also wie die Dielektrizitätskonstanten verhalten, damit über beiden Schichten die gleiche Spannung abfällt. So bestimmt Gleichung ( 5-4 ) sowohl die Materialwahl als auch die angestrebten Schichtdicken beim Bau des Transistors. Bei Kenntnis der Koerzitivfeldstärke des ferroelektrischen Materials und der verwendeten Schichtdicke lassen sich daraus näherungsweise die zum Umprogrammieren des ferroelektrischen Materials nötigen Spannungen am Gate des Transistors und damit die Betriebsspannung für den Transistor bestimmen.

Ideal wäre ein Gate-Dielektrikum mit einer Dielektrizitätskonstante, die mindestens genau so groß ist wie die der ferroelektrischen Schicht. Bei gleicher Schichtdicke würde sich dann die Spannung über beide Schichten halbieren. Leider ist die Dielektrizitätskonstante von SBT mit  $\epsilon_r \approx 200 - 400$  ca. 10 mal größer als die der bekannten Isolatoren, die die gestellten Anforderungen hinsichtlich thermodynamischer Stabilität und Isolatoreigenschaften erfüllen.

Zur Vereinfachung wird für die ferroelektrische Schicht eine lineare Kapazität angenommen. Für eine SiO<sub>2</sub>-Schicht mit einer Dicke von 10 nm beispielsweise muss die ferroelektrische Schicht also mindestens 500 nm dick sein. Rechnet man mit einer Koerzitivfeldstärke  $E_C$  von etwa 40 kV/cm für SBT, so muss mindestens eine Spannung von 4 Volt an die Serienschaltung von dielektrischer und ferroelektrischer Schicht angelegt werden, damit die ferroelektrische Polarisation umgeschaltet werden kann. Das Oberflächenpotenzial  $\Psi_s$ , dessen Wert ja nach Zustand (Inversion, Verarmung, Akkumulation) etwa zwischen 0,1 und 1 Volt liegt, ist bei dieser Berechnung der Spannung noch nicht berücksichtigt und muss zu diesem Wert addiert werden.

Die relativ hohe Spannung von 4 Volt ist zur vollständigen Polarisation der ferroelektrischen Schicht und bei Berücksichtigung des Oberflächenpotenzials also sogar noch zu gering. Um den Wert zu verringern, können die im Beispiel angenommenen Schichtdicken natürlich verringert werden. Allerdings müssen die dielektrische und die ferroelektrische Schicht mit dem gleichen

Faktor skaliert werden, wenn mindestens das oben angegebene Verhältnis von eins zu eins für den kapazitiven Spannungsteiler beibehalten werden soll.

Dabei stößt man bei der Reduzierung der SiO<sub>2</sub>-Dicke bald an Grenzen. Einerseits steigt die Wahrscheinlichkeit für das Tunneln von Ladungsträgern durch die Schicht mit abnehmender Dicke exponentiell an und jenseits von 2 nm Schichtdicke gelangt man in den Bereich des direkten Tunnelns. Andererseits hat eine sehr dünne dielektrische Schicht auch keine ausreichende Schutzwirkung mehr gegen die Diffusion von Bestandteilen der ferroelektrischen Schicht an die Grenzfläche zum Substrat oder in das Substrat. Dadurch nimmt die Qualität der für den Transistor wichtigen Grenzfläche und des grenzflächennahen Substratvolumens ab. Sehr geringe SiO<sub>2</sub>-Schichtdicken sind unter der ferroelektrischen Schicht außerdem kaum herstellbar, da diese hohe Temperaturen und ein großes thermisches Budget für die Einstellung der ferroelektrischen Eigenschaften erfordert. Das Substrat wird dadurch weiter oxidiert und die SiO<sub>2</sub>-Schichtdicke ist schwer zu kontrollieren.

Die Strukturgrößen und die damit zusammenhängenden Betriebsspannungen, die dann maßgebend sein werden, wenn der ferroelektrische Transistor vielleicht eines Tages in Produkten der Mikroelektronik eingesetzt wird, sind schon jetzt ein zusätzlicher Grund für die Verwendung möglichst dünner Schichten. Liegen die Werte der verwendeten Schichtdicken beim zwei- bis dreifachen der minimalen lateralen Abmessung, bedeutet das automatisch sehr ungünstige Aspektverhältnisse. Um Source und Drain des Transistors elektrisch anzuschließen, muss die ferroelektrische Schicht in diesem Bereich entfernt werden, wenigstens müssen aber Kontaktlöcher zum Substrat durch die Schicht geätzt werden. Dicke Schichten erschweren nicht nur die Entwicklung der erforderlichen Ätzprozesse. Sie haben auch zur Folge, dass die ferroelektrische Schicht beim Strukturieren länger dem Angriff der schädlichen Ätzgase ausgesetzt ist. Versuche haben gezeigt, dass die zum Strukturieren nötigen Ätzgase der Qualität der ferroelektrischen Schicht schaden und dass diese Schäden nur teilweise reversibel sind [Har98]. Je dicker die Schichten sind umso schwieriger wird es außerdem, den Stress der unterschiedlichen Schichten auszugleichen. Die auftretenden Kräfte können unter anderem zu Haftungsproblemen oder Rissen in den Schichten führen.

Wie deutlich wurde, scheidet SiO<sub>2</sub> als dielektrische Zwischenschicht für den Einsatz im ferroelektrischen Transistor wegen seiner geringen Polarisierbarkeit und der mangelnden Skalierbarkeit aus. Auch modifizierte SiO<sub>2</sub>-Schichten, z.B. mit MgO wie in [Xio99] beschrieben, scheinen insgesamt wenig Erfolg versprechend. Wie groß aber wäre die Betriebsspannung mit einem alternativen Gate-Dielektrikum wie z.B. CeO<sub>2</sub>? Geht man von den in Abbildung 5.2 gezeigten Schichtdicken aus, bleibt bei dem genannten Beispielwert für die Dielektrizitätskonstante  $\epsilon_r$  von SBT und nimmt als Oxidzwischenschicht CeO<sub>2</sub> mit einem  $\epsilon_r$  von etwa 20 [Kan99], [Kin00], dann verhalten sich die Dielektrizitätskonstanten etwa wie die Schichtdicken. Da die Flächen gleich sind, wird das Verhältnis der Kapazitäten wieder nur durch die Dicken und die Dielektrizitätskonstanten beider Schichten bestimmt. Damit verhalten sich die Kapazitäten wie eins zu eins. Die Hälfte der Spannung an der Gate-Elektrode fällt also an der Oxidschicht ab, die andere Hälfte über der ferroelektrischen Schicht.

Legt man wieder eine statische Koerzitivfeldstärke  $E_C$  des ferroelektrischen Materials von ca. 40 kV/cm zu Grunde, so ergibt sich für die zum Umpolarisieren der ferroelektrischen Schicht

erforderliche Spannung ein Wert von 800 mV bei einer Dicke von 200 nm. Aus den bisher genannten Daten und ohne Berücksichtigung des Oberflächenpotenzials  $\Psi_s$  ergibt sich eine Spannung von 1.6 V, die am Gate des Transistors anliegen muss. Zu dieser Spannung muss noch das Oberflächenpotenzial  $\Psi_s$  addiert werden. Für einen Transistor auf Silizium-Basis beträgt  $\Psi_s$  für den Fall starker Inversion etwa 0,7 bis 1 Volt, im Fall der Akkumulation etwa 0,1 bis 0,3 Volt. Für eine Abschätzung der Betriebsspannung muss also noch etwa 1 Volt zu der oben genannten Betriebsspannung addiert werden, was im genannten Beispiel zu einer endgültigen Betriebsspannung von 2,6 Volt führt. Dieser Wert ist für nicht-flüchtige Speicher konkurrenzlos niedrig. Außerdem können die im Beispiel genannten Schichtdicken in Zukunft skaliert werden, was zu einer weiteren Reduktion der Spannung führt. Bei niedrigeren Schichtdicken (Halbierung) erscheint sogar eine deutliche Verringerung der geschätzten Betriebsspannung auf unter 2 Volt möglich.

### 5.2.2 Bandabstand, Flächenladungsdichte und Depolarisationseffekte

Leider ist die Dielektrizitätskonstante allein kein ausreichendes Kriterium für die Wahl eines alternativen Materials. So gering die Polarisierbarkeit von Siliziumdioxid auch ist, es besitzt einen enorm großen Bandabstand  $E_G$  von etwa 7,9 eV und ist damit ein hervorragender Isolator. Schottky-Emission aus dem Substrat in die Gate-Elektrode wird durch die hohen Barrieren sowohl für Elektronen als auch für Löcher wirksam verhindert. Jedes alternative Material sollte den Transport von Ladungen - Elektronen wie Löchern - ähnlich gut wie SiO<sub>2</sub> unterdrücken. Sonst wird der Vorteil durch vermindertes direktes Tunneln auf Grund der physikalisch dickeren Schicht unter Umständen durch andere Transportmechanismen überkompensiert und Leckströme nehmen trotz größerer Schichtdicke insgesamt zu. Trägt man die Dielektrizitätskonstante bekannter Isolatoren gegen ihren Bandabstand auf, so erkennt man außerdem, dass in grober Näherung gilt

$$\epsilon = f(E_G) \propto \frac{1}{E_G}. \quad (5-5)$$

Die Suche nach Alternativen zum SiO<sub>2</sub> wird also dadurch erschwert, dass höhere Polarisierbarkeit im Allgemeinen auch geringeren Bandabstand bedeutet [Vog98].

Für den ferroelektrischen Transistor ist der Ladungstransport durch das Gate-Oxid von noch größerer Bedeutung als für einen normalen MOSFET. Die gesamte Charakteristik des Bauteils verändert sich, wenn Ladungen in das Gate-Oxid oder in die ferroelektrische Schicht injiziert oder an der Grenzfläche zwischen beiden Schichten getrappt werden. Durch solche Ladungen verschiebt sich beispielsweise die Flachbandspannung und die Hysterese der ferroelektrischen Schicht ändert sich. Das Intervall für die veränderliche Einsatzspannung verschiebt sich und die von den peripheren Logikschaltungen erwarteten Ströme für den ein- bzw. ausgeschalteten Zustand des ferroelektrischen Transistors ändern sich. Der Transistor fällt aber auch dann aus, wenn die Kompensationsladungen für die remanente ferroelektrische Polarisation nicht mehr im Kanalgebiet sondern an der Grenzfläche zwischen Gate-Oxid und ferroelektrischer Schicht sitzen.



Um das auszuschließen, müssen Leckströme so weit wie möglich unterbunden werden. Direktes Tunneln, Fowler-Nordheim-Tunneln bzw. modifiziertes Fowler-Nordheim-Tunneln oder Schottky-Emission müssen auf ein Minimum beschränkt werden. Vor allem für die Schottky-Emission ist der Bandabstand des Isolators entscheidend. Um diese Art des Ladungstransportes zu verhindern, sollte die Barriere für Elektronen wie Löcher mindestens 1 eV betragen. Rechnet man noch den Bandabstand des Silizium-Substrates von 1,12 eV hinzu, so ergibt sich als Minimalanforderung ein Bandabstand von etwa 3 eV für das Dielektrikum. Um leichte Asymmetrien bei der Anordnung der Bänder noch ausgleichen zu können, sollten es realistischerweise mindestens 4 eV sein. CeO<sub>2</sub> mit etwa 5,5 eV und ZrO<sub>2</sub> mit etwa 5,8 eV sind unter diesem Aspekt geeignete Materialien. Eine genauere Betrachtung alternativer Gate-Dielektrika im Sinne des Bändermodells findet sich bei [Wat98] und besonders bei [Rob00].

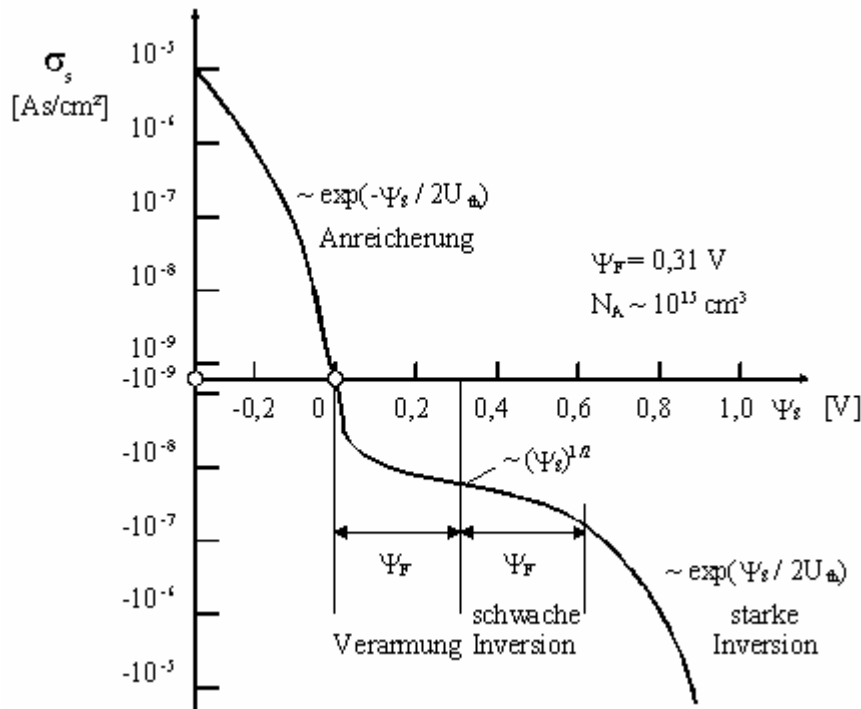
Schließlich gibt es noch eine weitere Anforderung an die dielektrische Schicht. Sie bezieht sich auf die Flächenladungsdichte und das dadurch hervorgerufene elektrische Feld, das dieses Material aushalten muss. Für Siliziumdioxid liegt die Durchbruchfeldstärke bei etwa 10 MV/cm, also 1V/nm. Nach dem Gaußschen Satz

$$E = \frac{1}{\epsilon_{\text{SiO}_2}} \int \rho(x) dx = \frac{\sigma_s}{\epsilon_{\text{SiO}_2}} \quad (5-6)$$

entspricht dies einer Flächenladungsdichte  $\sigma_s$  von etwa 3,45  $\mu\text{C}/\text{cm}^2$ .  $E$  steht für das elektrische Feld und  $\epsilon_{\text{SiO}_2}$  für die Dielektrizitätskonstante von SiO<sub>2</sub>. Da die Feldstärke beim Betrieb von MOS-Transistoren aus Gründen der Zuverlässigkeit des Oxids auf 5 MV/cm begrenzt wird, reduziert sich damit auch die maximal erlaubte Ladung pro Fläche im Betrieb auf 1,7  $\mu\text{C}/\text{cm}^2$ . Um den Transistor aus dem nicht-leitenden Zustand der Akkumulation bzw. Verarmung in den leitenden Zustand der Inversion zu bringen, reicht eine Flächenladungsdichte von ca. 0,1  $\mu\text{C}/\text{cm}^2$  aus. Damit besteht für einen herkömmlichen MOS-Transistor also kein Konflikt zwischen der erforderlichen und der möglichen Konzentration von Ladungsträgern im Kanal des Transistors.

Auf den ferroelektrischen Transistor kann dies nicht ohne weiteres übertragen werden. Bei ferroelektrischen Schichten wie dem in dieser Arbeit verwendeten SBT erreicht die remanente Polarisation Werte von 10 bis 20  $\mu\text{C}/\text{cm}^2$ . Dies entspricht einer Feldstärke von 30 bis 60 MV/cm für SiO<sub>2</sub>. Was man sich für den ferroelektrischen Kondensator in einem Speicher aus Kondensator und in Reihe geschaltetem Transistor wünscht, nämlich eine möglichst große remanente Polarisation, ist für die Anwendung im Transistor ungeeignet. Nach der oben beschriebenen Abschätzung sind solche Polarisationswerte weder erforderlich noch brauchbar.

Abbildung 5.3 zeigt den Zusammenhang zwischen Oberflächenpotenzial und der Flächenladungsdichte im Halbleiter.



**Abbildung 5.3:** Skizze zur Abhängigkeit der Flächenladungsdichte vom Oberflächenpotenzial im Halbleiter einer MOS-Diode. Bei etwa  $0,1 \mu\text{C}/\text{cm}^2$  befindet sich der Halbleiter bereits in starker Inversion, der Transistor also im leitenden Zustand.

Unter der Annahme, dass eine dielektrische Schicht mit einer höheren Dielektrizitätskonstante als SiO<sub>2</sub> verwendet wird, reduziert sich die Feldstärke. Für ein  $\epsilon_r$  von 20 beispielsweise verringert sie sich bei gleichen Polarisationswerten auf ca. 5 bis 10 MV/cm. Allerdings muss man hierbei berücksichtigen, dass der Bandabstand nach Gleichung (5-5) und die Durchbruchfeldstärke für die meisten Materialien niedriger sind als bei SiO<sub>2</sub>. Die für SBT in anderen ferroelektrischen Speichern gewünschte a-Achsen-Orientierung ist für den Transistor nicht notwendig. Ein polykristallines Material, das überwiegend c-Achsen-orientiert aufwächst, ist sogar besser geeignet, da die remanente Polarisation dadurch abnimmt.

Schließlich sei noch auf einen Punkt verwiesen, der in der Literatur häufig nicht berücksichtigt wird: Das Depolarisationsfeld. Dabei wurde sein Einfluss auf das Verhalten ferroelektrischer Schichten bereits früher untersucht [Bat73], [Meh73], [Wur73], [Wur73a], [Wür76]. Es handelt sich um ein Feld, das auf Grund des endlichen Abstandes zwischen der polarisierten Oberfläche der ferroelektrischen Schicht und den Kompensationsladungen im Halbleiter-Substrat entsteht. Dieser Abstand ist durch die Dicke der dielektrischen Zwischenschicht gegeben. Auch hier kommt man mit dem Gaußschen Satz ( 5-6 ) leicht zu der Einsicht, dass eine möglichst große Polarisierbarkeit des Gate-Dielektrikums von großem Vorteil ist. Die Flächenladungsdichte  $\sigma_s$  ist durch den Betriebszustand des Transistors, also den Wert der remanenten Polarisation der ferroelektrischen Schicht, vorgegeben. Die Dicke der dielektrischen Schicht zwischen Substrat und Ferroelektrikum bestimmt die Länge der Dipole, deren Feld zur Depolarisation der ferroelektrischen Schicht beiträgt. Die Feldstärke des depolarisierenden Feldes, das der Ausrichtung der Dipole in der ferroelektrischen Schicht entgegengerichtet ist, ist indirekt proportional zur Dielektrizitätskonstanten des Gate-Dielektrikums. Je größer also die

Dielektrizitätskonstante ist, umso geringer ist das depolarisierende Feld. Dies wirkt sich positiv auf die zeitliche Stabilität der remanenten Polarisation und damit auf die Datenhaltung eines Speichers aus. Genauer untersucht wird die Datenhaltung in [Ash99], [Bla97] und [Nod03a]. Der große Einfluss des Depolarisationsfeldes auf die Datenhaltung wird unter anderem in [Yam00] erkennbar.

Ein wichtiger Punkt, der in dieser Arbeit nur am Rande berücksichtigt werden kann (vgl. Kapitel 3.3 und 9.4.3), sind inhomogene Felder entlang des Transistorkanals, die z.B. durch das Anlegen einer Drain-Source-Spannung zum Auslesen eines ferroelektrischen Transistors hervorgerufen werden können. Sie können dazu führen, dass die Polarisation der ferroelektrischen Schicht sich in bestimmten Bereichen des Transistorkanals ändert und so der Drain-Source-Strom abnimmt [Kam98]. Um dies zu verhindern, muss die Drain-Source-Spannung so niedrig wie möglich gewählt werden. Vor allem bei der Integration des ferroelektrischen Transistors ist das eine wichtige Randbedingung (vgl. Kapitel 1).

Zusammenfassend ist für die dielektrische Schicht des ferroelektrischen Transistor festzuhalten:

- SiO<sub>2</sub> scheidet als dielektrische Zwischenschicht auf Grund seiner geringen Polarisierbarkeit und der unzureichenden Skalierbarkeit aus.
- Ein alternatives Dielektrikum muss eine deutlich höhere Polarisierbarkeit besitzen. Damit kann die Schicht physikalisch dicker sein. Gleichzeitig ermöglicht die geringe elektrische Dicke eine kleine Betriebsspannung und ein geringes Depolarisationsfeld.
- Ein alternatives Dielektrikum sollte einen Bandabstand von mindestens 4 bis 5 eV besitzen, um Schottky-Emission aus dem Substrat zu verhindern.
- Die dielektrische Schicht muss auf Silizium gut reproduzierbar mit geringer Defektdichte abgeschieden werden können und eine hohe Qualität der Grenzfläche zum Substrat gewährleisten.
- Die ferroelektrische Schicht muss auf der dielektrischen Zwischenschicht mit den gewünschten Eigenschaften abscheidbar sein.
- Die dielektrische Schicht muss das Substrat vor der Diffusion von Bestandteilen der ferroelektrischen Schicht schützen.
- In Frage kommen vor allem die Materialien ZrO<sub>2</sub>, CeO<sub>2</sub>, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, Pr<sub>2</sub>O<sub>3</sub> (letzteres noch nicht zum Zeitpunkt der Materialauswahl für diese Arbeit) aber auch Si<sub>3</sub>N<sub>4</sub>



## 6 Die ferroelektrische Schicht – Strontium-Wismut-Tantalat

Als Ferroelektrikum bezeichnet man ein Material, das eine spontane Polarisation ohne äußeres elektrisches Feld aufweist, wobei die Richtung der Polarisation durch ein elektrisches Feld verändert werden kann. Den wichtigsten Bestandteil des ferroelektrischen Transistors bildet eine ferroelektrische Schicht. Sie ist der Teil des Transistors, der die Information in Form von remanenter Polarisation speichert. Die Grundlagen der Ferroelektrizität werden im Hinblick auf den ferroelektrischen Transistor im Folgenden kurz erläutert. Die Darstellung ist angelehnt an [Son74].

### 6.1 Dipolmoment von Kristallen

Kristalle können auf verschiedene Arten gebunden sein. Die ionische Bindung, bei der Elektronen vollständig von einem Atom zu einem anderen übergehen, stellt ein Ende der Skala von Möglichkeiten dar. Der andere Grenzfall ist die kovalente Bindung, bei der zwei gebundenen Atomen ein oder mehrere Elektronen gleichzeitig zugeordnet werden können. Diese Art der Bindung ist nur in bestimmten Richtungen möglich, weil dafür eine Überlappung der Wellenfunktionen der beteiligten Atome erforderlich ist. In der Realität liegt meist eine Mischung der beiden theoretisch denkbaren Grenzfälle vor. Die elektrostatische Wechselwirkung bei ionischer oder teilweise ionischer Bindung beschreibt man durch Einführung einer effektiven Ladung, die man jedem Atom zuschreibt. Diese Ladungen sind die Quellen des inneren Feldes im Kristall. Die elektrischen Eigenschaften der Kristalle werden bestimmt durch den Betrag, das Vorzeichen und die räumliche Anordnung dieser effektiven Ladungen. Die quantitative Kenngröße der Verteilung der elektrischen Ladungen im Kristall ist das elektrische Moment  $\vec{p}$ . Es ist definiert als Summe der Produkte aus den Ladungen  $q_i$  und dem dazugehörigen Ortsvektor  $r_i$ :

$$\vec{p} = \sum_{i=1}^N q_i \vec{r}_i . \quad (6-1)$$

Ein entsprechendes Moment entsteht zum Beispiel, wenn Ladungen in einem elektrisch neutralen System durch ein äußeres Feld um  $\delta \vec{r}_i$  verschoben werden.

Das elektrische Moment zweier Ladungen mit gleichem Betrag, aber entgegengesetztem Vorzeichen nennt man elektrisches Dipolmoment

$$\vec{d} = q \vec{r} . \quad (6-2)$$

Dabei bedeutet  $\vec{r}$  den Vektor von der negativen zur positiven Ladung. Das Dipolmoment eines Systems von Ladungen ist gleich dem Produkt der gesamten Ladung eines Vorzeichens mit dem Abstand  $\vec{R}_{+-}$  zwischen den Ladungsschwerpunkten der positiven und negativen Ladungen

$$\vec{d} = \vec{R}_{+-} \sum_{i=1}^N q_i^+ . \quad (6-3)$$

Wenn dieses Dipolmoment gleich Null ist, der positive und der negative Ladungsschwerpunkt in der Elementarzelle des Kristalls also zusammen fallen, bezeichnet man den Kristall als unipolar. Umgekehrt nennt man Kristalle, in denen das nicht der Fall ist, die Ladungsverteilung also asymmetrisch ist, polare Kristalle. Die allgemeinste Art einer solchen Asymmetrie kommt daher, dass der Ladungsschwerpunkt der positiv geladenen Atomkerne gegen den der negativ geladenen Elektronenhüllen verschoben ist. Das resultierende Dipolmoment wird hierbei hauptsächlich durch die Verschiebung der schwach gebundenen Valenzelektronen bestimmt. Man kann zeigen [Son74], dass das Dipolmoment von Atomen, die sich in speziellen Lagen (z.B. mit einem Freiheitsgrad auf einer Symmetrieachse oder mit zwei Freiheitsgraden auf einer Spiegelebene) befinden, auf der Symmetrieachse bzw. in der Ebene liegen muss. Das Dipolmoment eines Atoms in einer allgemeinen Lage mit drei Freiheitsgraden kann eine beliebige Orientierung besitzen.

## 6.2 Ferroelektrische Kristalle

Die vektorielle Summe aller  $j$  elektronischen und atomaren Dipolmomente der Elementarzelle eines Kristalls gibt ihr permanentes elektrisches Moment an

$$\vec{p}_s = \sum_{j=1}^N \vec{p}_j . \quad (6-4)$$

$N$  steht hier für die Anzahl der Ionensorten. Von einem spontanen elektrischen Moment spricht man dann, wenn dieses Moment ohne äußeres elektrisches Feld existiert. Das spontane elektrische Moment ist eine mikroskopische Größe des Kristalls und ist einer Messung nicht zugänglich. Man kann es aber zu einer makroskopisch messbaren Größe in Beziehung setzen, nämlich der permanenten bzw. spontanen Polarisation  $P_s$ . Sie ist definiert als das elektrische Moment pro Volumeneinheit und ergibt sich aus der vektoriellen Summe der spontanen elektrischen Momente der Elementarzellen pro Volumeneinheit. Bei den meisten polaren Kristallen hat  $\vec{P}_s$  die gleiche Richtung wie  $\vec{p}_s$ . Bei Ferroelektrika muss das nicht zutreffen.

Im Folgenden wird ein Kondensator mit zwei planparallelen Metallelektroden und einer dazwischen eingeschlossenen ferroelektrischen Schicht der Dicke  $d$  betrachtet. Der Teil der spontanen Polarisation, der einer Messung zugänglich ist, hängt bei einer einkristallinen Schicht von der Orientierung des Einkristalls, bei einer polykristallinen Probe entsprechend von der Orientierung der einzelnen Kristallite zu den Elektrodenflächen ab. Da die elektrischen Schwerpunkte der positiven und negativen Ladungen nicht zusammen fallen, kann man sich das System der Dipole durch die Ladungen  $+q$  und  $-q$  auf den Stirnflächen der Probe ersetzt denken. Für die Normalkomponente der spontanen Polarisation zur Elektrodenfläche gilt

$$P_{s\perp} = P_s \cos \alpha , \quad (6-5)$$

wobei  $\alpha$  der Winkel zwischen  $\vec{P}_s$  und der Normalen der Elektrodenfläche ist. Laut Definition ist

$$P_s = q d / V , \quad (6-6)$$

wenn  $V$  das Volumen der Probe ist. Also ist

$$P_{s\perp} = (q d / V) \cos \alpha . \quad (6-7)$$

Für die Ladungsdichte  $\sigma$  auf den Elektroden erhält man damit

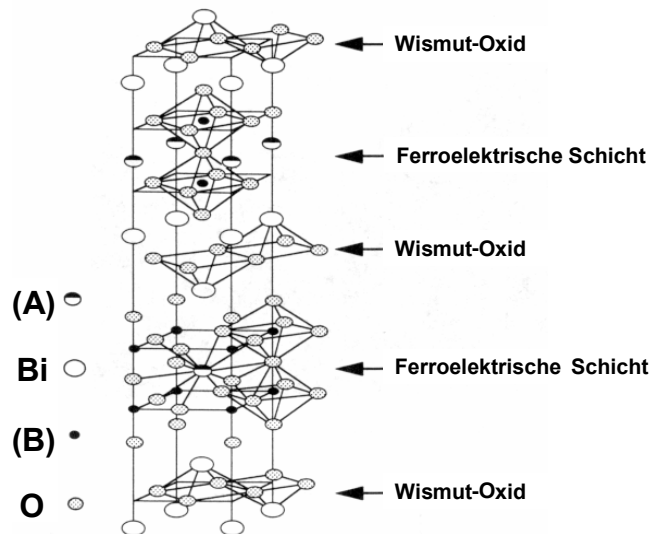
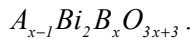
$$\sigma = q / A = (q d / V) \cos \alpha . \quad (6-8)$$

Aus (6-7) und (6-8) folgt

$$P_{s\perp} = \sigma . \quad (6-9)$$

Also ist die Normalkomponente von  $P_s$  gleich der Flächenladungsdichte auf der Oberfläche des Kristalls. Da aus energetischen Gründen Ladungen in den metallischen Elektroden die Oberflächenladung  $+q$  und  $-q$  des Kristalls kompensieren, entspricht die Flächenladungsdichte  $\sigma$  auf der Kristalloberfläche der Ladungsdichte der Kompensationsladungen auf den Elektroden, nur mit umgekehrtem Vorzeichen.

Die Ursache für die spontane Polarisation ist in der Art der Bindung des ferroelektrischen Materials zu suchen. Strontium-Wismut-Tantalat (SBT) besteht aus Lagen mit Perovskit-Struktur, die durch Wismut-Oxid voneinander getrennt sind. Die allgemeine Formel lautet



**Abbildung 6.1:** Darstellung der Kristallstruktur von Strontium-Wismut-Tantalat,  $SrBi_2Ta_2O_9$ , abgekürzt SBT. Die ferroelektrischen Teile der Struktur sind durch Wismut-Oxid-Schichten voneinander getrennt. Ein von einem Sauerstoffoktaeder umgebenes Tantal-Atom kann sich durch die Mittelebene dieses Oktaeders hindurchbewegen und besitzt auf beiden Seiten der Ebene eine stabile Gleichgewichtslage.

In der SBT-Struktur kann sich das Tantal-Ion innerhalb des Sauerstoff-Oktaeders durch dessen Mittelebene bewegen. Durch das Anlegen einer äußeren Spannung bewegen sich die positiv geladenen Tantal-Ionen in der Struktur in die eine und die in der Mittelebene liegenden, negativ geladenen Sauerstoff-Ionen in die andere Richtung. Auf Grund der anharmonischen Bindung

besitzt das Tantal-Ion entlang der z-Achse zwei stabile Gleichgewichtslagen zu beiden Seiten der Mittelebene des Oktaeders. Die Potenzialfunktion für das Tantal-Atom hat die Form

$$U = \frac{a}{2}z^2 + \frac{b}{4}z^4 - \frac{c}{2}q^{*2}z^2. \quad (6-10)$$

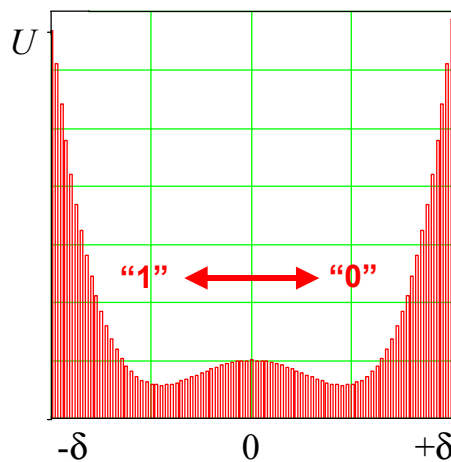
Die effektive Ladung  $q^*$  berücksichtigt die teilweise Ionisierung des Tantal-Atoms. Die ersten beiden Terme in ( 6-10 ) beschreiben die potentielle Energie des Tantal-Ions. Durch die Verschiebung entsteht ein Dipolmoment, dem wiederum das innere Feld  $E_i$  proportional ist. Durch das innere Feld wird die potentielle Energie verringert, was im dritten Term zum Ausdruck kommt. Für die Potenzialminima ergibt sich

$$\delta = \pm \sqrt{\frac{c q^{*2} - a}{b}}. \quad (6-11)$$

Diese Gleichgewichtslagen sind nur reell, wenn  $c q^{*2} > a$  gilt. Durch Multiplikation auf beiden Seiten mit  $\delta$  und unter Berücksichtigung von  $E_i = c q^* z$  erhält man:

$$q^* E_i > a \delta. \quad (6-12)$$

Diese Bedingung besagt, dass die auf der linken Seite durch das innere Feld ausgedrückte Dipol-Dipol- oder Coulomb-Wechselwirkung größer sein muss als die durch Nahwirkung bedingte, durch  $a$  beschriebene elastische Rückstellkraft. Abbildung 6.2 veranschaulicht die für die Ferroelektrizität verantwortliche Potenzialfunktion.

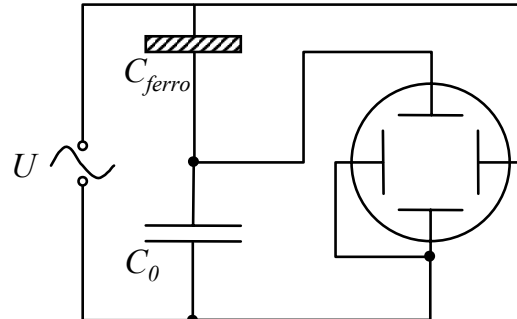


**Abbildung 6.2:** Berechnete Darstellung der Potenzialfunktion ( 6-10 ). Aufgetragen ist die potentielle Energie (in willkürlichen Einheiten) des Tantal-Atoms in der SBT-Struktur gegen dessen Auslenkung entlang der z-Achse. Die beiden Minima nutzt man beim ferroelektrischen Transistor, um die logischen Zustände „0“ und „1“ abzubilden.



### 6.3 Kenngrößen der ferroelektrischen Schicht

Die Sawyer-Tower-Methode bietet eine Möglichkeit, die Flächenladungsdichte an einem ferroelektrischen Kondensator zu messen. Abbildung 6.3 zeigt eine solche Anordnung schematisch.



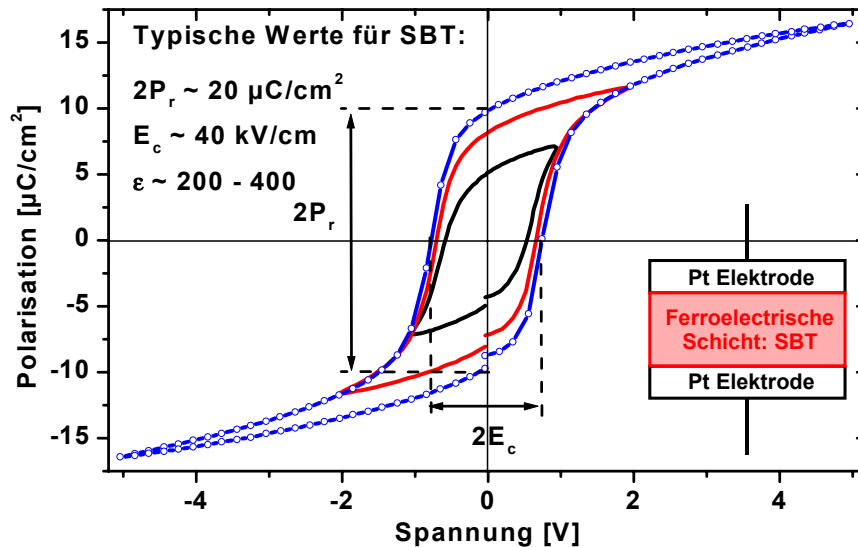
**Abbildung 6.3:** Vereinfachte Darstellung einer Sawyer-Tower-Schaltung. Mit ihrer Hilfe lassen sich ferroelektrische Kondensatoren charakterisieren. Die Messung der Spannung an  $C_0$  gibt Aufschluss über die Flächenladungsdichte auf den Elektroden des ferroelektrischen Kondensators.

Nach Gleichung ( 6-9 ) gibt eine solche Messung nur Auskunft über die Normalkomponente der spontanen Polarisation. Im Hinblick auf den ferroelektrischen Transistor interessiert nur dieser Teil der Polarisation, da er die Funktion des Transistors steuert und als kritische Größe für das Gate-Dielektrikum berücksichtigt werden muss. Um Auskunft über die Flächenladungsdichte  $\sigma$  auf den Elektroden des ferroelektrischen Kondensators zu erhalten, schaltet man in Reihe zur ferroelektrischen Kapazität  $C_{ferro}$  eine weitere Kapazität  $C_0$ , für die gilt, dass  $C_0 \gg C_{ferro}$ . Legt man an die Serienschaltung beider Kapazitäten eine Spannung an, dann fällt sie praktisch vollständig an der ferroelektrischen Kapazität ab. Damit ist die Feldstärke  $E_{ferro}$  in ihr der Spannung  $U$  proportional. Andererseits ist die Ladung  $q_0$  an  $C_0$  bestimmt durch die Ladung  $q_{ferro} = \sigma A_{ferro} = q_0$ . Für die spontane Polarisation  $P_s = \sigma$  des ferroelektrischen Kondensators ergibt sich damit

$$P_s = q_0 / A_{ferro} = C_0 U_0 / A_{ferro} . \quad ( 6-13 )$$

Für die Messung verwendet man eine sinus- oder dreieckförmige Wechselspannung  $U$ . Ihre Extremwerte müssen jeweils größer sein als die Koerzitivspannung der ferroelektrischen Schicht, damit sie vollständig polarisiert werden kann.

In dieser Arbeit wurden Hysteresekurven mit einem Messgerät der Firma Radiant Technologies (RT6000S Ferroelectric Test System) nach der Virtual-Ground-Methode aufgenommen. Dabei wird die Ladung am ferroelektrischen Kondensator ermittelt, indem ein Operationsverstärker eine Elektrode des Kondensators auf virtueller Masse hält. Die Ladung, die auf den Kondensator fließt, wird durch einen Integrator addiert und in ein Spannungssignal übersetzt und kann dann ausgewertet werden. Anders als bei der Sawyer-Tower-Methode gibt es hier keine Fehler durch eine von  $C_0$  verursachte Rückspannung und parasitäre Kapazitäten.



**Abbildung 6.4:** Hysteresekurve eines ferroelektrischen Kondensators mit  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  und Platin-Elektroden für verschiedene Spannungen. Aufgetragen ist die Polarisation des Ferroelektrikums gegen die angelegte Spannung.

Abbildung 6.4 zeigt das Ergebnis einer Hysteresemessung an einem für diese Arbeit hergestellten SBT-Kondensator mit Platin-Elektroden. Ist man weit vom Phasenübergang entfernt, so ist die Abhängigkeit der induzierten Polarisation von der elektrischen Feldstärke weitgehend linear. Den Betrag der spontanen Polarisation erhält man daher durch lineare Extrapolation der Sättigungszweige auf  $E = 0$ .

Als Koerzitivfeldstärke wird der Wert bezeichnet, bei dem die Polarisation gleich Null ist, sich also die Richtung der spontanen Polarisation ändert. Manchmal wird die Summe aus  $+E_c$  und dem Betrag von  $-E_c$  als  $2E_c$  angegeben. Da die Hysteresekurve im Idealfall punktsymmetrisch zum Ursprung ist, sind die beiden Beiträge annähernd gleich. Die Koerzitivfeldstärke ist für alle Arten ferroelektrischer Speicher wichtig, da sie hauptsächlich die Betriebsspannung bestimmt. Je größer sie ist, desto größer ist auch die erforderliche Spannung, um vom Zustand negativer Polarisation in den Zustand positiver Polarisation zu schalten. Andererseits nimmt mit steigender Koerzitivfeldstärke die zeitliche Stabilität der Polarisation zu. Das durch die dielektrische Zwischenschicht entstehende Depolarisationsfeld im Transistor hat dadurch geringere Auswirkungen auf die Langzeitstabilität des Polarisationszustandes in der ferroelektrischen Schicht. Damit erhöht sich die Datenhaltung des Transistors.

Die zweite wichtige Kenngröße für Speicheranwendungen ist der Wert für die remanente Polarisation  $P_r$  bei der Spannung Null. Oft wird auch hier in der Literatur die Summe aus  $+P_r$  und dem Betrag von  $-P_r$  als  $2P_r$  angegeben. Aus dem Wert für  $2P_r$  ergibt sich die maximal zur Signaldetektion verfügbare Ladung im Speicherkondensator eines FeRAMs. Beim ferroelektrischen Transistor ist die maximal erreichbare remanente Polarisation aus den in Kapitel 5.2.2 genannten Gründen von Bedeutung. Bei SBT erreicht die remanente Polarisation Werte von 10 bis  $20 \mu\text{C}/\text{cm}^2$ . Dies entspricht einer Feldstärke von 30 bis  $60 \text{ MV}/\text{cm}$  für  $\text{SiO}_2$ . Was für den ferroelektrischen Kondensator in einem FeRAM wünschenswert ist, nämlich eine möglichst große remanente Polarisation, ist für die Anwendung im Transistor ungeeignet. Nach

der im letzten Kapitel beschriebenen Abschätzung sind solche Polarisationswerte weder erforderlich noch brauchbar. Unter der Annahme, dass eine dielektrische Schicht mit einer höheren Dielektrizitätskonstante als  $\text{SiO}_2$  verwendet wird, reduziert sich die Feldstärke. Für eine Dielektrizitätskonstante  $\epsilon_r$  von 20, wie sie für  $\text{CeO}_2$  realistisch scheint, verringert sich die Feldstärke bei gleichen Polarisationswerten auf ca. 5 bis 10 MV/cm. Allerdings muss man hierbei berücksichtigen, dass die Durchbruchfeldstärke für die meisten dielektrischen Schichten niedriger liegt als für  $\text{SiO}_2$  und mit zunehmender Dielektrizitätskonstante abnimmt. Die für SBT in anderen ferroelektrischen Speichern gewünschte a-Achsen-Orientierung ist für den Transistor nicht notwendig. Ein polykristallines Material, das überwiegend c-Achsen-orientiert aufwächst, ist unter diesem Gesichtspunkt sogar besser geeignet, da die remanente Polarisation dadurch abnimmt. Wie in Kapitel 5 erwähnt, reicht für den Betrieb eines Transistors ein Wert von etwa  $0,1 \mu\text{C}/\text{cm}^2$ .

Im Hinblick auf den ferroelektrischen Transistor ist zusammenfassend festzuhalten:

- Für den ferroelektrischen Transistor ist die remanente Polarisation weniger wichtig als für einen Speicher mit ferroelektrischem Kondensator. Die erreichbare Signalladung hängt nicht vom Maximalwert der remanenten Polarisation ab.
- Eine große remanente Polarisation bedeutet automatisch eine hohe Feldstärke und damit eine große Belastung für die dielektrische Zwischenschicht.
- Die Koerzitivfeldstärke hat Einfluss auf die Betriebsspannung und die Datenhaltung des Transistors. Je größer sie ist umso länger ist die erwartete Datenhaltung, andererseits steigt auch die nötige Betriebsspannung.
- Unabhängig von der gewählten Materialkombination spielen Schichtdicken, Leckströme und Leckstrommechanismen [Was92] eine wichtige Rolle. Sie müssen für den jeweiligen Aufbau untersucht und optimiert werden.



## 7 Experimentelle Ergebnisse mit CeO<sub>2</sub>

Bisher wurden mikroelektronische Speicher verglichen, Konzepte zum Bau eines ferroelektrischen Transistors vorgestellt, seine Funktion beschrieben und seine wesentlichen Bestandteile erläutert. Erkenntnisse aus der Literatur und theoretische Überlegungen waren maßgeblich für die bisher vorgestellten Ergebnisse. Der jetzt folgende experimentelle Teil dieser Arbeit soll weitere wesentliche Ergebnisse zum Thema ferroelektrischer Transistor liefern. Ein großer Teil der Überlegungen, die im Rahmen der durchgeführten Experimente angestellt wurden, führte schließlich zu Ergebnissen, die erst im übernächsten Kapitel über Integration und Zellkonzepte in Form von konkreten Vorschlägen präsentiert werden.

Die folgenden beiden Kapitel der Arbeit entsprechen dem schrittweisen Vorgehen beim Durchführen der Experimente [Han00a], [Han01]. Zuerst wurde der Abscheideprozess für CeO<sub>2</sub> auf Silizium etabliert, dann Schichten unterschiedlicher Dicke hergestellt, diese mit Elektroden versehen und im Hinblick auf den ferroelektrischen Transistor charakterisiert. Diese Schritte wurden ähnlich mit dem ferroelektrischen Material SBT wiederholt und werden in Kapitel 8 beschrieben.

### 7.1 Auswahl alternativer Dielektrika - CeO<sub>2</sub>-Kondensatoren

In Kapitel 5 wurden die Anforderungen an das Dielektrikum im ferroelektrischen Transistor schon genannt. Die effektive Dielektrizitätskonstante war das wichtigste Kriterium, gefolgt von der Qualität der Grenzfläche zu Silizium und dem Bandabstand. Diese Kriterien spielen für die Auswahl eines neuen Dielektrikums natürlich eine wichtige Rolle. Aber es stellt sich auch die Frage nach der Verfügbarkeit und der Prozessierbarkeit eines Materials. Es musste ein Material gewählt werden, das in einer Form verfügbar war, in der es auf einfache Weise für die Herstellung dünner Schichten einsetzbar war.

In der Literatur finden sich viele Untersuchungen zu alternativen Gate-Dielektrika bei ferroelektrischen Transistoren [Cho99], [Hir95], [Hir97], [Kim97], [Lee97], [Lee99a], [Ma98], [Tok96a], [Tok96b], [Wu98]. Zunächst wurden für diese Arbeit Si<sub>3</sub>N<sub>4</sub>, (Ba,Sr)TiO<sub>3</sub> (BST), ZrO<sub>2</sub> und CeO<sub>2</sub> in Betracht gezogen. Versuche mit diesen sollten zeigen, welches Dielektrikum am besten für den Bau eines ferroelektrischen Transistors geeignet ist.

### 7.1.1 Siliziumnitrid (Si<sub>3</sub>N<sub>4</sub>)

Versuche mit Siliziumnitrid Si<sub>3</sub>N<sub>4</sub> lagen nahe, da dieses Material in der Mikroelektronik häufig eingesetzt wird und seine Eigenschaften gut bekannt sind. Es besitzt eine doppelt so große Dielektrizitätskonstante wie SiO<sub>2</sub> und ist daher besser als Zwischenschicht geeignet [Han98a]. Der Bandabstand liegt bei ca. 5,1 eV, d.h. er ist zwar geringer als der von SiO<sub>2</sub>, aber größer als der anderer alternativer Dielektrika. Für viele Elemente gilt es außerdem als ausgezeichnete Diffusionsbarriere. Diese Eigenschaft kann die Diffusion von Bestandteilen der ferroelektrischen Schicht in das Substrat verhindern und damit für eine hohe Qualität des Substrates im Kanalbereich des Transistors sorgen. Um diesen Vorteil mit den guten Grenzflächeneigenschaften von SiO<sub>2</sub> zu verbinden, wurde auch eine Kombination aus beiden Schichten vorgeschlagen [Sug00]. Andererseits wird Si<sub>3</sub>N<sub>4</sub> in ONO-Speichern (ONO = Oxid Nitrid Oxid) zum Trappen von Ladungen eingesetzt. Es ist also damit zu rechnen, dass sich durch Injektion von Ladungen in diese Schicht die Steuerwirkung der ferroelektrischen Schicht auf das Substrat verändert. Es gibt allerdings Veröffentlichungen, die zeigen, dass man z.B. durch die Abscheidung von SBT mit einem PLD-Prozess (Pulsed Laser Deposition) bei niedriger Temperatur brauchbare Schichtkombinationen aus Siliziumnitrid und SBT erzeugen kann [Sak99], [Yam00].

Si<sub>3</sub>N<sub>4</sub> stand sofort zur Verfügung und konnte ohne weiteres auf Silizium als Trägermaterial abgeschieden werden. Zum Herstellen eines Transistors ist das Ätzen von Kontaktlöchern durch das Gate-Material notwendig. Siliziumnitrid bietet hier den Vorteil, dass ausgereifte Prozesse für diese Strukturierung zur Verfügung stehen. Bei einigen einfachen Versuchen wurde Siliziumnitrid in unterschiedlichen Dicken von ca. 4 bis 20 nm auf Silizium-Substrat abgeschieden. Darauf wurde Strontium-Wismut-Tantalat (SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>, SBT) als ferroelektrische Schicht abgeschieden und mittels einer Schattenmaske Platin-Elektroden aufgedampft. Trotz unterschiedlicher Varianten bei der Prozessierung der ferroelektrischen Schicht zeigten die vermessenen Proben keine ferroelektrischen und nur mangelhafte dielektrische Eigenschaften. Da andere Materialien ohnehin vielversprechender erschienen, wurden diese Versuche nicht weiter geführt.

### 7.1.2 Barium-Strontium-Titanat (Ba, Sr)TiO<sub>3</sub> bzw. Ba<sub>1-x</sub>Sr<sub>x</sub>TiO<sub>3</sub>

Auch mit Barium-Strontium-Titanat (Ba,Sr)TiO<sub>3</sub> (BST) wurden Versuche unternommen. Dieses Material wurde bei Infineon als mögliches Dielektrikum für Kondensatoren in DRAMs untersucht. Seine besonders hohe Dielektrizitätskonstante macht es dafür und für den Einsatz im ferroelektrischen Transistor besonders geeignet. Leider besitzt es nur eine Bandlücke von etwa 3,8 eV. BST ist ein Perovskit, der auf dem verwendeten Si(100)-Substrat nur in polykristalliner Form abgeschieden werden kann. Die verwendete CVD-Abscheidung erzeugt zunächst eine amorphe Schicht, die erst durch eine Temperung kristallisiert und die gewünschten dielektrischen Eigenschaften erhält. Da das Material Sauerstoff enthält und die Temperung in sauerstoffhaltiger Atmosphäre bei Temperaturen um 600°C stattfinden muss, bildet sich zwischen Silizium-Substrat und BST-Schicht eine parasitäre SiO<sub>2</sub>-Schicht. Diese reduziert drastisch die Kapazität der gesamten dielektrischen Schicht. Außerdem besteht die Gefahr, dass

nicht gebundene oder flüchtige Bestandteile durch Diffusion in das Substrat gelangen. Selbst wenn die Qualität der Grenzfläche zum Kanal durch das parasitäre SiO<sub>2</sub> verbessert wird, kann die Substratqualität im Kanalbereich des Transistors durch Diffusion abnehmen.

Die auf Silizium abgeschiedenen BST-Schichten zeigten bei  $C(U)$ -Messungen eine schlechte Qualität. Die Kapazität war, wenn überhaupt messbar, sehr gering. Mögliche Ursachen sind schlechte Qualität der polykristallinen Schicht auf Silizium als Unterlage, die bei niedrigen Schichtdicken abnehmende Dielektrizitätskonstante und eine parasitäre SiO<sub>2</sub>-Schicht. Zusätzliche Proben, bei denen auf der BST-Schicht noch eine SBT-Schicht abgeschieden wurde, zeigten keinerlei ferroelektrische Eigenschaften.

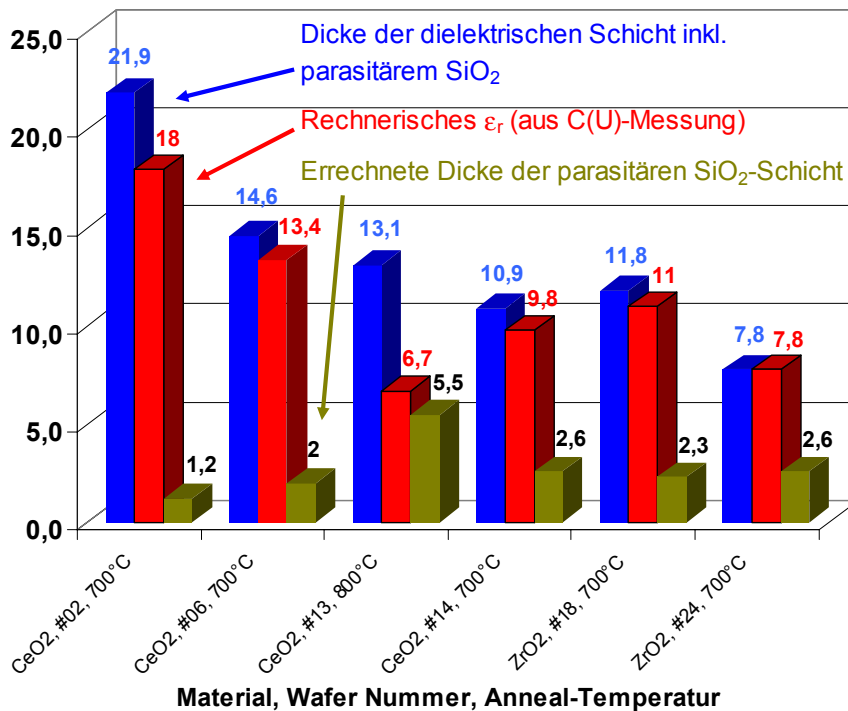
### 7.1.3 CeO<sub>2</sub> und ZrO<sub>2</sub>

Versuche mit CeO<sub>2</sub> und ZrO<sub>2</sub> lieferten deutlich bessere Ergebnisse [Han00a], [Han01]. Zuerst wurden bei der Firma Symetrix in USA, einem Kooperationspartner der Firma Infineon, mehrere Silizium-Wafer unter verschiedenen Bedingungen mit beiden Materialien beschichtet. Bei Infineon wurden auf einen Teil dieser Wafer Platinelektroden unterschiedlicher Größe mit einer Schattenmaske auf die CeO<sub>2</sub>- und ZrO<sub>2</sub>-Schichten aufgedampft. Die Rückseite der Bordotierten Silizium-Wafer (einige 10<sup>15</sup> cm<sup>-3</sup>) wurde mit Indium-Gallium-Eutektikum kontaktiert. Auf einem  $C(U)$ -Messplatz wurde dann die Kapazität der Pt/CeO<sub>2</sub>/Si- und Pt/ZrO<sub>2</sub>/Si-Kondensatoren in Inversion bestimmt. Die verwendete sinusförmige Wechsellspannung hatte eine Frequenz von 10 kHz und eine Amplitude von 200 mV. Die Kapazität wurde in starker Inversion bei -3 Volt an Kondensatoren mit einer Größe von ca. 2 x 10<sup>4</sup> μm<sup>2</sup> bestimmt. Die Kondensatoren besaßen runde Platin-Elektroden mit einer Dicke von ca. 100 nm und einem Radius von etwa 80 μm. Zusätzlich wurde die Schichtdicke auf etwa 1 nm genau ellipsometrisch mit einem Spektralellipsometer der Firma SOPRA bestimmt.

Nach der einfachen Kondensatorformel  $C = \epsilon_0 \epsilon_r A / d$  ergeben Schichtdicke und gemessene Kapazität die relative Dielektrizitätskonstante der jeweiligen Schicht. Abbildung 7.1 zeigt das Ergebnis für eine kleine, aber typische Auswahl von Kondensatoren mit unterschiedlicher Isolatorstärke. Man erhält ein im Vergleich zu SiO<sub>2</sub> deutlich höheres  $\epsilon_r$ , mit Werten zwischen 7 und 18, je nach Schichtdicke und Temperaturbehandlung. Werte von  $\epsilon_r > 20$ , wie man sie in der Literatur für CeO<sub>2</sub>- und ZrO<sub>2</sub>-Kondensatoren mit beidseitigen Metallelektroden findet, werden in diesem Fall auf Si nicht erreicht. Bei der Temperaturbehandlung der Kondensatoren in sauerstoffhaltiger Atmosphäre wird immer auch ein Teil des Silizium-Substrates zu einer dünnen SiO<sub>2</sub>-Schicht mit einem geringen  $\epsilon_r$  von etwa 3,9 oxidiert. Daher ist die dielektrische Konstante der Gesamtschicht aus Cerdioxid bzw. Zirkonioxid und Siliziumdioxid im Vergleich zu den Werten für reines Cer- bzw. Zirkonioxid reduziert. Das einfachste Modell, das diese Art von Kondensatoren realistisch beschreibt, setzt sich aus zwei seriellen Kapazitäten zusammen, deren reziproke Kapazitäten sich zur Gesamtkapazität addieren.

Aus der elektrisch gemessenen Gesamtkapazität, der optisch bestimmten Schichtdicke und den in der Literatur angegebenen Dielektrizitätskonstanten [Kin00] für die verschiedenen Isolatoren ( $\epsilon_r(\text{CeO}_2) \approx 20 - 25$ ;  $\epsilon_r(\text{ZrO}_2) \approx 20 - 25$ ) kann man errechnen, wie dick die parasitäre SiO<sub>2</sub>-Schicht unterhalb der Cerdioxid- bzw. Zirkonioxid-Schicht ist. Neben einer Säule für die

optisch bestimmte Schichtdicke und einer zweiten für die errechnete Dielektrizitätskonstante der Gesamtschicht, findet sich in Abbildung 7.1 deshalb eine weitere Säule, die zeigt, wie dick in etwa die parasitäre SiO<sub>2</sub>-Schicht unter der CeO<sub>2</sub>- bzw. ZrO<sub>2</sub>-Schicht ist.



**Abbildung 7.1:** Schichtdicke, dielektrische Konstante der gesamten Schicht und errechnete Dicke der parasitären SiO<sub>2</sub>-Schicht für einige CeO<sub>2</sub>- und ZrO<sub>2</sub>-Schichten auf Silizium-Substrat.

Diese parasitäre SiO<sub>2</sub>-Schicht besteht mit großer Wahrscheinlichkeit nicht aus reinem SiO<sub>2</sub> sondern stellt eine Mischphase aus Siliziumdioxid und Cer- oder Zirkoniumdioxid bzw. ein entsprechendes Silikat dar. Reduziert man die Schichtdicke, so nimmt die Kapazität nicht so stark zu wie man es auf Grund der indirekten Proportionalität beider Größen erwarten würde. Die errechnete Dielektrizitätskonstante der gesamten Isolatorschicht sinkt also mit abnehmender Schichtdicke. Geht man davon aus, dass die Dielektrizitätskonstante der CeO<sub>2</sub> bzw. ZrO<sub>2</sub> für alle untersuchten Schichtdicken etwa gleich ist, so kann diese Beobachtung nur durch die zunehmende Dicke der parasitären SiO<sub>2</sub>-Schicht unter dem CeO<sub>2</sub> bzw. ZrO<sub>2</sub> erklärt werden. Die aus der Kapazität ermittelten Werte für die Dicke dieser Schicht sind in Abbildung 7.1 dargestellt. Die Dicke der SiO<sub>2</sub>-Schicht steigt leicht an, wenn man die Dicke des alternativen Dielektrikums reduziert. Die errechneten Werte für die Dicke der parasitären SiO<sub>2</sub>-Schicht stimmen annähernd mit den Schichtdicken überein, die man bei einstündiger thermischer Oxidation von reinem Silizium in Sauerstoff bei den angegebenen Temperaturen von 700 bzw. 800°C erwarten würde, nämlich ca. 2 bzw. etwa 6 nm. Dies gilt für beide Oxide, sowohl für CeO<sub>2</sub> als auch ZrO<sub>2</sub>. Die bei 800°C getemperte Probe zeigt, dass die abnehmende Dielektrizitätskonstante der Gesamtschicht durch die parasitäre SiO<sub>2</sub>-Schicht verursacht ist. Bei gleich bleibender Dicke dieser Schicht wäre mindestens mit der gleichen Kapazität wie bei den bei 700°C getemperten Proben zu rechnen.



Zum Teil geht die geringere Kapazität bei dünnen Schichten sehr wahrscheinlich darauf zurück, dass die Dielektrizitätskonstante mit abnehmender Schichtdicke sinkt, dünne Schichten also nicht mehr die Eigenschaften des jeweiligen Bulk-Materials zeigen. Allerdings verdeutlicht Abbildung 7.1, dass die Temperatur einen größeren Einfluss als die Schichtdicke hat. Die höhere Temperatur von 800°C führt zu einer wesentlich dickeren SiO<sub>2</sub>-Schicht als bei allen anderen Proben, die bei nur 700°C getempert wurden. Ähnliches gilt für weitere Proben mit anderen Schichtdicken, die in Abbildung 7.1 nicht dargestellt sind.

Gezeigt ist hier ein Teil der Ergebnisse, die schließlich zu der Entscheidung führten, für alle weiteren Versuche mit CeO<sub>2</sub> als dielektrischer Zwischenschicht zu arbeiten. Da bei den elektrischen Messungen keine wesentlichen Unterschiede zwischen CeO<sub>2</sub> und ZrO<sub>2</sub> festzustellen waren und der Precursor der Firma Symetrix für das CeO<sub>2</sub> in ausreichenden Mengen ca. sechs Monate früher als der für ZrO<sub>2</sub> verfügbar war, blieben alle weiteren Versuche zum Bau eines Gate-Stacks auf die Verwendung von CeO<sub>2</sub> beschränkt. Der Einsatz beider Materialien hätte bei der Herstellung der Proben, ihrer Charakterisierung und besonders den für Reinraum und Anlagen erforderlichen Kontaminationsanalysen vor dem Bau eines Transistors einen zu großen Aufwand erfordert.

## 7.2 Abscheidung von CeO<sub>2</sub> auf Silizium

Da weder eine Sputter-Anlage mit entsprechendem Target noch eine CVD-Anlage für die Abscheidung von CeO<sub>2</sub> oder ZrO<sub>2</sub> zur Verfügung standen, blieb als preiswerte Alternative für die Beschichtung planarer Substrate nur die Chemical Solution Deposition (CSD). Mit diesem Verfahren lassen sich dünne Schichten herstellen, indem das Substrat z.B. in einen flüssigen Precursor eingetaucht (sog. Dip-Coating) oder - wie im Rahmen dieser Arbeit geschehen - der Precursor durch Rotation auf dem Substrat verteilt wird (sog. Spin-Coating).

Ein enormer Vorteil dieses Verfahrens liegt in der Einfachheit der erforderlichen Mittel. Die Precursor-Entwicklung kann aufwändig sein, die erforderlichen Geräte für die Schichtherstellung sind dagegen im Vergleich zu Sputter- oder CVD-Prozessen sehr simpel: Man braucht eine Schleuder - für diese Arbeit wurde eine leicht modifizierte Lackschleuder der Firma Convac verwendet - und schließlich noch eine oder zwei Heizplatten für die ersten Temperaturschritte. Damit hat man ein flexibles und transportables Set von Geräten. Nur so konnten die erforderlichen Geräte in dem für diese Arbeit benutzten und für Versuche mit CeO<sub>2</sub> zugänglichen Reinraum auf einfache Weise installiert werden.

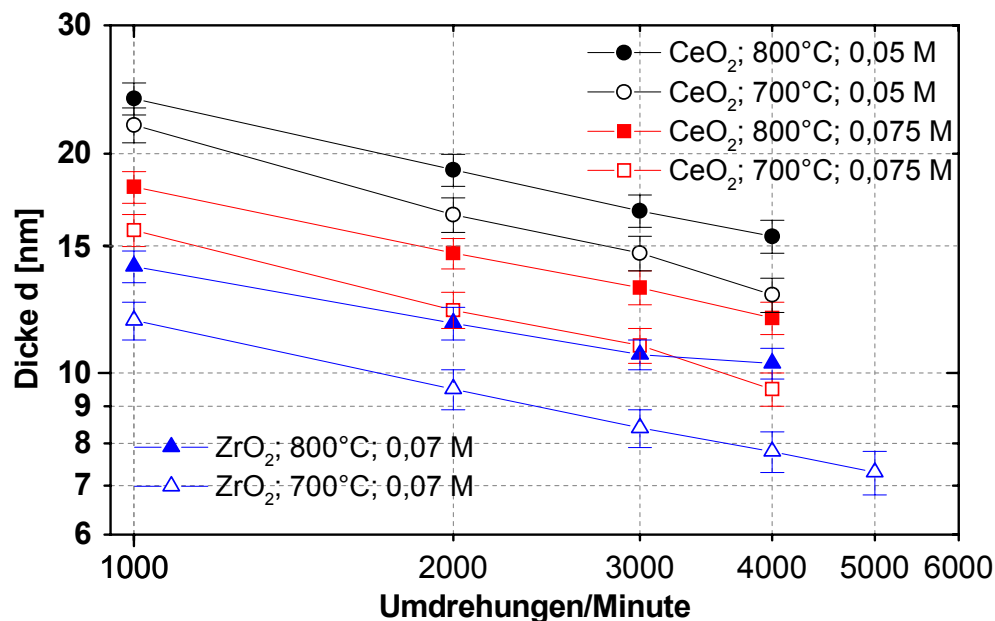
Um das natürliche Oxid von der Waferoberfläche zu entfernen, wurden die Silizium-Scheiben zuerst in verdünnter Flußsäure geätzt und dann mit entionisiertem Wasser gespült. Ein definiertes Volumen des flüssigen Precursors der Firma Symetrix (die genaue Zusammensetzung ist nur der Firma Symetrix bekannt), hier typisch 800 µl, wurde mit einer einstellbaren Pipette etwa im Mittelpunkt auf den Wafer aufgebracht. Durch Rotation der Probe bei einigen tausend Umdrehungen pro Minute - hier typisch 1000 bis 5000 - verteilte sich zunächst der Precursor und es entstand ein homogener Film. Es folgten mehrere Prozessschritte bei erhöhter Temperatur. Für die Herstellung der CeO<sub>2</sub>-Schichten in dieser Arbeit wurden die

Wafer in Atmosphäre für eine Minute bei einer Temperatur von 160°C auf einer Heizplatte gebacken. Unmittelbar danach wurden sie für vier Minuten auf eine weitere Heizplatte mit einer Temperatur von 260°C gelegt. Diese beiden Schritte dienen vor allem dazu, Lösungsmittelrückstände aus der Schicht zu entfernen. Polykristallines CeO<sub>2</sub> entsteht erst bei der anschließenden Temperaturbehandlung in Sauerstoff-Atmosphäre. Dazu wurden die Schichten bei Temperaturen zwischen 600 und 800°C für eine Stunde in O<sub>2</sub> in einem Ofen getempert. Abbildung 7.2 veranschaulicht den hier beschriebenen Prozessablauf.

Scheibenvorbehandlung	HF-Dip (3%), Spülen in DI-Wasser
Abscheidung	1000 bis 5000 rpm; 30 s
Tempersschritt 1	160°C; 1 Minute
Tempersschritt 2	260°C; 4 Minuten
Tempersschritt 3	zwischen 600 und 800°C; 1 h; O <sub>2</sub> , N <sub>2</sub> bzw. Mischungen davon

**Abbildung 7.2:** Übersicht über den Prozessablauf bei der Herstellung der CeO<sub>2</sub>-Schichten und die verwendeten Prozess-Parameter.

Die Schichtdicke kann bei dieser Art der Abscheidung und bei Verwendung eines bestimmten Precursors vor allem durch zwei Parameter gesteuert werden. Nämlich durch die Drehzahl beim Spin-Coating-Prozess und die Konzentration der Precursor-Lösung. Abbildung 7.3 zeigt den Zusammenhang zwischen der ellipsometrisch gemessenen Schichtdicke und der Drehzahl. Bei den verwendeten Parametern liefert das Spin-Coating Schichtdicken zwischen etwa 5 und etwa 25 Nanometern.



**Abbildung 7.3:** Abhängigkeit der Schichtdicke von der beim Spin-Coating verwendeten Drehzahl für CeO<sub>2</sub>- und ZrO<sub>2</sub>-Schichten. Angegeben sind die Materialart sowie die Parameter Temperatur und Konzentration der Precursor-Lösung.

Abbildung 7.3 zeigt auch, dass die Temperatur Einfluss auf die Schichtdicke hat. Bei ansonsten identischen Abscheidebedingungen sind die bei 800°C getemperten Schichten im Durchschnitt etwa 2 nm dicker als die bei 700°C getemperten. Dieses Ergebnis stimmt mit der in Kapitel 7.1 beschriebenen Beobachtung überein, wonach sich unter der abgeschiedenen dielektrischen Schicht eine parasitäre SiO<sub>2</sub>-Schicht befindet. Ihre Dicke hängt vom thermischen Budget des Prozesses ab [Lee99a]. Bei 800°C wird entsprechend mehr Silizium oxidiert als bei 700°C.

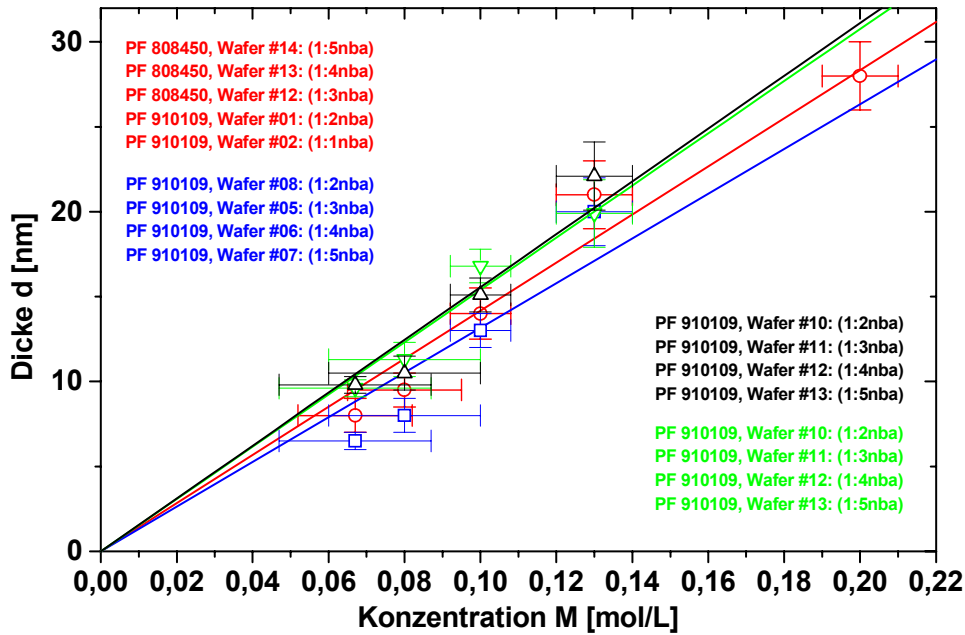
Um die Variation der Schichtdicke von Experiment zu Experiment gering zu halten, wurde bei möglichst großen Schleuderdrehzahlen gearbeitet, in den meisten Fällen mit 4000 Umdrehungen pro Minute. Schwankungen der Drehzahl wirken sich hier nur noch sehr schwach auf die Schichtdicke aus. Größere Drehzahlen waren kaum möglich, da die Wafer von Hand auf dem Vakuum-Chuck der Schleuder zentriert werden mussten. Bei noch höheren Drehzahlen lösten sich nicht exakt zentrierte Wafer oder andere Probenstücke häufig vom Vakuum-Chuck und zerbrachen.

Der zweite Parameter, über den sich die Schichtdicke einstellen lässt, ist die Konzentration der Precursor-Lösung. Betrachtet man Abbildung 7.3, so wird deutlich, dass bei gegebener Konzentration durch Variation der Drehzahl beim Spin-Coating-Prozess nur ein relativ kleiner Bereich unterschiedlicher Schichtdicken erzeugt werden kann. Um Schichtdicken zwischen wenigen nm und ca. 20 bis 30 nm zu erzeugen, muss ein weiterer Parameter variiert werden. Da die Viskosität durch die Chemie des Precursors fest vorgegeben ist, bietet sich die Konzentration der Lösung an. Die Konzentration des CeO<sub>2</sub>-Precursors kann durch Verdünnen mit n-Butyl-Acetat eingestellt werden. Bei den ersten Versuchen zeigte sich allerdings, dass der Precursor extrem wasserempfindlich war. Geringste Mengen Wasser, wie sie z.B. in älteren Flaschen von n-Butyl-Acetat enthalten waren, führten zu Ausfäll-Reaktionen in der damit verdünnten Precursor-Lösung. Die Folgen waren ein weißer Niederschlag auf dem Boden des Gefäßes und entsprechende Partikel auf der Waferoberfläche bzw. inhomogene Schichten beim Aufschleudern einer solchen Lösung. Durch diese Reaktion fand auch eine unkontrollierte Veränderung der Konzentration der Precursor-Lösung statt.

Daher wurde eine Glove-Box installiert, in der unter leichtem Überdruck in trockener Stickstoffatmosphäre gearbeitet werden konnte. Alle Versuche wurden in der Glove-Box vorbereitet. Neue Flaschen mit n-Butyl-Acetat (Wasseranteil < 0,05%) wurden erst unter N<sub>2</sub> in der Glove-Box geöffnet und auch dort gelagert. Der Precursor wurde mit n-Butyl-Acetat verdünnt, filtriert (Filter Millipore) und in vorher mehrfach mit Aceton und Propanol gereinigte und gründlich getrocknete Fläschchen abgefüllt. Dosierpipette, dazu passende gereinigte Einmalspitzen, Spritzen, Filter und alle Fläschchen sowie Precursor und Lösungsmittel wurden permanent in der Glove-Box gelagert. Die Fläschchen mit verdünntem Precursor wurden erst kurz vor der Spin-On-Deposition in der Glove-Box vorbereitet und dann über eine Schleuse aus der Box entnommen. Sie wurden erst wenige Sekunden vor der Abscheidung geöffnet.

Der CeO<sub>2</sub>-Precursor wurde im Verhältnis 1 zu 1 bis 1 zu 5 mit n-Butyl-Acetat verdünnt, so dass sich in Abhängigkeit von der Konzentration der Ausgangslösung (0,4 mol/l) die in Abbildung 7.4 dargestellten Konzentrationen für die verdünnte Precursor-Lösung ergaben. Für die Auftragung der Messpunkte und den linearen Fit an diese durch den Nullpunkt wurde angenommen, dass Precursor und Lösungsmittel in etwa die gleiche Viskosität besitzen. Die

Viskosität der verdünnten Lösung ist dann unabhängig von der zugegebenen Lösungsmittelmenge und die Schichtdicke hängt in grober Näherung etwa linear von der Konzentration des Precursors ab. Abbildung 7.4 zeigt, dass diese Annahme im Rahmen der abgeschätzten Fehler gerechtfertigt ist. Große Fehler ergeben sich vor allem bei starker Verdünnung des Precursors. Da auf Grund der hohen Kosten durchwegs mit kleinen Volumina (< 1 ml Precursor als Ausgangsmenge) gearbeitet wurde, können bereits durch Benetzung der Pipettenspitze oder nicht vollständiges Entleeren der Pipette relativ große Abweichungen von der gewünschten Konzentration entstehen. Eine Abschätzung des Fehlers, welche die verwendeten Werkzeuge und Hilfsmittel berücksichtigt, ist in Abbildung 7.4 enthalten.

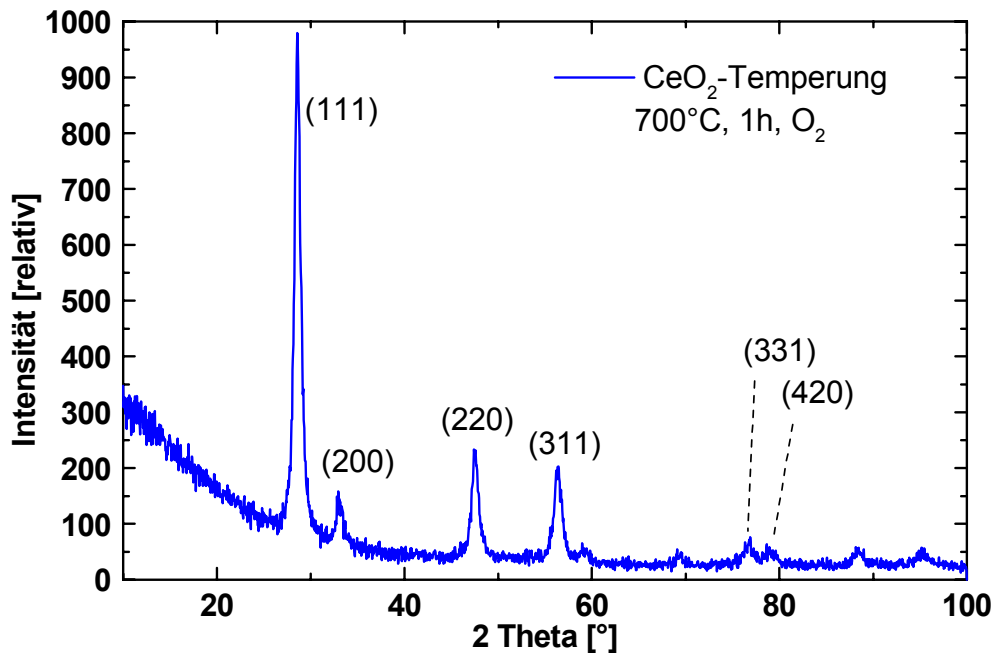


**Abbildung 7.4:** Abhängigkeit der CeO<sub>2</sub>-Schichtdicke von der Konzentration der beim Spin-Coating verwendeten Precursor-Lösung bei vier verschiedenen Versuchen. Da teilweise mit Viertel-Wafern gearbeitet wurde, ergeben sich für die Viertel eines bestimmten Wafers (Legende rechts) unterschiedliche Schichtdicken.

### 7.3 Charakterisierung von CeO<sub>2</sub> auf Silizium und CeO<sub>2</sub>/Si-Kondensatoren

Nach anfänglichen Schwierigkeiten gelang es, Schichten reproduzierbar in der gewünschten Dicke herzustellen. Die Frage, ob es sich dabei wirklich um CeO<sub>2</sub>-Schichten handelte, wurde mit Hilfe einer Röntgenbeugungsanalyse beantwortet. Abbildung 7.5 zeigt das Ergebnis einer Messung an einer etwa 20 nm dicken Schicht, die mit dem oben beschriebenen Prozess auf Silizium-Substrat hergestellt wurde. Diese Probe wurde eine Stunde lang bei 700°C in Sauerstoff getempert. Die durch die verschiedenen Netzebenen des CeO<sub>2</sub> verursachten Maxima der Reflexion sind in Abbildung 7.5 deutlich zu sehen. Ein Vergleich mit dem CeO<sub>2</sub>-Standard zeigt, dass erwartete Position und Intensität der Maxima sehr gut mit denen der untersuchten Probe übereinstimmen. Das Fehlen weiterer unerwarteter Peaks lässt außerdem den Schluss zu, dass es sich bei der Probe um reines CeO<sub>2</sub> handelt, das keine Sekundärphasen eines anderen Materials enthält. Eine später zusätzlich durchgeführte EDX-Analyse (Energy Dispersive X-ray

Spectroscopy) bestätigte dieses Ergebnis. Betrachtungen zur Orientierung von CeO<sub>2</sub> auf Si(100) findet man bei [Goe97].



**Abbildung 7.5:** Diagramm einer Röntgenbeugungsanalyse einer 20 nm dicken CeO<sub>2</sub>-Schicht auf Silizium (100). Aufgetragen ist die Intensität der reflektierten Röntgenstrahlung (in willkürlichen Einheiten) gegen den Reflexionswinkel, unter dem gemessen wurde. Die Indizes der einzelnen Ebenen sind angegeben.

Um die elektrischen Eigenschaften der hergestellten CeO<sub>2</sub>-Schichten zu untersuchen, wurden mit dem in Abbildung 7.2 beschriebenen Prozess weitere Proben unterschiedlicher Dicke mit Pt-Elektroden hergestellt. Die Temperung zur Herstellung einer polykristallinen Schicht erfolgte für diese Proben bei 700°C. Genau wie bei den ersten Proben der Firma Symetrix zum Vergleich von ZrO<sub>2</sub> und CeO<sub>2</sub> wurden nach dem letzten Tempersschritt ca. 100 nm dicke Platinelektroden unterschiedlicher Größe mit einer Schattenmaske aufgedampft. Die Pt-Elektroden definieren die Kondensatorfläche. Abbildung 7.6 zeigt eine Skizze der untersuchten Proben.

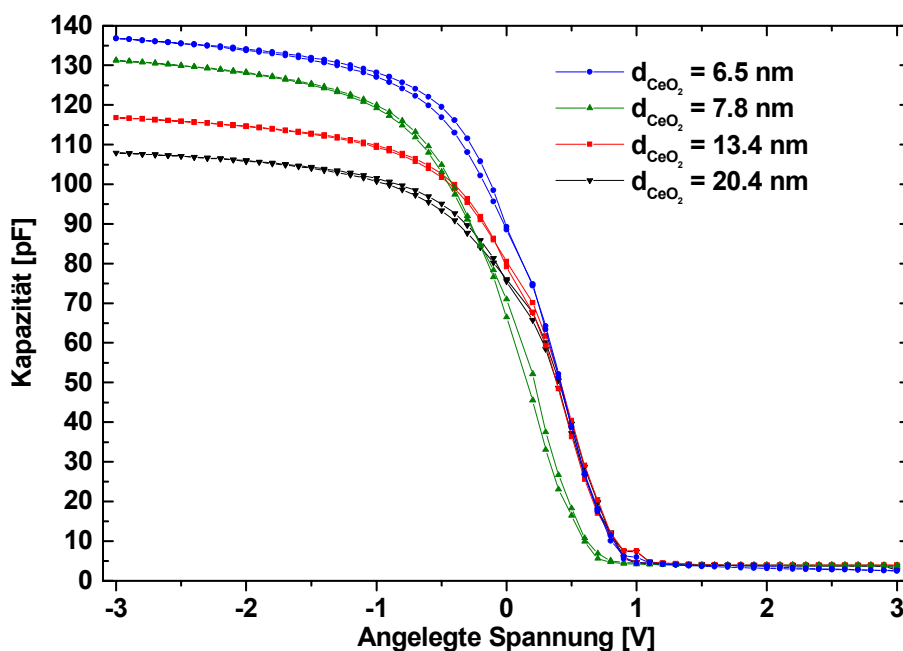


**Abbildung 7.6:** Skizze der untersuchten Pt/CeO<sub>2</sub>/Si-Kondensatoren. Auf dem Silizium-Substrat (Wafer oder Waferbruchstück) befindet sich eine ganzflächige CeO<sub>2</sub>-Schicht. Über eine Schattenmaske wurden Platin-Elektroden aufgedampft, die Rückseite des Siliziums wird mit einem Eutektikum kontaktiert.

Nach der Bedampfung wurden die Proben noch einmal bei 750°C in Sauerstoff getempert, um eventuell vorhandene Pt-Spikes zwischen den CeO<sub>2</sub>-Körnern zu entfernen. Sind solche Spikes vorhanden, können sie auf Grund von lokalen Feldspitzen sehr leicht zum elektrischen

Durchbruch der Isolatorschicht führen. Die Gegenelektrode stellt das Halbleitermaterial dar. Für die  $C(U)$ -Messungen musste ein ohmscher Kontakt zum Silizium hergestellt werden. Deshalb wurde die Rückseite der Bor-dotierten Silizium-Wafer (ca.  $5 \times 10^{15} \text{ cm}^{-3}$ ) mit Indium-Gallium-Eutektikum kontaktiert.

Abbildung 7.7 zeigt  $C(U)$ -Messungen an Pt/CeO<sub>2</sub>/Si-Kondensatoren mit unterschiedlicher Oxid-Dicke. Die durch die Pt-Elektroden bestimmte Fläche der Kondensatoren betrug ca.  $2 \times 10^4 \mu\text{m}^2$ . Es handelt sich um runde Platin-Elektroden mit einem Radius von ca.  $80 \mu\text{m}$ . Dieser Radius wurde stichprobenartig mit einem optischen Mikroskop überprüft. Die Schichtdicke wurde auf etwa 1 nm genau ellipsometrisch mit einem Spektralellipsometer der Firma SOPRA bestimmt. Elektrisch gemessen wurde mit einem über PC angesteuerten LCR-Meter von Hewlett-Packard, das an einen Waferprober der Firma Süss mit Einzelnadeln angeschlossen war. Für die Messung als besonders geeignet erwiesen hat sich eine sinusförmige Wechselspannung mit einer Frequenz von 10 kHz und einer Amplitude von 200 mV. Der Phasenwinkel lag bei diesen Einstellungen bei ca.  $-89^\circ$ , d.h. die Proben stellen bei diesen Messparametern einen fast idealen Kondensator dar. Die Einstellungen wurden so gewählt, dass sie sich auch für Messungen an Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren eignen, was die Ergebnisse beider Messungen erst vergleichbar macht. Frequenzen über etwa 20 kHz konnten auf Grund des Serienwiderstandes durch das Siliziumsubstrat nicht für die Messungen verwendet werden.



**Abbildung 7.7:**  $C(U)$ -Messungen an Pt/CeO<sub>2</sub>/Si-Kondensatoren unterschiedlicher Oxid-Dicke. Die Elektrodenfläche der aufgedampften Pt-Elektroden beträgt ca.  $2 \times 10^4 \mu\text{m}^2$ ; es wurde bei einer Frequenz von 10 kHz und einer Amplitude von 200 mV gemessen.

Die Messungen zeigen recht gute Ergebnisse im Hinblick auf die Form der  $C(U)$ -Kurven. Dargestellt ist jeweils eine typische Messung an einem Kondensator auf einem Waferbruchstück. Die  $C(U)$ -Kurve der 7,8 nm dicken Schicht ist um etwa 200 mV gegen die restlichen Kurven verschoben, die Ursache hierfür ist unklar. Sehr wahrscheinlich sind feste Ladungen dafür verantwortlich. Ähnliche Beobachtungen ergaben sich gelegentlich auch bei

weiteren Messungen an anderen Proben. Insgesamt allerdings kann man aus der Lage der Kurven schließen, dass kaum feste Ladungen in die Schichten eingebaut sind. Der Flachbandzustand liegt nahe dem Nullpunkt der angelegten Spannung. Genau das würde man bei diesen Kondensatoren erwarten.

Platin besitzt eine Austrittsarbeit  $\Phi_m$  von etwa 5 eV. Die Gegenelektrode besteht aus p-dotiertem Silizium. Die Austrittsarbeit  $\Phi_s$  von Silizium ist gegeben durch

$$\Phi_s = X + \frac{E_g}{2q} + \Psi_b. \quad (7-1)$$

$X$  steht für die Elektronenaffinität von Silizium und hat einen Wert von 4,05 eV,  $\Psi_b$  steht für den Abstand des Fermi-niveaus von der Mitte der Bandlücke und hängt nach folgender Gleichung von der Dotierstoffkonzentration ab:

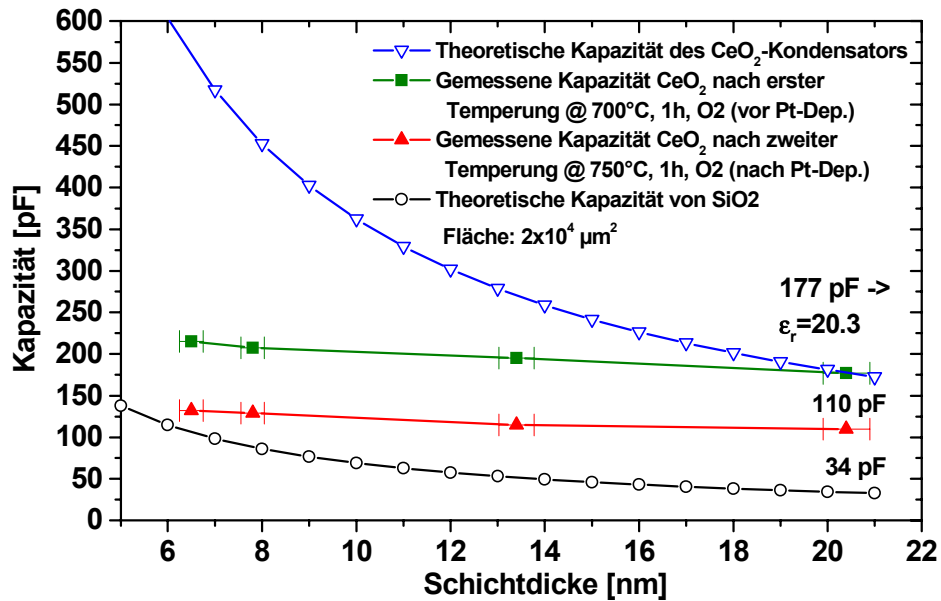
$$\Psi_b = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (7-2)$$

Für das hier verwendete Si-Substrat mit einer Bor-Konzentration  $N_A$  von etwa  $5 \times 10^{15} \text{ cm}^{-3}$  ergibt sich für  $\Psi_b$  ein Wert von etwa 0,3 eV und für  $\Phi_s$  damit 4,91. Das heißt aber, dass sowohl auf der Seite der Platin-Elektrode wie auch auf der Seite des Silizium-Substrates etwa 5 eV bis zum Vakuum-Niveau zu überwinden sind. Daraus ergibt sich, dass der Flachbandzustand in guter Übereinstimmung mit der Messung in Abbildung 2.1 etwa bei 0 Volt liegt.

Alle Kurven wurden im Hin- und Rücklauf gemessen. Die geringe Verschiebung der beiden Kurven gegeneinander deutet darauf hin, dass kaum Ladungen in die Isolatorschicht injiziert werden bzw. kaum mobile Ladungen in ihr vorhanden sind, die durch Anlegen der Spannung verschoben werden.

Neben der Kapazität wurde auch der Leitwert gemessen (nicht dargestellt). Aus dem Maximum des Leitwertes beim Hin-Lauf kann man in recht guter Näherung die Anzahl der Ladungen abschätzen, die auf Grund des Be- oder Entladens von Grenzflächenzuständen während der Messung fließen. Damit ist eine Bestimmung der Qualität der Grenzfläche Isolator-Silizium möglich. Die typische Grenzflächezustandsdichte, die man daraus für CeO<sub>2</sub> auf Silizium ermittelt, liegt im Bereich von einigen  $10^{11} / \text{cm}^2 \text{ eV}$ . Ein funktionierender ferroelektrischer Transistor kann damit bereits realisiert werden. Die gute Qualität der Grenzfläche ist sehr wahrscheinlich vor allem der parasitären SiO<sub>2</sub>-Schicht zu verdanken.

Wie erwartet, steigt die Kapazität der CeO<sub>2</sub>-Schicht mit abnehmender Dicke an. Die Kapazität der etwa 20 nm dicken CeO<sub>2</sub>-Schicht bei -3 Volt entspricht einer errechneten Dielektrizitätskonstante  $\epsilon_r$  von ca. 20. Geht man davon aus, dass dieser Wert auch für die dünneren Schichten gilt, so kann man die erwartete Kapazität für die drei übrigen Kondensatoren extrapolieren und gegen die Schichtdicke auftragen, wie in Abbildung 7.8 gezeigt.



**Abbildung 7.8:** Berechnete und gemessene Kapazität von Pt/CeO<sub>2</sub>/SiO<sub>2</sub>-Kondensatoren unterschiedlicher Oxid-Dicke. Zum Vergleich ist für die jeweilige Dicke die Kapazität eines SiO<sub>2</sub>-Kondensators angegeben.

Die berechnete Kurve beschreibt den erwarteten  $1/d$ -Verlauf der Kapazität über der Schichtdicke  $d$ . Des Weiteren sind zwei Kurven mit gemessenen Kapazitäten (Mittelwerte) dargestellt. Einmal wurde die Kapazität direkt nach dem Aufdampfen der Pt-Elektroden gemessen, die Werte der zweiten Kurve wurden nach einem zusätzlichen Temperenschritt (Post Metal Anneal) gemessen, der nach der Platin-Bedampfung der Probe durchgeführt wurde. Der Verlauf beider gemessener Kapazitätskurven weicht stark von der berechneten Kurve ab und zeigt einen deutlich geringeren Anstieg. Einerseits kann die Abnahme der effektiven Dielektrizitätskonstante des CeO<sub>2</sub> beim Übergang zu sehr dünnen Schichten (keine Bulk-Eigenschaften mehr) hierfür verantwortlich sein. Wichtiger aber ist in diesem Schichtdickenbereich noch die bereits mehrfach erwähnte parasitäre SiO<sub>2</sub>-Schicht, die während der Temperaturbehandlung des CeO<sub>2</sub> an der Grenze zum Silizium-Substrat entsteht. Sie spielt bei sehr dünnen Schichten die dominierende Rolle im kapazitiven Verhalten der gesamten Isolatorschicht. Dies stimmt mit den Beobachtungen überein, die in Kapitel 7.1 im Zusammenhang mit Abbildung 7.1 beschrieben wurden.

Bestätigt wird dies auch durch die zweite Kurve, welche die Kapazität derselben Proben nach der zweiten Temperung (nach der Metallisierung, sog. Post-Metal-Anneal) angibt. Durch das zusätzliche Temperaturbudget wird noch mehr Silizium oxidiert, die Dicke der parasitären SiO<sub>2</sub>-Schicht steigt und die Kapazität nimmt ab. Die Kapazität sinkt auch, weil die Platin-Elektroden bei diesen Temperaturen bereits zu fließen beginnen und die Größe der Elektroden beim Tempern abnimmt.

Unter den gegebenen Umständen (Material, Abscheideverfahren) bringen dünne Schichten mit weniger als etwa 20 nm keinen wesentlichen Vorteil im Hinblick auf die Kapazität der Zwischenschicht im ferroelektrischen Transistor und damit für die Betriebsspannung. Außerdem ist damit zu rechnen, dass die Wirkung der dielektrischen Zwischenschicht als Diffusionsbarriere gegen Bestandteile der ferroelektrischen Schicht bei dünnen Schichten



nachlässt. Die Qualität der Silizium-Grenzfläche nach dem Aufbringen der ferroelektrischen Schicht ist damit umso schlechter je dünner die dielektrische Zwischenschicht ist. Daher wurden für die meisten Versuche im Zusammenhang mit der ferroelektrischen Schicht etwa 20 nm dicken CeO<sub>2</sub>-Schichten verwendet.

Um andererseits deutlich zu machen, welchen Vorteil CeO<sub>2</sub> gegenüber SiO<sub>2</sub> bringt, ist in Abbildung 7.8 die theoretische Kapazität von SiO<sub>2</sub> angegeben. Hier wird erkennbar, dass das verwendete alternative Material bei der größten angegebenen Schichtdicke - entsprechend dem Verhältnis der Dielektrizitätskonstanten - eine MOS-Diode mit einer im Vergleich zu SiO<sub>2</sub> etwa fünfmal größeren Kapazität bildet. Auch aus diesem Grund liegt es nahe, sich in einem Schichtdickenbereich zu bewegen, der es erlaubt, die Vorteile von CeO<sub>2</sub> gegenüber SiO<sub>2</sub> zu nutzen. Bei gleicher Kapazität könnte statt einer CeO<sub>2</sub>-Schicht von etwa 20 nm auch eine SiO<sub>2</sub>-Schicht mit ca. 4 nm eingesetzt werden. Aus mindestens zwei Gründen aber scheint dies nicht sinnvoll: Erstens besitzt eine nur 4 nm dicke SiO<sub>2</sub>-Schicht kaum noch eine Wirkung als Diffusionsbarriere und ist außerdem in dieser Dicke nur schwer kontrolliert herzustellen (das thermische Budget bei der Abscheidung der ferroelektrischen Schicht ist schwer zu berücksichtigen). Zweitens besäße SiO<sub>2</sub> auch kein Skalierungspotenzial mehr. Bei kleinen Strukturgrößen und dünnen ferroelektrischen Schichten wäre die erforderliche Dicke schnell im Sub-Nanometer-Bereich.

In Abbildung 7.2 ist für die Temperung zur Herstellung von polykristallinem CeO<sub>2</sub> ein Temperaturbereich zwischen 600 und 800°C angegeben. In dieser Arbeit erfolgte dieser Prozessschritt typisch bei 700°C in Sauerstoffatmosphäre. Abbildung 7.9 zeigt, warum diese Temperatur gewählt wurde.

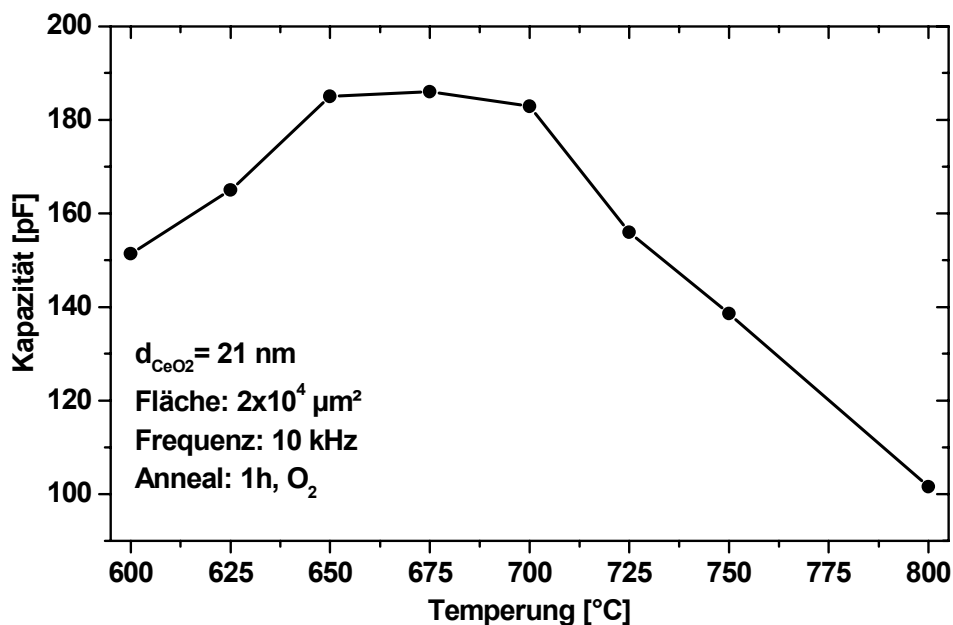
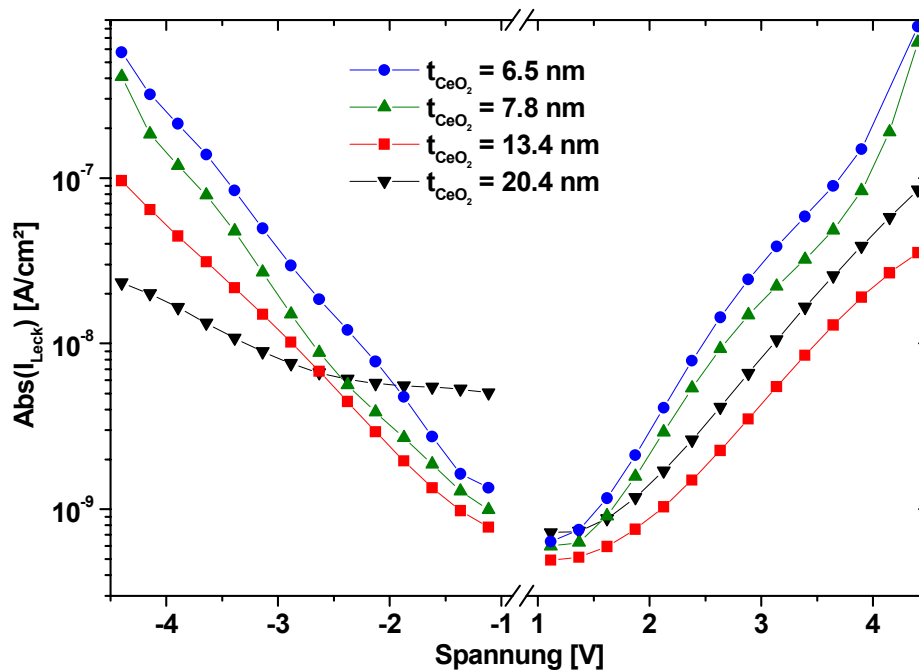


Abbildung 7.9: Gemessene Kapazität von Pt/CeO<sub>2</sub>/Si-Kondensatoren nach unterschiedlicher Temperaturbehandlung.

CeO<sub>2</sub>/Si-Proben mit einer CeO<sub>2</sub>-Dicke von etwa 21 nm wurden bei verschiedenen Temperaturen eine Stunde lang in Sauerstoff getempert. Anschließend wurden Pt-Elektroden aufgedampft und

mit Hilfe von  $C(U)$ -Messungen (wie oben beschrieben) ihre Kapazität bestimmt. In Abbildung 7.9 ist die Kapazität gegen die Temperatur aufgetragen. Wie zu erwarten ist, findet man einen Temperaturbereich, bei dem die Kurve ein Maximum zeigt. Unterhalb dieses Bereiches, also bei Temperaturen unter 650°C, nimmt die Kapazität ab. Bei diesen Temperaturen ist das thermische Budget noch nicht ausreichend, um die Schicht vollständig in einen polykristallinen Zustand hoher dielektrischer Permittivität zu überführen. Bei etwa 650°C ist die Kapazität bereits nahezu maximal, die Form der  $C(U)$ -Kurve zeigt jedoch bis etwa 675°C verschiedene Auffälligkeiten. Einige der untersuchten Kondensatoren waren nicht messbar (kein dielektrisches Verhalten, hohe Leckströme), bei den meisten anderen waren Unstetigkeiten im Kurvenverlauf und Verschiebungen der Kurven zwischen Hin- und Rücklauf bei den  $C(U)$ -Messungen von bis zu 500 mV zu beobachten. Bei 700°C deutete sich zwar bereits eine leichte Abnahme der Kapazität an (Abbildung 7.9), trotzdem brachte diese Temperatur die besten Ergebnisse. Es gab kaum kurzgeschlossene Kondensatoren, die Form der  $C(U)$ -Kurven war nahezu ideal (wie in Abbildung 7.7 gezeigt) und es wurde kaum Ladungsinjektion beobachtet. Schon ab 725°C war aber eine deutliche Abnahme der Kapazität zu beobachten. Bei dieser Temperatur entsteht bereits eine merklich dickere SiO<sub>2</sub>-Schicht unter der CeO<sub>2</sub>-Schicht, die Kapazität der MOS-Diode sinkt.

Die Untersuchung von Leckströmen an CeO<sub>2</sub>-Schichten würde an und für sich bereits ausreichend Stoff für eine wissenschaftliche Arbeit liefern, vor allem wenn zusätzlich die vorhandene parasitäre SiO<sub>2</sub>-Schicht berücksichtigt wird. Da die dielektrische Schicht zwar einen wesentlichen, aber nur einen von vielen Bestandteilen dieser Arbeit darstellt, wurde ihr Leckstromverhalten nicht genauer untersucht. Leckströme wurden vor allem als ein Kriterium verwendet, um die Qualität nacheinander hergestellter Proben miteinander vergleichen zu können.



**Abbildung 7.10:** Gemessene Leckströme (Betrag) durch Pt/CeO<sub>2</sub>/Si-Kondensatoren unterschiedlicher Dicke.

Abbildung 7.10 zeigt eine Schar typischer Leckstromkurven, die an Pt/CeO<sub>2</sub>/Si-Kondensatoren gemessen wurde. Parameter ist die Schichtdicke der CeO<sub>2</sub>-Schicht. Bei jedem Messpunkt wurde der Strom nach dem Anlegen der Spannung mit einer Verzögerung von einer Sekunde gemessen. Der so gemessene Leckstrom ist auf Grund der dielektrischen Relaxation niedriger als bei einer Messung ohne Verzögerung. Die Abweichung der einzelnen Messkurven vom dargestellten Mittelwert ist aber durch die Verzögerung geringer, so dass eine solche Messung aussagekräftigere Werte für einen Vergleich verschiedener Proben liefert. Eine theoretische Behandlung von Leckströmen durch dielektrische Schichten mit großer Dielektrizitätskonstante findet sich in [Vog98].

Eine analytische Beschreibung des Leckstromes ist in diesem Fall nicht möglich. Ein sehr einfaches Modell der Isolatorschicht muss wenigstens die CeO<sub>2</sub>-Schicht und die SiO<sub>2</sub> als Zwischenschicht berücksichtigen. Wahrscheinlich aber besteht die Zwischenschicht aus einer Mischphase beider Oxide, einem Silikat.

Das Leckstromverhalten hängt in erster Linie vom Bandabstand, der Schichtdicke und der Art des Ladungsträgertransports in den beiden Isolatoren ab. Der Bandabstand von SiO<sub>2</sub> beträgt etwa 8,9 eV, die Energiebarriere für Elektronen liegt bei etwa 3,1 eV, diejenige für Löcher bei 4,6 eV. Die Dicke der SiO<sub>2</sub>-Schicht liegt in der Größenordnung 1 bis 2 nm. Auf Grund der geringen Schichtdicke und der großen Bandlücke ist direktes Tunneln von Ladungsträgern der dominierende Prozess. Dabei tunneln die Ladungsträger aus der Inversionsschicht des Halbleiters direkt durch das verbotene Band des Isolators. Es gibt keinen allgemeingültigen analytischen Zusammenhang zwischen Tunnel-Strom und Spannung oder Feldstärke.

Die CeO<sub>2</sub>-Schicht besitzt einen wesentlich geringeren Bandabstand von etwa 5,5 eV und sie ist in allen hier untersuchten Fällen sehr viel dicker (zwischen 6 und 20 nm) als die SiO<sub>2</sub>-Schicht. Direktes Tunneln spielt damit keine Rolle. Die Energiebarrieren für Elektronen bzw. Löcher sind nicht genau bekannt. Wenn die Bandlücke des CeO<sub>2</sub> in etwa symmetrisch zu der des Silizium-Substrates angenommen wird, beträgt sie für beide Ladungsträgerarten etwa 1,5 bis 2 eV. Wegen dieser geringen Energiebarriere kann es zu Schottky-Emission kommen, bei der Ladungsträger mit ausreichend kinetischer Energie die Barriere überwinden können. Auch Fowler-Nordheim-Tunneln kann auftreten, wenn Ladungsträger in das Leitungsband des Isolators injiziert werden.

Für alle Schichtdicken in Abbildung 7.10 gilt, dass der Leckstrom geringer ist, wenn das Substrat sich in Inversion befindet (die aufgetragene Spannung ist die Spannung an der Pt-Elektrode). Entsprechend den Erwartungen gilt für die drei dünnsten Schichten, dass der Leckstrom zunimmt, wenn die Schichtdicke abnimmt. Anders verhält sich hier die dickste der CeO<sub>2</sub>-Schichten. Entlang der negativen Achse zeigt sie bei kleinen Spannungen bereits einen größeren Leckstrom, dafür aber einen flacheren Verlauf als die anderen Kurven. Bei positiver Spannung an der Pt-Elektrode entspricht zwar der Kurvenverlauf dem der übrigen Proben, absolut betrachtet ist der Leckstrom durch die 20 nm dicke Schicht aber höher als der durch die 13 nm dicke. Hier besteht wahrscheinlich ein Zusammenhang mit der parasitären SiO<sub>2</sub>-Schicht. Die 20 nm dicke CeO<sub>2</sub>-Schicht behindert vermutlich die Sauerstoff-Diffusion bei der Temperung bereits so, dass die parasitäre SiO<sub>2</sub>-Schicht dünner ist als bei den übrigen Proben. Auch die Kapazitätsmessungen haben bereits darauf hingedeutet. Also ist bei diesen Proben

sowohl die Dicke der CeO<sub>2</sub>-Schicht als auch die der SiO<sub>2</sub>-Schicht unterschiedlich. Mit den Dicken der Teilschichten und deren Verhältnis zueinander ändern sich auch die Leckstromeigenschaften der Gesamtschicht. Insofern ist die in Abbildung 7.10 dargestellte Kurvenschar nicht eindeutig erklärbar, steht aber auch nicht im Widerspruch zu anderen Ergebnissen dieser Arbeit.

Zusammenfassend ist für die dielektrische Schicht festzuhalten:

- Trotz anfänglicher Probleme konnte die CSD-Methode zu Herstellung dünner Schichten eingesetzt werden.
- CeO<sub>2</sub>-Kondensatoren wurden erfolgreich hergestellt.
- Die beste Prozesstemperatur für die Temperung der Schichten liegt bei ca. 700°C.
- Ihre für den ferroelektrischen Transistor wesentlichen Eigenschaften wurden elektrisch und durch Röntgenbeugung untersucht.
- Bei geeignet gewählten Prozessbedingungen besitzen die CeO<sub>2</sub>-Schichten dielektrische Eigenschaften, wie sie für den Bau eines ferroelektrischen Transistors erforderlich sind.
- Die relative Dielektrizitätskonstante  $\epsilon_r$  der dicksten hergestellten Schichten beträgt ca. 20 und nimmt mit abnehmender Schichtdicke ab.

## 8 Experimentelle Ergebnisse mit SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> auf CeO<sub>2</sub>

Wie die Ergebnisse des letzten Kapitels zeigen, kann die dielektrische Schicht allein so prozessiert werden, dass sie die für einen ferroelektrischen Gate-Stack gewünschten Eigenschaften besitzt. Der wesentliche Bestandteil des Gate-Stacks, die ferroelektrische Schicht, fehlt noch. Bei der Abscheidung dieser Schicht ergeben sich vor allem zwei Schwierigkeiten. Einerseits muss das ferroelektrische Material auf der dielektrischen Schicht so abgeschieden werden, dass es die für einen Transistor nötigen Qualitäten besitzt. Andererseits aber dürfen sich die Eigenschaften der dielektrischen Schicht dabei nicht wesentlich verändern. Ob und wie gut beides möglich ist, wird im Folgenden untersucht [Han00a], [Han01].

Nach der Beschreibung des Abscheidungsverfahrens werden die Schichten zunächst durch Röntgenbeugung und Rasterelektronenmikroskopie untersucht und Kondensatoren mit  $C(U)$ -Messungen charakterisiert. Von zentraler Bedeutung für den ferroelektrischen Transistor ist das so genannte Memory-Window, d.h. die Verschiebung der  $C(U)$ -Kurven beim Hin- und Rücklauf auf Grund der Ferroelektrizität der SBT-Schicht, sowie der Einfluss von Schichtdicken und Prozesstemperatur darauf. TEM-Aufnahmen (Transmissions-Elektronen-Mikroskopie) sollen Information über die Qualität der dielektrischen Schicht nach der Abscheidung der ferroelektrischen Schicht liefern. Die Zugabe von CeO<sub>2</sub>-Precursor zum SBT-Precursor und die Herstellung von Schichten daraus sollen Anhaltspunkte für die Folgen einer möglichen Cer-Diffusion in das SBT geben.

### 8.1 Auswahl des ferroelektrischen Materials

Für den Einsatz in der Mikroelektronik werden neben eher exotischen Materialien [Fuj97], [Fuj99], [Kim98], [Yos98], [Yos00] vor allem zwei ferroelektrische Materialien diskutiert, nämlich Blei-Zirkonium-Titanat (PZT) und Strontium-Wismut-Tantalat (SBT) [Auc96]. Sie liegen weltweit im Fokus vieler Arbeitsgruppen, weswegen ihre Entwicklung sehr weit fortgeschritten ist. Nachfolgend zeigt ein kurzer Vergleich Gemeinsamkeiten und Unterschiede beider Ferroelektrika.

Im Vergleich zu SBT kann PZT bei niedrigeren Temperaturen von 600° und teilweise darunter in die ferroelektrische Phase überführt werden. Niedrige Prozesstemperaturen sind für die Integration eines solchen neuen Materials in die konventionelle Halbleiterfertigung von großer Bedeutung. Je niedriger die erforderliche Prozesstemperatur ist, desto flexibler kann ein Material im Gesamtprozess eingesetzt werden, z.B. hinsichtlich der Auswahl von Metallen, die unter der ferroelektrischen Schicht (also vor der Abscheidung) verwendet werden dürfen. Da sowohl PZT wie auch SBT eine Prozesstemperatur von über 400°C erfordern, kann ein ferroelektrischer Kondensator auf einem Chip z.B. nicht nach (also über) der Aluminium-

Metallisierung dieses Chips hergestellt werden, ohne die Metallisierung des Chips zu beschädigen. Daneben beeinflusst die Temperatur vor allem die Diffusion von Bestandteilen der ferroelektrischen Schicht selbst. Dadurch können sich die Eigenschaften der ferroelektrischen Schicht ändern. Beim FeRAM besonders gefürchtet ist auch eine Veränderung der Charakteristik der MOS-Transistoren durch Diffusion von Elementen der ferroelektrischen Schicht an die Grenzfläche zwischen Substrat und Gate-Dielektrikum oder in das Bulkmaterial.

Die im Vergleich zu SBT größere remanente Polarisierung des PZT kann in ein größeres elektrisches Signal beim Auslesen von Speicherzellen übersetzt werden. Allerdings altert PZT etwas schneller als SBT. Bei Fatigue-Messungen wird die Polarisierung des Materials zwischen beiden möglichen Zuständen hin- und hergeschaltet. Ein Maß für die Alterung ist die remanente Polarisierung, die im Lauf der Zeit abnimmt. Als Voraussetzung für den Einsatz in Mikroelektronik-Produkten sind  $10^{15}$  Schaltzyklen ohne signifikante Abnahme der Polarisierung gefordert. Diese harte Bedingung schien SBT bis vor kurzem leichter erfüllen zu können als PZT. Ein Argument für SBT ist auch die Koerzitivfeldstärke. Sie ist bei PZT bei vielen Abscheideverfahren niedriger als bei SBT ( $E_c$  ca. 40 kV/cm). Wie alle anderen Produkte der Mikroelektronik werden auch FeRAMs in Zukunft den Gesetzen der Skalierung unterworfen sein. Bei PZT muss man auf Grund der geringeren Koerzitivfeldstärke bei kleinen Schichtdicken damit rechnen, dass es anfälliger für Störfeld-Probleme wird. Deswegen entschieden sich viele Gruppen weltweit für die Entwicklung von SBT. Auch bei Infineon wurde zunächst SBT als Material für die Entwicklung von FeRAMs favorisiert.

Traditionell werden in der Halbleiterherstellung so wenig Elemente aus dem Periodensystem eingesetzt wie möglich. Neben Silizium und den Dotierstoffen Arsen, Phosphor und Bor etwa Aluminium, Kupfer, Titan, Tantal, Wolfram und Sauerstoff ( $\text{SiO}_2$ ) bzw. Stickstoff ( $\text{Si}_3\text{N}_4$ ). Weil über die Wirkung der meisten anderen Elemente auf mikroelektronische Bauelemente wenig bekannt ist, sind sie aus der Halbleiterherstellung verbannt und eigentlich nur im Zusammenhang mit Kontaminationsanalysen bekannt und gefürchtet. Die Einführung eines neuen Materials ist mit hohen Kosten und schwer abschätzbaren Risiken für eine Halbleiterfabrik verbunden. Mit der Entscheidung, SBT als ferroelektrische Schicht in der FeRAM-Entwicklung einzusetzen, mussten Strontium, Wismut und z.B. auch Platin neu in die Silizium-Halbleiterfertigung eingeführt werden. Neben der Bereitstellung in hochreiner Form müssen für diese Elemente bzw. die aus ihnen zusammengesetzten Materialien wie SBT die entsprechenden Abscheidungs-, Strukturierungs- und Reinigungsprozesse entwickelt werden. Ziel sind nicht Prozesse für Laborversuche sondern solche, die mit bekannten Prozessfenstern, reproduzierbar, auf bekannten oder neuen Fertigungsanlagen, in einer qualitätskontrollierten Fertigung und mit hoher Ausbeute einsetzbar sind. Dies erfordert einen hohen finanziellen, technischen und personellen Aufwand und unter Umständen einige Jahre Zeit. Welches neue Material eingesetzt werden soll, muss daher von Anfang an gut überlegt sein.

Da anfangs der Bau eines Transistors und evtl. dessen Integration in einen Speicher geplant war, wurde auch aus dem im letzten Absatz geschilderten Grund SBT als ferroelektrisches Material in dieser Arbeit verwendet. Der Einsatz eines anderen Materials hätte automatisch die Beschränkung auf Versuche im Labormaßstab bedeutet. Einfache Prozesse, wie das Abscheiden oder Tempern einer Schicht in einem Ofen, bereiten wegen möglicher Kontaminationsrisiken selbst im Labor oft Probleme, wenn mit exotischen Materialien gearbeitet wird. Vor allem aber

schiene die Eigenschaften von SBT für den Bau eines Transistors besser geeignet als die von PZT. Die tendenziell geringere Polarisierung ist für den Transistor mehr als ausreichend und bedeutet eine geringere Belastung des Gate-Dielektrikums. Die größere Koerzitivfeldstärke dagegen verspricht stabilere Betriebszustände des Transistors. Gleichzeitig ergibt eine Abschätzung der Betriebsspannung mit typischen Schichtdicken auch für SBT noch günstige Werte von etwa 1 bis 2 Volt.

Die tatsächlichen Eigenschaften von SBT, PZT und anderen ferroelektrischen Materialien in einem Gate-Stack lassen sich nur in Verbindung mit dem gewählten dielektrischen Material auf experimentellem Weg ermitteln.

## 8.2 Abscheidung von SBT auf CeO<sub>2</sub>

Wie kann man SBT auf CeO<sub>2</sub> als Unterlage abscheiden? Ein CVD-Prozess für die Abscheidung von SBT wurde bei Infineon zwar entwickelt, stand anfangs aus technischen Gründen aber noch nicht zur Verfügung. Später konnte er auf Grund des Kontaminationsrisikos für die Anlage (offene CeO<sub>2</sub>-Schicht als Unterlage bei der SBT-Abscheidung) nicht eingesetzt werden. Ein Sputter-Prozess war ebenfalls nicht verfügbar. Es existierte weder eine Anlage, in die ein SBT-Target hätte eingebaut werden können, noch das entsprechende Target. Aus der FeRAM-Entwicklung gab es aber einen CSD-Prozess, mit dem SBT-Schichten auf planaren Unterlagen aus der flüssigen Phase hergestellt werden konnten. Dieser flexible Prozess schien sich auch für die Herstellung ferroelektrischer Gate-Stacks zu eignen. Die gleichen einfachen Geräte (Lackschleuder für das Spin-Coating, Heizplatten) wie für die Herstellung der CeO<sub>2</sub>-Schichten konnten auch hier verwendet werden. Der Precursor stammte wie der für das CeO<sub>2</sub> von der Firma Symetrix (die genaue Zusammensetzung ist nur der Firma Symetrix bekannt). Dieser Prozess war für die Abscheidung 180 nm dicker SBT-Schichten für den ferroelektrischen Kondensator des FeRAMs optimiert. Die Konzentration des Precursors wurde mit n-Butyl-Acetat auf 0,13 mol/l eingestellt. Anders als bei der Abscheidung des CeO<sub>2</sub> wurde hier immer mit konstanter Konzentration gearbeitet. Wegen der im Vergleich zu CeO<sub>2</sub> komplexeren Zusammensetzung des Precursors, der Schicht und der größeren Schichtdicke kann eine Änderung der Konzentration zu Problemen wie z.B. zu Rissbildung in der Schicht beim Tempern führen.

Zwischen der Abscheidung des CeO<sub>2</sub> und der Abscheidung von SBT wurden die Wafer, genau wie die zum Aufschleudern verwendeten Utensilien, in der Glove-Box in trockenem Stickstoff gelagert. Der SBT-Precursor wurde zur Verlängerung der Haltbarkeit im Kühlschrank aufbewahrt. Vor dem Abscheiden von Schichten wurde der Precursor mit n-Butyl-Acetat auf eine Konzentration von 0,13 M verdünnt. Zum Aufbringen einer Schicht wurde ein definiertes Volumen des SBT-Precursors der Firma Symetrix, hier typisch 800 µl, mit einer einstellbaren Pipette etwa im Mittelpunkt auf den Wafer oder das Waferstück (etwa ein Viertel eines Wafers) aufgebracht. Bei niedrigen Drehzahlen von 1800 Umdrehungen pro Minute ergibt sich bei diesen Parametern pro Abscheidung eine Schichtdicke von knapp 100 nm. Für das Spin-Coating des SBT-Precursors wurde wie für die CeO<sub>2</sub>-Schicht die Convac-Lackschleuder verwendet. Es folgten mehrere Prozessschritte bei erhöhter Temperatur. Unmittelbar nach dem Aufschleudern

wurden die Wafer - genau wie bei der Herstellung der CeO<sub>2</sub>-Schicht - in Atmosphäre für eine Minute bei einer Temperatur von 160°C auf einer Heizplatte gebacken. Danach wurden sie für vier Minuten auf eine weitere Heizplatte mit einer Temperatur von 260°C gelegt. Diese beiden Schritte dienen im wesentlichen dazu, Lösungsmittelrückstände aus der Schicht zu entfernen. Nach dem zweiten Heizplatten-Schritt und vor der zweiten Abscheidung wurden die Proben zunächst für 30 Sekunden bei 650°C in Sauerstoff getempert. Um die angestrebte Schichtdicke von etwa 200 nm zu erreichen, wurde diese Prozedur wiederholt.

Nach dem Aufschleudern der zweiten SBT-Schicht, folgt der wesentliche Temperaturschritt, das Überführen der amorphen Schicht in den polykristallinen Zustand bei Temperaturen zwischen 600 und 800°C in Sauerstoff- oder Stickstoffatmosphäre. Abbildung 8.1 gibt einen Überblick über den gesamten Prozessablauf.

Scheibenvorbehandlung:	(Wafer wie nach CeO <sub>2</sub> -Abscheidung)
1. Deposition	1800 rpm; 30 s
Tempersschritt 1	160°C; 1 Minute
Tempersschritt 2	260°C; 4 Minuten
Tempersschritt 3	650°C; 30 s; O <sub>2</sub>
2. Deposition	1800 rpm; 30 s
Tempersschritt 1	160°C; 1 Minute
Tempersschritt 2	260°C; 4 Minuten
Tempersschritt 3	650°C; 30 s; O <sub>2</sub>
Tempersschritt 4	zwischen 625 und 800°C; 1 h; O <sub>2</sub>

**Abbildung 8.1:** Übersicht über den Prozessablauf bei der Herstellung der SBT-Schicht und die verwendeten Prozess-Parameter.

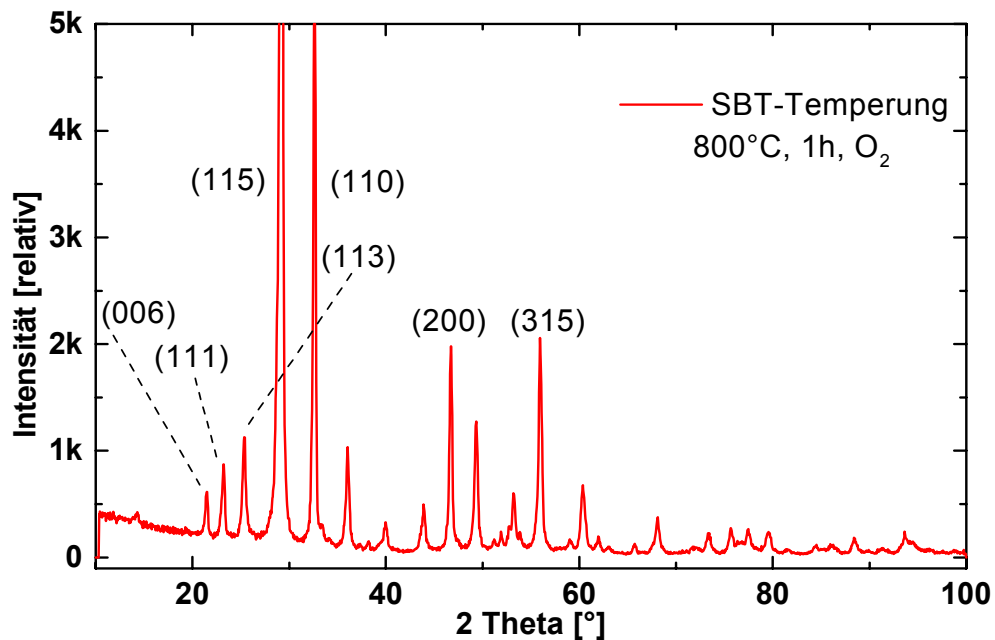
Bei der Herstellung der CeO<sub>2</sub>-Schichten wurde aus zweierlei Gründen zunächst der Einfluss von Precursor-Konzentration und Drehzahl beim Spin-On-Prozess auf die Schichtdicke untersucht. Zum einen gab es keinerlei Erfahrungswerte mit dem verwendeten Precursor, zum anderen war es wichtig herauszufinden, welcher Schichtdickenbereich mit den zur Verfügung stehenden Geräten und dem Precursor zugänglich war.

Zur der SBT-Abscheidung dagegen gibt es umfangreiche Erfahrungen mit dem verwendeten Precursor und den Zusammenhängen zwischen Konzentration, Drehzahl beim Spin-On-Prozess und erzielter Schichtdicke. Außerdem ging es hier nicht darum, möglichst dünne Schichten herzustellen. Vielmehr ergab sich aus der optimalen Schichtdicke der CeO<sub>2</sub>-Schicht und auf Grund der elektrischen Anforderungen automatisch ein für die Dicke der SBT-Schicht sinnvoller Bereich von etwa 200 nm. Damit wurde näherungsweise ein Schichtdicken-Verhältnis von 1 zu 10 zwischen der dielektrischen und der ferroelektrischen Schicht erreicht. Der weitgehend standardisierte Prozess zur SBT-Herstellung beim Kondensator des FeRAM lieferte eine Schichtdicke von etwa 180 nm und konnte deshalb sehr gut für das Aufbringen der ferroelektrischen Schicht bei der Herstellung des Gate-Stack verwendet werden. Er war bereits im Hinblick auf eine homogene und rissfreie Schicht optimiert.



### 8.3 Charakterisierung von SBT auf CeO<sub>2</sub> und SBT/CeO<sub>2</sub>-Kondensatoren

Das Abscheiden des Ferroelektrikums war im Ergebnis weniger problematisch als das der dielektrischen Schicht [Han00a], [Han01]. Wie bei CeO<sub>2</sub> wurde auch bei SBT mit Hilfe einer Röntgenbeugungsanalyse die Kristallstruktur der Schichten untersucht. Abbildung 8.2 zeigt das Ergebnis einer Messung an einer etwa 180 nm dicken SBT-Schicht, die mit dem oben beschriebenen Prozess auf CeO<sub>2</sub>/Si(100) als Unterlage hergestellt wurde. Diese Probe wurde eine Stunde lang bei 800°C in Sauerstoff getempert. Die durch die verschiedenen Netzebenen des SBT verursachten Maxima der Reflexion sind in Abbildung 8.2 sehr deutlich zu sehen. Ein Vergleich mit einer SBT-Probe, die auf Pt abgeschieden wurde, zeigt eine sehr gute Übereinstimmung von Position und Intensität der Maxima zwischen beiden Proben. Das Fehlen weiterer Peaks lässt den Schluss zu, dass es sich bei der Probe um reines SBT handelt, das keine Sekundärphasen eines anderen Materials enthält.



**Abbildung 8.2:** Diagramm einer Röntgenbeugungsanalyse einer 180 nm dicken SBT-Schicht auf 20 nm CeO<sub>2</sub> auf Silizium (100). Aufgetragen ist die Intensität der gebeugten Röntgenstrahlung (in willkürlichen Einheiten) gegen den Reflexionswinkel, unter dem gemessen wurde. Die Indizes einiger Ebenen sind angegeben.

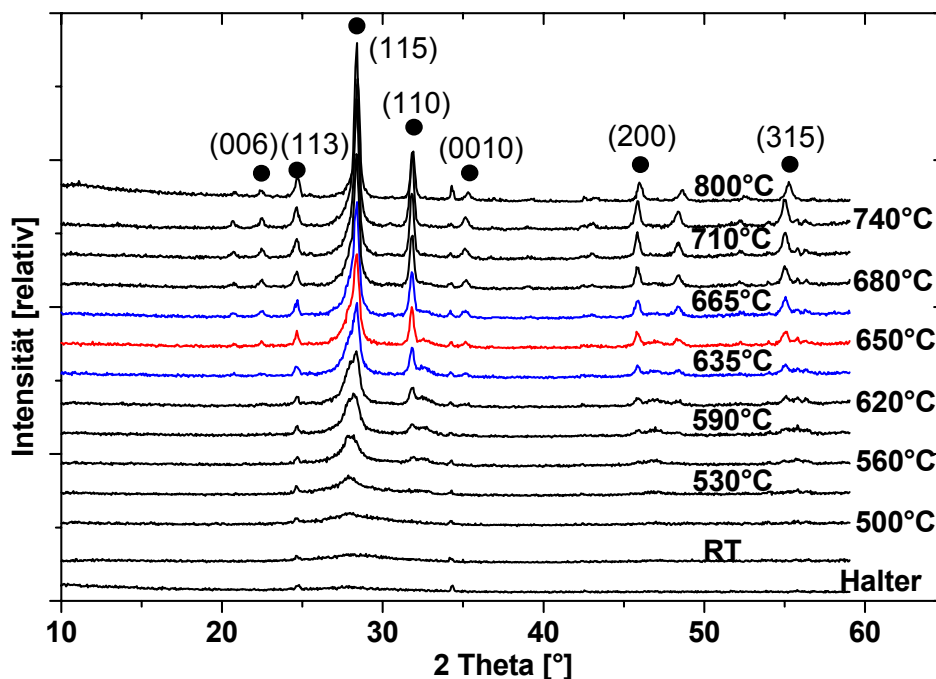
Die bereits angesprochenen Probleme durch Diffusion von Bestandteilen der ferroelektrischen Schicht betreffen nicht nur das FeRAM, sondern ganz besonders auch den ferroelektrischen Transistor.

Diffusion und Stöchiometrieänderung beim FeRAM können z.B. remanente Polarisation, Koerzitivfeldstärke, das Fatigue- und Imprint-Verhalten der ferroelektrischen Schicht beeinflussen, wodurch sich die Betriebsparameter des Speicherbausteins ändern [Kim03]. Beim ferroelektrischen Transistor kommt ein zweiter unerwünschter Effekt dazu. Durch die Nähe der ferroelektrischen Schicht zum Substrat kann sich durch Diffusion die Grenzfläche zum Substrat bzw. das Substrat selbst verändern. Die Grenzflächenzustandsdichte kann ansteigen und im

Substrat können Streuzentren entstehen. Zum Schutz der Grenzfläche dient besonders die dielektrische Schicht, die zum Substrat hin als Diffusionsbarriere wirkt. Darüber hinaus gibt es im Wesentlichen nur ein weiteres Mittel, um diffusionsbedingte Probleme zu verhindern: Ein möglichst geringes Temperaturbudget, d.h. möglichst niedrige Temperaturen für eine möglichst kurze Zeit anzuwenden.

Je nach Gesamtprozess, der zur Herstellung eines MOS-Transistors eingesetzt wird, tragen die Einzelprozesse unterschiedlich zum Temperaturbudget bei. Die Aktivierung der Dotierstoffe (Source/Drain bzw. Kanal) und die Herstellung des Gate-Oxides fallen beim konventionellen MOSFET am meisten ins Gewicht. Beim ferroelektrischen Transistor folgt darauf die Abscheidung der ferroelektrischen Schicht. Im weiteren Prozessverlauf ist kein Schritt mehr nötig, der einen ähnlich großen Teil zum Temperaturbudget beiträgt. Damit ist klar, dass die Reduzierung der Prozesstemperaturen bei der Abscheidung und Kristallisation der ferroelektrischen Schicht für den Transistor von besonderer Bedeutung ist.

Bei dem hier verwendeten Prozess ist der in diesem Zusammenhang wesentliche Schritt eine einstündige Temperung bei 800°C. Dieser Prozess war für die Herstellung von SBT-Schichten auf Pt mit möglichst großer remanenter Polarisation optimiert. Beim Transistor ist es weder nötig noch günstig, möglichst hohe Werte für die remanente Polarisation zu erreichen. (Negative Auswirkungen einer durch die Kristallstruktur bedingten niedrigeren remanenten Polarisation auf die Langzeitstabilität dieser Polarisation sind hier vernachlässigt.)

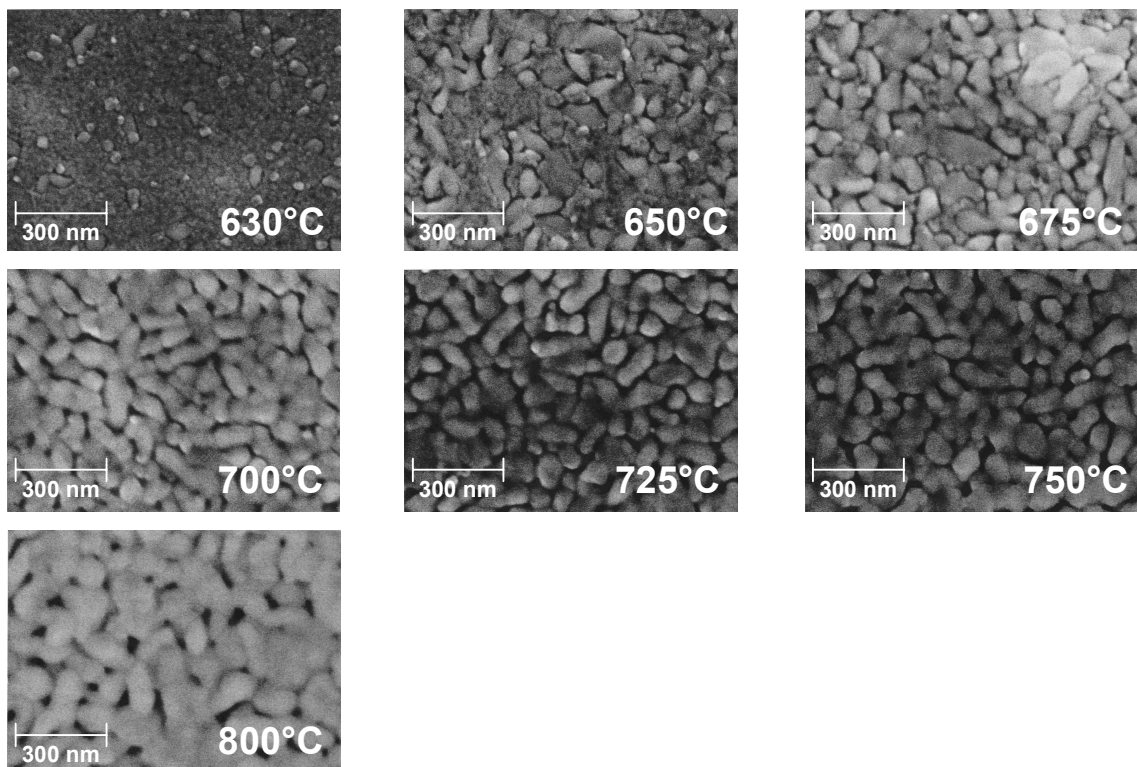


**Abbildung 8.3:** Diagramm einer Röntgenbeugungsanalyse einer 180 nm dicken SBT-Schicht auf einer 20 nm dicken CeO<sub>2</sub>-Schicht bei unterschiedlichen Temperaturen. Die Aurivillius-Phase beginnt sich bei etwa 590°C auszubilden. Für den Transistor geeignete elektrische Eigenschaften des SBT stellen sich ab ca. 650°C ein.

Also erscheint es sinnvoll, die Prozesstemperatur zu verringern und sie im Hinblick auf die untersuchte Schichtfolge zu optimieren. Eine geeignete Methode dafür ist die

temperaturabhängige Röntgenbeugungsanalyse einer auf CeO<sub>2</sub> abgeschiedenen SBT-Schicht, deren Ergebnis in Abbildung 8.3 gezeigt ist. Für diese Analyse wurde eine 20 nm dicke CeO<sub>2</sub>-Schicht und darauf eine 180 nm dicke SBT-Schicht nach dem im letzten bzw. in diesem Kapitel beschriebenen Prozess hergestellt. Nach dem Aufbringen der SBT-Schicht wurde der letzte Temperaturschritt (Temper Schritt 4) weggelassen. Stattdessen wurde die Probe im Verlauf der Röntgenbeugungsanalyse getempert. Die Probe wurde mit einem Gradienten von etwa 1K/s auf die für die Messung gewünschte Temperatur erhitzt. Die Messung bei einer bestimmten Temperatur dauerte jeweils etwa 6 Minuten, so dass die gesamte Messung ca. 90 Minuten in Anspruch nahm. Damit weicht das Temperaturbudget, dem diese Probe ausgesetzt war, bei niedrigen Temperaturen von dem ab, dem eine Probe in einem einstündigen Temper Schritt ausgesetzt ist. Bei höheren Temperaturen von 750°C bis 800°C dagegen stimmt es etwa damit überein.

Wie sich zeigt, beginnt die Ausbildung der wichtigen Aurivillius-Phase bei SBT auf CeO<sub>2</sub> im Vergleich zu Platin als Unterlage bereits bei niedrigerer Temperatur [Han00], nämlich zwischen 590°C und 620°C. Die Bildung der Aurivillius-Phase ist nach der Röntgenbeugungsanalyse bei ca. 665°C abgeschlossen. Bei Temperaturen zwischen 665°C und 800°C sind keine wesentlichen Änderungen des Intensitätsverlaufs über dem Reflexionswinkel mehr zu erkennen. Um dieses Ergebnis zu bestätigen und ein etwas genaueres Bild vom Prozess der Kristallisation zu bekommen, wurden zusätzlich zur Röntgenbeugungsanalyse REM-Aufnahmen von SBT-Proben angefertigt, die bei verschiedenen Temperaturen zwischen 630°C und 800°C getempert wurden.



**Abbildung 8.4:** Mit einem Rasterelektronenmikroskop (REM) aufgenommene Bilder von SBT auf CeO<sub>2</sub> (in Aufsicht). Die Aufnahmen zeigen verschiedene Proben, die zwischen 630°C und 800°C getempert wurden.

Abbildung 8.4 zeigt sieben REM-Aufnahmen einer jeweils 180 nm dicken SBT-Schicht auf einer 20 nm dicken CeO<sub>2</sub>-Schicht. Alle Proben wurden nach dem in Abbildung 8.1 dargestellten Prozessablauf hergestellt. Dabei wurde die Temperatur des letzten und wesentlichen Temperaturschrittes zwischen 630°C und 800°C variiert.

Bei 630°C ist die Schicht im Wesentlichen amorph. In guter Übereinstimmung mit der Röntgenbeugungsanalyse zeigen die REM-Bilder daneben aber bereits kleine Kristallite, die zwischen 650°C und 675°C sowohl größer als auch zahlreicher werden. Im Gegensatz zur Röntgenbeugungsanalyse ist auf den REM-Aufnahmen ein deutlicher Unterschied zwischen der bei 675°C und der bei 700°C behandelten Probe erkennbar. Erst ab etwa 700°C ist die Schicht vollständig kristallisiert, es sind keine amorphen Bereiche mehr zu erkennen. Zwischen 700°C und 750°C sind - wie bei der Röntgenbeugungsanalyse auch - keine großen Unterschiede auszumachen. Erst bei 800°C ist eine deutliche Zunahme der Korngröße zu beobachten.

Für die elektrischen Messungen wurden Elektroden verwendet, deren Ausdehnung in einer Dimension die Korngröße der SBT-Schicht typisch um einen Faktor von einigen hundert übertrifft. Die große Elektrodenfläche mittelt also über eine sehr große Anzahl von Körnern. Daher zeigen die elektrischen Messungen - wie später noch gezeigt wird - genau so wenig einen Unterschied zwischen 675°C und 700°C wie die Röntgenbeugungsanalyse. Für den Transistor kann der in den REM-Aufnahmen sichtbare Unterschied aber unter Umständen wesentlich sein. Die ferroelektrische Schicht muss im eingeschalteten Zustand für die Ausbildung eines Kanals im Substrat sorgen. Ein homogener und damit niederohmiger Kanal kann aber nur entstehen, wenn das von der ferroelektrischen Schicht ausgehende elektrische Feld ebenfalls homogen verteilt ist. Voraussetzung dafür ist die vollständige Kristallisation der Schicht und eine möglichst homogene Verteilung der Orientierung der einzelnen Körner. Je nach Polarisierung, Korngröße und Feldverteilung kann es ansonsten bei Transistoren Bereiche geben, in denen der Kanal lokal gestört oder unterbrochen ist.

Bei Korngrößen wie in Abbildung 8.4 gezeigt und zukünftig kleineren Transistoren um 100 nm ist sogar denkbar, dass die SBT-Schicht bei zu niedriger Prozesstemperatur im Bereich einzelner Transistoren nur aus amorphem Material besteht. Eine elektrische Messung wie in dieser Arbeit, die über größere Bereiche mittelt und damit amorphe Reste der ferroelektrischen Schicht nicht mehr erkennen lässt, ist daher nicht ohne eine zusätzliche Analyse geeignet, um die optimale Kristallisationstemperatur für das verwendete ferroelektrische Material zu finden. Und sogar wenn der Prozess polykristalline Schichten erzeugt, muss die Veränderung der Eigenschaften der ferroelektrischen Schicht bei der Skalierung der Schicht genau beobachtet werden [Roe03], [Con03].

An dieser Stelle sei auf eine mögliche Schwierigkeit hingewiesen, die sich aus der Forderung nach homogener Verteilung der Polarisierung und also möglichst einheitlicher Orientierung der Kristallite ergibt. Diese Forderung steht unter Umständen im Widerspruch dazu, die Werte für die remanente Polarisierung so klein zu halten, dass sie die dielektrische Schicht nicht schädigen. Bei SBT muss in Abhängigkeit von der jeweiligen Unterlage experimentell erst ein geeigneter Kompromiss zwischen Homogenität in der Fläche und Größe der remanenten Polarisierung gefunden werden. Bei der Suche nach einem neuen ferroelektrischen Material für den Bau eines Transistors müssten diese beiden Anforderungen von vornherein berücksichtigt werden.

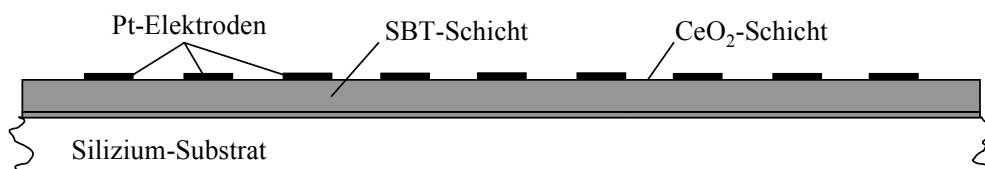
Für die Ermittlung einer in jeder Hinsicht optimalen Prozesstemperatur muss deren Einfluss auf weitere wichtige Größen gründlich untersucht werden. Vor allem die Langzeitstabilität der remanenten Polarisation [Wat98] und das Fatigue-Verhalten [Nod99a] der ferroelektrischen Schicht sind hier zu nennen. Beides sprengt aber den Rahmen dieser Arbeit, so dass hier nur eine Reduzierung der Prozesstemperatur zur Verbesserung der kapazitiven und eines Teils der ferroelektrischen Eigenschaften (Memory Window, s.u.) des Gate-Stacks angestrebt wird. Unter diesen Gesichtspunkten erscheint eine Prozesstemperatur von etwa 700°C bei der Herstellung 180 nm dicker SBT-Schichten für den Transistor sinnvoll. Auch diffusionsbedingte Probleme können damit deutlich reduziert werden.

## 8.4 Elektrische Charakterisierung von Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren

Von besonderer Aussagekraft im Hinblick auf den Transistor sind elektrische Messungen an Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren [Han00a], [Han01]. Diese Struktur kommt dem fertigen Transistor sehr nahe. Zwar fehlen im Unterschied zum fertigen Transistor noch Source und Drain, trotzdem lassen sich aus Messungen am Gate-Stack selbst bereits einige Eigenschaften für den so aufgebauten Transistor extrapolieren. So können die Eignung der gewählten Materialien und prozesstechnische Verbesserungen bereits sehr gut untersucht und beurteilt werden. Ähnlich wie in Kapitel 7.3 werden Kondensatoren hergestellt und durch  $C(U)$ -Messungen charakterisiert, allerdings besteht der Schichtstapel nun aus CeO<sub>2</sub> und SBT.

### 8.4.1 Vorbereitung der Proben

Die Vorbereitung der Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren für elektrische Messungen erfolgte weitgehend analog zu derjenigen der Pt/CeO<sub>2</sub>/Si-Kondensatoren. Für elektrische Messungen wurden nach dem in Abbildung 8.1 beschriebenen Prozess etwa 180 nm dicke SBT-Schichten auf CeO<sub>2</sub>-Schichten unterschiedlicher Dicke hergestellt. Der abschließende vierte Tempersschritt der ferroelektrischen Schicht (Ferro-Anneal), der die Schicht in die ferroelektrische Aurivillius-Phase überführen soll, wurde bei diesen Proben bei 800°C in Sauerstoff durchgeführt und dauerte eine Stunde.



**Abbildung 8.5:** Skizze der untersuchten Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren. Auf dem Silizium-Substrat (Wafer oder Waferbruchstück) befindet sich eine 5 bis 20 nm dicke CeO<sub>2</sub>-Schicht und darauf die ca. 180 oder ca. 400 nm dicke SBT-Schicht, beide sind ganzflächig. Über eine Schattenmaske wurden 100 nm dicke Platin-Elektroden aufgedampft, die Rückseite des Siliziums wird mit einem Eutektikum kontaktiert.

Wie bei den CeO<sub>2</sub>-Kondensatoren wurden mit Hilfe der gleichen Schattenmaske ca. 100 nm dicke Platinelektroden unterschiedlicher Größe bei Raumtemperatur aufgedampft. Auch hier definieren die Pt-Elektroden die Kondensatorfläche. Abbildung 8.5 zeigt eine Skizze der untersuchten Proben.

Eine Temperung nach dem Aufdampfen der Platin-Elektroden („Post-Metal-Anneal“) bei 700°C bis 750°C zeigte kaum Auswirkungen auf das elektrische Verhalten der Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren. Es wurde lediglich beobachtet, dass die gemessene Kapazität abnimmt. In Analogie zu den CeO<sub>2</sub>-Kondensatoren kommen zwei Ursachen dafür in Frage. Vermutlich spielen beide eine Rolle. Erstens nimmt die Dicke der parasitären SiO<sub>2</sub>-Schicht zwischen CeO<sub>2</sub> und Si durch das gestiegene Temperaturbudget zu, zweitens zeigt das Lichtmikroskop, dass die Größe der Pt-Elektroden bei einer solchen Temperaturbehandlung geringfügig abnimmt.

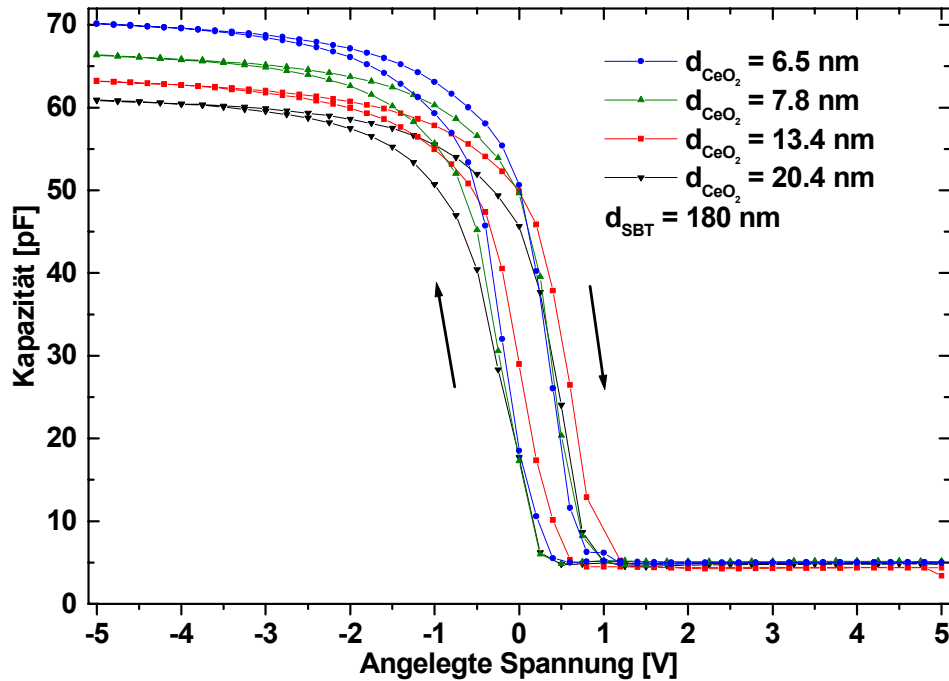
Zuerst wurden zahlreiche Versuche zum Abscheiden der Platin-Elektroden mit einem Sputter-Prozess in einer Perkin-Elmer Anlage unternommen. Mit diesem Prozess wurde erfolgreich auch die obere Platin-Elektrode von Pt/SBT/Pt-Kondensatoren hergestellt. Derselbe Prozess erwies sich zum Abscheiden der Platin-Elektrode auf SBT/CeO<sub>2</sub>/Si-Strukturen aber als unbrauchbar. So hergestellte Kondensatoren zeigten keinerlei ferroelektrische Eigenschaften, weder vor noch nach einer Temperung (Post-Metal-Anneal). Sehr wahrscheinlich werden die in den REM-Aufnahmen sichtbaren Hohlräume zwischen den SBT-Körnern bei diesem Prozess durch Platin gefüllt. Da die Korngröße im Bereich der Schichtdicke liegt, können solche Platin-Spikes zwischen den SBT-Körnern praktisch bis zur CeO<sub>2</sub>-Schicht reichen. Anstatt sie nur zu bedecken, schließt die obere Platin-Elektrode die Körner der SBT-Schicht ein. Die SBT-Schicht kann deshalb nicht polarisiert werden und die  $C(U)$ -Kurven zeigen ein rein dielektrisches Verhalten des Schichtstapels. Der verwendete Sputter-Prozess führt auf SBT/Pt als Unterlage also zu guten Ergebnissen, auf SBT/CeO<sub>2</sub>/Si nicht. Entweder unterscheidet sich die Mikrostruktur von SBT auf CeO<sub>2</sub> von der auf Platin oder die Eigenschaften der Materialien unter dem SBT spielen beim Sputtern eine größere Rolle, hier vor allem die isolierende Eigenschaft von CeO<sub>2</sub>. Aus diesen Gründen wurde auch für die Abscheidung der Platin-Elektroden auf SBT der Bedampfungsprozess verwendet.

#### 8.4.2 C(U)-Messungen

Für die elektrischen Messungen wurden wieder runde Platin-Elektroden mit einer Fläche von ca.  $2 \times 10^4 \mu\text{m}^2$  gewählt. Wie schon bei den CeO<sub>2</sub>-Kondensatoren stellt das Halbleitermaterial die Gegenelektrode dar. Für die  $C(U)$ -Messungen wurde ein ohmscher Kontakt zum Silizium hergestellt, indem die Rückseite der Bor-dotierten Silizium-Wafer (ca.  $5 \times 10^{15} \text{cm}^{-3}$ ) mit Indium-Gallium-Eutektikum kontaktiert wurde.

Abbildung 8.6 zeigt  $C(U)$ -Messungen an Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren mit unterschiedlicher CeO<sub>2</sub>-Dicke. Die Schichtdicken der CeO<sub>2</sub>-Schicht entsprechen genau denen der Pt/CeO<sub>2</sub>/Si-Kondensatoren in Abbildung 7.7. Die CeO<sub>2</sub>-Schicht wurde auf ganzen 6-Zoll-Wafern abgeschieden und die Wafer anschließend geviertelt. Auf einem Viertel wurden Platin-

Elektroden direkt auf CeO<sub>2</sub> aufgebracht, auf einem weiteren Viertel wurde SBT abgeschieden und dann erst die Platin-Elektroden. Diese Vorgehensweise sorgt für die bestmögliche Vergleichbarkeit der Ergebnisse zwischen CeO<sub>2</sub>- und SBT/CeO<sub>2</sub>-Kondensatoren, da zumindest die Dicke der CeO<sub>2</sub>-Schicht exakt gleich ist.



**Abbildung 8.6:**  $C(U)$ -Messungen an Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren unterschiedlicher Ceroxid-Dicke. Die Dicke der SBT-Schicht beträgt 180 nm und die Elektrodenfläche der aufgedampften Pt-Elektroden ca.  $2 \times 10^4 \mu\text{m}^2$ . Es wurde bei einer Frequenz von 10 kHz und einer Amplitude von 200 mV gemessen.

Elektrisch gemessen wurde wieder mit dem über PC angesteuerten LCR-Meter von Hewlett-Packard, das an einen Waferprober der Firma Süss mit Einzelnadeln angeschlossen war. Im Sinne der Vergleichbarkeit wurden für die Messung an den Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren dieselben Parameter gewählt wie für die Messung an den Pt/CeO<sub>2</sub>/Si-Kondensatoren, eine sinusförmige Wechselspannung mit einer Frequenz von 10 kHz und einer Amplitude von 200 mV. Der Phasenwinkel lag bei diesen Einstellungen bei ca.  $-87^\circ$ , d.h. die SBT/CeO<sub>2</sub>-Kondensatoren stellen wie die CeO<sub>2</sub>-Kondensatoren bei diesen Messparametern einen fast idealen Kondensator dar.

Auch die SBT-CeO<sub>2</sub>-Kombination zeigt ausgezeichnete Ergebnisse im Hinblick auf die Form der  $C(U)$ -Kurven. In Abbildung 8.6 ist jeweils eine typische Messung an einem Kondensator auf einem Waferbruchstück dargestellt. Alle Kurven wurden im Hin- und Rücklauf gemessen. Abgesehen von der beabsichtigten Verschiebung beider Kurven gegeneinander ist der Kurvenverlauf vom Akkumulationsbereich über den Verarmungsbereich bis zum Inversionsbereich genau so wie man ihn für eine gute konventionelle MOS-Diode erwarten würde. Im Vergleich zu einer Diode aus hochdotiertem Polysilizium als Elektrodenmaterial, SiO<sub>2</sub> als Isolator und Silizium als Halbleiter sind hier aber drei ‚neue‘ Materialien (CeO<sub>2</sub>, SBT, Pt) und damit immerhin fünf ‚neue‘ Elemente (Ce, Sr, Bi, Ta, Pt) vorhanden und befinden sich in direkter Nachbarschaft zur Grenzfläche zwischen Isolator und Substrat. Durch das hohe

Temperaturbudget beim Herstellen der Proben (bis zu 800°C, 1h) können diese Elemente ohne weiteres an die Grenzfläche oder in das Substrat diffundieren. Es wäre daher nicht verwunderlich, wenn die hier gemessenen  $C(U)$ -Kurven in Form und Verlauf von konventionellen MOS-Dioden-Kennlinien abweichen und ihre Form z.B. auf eine hohe Grenzflächenzustandsdichte hindeuten würde. Wie mehrfach erwähnt, ist die Qualität dieser Grenzfläche für die Transistor-Transferkennlinie und damit für Funktion und Verhalten des ferroelektrischen Transistors entscheidend. Wie bei den CeO<sub>2</sub>-Kondensatoren wurde deshalb zusätzlich der Leitwert gemessen (nicht dargestellt). Aus dem Maximum des Leitwertes wurde die typische Grenzflächenzustandsdichte für die hergestellten und untersuchten Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren zu einigen  $10^{11} / \text{cm}^2 \text{ eV}$  abgeschätzt. Bei den besten der untersuchten Proben lag sie sogar im Bereich von  $2 \times 10^{11}$  bis  $9 \times 10^{10} / \text{cm}^2 \text{ eV}$ .

Als wichtigstes Resultat in diesem Zusammenhang und im Hinblick auf den Transistor ist festzuhalten, dass sich die Qualität der Grenzfläche im Vergleich zu den CeO<sub>2</sub>-Kondensatoren durch das Aufbringen der SBT-Schicht nicht messbar verschlechtert. Unter diesem Aspekt eignet sich die gewählte Materialkombination also für den Bau eines ferroelektrischen Transistors. Dieses positive Ergebnis ist überraschend und elementar wichtig zugleich.

### 8.4.3 Verschiebung der $C(U)$ -Kurven - das Memory Window

Wie im letzten Abschnitt gezeigt wurde, ist die Qualität der Grenzfläche für die angestrebte Anwendung ausreichend. Im Folgenden werden die wesentlichen Aspekte des Gate-Stack im Hinblick auf die Eigenschaften des Transistors untersucht.

Das wesentliche Ziel dieser Arbeit und der Grund, warum ein ferroelektrischer Transistorspeicher möglich zu sein scheint, ist die in Abbildung 8.6 zu sehende Verschiebung der beiden Teile der  $C(U)$ -Kurven. Auf Grund der Ferroelektrizität der SBT-Schicht sind die Kurven zwischen Hin- ( $- \rightarrow +$ ) und Rücklauf ( $+ \rightarrow -$ ) um etwa 570 bis ca. 660 mV gegeneinander verschoben. Dadurch sollen im Transistor später unterschiedliche Betriebszustände eingestellt und so Information gespeichert werden. In der Literatur hat sich für diese Verschiebung der Begriff des „Memory Window“ eingebürgert, da die Breite dieses Fensters den für Speicheranwendungen nutzbaren Bereich der  $C(U)$ -Kurve definiert. Das Memory Window  $\Delta U_{th}$ , gleichbedeutend mit der Verschiebung der Transistorschwellspannung, hängt bei gesättigter Polarisation vor allem von der Koerzitivfeldstärke der ferroelektrischen Schicht ab. Es ist gegeben durch [Ull01b], [Ull01c]

$$\Delta U_{th} = U_C^+ - U_C^-, \quad (8-1)$$

wobei  $U_C^+$  bzw.  $U_C^-$  für die Koerzitivspannungen der ferroelektrischen Schicht stehen.

Die Verschiebung der beiden Kurven gegeneinander wird normalerweise bei  $C_{max}/2$  gemessen. Beim Transistor hängt der maximal detektierbare Unterschied zwischen zwei gespeicherten Zuständen 1 und 0 direkt von der Größe des Memory Window ab. Liegen die beiden  $C(U)$ -Kurven weit genug auseinander, lassen sich rechnerisch mehrere Größenordnungen Unterschied im Source-Drain-Strom  $I_{DS}$  zwischen dem ein- und dem



ausgeschalteten Zustand des Transistors erreichen. Etwa fünf Größenordnungen zwischen dem Source-Drain-Strom im eingeschalteten Zustand  $I_{on}$  und im ausgeschalteten Zustand  $I_{off}$  sind aus Sicht der Schaltungstechnik wünschenswert, um die beiden logischen Zustände im Zellenfeld sicher voneinander unterscheiden zu können. Die Unterschwellsteigung gibt beim MOS-Transistor an, um wie viele Millivolt die Gate-Source-Spannung  $U_{GS}$  im Unterschwellbereich verändert werden muss, damit sich der Strom zwischen Source und Drain  $I_{DS}$  um eine Dekade verändert. Eine Unterschwellsteigung von etwa 100 mV/Dekade ist für einen ferroelektrischen Transistor im Vergleich zu einem herkömmlichen MOSFET auf Grund der etwas schlechteren Grenzfläche ein realistischer Wert. Man erreicht damit die geforderten fünf Größenordnungen Änderung bei  $I_{DS}$  mit einer Schwellspannungsverschiebung oder einem Memory Window  $\Delta U_{th}$  von 0,5 Volt.

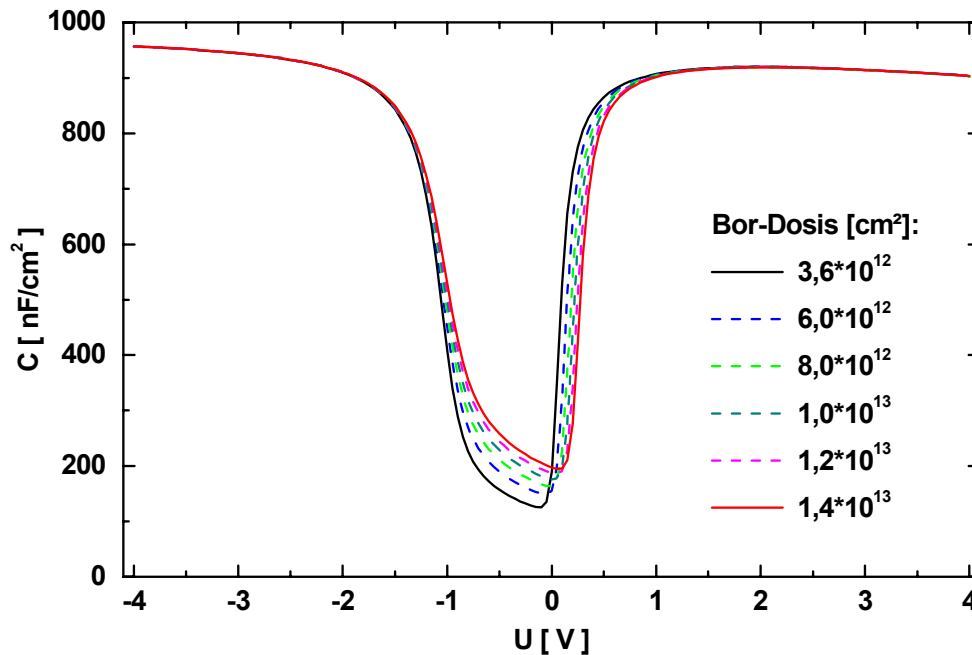
Die Größe des Memory Window und die erforderliche Spannung, um dieses Memory Window zu erzeugen, sind also die zentralen Parameter des Gate-Stack eines ferroelektrischen Transistors. Ziel ist ein möglichst großes Memory Window, das mit möglichst niedriger Spannung erreicht werden kann, weil damit ein großer Unterschied zwischen On- und Off-Strom des Transistors verbunden ist. Im folgenden wird gezeigt, wie dieses Ziel zu erreichen ist.

#### 8.4.3.1 Einfluss der Schichtdicken auf das Memory Window

Die Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren stellen einen relativ komplizierten Spannungsteiler dar, wie er in Kapitel 5.2 bereits beschrieben wurde. Im Unterschied zu herkömmlichen MOS-Dioden kommt zur linearen Kapazität der dielektrischen Schicht und der nicht-linearen Kapazität des Halbleitersubstrates noch die in weiten Bereichen ebenfalls nicht-lineare Kapazität der ferroelektrischen Schicht hinzu. Der Spannungsabfall zwischen Gate-Elektrode und Substratmaterial verteilt sich auf die ferroelektrische und die dielektrische Schicht sowie das Halbleitersubstrat. Möglicherweise vorhandene Zwischenschichten sollen hier nicht berücksichtigt werden.

Da zum Umschalten der ferroelektrischen Polarisation mindestens die der Koerzitivfeldstärke entsprechende Spannung an der ferroelektrischen Schicht anliegen muss, sollte über den beiden anderen Komponenten des Spannungsteilers so wenig Spannung wie möglich abfallen, um die insgesamt nötige Spannung klein zu halten. Der Zustand der Gleichspannung entspricht am ehesten den Bedingungen beim Betrieb des Transistors in einem Zellenfeld. Alle angestellten Betrachtungen beschränken sich daher auf diesen Fall. Selbst bei dynamischen Messungen, wie der  $C(U)$  Messung, sind die Spannungsänderungen so langsam, dass sie um Größenordnungen unter der Schaltgeschwindigkeit der ferroelektrischen Schicht liegen. Was Substrat und dielektrische Schicht angeht, entspricht Gleichspannung dem Low-Frequency-Fall bei  $C(U)$ -Messungen. In diesem Fall ist die Kapazität von Substrat und dielektrischer Schicht in Akkumulation und Inversion in etwa gleich und wird von der Kapazität der dielektrischen Schicht bestimmt. Erst bei sehr dünnen dielektrischen Schichten (z.B. < 5 nm SiO<sub>2</sub>) ist es sinnvoll, die Kapazität des Silizium-Substrates z.B. mit quantenmechanischen Korrekturen zu berücksichtigen. Sie ist ansonsten als eine materialbedingte Größe zu betrachten und kann zwar

durch Implantation verändert werden, aber nur in geringem Umfang, wie an Hand eines Beispiels in Abbildung 8.7 deutlich wird.

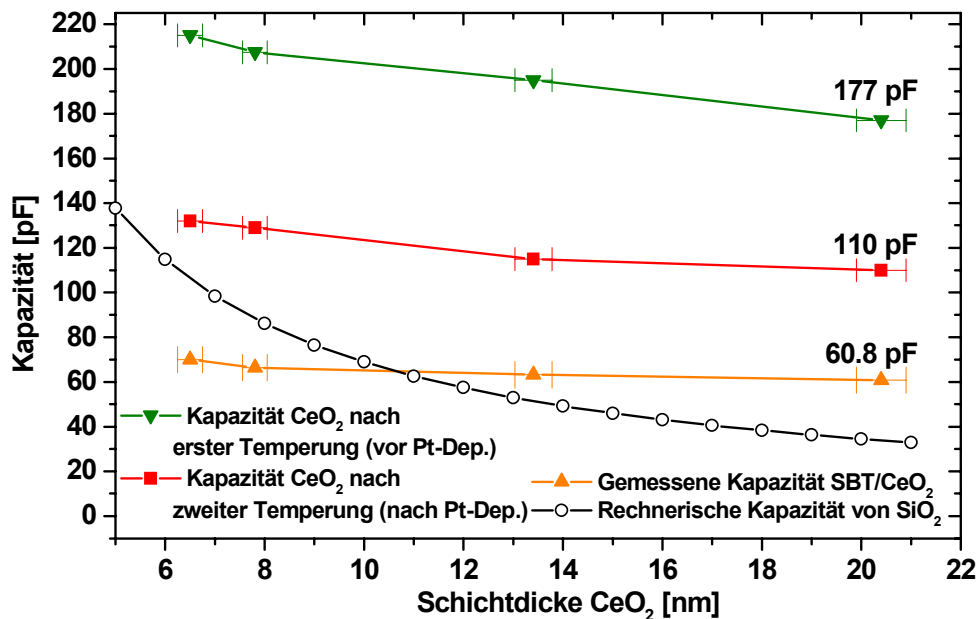


**Abbildung 8.7:** Simulierte  $C(U)$ -Kurve für MOS-Dioden auf Silizium. Parameter ist die Dosis der Bor-Implantation, die in einem für eine Kanal-Implantation typischen Bereich variiert wurde. Die angenommene Implantationsenergie betrug 25 keV, die relative Dielektrizitätskonstante der dielektrischen Schicht wurde mit 8,4 angenommen, die Dicke der Schicht war 7,5 nm. Die Simulation wurde ohne quantenmechanische Korrekturen für Raumtemperatur durchgeführt.

Die dielektrische und die ferroelektrische Schicht sind also die beiden wesentlichen Bestandteile des Gate-Stack, durch die sich das Memory Window beeinflussen lässt. Der Versuch, ein möglichst großes Memory Window zu erhalten, begann damit, die Dicke der dielektrischen Schicht zu variieren bzw. zu verringern. Untersuchungen hierzu findet man auch in [Kan99]. Die ferroelektrische Schicht und der Halbleiter dagegen sind bei allen Kurven in Abbildung 8.6 identisch. Wie schon in Abbildung 7.8 deutlich wird, steigt die Kapazität bei abnehmender Schichtdicke nicht mit  $1/d$  an.

Abbildung 8.8 zeigt noch einmal drei Kurven aus Abbildung 7.8 und zusätzlich die gemessene Kapazität der Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren mit einer konstanten SBT-Dicke von 180 nm. Man erkennt zwar eine Zunahme der Gesamtkapazität mit abnehmender CeO<sub>2</sub>-Dicke, der Unterschied zwischen maximaler und minimaler CeO<sub>2</sub>-Dicke beträgt jedoch insgesamt nicht mehr als etwa 10 pF. Damit ist klar, dass eine geringere Dicke der CeO<sub>2</sub>-Schicht kaum Vorteile für das Memory Window hat. Selbst durch die Verwendung größerer Spannungen als in Abbildung 8.6 gezeigt, lassen sich keine besseren Ergebnisse erzielen. Die Beobachtung, dass alle  $C(U)$ -Kurven in Abbildung 8.6 etwa das gleiche Memory Window aufweisen, ist damit sehr gut erklärbar. Dies hängt einerseits mit dem einfachen Abscheidungsverfahren, der Chemical Solution Deposition, zusammen, die in dieser Arbeit verwendet wurde. Wie bei den Pt/CeO<sub>2</sub>/Si-Kondensatoren gezeigt wurde, können Schichtdicken von weniger als ca. 20 nm damit nicht mehr so hergestellt werden, dass das Material seine günstigen dielektrischen Eigenschaften,

insbesondere seine dielektrische Permeabilität beibehält. Andererseits spielt auch das Temperaturbudget bei der Abscheidung der ferroelektrischen Schicht eine große Rolle. Hohe Temperaturen und die sauerstoffhaltige Atmosphäre lassen das Si-Substrat oxidieren, und zwar umso mehr je dünner die CeO<sub>2</sub>-Schicht ist. Gelänge es hingegen, die Kapazität der dielektrischen Schicht mit sinkender Dicke zu erhöhen, so sollten die Messungen ergeben, dass das Memory Window mit abnehmender Dicke der dielektrischen Schicht größer wird. Simulationen für die hier verwendeten Materialien und Schichtdicken haben gezeigt [Ull01a], [Ull01b], [Ull01c] dass erst bei sehr geringen Dicken der dielektrischen Zwischenschicht das Memory Window näherungsweise konstant wird.



**Abbildung 8.8:** Kapazität von Pt/CeO<sub>2</sub>/Si- und Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren aufgetragen gegen die Dicke der CeO<sub>2</sub>-Schicht. Die Dicke der SBT-Schicht beträgt 180 nm.

Um die Vorteile einer sehr dünnen dielektrischen Zwischenschicht nutzen zu können, muss also ein anderes Abscheidungsverfahren eingesetzt werden [Jon98], das es erlaubt, wenige Nanometer dicke Schichten sehr kontrolliert abzuscheiden und dabei sehr gute dielektrische Eigenschaften zu erhalten. Denkbar wäre unter anderem der Einsatz eines Sputter-, besser eines CVD-Prozesses (Chemical Vapour Deposition) oder bei Schichten von wenigen Nanometern auch ein ALD-Prozess (Atomical Layer Deposition).

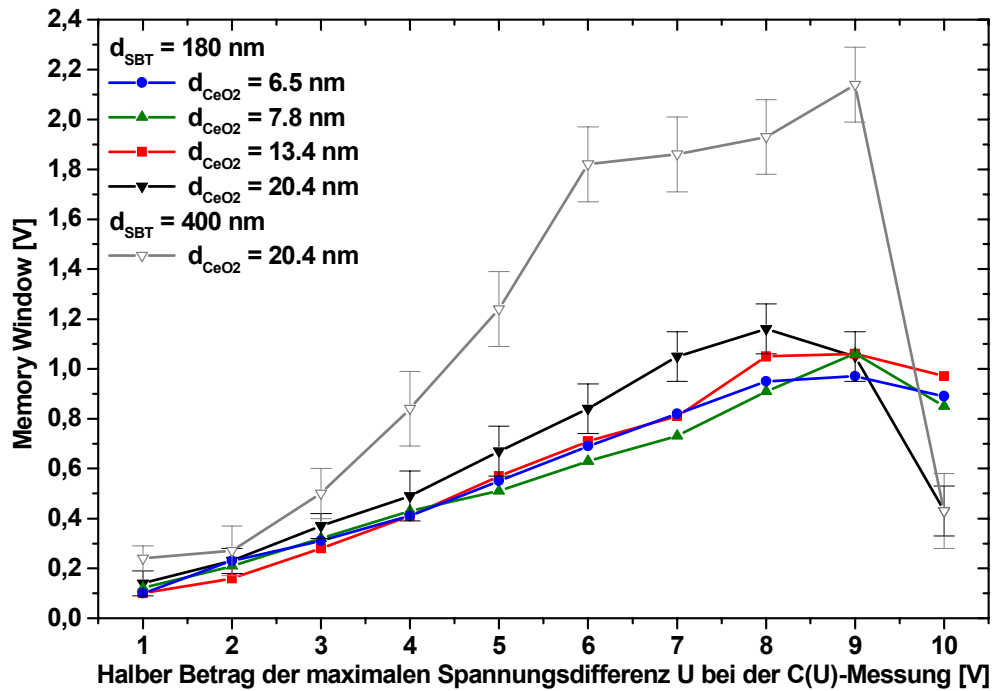
Dass alle Beobachtungen und Messdaten in Übereinstimmung sind, zeigt auch folgende Abschätzung: Die Kapazität von ferroelektrischer und dielektrischer Schicht zusammen beträgt etwa die Hälfte der Kapazität der dielektrischen Schicht, d.h. beide Kapazitäten, dielektrische wie ferroelektrische, sind etwa gleich groß. Die ferroelektrische Schicht ist aber etwa zehn mal so dick wie die dielektrische. Man kann also in grober Näherung davon ausgehen, dass die Dielektrizitätskonstante der ferroelektrischen Schicht im Akkumulationsbereich des Gate-Stack, in dem die Kapazität gemessen wurde, in der Größenordnung von ca. 200 liegt.

Zur Optimierung des Memory Window kann schließlich noch die Dicke der ferroelektrischen Schicht variiert werden. Das Memory Window besitzt bei gegebener Gate-Bulk-Spannung und fester Dicke der dielektrischen Schicht ein Maximum [Ull01a]. Dessen Lage hängt bei fest vorgegebenen dielektrischen Eigenschaften der dielektrischen und der ferroelektrischen Schicht von der Dicke der ferroelektrischen Schicht ab. Neben der Materialwahl bleibt also noch die Variation der Dicke der ferroelektrischen Schicht. Leider hat sich erwiesen, dass es nicht ohne weiteres möglich ist, mit dem CSD-Verfahren und dem vorhandenen Precursor beliebige SBT-Dicken auf  $\text{CeO}_2$  herzustellen. Der verwendete Prozess sowie der Precursor sind für die Herstellung 180 nm dicker SBT-Schichten auf Platin-Elektroden optimiert. Die Abscheidung erfolgte dabei in zwei Schritten zu je 90 nm.

Um dickere Schichten zu erhalten, kann die Abscheidung öfter als zweimal wiederholt, der Precursor in höherer Konzentration eingesetzt oder auch die Drehzahl beim Spin-On reduziert werden. Wie sich gezeigt hat, führen zwar alle diese Maßnahmen dazu, dass man dickere Schichten erhält, aber man stößt ohne weitere Optimierung auch hier an die Grenzen des CSD-Verfahrens. Beim Versuch, dickere Schichten auf diese Art herzustellen, zeigten sich zahlreiche Risse in den Schichten, das Material löste sich an vielen Stellen vom Wafer ab und so war es schwierig bis unmöglich, Pt-Elektroden auf diesen Schichten abzuscheiden. Eine Optimierung des CSD-Verfahrens in diese Richtung wäre sicher möglich, hätte aber den Rahmen der Arbeit gesprengt und ist wenig sinnvoll, denn das CSD-Verfahren ist in Zukunft nicht das Verfahren der Wahl, um ferroelektrische Transistoren in integrierter Form herzustellen. Außerdem besteht das eigentliche Ziel darin, dünnere dielektrische Schichten bei im Wesentlichen unveränderten Eigenschaften herzustellen. Damit entfällt die Notwendigkeit, die ferroelektrische Schichtdicke zu erhöhen, um das optimale Verhältnis zwischen beiden Schichtdicken zu erreichen.

Bedingt durch das CSD-Verfahren zeigt sich nun, dass man in beide Richtungen an Grenzen stößt: Die dielektrische Schicht lässt sich nicht dünner machen, die ferroelektrische auf dieser Unterlage nur unter Schwierigkeiten dicker. Um trotzdem wenigstens grob den Einfluss des Schichtdickenverhältnisses auf das Memory Window zu überprüfen, wurden mehrere einfache Versuche unternommen. So konnte durch viermaliges Wiederholen der Spin-On-Prozedur wenigstens auf einem Teil eines Wafers eine dicke, gut haftende und fast rissfreie SBT-Schicht hergestellt werden, die das Aufdampfen von Elektroden ermöglichte. Die Herstellung erfolgte dabei analog dem in Abbildung 8.1 geschilderten Prozessablauf, wobei der Spin-On-Schritt nicht zweimal sondern viermal wiederholt wurde. Die Messung mit dem Ellipsometer ergab eine Schichtdicke von etwa 400 nm. Als Unterlage wurde eine  $\text{CeO}_2$ -Schicht mit einer Dicke von ca. 20 nm verwendet.

Für den Betrieb des Transistors interessant ist unter anderem das mit einer bestimmten Spannung  $U$  erzielbare Memory Window. Hier sollten sich große Unterschiede für Proben mit 180 nm dicker SBT-Schicht im Vergleich zu der Probe mit 400 nm dicker SBT-Schicht ergeben [Kim97], [Shi98]. Für die vier Standard-Proben mit unterschiedlicher  $\text{CeO}_2$ -Dicke und jeweils 180 nm dicker SBT-Schicht sowie für die Probe mit 400 nm dickem SBT auf 20 nm dickem  $\text{CO}_2$  wurden daher  $C(U)$ -Messungen für verschiedene Spannungen gemacht.



**Abbildung 8.9:** Abhängigkeit des durch  $C(U)$ -Messungen ermittelten Memory Window von der bei dieser Messung angelegten Spannung. Alle Messungen waren symmetrisch, d.h. ein Wert von 1 Volt auf der x-Achse entspricht einer  $C(U)$ -Messung zwischen  $-1$  und  $1$  Volt, also einer Spannungsdifferenz von 2 Volt.

Abbildung 8.9 zeigt die Ergebnisse für unterschiedliche Proben in Abhängigkeit von der angelegten maximalen Spannung. In x-Richtung aufgetragen ist der halbe Betrag der für die  $C(U)$ -Messung maximal verwendeten Spannungsdifferenz. Ein Wert von 2 Volt bedeutet, dass die  $C(U)$ -Messung zwischen  $-2$  und  $+2$  Volt durchgeführt wurde. Gemessen wurden jeweils 10 verschiedene Kondensatoren auf einem Waferbruchstück. Auf der y-Achse ist das Memory Window aufgetragen, das bei  $C_{max}/2$  gemessen wurde. Aus Gründen der Übersichtlichkeit ist der Fehlerbalken nur für eine der vier Kurven bei 180 nm SBT-Dicke aufgetragen.

Man findet das vorher erwähnte Ergebnis bestätigt. Die Dicke der dielektrischen Schicht hat auch bei unterschiedlichen Spannungen keinen Einfluss auf die Größe des Memory Window. Das stimmt gut mit den bisherigen Ergebnissen überein, die nur einen geringen Unterschied in der Kapazität für verschieden Dicke  $\text{CeO}_2$ -Schichten gezeigt haben. Nicht eindeutig interpretierbar ist die Tendenz, dass die Kondensatoren mit der dicksten dielektrischen Schicht (ca. 20 nm) und damit der geringfügig kleineren Kapazität das größte Memory Window besitzen. Die Vermutung liegt nahe, dass Leckströme oder die Injektion von Ladungen bei den dielektrischen Schichten geringerer Dicke eine größere Rolle spielen [Nod99]. Die genaue Untersuchung solcher Zusammenhänge ist wichtig und für den ferroelektrischen Transistor unerlässlich aber äußerst umfangreich und kann daher nicht im Rahmen dieser Arbeit erfolgen.

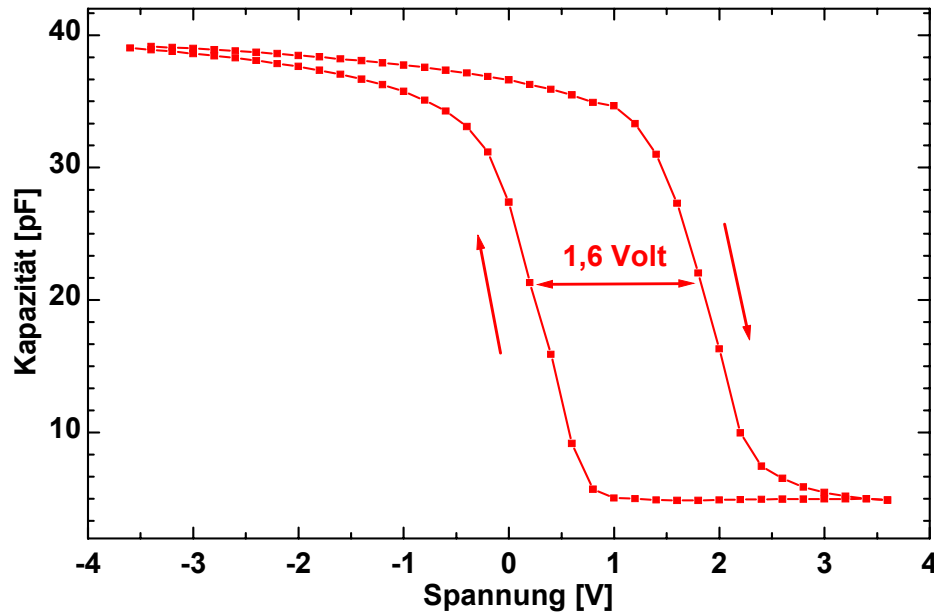
Die in Abbildung 8.9 zu sehende fast lineare Zunahme des Memory Window mit der angelegten Spannung in einem weiten Bereich deutet an, dass die Polarisationsänderung der ferroelektrischen Schicht auf Subschleifen der Hystereseurve erfolgt. Ob die der Schichtdicke entsprechende maximale Koerzitivspannung an der ferroelektrischen Schicht erreicht wird, kann mit dieser Messung nicht geklärt werden. Die Abscheidung und vor allem die Temperschritte zur Herstellung der ferroelektrischen Schicht scheinen die Kapazität der dielektrischen Schicht

bei den Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren im Vergleich zu den Pt/CeO<sub>2</sub>/Si-Kondensatoren jedenfalls erheblich zu beeinflussen. Ansonsten sollte die an der ferroelektrischen Schicht abfallende Spannung bereits bei ca. 3 bis 4 Volt die Koerzitivspannung der Schicht erreichen und so zu einer Sättigung des Memory Window führen. Dass das Memory Window tatsächlich bis ca. 8 Volt stetig zunimmt, bedeutet, dass die über der ferroelektrischen Schicht abfallende Spannung bis zu diesem Wert nicht ausreicht, um die Polarisierung der ferroelektrischen Schicht zu sättigen und die Koerzitivspannung der Schicht zu erreichen. Bei Spannungen über 8 Volt ist eine Abnahme des Memory Window zu erkennen, die nicht reversibel ist. Ob eine der Schichten tatsächlich elektrisch durchbricht oder die zunehmende Feldstärke nur für eine irreversible Injektion von Ladungen in den Schichtstapel sorgt, kann mit diesen Messungen nicht abschließend geklärt werden.

Besonders interessant ist das Verhalten der Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren mit einer SBT-Schichtdicke von 400 nm. Das Memory Window wird mit steigender Spannung viel schneller größer als bei den Kondensatoren mit der dünneren SBT-Schicht. Beginnend bei sehr kleinen Spannungen gilt dies bis zum Zusammenbruch des Memory Window jenseits von etwa 9 Volt. D.h. dass bei etwa gleichbleibenden Eigenschaften der dielektrischen Schicht durch die etwa doppelt so dicke ferroelektrische Schicht ein wesentlich größerer Anteil der insgesamt angelegten Spannung für die Polarisierung der ferroelektrischen Schicht zu Verfügung steht. Nachdem bei kleinen Spannungen bis ca. 3 Volt kaum ein Unterschied für die beiden SBT-Dicken auszumachen ist, findet man für Spannungen zwischen 4 und 6 Volt ein etwa doppelt so großes Memory Window für die dickere SBT-Schicht. Zwischen 6 und etwa 9 Volt nimmt die Steigung der Kurve erheblich ab. Man kann diesen Teil der Kurve als eine Art Plateau interpretieren, das durch die (beinahe) gesättigte Polarisierung der ferroelektrischen Schicht verursacht wird. Bei 9 Volt ist bei den Schichtstapeln mit dünner SBT-Schicht bereits eine Verringerung des Memory Window zu beobachten, die Kondensatoren mit der dickeren SBT-Schicht zeigen hier das maximale Memory Window. Auf Grund der dickeren Schicht und der damit veränderten Aufteilung der Gesamtspannung auf die einzelnen Schichten – die SBT-Schicht nimmt jetzt deutlich mehr Spannung auf – erwartet man genau dieses Verhalten. Erstaunlicherweise erfolgt der elektrische Zusammenbruch trotzdem bereits bei ca. 10 Volt. Die Verkleinerung des Memory Window fällt hier wesentlich drastischer aus und erfolgt abrupter als bei den dünneren Schichtstapeln. Für die Ursachen des elektrischen Zusammenbruchs gilt hier dasselbe wie oben, sie müssen in Zukunft ausführlich untersucht werden.

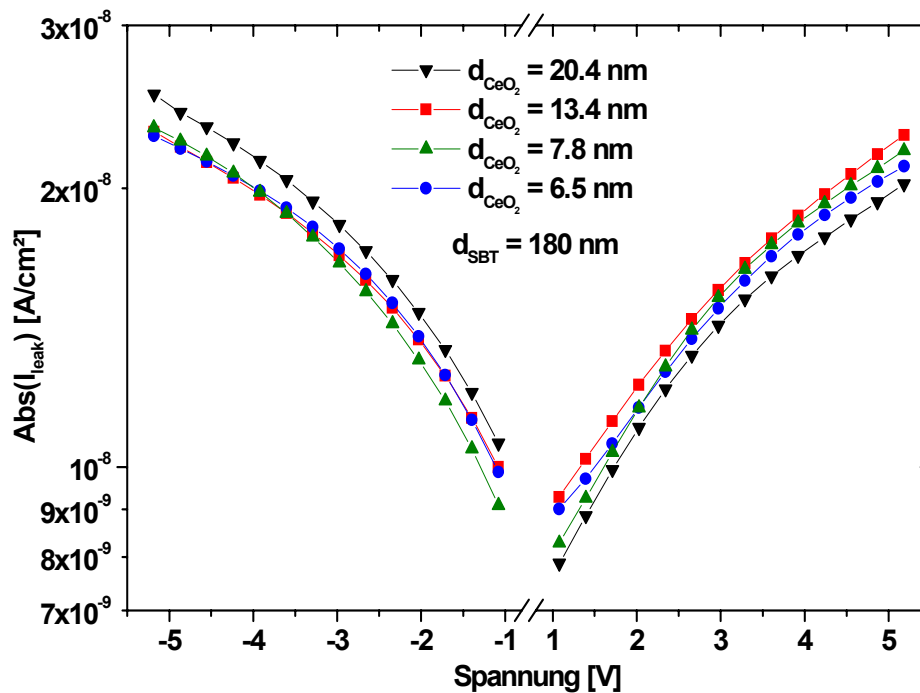
Der in Abschnitt 8.4.3 geforderte Unterschied von fünf Größenordnungen beim Strom  $I_{DS}$  zwischen dem ein- und ausgeschalteten Zustand des Transistors, und damit ein Memory Window von etwa 0,5 Volt, wären nach dem in Abbildung 8.9 dargestellten Ergebnis bei der 400 nm dicken SBT-Schicht mit einer Betriebsspannung von etwa  $\pm 3$  Volt, also mit einem Intervall von ca. 6 Volt zu erreichen.

Das für die Betriebsspannung des Transistors wichtige Verhältnis aus angelegter Spannung und erzielttem Memory Window ist bei einigen Kondensatoren mit dicker SBT-Schicht wesentlich besser als der in Abbildung 8.9 dargestellte Mittelwert. Abbildung 8.10 zeigt die  $C(U)$ -Kurve eines solchen Kondensators. Für ein Memory Window von 1,6 Volt, für das im Mittel eine Spannungsdifferenz von 10 bis 12 Volt nötig wäre, reicht bei diesem Kondensator eine Spannung von etwas mehr als 7 Volt aus.



**Abbildung 8.10:**  $C(U)$ -Messung an einem Pt/SBT/CeO<sub>2</sub>/Si-Kondensator mit einer SBT-Schichtdicke von ca. 400 nm und einer Ceroxid-Schichtdicke von etwa 20 nm. Die Elektrodenfläche der aufgedampften Pt-Elektroden beträgt ca.  $2 \times 10^4 \mu\text{m}^2$ . Es wurde bei einer Frequenz von 10 kHz und einer Amplitude von 200 mV gemessen.

Der Vollständigkeit halber wurden an diesen Strukturen auch Leckströme gemessen (ähnliche Messungen finden sich in [Shi98]). Abbildung 8.11 zeigt eine Schar typischer Leckstromkurven von Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren. Parameter ist die Schichtdicke der CeO<sub>2</sub>-Schicht. Bei jedem Messpunkt wurde der Strom nach dem Anlegen der Spannung mit einer Verzögerung von einer Sekunde gemessen. Der so ermittelte Leckstrom ist auf Grund der Relaxation kleiner als bei einer Messung ohne Verzögerung. Die Abweichung der einzelnen Kurven vom dargestellten Mittelwert ist aber geringer, so dass eine solche Messung aussagekräftigere Werte für einen Vergleich verschiedener Proben liefert. Anders als bei den CeO<sub>2</sub>-Kondensatoren unterschiedlicher Dicke ist hier kein großer Unterschied zwischen den einzelnen Kondensatoren mehr zu erwarten. Die Leckströme sind im Wesentlichen von der SBT-Schicht bestimmt, deren Dicke bei allen Proben jeweils 180 nm beträgt. Untersuchungen zu Leckstrommechanismen in Perovskiten finden sich z.B. in [Was92]. Die im Vergleich dazu eher geringen Unterschiede in der Dicke der CeO<sub>2</sub>-Schicht und damit in der Gesamtdicke des Schichtstapels haben kaum Einfluss auf die Leckströme. Auch die parasitäre SiO<sub>2</sub>-Schicht, deren Dicke bei den CeO<sub>2</sub>-Kondensatoren offenbar von der Dicke des CeO<sub>2</sub> abhängt und den Leckstrom empfindlich beeinflusst, spielt für alle hier untersuchten Proben etwa dieselbe Rolle. Sie sollte für alle Proben etwa die gleiche Dicke haben, da das thermische Budget durch das Aufbringen der SBT-Schicht nun wesentlich größer und für alle Proben identisch ist. Eine unterschiedliche Ausprägung der parasitären SiO<sub>2</sub>-Schicht auf Grund der unterschiedlichen CeO<sub>2</sub>-Dicke ist nicht zu erwarten.



**Abbildung 8.11:** Gemessene Leckströme (Betrag) durch Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren unterschiedlicher Dicke. Die aufgetragene Spannung ist die Spannung an der Pt-Elektrode.

Für alle Dicken gilt, dass der Leckstrom geringer ist, wenn das Substrat sich in Inversion befindet. Eine genaue Untersuchung von Leckströmen durch einen solchen Schichtstapel ist äußerst komplex, eine analytische Beschreibung kaum möglich. Relaxationsphänomene oder Transportmechanismen für Elektronen und Löcher zu untersuchen, ist sehr schwierig. Hinzu kommt, dass sich ferroelektrische und dielektrische Schicht bei den verwendeten Temperaturen durch Diffusion vermischen und sich ihre Eigenschaften dadurch ändern, wie später noch gezeigt wird. Bei der Modell-Bildung muss außerdem die Diffusion zwischen Substrat und Isolator und die Bildung einer Silikat-Schicht an dieser Grenzfläche berücksichtigt werden. Trotzdem reichen die Messdaten aus, um einige wichtige Aussagen abzuleiten. Innerhalb der betrachteten Anzahl von Proben sind alle untersuchten Kondensatoren hinsichtlich ihrer Leckstromeigenschaften etwa vergleichbar. Es gibt weder große Abweichungen vom Mittelwert noch Kondensatoren mit Kurzschlüssen. Man kann also ausschließen, dass unterschiedliche Leckströme für andere Unterschiede, beispielsweise unterschiedliche Memory Windows, mit verantwortlich sind.

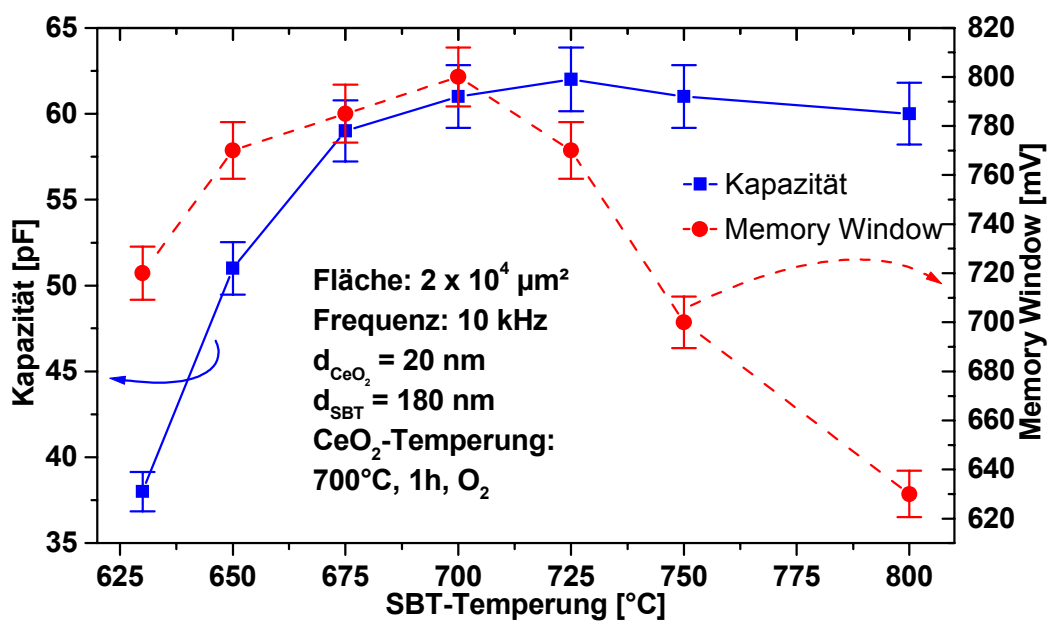
#### 8.4.3.2 Einfluss der Temperatur auf das Memory Window

In Abbildung 8.1 ist für die Temperung zur Herstellung von polykristallinen SBT-Schichten ein Temperaturbereich zwischen 625 und 800°C angegeben. Die Wahl der richtigen Prozesstemperatur für die Kristallisation der SBT-Schicht spielt eine sehr wichtige Rolle: Bei zu niedriger Temperatur ist die ferroelektrische Schicht unter Umständen nicht vollständig kristallisiert. Das kann Polarisierbarkeit und Memory Window, die Stabilität der remanenten



Polarisation und auch die Langzeitstabilität der charakteristischen Eigenschaften der ferroelektrischen Schicht nachteilig beeinflussen [Wat98a]. Andererseits bereitet auch eine zu hoch gewählte Temperatur Probleme. Überflüssige Oxidation des Si-Substrates verringert die Kapazität der dielektrischen Zwischenschicht und Diffusionsprobleme an den Grenzflächen nehmen zu.

Neben der bereits beschriebenen Kristallisation von SBT auf CeO<sub>2</sub> spielen für die Wahl des Temperaturbereichs auch die in Abbildung 8.12 dargestellten Ergebnisse eine Rolle. Sie zeigt die Kapazität des ferroelektrischen Gate-Stacks in Abhängigkeit der Temperatur beim einstündigen Temperschnitt der SBT-Schicht. Die Prozessierung der dielektrischen Schicht erfolgte für alle Messpunkte gleich, die ca. 20 nm dicken CeO<sub>2</sub>-Schichten wurden jeweils eine Stunde lang bei 700°C in Sauerstoff getempert.



**Abbildung 8.12:** Abhängigkeit der Kapazität (gemessen in Inversion) und des Memory Window eines Pt/SBT/CeO<sub>2</sub>/Si-Kondensators (MFIS-Struktur) von Temperatur der SBT-Schicht. Die Dicke der SBT-Schicht beträgt 180 nm, die Dicke der CeO<sub>2</sub>-Schicht ca. 20 nm, die CeO<sub>2</sub>-Schicht wurde bei 700°C getempert.

Der starke Anstieg der Kapazität des Pt/SBT/CeO<sub>2</sub>/Si-Kondensators bei Temperaturen von mehr als 630°C stimmt mit den Ergebnissen der Röntgenbeugungsanalyse und der REM-Analyse überein, die in diesem Bereich die Entstehung einer fast ausschließlich polykristallinen SBT-Schicht zeigen. Damit nimmt die Polarisierbarkeit und die Kapazität der SBT-Schicht und mit ihr die des gesamten Schicht-Stapels zu. Die ferroelektrische Schicht spielt auf Grund ihrer großen Dicke die entscheidende Rolle für die Gesamtkapazität des Gate-Stacks. REM-Bilder, Röntgenbeugung und die Kapazität der Schicht zeigen zwischen 700 und 800°C kaum Veränderungen. Bei einer Temperatur von 725°C ist die Kapazität maximal, darüber beginnt sie langsam zu sinken. Obwohl das Silizium-Substrat schon bei Temperaturen von weniger als 725°C weiter oxidiert, überwiegt in diesem Bereich die Steigerung der SBT-Kapazität über die Abnahme der Kapazität durch das zusätzliche SiO<sub>2</sub>-Wachstum. Jenseits von 725°C kehrt sich diese Gewichtung um und die Gesamtkapazität sinkt.

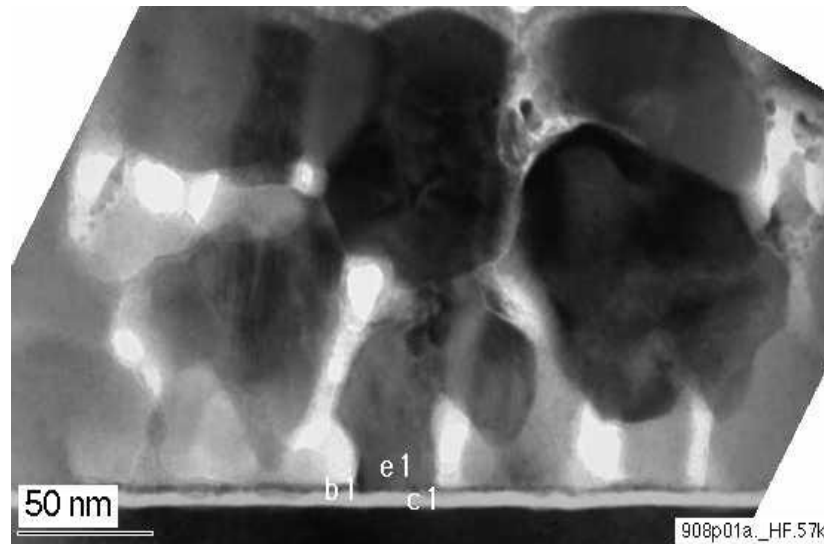
Zusätzliche Information kann man an dieser Stelle aus der Betrachtung des Memory Windows gewinnen. Dazu wurde neben der Kapazität auch das Memory Window einiger Proben bei  $\pm 6$  Volt gemessen und in Abbildung 8.12 gegen die Temperatur aufgetragen. Der Einfluss der Temperatur erweist sich als relativ moderat. Das ist nicht verwunderlich, ruft man sich den Umstand ins Gedächtnis, dass es in erster Linie von der Koerzitivfeldstärke und weniger von der remanenten Polarisation, also der Flächenladungsdichte bestimmt wird. Bei niedriger Temperatur reicht die erreichbare remanente Polarisation bereits aus, um eine Hysterese der  $C(U)$ -Kurve hervorzurufen. Man findet eine leichte Zunahme des Memory Window bis  $700^\circ\text{C}$ , die mehrere Ursachen hat. Wie REM-Bilder und Röntgenbeugung beweisen, bildet sich in diesem Temperaturbereich erst die polykristalline Schicht. Damit verändern sich alle wichtigen Eigenschaften, wie z.B. die Koerzitivfeldstärke, die remanente Polarisation oder die Polarisierbarkeit der Schicht. Drastischer fällt die Veränderung bei höheren Temperaturen aus. Zwischen  $700$  und  $800^\circ\text{C}$  gehen fast 25% des Memory Windows verloren. Dafür kommt hauptsächlich eine Ursache in Betracht: Über der ferroelektrischen Schicht fällt weniger Spannung ab, weil die parasitäre  $\text{SiO}_2$ -Schicht mit steigender Temperatur dicker wird. Als Folge davon erfolgt die Polarisationsänderung der ferroelektrischen Schicht auf Subschleifen der Hysteresekurve, die Koerzitivspannung wird bei dieser Spannung nicht mehr erreicht.

Bemerkenswert ist auch die Veränderung der Grenzflächenzustandsdichte zwischen Silizium und  $\text{CeO}_2$  mit der Temperatur. Da alle Proben bis auf die Variation der SBT-Temperatur identisch sind, kann die beobachtete Veränderung der Grenzflächenqualität nur mit der Temperatur zusammen hängen. Bei einer Temperatur von  $630^\circ\text{C}$  liegt die Grenzflächenzustandsdichte bei etwa  $8 \times 10^{10}/\text{cm}^2$  eV, während sie zu  $800^\circ\text{C}$  hin leicht, auf ca.  $2 \times 10^{11}/\text{cm}^2$  eV, ansteigt. Ob es Bestandteile der  $\text{CeO}_2$ - oder der SBT-Schicht sind, die dafür verantwortlich sind, lässt sich nicht sagen. Jedenfalls liefert auch dieses Ergebnis einen Grund, den Gate-Stack bei möglichst niedriger Temperatur und mit geringem Temperaturbudget herzustellen.

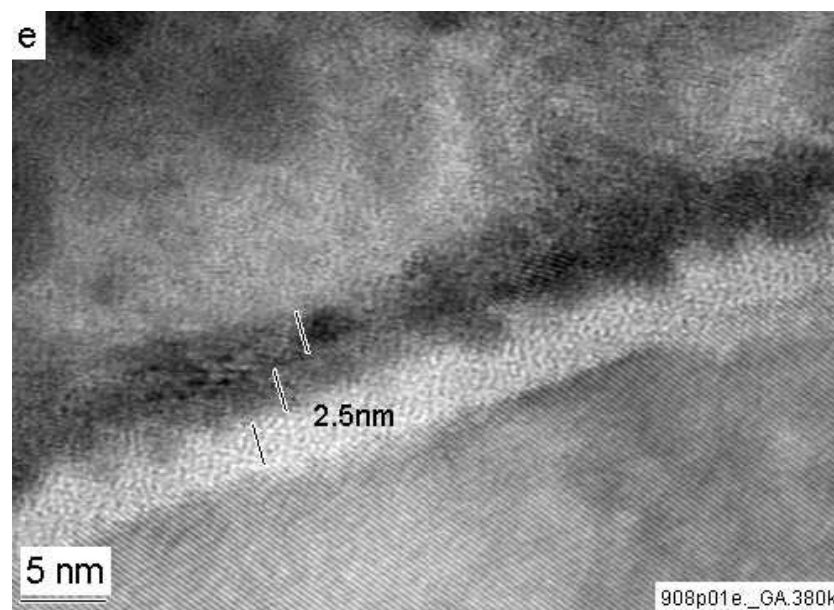
### 8.4.3.3 Weitere Ergebnisse - TEM-Untersuchung und Simulation

Mit Ausnahme der REM-Bilder aus Kapitel 8.3 wurden bisher keine bildgebenden Verfahren eingesetzt. Um die Ergebnisse zu vervollständigen, wurde eine Probe mit dem TEM analysiert. Abbildung 8.13 zeigt die Aufnahme eines Pt/SBT/ $\text{CeO}_2$ /Si-Kondensators, bei dem beide Schichten jeweils für eine Stunde in Sauerstoff getempert wurden, die  $\text{CeO}_2$ -Schicht bei  $700^\circ\text{C}$ , die SBT-Schicht bei  $800^\circ\text{C}$ .

Die SBT-Schicht ist an der untersuchten Probenstelle ca. 170 nm dick. Die Körner sind 80-100 nm groß, wobei sich zwischen den einzelnen Körnern 10-20 nm großen Poren befinden. An der Grenzfläche zum Si-Substrat existiert eine etwa 7,5 nm dicke Schicht. Man kann sie in drei jeweils ca. 2,5 nm dicke Schichten bzw. einen 5 nm dicken und einen 2,5 nm dicken Bereich unterteilen, die in Abbildung 8.14 deutlicher zu sehen sind.

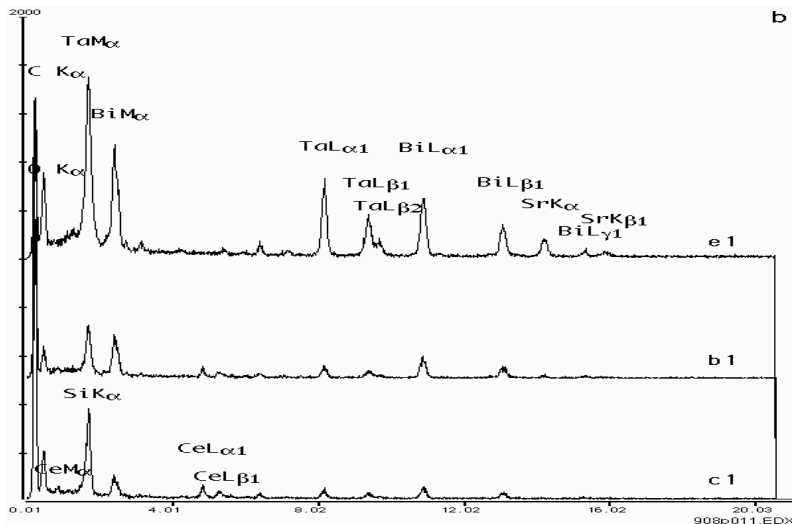


**Abbildung 8.13:** TEM-Aufnahme eines Pt/SBT/CeO<sub>2</sub>/Si-Kondensators. Das Bild zeigt einen Schnitt durch den Kondensator vom Si-Substrat (unten, dunkel) bis fast zur Oberkante der polykristallinen ferroelektrischen Schicht, dazwischen ist die dielektrische Schicht zu erkennen. Abbildung 8.15 nimmt Bezug auf die Beschriftung.



**Abbildung 8.14:** Ausschnitt aus der TEM-Aufnahme eines Pt/SBT/CeO<sub>2</sub>/Si-Kondensators aus Abbildung 8.13. Es scheint zwei oder drei unterschiedliche Zwischenschichten (markiert) zu geben.

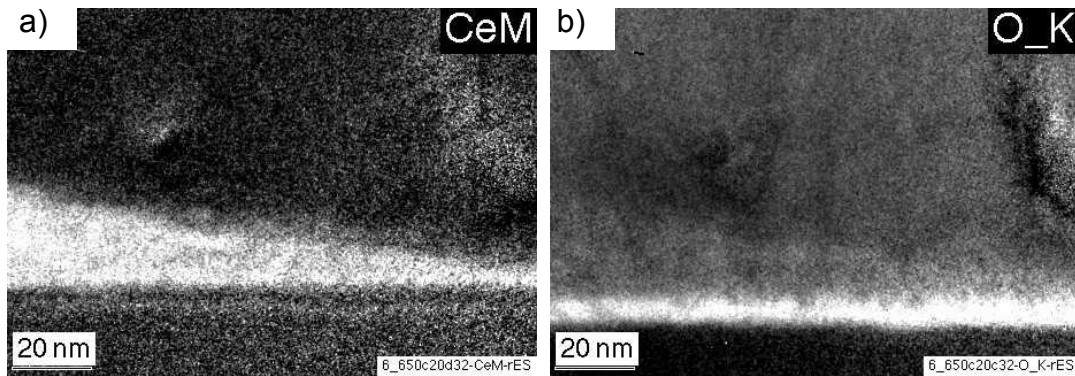
Die EDX-Analyse in Abbildung 8.15 an diesen Schichten zeigt, dass sie reich an Cer sind und dass sowohl der Cer- als auch der Silizium-Gehalt von oben nach unten zunimmt. Entsprechend findet man von unten nach oben immer größere Mengen Strontium, Wismut und Tantal, also Bestandteile der SBT-Schicht.



**Abbildung 8.15:** EDX-Analyse des in Abbildung 8.13 gezeigten Pt/SBT/CeO<sub>2</sub>/Si-Kondensators. Auf der Ordinate ist die charakteristische Energie, auf der Abszisse die Intensität in willkürlichen Einheiten aufgetragen. Die drei Kurven wurden an den in Abbildung 8.13 mit c1, b1 und e1 bezeichneten Stellen aufgenommen.

Bei dieser Cer-reichen Schicht an der Grenzfläche zum SBT handelt es sich vermutlich nicht um die eigentliche CeO<sub>2</sub>-Schicht, sondern um eine amorphe Schicht, die im wesentlichen aus Silizium-Oxid besteht. Offenbar wird bei den verschiedenen Temperaturen die Oberfläche des Siliziumsubstrats unter Einbau von Cer zu einem Cer-Silikat oxidiert. Dieses Cer-dotierte Silizium-Oxid hat andere dielektrische Eigenschaften als reines Siliziumdioxid. Die Dielektrizitätskonstante solcher Silikate ist im Allgemeinen größer als die von reinem SiO<sub>2</sub>, weshalb sie für den Einsatz als alternatives Gate-Dielektrikum in MOS-Transistoren untersucht werden. Da diese Schicht amorph ist, kann man nicht nur bessere dielektrische Eigenschaften als für SiO<sub>2</sub> erwarten, sondern auch eine hohe Beweglichkeit der Ladungsträger an dieser Grenzfläche im Kanal des Transistors. Die Gesamtdicke der Cer-reichen Oxid-Schicht liegt bei etwa 7,5 nm.

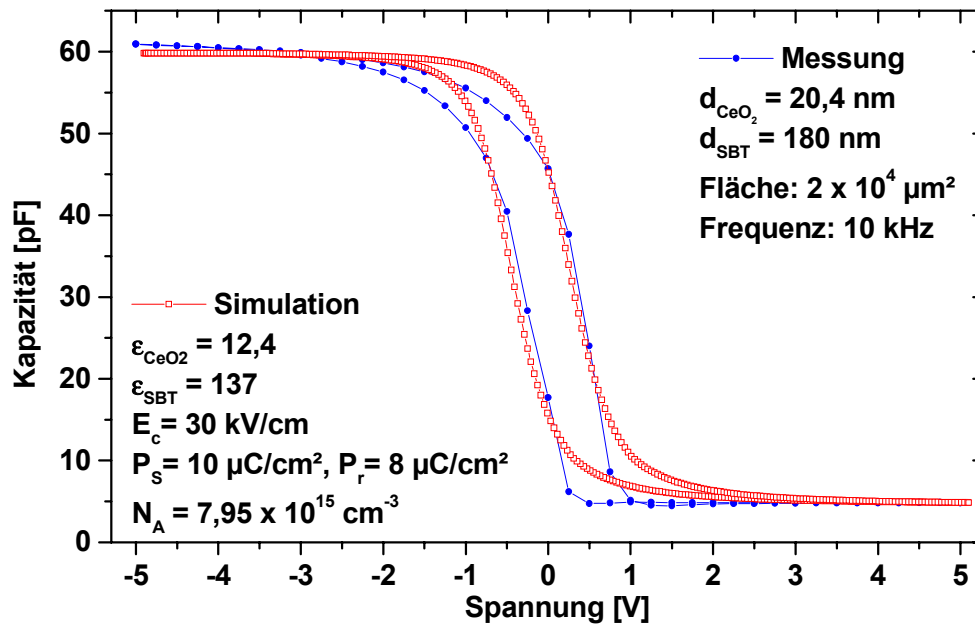
Die elektronen-spektroskopische Analyse der Elementverteilung (ESI: Electron Spectroscopic Imaging) in Abbildung 8.16 a) zeigt, dass über dieser Schicht Bereiche mit extrem hohem Cer-Gehalt existieren. Man sieht deutlich einen Keil hohen Cer-Gehalts mit einer Dicke von wenigen nm bis zu mehr als 20 nm. Die Dicke der Ceroxid-Schicht ist also nicht homogen. In Übereinstimmung mit der Röntgenbeugungsanalyse kann man davon ausgehen, dass es sich hierbei um die polykristalline CeO<sub>2</sub>-Schicht bzw. die Reste dieser Schicht handelt. Spuren von Ce, die auch über und unter der keilförmigen Struktur zu erkennen sind, können durch Diffusion dorthin gelangt sein, es kann sich aber auch um einen Effekt der Präparation handeln. In jedem Fall wird das Ergebnis der EDX-Analyse reproduziert, da auch in der amorphen Schicht unter dem Keil eine Linie mit deutlich erhöhter Cer-Konzentration sichtbar ist. Abbildung 8.16 b) zeigt dieselbe Probenstelle wie Bild a), diesmal allerdings wird der Sauerstoffgehalt abgebildet. Die unter dem Gebiet hoher Cer-Konzentration liegende Schicht mit hohem Sauerstoff-Anteil, die bereits in Abbildung 8.13 und Abbildung 8.14 zu sehen war, findet man hier wieder. Der enorm hohe Anteil von Sauerstoff deutet ebenfalls auf eine Oxidverbindung hin.



**Abbildung 8.16:** ESI-Analyse der dielektrischen Zwischenschicht in einem Pt/SBT/CeO<sub>2</sub>/Si-Kondensator. Im linken Bild ist deutlich eine an Cer reiche Zwischenschicht zu sehen (hell), die keilförmig verläuft. Das rechte Bild zeigt dieselbe Probenestelle, diesmal aber auf den Sauerstoffgehalt hin untersucht.

Wegen des hohen Aufwands, den TEM-Analysen erfordern, konnten im Rahmen dieser Arbeit keine zusätzlichen Untersuchungen durchgeführt werden. Die erfolgte Analyse weist allerdings auf einige wichtige Punkte hin. Es gibt keine reine CeO<sub>2</sub>-Schicht homogener Dicke zwischen Silizium und SBT. Silizium wird unter Einbau von Cer zu einem Silizium-Oxid bzw. Silikat oxidiert. Über dieser Schicht gibt es eine vermutlich auch nach der SBT-Abscheidung polykristalline CeO<sub>2</sub>-Schicht oder einen Rest davon, dessen Dicke schwankt. Bei den Kondensatoren mit ferroelektrischer Schicht muss man deswegen davon ausgehen, dass sowohl die Art als auch die Dicke der Schicht sich durch die Abscheidung des SBT verändert. Die ellipsometrisch ermittelten und bei allen bisher gezeigten Ergebnissen angegebenen Dicken der CeO<sub>2</sub>-Schicht unter dem SBT stimmen also nicht vollständig mit der Realität überein. Sie stellen vielmehr einen nominellen Wert für die reine CeO<sub>2</sub>-Schicht dar, der tatsächliche Wert hängt stark von den noch folgenden Prozessen zur SBT-Abscheidung und -Behandlung ab. Trotzdem sind sie das einzig mögliche Maß für Veränderungen der dielektrischen Schichtdicke, da diese nach dem Aufbringen der ferroelektrischen Schicht nicht mehr zuverlässig durch optische oder elektrische Messungen ermittelt werden kann. In jedem Fall aber gibt diese Analyse eine Erklärung für den nur mäßigen Anstieg der Kapazität bei abnehmender Dicke der CeO<sub>2</sub>-Schicht.

Die Computer-Simulation stellt eine weitere Methode dar, die Übereinstimmung zwischen theoretischen und praktischen Werten zu überprüfen. Abbildung 8.17 zeigt eine gemessene und eine berechnete  $C(U)$ -Kurve (Simulation von M. Ullmann). In der Abbildung findet man rechts die ellipsometrisch ermittelten Schichtdicken sowie die Größe des Kondensators und die Frequenz, bei der die Kurve gemessen wurde. Links finden sich zusätzlich die der Simulation zu Grunde gelegten Werte für beide Dielektrizitätskonstanten, die Koerzitivfeldstärke, die gesättigte und die remanente Polarisation sowie die Dotierung des Substrates.



**Abbildung 8.17:** Gemessene und simulierte  $C(U)$ -Kurve eines Pt/STB/CeO<sub>2</sub>/Si-Kondensators. Alle wichtigen Größen sind in der Legende angegeben.

Alle Annahmen stimmen gut mit den bekannten Daten von SBT überein. Unter diesen Annahmen werden minimale und maximale Kapazität, die Lage der beiden Kurven und sogar die Größe des Memory Window von der Simulation gut reproduziert. Die Dielektrizitätskonstanten wurden so angepasst, dass sich die bestmögliche Übereinstimmung zwischen Messung und Simulation ergibt.

Bei den Analysen mit Hilfe von TEM, EDX und ESI wurde sichtbar, dass die dielektrische Schicht nach der SBT-Abscheidung sehr wahrscheinlich aus einer polykristallinen Schicht CeO<sub>2</sub> inhomogener Dicke und einer darunter liegenden dünneren Schicht aus Cer-Silikat besteht. Eine Dielektrizitätskonstante von etwa 12 erscheint für diese Schichtkombination in der ermittelten Dicke möglich und wahrscheinlich. Die Daten, die mit unterschiedlichen Analysemethoden und Messverfahren generiert wurden, stimmen also gut überein.

#### 8.4.4 Messungen an Pt/STB/Pt- und Pt/STB(CeO<sub>2</sub>)/Pt-Kondensatoren

Bei der Entwicklung ferroelektrischer Speicher mit einem ferroelektrischen Kondensator befindet sich die ferroelektrische Schicht normalerweise zwischen zwei gleichartigen Metall-Elektroden, beispielsweise aus Platin. Da beide Elektroden metallisch und symmetrisch sind, lassen sich an einem solchen Bauteil leichter die charakteristischen Größen der ferroelektrischen Schicht messen. Meistens wird angenommen, dass so bestimmte Werte für diese Größen auch für die ferroelektrische Schicht im Gate-Stack des Transistors gelten. Dass dies nicht selbstverständlich ist, legt der Schichtaufbau des Gate-Stack nahe: Beim Transistor wird die SBT-Schicht nur von einer inerten Metallelektrode begrenzt. Auf der gegenüberliegenden Seite befinden sich die dielektrische Schicht und das Halbleiter-Substrat. Wie schon die Veränderung der Grenzflächenzustände mit der Temperatur vermuten lässt, findet Diffusion zwischen allen

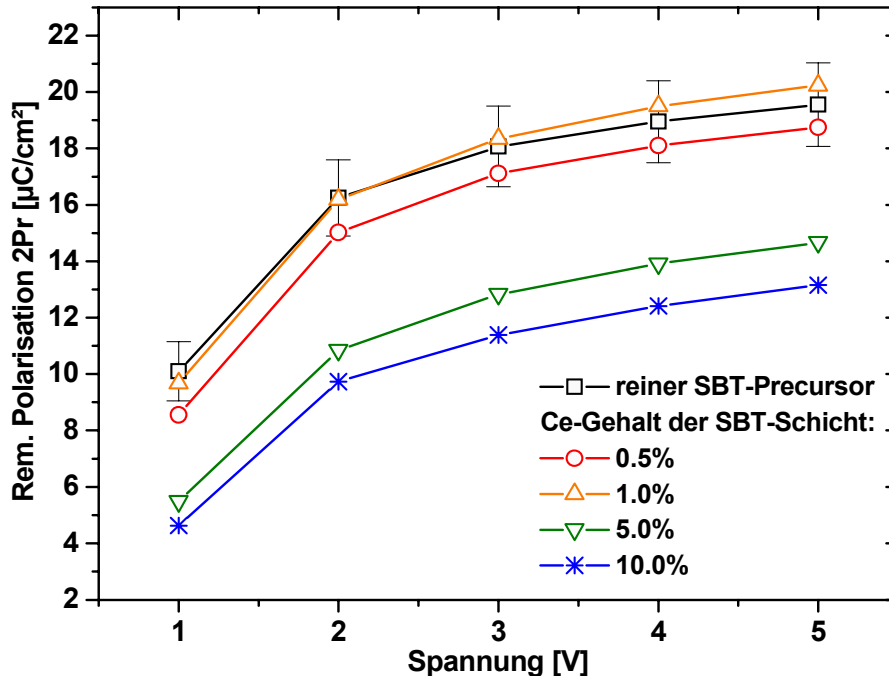
Bestandteilen statt. Die dielektrische und die ferroelektrische Schicht sowie das Substrat beeinflussen sich auf diese Weise gegenseitig. Als Maß für den Einfluss von  $\text{CeO}_2$  und SBT auf das Substrat dient am besten die Grenzflächenzustandsdichte.

Beim Transistor ist die Ladungsträgerbeweglichkeit ein gutes Kriterium für die Auswirkungen der angrenzenden Schichten auf das Substrat, da durch Diffusion entstandene Grenzflächenzustände die Beweglichkeit verringern. Durch das Aufbringen der ferroelektrischen Schicht ändern sich auch die Eigenschaften der dielektrischen Schicht im Vergleich zur reinen MIS-Diode. Besonders interessant ist die Änderung der Eigenschaften der ferroelektrischen Schicht durch das benachbarte Silizium und durch die Anwesenheit der dielektrischen Schicht. Dass die Qualität der Grenzfläche zwischen Silizium und Isolator mit und ohne SBT-Schicht für einen Transistor ausreichend ist, wurde bereits gezeigt. Die dielektrische Schicht ist nach der Prozessierung der SBT-Schicht zwar verändert aber immer noch intakt, wie die  $C(U)$ -Kurven beweisen.

Es stellt sich aber die Frage, ob die ferroelektrischen Eigenschaften des SBT durch das  $\text{CeO}_2$  beeinflusst werden und sich von denen einer SBT-Schicht zwischen zwei Platin-Elektroden deutlich unterscheiden. Als Konsequenz müsste z.B. das gemessene Memory Window anders interpretiert werden. Eine Antwort lässt sich nur experimentell finden. Man kann dafür das einfachere System des Kondensators mit zwei metallischen Elektroden heranziehen. Anstatt die Bestandteile benachbarter Schichten bei entsprechender Temperatur diffundieren zu lassen, wird das Ergebnis der Diffusion vorweggenommen. Vor der Abscheidung der ferroelektrischen Schicht wurde dazu der Precursor für die SBT-Schicht mit geringen Mengen des Precursors für die  $\text{CeO}_2$ -Schicht vermischt. Anstatt einer linearen und einer ferroelektrischen Kapazität in Serie erhält man auf diese Weise eine ferroelektrische Kapazität zwischen zwei Metallelektroden, deren wesentliche Eigenschaften sich einfach bestimmen lassen und sich in Abhängigkeit vom Cer-Gehalt im SBT verändern.

Bei den gegebenen Schichtdicken und Precursor-Konzentrationen ließen sich durch Vermischen der Precursoren vier verschiedene sinnvolle Cer-Konzentrationen zwischen 0,5 und 10 Prozent im SBT verwirklichen. Unter Berücksichtigung der Molarität beider Precursoren wurden dem SBT-Precursor entsprechende Anteile an  $\text{CeO}_2$ -Precursor zugegeben. Die angegebene Konzentration von Ce in der SBT-Schicht bezieht sich also auf das Ausgangsmaterial und berücksichtigt keine Verluste oder Veränderungen durch Diffusion oder Abweichungen zwischen tatsächlicher und theoretischer Konzentration des Precursors. Anschließend wurden nach dem in Abbildung 8.1 beschriebenen Prozess Kondensatoren hergestellt, diesmal aber nicht auf  $\text{Si/CeO}_2$  als Unterlage sondern auf Pt-Elektroden. Zum Vergleich wurde an Pt/SBT/Pt-Kondensatoren mit reinem SBT und an Pt/SBT( $\text{CeO}_2$ )/Pt-Kondensatoren, also mit Cer verunreinigten SBT-Schichten, gemessen. Dieses Experiment soll Veränderungen zeigen, die sich ergeben, wenn die Diffusion bei unterschiedlichen Temperaturen und thermischen Budgets zu unterschiedlich großen Cer-Konzentrationen in der SBT-Schicht führt. Die Schichtdicke der reinen SBT-Schicht beträgt 180 nm. Steigt der Anteil des Cer-Precursors am SBT-Precursor, so sinkt die Schichtdicke. Bei 10 Prozent Cer-Gehalt erhält man schließlich nur noch eine Schichtdicke von ca. 170 nm, wie eine Messung mit dem Ellipsometer zeigt.

Bedingt durch die kleinen Flüssigkeitsmengen (hier wenige  $\mu\text{l}$ ) sind die Fehler sehr groß. Bei kleinen Konzentrationen von 0,5 bzw. 1,0 Prozent kann der absolute Fehler mit etwa 0,5% abgeschätzt werden, bei größeren Werten nimmt er auf ca. 1 Prozent zu, der relative Fehler damit entsprechend ab. Alle Ergebnisse sind also mit entsprechender Vorsicht zu interpretieren.



**Abbildung 8.18:** Abhängigkeit der remanenten Polarisation von Pt/SBT/Pt-Kondensatoren von der Spannung; Parameter ist der Cer-Gehalt des SBT-Precursors. Der SBT-Precursor wurde mit dem  $\text{CeO}_2$ -Precursor vermischt, um die angegebenen Konzentrationen von Cer in der SBT-Schicht zu erhalten.

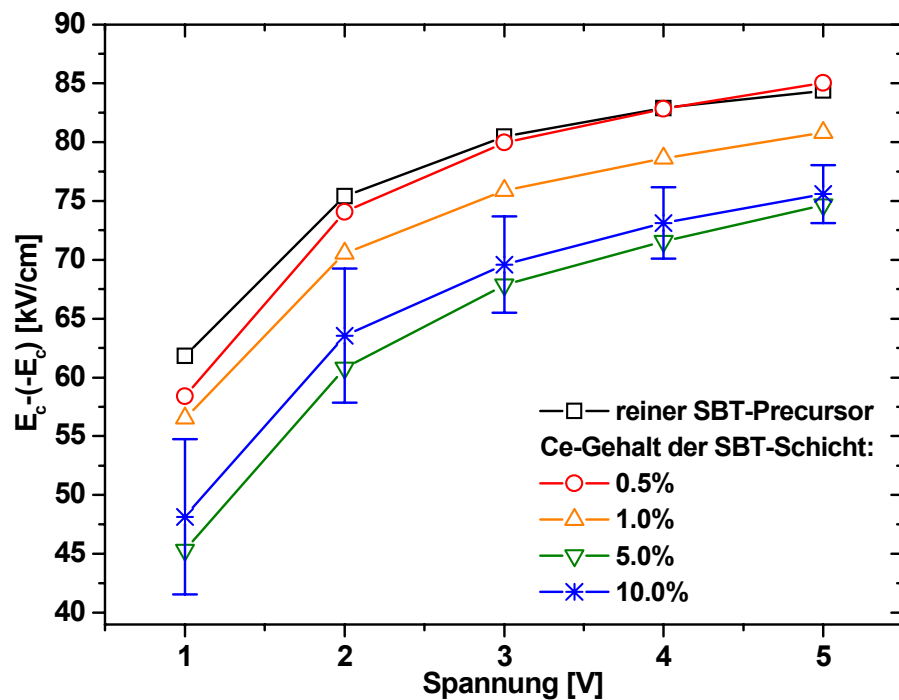
Abbildung 8.18 zeigt, wie die remanente Polarisation bei verschiedenen hohen Cer-Anteilen in der SBT-Schicht von der Spannung abhängt. Aus Gründen der Übersichtlichkeit ist nur für Werte der reinen SBT-Schicht ein Fehlerbalken angegeben, die Fehler der anderen Kurven sind vergleichbar. Die aufgetragenen Werte stellen jeweils den Mittelwert aus zehn Messungen an verschiedenen Kondensatoren eines Waferbruchstückes dar. Kleine Mengen an Cer haben danach kaum Einfluss auf die Polarisation der SBT-Schicht. Eine systematische Veränderung ist nicht festzustellen, da die Probe mit 0,5 Prozent Cer-Anteil durchwegs kleinere Werte als reines SBT ergibt, während 1 Prozent Cer im SBT sogar zu größerer Remanenz führt, zumindest bei größeren Spannungen. Erst bei deutlich größerer Konzentration ist eine Veränderung zu sehen, bei 5 bzw. 10 Prozent nimmt die remanente Polarisation deutlich ab. Bei kleinen Spannungen sind die Unterschiede größer (Faktor 2,2 zwischen reinem SBT und 10 Prozent Cer-Gehalt), während sie bei größeren Spannungen abnehmen (Faktor 1,5 zwischen reinem SBT und 10 Prozent Cer-Gehalt).

Auch bei großen Cer-Anteilen in der ferroelektrischen Schicht ist die remanente Polarisation also bei weitem ausreichend, um die für den Transistor nötigen Ladungsdichten von ca.  $0,1 \mu\text{C}/\text{cm}^2$  im Substrat zu erzeugen. Ein hoher Cer-Gehalt und das Absinken der Polarisation erweisen sich sogar als günstig, da die Belastung der dielektrischen Schicht mit sinkender



Polarisation abnimmt. Nach den Ergebnissen in Abbildung 8.18 ist dieser Vorteil besonders groß bei kleinen Spannungen, wie sie für den Transistor angestrebt werden.

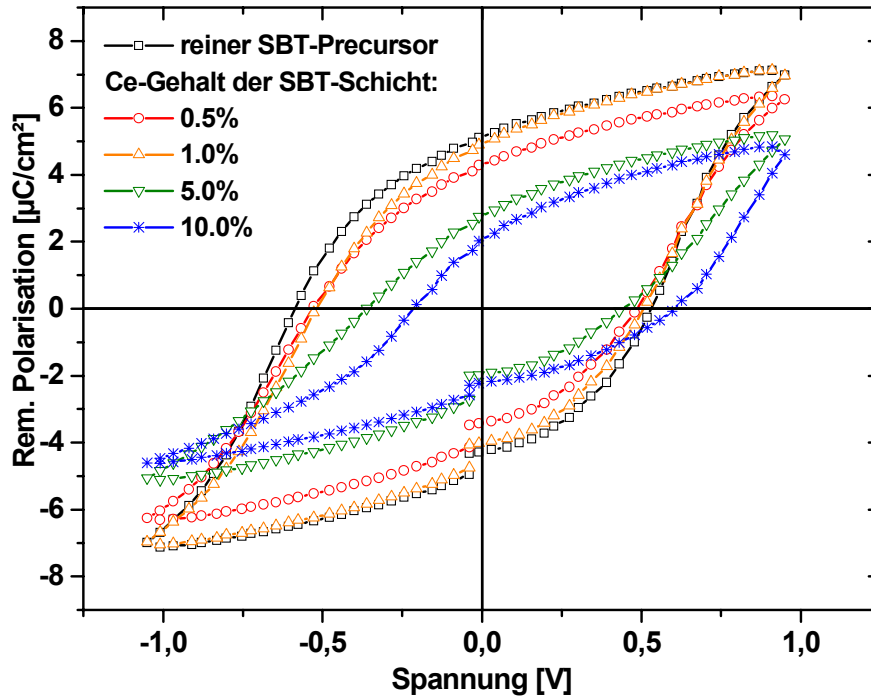
Abbildung 8.19 zeigt, wie die zweite wichtige Größe, die Koerzitivfeldstärke der SBT-Schicht, von deren Cer-Gehalt abhängt. Es ergibt sich ein ähnliches Bild wie in Abbildung 8.18: Große Veränderungen sind vor allem bei hohem Cer-Gehalt zu beobachten. Im Unterschied zur remanenten Polarisation ändert sich die Koerzitivfeldstärke aber bereits bei 1 Prozent Cer-Anteil in der SBT-Schicht merklich.



**Abbildung 8.19:** Abhängigkeit der Koerzitivfeldstärke von Pt/SBT/Pt-Kondensatoren von der Spannung; Parameter ist der Cer-Gehalt der SBT-Schicht.

Wieder ist der Fehler wegen der besseren Übersicht nur bei einer Kurve, nämlich der für 10 Prozent Cer-Gehalt eingezeichnet, bei welcher der größte Fehler gemessen wurde. Außerdem ist bei den aufgetragenen Werten berücksichtigt, dass die Dicke der mit Cer versetzten SBT-Schicht bei einem Cer-Anteil von 10 Prozent nur noch 170 nm beträgt. Die einzelnen Kurven verlaufen über der Spannung weitgehend parallel zueinander, d.h. abgesehen von einer Verschiebung der gesamten Kurve abhängig vom Cer-Gehalt bleibt die Charakteristik der Abhängigkeit dieselbe. Erstaunlich ist jedoch, dass die Koerzitivfeldstärke von 5 zu 10 Prozent nicht weiter ab- sondern plötzlich wieder zunimmt. Bei der Suche nach der Ursache für dieses Verhalten ergibt die Röntgenbeugung Indizien dafür, dass bei 10 Prozent Cer in der SBT-Schicht bereits eine Sekundärphase an CeO<sub>2</sub> in der SBT-Schicht existiert, für deren Existenz es bei 5 Prozent noch keine Anhaltspunkte gibt. Möglicherweise fällt ein Teil der über der SBT-Schicht angelegten Spannung über dieser Sekundärphase mit geringerer Dielektrizitätskonstante ab, was zu einer vermeintlich größeren Koerzitivfeldstärke der Gesamtschicht führt. Ähnliche Beobachtungen werden in [Jin00] beschrieben, wo der Einfluss einer Cer-Dotierung auf PZT untersucht wird.

Dieses Ergebnis hat eine wichtige Konsequenz für den Transistor. Es bedeutet, dass die erforderliche Betriebsspannung nicht nur wie bisher angenommen von den Eigenschaften des Halbleiters und wichtigen Größen der verwendeten Materialien, wie Dielektrizitätskonstante und Schichtdicke, abhängt, sondern dass auch die Diffusion für die Betriebsspannung unter Umständen eine Rolle spielt. Beim Erarbeiten eines Gesamtprozesses zur Herstellung ferroelektrischer Transistoren muss also von Anfang an die Veränderung der Koerzitivfeldstärke der ferroelektrischen Schicht durch Diffusion berücksichtigt werden. Unter Umständen kann die Diffusion sogar dazu beitragen, die gewünschten Eigenschaften einzustellen [Jin00].



**Abbildung 8.20:** Hysteresekurven von Pt/STB/Pt-Kondensatoren bei kleiner Spannung; Parameter ist der Cer-Gehalt der STB-Schicht.

Auch der Verlauf der Hysteresekurven der untersuchten Pt/STB(Ce)/Pt-Kondensatoren hängt vom Cer-Gehalt der STB-Schicht ab. Abbildung 8.20 zeigt Hysteresekurven bei  $\pm 1$  Volt, Abbildung 8.21 die entsprechende 5-Volt-Hysteresekurve. Je mehr Cer in der STB-Schicht eingebaut ist, desto flacher werden die sonst steil verlaufenden Bereiche der Hysteresekurve. Das ausgeprägt ferroelektrische Verhalten der reinen STB-Schicht nimmt langsam ab, auch wenn die Hysterese bei 10 Prozent Cer-Gehalt und einer Spannung von 1 Volt noch deutlich erkennbar ist. Misst man die entsprechenden Hysteresekurven bei einer Spannung von 5 Volt, werden die Unterschiede zwischen den Kurven geringer. Mit steigendem Cer-Gehalt misst man bei beiden Spannungen eine kleiner werdende remanente Polarisation, eine sinkende Koerzitivfeldstärke und weniger symmetrische Kurven.

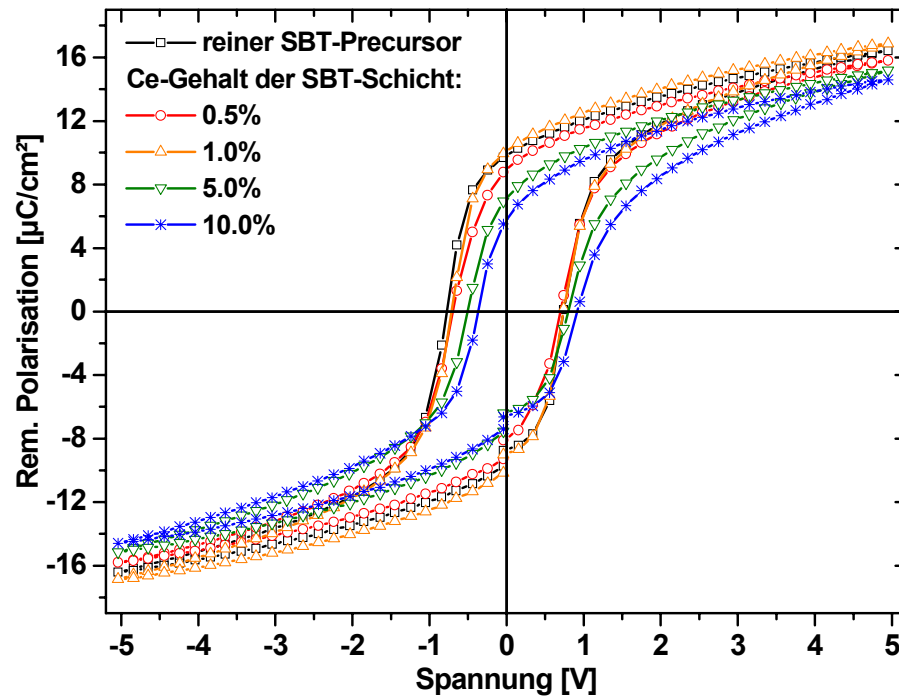


Abbildung 8.21: Hysteresekurven von Pt/SBT/Pt-Kondensatoren bei großer Spannung; Parameter ist der Cer-Gehalt der SBT-Schicht.

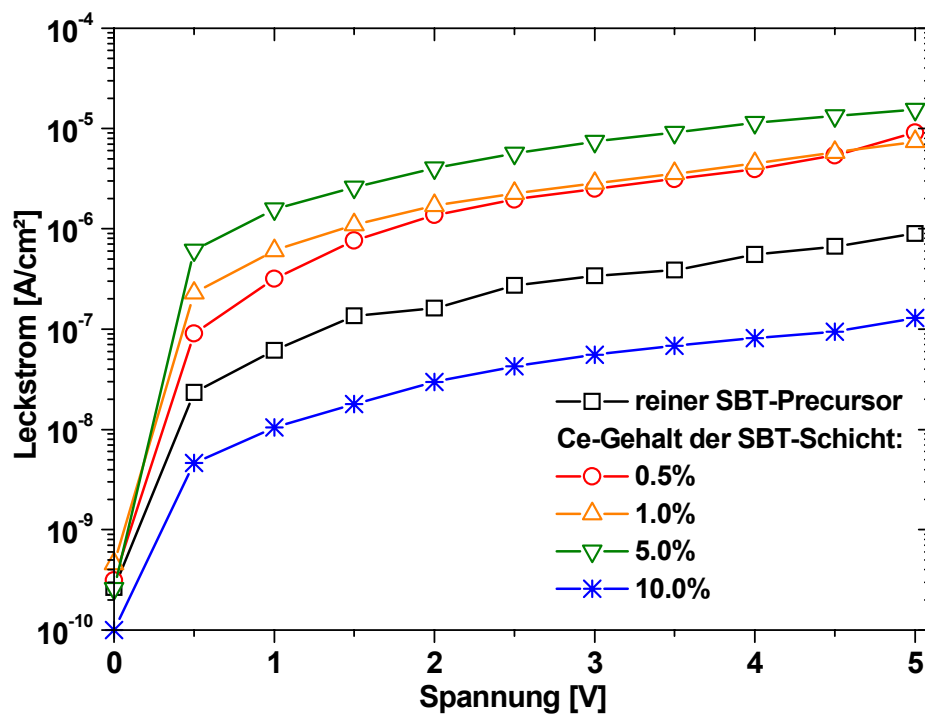


Abbildung 8.22: Leckströme durch Pt/SBT/Pt-Kondensatoren; Parameter ist der Cer-Anteil in der SBT-Schicht.

In Zukunft sollten besonders Leckströme besser untersucht werden. Sie beeinflussen z.B. die Form der hier beobachteten Hysteresekurven, spielen aber auch eine wesentliche Rolle für die Datenhaltung des Transistors und alle anderen wichtigen Größen, beispielsweise die

Betriebsspannung bzw. die Leistungsaufnahme und nicht zuletzt die Zeitkonstanten beim Lesen, Schreiben und Löschen. In dieser Arbeit konnten Leckströme nicht ausführlich charakterisiert werden. An allen hergestellten Proben wurden aber zumindest einfache Leckstrommessungen gemacht. Damit konnte ausgeschlossen werden, dass sich die Eigenschaften der ferroelektrischen Schicht durch Diffusion so drastisch verändern, dass sie für den Transistor unbrauchbar wird. Abbildung 8.22 zeigt Leckströme an denselben Pt/SBT/Pt-Kondensatoren, deren Hysteresekurven in den letzten Abbildungen dargestellt waren. Bei der dargestellten Messung wurde die jeweilige Spannung an den Kondensator angelegt und der Strom nach einer Wartezeit von einer Sekunde gemessen. Auf Grund der Relaxation der Schichten misst man bei kleinerer Wartezeit zum Teil um bis zu zwei Größenordnungen höhere Ströme, bei längerer Wartezeit entsprechend kleinere Ströme. Vor der Messung wurde der Kondensator durch einen Spannungspuls von 5 Volt mit demselben Vorzeichen wie bei der anschließenden Messung in die entsprechende Richtung polarisiert. Man erkennt eine etwa exponentielle Zunahme des Leckstromes mit der Spannung, deren Steigung unabhängig vom Cer-Gehalt der Schicht ist. Bis zu einem Cer-Anteil von 5% nimmt der Leckstrom um mehr als eine Größenordnung zu. Erst danach zeigt sich überraschend eine drastische Abnahme auf einen Wert, der fast eine Größenordnung unter dem für die reine SBT-Schicht liegt. Gleichzeitig liefert eine Röntgenbeugungsanalyse dieser Schicht Indizien für die Existenz einer CeO<sub>2</sub>-Phase innerhalb der SBT-Schicht. Zwar sind nur kleine Peaks im Spektrum zu sehen, aber das Spektrum dieser Probe unterscheidet sich deutlich von dem der anderen Proben. Die Vermutung liegt also nahe, dass die Verringerung des Leckstromes mit der Bildung einer CeO<sub>2</sub>-Phase in der SBT-Schicht zusammen hängt. Leckströme an SBT-Schichten zwischen einer Metall- und einer Halbleiterelektrode werden auch in [Vic03] untersucht.

Zusammenfassend ist für den Gate-Stack aus CeO<sub>2</sub> und SBT festzuhalten:

- Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren wurden erfolgreich hergestellt, die für den ferroelektrischen Transistor wichtigsten Eigenschaften wurden untersucht.
- Röntgenbeugungs-Analysen zeigen, dass die Bildung der ferroelektrischen Aurivillius-Phase von SBT bei ca. 590°C beginnt und die Temperung am besten bei ca. 700°C vorgenommen wird.
- $C(U)$  Messungen belegen eindeutig die ferroelektrischen Eigenschaften der Kondensatoren durch eine Verschiebung der Kurven bei Hin- und Rücklauf, das sog. Memory Window.
- Dünnere dielektrische Schichten haben kaum Einfluss auf das Memory Window, da die Kapazität der Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren nahezu unabhängig von der Dicke der dielektrischen Schicht ist. Eine dickere SBT-Schicht mit ca. 400 nm statt 180 nm zeigt dagegen auch bei kleinen Spannungen ein größeres Memory Window, das maximal etwa 2 Volt erreicht.
- TEM-Aufnahmen zeigen, dass die CeO<sub>2</sub> unter dem SBT nicht in rein polykristalliner Form vorliegt, sondern aus einer amorphen Cer-haltigen Schicht und einer polykristallinen CeO<sub>2</sub>-Schicht bzw. Resten davon besteht.
- Durch Diffusion von Cer in das SBT bei Temperschritten sinken remanente Polarisierung und die Koerzitivfeldstärke, was sich günstig für den Transistor sein kann.
- Bei geeignet gewählten Prozessbedingungen besitzt die Schichtkombination aus SBT und CeO<sub>2</sub>-Schicht elektrische Eigenschaften, wie sie für den Bau eines ferroelektrischen Transistors erforderlich sind.





## 9 Integration des MFISFET

In fast allen Veröffentlichungen zum ferroelektrischen Transistor wird bereits in der Einleitung erklärt, warum dieser Transistor so attraktiv ist: Er macht als erstes Bauteil der Mikroelektronik eine Speicherzelle möglich, die fast alle Vorteile herkömmlicher Halbleiterspeicher auf sich vereint. Vor allem das nicht-flüchtige Speichern und das prinzipiell mögliche nicht-zerstörende Auslesen der Information in Verbindung mit der erwarteten niedrigen Betriebsspannung (vgl. Kapitel 2.2.4) machen einen solchen Speicher universell einsetzbar. Noch dazu soll die Speicherzelle aus nur einem Transistor ohne zusätzliche Elemente bestehen. Man erhofft sich deshalb eine sehr hohe Integrationsdichte, also eine große Flächendichte der gespeicherten Information und damit einen geringen Verbrauch teurer Substratfläche. Auch zum Aufbau neuronaler Netze aus ferroelektrischen Transistoren gibt es Ideen [Ish93], [Yoo99], [Yoo99a], [Yoo99b].

Leider wird in fast keiner Publikation erwähnt, wie Speicher für mehr als ein Bit konzipiert sein sollen. Abgesehen von konventionellen Bauweisen wie der einfachen NAND- oder NOR-Anordnung gibt es dazu kaum veröffentlichte Vorschläge [Ish96], [Nak95], [Zha02]. In einigen Fällen liegen diese Ideen in der Zukunft des technisch Machbaren [Hany99]. Warum diese Ansätze wenig Erfolg versprechend sind, wird später erläutert. Der ferroelektrische Transistor wird im Zeitalter von Gigabit-DRAMs aber nur weiterentwickelt, wenn erkennbar ist, wie man damit große Speicher bauen kann. Also müssen in Analogie zu anderen Transistor-Speichern neue Zellkonzepte erarbeitet werden, die eine matrixartige Anordnung vieler solcher Transistoren zu einem großen Array von Speicherzellen erlauben. Als Speicherzelle bezeichnet man die kleinste sich periodisch wiederholende Einheit in einem Halbleiterspeicher, die in der Lage ist, mindestens ein Bit zu speichern. Bei Multi-Level-Speichern können in einer Zelle auch zwei oder mehr Bits gespeichert werden. Im Folgenden werden Vorschläge für Zellkonzepte mit ferroelektrischen Transistoren vorgestellt, die die Besonderheiten des ferroelektrischen Transistors berücksichtigen.

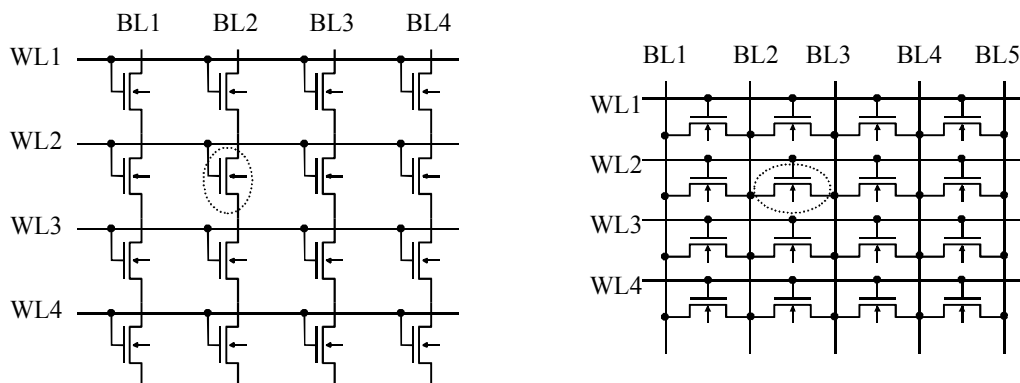
Die scheinbar einfache Regel lautet: Für jeden einzelnen Transistor oder eine Spalte oder Zeile von Transistoren in einer Matrix müssen die drei Zustände Lesen, Schreiben und Löschen von Information ermöglicht werden, ohne den Informationszustand der übrigen benachbarten Transistoren ungewollt zu verändern.

### 9.1 Transistorspeicher - der Floating-Gate-Transistor

Flash-Speicher oder (E)EPROMs sind die Halbleiterspeicher, die Speichern auf der Grundlage des ferroelektrischen Transistors am ähnlichsten sind. Bei diesen Speichern wird der Feldeffekttransistor selbst als Information speicherndes Element eingesetzt. Es sollte daher

möglich sein, Zellkonzepte - also matrizenartige Anordnungen einzelner, je ein Bit speichernder Transistoren - dieser Speichertypen auf den ferroelektrischen Transistor zu übertragen. Leider erweist sich sowohl das Einschreiben und Löschen als auch das Auslesen der Information bei der Kombination des ferroelektrischen Transistors mit bekannten Standard-Zellenfeldern als problematisch bis unmöglich.

Will man Information nicht-flüchtig in einem Transistor speichern, so verwendet man normalerweise Floating-Gate-Transistoren. Bei diesen befinden sich typisch zwei Gates über dem Kanal des Transistors, das Floating-Gate und das Control-Gate. Das Floating-Gate dient zum Speichern von Information und besteht z.B. aus hochdotiertem polykristallinem Silizium, das von Siliziumdioxid eingeschlossen und dadurch gegen die Umgebung isoliert ist. Darüber befindet sich das Control-Gate, das zum Ansteuern eines Transistors in einem Zellenfeld dient. Über die Spannung am Control-Gate wird der Betriebszustand definiert: Lesen, Schreiben oder Löschen. Die genauen Prozeduren zum Einschreiben oder Löschen von Information sind teilweise kompliziert und beinhalten eine wohldurchdachte Verteilung der Versorgungsspannung auf Source, Drain, Gate und teilweise auch Wannen oder Substratbereiche in Zellenfeldern. Letztendlich kommt es darauf an, Netto-Ladung aus dem Kanal des Transistors oder aus dem Control-Gate auf das Floating-Gate zu bringen. Bei großen Spannungen beginnen Ladungsträger durch die Oxidschicht zu tunneln, die das Floating-Gate umgibt. Da die Oxidschicht nur bei großen Spannungen durchtunnelt werden kann, bleiben die Ladungen nach dem Abschalten der Spannung auf dem Floating-Gate. Das von ihnen ausgehende elektrische Feld führt - wie das Feld der remanenten Polarisation beim ferroelektrischen Transistor - zu einer Verschiebung der Schwellspannung des Transistors, die innerhalb einer Transistormatrix detektiert werden kann.



**Abbildung 9.1:** Einfache Darstellung einer NAND- (links) und einer NOR-Anordnung (rechts). Um einen Transistor zum Lesen, Einschreiben oder Löschen eines Bits auszuwählen, muss er durch Anlegen einer Spannung an die entsprechenden Wort- (WL) und Bitleitungen (BL) ausgewählt werden.

Die Dicke des Isolators wird so gewählt, dass eine Datenhaltung im Bereich von 15 Jahren erreicht wird. Der Nachteil dabei ist, dass Spannungen in der Größenordnung von 10 Volt und mehr erforderlich sind, um diese Speicher zu beschreiben. Der Vorteil liegt darin, dass Zellen aus solchen Transistoren sich bei kleinen Spannungen auslesen lassen, ohne die Zustände benachbarter Zellen zu beeinträchtigen. Das Tunneln der Ladungsträger zum oder vom Floating-Gate beginnt bei den verwendeten Oxiddicken erst bei einer definierten Spannung in der Größenordnung von ca. 10 Volt. Von diesem Punkt an besteht ein exponentieller



Zusammenhang zwischen dem Tunnelstrom und der angelegten Spannung. Bleiben die Spannungen deutlich unter diesem Wert, wird der Ladungszustand des Floating-Gates nicht verändert, es erfolgt keine Nettoladungsänderung.

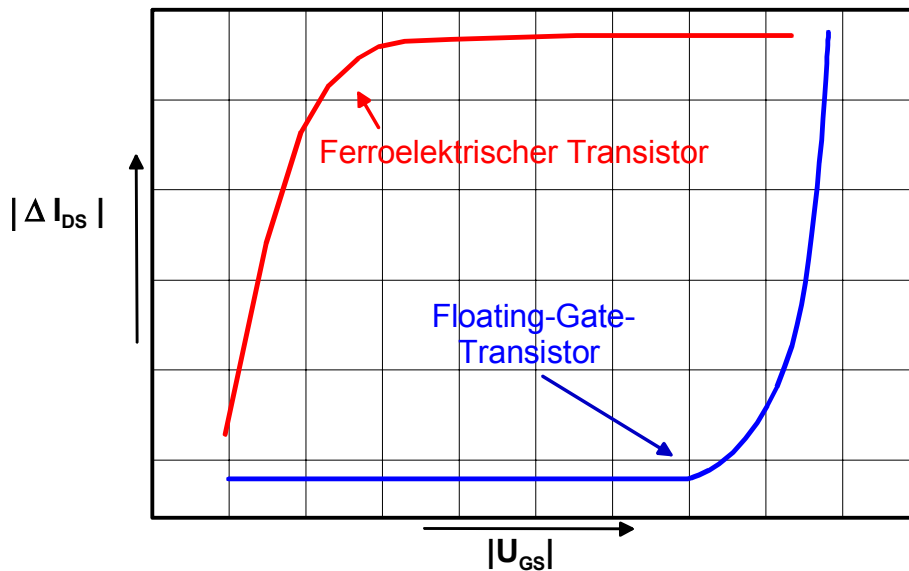
Abbildung 9.1 zeigt eine einfache Darstellung einer NAND- und einer NOR-Anordnung, wie sie für Flash-Speicher oder (E)EPROMs verwendet werden. Um einen der gekennzeichneten Transistoren für eine bestimmte Operation auszuwählen, wird an die entsprechenden Wort- bzw. Bitleitungen die erforderliche Spannung angelegt. Bei der in Abbildung 9.1 dargestellten NAND-Anordnung werden WL2 und BL2 durch 1-aus-n-Auswahlschalter außerhalb des Zellenfeldes selektiert, um den markierten Transistor zu adressieren. Ausgelesen wird mit einer Durchgangsprüfung der Bitleitung BL2. Dazu werden alle anderen Transistoren entlang BL2 eingeschaltet. In der NOR-Anordnung wird ebenfalls WL2 angesteuert. Abhängig von der technologischen Ausführung des Speichers und der gewünschten Operation werden zusätzlich beide Bitleitungen BL2 und BL3 oder nur eine davon selektiert. Das Auslesen kann z.B. mit Hilfe einer Durchgangsprüfung zwischen BL2 und BL3 erfolgen, zum Schreiben oder Löschen einer Zelle reicht unter Umständen die Auswahl einer Bitleitung aus. Anstatt einer Bitleitung kann in beiden Fällen auch das Substrat unter dem Transistor bzw. eine entsprechende Wanne verwendet werden, allerdings nur unter der Voraussetzung, dass Substratbereiche oder Wannen entlang einzelner Spalten oder Zeilen separat angesteuert werden können.

Gespeicherte Information wird beim Transistorspeicher auf die Zustände leitfähiger bzw. nicht leitfähiger Transistorkanal abgebildet. Bei Multi-Level-Speichern, die mehr als ein Bit in einer Zelle speichern können, werden weitere Zustände definiert, die zwischen nicht leitfähig und maximal leitfähig liegen. Auslesen von Information bedeutet also immer, den Leitfähigkeitszustand der ausgewählten Zelle zu untersuchen, beispielsweise indem eine Durchgangsprüfung zwischen Drain und Source des entsprechenden Transistors gemacht und die fließende Ladung über einen definierten Zeitraum integriert wird. In einem solchen Speicher gibt es mindestens die beiden Schwellspannungen  $U_{th}^{low}$  und  $U_{th}^{high}$  ( $U_{th}$  sei hier in beiden Fällen positiv). Zum Auslesen der Information werden einzelne Elemente eines Zellenfeldes, Zeilen oder Spalten, von außen adressiert. Die zum Auslesen zugeführte Spannung wird z.B. so gewählt, dass sie zwischen  $U_{th}^{low}$  und  $U_{th}^{high}$  liegt. Ist der Transistor im Zustand  $U_{th}^{low}$ , erhält man abhängig von einer gleichzeitig angelegten Drain-Source-Spannung eine Strom-Antwort des Transistors. Ist der Transistor im Zustand  $U_{th}^{high}$ , so fließt kein Strom. Durch Implantation kann der Ausgangswert der Schwellspannung in einen günstigen Bereich gelegt werden.

Bei der NAND-Anordnung müssen deswegen zum Auslesen einer Zelle alle weiteren seriell angeordneten Transistoren eingeschaltet werden, darunter auch solche, die die Information '0' ('0' sei hier der nicht leitende Zustand) tragen. Bei der NOR-Anordnung müssen alle Transistoren sperren, die parallel zur ausgewählten Zelle angeordnet sind. Deswegen muss die Spannung an den benachbarten Bitleitungen richtig gewählt werden. Im oben genannten Beispiel muss sie kleiner  $U_{th}^{low}$  sein.

## 9.2 Der ferroelektrische Transistor als Speicher

Zwischen Floating-Gate-Transistoren und ferroelektrischen Transistoren gibt es einen maßgeblichen Unterschied im Hinblick auf den Einsatz als Speicherzelle, nämlich die Veränderung des Source-Drain-Stroms  $I_{DS}$  mit der angelegten Gate-Source- oder Gate-Substrat-Spannung  $U_{GS}$ . Die Skizze in Abbildung 9.2 veranschaulicht die Situation.



**Abbildung 9.2:** Einfluss der Gate-Source- bzw. Gate-Substrat-Spannung  $U_{GS}$  auf die Änderung des ‚gespeicherten‘ Kanalstromes  $|\Delta I_{DS}|$ . Bei Speichertransistoren in (E)EPROM oder Flash-Speichern gibt es anders als beim ferroelektrischen Transistor zunächst einen relativ breiten Bereich von Spannungen, in dem der gespeicherte Zustand nicht beeinflusst wird.

$I_{DS}$  sei die Stromantwort des Transistors bei angelegter Drain-Source-Spannung  $U_{DS}$ .  $|\Delta I_{DS}|$  sei die Veränderung dieser Strom-Antwort, die durch eine bestimmte Gate-Source-Spannung  $U_{GS}$  hervorgerufen wird. Beim Einschreiben oder Löschen von Information ist eine solche Veränderung beabsichtigt. Nicht verändern darf sich der Zustand einer Zelle aber beim Auslesen der Information. Und in allen drei Betriebszuständen muss verhindert werden, dass in nicht ausgewählten Zellen gespeicherte Information verändert wird. In diesen Fällen muss  $|\Delta I_{DS}|$  gleich Null sein. Treten trotzdem Veränderungen auf, spricht man Disturb-Problemen, unbeabsichtigten Änderungen der gespeicherten Information durch Spannungsabfall an den entsprechenden Zellen.

Den dargestellten Kurven liegen keine Berechnungen zu Grunde, vielmehr ist ihre Form vom tatsächlich betrachteten Bauteil abhängig, aber der prinzipiell dargestellte Verlauf gilt für alle hier beschriebenen ferroelektrischen und Floating-Gate-Transistoren. Bei letzteren steht zum Auslesen eines Zellenfeldes ein relativ großer Spannungsbereich  $|U_{GS}|$  von einigen Volt zur Verfügung, in dem die gespeicherte Information, also  $|\Delta I_{DS}|$  der ausgewählten wie auch der benachbarten Speicherzellen, nicht verändert wird. Positive wie negative Spannungen  $|U_{GS}|$  von einigen Volt am Gate der Transistoren können so gewählt werden, dass ein Auslesen einzelner Bits, ganzer Zeilen oder Spalten möglich ist. Nur zum Schreiben oder Löschen von

Information werden Spannungen gewählt, die im steil ansteigenden Teil der Kurve in Abbildung 9.2 liegen und das Tunneln von Ladungsträgern ermöglichen.

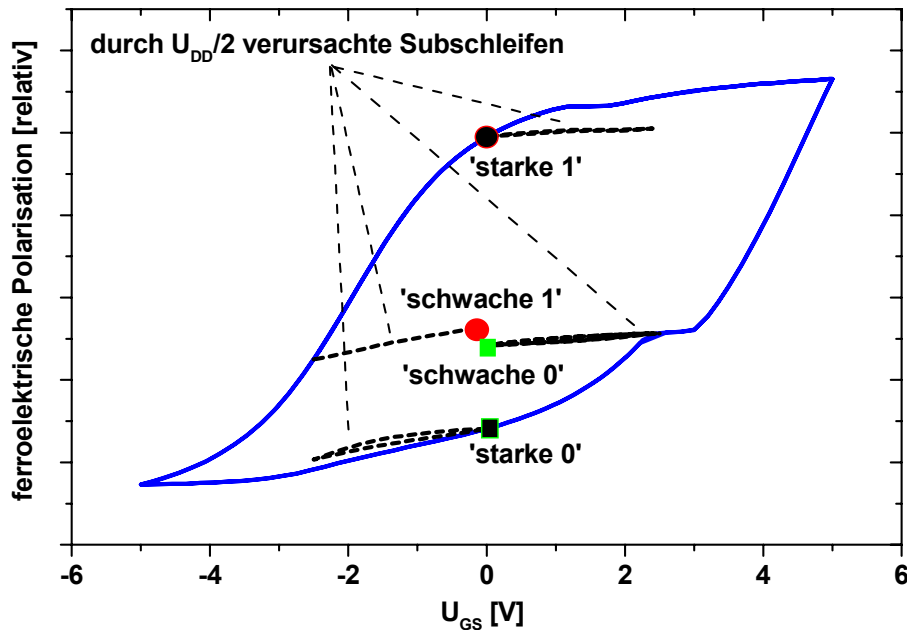
Die Wirkung eines Störimpulses mit der Spannung  $U_{GS}$  hängt außerdem von dessen Vorzeichen ab. Nur wenn die Spannung so gerichtet ist, dass sie dem eingestellten Zustand (also dem Polarisationszustand beim ferroelektrischen oder dem Ladungszustand beim Floating-Gate-Transistor) entgegenwirkt, verursacht sie tatsächlich eine Störung in Form einer Änderung des Signalstromes  $\Delta I_{DS}$ . In Abbildung 9.2 sind deswegen Beträge dargestellt:  $U_{GS}$  kann je nach Zustand der Speicherzelle sowohl bei positivem als auch bei negativem Vorzeichen zu einer unerwünschten Änderung  $|\Delta I_{DS}|$  führen. Auch hier ist der Betrag dargestellt, denn je nach Zustand der Zelle kann das ein unerwünschter Anstieg oder eine Verringerung des Signalstromes sein. Die beiden Kurven in Abbildung 9.2 stellen also den maßgeblichen „worst case“ dar, der durch eine Störspannung hervorgerufen werden kann, aber nicht muss.

Der ferroelektrische Transistor verhält sich anders als der Floating-Gate-Transistor, wie Abbildung 9.2 zeigt. Kleine Spannungsimpulse können zu großen Veränderungen der gespeicherten Information führen, d.h. zu einem großen  $|\Delta I_{DS}|$ . Im Grund ist die Betrachtung der Hysteresekurve eines ferroelektrischen Kondensators mit Metallelektroden an dieser Stelle eine nicht zulässige Vereinfachung. Man stelle sich trotzdem die Punkte remanenter Polarisation einer Hysteresekurve bei 0 Volt vor. Der maßgebliche ungünstigste Fall besteht hier darin, dass ein Störimpuls die Polarisation von diesem Punkt aus (= gespeicherter Zustand) in Richtung des steileren Kurvenabschnitts der Hysteresekurve verändert, bei positiver Remanenz in Richtung abnehmender Polarisation und umgekehrt. Dann reichen schon kleine Störimpulse aus, um eine große Änderung  $|\Delta I_{DS}|$  des Signalstromes zu verursachen. Anders als beim Floating-Gate-Transistor kann deswegen das Plateau, das sich an den steilen Teil der Kurve in Abbildung 9.2 anschließt, nicht sinnvoll für den Betrieb des Speichers genutzt werden. Es gibt keinen Bereich erlaubter Betriebsspannungen  $U_{GS}$  für die unterschiedlichen Betriebsarten.

Das ist der wesentliche Unterschied zwischen beiden Transistorarten, der verhindert, dass man Zellkonzepte für den Floating-Gate Transistor einfach auf den ferroelektrischen Transistor übertragen kann. Häufig wendet die Schaltungstechnik bei Flash-Speichern oder (E)EPROMs die  $U_{DD}/2$ - oder  $U_{DD}/3$ -Regel an. Diese Regel besagt, dass die Spannungen in einer Matrix aus Speichertransistoren in allen Betriebszuständen so verteilt werden, dass an nicht ausgewählten Transistoren, deren Informationsinhalt nicht verändert werden soll, eine Spannung anliegt, die  $U_{DD}/2$  bzw.  $U_{DD}/3$  nicht überschreitet. Als  $U_{DD}$  bezeichnet man die maximale Versorgungs- bzw. Betriebsspannung. Ein Drittel oder sogar die Hälfte des Betrags dieser Spannung verändert den Zustand des Transistors nicht. Damit ist gewährleistet, dass durch beliebig häufiges Auslesen des Speichers weder der Informationsinhalt der ausgelesenen noch derjenige der benachbarten Zellen verändert wird.

Diese Annahme ist für Floating-Gate-Speicher oder Speichertransistoren nach dem ONO-Prinzip (Oxid-Nitrid-Oxid) gerechtfertigt. Für den ferroelektrischen Transistor trifft sie keinesfalls zu, wie Abbildung 9.3 zeigt. Ein Spannungspuls von  $U_{DD}/2$  mit dem entsprechenden Vorzeichen kann die in einem ferroelektrischen Kondensator oder Transistor gespeicherte Information ohne weiteres drastisch verändern. Speicherkonzepte die mit

$eU_{DD}/2$ - oder  $U_{DD}/3$ -Regel arbeiten [Ish99], [Kat96], [Sho96] sind deshalb wenig Erfolg versprechend.



**Abbildung 9.3:** Simulation der ferroelektrischen Polarisation im Gate eines ferroelektrischen MFIS-Transistors in Abhängigkeit von der Gate-Source-Spannung. Neben den ‚starken‘ Zuständen ‚0‘ und ‚1‘ ergeben sich durch Disturb-Spannungen auch ‚schwache‘ Zustände, die sich kaum voneinander unterscheiden.

Abbildung 9.3 zeigt das Ergebnis einer Simulation [Simulation von M. Ullmann], die mit den Messergebnissen der in dieser Arbeit hergestellten Strukturen kalibriert wurde. Aufgetragen ist die ferroelektrische Polarisation gegen die angelegte Spannung  $U_{GS}$  zwischen der Platinelektrode (die bei einem vollständigen Transistor als Gate bezeichnet würde) und dem Silizium-Substrat. Es handelt sich also um die Hysteresekurve eines Pt/SBT/CeO<sub>2</sub>/Si-Schichtstapels.

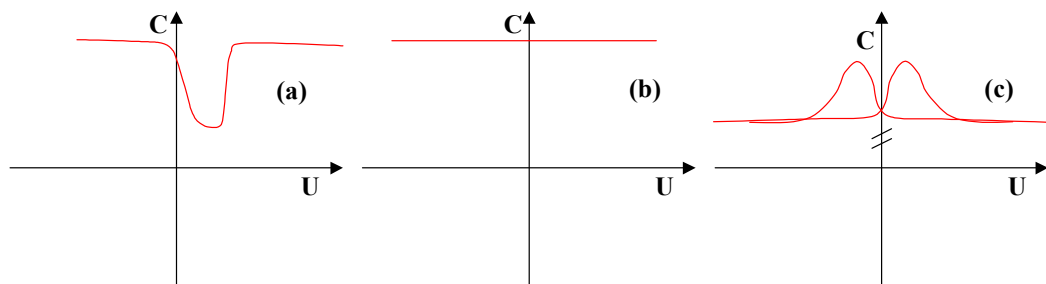
Bei diesem Beispiel liegt die Betriebsspannung zwischen  $\pm 5$  Volt, d.h.  $U_{DD}/2$  beträgt  $\pm 2,5$  Volt. Ein Störimpuls von  $U_{DD}/2$  kann bewirken, dass zwei vorher nach Polarisation und Leitfähigkeit des Transistors deutlich unterscheidbare Zustände ‚0‘ und ‚1‘ nahezu identisch werden. Die ‚schwache 0‘ und die ‚schwache 1‘ weisen zwar noch einen kleinen Unterschied in der Polarisation auf, die Simulation des Drain-Source-Stroms des Transistors (hier nicht gezeigt) ergibt aber keine bewertbaren Unterschiede mehr zwischen den beiden Signalen. Beim Auslesen eines Bits oder einer Zeile oder Spalte in einem Zellenfeld (NAND oder NOR) liegt immer an einigen Zellen eine Spannung von  $U_{DD}/2$  oder  $U_{DD}/3$ . Ein solcher Speicher ist also nicht realisierbar, weil beim Auslesen eines Teils der Information ein großer Teil der übrigen Information zerstört oder verändert wird. Auch eine kleinere Störspannung von  $U_{DD}/3$  führt zum gleichen Problem, wenn auch in abgeschwächter Form. Nach mehrfachem Auslesen und wiederholten Störimpulsen ergibt sich immer ein ähnlich schlechtes Resultat wie bei  $U_{DD}/2$ .

### 9.3 Zellkonzepte

Ein wesentliches Ziel dieser Arbeit bestand darin, Zellkonzepte für den Bau von Speichern auf Basis des ferroelektrischen Transistors zu entwickeln. Wie sich im letzten Abschnitt ergeben hat, können herkömmliche Zellkonzepte nicht ohne weiteres verwendet werden. Zur Lösung dieses Problems wurden im Wesentlichen zwei neue Vorschläge erarbeitet, die im folgenden vorgestellt werden.

#### 9.3.1 Ein NOR-Speicher auf Basis des ferroelektrischen Transistors

Das in Abbildung 9.2 dargestellte Plateau von  $|\Delta I_{DS}|$  ist eine wesentliche Voraussetzung für den Bau von Speichern mit Floating-Gate-Transistoren. Um eine ähnliche Situation wie bei Floating-Gate-Speichern zu schaffen, kann man ein solches Plateau erzeugen, also einen Bereich, in dem  $|\Delta I_{DS}|$  nahezu unabhängig von  $|U_{GS}|$  ist. Im Rahmen dieser Arbeit wurden zwei Möglichkeiten gefunden, um das zu erreichen: Eine geschickte Beeinflussung der veränderlichen Kapazität des Transistors [Han99c], [Ull01a], [Ull01b], [Ull01c] oder die bauliche Anpassung des Transistors [Han98c]. Mit der erstgenannten Variante lässt sich sogar eine NOR-Anordnung realisieren, wie im Folgenden gezeigt wird.



**Abbildung 9.4:** Schematische Darstellung der unterschiedlichen Kapazitäten am Gate des ferroelektrischen Transistors: Kapazität der MOS-Diode (a) sowie Kapazität der dielektrischen (b) und der ferroelektrischen Schicht (c).

In Abbildung 9.4 sind die wesentlichen Kapazitäten am Gate des ferroelektrischen Transistors zu sehen, nämlich die Kapazität der MOS-Diode (a), die Kapazität der dielektrischen Zwischenschicht (b), die in (a) bereits enthalten ist, und die der ferroelektrischen Schicht (c). Etwaige parasitäre Kapazitäten durch Randeffekte, Zwischenschichten und dergleichen können für die folgenden Betrachtungen unberücksichtigt bleiben. Eine zum Lesen, Schreiben oder Löschen angelegte Spannung  $U_{GS}$  zwischen Gate und Substrat oder Source fällt über diese drei Kapazitäten verteilt ab, wobei der jeweilige Spannungsabfall indirekt proportional zur Kapazität ist.

Die Gesamtkapazität einer MIS-Diode ist eine Serienkapazität und setzt sich zusammen aus der Kapazität der Oxidschicht  $C_{OX}$  und der Kapazität des Halbleiters  $C_J$

$$C = \frac{C_{OX} C_J}{C_{OX} + C_J}. \quad (9-1)$$

In Inversion bzw. Akkumulation wird die Kapazität der Diode durch die Oxidschicht bestimmt. Im Halbleiter wird nahe der Grenzfläche zum Isolator eine zweidimensionale Ladungsträgerschicht induziert, so dass hier keine nennenswerte Spannung abfällt und näherungsweise gilt  $C = C_{OX}$ .

Anders im Zustand der Verarmung oder Depletion: Hier bildet sich eine dreidimensionale Raumladungszone im Substrat, über der ein beträchtlicher Teil von  $U_{GS}$  abfällt. In diesem Zustand ist die Gesamtkapazität  $C$  im wesentlichen bestimmt durch die Verarmungskapazität des Halbleiters  $C = C_d$ .

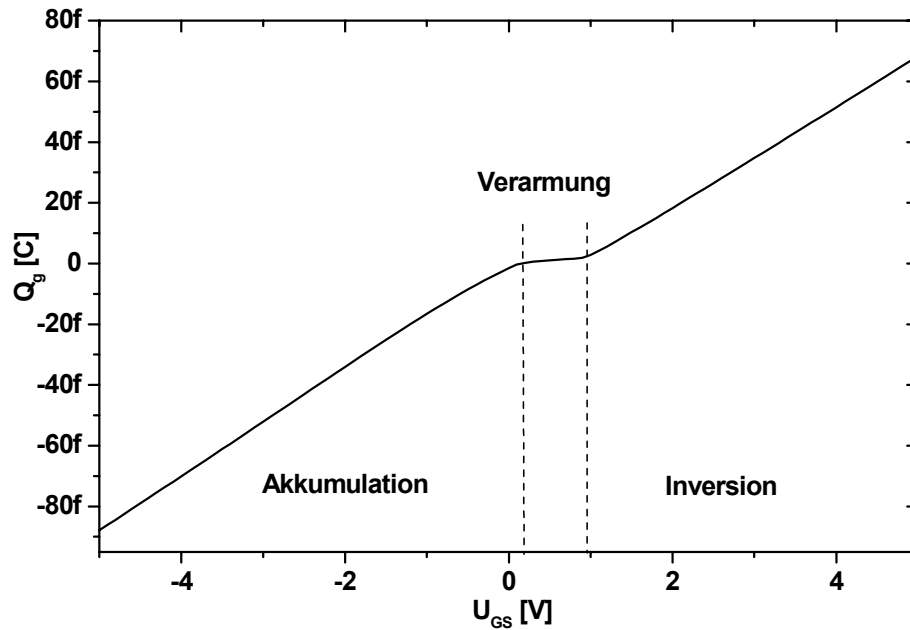
$$C_d = \frac{d(-Q_d)}{d\Psi_s} = \sqrt{\frac{\epsilon_{Si} q N_A}{2\Psi_s}} = \frac{\epsilon_{Si}}{W_d}. \quad (9-2)$$

Die Breite der Verarmungszone  $W_d$  bestimmt also die Verarmungskapazität  $C_d$  und kann über die Substratdotierung  $N_A$  gesteuert werden. Dieser Zusammenhang hat für ferroelektrische Transistoren eine weitreichendere Bedeutung als für herkömmlichen FETs.

Die Beschreibung der Gesamtkapazität der MFIS-Diode ist wegen der Hysterese (Abbildung 9.4 (c)) der ferroelektrischen Schicht schwierig. Auf Grund der Dielektrizitätskonstanten und der Schichtdicken ist die Kapazität der ferroelektrischen ähnlich groß wie die der dielektrischen Schicht. Weil die Dielektrizitätskonstante der ferroelektrischen Schicht aber aus dem flachen Teil der Hysteresekurve ermittelt wird, gilt diese Näherung nur für große Spannungen, wo die Polarisation der ferroelektrischen Schicht in der Nähe des Sättigungswertes liegt. In dem Bereich der Hysterese, wo  $dP/dU$  sehr groß ist, ist die Kapazität der ferroelektrischen Schicht sehr viel größer, der Spannungsabfall an ihr entsprechend klein.

Sowohl für die MIS- als auch für die MFIS-Diode gilt deswegen, dass die Minimal-Kapazität des Gate-Stacks im Verarmungszustand durch das Halbleiter-Substrat bestimmt wird. Durch die Substratdotierung kann man also auch bei einer MFIS-Diode dafür sorgen, dass eine angelegte Spannung  $U_{GS}$  im Verarmungszustand größtenteils über der Raumladungszone im Substrat abfällt. Diesen Umstand kann man sich zu Nutze machen, um beim ferroelektrischen Transistor das erwähnte Plateau zu erzeugen, in dessen Bereich die remanente Polarisation  $P_r$  und damit  $I_{DS}$  fast völlig unabhängig von  $U_{DS}$  ist.

Das Verhältnis von maximaler zu minimaler Kapazität der MFIS-Diode ist für die drei Betriebsarten Lesen, Schreiben und Löschen des ferroelektrischen Transistorspeichers sehr wichtig. Denn je kleiner die Minimalkapazität relativ zur Maximalkapazität ist, umso größer ist im Verarmungszustand die über dem Substrat abfallende Spannung. Abbildung 7.7 zeigt  $C(U)$ -Kurven der für diese Arbeit hergestellten MIS-Kondensatoren. Da die Substratdotierung für alle Kondensatoren identisch ist, ist auch die minimale Kapazität für die unterschiedlichen Oxiddicken gleich groß. Sie beträgt nur zwischen etwa 2 und 3% der Oxidkapazität, was einen günstigen Wert für den Transistor darstellt. Das liegt daran, dass die Bor-Dotierung des Substrates nur im Bereich von  $10^{15} / \text{cm}^3$  liegt, im Vergleich zu typischen Kanal-Dotierungen von Transistoren also gering ist. Die Breite der Verarmungszone ist daher entsprechend groß. Bei höheren Substratdotierungen beträgt  $C_d$  typischerweise 10 bis 20% der Oxidkapazität  $C_{OX}$ . Der Zustand der Deep Depletion spielt bei diesen Messungen keine Rolle.



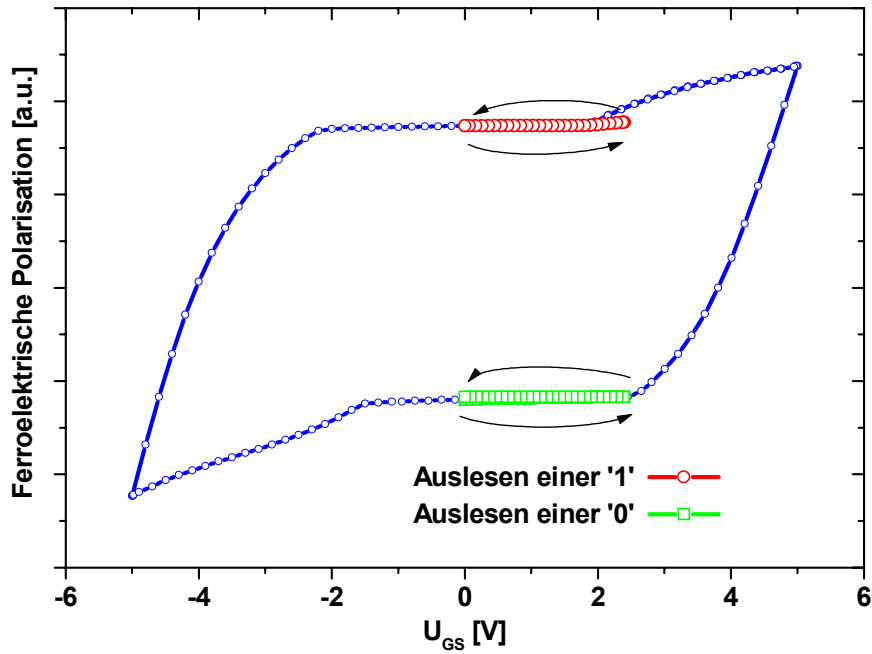
**Abbildung 9.5:** Simulation der Ladung  $Q_G$  am Gate einer MIS-Diode oder eines entsprechenden Transistors gegen die Gate-Substrat-Spannung  $U_{GS}$ . Im Zustand der Verarmung ist die Gate-Ladung nahezu konstant.

Abbildung 9.5 zeigt, dass die Gate-Ladung  $Q_G$  im Bereich des Verarmungszustands fast konstant ist. Wenn Spannung und Ladung über dem Gate-Stack sich kaum ändern, bleibt auch der Polarisationszustand der ferroelektrischen Schicht unverändert. Wenn es gelingt, alle in einer Speichermatrix auftretenden Störspannungen auf diesen Bereich zu beschränken, ergeben sich also neue Möglichkeiten für den Betrieb ferroelektrischer Transistorspeicher. Umgekehrt ist es auch möglich, diesen Plateaubereich so zu erweitern, dass alle auftretenden Störspannungen auf diesem Plateau liegen. Das kann man erreichen, indem man eine positive Source-Bulk- oder Source-Substrat-Spannung  $U_{SB}$  an den Transistor anlegt. Damit lässt sich die Einsatzspannung  $U_{th}$  des Transistors nach Gleichung ( 9-3 ) verschieben, d.h. der Verarmungsbereich wird breiter, die Inversion setzt später ein und es gibt ein breiteres Intervall von Spannungen, in dem der Polarisationszustand der ferroelektrischen Schicht sich nicht ändert.

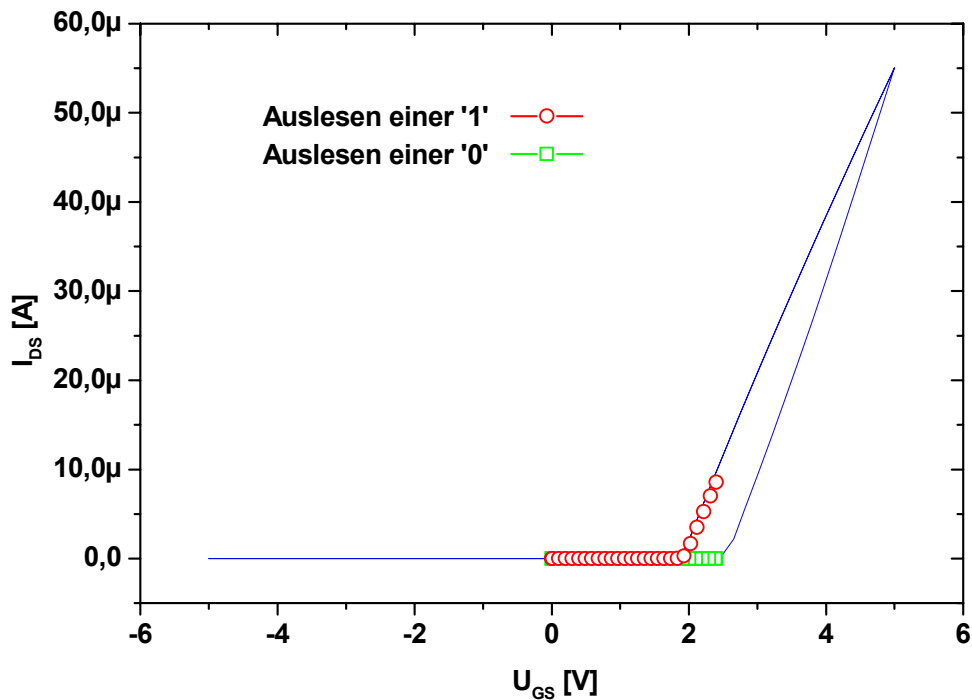
$$\frac{dU_{th}}{dU_{SB}} = \frac{\sqrt{\epsilon_{Si} q N_A / 2(2\psi_B + U_{SB})}}{C_{OX}}. \quad (9-3)$$

Lage und Größe eines solchen Plateaus kann man durch geeignete Implantation im Kanalbereich günstig beeinflussen. Dazu wurden in dieser Arbeit aber keine Untersuchungen gemacht.

Unabhängig davon, wie man es erreicht, ermöglicht ein solches Plateau das Lesen, Schreiben und Löschen von Zellenfeldern. Disturb-Probleme werden dabei fast völlig ausgeschaltet und die Simulation zeigt, dass ein Speicherbetrieb möglich ist [UII01a], [UII01b], [UII01c].



**Abbildung 9.6:** Simulation der ferroelektrischen Polarisation im Gate eines MFIS-Transistors in Abhängigkeit von der Gate-Source-Spannung  $U_{GS}$ . Die Information ,0' und ,1' kann durch Spannungen im markierten Bereich ausgelesen werden, ohne den jeweiligen Polarisationszustand zu verändern.



**Abbildung 9.7:** Unterschiedliche Stromantworten des ferroelektrischen Transistors in Abhängigkeit von der Gate-Source-Spannung  $U_{GS}$  und der Polarisation der ferroelektrischen Schicht. Die beiden Zustände ,0' und ,1' lassen sich auslesen, ohne den entsprechenden Polarisationszustand (Abbildung 9.6) zu verändern.

Abbildung 9.6 zeigt den Verlauf der ferroelektrischen Polarisation beim Auslesen der Zustände ,0' und ,1'. Dazu wird an den Transistor eine Spannung im markierten Bereich angelegt. In dem



hier gezeigten Beispiel ist ein Intervall zwischen 0 und 2,4 Volt günstig. Je nachdem welcher der beiden Polarisationszustände eingestellt ist, ergeben sich unterschiedliche, zu diesen beiden Zuständen korrespondierende Stromantworten des Transistors, die in Abbildung 9.7 dargestellt sind.

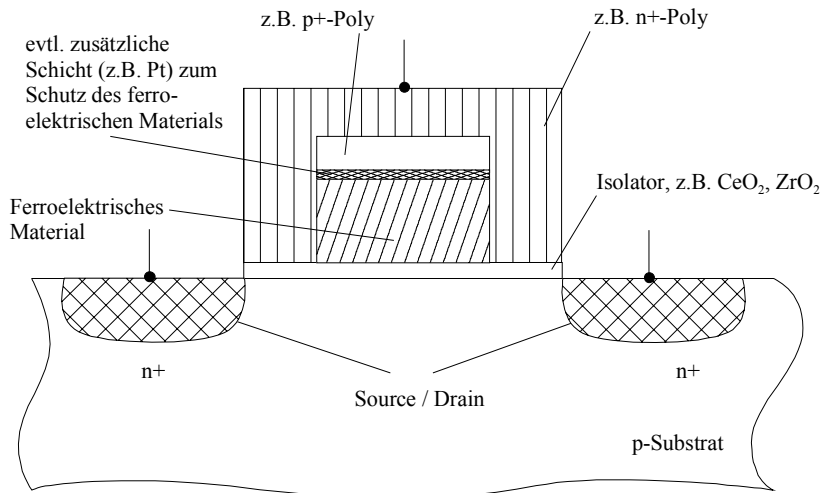
Abbildung 9.6 bezieht sich nur auf die ferroelektrische Polarisation der adressierten Zelle. Natürlich ist genau so wichtig, was bei diesem Vorgang mit den übrigen, nicht ausgewählten Zellen passiert. Bei einem  $P(U)$ -Verlauf wie in Abbildung 9.6 gezeigt können die Disturb-Pulse für nicht ausgewählte Nachbarzellen eines Transistors keine wesentliche Änderung der eingeschriebenen Information bewirken. Alle auftretenden Disturb-Spannungen können auf den Plateau-Bereich in Abbildung 9.6 beschränkt werden. Die Zustände ‚schwache 0‘ und ‚schwache 1‘ (vgl. Abbildung 9.3) sind dann nahezu identisch mit den Zuständen ‚0‘ und ‚1‘. Einzelne Zellen lassen sich auswählen, ohne die Information in den benachbarten Zellen zu zerstören [Ull01a], [Ull01b], [Ull01c]. Das gleiche gilt für das Einschreiben und Löschen von Information. Auch hier kann man eine Zelle auswählen und deren Polarisationszustand verändern, ohne denjenigen benachbarter Zellen zu ändern. Das liegt wieder daran, dass alle auftretenden Disturb-Spannungen auf den waagerechten Teil der Kurve in Abbildung 9.6 beschränkt sind. Damit lassen sich alle nötigen Betriebsarten für einen Speicher realisieren, ein Speicherbetrieb mit 1-Transistor-Zellen ist möglich. Eine detaillierte Beschreibung des Zellenfeldes sowie der Betriebsarten mit allen Spannungsverläufen findet sich in [Ull01a], [Ull01b], [Ull01c] und [Han99c].

### 9.3.2 Ein Speicher auf Basis eines erweiterten Transistors – Integration einer Diode

Im Rahmen dieser Arbeit wurde ein zweiter Vorschlag erarbeitet [Han98c], der angesichts des Reifegrades der meisten dafür erforderlichen Prozesse zurzeit leider nur sehr schwer oder gar nicht umzusetzen sein dürfte. Er beruht nicht darauf, die intrinsischen Eigenschaften der MFIS-Diode zu nutzen, sondern auf der Erweiterung des Gate-Stack um ein zusätzliches Bauteil.

Welche Möglichkeit gibt es noch, eine ungewollte Veränderung des Polarisationszustandes von Transistoren in einem Zellenfeld zu verhindern? Man braucht ein weiteres Element im Gate des ferroelektrischen Transistors, das die drei Funktionen Lesen, Schreiben und Löschen gewährleisten kann, also ein Bauteil mit wenigstens drei Betriebszuständen. Eine Diode - z.B. in Form eines pn-Übergangs - ist ein solches Bauteil, da sie in Durchlassrichtung, in Sperrrichtung unter und in Sperrrichtung über der Durchbruchspannung betrieben werden kann.

In Abbildung 9.8 ist schematisch der Aufbau eines ferroelektrischen Transistors mit integrierter Diode dargestellt und zwar für einen n-Kanal-Transistor. Die horizontalen und vertikalen Dimensionen sind nicht maßstäblich. Über der ferroelektrischen Schicht befindet sich der pn-Übergang. Er besteht z.B. aus einer Schicht p-dotierten polykristallinen Siliziums und einer darüber liegenden n-dotierten Schicht. Elektrisch kontaktiert wird nur der obere Teil dieser Diode, der unten liegende p-Teil floatet.



**Abbildung 9.8:** Skizze (nicht maßstäblich) eines ferroelektrischen Transistors mit kombiniertem Speicher-Auswahl-Gate und integriertem pn-Übergang.

Der n-dotierte Teil der Diode kann gleichzeitig als eine Art Auswahl-Gate für einen Transistor in einem Zellenfeld dienen. Dazu muss er die ferroelektrische Schicht auf beiden Seiten einschließen und bis zum Kanal bzw. bis zum Gate-Dielektrikum herabreichen, wie in Abbildung 9.8 dargestellt. Dadurch entstehen kurze Kanalbereiche auf beiden Seiten der ferroelektrischen Schicht, die genau wie bei einem herkömmlichen MOSFET über den Gate-Kontakt gesteuert werden können. Obwohl der Aufbau des Transistors symmetrisch ist, kann die ferroelektrische Schicht durch ein elektrisches Feld zwischen Auswahl-Gate und Kanal oder Auswahl-Gate und unteren Teil der Diode depolarisiert werden. Die Feldlinien würden etwa viertelkreis-förmig zwischen der vertikalen Seitenwand des Auswahl-Gates und dem Transistorkanal verlaufen und bei entsprechender ungünstiger Spannung einen Teil der ferroelektrischen Schicht in der Nähe des Auswahl-Gates depolarisieren. Anders als in Abbildung 9.8 gezeichnet (die Skizze ist in beiden Dimensionen nicht maßstäblich), ist es daher günstig, das Verhältnis von horizontalen zu vertikalen Abmessungen so groß wie möglich zu gestalten, bei gegebenen horizontalen Abmessungen die Schichtdicken also soweit wie möglich zu verringern.

Es ist denkbar, einen solchen Transistor als Speicherelement in einem NOR-Zellenfeld (wie in Abbildung 9.11) zu verwenden.

Um eine Zelle zum Lesen auszuwählen, kann an das Gate für kurze Zeit eine positive Spannung  $U^+$  angelegt werden, die kleiner ist als die Durchbruchspannung des pn-Übergangs. Die Kanaldotierung muss im Bereich des Auswahl-Gates so eingestellt werden, dass gilt

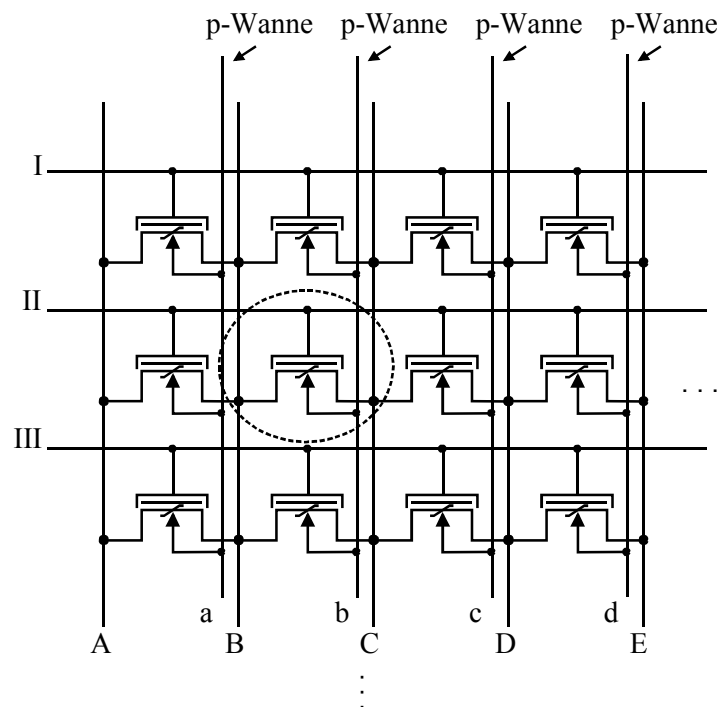
$$U_{th} \leq U^+. \quad (9-4)$$

Damit ist der Transistor in diesem Kanalbereich leitfähig. Das Ergebnis einer Durchgangsprüfung hängt dann davon ab, ob der Transistorkanal im Bereich der ferroelektrischen Schicht leitfähig ist oder nicht. Es wird angenommen, dass der Leitfähigkeitszustand des Transistors permanent, d.h. nicht-flüchtig, von der remanenten Polarisation der ferroelektrischen Schicht gesteuert werden kann. Auch für ein Zellenfeld in NOR-Anordnung kann der Transistor im Bereich der ferroelektrischen Schicht wegen des

zusätzlichen Auswahl-Gates sowohl als „normally off“- als auch als „normally on“-Transistor konzipiert sein. Die Kanaldotierung im Bereich der ferroelektrischen Schicht kann also dahingehend optimiert werden, Depolarisationsfelder zu verringern und einen der beiden möglichen Polarisationszustände zeitlich zu stabilisieren.

Die Diode wird so eingestellt, dass breite Verarmungszonen entstehen und ihre Kapazität in Sperrrichtung klein im Vergleich zur Kapazität der dielektrischen und der ferroelektrischen Schicht des Transistors ist, ein Ausführungsbeispiel ist in [Han98c] beschrieben. Wenn  $U^+$  nur kurzzeitig angelegt wird, fällt nahezu die gesamte Spannung über dem gesperrten pn-Übergang ab. Man muss darauf achten, dass sich während dieser Zeit das Potenzial am floatenden unteren Teil der pn-Diode nicht wesentlich ändert. Auf diese Weise kann verhindert werden, dass der Polarisationszustand der ferroelektrischen Schicht einer Zelle sich ändert.

Damit die anderen beiden Betriebszustände realisiert werden können, muss noch ein zusätzliches diskriminierendes Element eingeführt werden, das orthogonal zu den Wortleitungen eine Unterscheidung einzelner Spalten der Speichermatrix erlaubt. Denkbar und geeignet erscheint die Verwendung streifenförmiger Wannen, die jeweils eine Spalte der in Abbildung 9.11 gezeigten Speichermatrix elektrisch zusammenfassen. Wannen sind Gebiete, deren Dotierung sich vom Rest des Substratmaterials unterscheidet und die es erlauben, einen begrenzten Bereich des Substrates und die sich darin befindenden Bauelemente auf ein definiertes gemeinsames Potenzial zu legen. Durch die Sperrwirkung des pn-Übergangs zwischen Wanne und Substrat kann das Potenzial einer Wanne sich vom Substratpotenzial und auch dem benachbarter Wannen unterscheiden. Abbildung 9.11 zeigt schematisch den Aufbau einer Speichermatrix mit getrennt anschließbaren Wannen. Vertikal verlaufen die Bitleitungen (A, B, C, etc.) und die Wannen (a, b, c, etc.), horizontal die Wortleitungen (I, II, III, etc.).



**Abbildung 9.9:** Schematische Darstellung einer NOR-Speichermatrix aus einem ferroelektrischen Transistor mit integrierter Diode und streifenförmigen Wannen.

Mit dieser Anordnung ist es nun möglich, Vorschriften für das Einschreiben und Löschen von Information anzugeben. Neben der bereits erwähnten Spannung  $U^+$  ist dafür eine weitere Spannung  $U^-$  mit entgegengesetztem Vorzeichen erforderlich, die den gleichen Betrag wie  $U^+$  haben kann.

Die Tabelle in Abbildung 9.10 zeigt, dass sowohl beim Schreiben als auch beim Löschen einer Zelle die Nachbarzellen nicht beeinträchtigt werden. Dazu müssen  $U^+$  und  $U^-$  so gewählt werden, dass deren Beträge  $|U^+|$  und  $|U^-|$  kleiner als die Durchbruchspannung des pn-Übergangs sind.  $|U^+|$  und  $|U^-|$  müssen andererseits ausreichend groß sein, um bei gleichzeitigem Spannungsabfall über alle seriellen Kapazitäten die ferroelektrische Schicht zu polarisieren.

Natürlich spielt die Zeit bzw. die Pulsbreite eine wichtige Rolle, da ein Teil der Diode floatet. Außerdem müssen Schichtdicken, Dotierstoff-Konzentration und -Verteilung, das Material und dessen charakteristische Eigenschaften, nicht zuletzt die Prozessierung sowie die lateralen Dimensionen von Transistorkanal, Auswahl-Gate und Wannestreifen aufeinander abgestimmt und optimiert werden. Besonders schwierig ist sicher die Herstellung der Diode. Sie muss während des Auslesens so gut sperren, dass durch Leckströme kein nennenswerter Spannungsabfall über der ferroelektrischen Schicht verursacht wird. Sie soll im gesperrten Zustand eine kleine Kapazität darstellen, wofür eine geringe Dotierung des p- und n-Gebietes nötig ist, soll andererseits aber eine relativ geringe Durchbruchspannung zwischen etwa 1 und 5 Volt besitzen, was einer sehr hohen Dotierung entspricht. Um alle Anforderungen zu erfüllen, müssen besonders das Dotierprofil und die Geometrie des pn-Übergangs optimiert werden. Berechnungen zeigen, dass dies prinzipiell möglich ist [Han98c]. Da es sich in der Realität sehr wahrscheinlich um einen in polykristallinem Silizium ausgeführten pn-Übergang handeln würde, kann die Durchbruchspannung beispielsweise durch die Form der Grenzfläche zwischen p- und n-Gebiet beeinflusst werden.

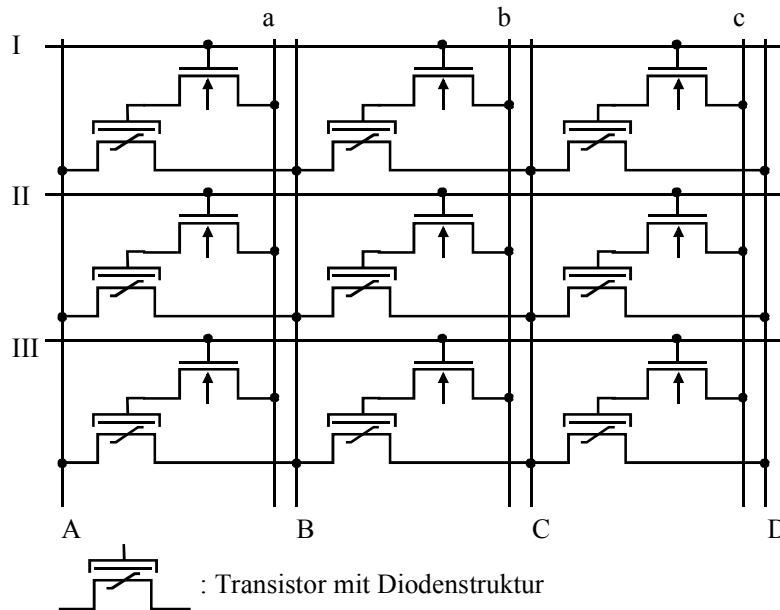
Gelingt es, eine Diode mit den geforderten Eigenschaften herzustellen, dann ist nach untenstehender Tabelle das Auslesen, Schreiben und Löschen von Information in einem Zellenfeld möglich. Der Einfachheit halber soll gelten, dass  $U^+$  und  $U^-$  dem Betrag nach gleich groß sind, d.h.  $|U^+| = |U^-|$ . Beim Schreiben einer Zelle liegt dann am pn-Übergang dieser Zelle eine Spannung von  $|U^+| + |U^-| = 2U^+$  in Sperrrichtung an, vermindert um den Spannungsabfall im Halbleiter, an der dielektrischen und der ferroelektrischen Schicht. Die Diode muss so gestaltet sein, dass sie bei dieser Spannung nicht mehr sperrt, so dass Spannung an der ferroelektrischen Schicht abfällt. Beim Betrachten von Abbildung 9.10 wird deutlich, dass es für alle Betriebsarten eine Kombination aus Spannungen gibt, die das Ansprechen einer Zelle erlaubt, ohne die benachbarten Zellen zu beeinflussen. Wesentliche Voraussetzung dafür ist die Diode mit drei Betriebszuständen und ein fast vollständiger Spannungsabfall an dieser Diode im gesperrten Zustand.

Betriebsart:	Ruhezustand	Lesen	Schreiben			
			selekt. Zelle	vertikale Nachbarzellen	horizontale Nachbarzellen	diagonale Nachbarzellen
Wortleitung (n+)	0	V+	V+	0	V+	0
p-Wanne	0	0	V-	V-	0	0
Bemerkung		Auslesen zwischen zwei Bitleitungen	Diode bricht durch	Diode sperrt	Diode sperrt	Diode sperrt

Betriebsart:	Löschen			
	selekt. Zelle	vertikale Nachbarzelle	horizontale Nachbarzelle	diagonale Nachbarzelle
Wortleitung (n+)	V-	0	V-	0
p-Wanne	0	0	V-	V-
Bemerkung	Diode in Durchlassrichtung gepolt	keine Spannungsdifferenz	keine Spannungsdifferenz	Diode sperrt

**Abbildung 9.10:** Tabellarische Darstellung der Spannungen für die unterschiedlichen Betriebszustände Lesen, Schreiben (oben) und Löschen (unten) an der ausgewählten und den benachbarten Zellen.

Es kann sein, dass Degradationseffekte den Betrieb der Diode mit einer größeren Spannung als der Sperrspannung nicht erlauben. Für diesen Fall macht man sich leicht klar, dass auch die Zeit bzw. die Pulsbreite genutzt werden kann, um zwischen Lesen und Schreiben zu unterscheiden. Kurze Pulse und eine möglichst kleine Spannung sorgen dafür, den Zustand der ferroelektrischen Schicht beim Lesen nicht zu verändern. Eine im Vergleich dazu etwas größere Spannung (nötigenfalls kleiner als die Durchbruchspannung bzw. die Spannung, bei der Degradationseffekte eine Rolle spielen) und eine etwas verlängerte Zeit können dann das Schreiben einer Zelle ermöglichen.



**Abbildung 9.11:** Schematische Darstellung einer NOR-Speichermatrix aus einem ferroelektrischen Transistor mit integrierter Diode und einem zusätzlichen konventionellen Auswahltransistor.

Eine weitere Variante einer Speicherzelle mit dem in Abbildung 9.8 dargestellten Transistor zeigt Abbildung 9.11. Ein zusätzlicher Auswahltransistor erlaubt das gezielte Adressieren einzelner Zeilen des Speichers [Han98d]. Nur wenn die Wortleitung (I, II, III, etc.) Spannung führt, der Auswahltransistor also leitfähig ist und gleichzeitig die entsprechende Bitleitung (a, b, c, etc.) selektiert wird, liegt Spannung am ferroelektrischen Transistor an. Die streifenförmigen Wannens, wie in Abbildung 9.9 gezeigt, sind hier nicht notwendig. Die Diode muss die ferroelektrische Schicht nur beim Auslesen vor der Lesespannung schützen. Beim Schreiben und Löschen einzelner Zeilen wird die gewünschte Spannung über die Bitleitung des Auswahltransistors (a, b, c, etc.) der Zelle zugeführt, alle anderen Zellen sind durch den gesperrten Auswahltransistor vor Veränderungen geschützt. Der Vorteil dieser Anordnung besteht darin, dass sie mehr Flexibilität bei der Wahl der Schreib-, Lösch- und Lesespannung erlaubt. Die Schutzfunktion der Diode ist nur beim Lesen erforderlich. Allerdings bringt der zweite Transistor Nachteile mit sich, vor allem erhöhten Flächenverbrauch und eine größere Komplexität der Zelle.

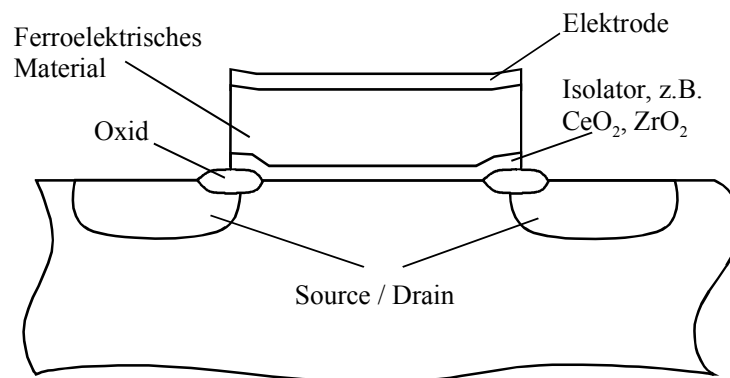
#### 9.4 Varianten und weitere Möglichkeiten

In den letzten beiden Kapiteln wurden Vorschläge für den Aufbau kompletter Zellenfelder und Speicher präsentiert. Zusätzlich dazu sollen nun noch einige Ideen vorgestellt werden, die beim Bau ferroelektrischer Transistoren hilfreich sein können.

### 9.4.3 Die LOCOS-Struktur

In der Mikroelektronik gibt es häufig einfache aber sehr wirkungsvolle Mittel zur Lösung von Problemen. Ein Beispiel dafür ist die Lightly Doped Drain oder LDD, ein Mittel zur Reduzierung der Feldstärke im Übergangsbereich vom Drain-Gebiet zum Kanal. Durch eine zusätzliche geringe Dotierung in diesem Bereich mit dem Dotierstoff der Drain wird das Maximum der Feldstärke deutlich verringert und es treten wesentlich weniger Zuverlässigkeitsprobleme im Gate-Oxid durch heiße Elektronen auf. Ähnlich einfach aber wichtig ist die Pocket-Implantation bei sehr kurzen Kanallängen. Eine lokale Erhöhung des im Kanalgebiet verwendeten Dotierstoffs in der Nähe der Source- und Drain-Gebiete unter dem Gate verhindert wirksam das Ineinandergreifen der Raumladungszonen von Source und Drain und verbessert deutlich die Charakteristik von Kurzkanaltransistoren.

Eine positive Wirkung beim ferroelektrischen Transistor könnte auch die hier vorgestellte und in Abbildung 9.12 gezeigte Struktur haben [Han99].



**Abbildung 9.12:** Schematische Darstellung der vorgeschlagenen Struktur, die von der Drain ausgehende Depolarisationseffekte reduzieren kann.

Bei ferroelektrischen Transistoren muss man damit rechnen, den Zustand des Transistors bzw. die remanente Polarisation und damit die gespeicherte Information zu verändern, wenn man eine Spannung zwischen Source und Drain am Transistor anlegt. Prinzipiell geschieht das immer dann, wenn man den Zustand der Zelle überprüft, also die gespeicherte Information abfragt. Besonders wenn der Kanal eines Transistors nicht leitfähig ist, fällt am gesperrten pn-Übergang auf der Drain-Seite fast die gesamte Drain-Source-Spannung  $U_{DS}$  ab. Liegt die Gate-Elektrode auf Ruhepotenzial, so kann auch zwischen Drain und Gate-Elektrode die gesamte Spannung  $U_{DS}$  abfallen. Eine leichte Unterdiffusion der Drain unter das Gate – wie bei MOS-Transistoren üblich – kann beim ferroelektrischen Transistor dazu führen, dass der Teil der ferroelektrischen Schicht nahe an der Drain in seinem Polarisationszustand verändert wird.

Besonders problematisch ist diese Situation, wenn der Spannungsabfall über der dielektrischen Schicht niedrig ist, diese Schicht also im Sinne einer guten Programmierbarkeit des Transistors optimiert ist. Zur Lösung dieses Problems gibt es die Möglichkeit, bei der Auswertung mit niedrigen Spannungen  $U_{DS}$  zu arbeiten. Kleine Ströme  $I_{DS}$  sind die Folge.

Es kann daher sinnvoll sein, auf die in Abbildung 9.12 vorgeschlagene Struktur zurückzugreifen. An einer über der Source bzw. Drain dickeren dielektrischen Schicht kann der Großteil einer Spannung zwischen Drain und Gate abfallen, ohne die ferroelektrische Schicht zu beeinträchtigen. Diese Geometrie kann Depolarisationsprobleme durch die Drain-Source-Spannung  $U_{DS}$  wahrscheinlich nicht völlig verhindern aber zumindest verringern.

Dicke, Ausdehnung und Materialart dieser LOCOS-ähnlichen lokalen Verdickung können und müssen für den jeweiligen Fall optimiert werden. Im Prinzip ist die Herstellung dieser Struktur selbstjustiert zum Gate des Transistors vorstellbar. Das strukturierte Transistor-Gate aus dielektrischer und ferroelektrischer Schicht könnte benutzt werden, um in einem Temperaturschritt lokal Silizium zu oxidieren. Durch Eindiffusion von Sauerstoff zwischen die dielektrische Schicht und das Silizium kann die dargestellte Geometrie erreicht werden. Bereiche, die nicht oxidiert werden sollen, können ähnlich dem LOCOS-Verfahren z.B. durch eine Nitrid-Maske geschützt werden oder das entstandene  $\text{SiO}_2$  wird nachträglich wieder entfernt.

#### 9.4.4 Der ferroelektrische MESFET

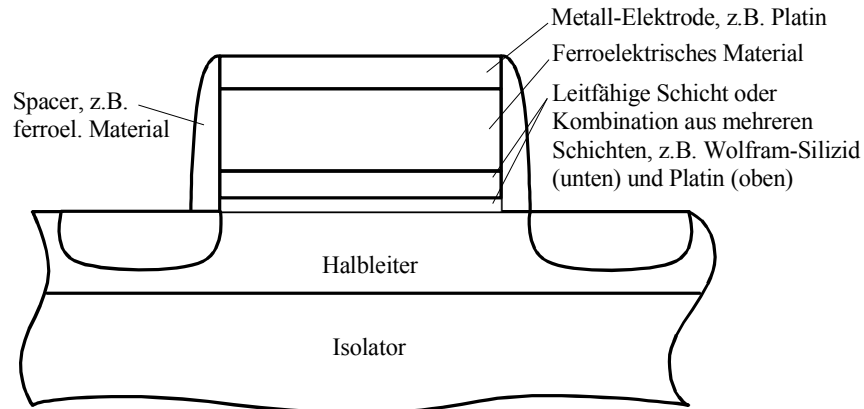
Konventionelle MOSFETs und auch die bisher in dieser Arbeit beschriebenen Transistor-Konzepte beruhen auf der leistungslosen Steuerung eines Kanalgebiets in einem Halbleiter durch eine Gate-Elektrode. Beim herkömmlichen MOSFET ist die Gate-Elektrode durch das Gate-Dielektrikum vom Halbleiter getrennt, beim ferroelektrischen Transistor befindet sich darüber auch noch die ferroelektrische Schicht. Man geht davon aus, dass die remanente Polarisation der ferroelektrischen Schicht zeitlich so stabil ist, dass eine permanente Steuerung des Transistorkanals ohne äußere Spannung möglich ist und setzt sogar voraus, dass das Vorhandensein dieses Kanals, also der Leitfähigkeitszustand des Substrates, zwischen Source und Drain überprüft werden kann, ohne die ferroelektrische Schicht zu beeinflussen.

Leider muss diese Arbeit den endgültigen praktischen Beweis dafür schuldig bleiben. Es kann sein, dass der Polarisationszustand der ferroelektrischen Schicht – je nach Materialart, Schichtdicke und Aufbau des Gate-Stack - nur über wenige Sekunden, Minuten oder Stunden stabilisierbar ist [Xio99]. Periodische Refresh-Zyklen, ähnlich wie beim DRAM, wären die Folge. Unter Umständen ist dies für einen ferroelektrischen Transistorspeicher ein enormer Nachteil, da er nicht mehr im ursprünglichen Sinne ‚nicht-flüchtig‘ funktioniert.

Besonders stabil ist der Polarisationszustand einer ferroelektrischen Schicht zwischen zwei symmetrischen Metallelektroden. Das elektrische Feld der remanenten Polarisation wird durch freie Ladungen in der Metallschicht kompensiert und daher ein energetisch sehr günstiger Zustand erreicht. Um diesen Vorteil für den Transistor zu nutzen, wird wie in [Han98b] genauer beschrieben und in der Skizze in Abbildung 9.13 gezeigt, ein MESFET-Transistorkonzept (Metal-Semiconductor Field-Effect Transistor) vorgeschlagen. Beim MESFET nutzt man die gleichrichtenden Eigenschaften eines Metall-Halbleiter-Übergangs, einer Schottky-Diode oder -Barriere. Durch das Anlegen einer Sperrspannung an diese Barriere wird die Größe der Raumladungszone im Halbleiter darunter verändert. Damit ändert sich die für den



Ladungstransport zur Verfügung stehende Querschnittsfläche und die Leitfähigkeit zwischen Source und Drain kann moduliert werden. Da Source, Drain und Kanal normalerweise vom gleichen Dotiertyp sind, sperrt ein solcher Transistor schlechter als ein MOSFET. Um den Unterschied zwischen on- und off-Strom zu verbessern, kann man gegebenenfalls auch Heterostrukturen verwenden. Damit kann wie beim MOSFET ein Inversionskanal erzeugt und gesteuert werden. Für die hier vorgeschlagene Speicheranwendung ist ein einfacher MESFET-Aufbau ausreichend.



**Abbildung 9.13:** Schematische Darstellung eines ferroelektrischen Transistors mit Schottky-Kontakt zwischen Substrat und unterer Elektrode.

Das Prinzip des MESFET kann man in Verbindung mit einer ferroelektrischen Schicht nutzen, die in das Gate des Transistors integriert wird. Dazu wird ein ferroelektrischer Kondensator mit zwei Metallelektroden - gegebenenfalls über eine haftvermittelnde Silizidschicht - auf einem Halbleiter-Substrat aufgebaut (Abbildung 9.13). Die grundsätzliche Idee besteht darin, die den beiden Polarisationszuständen entsprechende Ladungsdifferenz eines ferroelektrischen Kondensators zwischen Source und Drain eines Transistors zu messen. Die Vorgehensweise ähnelt also sehr derjenigen bei FeRAM-Zellen, wo MOSFET und Ferro-Kondensator in Reihe geschaltet werden und der bei Polarisationsänderung durch den MOSFET fließende Strom gemessen wird. Im Unterschied dazu wird hier aber vorgeschlagen, den Ladungsausgleich auf der Kondensatorelektrode nicht über einen Anschluss an Source oder Drain stattfinden zu lassen sondern direkt über den Kanal des Transistors. Deshalb wird kein MOSFET sondern ein MESFET verwendet.

Eine solche Speicherzelle kann wie folgt ausgelesen werden: Man legt zwischen Source und Drain des Transistors für eine definierte Zeit  $\Delta t$  eine Spannung  $U_{DS}$  an. Dann fließt die Ladung  $Q_{DS} = I_{DS} \cdot \Delta t$  durch den Transistorkanal.  $U_{DS}$  und der Kanalwiderstand bestimmen den Strom  $I_{DS}$  zwischen Source und Drain. Gleichzeitig legt man an die Gate-Elektrode eine Spannung  $U_{GS}$  an, die größer als  $E_C$  der ferroelektrischen Schicht ist. Die Verschiebungsstromdichte  $\vec{D}$  im Gate-Kondensator des MESFET hängt nach folgender Gleichung vom Polarisationszustand der ferroelektrischen Schicht ab

$$\vec{D} = \epsilon_0 \vec{E} + \epsilon_0 \chi \vec{E} + \vec{P}_d = \epsilon_0 \epsilon \vec{E} + \vec{P}_d. \quad (9-5)$$

Die Polarisation der ferroelektrischen Dipole  $\vec{P}_d$  liefert nur dann einen Beitrag zu  $\vec{D}$ , wenn die Dipole tatsächlich umgeschaltet werden. Die Schottky-Diode zwischen Substrat und unterer Metallelektrode des Gate-Kondensators und die Spannung  $U_{GS}$  werden so eingestellt, dass die der Verschiebungsstromdichte  $\vec{D}$  entsprechende Ladung in der Zeit  $\Delta t$  über die Schottky-Diode fließen kann. Es gilt also nicht mehr, dass die von der Source während der Zeit  $\Delta t$  bereitgestellte Ladung  $Q_S$  gleich der an Drain ankommenden Ladung  $Q_D$  ist. Man findet vielmehr noch einen Beitrag des dielektrischen Verschiebungsstromes  $Q_{diel}$  aus dem Gate, der nur vom Material abhängt und bei jedem Auslesevorgang gleich ist sowie einen Beitrag der ferroelektrischen Dipole  $Q_{ferro}$ , der von der vorher eingestellten Polarisationsrichtung abhängt

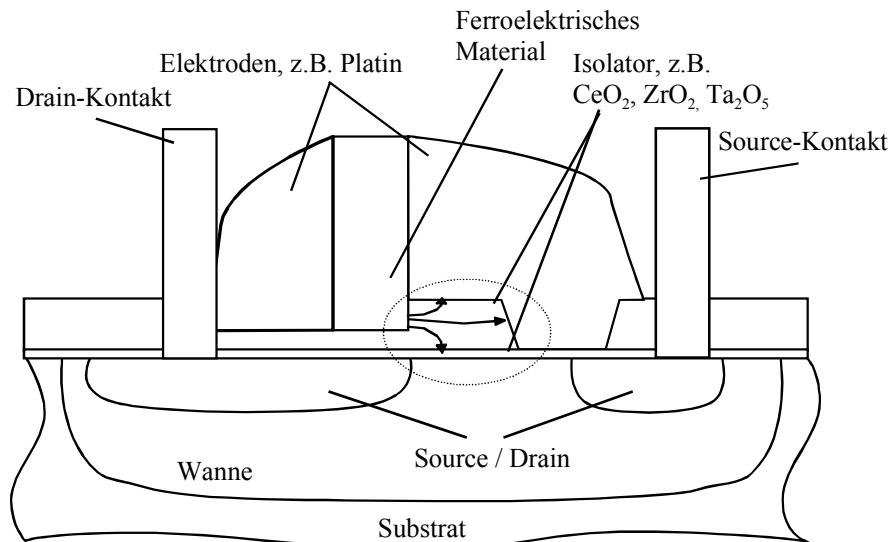
$$Q_D = Q_S + Q_{diel} + Q_{ferro} \quad (9-6)$$

$Q_{ferro}$  liefert nur einen Beitrag, wenn die Polarisationsrichtung durch  $U_{GS}$  tatsächlich geändert wird. Damit erhält man für beide Polarisationszustände zwei unterschiedliche Ladungsmengen, die zwischen Source und Drain fließen und bewertet werden können. Die maximale Signalladung hängt bei diesem Aufbau wieder stark von der maximalen remanenten Polarisation ab. Anders als bei den bisher vorgeschlagenen Transistorkonzepten ist hier also eine möglichst große remanente Polarisation nicht schädlich sondern sinnvoll. Ein nicht-zerstörendes Auslesen kann man auf diese Weise nicht erreichen. Dafür dürften ausgezeichnete Werte für die Langzeitstabilität der Polarisation erreicht werden, also ein wirklich nicht-flüchtiger Speicher möglich sein. Außerdem spielen Leckströme eine bei weitem geringere Rolle. Es ist auch keine dielektrische Schicht notwendig, deren Grenzflächenzustandsdichte oder Durchbruchspannung evtl. problematisch ist. Damit fällt beim Programmieren und Löschen keine Spannung an dieser Schicht ab und die Betriebsspannung kann gesenkt werden. Es gibt keine Probleme an der Grenzfläche zwischen dielektrischer und ferroelektrischer Schicht, da diese Grenzfläche entfällt. Lediglich der Schottky-Übergang zwischen Substrat und unterer Elektrode bedarf der Optimierung.

Ein vollständiges Zellkonzept wurde für diesen Vorschlag nicht erarbeitet. Unter Umständen kann man aber - ähnlich wie im vorausgehenden Kapitel dargestellt - hier die Sperrwirkung der Schottky-Diode nutzen, um die verschiedenen Funktionen in einem Zellenfeld abzubilden.

#### 9.4.5 Der Streufeld-Transistor

Es wurde schon mehrfach in dieser Arbeit erwähnt, dass hohe Werte remanenter Polarisation und damit hohe Feldstärkewerte für die dielektrische Schicht des MFISFET schädlich sein können. Hat man ein ferroelektrisches Material mit guten Eigenschaften für einen Transistor, dessen remanente Polarisation  $P_r$  zu groß ist, sind mehrere Möglichkeiten denkbar. Eine Optimierung der dielektrischen Schicht auf diesen Wert hin, eine Veränderung der Abscheidebedingungen der ferroelektrischen Schicht, um kleinere Werte für  $P_r$  zu erreichen (evtl. mit Nachteilen für alle übrigen Eigenschaften der Schicht), oder eine veränderte Transistorgeometrie. Abbildung 9.14 zeigt einen Vorschlag für eine solche Veränderung [Han99a].



**Abbildung 9.14:** Schematische Darstellung eines Transistors, der durch ein Streufeld gesteuert wird.

Die ferroelektrische Schicht wird hier nicht parallel zum Kanal sondern senkrecht zwischen zwei Elektroden angeordnet. Im Vergleich zu dem in 9.4.4 vorgeschlagenen Transistor ist der Kondensator also um  $90^\circ$  gedreht. Man kann auf diese Weise eine Struktur erzeugen, welche die Langzeitstabilität der remanenten Polarisation verbessern hilft. Ein kleiner Teil der ferroelektrischen Schicht wird von einer der beiden Elektroden nicht überdeckt (vgl. Markierung in Abbildung 9.14). Das von diesem Bereich ausgehende elektrische Feld bzw. die Feldlinien werden zum größten Teil in Richtung der Elektrodenfläche verlaufen, zum Teil aber auch das Substrat erreichen. Da die zur Steuerung des Transistors erforderliche Flächenladungsdichte nur einen kleinen Teil der typischen remanenten Polarisation ausmacht ( $\sim 0,1 \mu\text{C}/\text{cm}^2$  bzw. ca. 1% der remanenten Polarisation), kann man davon ausgehen, dass eine Geometrie möglich ist, bei der ein Teil der ferroelektrischen Schicht den Transistorkanal steuern kann. Hier sind genaue Rechnungen und vor allem Simulationen notwendig.

Die schematisch dargestellte Geometrie ist kompliziert in der Herstellung, da die ferroelektrische Schicht und ihre Elektroden nicht wie üblich übereinander, sondern nebeneinander abgeschieden werden müssen. Andererseits aber bietet diese Anordnung eine Reihe von Vorteilen. Die ferroelektrische Schicht kann zwischen zwei Metall-Elektroden polarisiert werden. Damit sinkt die nötige Betriebsspannung, da keine Spannung über einer dielektrischen Schicht oder dem Substrat abfällt. Im dargestellten Beispiel ist der Drain-Kontakt elektrisch mit einer der Elektroden (linke Elektrode) verbunden. Zusätzlich gibt es eine Gate-Elektrode mit zwei Funktionen: Sie steuert einen Teil des Transistorkanals und bildet gleichzeitig die andere (rechte) Gate-Elektrode.

Die ferroelektrische Schicht kann in dieser Anordnung einfach durch eine Spannung zwischen dem Drain-Kontakt (verbunden mit der linken Kondensator-Elektrode) und Gate-Elektrode (zugleich rechte Kondensator-Elektrode) polarisiert werden. Allerdings muss die Annahme erfüllt sein, dass auch der nicht von der rechten Elektrode überdeckte Teil der ferroelektrischen Schicht dabei polarisiert wird. Andererseits ist das Auslesen des Transistors ohne weiteres möglich, indem an den Drain-Kontakt eine Spannung angelegt wird, an die Gate-Elektrode die

gleiche Spannung angelegt wird und der Source-Kontakt auf 0 Volt liegt. Die Drain- bzw. Gate-Spannung und die Kanaldotierung müssen so eingestellt sein, dass der Teil des Kanals unter der Gate-Elektrode dabei in Inversion kommt. Dann kann die Gate-Elektrode gleichzeitig eine Auswahlfunktion für einen Transistor bzw. ein Bit übernehmen.

Besonders bemerkenswert ist die Tatsache, dass beim Auslesen keine Spannungsdifferenz über der ferroelektrischen Schicht entsteht. Das ist möglich, weil die Drain-Elektrode und damit auch die linke Gate-Elektrode und die rechte Gate-Elektrode beim Auslesen auf dem gleichen Potenzial liegen können. Nur der Source-Kontakt hat ein anderes Potenzial, hat aber über den Transistorkanal kaum Einfluss auf die ferroelektrische Schicht. Dieser Transistortyp ist einfach zu beschreiben und zu löschen und kann möglicherweise nicht-zerstörend ausgelesen werden.

## 9.5 Ergänzende und abschließende Bemerkungen

Beide in Kapitel 9.3 vorgestellten Zellkonzepte ermöglichen theoretisch die Realisierung eines ferroelektrischen Halbleiterspeichers auf der Grundlage des ferroelektrischen Transistors. Obwohl die Simulationen zum ersten vorgeschlagenen Zellkonzept mit experimentellen Ergebnissen kalibriert wurden, sind sie dort, wo sie den Transistor und seine Erweiterung zu einem Speicherzellenfeld betreffen, zu theoretisch und unvollständig. Zum zweiten Vorschlag gibt es leider keine Simulationsergebnisse. Eine Aussage, ob ein Speicher tatsächlich wie hier beschrieben funktionieren kann, bleibt letztlich einer experimentellen Demonstration vorbehalten.

Die hier eingeflossenen experimentellen Ergebnisse stammen von MFIS-Dioden. Der Bau eines Transistors und vor allem eines Speichers erfordert weit mehr und aufwändigere Prozesse (Abscheidungen von Metallen und Intermetall-Dielektrika, Plasma-Ätzungen, Formiergas-Temperung etc.). Sie können die Eigenschaften der dielektrischen und der ferroelektrischen Schicht stark beeinflussen [Jon95], [Har98], [Har03]. Die Ergebnisse der Messungen an MFIS-Dioden sollten deshalb eigentlich durch Messungen an richtigen Transistoren vervollständigt werden. Daher wurde viel Zeit für das Masken-Layout zahlreicher Teststrukturen für ferroelektrische Transistoren aufgewendet. Für eine gründliche Charakterisierung und die Untersuchung von Skalierungseffekten wurden sowohl Minimalstrukturen mit Abmessungen von weniger als 400 nm als auch relativ große Transistoren mit Breiten und Längen von einigen 100  $\mu\text{m}$  entworfen. Viele Teststrukturen sind so ausgelegt, dass sie als Transistoren und als Kondensatoren (für die Untersuchung des Gate-Stack) verwendet werden können. Einige sind auch für Charge-Pumping-Messungen zur Grenzflächenuntersuchung geeignet. Für die genaue Untersuchung von Leckströmen waren auch kreisrunde Transistoren vorgesehen. Leider war es aus Projektgründen bei Infineon nicht mehr möglich, solche Teststrukturen herzustellen und zu charakterisieren.

Es ist sicher möglich, noch bessere oder für die vorliegenden Anforderungen besser geeignete Materialien zu finden, wie z.B. ferroelektrische Schichten mit niedriger Dielektrizitätskonstante [Fuj97], [Fuj99]. Kleine Veränderungen z.B. einer Schichtdicke oder einer intrinsischen

Materialeigenschaft können drastische Konsequenzen für die Funktion des Bauteils haben. Es kommt auch darauf an, die Kombination verschiedener Materialien zu optimieren, vor allem die aus dielektrischer und ferroelektrischer Schicht. Gelingt es, Materialien zu finden, die nicht nur für sich allein optimale Eigenschaften zeigen, sondern auch noch in der Kombination zum MFIS-Transistor – mit allen Einschränkungen prozesstechnischer Art, die eine solche Kombination bedeutet – sind große Verbesserungen zu erwarten. Dazu kann besonders die Entwicklung neuer Prozesse beitragen, die es erlauben, einzelne Materialeigenschaften in der jeweiligen Kombination aus unterschiedlichen Materialien optimal einzustellen.

Leider wurde bisher das zeitliche Verhalten von MFIS-Dioden oder Transistoren kaum untersucht. In dieser Arbeit gibt es dazu keine, in der Literatur nur wenig Angaben. Offene Fragen sind z.B.:

- Welchen Einfluss haben Tunnelströme und Depolarisationsfelder auf den eingestellten Polarisationszustand der ferroelektrischen Schicht [Ash99], [Bla97], d.h. wie lange kann Information tatsächlich nicht-flüchtig gespeichert werden, bevor sie aufgefrischt werden muss?
- Welchen Einfluss haben Disturb-Pulse [Ish99], [Kat96], [Sho96]? Trotz der beschriebenen Maßnahmen muss mit einer Beeinflussung des Polarisationszustandes gerechnet werden. Nach einer endlichen und vielleicht kleinen Anzahl von Disturb-Pulsen müsste dann der ursprüngliche Polarisationszustand wieder hergestellt werden, indem die gespeicherte Information ausgelesen und erneut in die Zellen geschrieben wird.
- Welchen Einfluss haben Tunnelströme im Betrieb und im Ruhezustand, werden Ladungen an Grenzflächen oder in Schichten gebunden, die z.B. permanente elektrische Felder bewirken [Ash99]? Wie und wohin bewegen sich diese Ladungen im Verlauf der Zeit und wie ändern sich dadurch die Eigenschaften des Transistors?
- Wie ist das Endurance- bzw. Fatigue-Verhalten der ferroelektrischen Schicht im Gate-Stack eines Transistors [Nod99a], d.h. wie viele Schreib- und Löschvorgänge sind möglich, bevor sich die Eigenschaften vor allem der ferroelektrischen Schicht so verändern, dass der Speicher ausfällt?
- Wie ist das Imprint-Verhalten der ferroelektrischen Schicht im Transistor [Sch03], [Bol04]?
- Welche anderen Faktoren gibt es, die langfristig die Eigenschaften eines MFIS-Transistors verändern und zum Ausfall eines entsprechenden Speichers führen können?
- Welche Zugriffszeiten erlaubt ein ferroelektrischer Transistor-Speicher, d.h. mit welche Pulsbreiten sind erforderlich?

Dies sind nur einige der wichtigsten Fragen und jede dieser Fragen beinhaltet weitere Detailfragen. Sie lassen sich nicht ohne erheblichen Aufwand beantworten. Allein für die Untersuchung von Tunnelströmen an MFIS-Dioden könnte eine Vielzahl von Arbeiten größeren Umfangs als diese nötig sein. Es ist also noch viel Arbeit nötig bevor experimentell gezeigt werden kann, ob z.B. die in dieser Arbeit vorgestellten Ideen umsetzbar sind und ein Halbleiterspeicher auf Basis ferroelektrischer Transistoren gebaut werden kann.



## Zusammenfassung

Tragbare mikroelektronische Geräte wie Handheld Computer, Digitalkameras oder Mobiltelefone werden kontinuierlich weiterentwickelt und immer vielseitiger einsetzbar. Vor allem für Geräte wie diese suchen Halbleiterphysiker auf der ganzen Welt nach neuen Speicherlösungen, die wesentliche Vorteile heute existierender mikroelektronischer Speicher verbinden. Nicht-flüchtiges Speichern von Information über lange Zeiträume bis zu 10 Jahren, nicht-zerstörendes Auslesen der Information, kurze Zugriffszeiten, hohe Zuverlässigkeit bis zu  $10^{15}$  Programmierzyklen und kleine Betriebsspannungen von weniger als 2 Volt sind gefragte Eigenschaften. Auf der Integrationsebene müsste ein neuartiger Speicher seine Entwicklung durch geringen Platzverbrauch und beherrschbare Prozesskomplexität bei der Herstellung rechtfertigen.

Ein Vergleich verschiedener herkömmlicher mikroelektronischer Speicher zeigt, wie ferroelektrische Speicher einzuordnen sind. Speicher auf der Basis ferroelektrischer Schichten können alle oben genannten Forderungen erfüllen. Neben dem ferroelektrischen Transistor gibt es andere Möglichkeiten zur Informationsspeicherung mit Ferroelektrika. Wird ein ferroelektrischer Kondensator mit Source oder Drain eines MOSFET verbunden, ist das Auslesen des Speichers immer zerstörend und die Signalladung durch die remanente Polarisierung des Ferroelektrikums begrenzt. Koppelt man den Kondensator dagegen an das Gate des Transistors, ist grundsätzlich ein nicht-zerstörendes Auslesen der Information denkbar. Leckströme zwischen Kondensator und Gateelektrode können aber nicht so weit verringert werden, dass eine lange Datenhaltung möglich ist und der Speicher über viele Zyklen reproduzierbar funktioniert. Um diese Probleme zu umgehen, wurden in dieser Arbeit zwei Varianten einer ferroelektrischen Gainzelle vorgeschlagen. Die komplexere Gainzelle erfüllt alle gewünschten Eigenschaften, besteht aber aus zwei Transistoren, einem Kondensator und einem Widerstand. Komplexität und Flächenverbrauch dieser Zelle müssen damit als problematisch angesehen werden.

Einfacher herzustellen und viel kleiner als die Gainzelle ist der ferroelektrische Transistor. Ausgehend vom herkömmlichen Feldeffekttransistor wurden Spannungen und Ströme am ferroelektrischen Transistor beschrieben. Drei Varianten des ferroelektrischen Transistors wurden vorgestellt und bewertet, die sich in der Schichtfolge zwischen Substrat und metallischer Gate-Elektrode unterscheiden. Die ferroelektrische Schicht in der erforderlichen Qualität direkt auf dem Halbleitersubstrat abzuschneiden, ist schwierig. Die gleichzeitige Verbesserung der Grenzflächenqualität durch Minimierung der Diffusion und der Eigenschaften der ferroelektrischen Schicht führen bei dieser Transistorvariante zu widersprüchlichen Anforderungen, z.B. bei der Prozesstemperatur oder -dauer. Die Diffusion von Bestandteilen der ferroelektrischen Schicht in das Substrat kann nicht verhindert werden. Durch die Bandanpassung zwischen Substrat und ferroelektrischer Schicht kommt es im Fall von SBT und

Silizium außerdem zu unerwünschter Ladungsinjektion aus dem Substrat in die ferroelektrische Schicht.

Größere Flexibilität bei der Wahl der Materialien und Prozessbedingungen erhält man durch eine dielektrische Zwischenschicht, die Substrat und ferroelektrische Schicht voneinander trennt. Sie fungiert als alternatives Gate-Dielektrikum, kann Diffusionsprobleme reduzieren und im Hinblick auf optimale Grenzflächeneigenschaften und gute Bandanpassung zur Verringerung von Leckströmen gewählt werden. Bei der Wahl des ferroelektrischen Materials spielen Grenzflächeneigenschaften zum Substrat kaum noch eine Rolle. Man kann deshalb besonders auf andere für den Transistor wichtige Merkmale wie remanente Polarisation, Koerzitivfeldstärke oder die Dielektrizitätskonstante achten.

Die dritte Variante, bei der eine metallische Schicht die dielektrische von der ferroelektrischen Schicht trennt, verringert zwar das Depolarisationsfeld, ist aber hinsichtlich ihrer Leckstromempfindlichkeit genauso kritisch zu bewerten wie ein Speicher, bei dem ein ferroelektrischer Kondensator an das Gate eines Transistors angeschlossen wird. Prozesstechnisch stellt sie eine große Herausforderung dar. Eine metallische Schicht, wie z.B. Platin, muss in unmittelbarer Nähe zur Substrat-Grenzfläche strukturiert werden, ohne die Substratoberfläche zu beschädigen.

Der experimentelle Teil dieser Arbeit ist auf die Transistorvariante mit dielektrischer Zwischenschicht bzw. alternativem Gate-Dielektrikum zwischen Substrat und ferroelektrischer Schicht beschränkt. Zwischen Gate-Elektrode und Substrat hat man in diesem Fall einen Spannungsteiler aus dielektrischer Schicht, ferroelektrischer Schicht und Substrat, so dass die Dielektrizitätskonstanten beider Schichten - vor allem der dielektrischen - entscheidend sind für die Spannung zum Umschalten der ferroelektrischen Polarisation, also die Betriebsspannung des Transistors. Auch das Depolarisationsfeld und damit die Datenhaltung werden durch ein großes  $\epsilon_r$  günstig beeinflusst. Möglichst symmetrisches Bandanpassung und ein Bandabstand der dielektrischen Schicht von mindestens 4 eV tragen zur Verringerung von Leckströmen aus dem Substrat in die ferroelektrische Schicht bei. Die dielektrische Schicht muss außerdem der Feldstärke standhalten, die sich aus der remanenten Polarisation der ferroelektrischen Schicht ergibt.

Für den ferroelektrischen Transistor ist eine ferroelektrische Schicht mit geringer remanenter Polarisation ausreichend. Um einen leitfähigen Kanal im Feldeffekttransistor zu erzeugen, braucht man weniger als  $1 \mu\text{C}/\text{cm}^2$ . Die Koerzitivfeldstärke bestimmt nicht nur die Datenhaltung, sondern in Kombination mit den Schichtdicken der dielektrischen und der ferroelektrischen Schicht und dem jeweiligen  $\epsilon_r$  auch die Betriebsspannung. Die Abscheidung der ferroelektrischen auf der dielektrischen Schicht darf nicht dazu führen, dass die sich die vorher eingestellten Eigenschaften der Grenzfläche und der dielektrischen Schicht wesentlich verändern.

Im experimentellen Teil der Arbeit wurde an Hand von Messdaten und ersten einfachen Versuchen zunächst  $\text{CeO}_2$  als geeignetes Dielektrikum identifiziert. Es konnte gezeigt werden, dass mit Hilfe eines CSD-Verfahrens hergestellte  $\text{CeO}_2$ -Schichten mit Platin-Elektroden sehr gute dielektrische Eigenschaften auf Silizium zeigen. Die mittels CSD hergestellten Schichten



sind zwischen ca. 6 und 30 nm dick.  $C(U)$ -Messungen an Pt/CeO<sub>2</sub>/Si-Kondensatoren zeigen einen normalen Verlauf der Messkurven. Die Grenzflächenzustandsdichte liegt im Bereich von einigen 10<sup>11</sup>/cm<sup>2</sup> eV und ist damit ausreichend für die Funktion des Transistors. Die relative Dielektrizitätskonstante  $\epsilon_r$  der CeO<sub>2</sub>-Schichten wurde aus der gemessenen Kapazität bestimmt und beträgt bei ca. 20 nm dicken Schichten etwa 20. Durch vermehrte Oxidation von Silizium sinkt dieser Wert bei dünneren Schichten aber stark ab. Mit Hilfe der Röntgenbeugung konnte nachgewiesen werden, dass es sich bei den erzeugten Schichten tatsächlich um CeO<sub>2</sub> handelt. Eine Prozesstemperatur von etwa 700°C erwies sich im Hinblick auf Kapazität und Qualität der dielektrischen Schicht als günstig. Einfache Leckstrommessungen lieferten einen weiteren Anhaltspunkt dafür, dass CeO<sub>2</sub> als Gate-Dielektrikum einsetzbar ist.

SBT schien als ferroelektrisches Material für den Bau von Transistoren geeignet, war außerdem verfügbar und in dem Projekt, in dessen Rahmen diese Arbeit entstanden ist, von besonderem Interesse. Es konnte gezeigt werden, dass SBT mit dem CSD-Verfahren auf CeO<sub>2</sub> abgeschieden werden kann. Die Röntgenbeugung bestätigte, dass SBT auf CeO<sub>2</sub> durch Temperung bei 800°C in die ferroelektrische Aurivillius-Phase überführt werden kann und die gleiche Struktur besitzt wie auf Platin-Elektroden. Temperaturabhängige Röntgenbeugung ergab, dass SBT auf CeO<sub>2</sub> bereits bei sehr niedrigen Temperaturen von etwa 590°C in die Aurivillius-Phase übergeht und die Prozesstemperatur zur vollständigen Kristallisation der Schicht bei gleichzeitiger Verringerung von Diffusionsproblemen auf etwa 700°C gesenkt werden kann.  $C(U)$ -Messungen an Pt/SBT/CeO<sub>2</sub>/Si-Kondensatoren zeigten die ferroelektrischen Eigenschaften der SBT-Schicht in diesem Schicht-Stapel durch eine Verschiebung beider Messkurven zwischen Hin- und Rücklauf. Der Einfluss der CeO<sub>2</sub>-Schichtdicke auf diese Verschiebung, das sog. Memory Window, ist gering, da die Kapazität der CeO<sub>2</sub>-Schicht bei abnehmender Dicke nicht wie erwartet ansteigt. Bei 180 nm dicken SBT-Schichten liegt das maximale Memory Window bei ca. 1 Volt. Bei größerer SBT-Schichtdicke von etwa 400 nm nimmt auch das Memory Window typisch auf 1 bis 2 Volt zu. Die Untersuchung der Abhängigkeit des Memory Window von der Temperatur ergab - genau wie die Messungen an rein dielektrischen Kondensatoren -, dass die beste Prozesstemperatur bei etwa 700°C liegt.

Bei hochauflösenden TEM-Untersuchungen erkennt man, dass die SBT-Schicht auf CeO<sub>2</sub> aus typisch 80 bis 100 nm großen Körnern besteht, die durch 10 bis 20 nm große Zwischenräume voneinander getrennt sind. An der Grenzfläche zum Substrat gibt es eine amorphe Cersilikat-Schicht, in der die Elementverteilung über die Dicke schwankt (EDX-Analyse). Zwischen dieser Schicht und dem SBT findet man die polykristalline CeO<sub>2</sub>-Schicht bzw. Reste dieser Schicht, deren Dicke lokal stark schwankt (ESI-Analyse). Beide Schichten unterhalb des SBT werden bei der Prozessierung der SBT-Schicht durch die Bestandteile dieser Schicht selbst und den Einfluss der Temperatur verändert. Die ellipsometrisch bestimmte Dicke des CeO<sub>2</sub> vor der SBT-Abscheidung ist damit nur ein Anhaltspunkt für die Dicke des Isolators und sagt wenig über die lokale Schichtdicke oder die Beschaffenheit und Zusammensetzung der dielektrischen Schicht nach der SBT-Abscheidung aus.

Im Transistor ist die ferroelektrische Schicht durch eine Platin-Elektrode und auf der Substratseite durch die CeO<sub>2</sub>-Schicht begrenzt. Besonders auf Grund der Diffusion von Cer können sich die Eigenschaften der SBT-Schicht im Schichtstapel CeO<sub>2</sub>/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Pt von denen unterscheiden, die SBT zwischen zwei Platin-Elektroden zeigt. Daher muss überprüft

werden, ob SBT auch in direkter Nachbarschaft zu  $\text{CeO}_2$  Eigenschaften zeigt, wie sie für den Bau eines Transistors nötig sind. Das Ergebnis der Diffusion wurde durch die Mischung beider Precursoren vorweggenommen. Die remanente Polarisation sinkt mit steigendem Cer-Gehalt der SBT-Schicht zwar um mehr als 50% auf wenige  $\mu\text{C}/\text{cm}^2$  ab, ist aber selbst bei hoher Konzentration bei weitem ausreichend, um den Kanal eines Transistors in Inversion zu bringen. Die sinkende Flächenladungsdichte ist sogar sehr vorteilhaft, da die elektrische Feldstärke an der dielektrischen Schicht abnimmt und so ein Durchbruch dieser Schicht weniger wahrscheinlich wird. Mit steigendem Cer-Anteil der SBT-Schicht sinkt auch die Koerzitivfeldstärke in einem für den Transistor unbedenklichen Maß ab. Je mehr Cer in der SBT-Schicht eingebaut ist, desto flacher werden die vorher steilen Teile der Hysteresekurve und die ursprünglich recht gute Symmetrie der Hysterese wird geringer.

Bereits im einleitenden Abschnitt über ferroelektrische Speicherkonzepte wurden Vorschläge für neuartige ferroelektrische Speicher präsentiert, die nicht auf dem ferroelektrischen Transistor beruhen. Eine wesentliche Rechtfertigung für die Weiterentwicklung des ferroelektrischen Transistors liefert der letzte Teil der Arbeit. Wenngleich sie leider nicht praktisch überprüft werden konnten, verdeutlichen zwei neue Ideen, wie der Bau von Speicherzellenfeldern aus ferroelektrischen Transistoren gelingen kann. In der Literatur gibt es dazu bisher kaum Vorschläge, obwohl offensichtlich ist, dass man bei ferroelektrischen Transistoren anders vorgehen muss als etwa bei Floating-Gate-Transistoren. Es wurde erläutert, warum Zellkonzepte nicht zuverlässig funktionieren können, wenn sie beim Betrieb des ferroelektrischen Transistorspeichers mit herkömmlichen  $U_{DD}/3$ - oder  $U_{DD}/2$ -Regeln arbeiten. Dagegen konnte gezeigt werden, dass es sehr viel Erfolg versprechender ist, die Funktionen Schreiben, Lesen und Löschen von Information auf die Bereiche Akkumulation, Verarmung und Inversion abzubilden. Indem zum Auslesen von Information nur Spannungen im Verarmungsbereich des Substrates verwendet werden, kann erreicht werden, dass Gate-Ladung und Polarisationszustand am Transistor unverändert bleiben. Dieses Ziel verfolgt auch der zweite Vorschlag zur Realisierung von Zellenfeldern in dieser Arbeit, der die Integration einer Diode in das Gate des Transistors vorsieht. Ähnlich wie bei der ersten Idee werden hier drei Betriebsbereiche der Diode benutzt, um Information zu schreiben, zu lesen und zu löschen. Bei richtiger Dimensionierung der Diode kann sie im gesperrten Zustand Störspannungen von der ferroelektrischen Schicht abhalten. Durch einen besonderen Aufbau des Gates erlaubt sie einerseits das Auswählen und Auslesen von Transistoren und verhindert andererseits, dass nicht ausgewählte benachbarte Zellen in ihrem Zustand verändert werden.

Zur Lösung bekannter Probleme wurden drei weitere neue Vorschläge präsentiert. Eine LOCOS-ähnliche Struktur, d.h. ein im Randbereich des Gates verdicktes Dielektrikum, könnte beim ferroelektrischen Transistor helfen, unerwünschte Polarisationsänderungen durch Spannungen an Source oder Drain zu verringern. Ein ferroelektrischer MESFET wurde vorgestellt und es wurde erläutert, wie ein solcher Transistor ausgelesen werden kann. Sehr attraktiv wird der MESFET dadurch, dass er kein Depolarisationsfeld aufweist und so eine sehr viel längere Datenhaltung erlaubt, als alle anderen bisher beschriebenen Transistorvarianten. Schließlich wurde beschrieben, dass die ferroelektrische Schicht beim Transistor auch senkrecht stehen könnte. Neben einer reduzierten bzw. einstellbaren Belastung der dielektrischen Schicht durch das von der ferroelektrischen Schicht ausgehende elektrische Streufeld bietet diese

Konstruktion als weiteren Vorteil eine sehr gute Polarisierbarkeit der ferroelektrischen Schicht zwischen zwei metallischen Elektroden.

### **Ausblick**

Die in dieser Arbeit gezeigten Ergebnisse und vorgestellten neuen Ideen liefern einen umfangreichen Beitrag zur Entwicklung ferroelektrischer Speicher, insbesondere auf Basis des ferroelektrischen Transistors.

In Zukunft müssen weitere dielektrische und ferroelektrische Materialien im Hinblick auf ihre Eignung für den Transistor untersucht werden. Besonders wichtig ist die Überprüfung der Korrelation zwischen den Ergebnissen der experimentellen Arbeit und der Simulation. Die gegenseitige Befruchtung beider Disziplinen ist wichtig für ein vertieftes Verständnis des ferroelektrischen Transistors. Messungen müssen dringend Ergebnisse zur Datenhaltung angesichts von Depolarisationsfeldern, zu Endurance, Fatigue und Imprint der ferroelektrischen Schicht, zu Leck- und Tunnelströmen durch alle Schichten, zum Einfluss von Disturb-Pulsen und zum Langzeitverhalten von Bauelementen liefern.

Der Bau von Transistoren sollte mit dem Bau kleiner Speicherzellenfelder Hand in Hand gehen, um die Tragfähigkeit neuer Ansätze besser beurteilen zu können. Nur die erfolgreiche Herstellung und Erprobung von kleinen Speichern aus ferroelektrischen Transistoren kann weiteren Entwicklungsaufwand für ferroelektrische Transistoren rechtfertigen.



**Literaturverzeichnis**

- [Aiz96] K. Aizawa, T. Okamoto, E. Tokumitsu, et al.; Fabrication and characterization of metal-ferroelectric-semiconductor field effect transistors using BaMgF<sub>4</sub> films grown on Si(111) substrates; *Integrated Ferroelectrics*, 519-526 (1996)
- [Aok97] M. Aoki, H. Takauchi, H. Tamura; Novel gain cell with ferroelectric coplanar capacitor for high-density non-volatile random-access memory; *Ext. Abstr. of the 1997 Int. Conf. on Solid State Devices and Materials (IEDM)*, 942-944 (1997)
- [Arl97] G. Arlt; A model for switching and hysteresis in ferroelectric ceramics; *Integrated Ferroelectrics*, 835-842 (1997)
- [Ash99] K. Ashikaga, T. Ito; Analysis of memory retention characteristics of ferroelectric field effect transistors using a simple metal-ferroelectric-metal-insulator-semiconductor structure; *Journal of Applied Physics* 85, 7471-7476 (1999)
- [Auc96] O. Auciello; A critical comparative review of PZT and SBT-based science and technology for non-volatile ferroelectric memories; *Integrated Ferroelectrics*, 485-493 (1996)
- [Auc98] O. Auciello, J.F. Scott, R. Ramesh; The physics of ferroelectric memories; *Physics Today*, 22-27 (1998)
- [Bar98] R. Barz, F. Amrhein, Y.-W. Shin, et al.; Processing and effects of annealing in sol-gel derived SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> thin films; *Integrated Ferroelectrics*, 65-74 (1998)
- [Bat73] I. P. Batra, P. Wurfel, B. D. Silverman; Phase transition, stability, and depolarization field in ferroelectric thin films; *Physical Review B*, Vol. 8, 3257-3265 (1973)
- [Bla97] C. T. Black, C. Farrell, T. J. Licata; Suppression of ferroelectric polarization by an adjustable depolarization field; *Appl. Phys. Lett.* 71, 2041-2043 (1997)
- [Bol04] D. Bolten, U. Böttger, R. Waser; Effect of interfaces in Monte Carlo computer simulations of ferroelectric materials; *Appl. Phys. Lett.* 84, 2379-2381 (2004)
- [Bre78] J. R. Brews; A charge sheet model of the MOSFET; *Solid-State Electron.* 21, 345ff (1978)
- [Bren92] C. J. Brennan; Characterization and modeling of thin-film ferroelectric capacitors using C-V analysis; *Integrated Ferroelectrics*, 307-316 (1992)
- [Cho99] K.-J. Choi, W.-C. Shin, J.-H. Yang, et al.; Metal/ferroelectric/insulator/semiconductor structure of Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/YMnO<sub>3</sub>/Si using YMnO<sub>3</sub> as the buffer layer; *Appl. Phys. Lett.* 75, 722-724 (1999)
- [Cil96] J. F. M. Cillessen, R. M. Wolf, J.B. Giesbers, et al.; Growth, structuring and characterization of all-oxide thin film devices prepared by pulsed laser deposition; *Applied Surface Science*, 744-751 (1996)
- [Con03] J. R. Contreras, H. Kohlstedt, U. Poppe, R. Waser et al.; Surface treatment effects on the thickness dependence of the remanent polarization of PbZr<sub>0.23</sub>Ti<sub>0.48</sub>O<sub>3</sub> capacitors; *Appl. Phys. Lett.* 83, 126-128 (2003)
- [Fuj97] Y. Fujikori, N. Izumi, T. Nakamura, et al.; Development of low dielectric constant ferroelectric materials for the ferroelectric memory field effect transistor; *Jpn. J. Appl. Phys.*, 5935-5938 (1997)

- [Fuj99] Y. Fujimori, T. Nakamura, A. Kamisawa; Properties of ferroelectric memory FET using  $\text{Sr}_2(\text{Ta}, \text{Nb})_2\text{O}_7$  thin films; *Jpn. J. Appl. Phys.*, Vol. 38, 2285-2288 (1999)
- [Goe97] R. L. Goettler, J. P. Maria, D. G. Schlom; Origin of the (110) orientation of  $\text{Y}_2\text{O}_3$  and  $\text{CeO}_2$  epitaxial films grown on (100) silicon; *Mat. Res. Soc. Symp. Proc.*, Vol. 474, 333-338 (1997)
- [Guo99] X. Guo, X. Wang, Z. Luo, et al.; High quality ultra-thin (1.5 nm)  $\text{TiO}_2/\text{Si}_3\text{N}_4$  gate dielectric for deep sub-micron CMOS technology; *IEEE Tech. Digest*, 137-140 (1999)
- [Han98] T. Haneder, T. Schlösser, W. Krautschneider, F. Hofmann; Patentanmeldung: Nicht-flüchtige ferroelektrische Gainzelle mit nicht zerstörendem Auslesen; amtl. Aktenzeichen: 19851866.8; Anmeldedatum: 10.11.1998
- [Han98a] T. Haneder, T. Schlösser; Patentanmeldung: Ferroelektrischer Feldeffekttransistor mit nitridierter Grenzfläche zwischen Substrat und ferroelektrischem Material; amtl. Aktenzeichen: 19857038.4; Anmeldedatum: 10.12.1998
- [Han98b] T. Haneder, J. Willer, G. Braun, T. Schlösser; Patentanmeldung: Ferroelektrischer Feldeffekttransistor mit Schottky-Kontakt (MESFET) für nicht-flüchtige Speicher; amtl. Aktenzeichen: 19850852.2; Anmeldedatum: 04.11.1998
- [Han98c] T. Haneder, H. Reisinger, R. Stengl, H. Bachhofer, H. Wendt, W. Hoenlein; Patentanmeldung: Ferroelektrischer Feldeffekttransistor mit kombiniertem Speicher-Selekt-Gate; amtl. Aktenzeichen: 19840824.2; Anmeldedatum: 07.09.1998
- [Han98d] T. Haneder; Patentanmeldung: Nicht-flüchtige Speicherzelle mit nicht zerstörendem Auslesen auf der Basis eines ferroelektrischen Feldeffekttransistors mit kombiniertem Speicher-Selekt-Gate; amtl. Aktenzeichen: 19840824.2; Anmeldedatum: 07.09.1998
- [Han99] T. Haneder, G. Schindler; Patentanmeldung: Ferroelektrischer Transistor mit spezieller Gate-Dielektrikum-Struktur zur Verhinderung einer Polarisationsänderung des Ferroelektrikums bei Stromfluss durch den Transistor; amtl. Aktenzeichen: 19926767.7; Anmeldedatum: 11.06.1999
- [Han99a] T. Haneder, R. Stengl, H. Reisinger, H. Bachhofer; Patentanmeldung: Ferroelektrischer Split-Gate-Feldeffekttransistor, der durch ein Streufeld gesteuert wird; amtl. Aktenzeichen: 19947117.7; Anmeldedatum: 30.09.1999
- [Han99b] T. Haneder; Patentanmeldung: Ferroelektrischer Feldeffekttransistor dessen dielektrische Schicht aus einem Oxid eines Bestandteiles der ferroelektrischen Schicht besteht; amtl. Aktenzeichen: 19940381.3; Anmeldedatum: 25.08.1999
- [Han99c] T. Haneder, H. Bachhofer, G. Braun, M. Ullmann, W. Hönlein; Patentanmeldung: Nutzung des Verarmungsbereiches zur Programmierung und zum nicht-zerstörenden Auslesen ferroelektrischer 1-Transistor Speicherzellen; amtl. Aktenzeichen: 10006444.2; Anmeldedatum: 14.02.2000
- [Han00] T. Haneder, H. Bachhofer, W. Hönlein, G. Schindler, W. Hartner; Patentanmeldung: Einführen einer zusätzlichen dielektrischen Schicht zur Verringerung der Kristallisationstemperatur beim Herstellen von Pt/SBT/Pt-Kondensatoren; amtl. Aktenzeichen: 10009762.6; Anmeldedatum: 01.03.2000
- [Han00a] T. Haneder, W. Hönlein, H. Bachhofer, M. Ullmann, H. von Philipsborn, R. Waser; Gate stacks for low voltage ferroelectric field effect devices based on

- Pt/SBT/CeO<sub>2</sub>/Si(100); Ferroelectric Thin Films VIII, Mat. Res. Soc. Symp. Proc. 596, Warrendale, 437-442 (2000)
- [Han01] T. Haneder, W. Hönlein, H. Bachhofer, H. von Philipsborn, R. Waser; Optimization of Pt/SBT/CeO<sub>2</sub>/Si(100) gate stacks for low voltage ferroelectric field effect devices; *Integrated Ferroelectrics* 34, 47-54 (2001)
- [Hany99] T. Hanyu, H. Kimura, M. Kameyama; Multiple-valued content-addressable memory using metal-ferroelectric-semiconductor FETs; *Proceedings of the 29<sup>th</sup> IEEE Int. Symp. on Multiple-Valued Logic*, 30-35 (1999)
- [Har98] W. Hartner, G. Schindler, V. Weinrich, et al.; Role of recovery anneals for chemical solution deposition (CSD) based SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> (SBT) thin films; *Integrated Ferroelectrics*, 543-553 (1998)
- [Har03] W. Hartner, P. Bosk, G. Schindler, et al.; SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> ferroelectric thin film capacitors: degradation in a hydrogen ambient; *Appl. Phys. A* 77, 571-579 (2003)
- [Hir95] T. Hirai, K. Kazuhiro, K. Nagashima, et al.; Characterization of metal / ferroelectric / semiconductor structure with CeO<sub>2</sub> buffer layer; *Jpn. J. Appl. Phys.*, 4163-4166 (1995)
- [Hir97] T. Hirai, Y. Fujisake, K. Nagashima, et al.; Preparation of SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> film at low temperatures and fabrication of a metal/ferroelectric/insulator/semiconductor field effect transistor using Al/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/CeO<sub>2</sub>/Si(100) structures; *Jpn. J. Appl. Phys.*, 5908-5911 (1997)
- [Ish93] H. Ishiwara; Proposal of adaptive-learning neuron circuits with ferroelectric analog-memory weights, *Jpn. J. Appl. Phys.*, Vol. 32, 442-446 (1993)
- [Ish96] H. Ishiwara, T. Shimamura, E. Tokumitsu; Proposal of a single-transistor-type ferroelectric memory using an SOI structure and experimental study on interference problems in write operation; *Ext. Abstr. of the 1996 Int. Conf. on Solid State Devices and Materials (IEDM)*, 809-811 (1996)
- [Ish99] H. Ishiwara; Current status and prospects of FET-type ferroelectric memories; *57<sup>th</sup> Annual Device Research Conference Digest*, 6-9 (1999)
- [Jin00] D. Jin, P. H. Hing, C. Q. Sun; Growth dynamics and electric properties of PbTi<sub>0.3</sub>Zr<sub>0.9</sub>O<sub>3</sub> ceramics doped with cerium oxide; *J. Phys. D: Appl. Phys.* 33, 744-752 (2000)
- [Jia97] B. Jiang, P. Zurcher, R. E. Jones, et al.; Computationally efficient ferroelectric capacitor model for circuit simulation; *Symposium on VLSI Technology, Digest of Technical Papers*, 141-142 (1997)
- [Jon95] R. E. Jones, P. D. Maniar, R. Moazzami, et al.; Ferroelectric non-volatile memories for low-voltage, low-power applications; *Thin Solid Films*, 584-588 (1995)
- [Jon98] J. T. Jones, E. T. Croke, C. M. Garland, et al.; Epitaxial silicon grown on CeO<sub>2</sub>/Si(111) structure by molecular beam epitaxy; *J. Vac. Sci. Technol. B*, 2686-2689 (1998)
- [Kam98] T. Kamei, E. Tokumitsu, H. Ishiwara; Numerical analysis of metal-ferroelectric-semiconductor field effect transistors (MFSFETs) considering inhomogeneous ferroelectric polarization; *IEICE Trans. Electron.*, Vol. E81-C, 577-583 (1998)
- [Kan99] T. Kanashima, M. Okuyama; Analysis of high frequency capacitance-voltage characteristics of metal-ferroelectrics-insulator-silicon structure; *Jpn. J. Appl. Phys.*, Vol. 38, 2044-2048 (1999)

- [Kat96] Y. Katoh, S. Fujieda, Y. Hayashi, et al.; Non-volatile FCG (ferroelectric-capacitor and transistor-gate connection) memory with nondestructive read-out operation; Symposium on VLSI Technology, Digest of Technical Papers, 56-57 (1996)
- [Kim97] Y. T. Kim, D. S. Shin; Memory window of Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/CeO<sub>2</sub>/SiO<sub>2</sub>/Si structure for metal ferroelectric insulator semiconductor field effect transistor; Appl. Phys. Lett. 71, 3507-3509 (1997)
- [Kim98] K.-H. Kim; Metal-ferroelectric-semiconductor (MFS)FETs using LiNbO<sub>3</sub>/Si(100) structures for non-volatile memory application; IEEE Electron Device Letters 19, 204-206 (1998)
- [Kim03] J.-W. Kim, J.-H. Choi, T.-S. Oh; Electrical characteristics of Sr<sub>x</sub>Bi<sub>2.4</sub>Ta<sub>2</sub>O<sub>9</sub> thin film and Pt/Sr<sub>0.85</sub>Bi<sub>2.4</sub>Ta<sub>2</sub>O<sub>9</sub>/Al<sub>2</sub>O<sub>3</sub>/Si structure; Journal of Materials Science 38, 1853-1857 (2003)
- [Kin00] A. I. Kingon; J.-P. Maria, S. K. Streiffer; Alternative dielectrics to silicon dioxide for memory and logic devices; Nature, insight review article, Vol. 406, 1032-1038 (2000)
- [Kra95] W. Krautschneider, F. Hofmann, R. Ruderer, et al.; Planar gain cell for low voltage operation and gigabit memories; Symposium on VLSI Technology, 139-140 (1995)
- [Lam90] D.R. Lampe, S. Sinharoy, E. Stepke, et al.; Integration of UHV-grown ferroelectric films into nonvolatile memories; Proceedings of the 7th International Symposium on the Applications of Ferroelectrics, Session 7.5 (1990)
- [Lam92] D.R. Lampe, D.A. Adams, M. Austin, et al.; Process integration of the ferroelectric memory FETs (FEMFETs) for NDRO FERAM; Ferroelectrics, 61-65 (1992)
- [Lee97] H. N. Lee, Y. T. Kim, C. W. Lee, et al.; Fabrication of metal-ferroelectric-insulator-semiconductor field effect transistor (MEFISFET) using Pt- SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>-Y<sub>2</sub>O<sub>3</sub>-Si structure; Ext. Abstr. of the 1997 Int. Conf. on Solid State Devices and Materials (IEDM), 382-383 (1997)
- [Lee99] B. H. Lee, L. K. Wen-Jie Qi, R. Nieh, et al.; Ultrathin Hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application; IEDM Tech. Digest, 133-136 (1999)
- [Lee99a] W.-J. Lee, C.-H. Shin, C.-R. Cho, et al.; Electrical properties of SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/insulator/Si structure with various insulators; Jpn. J. Appl. Phys., Vol.38, 2039-2043 (1999)
- [Lua99] H.F. Luan, S.J. Lee, C.H. Lee, et al.; High quality Ta<sub>2</sub>O<sub>5</sub> gate dielectrics with T<sub>Ox,eq</sub> < 10 Å; IEDM Tech. Digest, 141-144 (1999)
- [Lue03] H.-T. Lue, C.-J. Wu, T.-Y. Tseng; Device modeling of ferroelectric memory field-effect transistor for the application of ferroelectric random access memory ; IEEE Trans. on Ultrasonics, Ferroelectrics, and Frequen. Control, Vol. 50, 5-14 (2003)
- [Lyu96] J.-S. Lyu, B.-W. Kim, K.-H. Kim, et al.; Metal ferroelectric-semiconductor field effect transistor (MFSFET) for single transistor memory by using poly-Si Source/Drain and BaMgF<sub>4</sub> dielectric; IEDM, 503-506 (1996)
- [Ma98] T. P. Ma, J.-P. Han; SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> memory capacitor on Si with a silicon nitride buffer; Appl. Phys. Lett. 72, 1185-1186 (1998)
- [Ma99] Y. Ma, Y. Ono, L. Stecker, et al.; Zirconium oxide based gate dielectrics with equivalent oxide thickness of less than 1.0 nm and performance of submicron MOSFET using a nitride gate; IEDM Tech. Digest, 149-152 (1999)



- [Mac98] T. C. Macleod, F. D. Ho; Modeling of metal-ferroelectric-semiconductor field effect transistors; *Integrated Ferroelectrics*, 127-143 (1998)
- [Meh73] B. D. Silverman, J. T. Jacobs; Depolarization fields in thin ferroelectric films; *Journal of Applied Physics* 44, 3379-3385 (1973)
- [Mil90] S. L. Miller, R. D. Nasby, J. R. Schwank, et al.; Device modeling of ferroelectric capacitors; *Journal of Applied Physics* 68, 6463-6471 (1990)
- [Mil91] S. L. Miller, J. R. Schwank, R. D. Nasby, et al.; Modeling ferroelectric capacitor switching with asymmetric nonperiodic input signals and arbitrary initial conditions; *Journal of Applied Physics* 70, 2849-2860 (1991)
- [Mil92] S. L. Miller, P. J. McWhorter; Physics of the ferroelectric nonvolatile memory field effect transistor; *Journal of Applied Physics* 72, 5999-6010 (1992)
- [Nak95] T. Nakamura, Y. Nakao, A. Kamisawa, et al.; A single transistor ferroelectric memory cell; *IEEE International Solid-State Circuits Conference*, 68-69 (1995)
- [Naka95] Y. Nakao, T. Nakamura, A. Kamisawa, et al.; Study on ferroelectric thin films for application to NDRO non-volatile memories; *Integrated Ferroelectrics*, 23-34 (1995)
- [Nak97] T. Nakamura, Y. Fujimori, N. Izumi, et al.; Fabrication technology of ferroelectric memories; *Ext. Abstr. of the 1997 Int. Conf. on Solid State Devices and Materials (IEDM)*, 278-279 (1997)
- [Nod99] M. Noda, H. Sugiyama, M. Okuyama; A study on a metal-ferroelectric-oxide-semiconductor structure with thin silicon oxide film using  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  ferroelectric films prepared by pulsed laser deposition; *Jpn. J. Appl. Phys.*, Vol. 38, 5432-5436 (1999)
- [Nod99a] M. Noda, Y. Matsumuro, H. Sugiyama, et al.; A fatigue-tolerant metal-ferroelectric-oxide-semiconductor structure with large memory window using Sr-deficient and Bi-excess  $\text{Sr}_{0.7}\text{Bi}_{2+y}\text{Ta}_2\text{O}_9$  ferroelectric films prepared on  $\text{SiO}_2/\text{Si}$  at low temperature by pulsed laser deposition; *Jpn. J. Appl. Phys.*, Vol. 38, 2275-2280 (1999)
- [Nod03] M. Noda, K. Kodama, S. Kitai, et al.; Basic characteristics of metal-ferroelectric-insulator-semiconductor structure using a high-k  $\text{PrO}_x$  insulator layer; *Journal of Applied Physics* 93, 4137-4143 (2003)
- [Nod03a] M. Noda, K. Kodama, I. Ikeuchi, et al.; A significant improvement in memory retention of metal-ferroelectric-insulator-semiconductor structure for one transistor-type ferroelectric memory by rapid thermal annealing; *Jpn. J. Appl. Phys.* Vol. 42, 2055-2058 (2003)
- [Oga02] S. Ogaswara, H. Ishiwara; Fabrication and characterization of 1T2C-type ferroelectric memory cell with local interconnections; *Jpn. J. Appl. Phys.*, Vol. 41, 6895-6898 (2002)
- [Pri96] M. W. Prins, K.-O. Grosse-Holz, G. Müller, et al.; A ferroelectric transparent thin-film transistor; *Appl. Phys. Lett.* 68, 3650-3652 (1996)
- [Qi99] W.-J. Qi, R. Nieh, B. Hun Lee, et al.; MOSCAP and MOSFET characteristics using  $\text{ZrO}_2$  gate dielectric deposited directly on Si; *IEDM Tech. Digest*, 145-148 (1999)
- [Rep99] D. B. A. Rep, M. W. J. Prins; Equivalent-circuit modeling of ferroelectric switching devices; *Journal of Applied Physics* 85, 7923-7930 (1999)

- [Rob00] J. Robertson; Band offsets of wide-band-gap oxides and implications for future electronic devices; *J. Vac. Sci. Technol. B; Part B*, 1785-1791 (2000)
- [Roe03] A. Roelofs, T. Schneller, K. Szot, R. Waser; Towards the limit of ferroelectric nanosized grains; *Nanotechnology* 14, 250-253 (2003)
- [Sak99] K. Sakamaki, T. Hirai, H. Hiroshi, et al.; Characteristics of a metal/ferroelectric/insulator/semiconductor structure using an ultrathin nitrided oxide film as the buffer layer; *Jpn. J. Appl. Phys.*, Vol. 38, 451-453 (1999)
- [Sch03] P. Schorn, U. Ellermann, R. Waser, et al.; Non-linear imprint behavior of PZT thin films; *Integrated Ferroelectrics*, Vol. 53, 361-369 (2003)
- [Shi98] D. S. Shin, H. N. Lee, Y. T. Kim, et al.; Electrical properties of Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/CeO<sub>2</sub>/SiO<sub>2</sub>/Si structure for non destructive readout memory; *Jpn. J. Appl. Phys.*, Vol. 37, 4373-4376 (1998)
- [Sho96] K. Shoji, M. Moniwa, H. Yamashita, et al.; A 0.73 μm<sup>2</sup> Vcc/2-plate non-volatile DRAM cell with a Pt/PZT/Pt/TiN capacitor patterned by one-mask dry etching; *Symposium on VLSI Technology, Digest of Technical Papers*, 28-29 (1996)
- [Son74] A. S. Sonin, B. A. Strukov; Einführung in die Ferroelektrizität; Vieweg Braunschweig, 13-40 (1974)
- [Sug00] H. Sugiyama, T. Nakaiso, Y. Adachi, et al.; An improvement in C-V characteristics of metal-ferroelectric-insulator-semiconductor structure for ferroelectric gate FET memory using a silicon nitride buffer layer; *Jpn. J. Appl. Phys.*, Vol. 39, 2132-2135 (2000)
- [Suz02] T. Suzuki, E. Tokumitsu; Characterization of metal-ferroelectric-metal-insulator-semiconductor (MFMIS) structures using (Bi, La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> and HfO<sub>2</sub> buffer layers; *Jpn. J. Appl. Phys.*, Vol. 41, 6886-6889 (2002)
- [Sze85] S. M. Sze; *Semiconductor Devices – Physics and Technology*; John Wiley and Sons, (1985)
- [Tag97] A. K. Tagantsev; Size effects in polarization switching in ferroelectric thin films; *Integrated Ferroelectrics*, 843-850 (1997)
- [Tau98] Y. Taur, T. H. Ning ; *Fundamentals of modern VLSI devices*; Cambridge University Press, 118-124 (1998)
- [Tok96] E. Tokumitsu, T. Shimura, H. Ishiwara; Electrical properties of ferroelectric-capacitor-gate Si MOS transistors using P(L)ZT films; *Integrated Ferroelectrics*, 411-418 (1996)
- [Tok96a] E. Tokumitsu, R. Nakamura, H. Ishiwara; Non-volatile metal-ferroelectric-insulator-semiconductor (MFIS)FETs using PLZT/STO/Si(100) structures; *Extended Abstract of the 1996 International Conference on Solid State Devices and Materials*, 845-847 (1996)
- [Tok96b] E. Tokumitsu, R. Nakamura, H. Ishiwara; Nonvolatile memory operations of metal-ferroelectric-insulator-semiconductor (MFIS)FETs using PLZT/STO/Si(100) structures; *IEEE Electron Device Letters*, 160-162 (1997)
- [Ull99] M. Ullmann, H. Goebel, H. Hoenigschmid, T. Haneder, et al.; An accurate compact model for ferroelectric memory field effect transistors; *1999 Int. Conf. on Simulation of Semiconductor Processes and Devices (SISPAD'99)*, 175-178 (1999)

- [Ull00] M. Ullmann, H. Goebel, H. Hoenigschmid, T. Haneder; A BSIM3v3 and DFIM based ferroelectric field effect transistor model; IEICE Trans. Electron., Vol. E83-C, 1324-1330 (2000)
- [Ull01a] M. Ullmann, T. Haneder, H. Hönigschmid, H. Göbel, W. Hönlein; Patentanmeldung: Zerstörungsfreies Programmierschema für ferroelektrische 1-Transistorspeicherzellen durch den gezielten Betrieb von Zellen im Verarmungsbereich; eingereicht: 18.07.2000; amtl. Aktenzeichen: 10064031.1; Anmeldedatum: 21.12.2000
- [Ull01b] M. Ullmann, H. Göbel, H. Hönigschmid, T. Haneder; Disturb free programming scheme for single transistor ferroelectric memory arrays; Integrated Ferroelectrics, Vol. 34, 155-164 (2001)
- [Ull01c] M. Ullmann, T. Haneder, W. Hönlein, H. Goebel; A nonvolatile single ferro FET memory concept with disturbance free operation scheme; Integrated Ferroelectrics, Vol. 40, 23-29 (2001)
- [Vic03] P. Victor, S. Bhattacharyya, S. Saha, S.B. Krupanidhi; MFIS and MFS structures using SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> thin films for the FRAM applications; Mat. Res. Soc. Symp. Proc. Vol 747, 23-28 (2003)
- [Vog98] E. M. Vogel, K. Z. Ahmed, B. Hornung, et al.; Modeled tunnel currents for high dielectric constant dielectrics; IEEE Trans. on Electron. Devices, Vol. 45, 1350-1355 (1998)
- [Was92] R. Waser, M. Klee; Theory of conduction and breakdown in perovskite thin films; Integrated Ferroelectrics, 257-264 (1992)
- [Wat95] Y. Watanabe; Epitaxial all-perovskite ferroelectric field effect transistor with a memory retention; Appl. Phys. Lett. 66, 1770-1772 (1995)
- [Wat98] Y. Watanabe; Energy band diagram of ferroelectric heterostructures and its application to the thermodynamic feasibility of ferroelectric FET; Solid State Ionics, 59-65 (1998)
- [Wat98a] Y. Watanabe; Theory of stability and size effect of semiconducting ferroelectric and the feasibility of ferroelectric FET; Journal of the Korean Physical Society, Vol. 32, 130-133 (1998)
- [Wu76] S. Y. Wu; Memory retention and switching behavior of metal-ferroelectric-semiconductor transistors; Ferroelectrics, 379-383 (1976)
- [Wu98] Y.-M. Wu, J.-T. Lo; Dielectric properties of PbTiO<sub>3</sub> thin films on CeO<sub>2</sub>/Si(100) and Y<sub>2</sub>O<sub>3</sub>/Si(100); Jpn. J. Appl. Phys., Vol. 37, 5645-5650 (1998)
- [Wür76] P. Würfel, I. P. Batra; Depolarization effects in thin ferroelectric films; Ferroelectrics, Vol. 12, 55-61 (1976)
- [Wür73] P. Würfel, I. P. Batra, J. T. Jacobs; Polarization instability in thin ferroelectric films; Physical Review Letters, Vol. 30, 1218-1221 (1973)
- [Wür73a] P. Würfel, I. P. Batra; Depolarization-field-induced instability in thin ferroelectric films – experiment and theory; Physical Review B, Vol. 8, 5126-5133 (1973)
- [Xio99] S.-B. Xiong, S. Sakai ; Memory properties of SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> thin films prepared on SiO<sub>2</sub>/Si substrates; Appl. Phys. Lett. 75, 1613-1615 (1999)
- [Yam00] T. Yamaguchi, M. Koyama, A. Takashima, et al.; Improvement of memory characteristics of metal-ferroelectric/insulating buffer layer/semiconductor structures by combination of pulsed laser deposited SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> films and ultra-thin SiN buffer layers; Jpn. J. Appl. Phys., Vol. 39, 2058-2062 (2000)

- [Yoo99] S.-M. Yoon, E. Tokumitsu, H. Ishiwara; Realization of adaptive learning function in a neuron circuit using metal/ferroelectric ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )/semiconductor field effect transistor (MFSFET); *Jpn. J. Appl. Phys.*, Vol. 38, 2289-2293 (1999)
- [Yoo99a] S.-M. Yoon, E. Tokumitsu, H. Ishiwara; An electrically modifiable synapse array composed of metal-ferroelectric-semiconductor (MFS)FETs using  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  thin films; *IEEE Electron Device Letters*, Vol. 20, 229-231 (1999)
- [Yoo99b] S.-M. Yoon, E. Tokumitsu, H. Ishiwara; Adaptive-learning neuron integrated circuits using metal-ferroelectric ( $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )-semiconductor (MFS)FETs; *IEEE Electron Device Letters*, Vol. 20, 526-528 (1999)
- [Yos98] T. Yoshimura, N. Fujimura, T. Ito; Ferroelectric properties of c-oriented  $\text{YMnO}_3$  films deposited on Si substrates; *Appl. Phys. Lett.* 73, 414-416 (1998)
- [Yos00] T. Yoshimura, N. Fujimura, D. Ito, et al.; Characterization of ferroelectricity in metal/ferroelectric/insulator/semiconductor structure by pulsed C-V measurement; ferroelectricity in  $\text{YMnO}_3/\text{Y}_2\text{O}_3/\text{Si}$  structure; *Journal of Applied Physics* 87, 3444-3449 (2000)
- [Zha02] W.-Q. Zhang, T.-L. Ren, C.-X. Li, et al.; A novel single-FET cell and array architecture for ferroelectric nonvolatile memories; *Integrated Ferroelectrics*, Vol. 48, 101-107 (2002)

## Danksagung

Die Anfertigung dieser Arbeit wurde nur durch die Unterstützung eines weiten Personenkreises möglich. Allen Helfern sei an dieser Stelle herzlich gedankt.

Ich danke zuerst und besonders meinen beiden Betreuern von universitärer Seite, Herrn Prof. Dr. Henning von Philipsborn und Herrn Prof. Dr. Rainer Waser. Sie haben den Fortgang dieser Arbeit durch ihre Sachkenntnis und ihre wertvollen Anregungen gefördert und standen mir stets mit Rat und Tat zur Seite.

Großer Dank gilt meinem Betreuer bei Infineon, Dr. Wolfgang Hönlein und seiner Arbeitsgruppe, in der ich mich sehr wohl gefühlt habe. Er hat durch seine fundierte Kenntnis der Halbleiterphysik, seine wertvollen Ratschläge und sein hilfreiches Netzwerk sehr zum Gelingen der Arbeit beigetragen. Darüber hinaus hat er zahlreiche wichtige Anregungen zu Veröffentlichungen und Erfindungen gegeben.

Die Zusammenarbeit mit meinem Kollegen Dr. Harald Bachhofer hat mir sehr viel Freude bereitet und war wertvoll für diese Arbeit. Viele seiner Anregungen sind in diese Arbeit eingeflossen und haben teilweise zu gemeinsamen Erfindungen geführt. Dafür sei ihm herzlich gedankt.

Der rege Austausch und die gute Zusammenarbeit mit Dr. Marc Ullmann an der Universität der Bundeswehr in Hamburg haben geholfen, theoretische und experimentelle Aspekte der Arbeit zu verbinden. Indem sich Theorie und Experiment befruchtet haben, sind neue Ideen für ferroelektrische Speicher entstanden.

Bei vielen kleinen und größeren Problemen aller Art waren Dr. Günther Schindler, Walter Hartner, Dr. Hans Reisinger und Dr. Reinhard Stengl, sowie Barbara Jobst, Robert Primig und Birger Panzer behilflich. Dafür danke ich ihnen.

Und schließlich danke ich von Herzen meiner Frau Maria, die mich in der Zeit bis zur Fertigstellung dieser Arbeit geduldig unterstützt hat und dabei viel Einsicht und Rücksicht bewiesen hat.



**Erklärung**

Hiermit erkläre ich, dass ich diese Doktorarbeit selbständig angefertigt und keine Hilfsmittel außer den in der Arbeit angegebenen benutzt habe.

München, 29. Juni 2005

Thomas Haneder





## Veröffentlichungen und Patente

### Publikationen und Konferenzbeiträge

- „Optimization of Ultra High Density MOS Arrays in 3D“;  
T. Haneder, E. Bertagnoli, H. von Philipsborn, W. Krautschneider, F. Hofmann, J. Willer, T. Boehm;  
Proceedings of the ESSDERC'97; Stuttgart, Germany; 268-271 (1997)
- „Optimierte ultrahochdichte MOS-Transistor-Arrays auf Silizium-Basis mit vertikaler Isolation“;  
T. Haneder, E. Bertagnoli, H. von Philipsborn;  
Verhandlungen zur Frühjahrstagung der DPG, Regensburg, Germany; 681 (1998)
- „Gate Stacks for Low Voltage Ferroelectric Field Effect Devices based on Pt/SBT/CeO<sub>2</sub>/Si(100)“;  
T. Haneder, W. Hoenlein, H. Bachhofer, H. von Philipsborn, R. Waser, M. Ullmann;  
Symposium Proceedings Volume 596 „Ferroelectric Thin Films“ VIII of the MRS Fall Meeting, Boston, Massachusetts, USA; p. 437-442 (1999)
- „Optimization of Pt/SBT/CeO<sub>2</sub>/Si(100) Gate Stacks for Low Voltage Ferroelectric Field Effect Devices“;  
T. Haneder, W. Hönlein, H. Bachhofer, H. von Philipsborn, R. Waser;  
Proceedings of the ISIF 2000 „Integrated Ferroelectrics“, Aachen, Germany; 47-54 (2000)
- „Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/CeO<sub>2</sub>/Si(100): Eine Materialkombination für die Realisierung ferroelektrischer Feldeffekttransistoren“;  
T. Haneder, W. Hönlein, H. von Philipsborn, R. Waser;  
Verhandlungen zur Frühjahrstagung der DPG, Regensburg, Germany; p. 544 (2000)
- „An Accurate Compact Model for Ferroelectric Memory Field Effect Transistors“;  
M. Ullmann, H. Goebel, H. Hoenigschmid, T. Haneder, G. W. Dietz;  
Proceedings of SISSPAD, Kyoto, Japan; 175-178 (1999)
- „Effect of Film Composition on Low Temperature Processing of SBT deposited by MOCVD“;  
H. Bachhofer, F. Hintermaier, M. Hauf, O. Spindler, T. Haneder, C. Dehm, H. von Philipsborn, R. Waser;  
Symposium Proceedings Volume 596 „Ferroelectric Thin Films“ VIII of the MRS Fall Meeting, Boston, Massachusetts, USA; p. 149-154 (1999)
- „Relaxation Effects and Steady State Conduction in Stoichiometric SBT Thin Films“;  
H. Bachhofer, H. Reisinger, H. Schroeder, T. Haneder, C. Dehm, H. von Philipsborn, R. Waser;  
Proceedings of the ISIF 2000 „Integrated Ferroelectrics“, Aachen, Germany; (2000)
- „Integrated Circuits for the Biology-to-Silicon Interface“;  
R. Thewes, Ch. Paulus, M. Schienle, F. Hofmann, A. Frey, P. Schindler-Bauer, R. Brederlow, B. Holzapfl, M. Jenkner, B. Eversmann, G. Beer, M. Fritz, T. Haneder, H.-Ch. Hanke;  
To be published in the proceedings of ESSDERC / ESSCIRC, Leuven, Belgium (2004)

„CMOS-Sensoren für Life Sciences“;

R. Thewes, Ch. Paulus, M. Schinle, F. Hofmann, A. Frey, P. Schindler-Bauer, R. Brederlow, B. Holzapfel, M. Jenkner, B. Eversmann, M. Atzesberger, M. Agustyniak, G. Beer, M. Fritz, T. Haneder, H.-Ch. Hanke

VDE-Kongress, Berlin, Deutschland (2004)

„A Digital CMOS DNA Chip“;

A. Frey, M. Schienle, Ch. Paulus, Z. Jun, F. Hofmann, P. Schindler-Bauer, B. Holzapfl, M. Atzesberger, G. Beer, M. Fritz, T. Haneder, H.-Ch. Hanke, R. Thewes

To be published in the proceedings of ISCAS, Kobe, Japan (2005)

## Patentanmeldungen

„Ferroelektrischer Feldeffekttransistor mit nitridierter Grenzfläche zwischen Substrat und ferroelektrischem Material“;

T. Haneder, T. Schlösser;

amtl. Aktenzeichen: DE19857038; Anmeldedatum: 10.12.1998

„Nicht-flüchtige ferroelektrische Gainzelle mit nicht-zerstörendem Auslesen“;

T. Schlösser, W. Krautschneider, T. Haneder, F. Hofmann;

amtl. Aktenzeichen: DE19851866; Anmeldedatum: 10.11.1998

„Ferroelektrischer Feldeffekttransistor mit Schottky-Kontakt (MESFET) für nicht-flüchtige Speicher“;

T. Haneder, J. Willer, G. Braun, T. Schlösser;

amtl. Aktenzeichen: DE19850852; Anmeldedatum: 04.11.1998

„BST-Dünnschicht-Dielektrikum mit verbesserter Zuverlässigkeit für DRAM-Anwendung“;

H. Reisinger, H. Wendt, S. Schlamming, G. Beitel, M. Franosch, H. Schäfer, G. Lange, T. Haneder;

amtl. Aktenzeichen: DE19830155; Anmeldedatum: 06.07.1998

„Ferroelektrischer Feldeffekttransistor mit kombiniertem Speicher-Selekt-Gate“;

T. Haneder, H. Reisinger, R. Stengl, H. Bachhofer, H. Wendt, W. Hoenlein;

amtl. Aktenzeichen: DE19840824; Anmeldedatum: 07.09.1998

„Floating Gate EEPROM Zelle mit kleinem Koppelkondensator“;

H. Reisinger, R. Stengl, M. Franosch, T. Haneder, H. Bachhofer;

amtl. Aktenzeichen: noch nicht bek.; Anmeldedatum: noch nicht bek.

„Nicht-flüchtige Speicherzelle mit nicht-zerstörendem Auslesen auf der Basis eines ferroelektrischen Feldeffekttransistors mit kombiniertem Speicher-Selekt-Gate“;

T. Haneder;

amtl. Aktenzeichen: DE19840824; Anmeldedatum: 07.09.1998

„Ferroelektrischer Transistor mit spezieller Gate-Dielektrikum-Struktur zur Verhinderung einer Polarisationsänderung des Ferroelektrikums bei Stromfluss durch den Transistor“;

T. Haneder, G. Schindler;

amtl. Aktenzeichen: DE19926767; Anmeldedatum: 11.06.1999

„Über ein Diffusionsgebiet beschreibbarer ferroelektrischer Feldeffekt-Transistor mit zueinander asymmetrischen Source- und Drain-Gebieten“;

T. Haneder, H. Hoenigschmid, G. Braun, T. Röhr, T. Böhm, G. Schindler, W. Hartner, H. Wendt;

amtl. Aktenzeichen: DE19926766; Anmeldedatum: 11.06.1999

„Ferroelektrische 1-Transistor-Speicherzelle mit nicht-zerstörendem Auslesen auf der Basis eines ferroelektrischen Transistors mit kombiniertem Speicher-Selekt-Gate“;

T. Haneder, H. Bachhofer;

amtl. Aktenzeichen: DE19931124; Anmeldedatum: 06.07.1999

„Dielektrische Schicht für DRAM-Speicherkondensator“;

T. Haneder, H. Reisinger, R. Stengl, H. Bachhofer, W. Hoenlein;

amtl. Aktenzeichen: DE19922180; Anmeldedatum: 12.05.1999

„Asymmetrischer SONOS-Speicher“;

H. Bachhofer, H. Reisinger, T. Haneder;

amtl. Aktenzeichen: DE19903598; Anmeldedatum: 29.01.1999

„Feldeffekttransistor mit beidseitig isolierter ferroelektrischer Schicht“;

T. Haneder, H. Bachhofer, G. Braun;

amtl. Aktenzeichen: DE19931125; Anmeldedatum: 06.07.1999

„Ferroelektrischer Split-Gate-Feldeffekttransistor, der durch ein Streufeld gesteuert wird“;

T. Haneder, R. Stengl, H. Reisinger, H. Bachhofer;

amtl. Aktenzeichen: DE19947117; Anmeldedatum: 30.09.1999

„Ferroelektrischer Feldeffekttransistor dessen dielektrische Schicht aus einem Oxid eines Bestandteiles der ferroelektrischen Schicht besteht“;

T. Haneder;

amtl. Aktenzeichen: DE19940381; Anmeldedatum: 25.08.1999

„Al<sub>2</sub>O<sub>3</sub> als dielektrische Schicht für ferroelektrische Transistoren“;

T. Haneder, H. Bachhofer, E. Unger;

amtl. Aktenzeichen: DE19946437; Anmeldedatum: 28.09.1999

„Nutzung des Verarmungsbereiches zur Programmierung und zum nicht zerstörenden Auslesen ferroelektrischer 1-Transistor Speicherzellen“;

T. Haneder, H. Bachhofer, G. Braun, M. Ullmann, W. Hönlein;

amtl. Aktenzeichen: DE10006444; Anmeldedatum: 14.02.2000

„Verbesserung der Analogetherkmale von MOSFETs durch permanent und inhomogen im Gatedielektrikum getrappte Ladungsträger“;

H. Reisinger, G. Steinlesberger, T. Haneder, H. Bachhofer;

amtl. Aktenzeichen: DE10004392; Anmeldedatum: 02.02.2000

„Einführen einer zusätzlichen dielektrischen Schicht zur Verringerung der Kristallisationstemperatur beim Herstellen von Pt/SBT/Pt-Kondensatoren“;

T. Haneder, H. Bachhofer, W. Hönlein, G. Schindler, W. Hartner;

amtl. Aktenzeichen: DE10009762; Anmeldedatum: 01.03.2000

„Niedertemperatur-Prozessierung Bi-überschüssiger Strontium-Bismuth-Tantalat-Schichten (SBT)“;

H. Bachhofer, T. Haneder, O. Spindler, R. Waser;

amtl. Aktenzeichen: DE10041699; Anmeldedatum: 24.08.2000

„Carbon Nanotubes zur Erzeugung hochintegrierter Datenspeicher“;  
eingereicht: 20.01.2000;

M. Engelhardt, F. Kreupl, T. Haneder, W. Hönlein;

amtl. Aktenzeichen: DE10032412; Anmeldedatum: 04.07.2000

„Photonenemission aus Carbon Nanotubes“;  
eingereicht: 03.02.2000;

M. Engelhardt, T. Haneder;

amtl. Aktenzeichen: DE10103339; Anmeldedatum: 25.01.2001

„Anordnung zur Herstellung von Nanotube-Transistoren“;

T. Haneder, W. Hönlein, F. Kreupl;

amtl. Aktenzeichen: DE10032370; Anmeldedatum: 04.07.2000

„Feldeffekttransistor aufgebaut aus Nanotubes“;

T. Haneder, W. Hönlein, F. Kreupl, R.J. Luyken, T. Schlösser;

amtl. Aktenzeichen: DE10032414; Anmeldedatum: 22.11.2001

„Optokoppler auf der Basis von Carbon Nanotubes“;

T. Haneder, M. Engelhardt;

amtl. Aktenzeichen: DE10103339; Anmeldedatum: 25.01.2001

„Zerstörungsfreies Programmierschema für ferroelektrische 1-Transistorspeicherzellen durch den gezielten Betrieb von Zellen im Verarmungsbereich“;

M. Ullmann, T. Haneder, H. Hönigschmid, H. Göbel, W. Hönlein;

amtl. Aktenzeichen: DE10064031; Anmeldedatum: 21.12.2000

„Anordnung zur Label-freien optischen Detektion biochemischer Reaktionen“;

T. Haneder, A. Martin, V. Lehmann, T. Ehben, K. Fuchs, H.-C. Hanke;

amtl. Aktenzeichen: DE10142691; Anmeldedatum: 31.08.2001

„Elektrochemisch auslesbarer biochemischer Sensor mit Polymerelektronik“;

T. Haneder, R. Thewes, G. Schmid, H. Klauk;

amtl. Aktenzeichen: DE10211900; Anmeldedatum: 18.03.2002

„Biochemischer Sensor auf der Basis von Polymer-Feldeffekttransistoren“;

T. Haneder, R. Thewes, G. Schmid, H. Klauk;

amtl. Aktenzeichen: DE10211901; Anmeldedatum: 18.03.2002

„Ferroelektrische, nicht-flüchtige Speicherzelle mit einem Auswahltransistor und einer zusätzlichen Auswahl Elektrode, aufgebaut aus einem organischen Halbleitermaterial“;

T. Mikolajick, G. Schmid, H. Klauk, M. Halik, Ch. Dehm, T. Haneder;

amtl. Aktenzeichen: DE10212962; Anmeldedatum: 22.03.2002

„Speicherzelle durch Leitfähigkeitsänderung, aufgebaut aus einem organischen Halbleitermaterial“;

T. Mikolajick, G. Schmid, H. Klauk, M. Halik, Ch. Dehm, T. Haneder;

amtl. Aktenzeichen: DE10212926; Anmeldedatum: 22.03.2002

„Behandlung von Glas- und Silizium-Oberflächen“;

T. Ehben, M. Fritz, T. Haneder;

amtl. Aktenzeichen: DE10152002; Anmeldedatum: 22.10.2001

„Bedruckter Probenträger, ein Verfahren zu dessen Herstellung sowie dessen Verwendung“;

M. Fritz, S. Dertinger, V. Lehmann, T. Haneder;

amtl. Aktenzeichen: DE10206420; Anmeldedatum: 15.02.2002

„Pseudo-Komplementärelektronik für Schaltung mit organischen Halbleitern“;

G. Schmid, H. Klauk, M. Halik, T. Mikolajick, Ch. Dehm, T. Haneder

amtl. Aktenzeichen: DE10212878; Anmeldedatum: 22.03.2002

„Wellenleiter in porösen Substraten“;

S. Dertinger, T. Haneder, K. Fuchs, M. Fritz, A. Martin, R. März;

amtl. Aktenzeichen: 10217568; Anmeldedatum: 19.04.2002

„Vorrichtung auf der Basis von partiell oxidiertem porösen Silizium“;

S. Dertinger, T. Haneder, K. Fuchs, V. Lehmann, M. Fritz, A. Martin, R. März;

amtl. Aktenzeichen: 10217569; Anmeldedatum: 19.04.2002

„Optoelektronischer Sensor zur Erfassung von makromolekularen Biopolymeren“;

R.J. Luyken, R. Hofmann, T. Haneder, M. Fritz, H-C. Hanke, A. Martin, S. Dertinger, V. Lehmann;

amtl. Aktenzeichen: noch nicht bekannt; Anmeldedatum: 28.11.2002

„Verfahren und Vorrichtung zur selektiven Behandlung von Oberflächen mit Flüssigkeiten und Gasen“;

J. Rajki, T. Haneder, S. Dertinger;

amtl. Aktenzeichen: noch nicht bekannt; Anmeldedatum: noch nicht bekannt;

Erfindungsmeldung vom 13.11.2003

„Verfahren zur Herstellung von Biochips aus porösen Substraten“;

A. Martin, S. Dertinger, T. Haneder;

amtl. Aktenzeichen: noch nicht bekannt; Anmeldedatum: noch nicht bekannt;

Erfindungsmeldung vom 12.01.2004

Die meisten der oben genannten Erfindungsmeldungen wurden inzwischen auch international zum Patent angemeldet.